

MOS 形 FET を用いた A-D 変換器用局部復号回路

A Decoding Network for an A-D Converter using MOS Field-Effect-Transistors

森脇義雄・高羽禎雄・木下英実・西森武弘

Yoshio MORIWAKI, Sadao TAKABA, Hidemi KINOSHITA and Takehiro NISHIMORI

1. 緒 言

逐次比較形の A-D 変換器にあって、その変換過程でデジタル符号をアナログ信号に逆変換する回路を局部復号回路という。そのスイッチ素子として MOS 形 FET (電界効果トランジスタ) を用いると、on 時のオフセット電圧、off 時の漏えい電流などが存在せず、良好なスイッチ動作を行なうため、変換誤差を容易に 0.1% 以下になしうる。ここではその回路構成、変換特性、実験結果などについてご報告する。

2. 回路構成

並列 2 進符号に対応する電圧入力にたいし、これを D-A 変換した電流出力を発生する回路としては通常

- A. 2 値の出力をもつ定電流源を並列接続する方法
- B. スイッチおよび抵抗器を組み合わせ用いる方法
 - B-1. はしご形抵抗回路網を用いる方法
 - B-2. 加重抵抗回路網を用いる方法

などがある。MOS 形 FET では、Aの方法をとるためにこれを増幅素子として用いて定電流源を構成しようとすると、その相互コンダクタンス g_m 、ドレイン抵抗 r_d などが比較的小さいために困難を生ずる。また、スイッチ素子としてさきのにべた特長を有し、Bの方法が好都合であるが、スイッチ on 時の抵抗が比較的高く、これと組み合わせる抵抗器の抵抗値を数十 $k\Omega$ 以上に選ぶ必要があるので、B-1の方法では付随する漂遊容量の影響により動作時間が大となる。したがって、ここでは B-2の方法をとった。

回路の基本的構成を図 1 に示す。この回路は 8 けたの 2 進符号 D_1, D_2, \dots, D_8 を入力とし、これに対応した

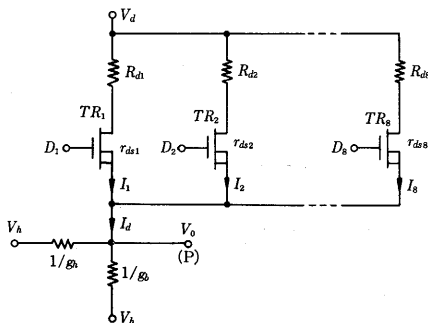


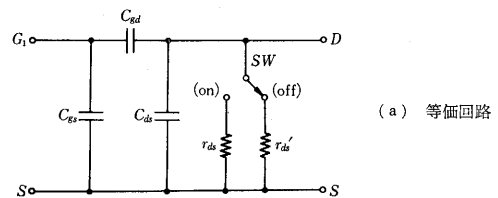
図 1 局部復号回路の基本的構成

局部復号電流 I_d を発生するものであって、 D_i が 1 であるときのみ対応する FET, TR_i をスイッチ on して電流 I_i を生ぜしめる。 TR_i をふくむ枝の抵抗 $1/g_i$ は加重抵抗 R_{di} と TR_i のドレイン・ソース間 on 抵抗 r_{dsi} の和であって

$$1/g_i = R_{di} + r_{dsi} = 2^{i-1}/g_1 \quad (1)$$

となるようにその値が定められる。

MOS 形 FET のスイッチ素子としての等価回路およびその定数の測定例を図 2 に示す。この測定例から on 抵抗の変動分 Δr_{ds} をゲート電圧 $V_{GS} = 1.9 \sim 2.1$ V, 周囲温度 $T_a = 10^\circ\text{C} \sim 40^\circ\text{C}$, 抵抗値のばらつき $2\sigma_R$ にたいして求めると $\Delta r_{ds} = \pm 18.5 \Omega$ をうる。加重抵抗として



(a) 等価回路

- ソース・ドレイン間 on 抵抗 $r_{ds} = 165 \Omega$
($V_{GS} = 2$ V, $T_a = 25^\circ\text{C}$ のとき)
- ソース・ドレイン間 off 抵抗 $r_{ds}' > 100M\Omega$
($V_{GS} = -3.5$ V, $T_a = 25^\circ\text{C}$ のとき)
- $C_{gs} = 4.0$ pF, $C_{gd} = 1.0$ pF, $C_{ds} = 1.5$ pF
- r_{ds} の変動率 $\Delta r_{ds}/r_{ds} \Delta V_{GS} = 40 \Omega/\text{V}$
- $\Delta r_{ds}/r_{ds} \Delta T_a = 0.34\%/^\circ\text{C}$
- 標準偏差 $\sigma_R = 3 \Omega$

(b) 定数の測定例 (3 SK 21)

図 2 MOS 形 FET スイッチの等価回路および定数の測定例

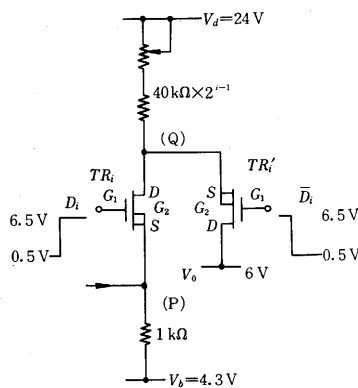


図 3 単位スイッチ回路

は金属皮膜抵抗器 (抵抗値の精度 0.05~0.1%, 温度係数 50 ppm/ $^\circ\text{C}$) を用い、のちにのべるように Δr_{ds} の影響を許容しうる範囲におさめるよう、その抵抗値を $40k\Omega$ な

研究速報

いし 5.12 MΩ に選び、さらにこれに微細調整用の小抵抗を直列に接続している。

おのおののけたのスイッチ回路の詳細を図 3 に示す。ここでは TR_i のほかにもうひとつの MOS 形 FET, TR_i' をつけ加え、TR_i と逆の on・off 動作をさせる。このことにより点 Q の電位変化を小さくすることができ、

- (a) MOS 形 FET のソース・ドレイン間定格電圧以上に電源電圧を高く選ぶことができ、出力が増す。
 - (b) 加重抵抗の電流変化による温度変化が小になる
 - (c) スイッチ時の過渡特性が改善される。
- などの利点が得られる。

3. 変換特性

図 1 に示した回路では前述のごとく局部復号電流を発生するとともに、入力電流との比較を行ない、その結果を点 P における電圧 V₀ であらわす。別に設けられた比較回路の比較基準電圧を V_s とすると

$$V_0 - V_s = \frac{\sum_{i=1}^8 D_i g_i (V_a - V_s) + g_h (V_h - V_s) + g_b (V_b - V_s)}{\sum_{i=1}^8 D_i g_i + g_h + g_b} \quad (2)$$

が成り立つ。(2)式の分子に(1)式を代入すると

$$\begin{aligned} & (\sum_{i=1}^8 2^{8-i} D_i) 2^{-7} g_1 (V_a - V_s) + g_h (V_h - V_s) \\ & + g_b (V_b - V_s) \end{aligned} \quad (3)$$

をうる。この値の正負を V₀ - V_s の正負によって判定することにより、デジタル値 $\sum_{i=1}^8 2^{8-i} D_i$ を入力電圧 V_h に対応させたときの過不足を判定できる。デジタル値の 1 単位の変化に対応する V₀ の変化 DV₀ は

$$DV_0 = \frac{(V_a - V_s)}{\sum_{i=1}^8 2^{8-i} D_i + 2^7 (g_h + g_0) / g_1} \quad (4)$$

となり、実験回路で用いた数値 V_a = 24 V, V_s = 4.5 V, V_h = 0~5 V, g₀ = 1 mΩ, g_h = 0.2 mΩ, g₁ = 0.025 mΩ を代入すると、この値の範囲は

$$3.05 \text{ mV} < DV_0 < 3.18 \text{ mV} \quad (5)$$

となる。

つぎに、各コンダクタンス g_i, g_h, g₀ の変動による V₀ の変動 ΔV₀ は(2)式より

$$\Delta V_0 = \frac{(V_a - V_0) (\sum_{i=1}^8 D_i \Delta g_i) + (V_h - V_0) \Delta g_h + (V_b - V_0) \Delta g_b}{\sum_{i=1}^8 D_i g_i + g_h + g_b} \quad (6)$$

となる。g_i, g_h, g₀ のため使用する抵抗器の抵抗値の変動率の標準値を β, 実際の変動率と β との差をそれぞれ Δβ, Δβ_h, Δβ₀ とおき、さらに g_i r_{ds} ≪ 1, V₀ ≃ V_s とし、ΔV₀ と DV₀ の最小値との比 γ を(4)および(6)式から求めると

$$\begin{aligned} \gamma = \frac{\Delta V_0}{DV_0 \min} = & 2^7 \left(1 + \frac{2g_1}{g_h + g_0} \right) \left\{ \frac{4}{3} g_1 |\Delta r_{ds}| + 2|\Delta\beta| \right. \\ & \left. + \frac{g_h}{g_1} \left| \frac{V_h - V_s}{V_a - V_s} \right| |\Delta\beta_h| + \frac{g_b}{g_1} \left| \frac{V_b - V_s}{V_a - V_s} \right| |\Delta\beta_b| \right\} \quad (7) \end{aligned}$$

をうる。前述の実験回路における数値を代入し、また MOS 形 FET の on 抵抗の変動を前述のごとく |Δr_{ds}| = 18.5 Ω とし、金属皮膜抵抗器の抵抗値の調整誤差および温度差によるばらつきを |Δβ| = |Δβ_h| = |Δβ₀| = 10⁻⁴ とすると γ = 0.139 となり、この場合には変換誤差の最大値がデジタル値の 1 単位の約 1/7 となることがわかる。

4. 実験結果

回路の変換特性の測定結果を図 4 に示す。これは局部復号回路の入力符号(デジタル値)を設定し、出力電圧 V₀ が V_s に等しくなるときの電圧 V_h を実測して、(3)式で規定される理論値との誤差を求め、フルスケール値にたいする相対値で示したものである。

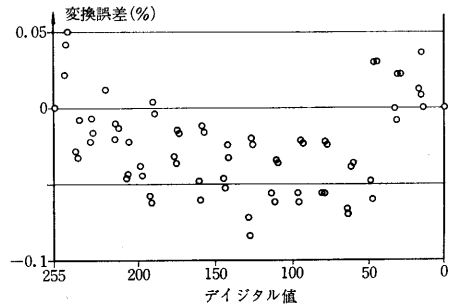


図 4 局部復号回路の変換特性

また、過渡特性の測定結果からは変換誤差が 0.1% 以下に落ちつくまでの動作時間の最大値は約 0.9 μsec であることがわかった。これはおもに点 P における等価並列容量が 8 組の MOS 形 FET の電極間容量をふくみ、実測値では 100~155 pF を示すことによる。図 2 の等価回路を用いると、C_b は

$$8(C_{gs} + 2C_{gd} + C_{ds}) + C_s > C_b > 8(C_{gs} + C_{ds}) + C_s \quad (8)$$

(C_s は漂遊容量)

と求められ、電極間容量の電圧依存性を考慮すれば同図の定数測定例ともだいたい一致していることがわかる。

5. 結言

MOS 形 FET を局部復号回路に用いるに際して、これに適した回路構成をくふうし、ソース・ドレイン間抵抗、電極間容量が回路の変換精度、動作速度におよぼす影響を検討した。実験回路の測定結果により 2 進 8 けたの局部復号回路において変換誤差 0.05%, 動作速度 0.9 μsec が得られることを示した。

終わりに、実験に協力された千葉工大後藤紘一君に謝意を表する。
(1967 年 7 月 29 日受理)