

# MOS 形 FET の静特性に対する バルクバイアスの影響

Effect of Bulk Bias Voltage on the Static Characteristics of MOSFET

安 達 芳 夫・上 村 幸 守

Yoshio ADACHI・Yukimori UEMURA

## 1. 序

現在、集積回路分野を中心に広く使用され始めている MOS 形 FET (Metal-Oxide-Semiconductor Type Field Effect Transistor) の静特性の研究は、すでに Hofstein・Sah など<sup>1)~7)</sup>、いろいろな人によってなされているが、これらの研究はすべてソースとバルクとを同電圧に保った場合のみを考察し、バルクバイアスの効果を全然考えていない。われわれはバルクバイアス電圧をも考慮に入れた理論式を導き出し、測定結果と比較したところ、非常によい結果を得たのでここに報告する。

## 2. 理 論

n-チャンネル MOS 形 FET の内部構造は図・1 のよ

うであるが、この場合のドレイン電流  $I_D$  は次式で表わされる<sup>6)</sup>。

$$I_D = q\mu_n ZN(y) \frac{dV(y)}{dy} \quad (1)$$

ここに  $\mu_n$ : チャンネル中の電子の移動度 (ここでは一定と考える.)

Z: チャンネル幅

$N(y), V(y)$ : ソースからチャンネルにそって距離  $y$  の点での、単位表面積当たりの電子密度・および電位

ところで  $N(y)$  は Si-SiO<sub>2</sub> 界面での電気的中性条件から、

$$qN(y) = qN_{ss} + C_0[V_{G1} - \phi_s(y)] - Q_b(y) \quad (2)$$

ここに  $N_{ss}$ : 単位表面積当たりの有効表面準位密度 (一定と仮定する.)

$C_0$ : ゲート酸化膜の単位面積当たりの容量

$\phi_s$ : 表面電位 ( $= V(y) + 2\phi_F$ )

$\phi_F$ : エネルギーギャップの中央から測った P 形バルク内部のフェルミ電位

ここで問題になるのが  $Q_b$  であるが、バルクバイアス電圧  $V_{G2}$  を加えた場合の  $Q_b$  は近似的に次式で与えら

れる。(ここで  $V_{G2}$  は、ソースに対してバルクに逆バイアスを加えたとき、正の値を取ってある.)

$$Q_b = \sqrt{2\epsilon q N_A} (V(y) + V_{G2} + 2\phi_F)^{1/2} \quad (3)$$

ここに  $N_A$ : バルク中のアクセプタ密度

$\epsilon$ : バルクの誘電率

(1) 式に (2)・(3) 式を代入して、境界条件  $V(y=L) = V_D$  のもとで積分すると、

$$I_D = (Z\mu_n C_0 / L) [V_{G1} \cdot V_D - 1/2 \{ (V_D + 2\phi_F)^2 - (2\phi_F)^2 \} - 2/3 (2\epsilon q N_A / C_0^2)^{1/2} \{ (V_D + V_{G2} + 2\phi_F)^{3/2} - (V_{G2} + 2\phi_F)^{3/2} \}] \quad (4)$$

ここに  $V_{G1} = V_{G1} + (qN_{ss} / C_0)$

したがって、 $V_D = 0$  における出力コンダクタンス

$$\left. \frac{\partial I_D}{\partial V_D} \right|_{V_D=0} = g_{d0}$$

$$g_{d0} = (Z\mu_n C_0 / L) [V_{G1} - 2\phi_F - (2\epsilon q N_A / C_0^2)^{1/2} (V_{G2} + 2\phi_F)^{1/2}] \quad (5)$$

また、飽和電圧  $V_{DS}$ ・飽和電流  $I_{DS}$  はピンチ・オフ条件  $N(y=L) = 0$  より、それぞれ (6)・(7) 式で与えられる。

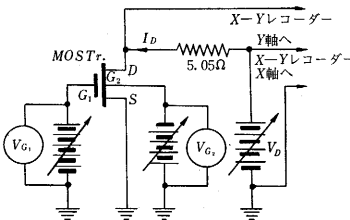
$$V_{DS} = V_{G1} - 2\phi_F - (\epsilon q N_A / C_0^2) \{ [1 + (2C_0^2 / \epsilon q N_A) (V_{G1} + V_{G2})]^{1/2} - 1 \} \quad (6)$$

$$I_{DS} = (Z\mu_n C_0 / 6L) [V_{DS}'^2 + 2V_{G1} V_{DS}' - 4(V_{G1} - V_{DS}') (V_{G2} - 12\phi_F (V_{G1} - \phi_F) + 4(2\epsilon q N_A / C_0^2)^{1/2} (V_{G2} + 2\phi_F)^{3/2})] \quad (7)$$

ここに  $V_{DS}' = V_{DS} + 2\phi_F$

## 3. 実験結果と検討

図・2 の結線で測定した MOS 形 FET の代表的な静特性を



性を図・3 に示す。次に素子のパラメータのうち移動度  $\mu_n$  や表面準位密度  $N_{ss}$  を決定するために、 $V_D = 0$  における出力コンダクタンス  $g_{d0}$  を測定した。(図・4 に示す。)この  $V_{G1} - g_{d0}$  曲線は  $V_{G1}$  が 4V 以下ではほぼ直線と考えられるから、この傾きから  $\mu_n = 490$  [cm<sup>2</sup>/V-sec] が求められる。さらに、 $V_{G1} = V_{G2} = 0$  の場合の実験値と理論値を比較することによって、 $N_{ss} = 8.46 \times 10^{-11}$  [cm<sup>-2</sup>] が得られる。ここに示した試料のほか 3 個の被測定

図・1 MOS 形 FET の構造 (各部分の大きさの比は正確でない)

性を図・3 に示す

次に素子のパ

ラメータのう

ちの移動度  $\mu_n$  や

表面準位密度

$N_{ss}$  を決定す

るために、 $V_D =$

0 における出力

コンダクタンス  $g_{d0}$  を測定した。(図・4 に示す。)

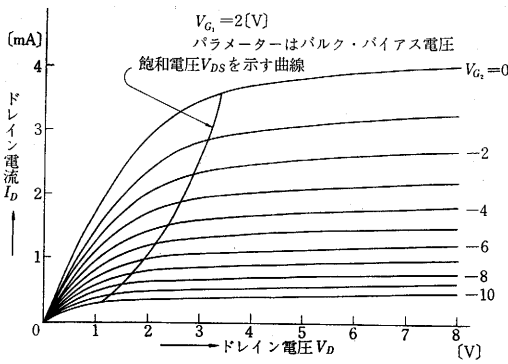
この  $V_{G1} - g_{d0}$  曲線は  $V_{G1}$  が 4V 以下ではほぼ直線と

考えられるから、この傾きから  $\mu_n = 490$  [cm<sup>2</sup>/V-sec] が

求められる。さらに、 $V_{G1} = V_{G2} = 0$  の場合の実験値と

理論値を比較することによって、 $N_{ss} = 8.46 \times 10^{-11}$  [cm<sup>-2</sup>]

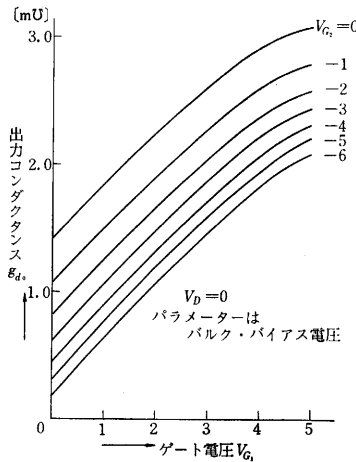
が得られる。ここに示した試料のほか 3 個の被測定



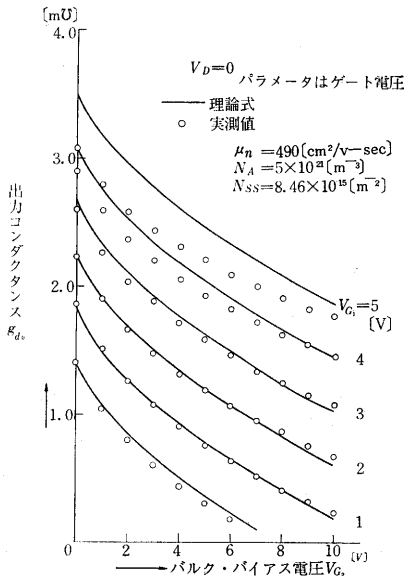
図・3 MOS 形 FET の静特性

MOSFET のそれもほぼこれに近い値が得られた。

この二つの値を(5)式の  $\mu_n \cdot N_{SS}$  に代入して  $V_{G1} \cdot V_{G2}$  の関数として  $g_{d0}$  を計算すると図・5の実線になる。これと実験値(○印)とを比較すると  $V_{G1} \leq 4$  で非常によく一致することがわ



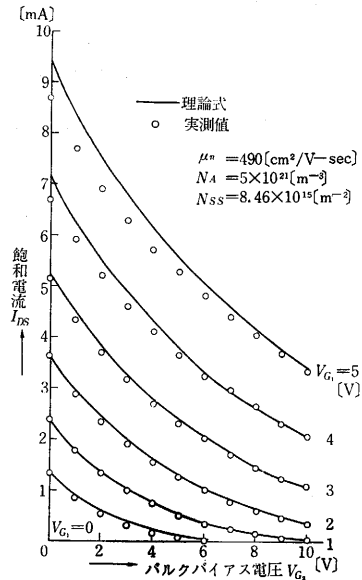
図・4 ゲート電圧  $V_{G1}$ -出力コンダクタンス  $g_{d0}$  特性



図・5 バルク・バイアス電圧  $V_{G2}$ -出力コンダクタンス  $g_{d0}$  特性

かる。ただし、 $V_{G1} > 4$  になると図・4でもわかるように直線性が失われてくるために、 $\mu_n = 490$  ( $\text{cm}^2/\text{V-sec}$ ) としたことが不適当となり実験値と一致しなくなる。

次に、飽和領域における理論値と実験値を



図・6 バルク・バイアス電圧  $V_{G2}$ -飽和電流特性

研究速報比較するために(6)式から飽和電圧  $V_{DS}$  を求め、それをもとにして飽和電流  $I_{DS}$  を式(7)から計算して図示したのが図・6(実線)である。実験値(○印)は図・3(および、記載していない同様なグラフ)から  $V_{DS}$  に対する電流値を読み出したもので、この場合も実験値と理論値とがよく一致している。

#### 4. 結論

MOS 形 FET のバルクとソース間にバイアス電圧を加えることによって、半導体表面の空間電荷領域が広がるために、バルクの電荷密度  $Q_b$  は増加する<sup>8)</sup>。この効果を考慮に入れた(8)式を用いると、ドレイン電流・出力コンダクタンス・飽和電圧・飽和電流表示式として、それぞれ、(4)~(7)式が得られるが、これらは以上に述べたように実験とよく一致する。このように MOS 形 FET のバルクバイアス効果は従来の理論式の簡単な修正によって表現できることがわかった。

謝辞 本研究に対して、試料を提供していただいた日本電気 KK 半導体技術部の藤江明雄氏、および安達研究室の方々に深く感謝する。(1966年10月3日受理)

#### 参考文献

- 1) C. T. Sah; "Characteristics of the Metal-Oxide-Semiconductors" IEEE. Trans. ED-11 (1964-7).
- 2) Hofstein and Heiman; "The Silicon Insulated-Gate-Field-Effect Transistor" Proc. IEEE, 51 (1963-9).
- 3) Root and Vadasz; "Design Calculation for MOS. FET" IEEE. Trans. ED-11 (1964-6).
- 4) Hofstein and Warfield; "Carrier Mobility and Current Saturation in the MOS Transistor" IEEE. Trans. ED-12 (1965-3).
- 5) 吉村; "MOSFET の飽和特性" 昭和 41 年 電気学会連合大会予稿, p. 1265.
- 6) Reddi and Sah; "Source to Drain Resistance Beyond Pinch-off in MOS Transistors" IEEE. Trans. ED-12 (1965-3).
- 7) 後川・藤田; "MOS トランジスタのピンチ・オフと飽和機構" トランジスタ研究会資料 (1966-2).
- 8) A. Many, Y. Goldstein and N. B. Grover [Semiconductor Surface] North-Holland Publishing Company Amsterdam (1965).