

UDC 621.374.32  
621.382.323

# MOS 型 FET を用いた電圧保持回路

A Sample Hold Circuit Using Metal-oxide-semiconductor Field-effect-transistors

森脇 義雄・高羽 禎雄・木下 英実

Yoshio MORIWAKI・Sadao TAKABA and Hidemi KINOSHITA

## 1. 緒 言

一般の電気的なアナログ信号を適当な時点でサンプルし、その値を保持する回路、すなわち電圧保持回路に MOS 型 FET を用いると、増幅素子としての入力抵抗およびスイッチ素子としての OFF 抵抗がきわめて高いために、ふつうのトランジスタを用いた場合に比べていちじるしく性能を向上させることができ、集積回路化による小形化への発展も期待できる。ここでは回路構成と特性の検討、実験の結果についてご報告する。

## 2. 動作原理と特性

(a) 動作の概要 回路構成および回路各部の電圧波形を図・1 および図・2 に示す。FET $Q_1$  のゲートに正のパルスが印加されると  $Q_1$  のドレイン・ソース間はスイ

ッチ ON されて低抵抗  $R_{Q1}(on)$  を呈し、その直後に到来した入力アナログ電圧  $V_i$  は  $R_{Q1}(on)$  を通じて保持容量  $C$  を充電する。

一定期間  $T_1$  だけ充電された後は、 $Q_1$  のドレイン・ソース間はスイッチ OFF されてきわめて高い抵抗  $R_{Q1}(off)$  を呈し、 $C$  は入力回路から切り離され、以後この時刻における電位  $V_a$  を保持する。

また、同様に放電パルスによって  $Q_2$  がスイッチ ON されて、 $C$  の電位は低いドレイン・ソース間抵抗  $R_{Q2}(on)$  を通じて  $-V_{SS}$  に向かって放電していく。

この  $C$  の電位  $v_a$  は常時  $Q_3$  よりなる高入力抵抗増幅回路によって、伸長出力信号  $v_o$  として次段へ伝送される。

(b) 充電時間 充電終了時の  $C$  の電位  $V_a$  は

$$V_a = V_i \{1 - \exp(-T_1/\tau_r)\}, \quad \tau_r = CR_{Q1}(on) \quad (1)$$

となり、一般に充電時間  $T_1$  は  $V_a$  を  $V_i$  に等しくするために十分大きくとる必要がある。たとえば、 $(V_i - V_a)/V_a = 0.1\%, 0.5\%, 1.0\%$  とすると、 $T_1 = 6.81\tau_r, 5.30\tau_r, 4.60\tau_r$  であることが必要である。ただし、もし  $R_{Q1}(on)$  したがって  $\tau_r$  が  $V_i$  に依存しなければ、 $T_1$  が小さい場合も  $V_a$  は  $V_i$  に比例し、直線性が維持される。この場合、充電時間の変動による保持電圧の変動があり、その変動率は

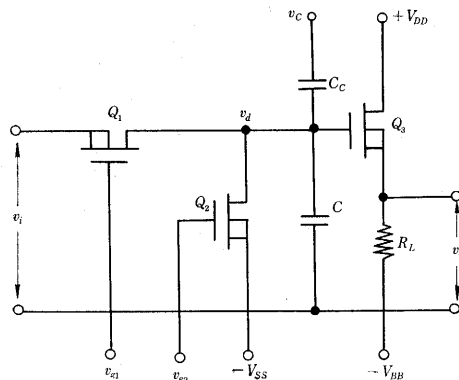
$$\beta = \{V_a(T_1) - V_a(T_1 - \Delta T)\} / V_a(T_1) \\ = \{\exp(\alpha T_1/\tau_r) - 1\} / \{\exp(T_1/\tau_r) - 1\} \quad (2)$$

ただし  $\alpha = \Delta T/T_1$  は充電時間の変動率である。たとえば、 $\alpha = 10\%$ 、 $\beta < 0.5\%, 1.0\%$  とすると、充電時間はそれぞれ  $T_1 > 4.8\tau_r, 3.85\tau_r$  でよいことがわかる。

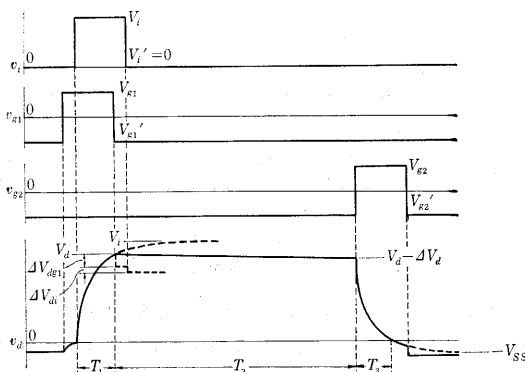
(c) 充電終了時のスパイクとその補償 ゲートおよび入力信号が終了する時点では、FET のゲート・ドレインおよびドレイン・ソース間の電極間容量  $C_{gd}, C_{ds}$  のために、図・2 点線に示すように保持電圧がそれぞれ

$$\Delta V_{d1} = \frac{C_{gd}(V_{g1} - V_{d1}')}{C + C_{gd}}, \quad \Delta V_{d2} = \frac{C_{ds}V_i}{C + C_{ds}} \quad (3)$$

だけ跳び降る。このスパイクは入力およびゲート信号と同位相かつ逆極性の信号を電極間容量と同程度の補償容量  $C_c$  を通じて  $Q_1$  のドレインに印加することによって補償できる。

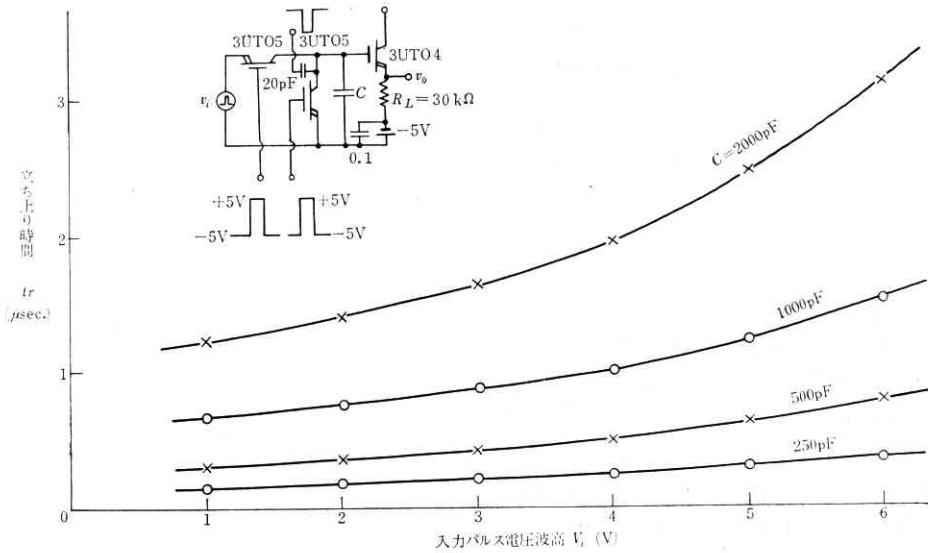


図・1 MOS 型 FET を用いた電圧保持回路



図・2 回路各部の電圧波形

研 究 速 報



図・3 電圧保持回路の立ち上り時間

(d) 保持電圧の降下 保持電圧  $V_d$  は,  $Q_2$  の OFF 抵抗および出力増幅回路の入力抵抗を  $R_{Q2}(\text{off})$ ,  $R_{in}$  とすると, 時定数

$$\tau = CR, \frac{1}{R} = \frac{1}{R_{in}} + \frac{1}{R_{Q1}(\text{off})} + \frac{1}{R_{Q2}(\text{off})} \quad (4)$$

にしたがって降下していく. したがって, 保持電圧の降下  $\Delta V_d$  は保持時間  $T_2$  後においては

$$\Delta V_d = T_2 V_d / \tau \quad (5)$$

となる.

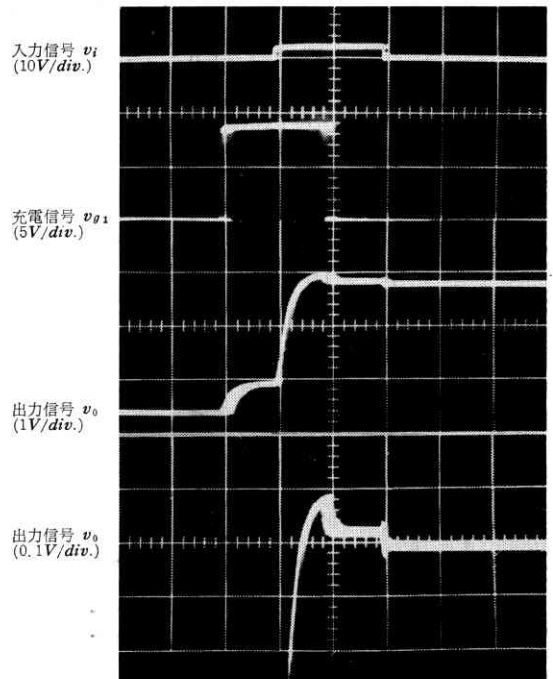
(e) 放電時間と残留電圧の補償 保持電圧は, 時定数  $\tau_f = CR_{Q2}(\text{on})$  で  $-V_{ss}$  に向かって放電する. この電圧  $-V_{ss}$  を用いることにより, 放電パルスの終了後に生ずる残留電圧を取り除くことができ, また放電時間  $T_3$  を短縮させ得る.

3. 実験結果および考察

供試 FET  $Q_1, Q_2$  が 3UT05 ( $R_{Q}(\text{on}) \approx 500 \Omega$ ),  $Q_3$  が 3UT04 についての実験結果を示す.

図・3は入力電圧  $V_i$  と立ち上り時間  $t_r = 2.2\tau$  の関係を  $C$  をパラメータとして示したもので,  $\tau$  はある程度  $V_i$  に依存しており, (1)式から充電時間を定める必要があることがわかる.

保持電圧の下降値としては,  $V_d = 3.8V$ ,  $C = 250 \mu F$ ,  $T_2 = 600 \mu \text{sec}$ . の場合に約  $20 \text{mV}$  であるので, (5)式より  $R = 456 \text{M}\Omega$  を得る. しかし,  $C$  の値を  $50 \mu F$  まで変化させても, この電圧降下値にはほとんど変化がなく測定誤差の範囲内に入っていることが認められ, 実際の  $R$  はこの値以上であることがわかった. また  $R$  が極め

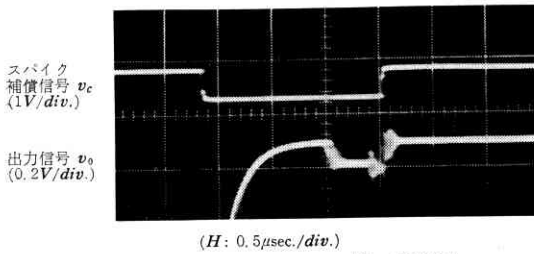


(H: 0.5  $\mu \text{sec}/\text{div}$ .)

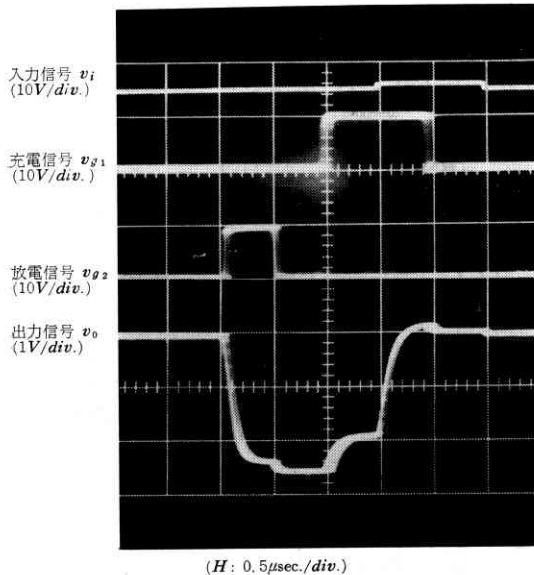
図・4 出力の立ち上り波形 ( $C = 250 \text{PF}$ )  
—スパイク補償なし—

て高いため, 保持容量  $C$  として  $100 \mu F$  程度以下の値を使用する場合には, 雑音を避けるためにシールド等を施す必要がある.

スパイク補償を行わない場合の立ち上り波形は図・



図・5 出力の立ち上り波形 ( $C=250PF$ ,  $C_c=20PF$ )  
—スパイク補償あり—



図・6 出力の立ち上りおよび降下波形 ( $C=250PF$ )  
—残留電圧補償あり ( $V_{ss}=0.6V$ )—

4 的になり、充電時に約 70mV 程度保持電圧が落ちている。図・5 は入力信号と同位相の補償信号を加えた場合の出力波形で、 $V_a$  にはほぼ等しい電圧を保持できる。

また、図・6 に示すように  $V_{ss}$  として 600mV 程度の電圧を用いることにより、降下時間  $T_2$  は  $T_1$  と同程度に減少でき、しかも残留電圧は完全に補償できる。

電圧保持回路としての直線性は約 6V まで良好である一方、約 2V の直流レベルシフトがあり、場合によってはその補償が必要となる。

#### 4. 結 言

MOS 型 FET を用いた電圧保持回路について、保持容量からみた並列合成抵抗がふつうのトランジスタによる回路より 2 桁程度以上大きく、保持時間を十分長くとり得ること、ソース・ホロウの使用により良好な直線性が得られること、内部電極間容量に基づく充放電パルスの漏れ、および残留電圧の影響が簡単に補償できること、また FET の ON 抵抗がかなり大きいため充放電時間が長くなるが、保持容量を小さくすることにより 1μsec. 程度に減少させ得ることがわかった。

したがって、この MOS 型 FET を用いた電圧保持回路は簡単な回路構成にもかかわらず、従来のふつうのトランジスタを用いた回路よりもすぐれている。

終りに、実験に協力された千葉工大植田武保君に謝意を表する。  
(1966年6月11日受理)

#### 文 献

- "Field-effect transistors" Electronics, 37,30(1964-11), 37,31(1964-12), 37,32(1964-12)

(p. 18 よりつづく)  
比較回路により  $L_A, L_B$  との比較をし、 $L_B \leq L \leq L_A$  ならばリレーを駆動してリレー接点を閉じ  $L_i'$  となる。 $L_i'$  は積分器 1 により時間積分され  $\sum L_i' = E_1$  となる。

一方比較回路の出力信号により乗算器の乗数は  $N/24$  に設定される。積分器 2 の出力  $\sum L_i$  は乗算器により  $N/24$  倍され  $N/24 \sum L_i = E_2$  となる。 $E_1, E_2$  を読取れば

$$K = \frac{N}{24} \frac{\sum L_i}{\sum L_i'} = \frac{E_2}{E_1} \quad (17)$$

が補正係数である。

ブロック図およびシーケンスチャート 図・17 にブロック図、図・18 にシーケンスチャートを示す。全体は 27 シーケンスからなり、シーケンス 1~24 で 24 個の太陽電池出力のチャンネル切換および演算を行ない、シーケンス 25 で積分器をホールドし、シーケンス 26 で積分器

出力回路を閉じ出力電圧  $E_1, E_2$  をメータ表示する。シーケンス 27 はクロックパルス入力回路を開くためのものである。

試験成績 ノーマルネガ 78 枚について計算機の計算による補正係数  $K'$  と本装置の表示した補正係数を比較した。演算部本体の誤差は約 2% 程度であった。

#### 5. 結 論

本研究により写真パタンの情報を統計的に処理することにより、写真の主要被写体に対し最適露光を行なうことが実用的段階で可能であることがわかった。また本研究では濃度補正を扱ったが、色再現(色補正)の問題を同時に取入れることが今後の課題である。

おわりに有益な助言をいただいた沢井教授、山口助教、授ならびに沢井研究室の方々に厚くお礼申し上げます。

(1966年6月13日受理)