

円筒形織成薄膜記憶素子を用いた高速記憶装置 (2)

波部 弘之・松下 昭

7月号に薄膜記憶素子の諸特性、装置の設計思想およびその構成をのべた。ここでは装置の実際の構造および製作された記憶装置の動作特性、安定性および将来への見通しをのべてある。

4. 記憶装置構成の実際

記憶装置のチェックが目的であるから、構成はできるだけ簡単化してある。メモリー・チェックの自動化のほかに種々の手動操作も行なえるようにしてあり、その全体の構成を第 19 図に示す。

記憶装置の動作状態はすべて操作盤上に表示ランプで示されるようになっており、操作用のスイッチ類等を参照されたい(写真3参照)。

第 19 図(7ページ)の各部分は次に示される機能装置として構成されている。

1) アドレス・カウンタ⁸⁾

メモリーの番地を指定するカウンタで入力を受けるごとに“1”ずつ count-up してゆく。方式は並列 up-counter に直列 up-counter を組み合わせ、complementing FF と NOR 回路を用いた独自の論理構成で、たとえば第N番目(並列 up-counter)の FF の入力ゲートの一般条件は次の論理式で示される。

$$n = (\bar{N}_1 + \bar{N}_2 + \bar{N}_3 + \dots + \bar{N}_{n-1} + \bar{P}) \cdot \bar{N}_n \\ = N_1 \cdot N_2 \cdot N_3 \cdot \dots \cdot N_{n-1} \cdot \bar{N}_n \cdot P$$

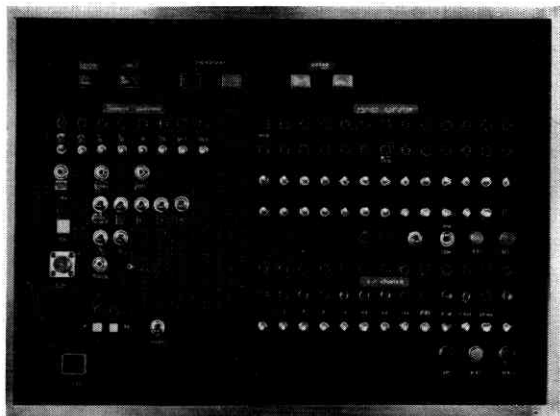
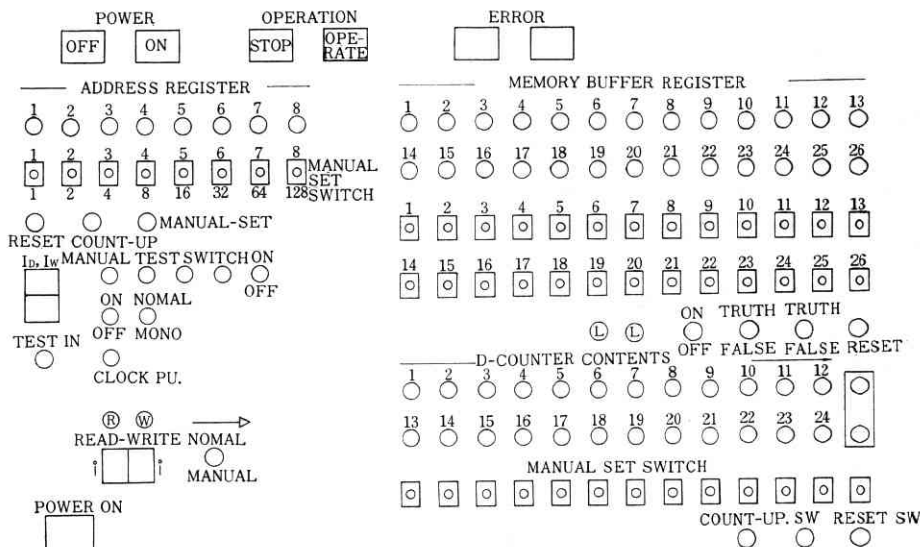
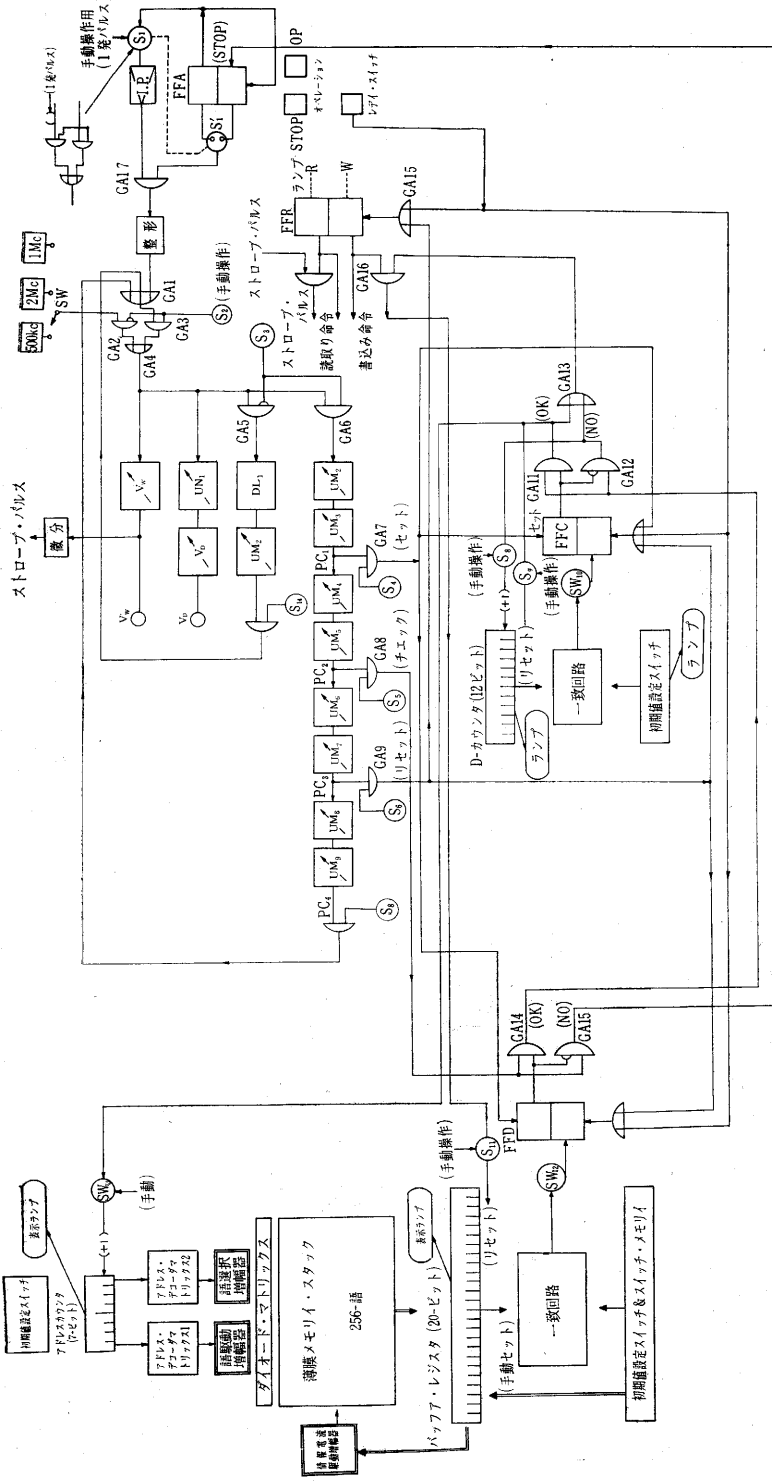


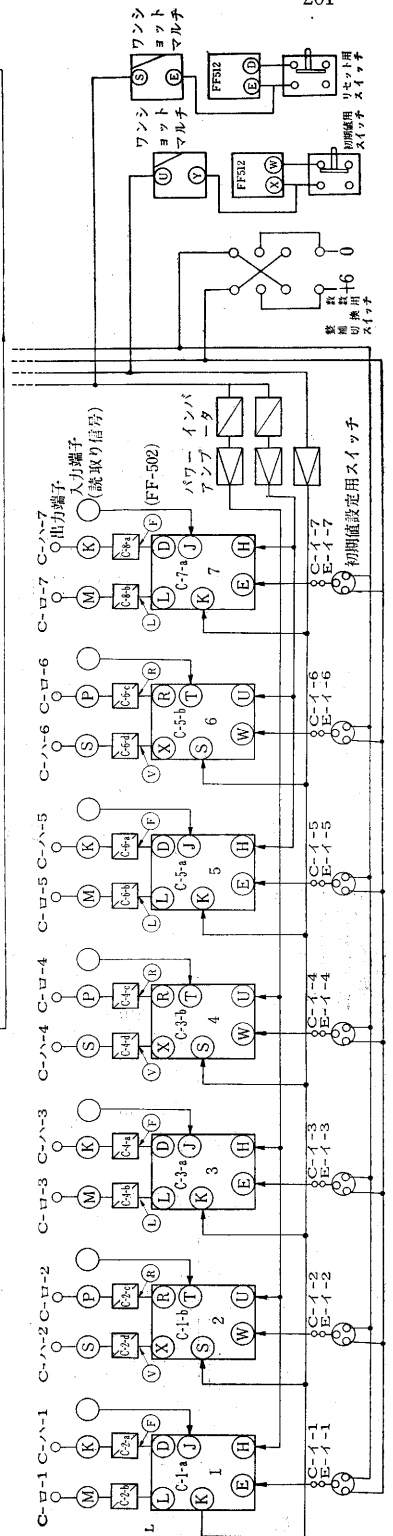
写真 3 操作盤



第 20 図 記憶装置操作盤の配置



第 19 図 薄膜記憶チェック装置の構成



第 23 図 メモリー・バッファ・レジスタの構成

$$\bar{n} = (\overline{N_1 + N_2 + N_3 + \dots + N_{n-1} + P}) \cdot N_n$$

$$= N_1 \cdot N_2 \cdot N_3 \cdot \dots \cdot N_{n-1} \cdot N_n \cdot P$$

ただし n , \bar{n} は第 N 番目 FF の入力, $N_1, N_2, N_3 \dots N_n$ はカウンタの各段 FF のセット出力で $\bar{N}_1, \bar{N}_2, \bar{N}_3 \dots \bar{N}_n$ はそのリセット出力である. 実際の回路を第 21 図に示す.

2) アドレス・デコーダ回路

NOR 回路を基本として構成され, 256 語を 16×16 に分けて構成してある. NOR 回路による AND 論理は DE MORGAN の定理より

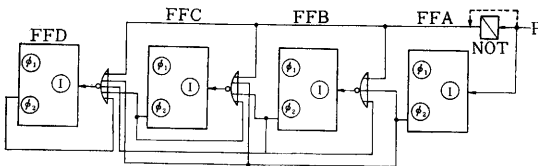
$$f = \overline{A + B + C + D}$$

$$= A \cdot B \cdot C \cdot D$$

で示され, その真理値表は第 3 表に示されるようになり, 第 22 図にその回路を示す.

3) メモリ・バッファ・レジスタ

メモリからの読取り出力を受け, それを蓄積し, 再書き込みの情報としたり, 読取り情報を外部の回路に渡したり, または外部よりメモリに書き込む情報を受け取



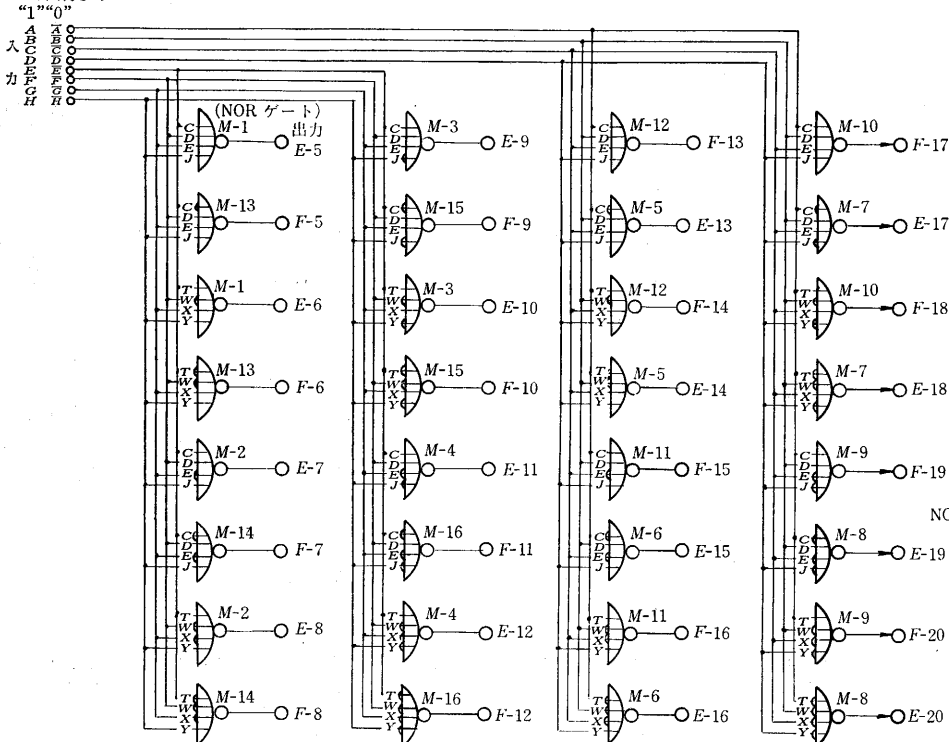
第 21 図 up-counter の構成 (FF-512 “第 14 図(a)” を使用)

ったりする. すなわち, 記憶装置の各機能回路を動作させているクロックへメモリの動作を引き込ませる役割を果たす. その回路構成を第 23 図 (7 ページ) に示す.

第 3 表

OUT	truth				negation			
	D	C	B	A	\bar{D}	\bar{C}	\bar{B}	\bar{A}
1	0	0	0	0	1	1	1	1
2	0	0	0	1	1	1	1	0
3	0	0	1	0	1	1	0	1
4	0	0	1	1	1	1	0	0
5	0	1	0	0	1	0	1	1
6	0	1	0	1	1	0	1	0
7	0	1	1	0	1	0	0	1
8	0	1	1	1	1	0	0	0
9	1	0	0	0	0	1	1	1
10	1	0	0	1	0	1	1	0
11	1	0	1	0	0	1	0	1
12	1	0	1	1	0	1	0	0
13	1	1	0	0	0	0	1	1
14	1	1	0	1	0	0	1	0
15	1	1	1	0	0	0	0	1
16	1	1	1	1	0	0	0	0

FF の出力より

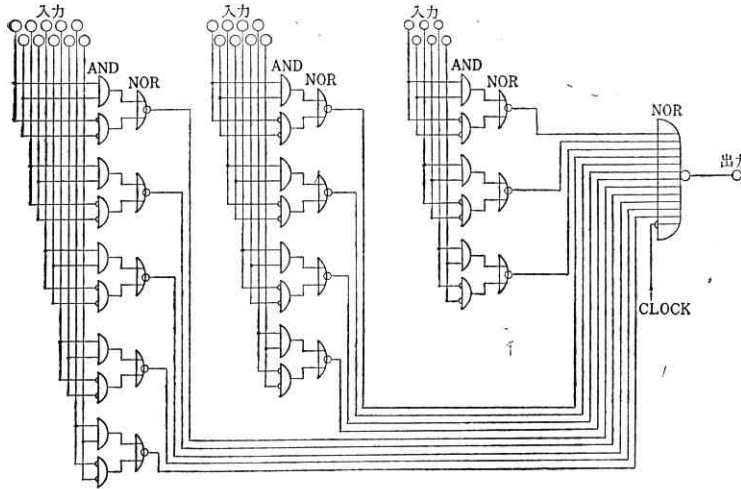


NOR 回路による AND 論理

$$f = \overline{A + B + C + D}$$

$$= A \cdot B \cdot C \cdot D$$

第 22 図 NOR 回路によるアドレスデコーダ回路 (NOR ゲート使用)



第 24 図 一致回路; NOR 回路による一致回路の論理

次に、バッファ・レジスタの内容をチェックする一致回路がある。一致回路を NOR 回路で構成する論理は 2 入力の場合を取ると

$$\begin{aligned} f_1 &= A \cdot B + \bar{A} \cdot \bar{B} \\ &= (A \cdot B) (\bar{A} \cdot \bar{B}) \\ &= (\bar{A} + \bar{B}) \cdot (A + B) \end{aligned}$$

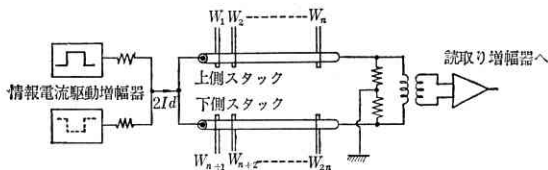
ここで f_1 は一致出力, A, B, \bar{A}, \bar{B} は各入力である。一般に n 個の入力の一致回路の NOR 論理は

$$\begin{aligned} f_1 + f_2 + \dots + f_n &= \{(\bar{A} + \bar{B})(A + B)\} \\ &+ \{(\bar{C} + \bar{D})(C + D)\} + \dots \\ &+ \{(\bar{Y} + \bar{Z})(Y + Z)\} \\ &= (A \cdot B + \bar{A} \cdot \bar{B}) \cdot (C \cdot D + \bar{C} \cdot \bar{D}) \dots \\ &\dots (Y \cdot Z + \bar{Y} \cdot \bar{Z}) \end{aligned}$$

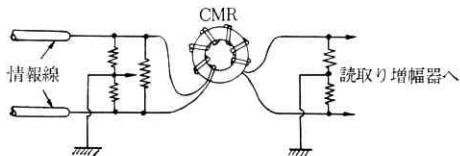
で示され、その回路は第 24 図に示す。

4) D-counter

回路構成はアドレス・カウンタと同じ並列 up-counter である。これはある選ばれたメモリ番地にバッファレジスタに指定されたパターンを何回書き込むかを指定するカウンタで、D-counter に指定された回数だけ、



第 25 図 メモリ・スタックの結線



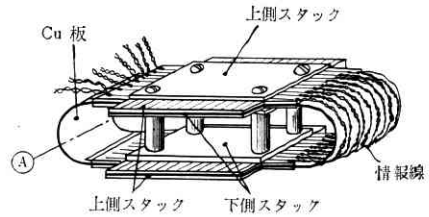
第 26 図 CMR: 7mmφ フェライトコア 7turn×2

その番地へ書き込みが行なわれると、一致回路が働き、自身をリセットして、アドレス・カウンタを "+1" して次へ進んでゆく。

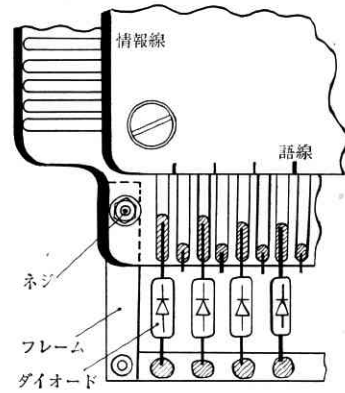
現在何回目をメモリに書き込んでいるかは、すべて表示ランプに指示されている。

5) メモリ・スタック

メモリ・スタックは 256 語を 1 記憶点 1 ビットで使用するため第 25 図の方法に結線をし、また情報電流の妨害を除くため第 26 図に示す方式を取っている。スタックの構造は、帯状の銅板に上下各 4 枚のメモリ・プレーンを背中合せに取りつけ第 27 図のような構造とし、語線側には語選択用の



第 27 図 メモリ・スタックの構造



第 28 図 語選択用ダイオードの取付け

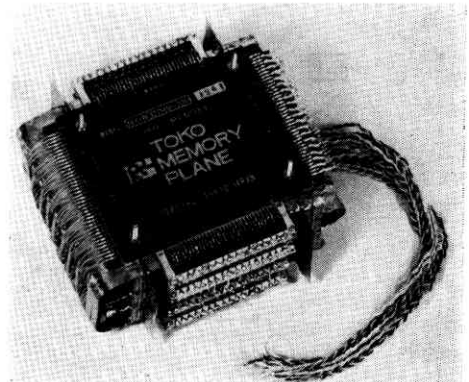


写真 4 256 語スタック

ダイオードがプレーンの両側に直接取り付けられている。すなわち第 28 図のようになっている。全体の構造は写真 4 を参照されたい。

6) 情報駆動回路の論理構成

情報駆動パルスによる妨害を除くために、メモリ・プレーンを 2 組に分け、変形ブリッジ構成とし、情報駆動パルスを読取り増幅器の入力側に設けられている common mode 除去用変成器で相殺するようにしてある。ただしこの方式は 2 組のおおののプレーンに書き込む情報の“0”、“1”を逆にして扱かわねばならない。

そこで、実際にはメモリの番地を前半 (0~127 番地) と後半 (128~255 番地) に分け “1” と “0” を振り分けるようにしてある。すなわち

$$GA1 = V_D \cdot B_V \cdot M_S$$

$$GA2 = V_D \cdot \bar{B}_V \cdot \bar{M}_S$$

$$GA3 = V_D \cdot B_V \cdot \bar{M}_S$$

$$GA4 = V_D \cdot \bar{B}_V \cdot M_S$$

ここで GA1, GA2……GA4 は各ゲートの出力を表わし、 V_D はオーダ・パルス、 B_V はバッファ・レジスタの出力、 M_S はバッファ・レジスタの最上位桁 (MSD) の情報を示す。よってこの回路構成は第 29 図のようになる。

論理式より 0~127 番地までは AND ゲート GA1, GA4 が動作し、バッファ・レジスタの内容によって “1” または “0” のパルス I_D が出力に現われる。すなわち, “1” の場合は GA1 より V_D が出るので図中実線の I_D が現われる。“0” の場合は GA4 より V_D が出て, “0” の I_D が出力に現われる。128~255 番地までは GA2, GA3 が動作するので、ちょうど前述の条件と逆のパルスが出力に現われる (図中点線で示されたパルス)。

5. 記憶装置の動作とマージナル・テスト

(1) 装置の構成

実際の記憶装置に使用されたパッケージ・モジュールの種類および数は次のとおりである。

使用パッケージ記号	枚数	内容
NOR-511	17	NOR ゲート
FF-502	11	フリップフロップ
AOG-79	20	AND-OR ゲート
DD-802	20	デジット・ドライバー
SA-648	20	読取りアンプ
NOR-501	24	NOR ゲート
PA-903	7	パワー・アンプ
FF-512	6	フリップ・フロップ
WS-202	16	語駆動スイッチ
WD-161	16	語選択アンプ
UM-402	5	ワンショットマルチ
NOD-101	8	ネオン球ドライバー
その他	6	

計 176 枚

そのほかにリレーが使用されている。

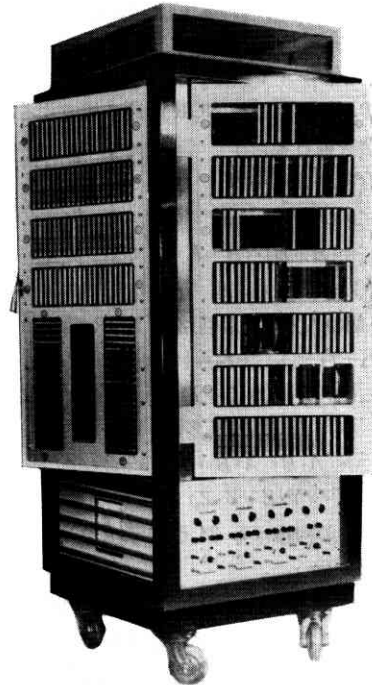
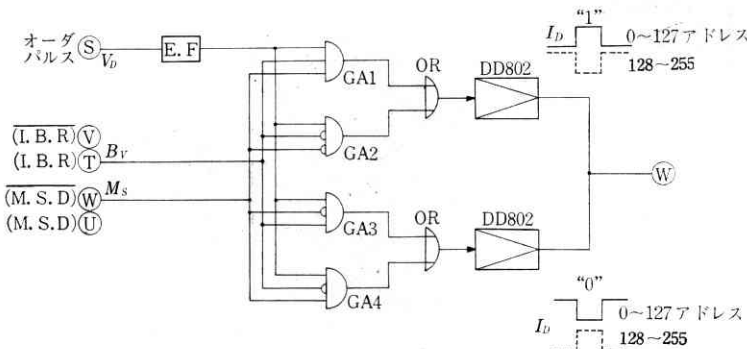


写真 5 メモリ・チェックング・システムの外観とメモリ・スタック



第 29 図 情報駆動回路の論理構成

本装置の外観は写真 5 に見るようにメモリ・スタックを中心に、その配線距離が最短になるように配置されている。

全体の大きさは 80×80×180 cm(写真 5) で各パッケージは、機能装置ごとにとまとめられており、20 枚ずつ入るケースに収められ、各ケース間は端子によってのおおの結合されている。したがって各機能回路単位に分解、組立ができる。

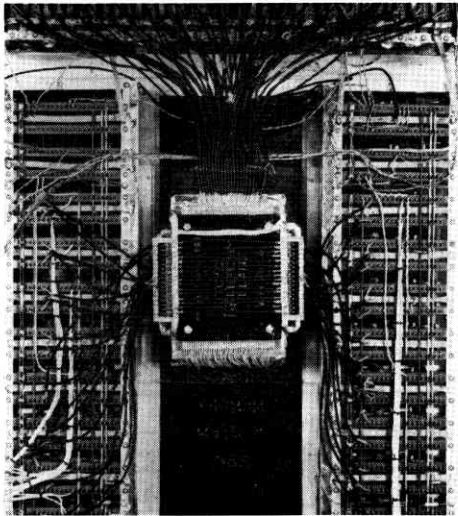


写真6 メモリ・スタックの配置と配線

(2) 波形の測定

記憶装置の各番地ごとに“101010……10”のパターンを連続して書き込み、次にこれを読み出す。次にこの補数パターン“010101……01”を書き込み、読み出す。以上のテストをすべての番地に対して行なった。ただし、使用した読み、書きサイクル時間は次の二つに分けて行なった。

- 1) まず 1 Mc のクロックにより $V_W(I_W)$, $V_D(I_D)$ のパルス幅を広く取り 1 μ s 上記のテストを行なう。
- 2) 読取り信号のストロープ・アウトとバッファ・レジスタの立上がり、下がり時間の測定。これより情報駆動パルス $V_D(I_D)$ の位置を決定する資料とした。
- 3) (2) の結果より $V_W(I_W)$, $V_D(I_D)$ を決定し、これによって 2 Mc, すなわち読み、書きサイクル時間 500 ns として全番地についてのテストを(1)に準じて行なった。

(3) 読み、書きサイクル時間 1 μ s による記憶装置のテスト

1) 読み、書きの波形

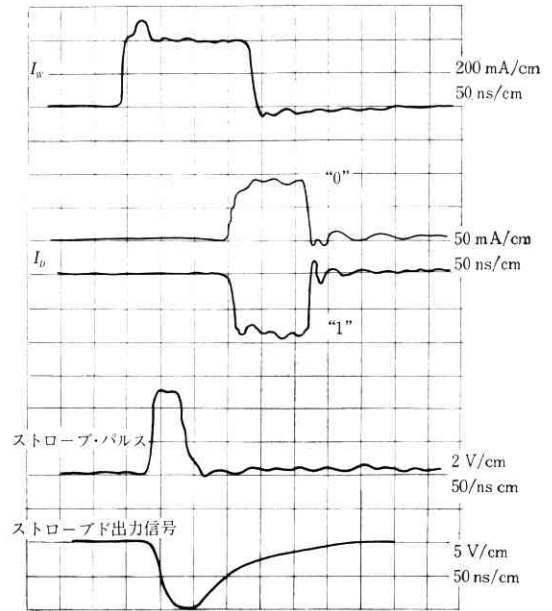
読み、書きサイクル時間 1 μ s のときの I_W , I_D の波形とその時間関係を第 30 図に示す。なお第 4 表にテストに使用したパターンを示す。

2) テストの手動操作

(a) 情報の書き込み

- (イ) アドレス・カウンタを 0 番地にセットする。

256 話 周期時間 ; 1 μ s



第 30 図 読み、書き 1 μ s のときの I_W , I_D , ストロープ・パルスおよび読取出力波形

- (ロ) バッファ・レジスタを第 4 表のパターンにセットする。
- (ハ) 「読み、書き」スイッチを「書き込み」にセットする。
- (ニ) 操作スイッチを「ON」とする。
- (b) 情報の読取り操作
 - (イ) 「読み、書き」スイッチを「読取り」にする。
 - (ロ) バッファ・レジスタをリセットする。
 - (ハ) 操作スイッチを「ON」とする。
 - (ニ) バッファ・レジスタに読み出された内容をチェックする。

そして次に、アドレス・カウンタを“1” count-up して次の番地について同様のテストを行なってゆく。

(4) 読み、書きサイクル時間 500 ns による記憶装置のテスト

次に読み、書きサイクル時間を 500 ns とするために以下の測定を行ない I_W , I_D のパルス・パターンを決定し、これによって全番地のテストを行なった。

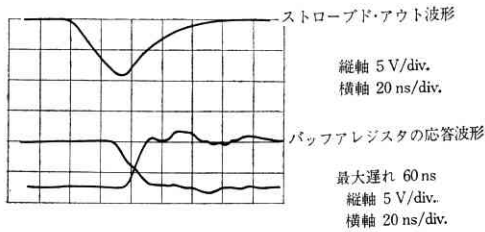
1) バッファ・レジスタの応答速度の測定

記憶素子に“1”を書き込み、これをバッファ・レジスタに読み取り、次にこれをリセットし、続いて次のサイ

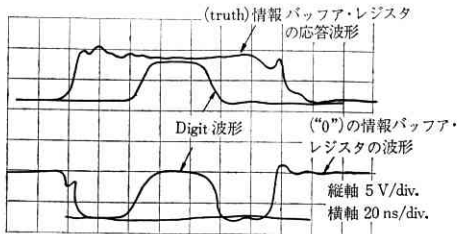
第 4 表 読み、書きテストに使用したパターン

bit No.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
パターン	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
補数	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

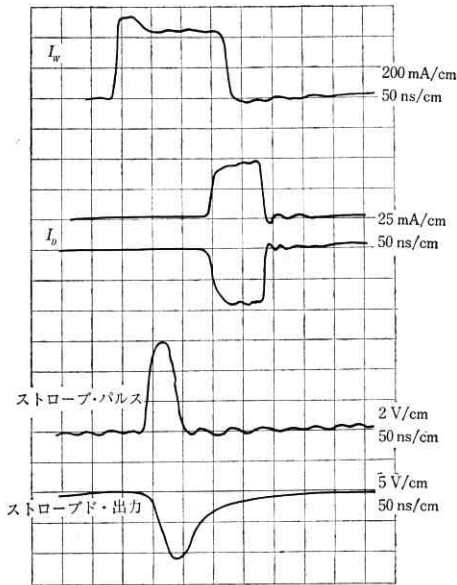
ストロブド・アウトと情報バッファ・レジスタの動作波形の測定



(a) くり返し IMc のときの測定

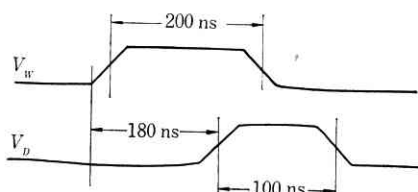


(b) バッファ・レジスタの応答波形と情報電流波形の測定よりこの制御は完全に行なわれている

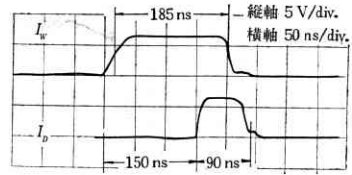


(c) 読み、書きサイクル 500 ns における各波形の測定

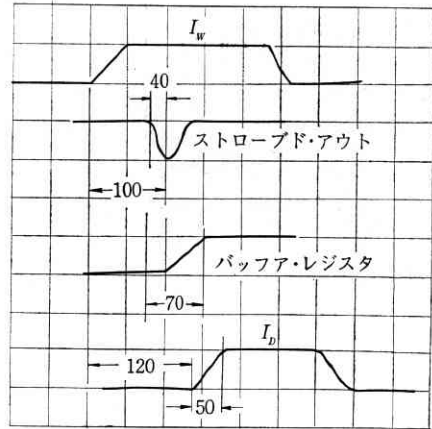
第 31 図



(a) 読み、書きサイクル 500 ns の I_w , I_D を、ストロブド・アウトとバッファ・レジスタの応答より算出した波形



(b) 読み、書き周期 500 ns 測定



(c) 500 ns における I_w , I_D を決定するに必要な時間関係

第 32 図

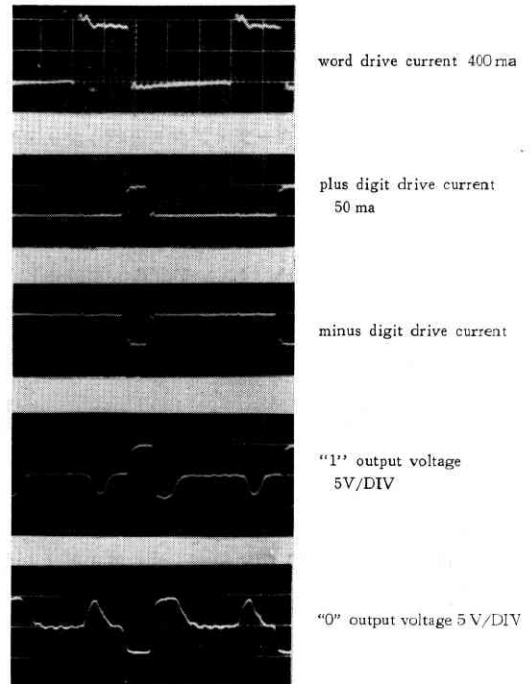


写真7 メモリ・プレーンを駆動するパルス波形 (100 ns/DIV)

クルに入る。そこでバッファ・レジスタの出力端子 (FF 出力または、情報駆動増幅器の入力端子) の波形を測定し、これを第 31 図 (a), (b), (c) に示す。

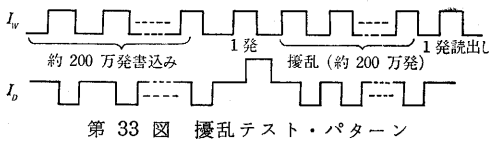
以上の測定によってストロブ・アウトの時間測定、バッファ・レジスタの立上がり遅れ、下がり遅れより

I_W , I_D のパルスの時間関係を算出し V_W , V_D の波形を決定した. 以上の方法によって求めた波形を第 32 図 (a) に示す. これによって実験を行ない, 最終的に実際の回路内での各部の波形の測定を行なった. その I_W , I_D を第 32 図 (b), (c) に示す. また各部の測定波形を写真 7 に示す.

(5) 記憶装置のテスト

1) disturbance (擾乱) テスト

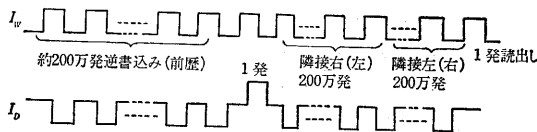
ある番地に全ビット同じ情報を約 200 万発連続に書き込みを行なう. 次にそこに逆の情報を 1 発だけ書き込む. 次に, その番地を除いたすべての番地に逆パターンを約 200 万発以上連続して書き込む. すなわち, 擾乱を与え, その後, 先の番地へもどし 1 発で読み出す. 以上の波形および時間関係 (I_W と I_D) を第 33 図に示す.



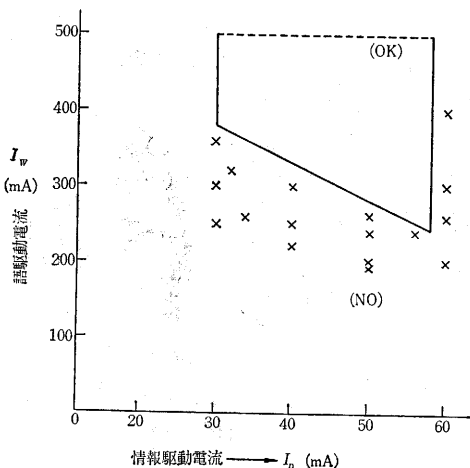
第 33 図 擾乱テスト・パターン

2) interference (干渉) テスト

ある番地に約 200 万発の同じ情報を書き込み, 次に 1 発の逆パターンを書き込み, 次にその両隣接番地に逆パターン書き込みを, それぞれ連続に 200 万発以上に, 擾乱として与えてから, 先の番地にもどし, 1 発で読み出し, その内容をチェックする (第 34 図参照).



第 34 図 干渉テスト・パターン



第 35 図 マージン・テスト (I_W — I_D)

3) マージン・テスト

ある番地において, 干渉テストの最悪条件のもとで, I_W , I_D の値を変化させて誤動作を起こさない範囲を求めるテストである.

I_W , I_D の電流値の変化は語選択増幅器および, 語駆動増幅器の “+30 V” の電源電圧と, 桁駆動増幅器の “±10 V” の電源電圧を変化させて行なった.

その結果を第 35 図に示す. これは常温 (約 10~28 °C) にて行なったものであるが, その後 0°C 以下, 30°C 以上にて行なった場合も変化は認められなかった.

第 35 図からわかるように本薄膜記憶装置は非常に安定性の高い, しかも温度にあまり影響されない素子であることがわかる.

6. 結 語

円筒形織成薄膜記憶素子は, メモリィ・プレーン自体の各種のテストにおいて非常にすぐれた特性を示した. またその形状の小形化, 温度, 振動に対してもすぐれている. 今回の記憶装置はそのようなすぐれた記憶素子を大容量化するための各種のデータを得ること, 次に記憶素子のもつ高速性をどこまで実現できるか, そして, 将来の高速大容量装置の製作にあたって, どのような点に留意し, どのようなテストを行なうべきであるか, 等を調べる目的で試作したものである.

いちおう 256 語に対しては現在のデジタル技術によって十分その目的を達し得ることが判明し, また, 記憶素子も予想にたがわず, その性能を充分発揮した. 今回の装置は DRO 方式 (破壊方式) を用いたが, メモリィ・プレーンの改善により NDRO 方式 (非破壊方式) とすることも十分可能であると考えられ, それによって読み, 書きサイクル時間を 200 ns, または 100 ns 以下にすることも考えられる.

今回はメモリィ・プレーン内で生じる信号伝達の遅延時間等の問題には触れなかったが, 大容量化の場合は当然問題となってくる. また, 周辺回路も高速化に伴って改善しなければならない問題がある.

現在は大容量化をめざし 4096 語の試作, 他方においては, 読み, 書きサイクル時間 200 ns 以下の非破壊読み出し方式の試作が行なわれている.

最後に本研究は東光 KK 電算部品部において行なわれたこと, 電算部の諸氏がすべて協力して製作した装置であることを明記する. なお本研究には前田久雄博士 (東光 KK 社長) の全面的なご協力をいただいたことを記して厚くお礼申し上げる. (1965年5月6日受理)

8) 松下, 渡部: NOR GATE を用いた PARALLEL UP-COUNTER の一構成方式について, 電通信全国大会 RCL 6335 昭 39 年, 特許申請中.