

円筒形織成薄膜記憶素子を用いた高速記憶装置 (1)

渡 部 弘 之・松 下 昭

デジタル装置に使用される記憶装置を円筒形織成薄膜記憶素子を用いて製作し、その諸特性の解析を行ない、それに必要なチェック装置を開発、製作したので発表する。

最近のデジタル技術の発達にはめざましいものがある。特に計数形電子計算機においては、その使用素子の発達に伴いデータ処理能力の増強とともに、ますます高速小形化そして高安定性が要求されている。

特に記憶装置は計算機の最も重要な機能装置でありながら、他の論理素子の高速化、高安定性に比べて劣るところがある。それら電子計算機の内部記憶装置に現在使用されているおもなものは次のようなものがあげられよう。

- (1) 遅延線による記憶装置
- (2) 磁気ドラム記憶装置
- (3) 強磁性コア記憶装置
- (4) 磁性薄膜記憶装置

ここで(1),(2)は記憶情報の読出し、書込みに要する待時間が大きく、最近では内部記憶装置としてはあまり用いられず、外部または補助的な記憶装置として用いられているようである。(3)の強磁性コア記憶素子は電流一致方式とし、最近の電子計算機のほとんどが採用しており、高速、大容量、そして最近では温度に対してもかなり安定性の高いものができるようになってきた。しかし、記憶速度には限界があり、読み、書きサイクル時間は $1\mu s$ が限界といわれている。(4)の磁性薄膜は速度においては理論的に $1ns$ まで可能であるといわれ、最近の研究によってしだいに安定性の高い大容量の装置が実現しつつある。

筆者らは(4)の原理に基づいて製作された円筒形織成薄膜記憶素子^{1),2),3),4)}を用いて、記憶容量 256 語、1 語 20 ビット、読み、書き時間 500 ns の記憶装置および、そのメモリー・スタック・チェック・システムを製作完成したので発表する。

1. 磁性薄膜記憶素子の原理⁵⁾

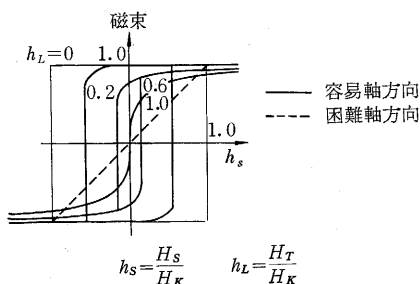
Ni-Fe (80~20) 材を 10~50 エルステッドの磁場の影響下で厚さ 1000~2000 Å という薄膜状に形成するとその方向に磁化容易軸 (easy direction) ができ、その B-H 特性は第 1 図の矩形ヒステリシス曲線で示されるようになる。またそれに垂直な方向は磁化困難軸 (hard

direction) となり、その B-H 特性は図中のリニアな特性で示されるようになる。

以上の磁性薄膜の特性を利用して情報の記憶を行なわせる場合、その薄膜素子の製法や形状によって種々のものが考えられるが、製法から大別して次の二通りに分けることができる。

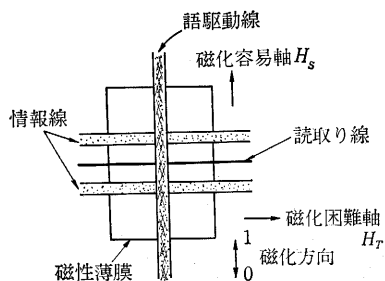
- (1) 真空蒸着による方法
- (2) 電解メッキによる方法

(1)の方法は普通ガラス板のような平板状に薄膜を形成させたもので、これを平板形と呼び、(2)の方法は導線のような円筒状の線の上に薄膜を形成させる方法をとっており、これを前者に対して円筒形と呼ぶ。



$h_s = \frac{H_s}{H_K}$ $h_L = \frac{H_T}{H_K}$
 H_s : 容易軸方向磁界 H_T : 困難軸方向磁界

第 1 図 薄膜のヒステリシス曲線



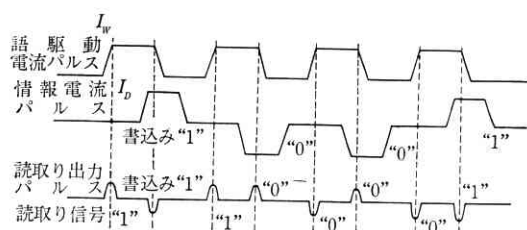
第 2 図 平板形磁性薄膜記憶素子

薄膜記憶素子の動作原理を説明するのに平板形素子の 1 ビットを取り上げ第 2 図に示す。1 個の薄膜素子には 3 種の導線がある。すなわち素子の磁化容易軸に並列に語駆動線を設け、それと垂直な方向に情報線と、信号の読取り線がある。

記憶情報の読取りは語駆動線に磁化困難方向の飽和磁力 H_K よりも大きい磁場 H_T を与えるに十分な電流 I_W を加えれば、薄膜の磁極を難方向、すなわち、第1図のリニアな特性に回転し、これを除くとともにどる。よってこのときの磁場の変化が読取り線に現われ、もしこの回転が記憶情報の“1”の位置からのものであれば正の出力が、“0”の位置からのものであれば負の出力となって現われる。

情報の書込みは語駆動線に電流を与えた状態で、情報線に“1”または“0”極性の情報電流を与えると、これは磁化容易軸方向に磁場を形成するので、薄膜はリニアな特性から矩形ヒステリシス曲線に移り、情報電流に従って回転を起こし、その情報が記憶される。

以上の動作を各導線に与える波形によって示したのが第3図である。

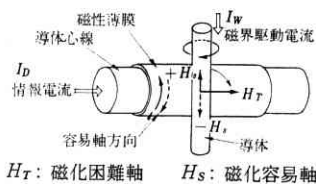


第3図 各導線に与える電流波形と出力

(1) 円筒形織成薄膜記憶素子の構造と動作原理

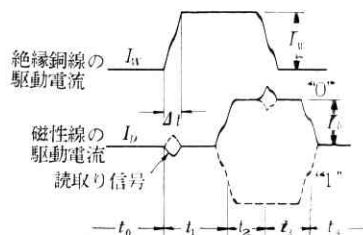
円筒形薄膜は直径約 0.2 mm 程度の導体線 (Cu) 上にパーマロイを電解メッキし、その磁気特性および構造は第4図に示すように円周方向に磁化容易軸を取り、それと直角な線方向に磁化困難軸を磁気付けしてある。そして、このメッキされた導線を情報線とし、同時に記憶情報の読取り線とする。語駆動線はこのメッキ線と直交するように設けるのであるが、これに細い絶縁皮膜された銅線 (ポリウレタン線) を布状に織りあげる。そこで原理的な構造は第4図に示されるように磁性薄膜線と、その表面に沿うように直交した語駆動線で構成される。この磁性薄膜の単軸異方性は芯線導体の円周方向に処理されているので、1ビットの記憶状態は、その交点部における磁性薄膜の磁化状態、すなわち、磁化容易軸の方向を右巻にするか左巻にするかによって行なう。

記憶動作および、情報内容の読取りの動作原理は、前述の平板形薄膜とまったく同じである。すなわち、記憶情報の読取りは、第4図の絶縁銅線に語駆動電流 I_W を



第4図 ワイヤメモリの原理

与えることによって、その信号がメッキ線に現われる。また、情報の書込みは、語駆動電流 I_W を与えておき、



第5図 電流パルス I_W , I_D の関係

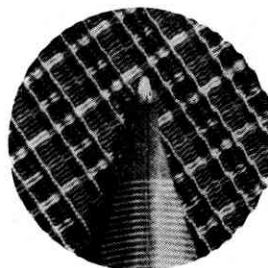
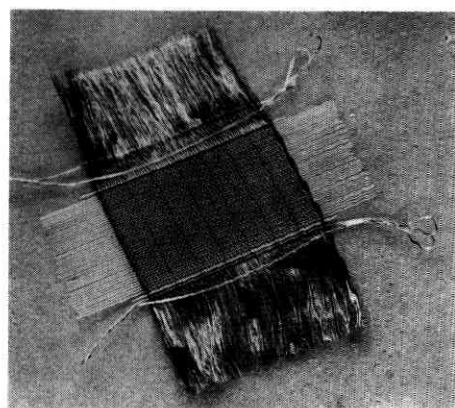
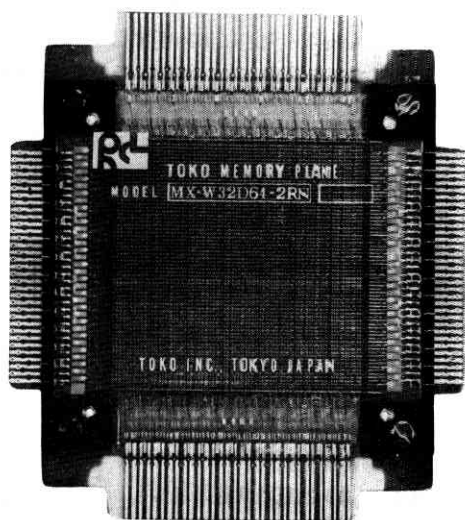


写真1 円筒形織成薄膜メモリー・プレーンの構造

情報に応じて、正または負極性の情報電流をメッキ線に与えることによって行なう。その各電流パルスの関係が第 5 図に示す。

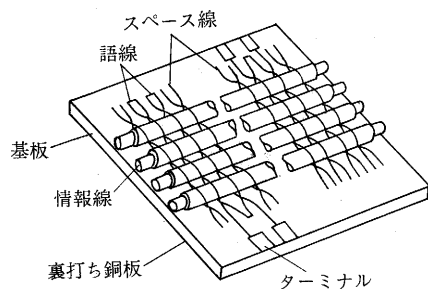
円筒形織成薄膜記憶素子は平板形に比べて次のような特長をもつ。

- 1) 容易軸方向を円周方向に取ってあるので、磁気的に閉路となっており、外部磁界に対して安定である。
- 2) 円筒形の導線にパーマロイをメッキすることは、蒸着法に比べて、その製法が容易で、磁気特性を任意に変更したり、その均質性を保つための制御が行なえるなど、大量生産に向く。
- 3) 織成法を取り入れたことで、メモリー・プレーンを自動織機を用いて量産できる。
- 4) 布状であることから、振動に強く、しかもビット密度を大きくできる。
- 5) 温度特性にすぐれている。
- 6) 小さな電力で書込み、読出しが可能で、磁区の構造、磁化反転および磁壁移動など磁化挙動から見て、隣接ビットあるいは外部からの誘導磁界の影響を受けにくい。

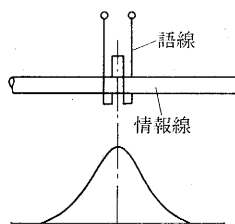
実際の円筒形織成メモリー・プレーンは写真 1 を参照されたい。

(2) 円筒形織成記憶素子の諸特性

円筒形織成メモリー・プレーンの構造を第 6 図(a)に示す。図中薄膜磁性線は情報電流の供給と読取り信号電圧の検出とに共用される。よって薄膜磁性線を情報線(digit-sense line)と呼び、これと直交する絶縁導線を語



(a) 織成の構造

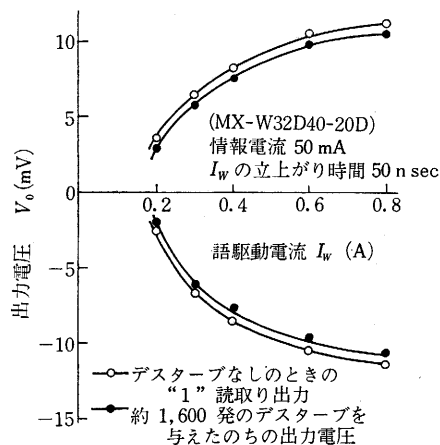


2 ターン直列接続の場合

(b) 語線の構造法とその磁化分布状態

第 6 図 円筒形織成メモリー・プレーンの構造

線 (word line) と呼んでいる。図では情報線に取る 1 ビットを駆動する語線を 2 往復、すなわち、2 巻が記憶点となっている (第 6 図参照)。情報線は $0.2\text{ mm}\phi$ の隣青銅線に円周方向に容易軸をもった厚さ $5000\text{ \AA} \sim 7000\text{ \AA}$ の Ni 80 パーマロイをメッキしたものである。語線は芯線径 $0.07\text{ mm}\phi$ のポリウレタンまたはエポキシ絶縁銅線である。また同じ線をスペーサーといって、情報線上のビット間隙を一定に保つために入れてある。

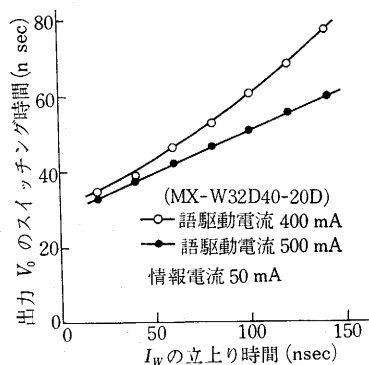


第 7 図 語駆動電流-読出電圧特性

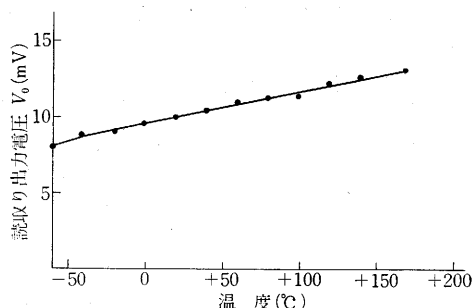
第 7 図はメモリー・プレーン (MX-W 32 D 40-20 D) の語駆動電流 I_W とそれによって現われる出力電圧 V_o との関係を示す。ただし、出力電圧 V_o は他に I_W の立上がり時間に関係する。図では I_W の立上がり時間を 50 ns としてある。なお V_o は I_W の立上がり時間が早いほど大きくなる。第 8 図は I_W のスイッチング時間と V_o の特性で、この二つの特性より、円筒形記憶素子が平板形蒸着磁性薄膜より出力電圧が大きく、フェライト磁心より 1 桁近くスイッチング時間が早いことがわかる。

第 9 図(a) は温度と出力電圧との関係、同図 (b) は情報電流 I_D と出力電圧 V_o との関係を示す。温度をパラメータとして測定した特性である。

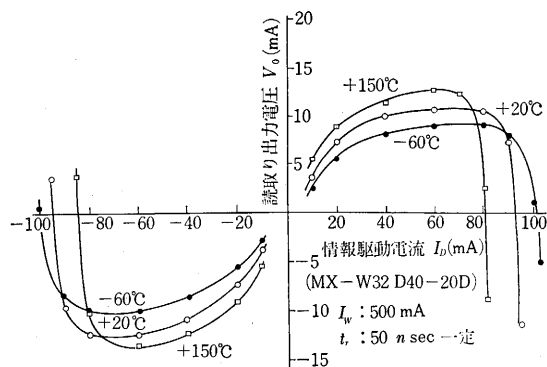
次に機械的な特性として、振動試験に対する測定を行



第 8 図 スイッチング時間特性



(a) 読出し出力電圧-温度特性

(b) ワイヤメモリの I_L - V_o 特性
第9図

第1表 機械的振動試験条件

項目	その1	その2
振動振幅	1.0 mm (横および縦)	5.0 mm (横および縦)
振動数	600~3 000 cpm (30 秒にて Sweep)	600~1 700 cpm (15 秒にて Sweep)
授動時間	2, 5, 10, 20, 50, 100 時間	2, 5, 10, 20, 50, 100 時間

第2表 ワイヤメモリの電気的定数
(MX-W 32 D 40-20 D)

項目		定数
語線-情報線間の静電容量		0.2 PF/記憶点
語線のインダクタンス		10 nH/記憶点
語線の抵抗		0.032 Ω /記憶点
情報線の遅延時間	i 磁性線1本の場合 (第11図(a)参照)	2.2 ns/プレーン
	ii 磁性線2本の場合 (第11図(b)参照)	1.8 ns/プレーン
情報線の特性インピーダンス	i 磁性線1本の場合	95 Ω
	ii 磁性線2本の場合	140 Ω
情報線の減衰	i 磁性線1本の場合	$\approx 2.5 \times 10^{-2}$ db/ プレーン
	ii 磁性線2本の場合	$\approx 2.5 \times 10^{-2}$ db/ プレーン

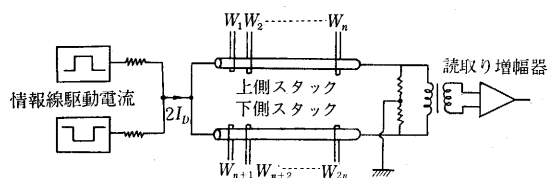
なった。第1表に示す各振動条件において、所定の振動後、および振動中における各ビットの情報出力その他のメモリの電気的性能に、なんらの異常も認められなかった。以上の結果から 7 G までの振動に対してまったく安定であること、および衝撃試験においては、10, 50 および 100 G の衝撃を各二度ずつ加えた後に、記憶されている情報になんら影響がないことがわかった。

(3) 電気的定数

第2表にメモリ・プレーン (MX-W 32 D 40-20 D) の電気的定数を測定した結果の1例を示す。

実際にメモリ・プレーンを使用する場合に問題となるのは、記憶素子の構造によって生ずる雑音である。これは語電流 I_w が情報線に及ぼすもので、(1)電磁的な誘導によるもの、(2)静電的な誘導によるものが考えられる。(1)は語線と情報線との磁気的および、その構造上ビットの交点の直交性が悪い場合に生ずるもので、これは実際上無視できる程度のもので問題はない。(2)は、語線と情報線とがその交差部に近接しているために生ずる静電的結合で、かなり大きく問題となってくる。

雑音を取り除く方法は、本メモリ・プレーンを使用する場合の大きな課題となるが、そのいくつかの方法として情報線か語線のいずれか一方を、または両方とも接地より浮かすか、また、第10図のように情報線2本を対として2カ所の記憶点に1ビットの記憶を行なわせる。すなわち、2カ所の記憶点に誘起した雑音は common mode としてその出力端で相殺しあうようにし、読取り電圧は normal mode として相加するようにする。この方法は記憶ビット密度は1/2となるが、読取り出力が2倍となるので S/N の改善に役立つ。



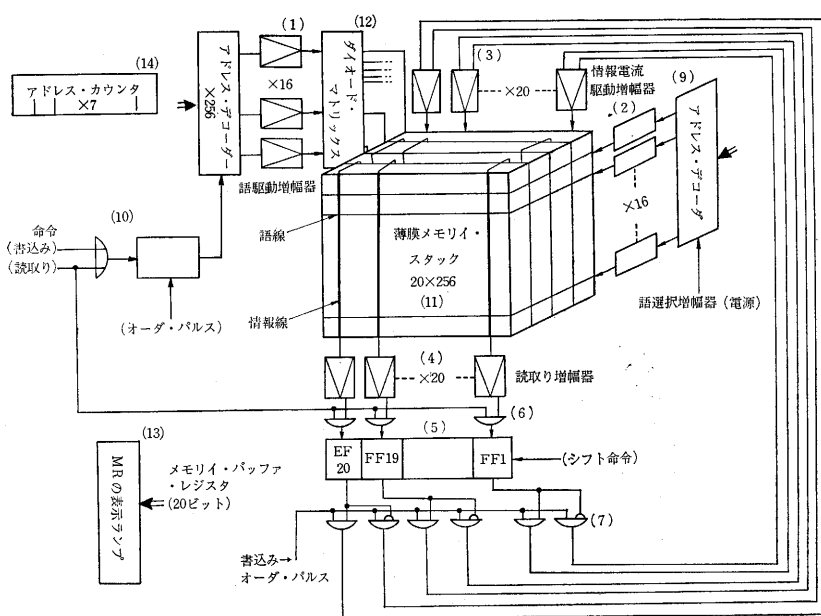
第10図 ワイヤメモリの駆動方法、情報電流の妨害を除去する回路

2. 記憶装置の概要

前述の円筒形構成メモリ・プレーンを電子計算機等のデジタル装置の内部記憶装置 (internal memory) として使用することを考慮し、これに必要な高速大容量記憶装置の開発をめざし、以下のような内容で開発を行なった。また将来に計画されている大容量化に必要なデータを得るために、その周辺回路およびメモリ・スタックの試験も十分行なうことができるようにした。

(1) 記憶容量: 256 語 \times 20 ビット

(2) 記憶方式: 語選択、破壊読出し方式



第 11 図 DRO メモリ・システムブロック線図

はメモリアィ・バッファ・レジスタの内容に応じて、情報駆動増幅器からの出力 I_n の極性を、正負に、制御し、それと語駆動電流パルス I_w の一致した点に、その極性に 応じて “1” または “0” として記憶される。この場合語駆動パルス I_w によって、以前に記憶されていた内容の読取り信号が情報線より現われ、読取り増幅器に入ってくるが、これは“書込み命令” の場合はストローブ・パルスを出さないことで区別している。

情報の読取りは，語駆動パルス I_W で行なう．そしてこの場合は“読取り命

令”でストローブ・パルスが発生され、読取り増幅器が動作し、情報に応じた信号がこれによって抽出増幅されメモリ・バッファ・レジスタの入力に送られる。

さてここで，メモリー・プレーンに記憶されている内容を一度読み取ると，その場所の記憶内容はすべて破壊されてしまう．すなわち，DRO (destructive read-out) 方式である．そこで情報の再書込みを，メモリー・バッファ・レジスタの内容によって AND ゲートを制御して行なう．すなわち，バッファ・レジスタが“1”か“0”に応じて情報駆動パルス I_D の極性を決定するようにする．

(2) 薄膜記憶装置に必要なチェック

メモリー・プレーンを使用し、ある語数の記憶装置として使用するために、メモリー・スタックとし、これが完全に動作しているかどうかを知るためのチェック装置が必要である。

当然のことではあるが記憶装置に要求されることは、与えられた情報を確実に書き込み、これを読み出した場合に、それが失われていないことである。しかし、実際には以上の動作を確認する上に、記憶動作の最も困難な場合、あるいは誤動作を起こしやすい状態という場合が予想される。よってチェック装置ではそのような困難な状態を人為的に作り出し、これを試験するような論理設計を行なった。

記憶されている情報を減少または破壊する電氣的擾乱の、おもなる原因としては、外部磁界その他の特殊なものを除けば、一般に

- (1) 書込みビットの前歴の影響
- (2) 隣接記憶点の読み、書きの影響

- (3) 読み, 書きサイクル時間: 500 n sec
- (4) 使用メモリ・プレーン: MX-W 32 D 40-20
D を 8 プレーン
- (5) 規準駆動電流: 語線—500 mA, 情報線—50 mA
両者とも非平衡駆動

以上を目的とし, 第 2 期の目的である 4 096 語および, 非破壊読出し方式の基礎となるデータを得ること.

(1) 記憶装置論理設計の思想

記憶装置は円筒形織成薄膜メモリ・プレーンを 256 語×20 ビットのスタックとし、その駆動周辺回路を開発し、それを制御駆動することによって情報の記憶および読取りを行なう。それら周辺回路部の論理構成をブロック線図で示すと第 11 図のようになる。

すなわち、アドレス・カウンタで指定された番地はアドレス・デコーダ回路によって 16 台の語駆動増幅器と 16 台の語選択増幅器に分配される。各語選択増幅器には 16 台の語駆動増幅器が接続されているので、その出力がダイオード・マトリックスによって分配され、256 語中の 1 語が選択される。すなわち、語選択方式を採用している。

選択された 1 語には、オーダ・パルス回路から第 3 図の時間関係にある V_W , V_D パルスが導入され、 V_W はアドレス・デコーダを通して語駆動増幅器の入力に行き、ここで十分な電流パルス I_W となって語線に送られる。

他方、メモリ・プレーンの各情報線 (digit line) には、情報駆動増幅器があり、これに情報に応じた正または負のオーダ・パルス V_D が導入され、 I_D となって1語の各ビットへ並列に送られる。このように情報の記憶

(3) 情報線に沿う遠隔記憶点の読み書きの影響などがあげられる。(1)は磁化状態の履歴および膜厚に起因する現象で、たとえば書き込み時の電流が小さ過ぎるような場合に起こる。(2)は通常 interference と呼ばれるもので、情報線上の隣接記憶点間で互いに逆の情報の読み、書きを行なうと、語線電流による鎖交磁束および磁壁移動などによって電氣的干渉を生ずる現象である。(3)は disturbance と呼ばれるもので、別の番地へ書き込むための情報電流によって生ずる磁氣的 creeping に関係するものである。

以上のチェックを行なうために次のような動作が行なえるように装置を設計した。

- (1) 記憶装置の番地指定を手動で行なえるようにし、以後は逐次的に“+1” count-up していく。
- (2) 指定された番地に指定されたパターン(1語)を書き込む。この場合、指定番地に何回同じパターンを書き込むかを指定できるようにする。
- (3) 一度書き込みサイクルが終了すると次の読出しサイクルが実行されるようにして、その読み、書きサイクルを 500 ns とし、テストできるようにする。
- (4) 読み出された内容と書き込んだ内容を比較し、正、誤の判断をして、誤りの場合はこれを表示してストップする。
- (5) 以上の各動作はすべて自動的に行なえるようにするが、そのほかに手動で各チェックが行なえるようにする。

(3) メモリ・チェック装置の設計

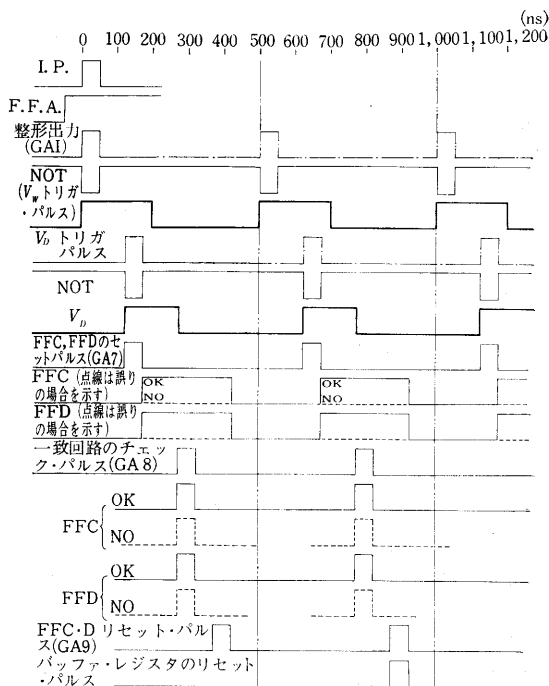
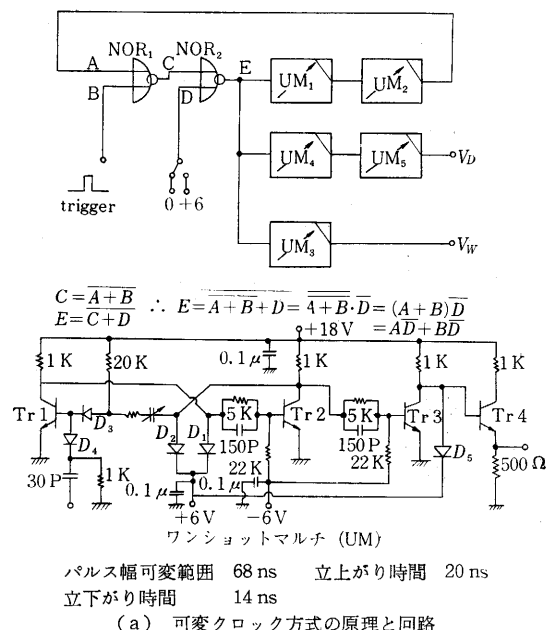
記憶動作が 500 ns という高速で、しかも前節でのべた各チェックを行なわなければならない。すなわち、4~5 点のチェックを 500 ns 以内に行なわせねばならない。そこで、同期方式による論理設計を行なうならば各クロックの間隔は約 50 ns、すなわち 20 Mc 以上となる。

われわれが得たデータによれば従来からのパッケージ・モジュール方式によって実験的に安全で、しかも実現しやすいクロックは 5 Mc 程度であった。5 Mc のクロックで前述のチェックをすべて行なうことは不可能である。これをさけるためには非同同期方式とすることが考えられるが、装置がかなり複雑(論理的に)になり、しかも目的が記憶装置のチェックということから、あまり好ましくない。そこでわれわれは以下のような可変クロック方式を考案し採用した。

1) 可変クロック方式⁷⁾

第 12 図(a)に原理図を示す。この回路の特長はスタートをする場合は図中Bより1発のトリガー・パルスを導入すれば、その後は系全体が自己発振回路となり、記憶素子の駆動に必要な電流 I_W , I_D を得る入力電圧 V_W , V_D を必要な時間々隔で得ることができる。すな

わち、図中 UM_2 で発振パルスの間隔を変化させ、動作くり返し時間々隔の調整を行なう。次に「 UM_3 」を変化させると V_W のパルス幅が変化する。 UM_4 は V_D のパルス間隔の調整に使用する。この装置の各 UM_1 …… UM_5 の回路は同図下に示す。なおこの装置はなんらかの事故で一度発振が止ると、再起動を起こさない。そこで、実際には、これを防止する自動発振回路が設けられている。それら時間関係を第 12 図(b)に示す。



第 12 図

2) 基本回路⁷⁾

基本回路はその安定性、信頼性および種類が少なくてすむことから NOR ゲート回路を基本とし、これにフリップ・フロップ（以下 FF で示す）、エミッタ・フォロア、パワー・アンプそして若干の補助回路のみで構成されている。使用したトランジスタはシリコン・エピタキシャル・プレーナ形およびダイオードを用い、これらはすべて、パッケージ方式によるモジュールを用いた。基板の大きさはクロック周波数からあまり大きくしない。しかし実験装置であるので、後で必要に応じて手を入れ改善できる程度に部品の密度を保つことなどの注意を行なった（写真 2 参照）。

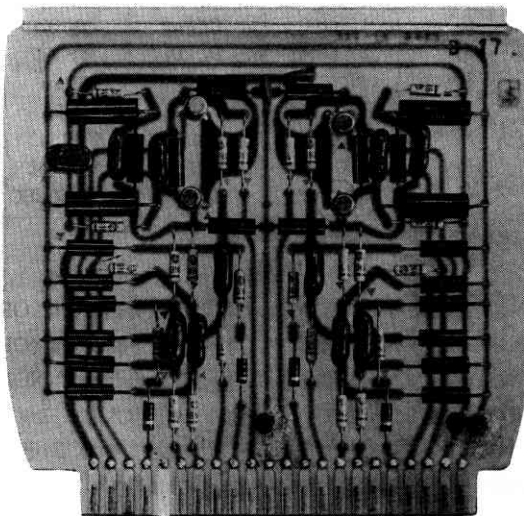
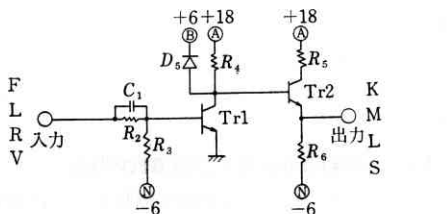


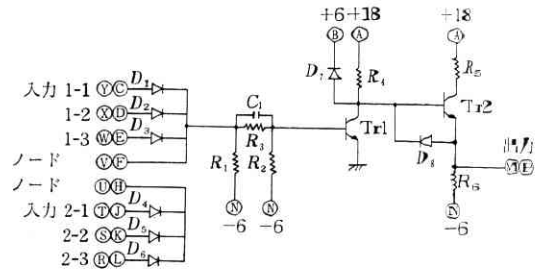
写真 2 ゲート・フリップ・フロップ
2 回路/パッケージ

装置全体は常温で十分動作するように、一応動作温度は $-20 \sim 100^\circ\text{C}$ までを考慮してある。配線関係、特にメモリー・プレーン周辺の配線は最も注意をし、外部からのノイズ等の影響を受けないよう最短距離配線となるように各装置の位置を考慮して設計を進めた。



記号	定格	記号	定格
R_1	20 K(1/8)	C_1	50 P
R_2	3 K(1/8)	C. b. c. d	0.05 μ
R_3	10 K(1/8)	Tr1~2	2 SC 143
R_4	1 K(1/2)	$D_{5,6}$	1N60H
R_5	360 Ω (1 W)	$D_{1,2,3,4}$	1N60H
R_6	510 "		

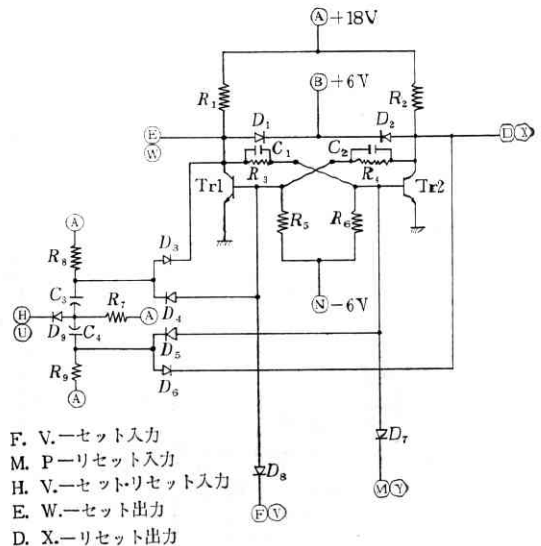
(a) NOR 回路 (NOR-511) 4 回路/パッケージ



記号	定格	記号	定格
R_1	20 K(1/4)	D_2	1N60H
R_2	10 K(1/4)	D_3	"
R_3	3 K(1/4)	D_4	"
R_4	1 K(1/2)	D_5	"
R_5	510 Ω (1/9)	D_6	"
R_6	910 Ω (1/2)	D_7	"
C_1	50 P(2%)	D_8	"
D_1	1N60H	Tr1, Tr2	2 SC 143

(b) NOR 回路 (NOR-501) 2 回路/パッケージ

第 13 図

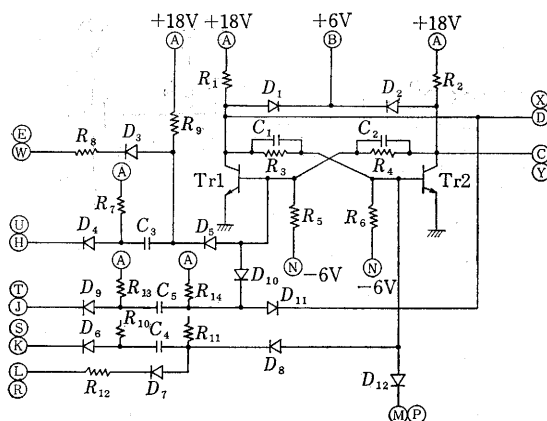


F. V-セット入力
M. P-リセット入力
H. V-セット/リセット入力
E. W-セット出力
D. X-リセット出力

記号	定格	記号	定格
R_1	1 K(1/2)	C_1	100 P(2%)
R_2	1 K(1/2)	Tr1, Tr2	2 SC 143
R_3	5.1 K(1/4)	D_1	1N60H
R_4	5.1 K(1/4)	D_2	1N60H
R_5	22 K(1/4)	D_3	1N60H
R_6	22 K(1/4)	D_4	1N60H
R_7	2 K(1/4)	D_5	1N60H
R_8	10 K(1/4)	D_6	1N60H
R_9	10 K(1/4)	D_7	1N60H
C_1	20 P(2%)	D_8	1N60H
C_2	20 P "	D_9	1N60H
C_3	100 P "		

(抵抗 1% MF)

(a) Complementing FF (FF-512) 2 回路/パッケージ

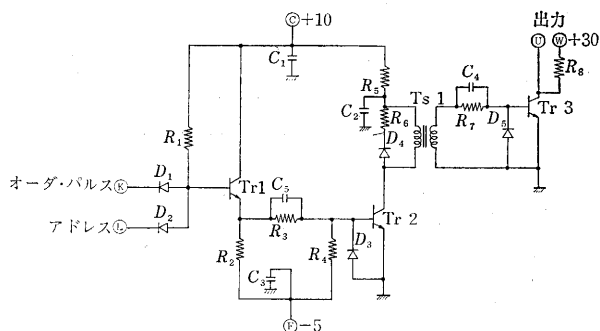


E, W, L, R → ゲート入力
H, U → セット入力(1)
T, J → セット入力(2)
S, K → リセット入力(1)
M, P → リセット入力(2)
X, D → セット出力
C, Y → リセット出力

記号	定格	記号	定格
$R_{1,2}$	1 K(1/2)	$C_{3,4,5}$	50 P(2%)
$R_{3,4}$	5.1 K(1/8)	C.b.c.d	0.05 μ
$R_{5,6}$	22 K(1/8)	Tr1~2	2 SC 143
$R_{7,10,13}$	3 K(1/8)	$D_{1,2,3,7,11}$	1N60
$R_{8,12}$	300 Ω (1/8)	$D_{4,5,6,8}$	1N60
$R_{9,11,14}$	10 K(1/8)	$D_{9,10,12}$	1N60
$C_{1,2}$	20 P(2%)		

(b) ゲート FF (FF-502) 2 回路/パッケージ

第 14 図

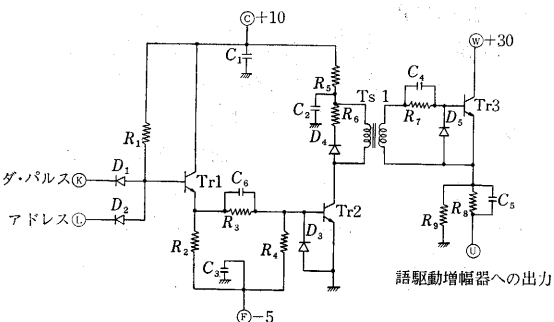


記号	定格	記号	定格
R_1	5 K(1/4)	$D_{1,2,4}$	1N60H
R_2	1 K(1/4)	D_3, D_5	1S 985
R_3	2 K(1/8)	$C_{1,2,3}$	0.1 μ
R_4	20 K(1/8)	$C_{4,5}$	150p
R_5	100 Ω (1/2)	Tr1, 2	2 SC 142
R_6	200~500	Tr3	2 SC 262
R_7	300 Ω (1/8)	Ts1	PSC-6R2BC
R_8	1 K(1/2)		

(a) 語駆動増幅器 (WD-101) 1 回路/パッケージ

3) NOR 回路

基本回路に用いた NOR 回路を第 13 図 (a), (b) に示す。図 (a) は NOR 回路というよりも、むしろ



記号	定格	記号	定格
R_1	5 K(1/4)	R_6	1 K(1/2)
R_2	1 K(1/4)	$D_{1,2,4}$	1N60H
R_3	2 K(1/8)	D_3, D_5	1S 985
R_4	100 Ω (1/2)	$C_{1,2,3}$	0.1 μ
R_5	200~500 (1/8)	$C_{4,5,6}$	150p
R_6	300 Ω (1/8)	Tr1, 2	2 SC 142
R_7	300 Ω (1/8)	Tr3	2 SC 262
R_8	50 Ω (2 W)	Ts1	PBC-6R2BC

(b) 語選択増幅器 (WS-201) 1 回路/パッケージ

第 15 図

NOT 回路と呼ぶべきかもしれない。入力側に特に OR 回路を設けず、このほかにダイオード・クラスタ回路(OR 回路)のパッケージがあり、これと組み合わせると NOR 論理回路網を構成していく。同図 (b) は入力に三つの OR 回路が 2 組あり論理構成に応じて、この OR 回路の数を適当に組み合わせる。出力はいずれもエミッタ・フォロアを用いている。

4) フリップ・フロップ回路

第 14 図 (a), (b) に FF 回路を示す。図 (a) は complementing FF で、カウンタ等の構成に使用して便利である。同図 (b) はゲート・フリップ・フロップで、あらゆる論理構成を行なうのに便利で、特にトリガー回路はペダスタル・ゲートを用いて安定性を良くしてある。

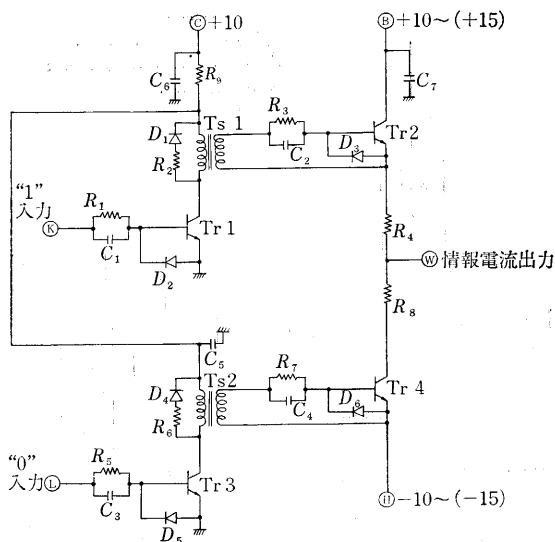
以上の回路はすべて、無負荷で 20 Mc 以上、種々の論理構成を行なった場合(負荷を接いだ場合)のチェックはすべて 6.5 Mc で行ない、きわめて安定な動作をしている。

5) 語駆動増幅器および語選択増幅器

メモリー・プレーンの語線を駆動するのに必要な電流パルス I_W を供給する増幅器で、256 語実負荷時の出力電流を 400~600 mA、立上がり時間 20 ns である。これらは語選択を行なわせるため 16 台の語駆動増幅器と 16 台の語選択増幅器に分けられ、おのおの 1 台の増幅器に 16 台の語選択増幅器が接続されている。その回路構成を第 15 図 (a), および第 15 図 (b) に示す。

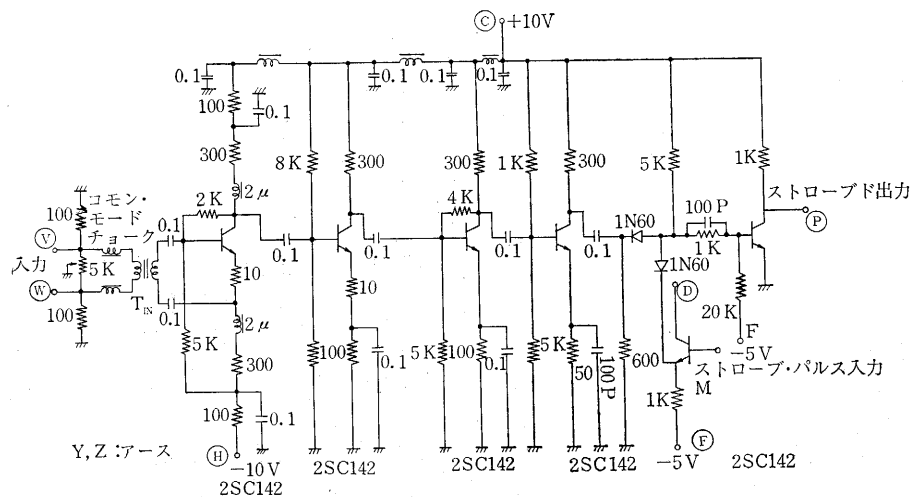
6) 情報駆動増幅器

メモリー・プレーンの情報線に情報電流パルス I_D を



第 16 図 情報駆動増幅器 (DD-802)
1 回路/パッケージ

与える回路で、 $I_D=50\sim60$ mA であるが、メモリー・スタックを 2 分割し、upper stack と lower stack としているため、 I_D を $2I_D$ としている点、その入力で情報の“1”と“0”を切り換える論理構成などの工夫がなされている。回路を第 16 図に示す。この入力電圧レベルは 0 V および +6 V、256 語実負荷時の出力電流は 100 mA で、立上がり時間は 30 ns である。



第 17 図 読取り増幅器 (SA-648) 1 回路/パッケージ

7) 読取り増幅器

メモリー・プレーンからの読取り出力を十分な大きさに増幅しメモリー・バッファ・レジスタに送る回路であるが、入力電圧が 5 mV 程度でデジット信号や、浮遊容量によるノイズを避けるために種々の工夫がなされている。第 17 図に回路構成を示す。この回路は CMR (common mode 除去特性) を向上させるために入力側に common mode reject チョーク、平衡トランスおよび変形差動増幅器を用いてある。ここで common mode チョークは common mode 信号入力に対しては高インピーダンスを呈し、normal mode 信号に対してはインピーダンスがほとんど 0 となる。平衡トランスは CMR 比向上のために 1 次—2 次間の平衡度に特に留意してある。たとえば 1 次—2 次間をシールドするなどの注意を行なった。第 17 図の電圧利得は約 1500 出力振幅は 6 V、周波数帯域は 10 Mc 以上であった。

3. メモリー・チェック装置の論理構成

装置全体の構成を理解するために第 18 図のブロック線図を参照されたい。まず装置を駆動させる前に 1) メモリーに書き込むパターンをバッファ・レジスタに手動セットする。これはスイッチで行なう。2) 記憶装置の何番地からチェックを始めるかをアドレス・カウンタにセットする。以後は順次“+1”されていく。3) 指定番地に指定されたパターンを何回書き込むかを D-counter にセットする。たとえば各番地ごとに 100 回ずつ書き込み、あるいは読出しを行なっていく場合は D-counter に“100”とセットすればよい。

以上の初期条件を手動で各レジスタにセット (セット状態はランプで表示される) し、次に「START」ボタンを押すと FFA がセットされ、装置が動作状態に入る。これは「OPERATE」というランプで表示判別できる。

FFA のセットによってスタート・パルスが発生し、これによって、まず最初の操作が書き込み周期から開始されるように、FFR をセットし、同時に FFC, FFD はリセットしておく。最初は図中①の経路をたどり、スタートパルスの一つは V_W , V_D を発生する回路に導かれ、これは記憶装置の周辺駆動回路の入力に入っていく。

他方のスタート・パ

