

# パルス分配式多チャネル波高分析器の試作

森脇 義雄・高羽 禎雄・嶽沢 維徳・生沼 徳二

原子力計測に広く用いられる多チャネル波高分析器の性能向上に関する研究の一環として筆者らの試作した実験装置の概要を紹介する。これはチャネル数 200 で磁心記憶装置を用い、最大 50  $\mu$ s の変換時間を有する A-D 変換器を組置いて、入来パルスをこれらに分配して加え、同時に変換を行なう、いわゆるパルス分配方式をとり、分解能を著しく短縮している。ここでは待合せ機能をもあわせもたせた方式の考察、制御回路を中心とした回路構成の検討、トランジスタ化されたデジタル基本回路などについて述べている。

## 1. 緒言

波高分析器は放射線のエネルギー分布の測定に欠くことのできない装置であって、原子核物理学、原子力工学、放射性同位元素工学などの各分野において広く一般に使用されている。最近、これらの分野では放射能の強い線源、あるいは半減期の短い線源も多く用いられるようになったが、その測定にあたっては、分析を高速化してひき続いて入来する放射線に対する分解能を増大させ、かつ測定を短時間に終了することが、しばしば要求される。

筆者らはこれまで波高分析器の分解能を向上させる方式について研究をすすめており、いくつかの方式の提案<sup>1),2)</sup>や二三の実験装置の試作を行なってきたが、このほどそれらの方式のうちの一つであるパルス分配方式<sup>3)</sup>を採用し、トランジスタ化された実験装置の試作<sup>4),5)</sup>をほぼ完了したので、その概要についてご紹介する。

## 2. パルス分配方式の原理

一般に多チャネル形の波高分析器では、放射線検出器からの電圧パルスを増幅、整形したのち、A-D 変換器によってその波高を数値化し、同じ数値（これをチャネルとよんでいる）を示すものの頻度を加算回路により記憶装置に集計・記録して放射線のエネルギー・スペクトルを得る。このための A-D 変換器としては、ふつう入力振幅を時間に変換し、計数パルスで数値化する、いわゆる計数方式のものが、回路の簡単さと入出力振幅の部分的な直線性の良好さの点を買われて、一般に用いられている。この場合、たとえばチャネル数を 100、計数パルス周波数を 1 Mc/s とすると最大変換時間は 100  $\mu$ s となり、ふつうの磁心記憶装置を用いた場合のサイクル時間

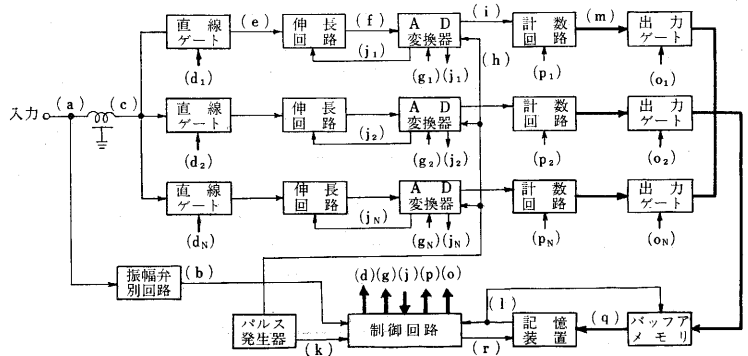
(蓄積された計数値を読み出し、1 を加えてふたたび書き込むに要する時間) よりもかなり大きい。したがって波高分析器の分解能はおもに A-D 変換器の動作時間によって支配されている。

ここでは A-D 変換器を N 組置き、入来パルスをこれらに分配して加え、同時に変換を行ない、共通の記憶装置に書き込む方式を考え、パルス分配方式と名づける。この場合に変換時間に対して記憶装置のサイクル時間を無視すると

第 1 表 A-D 変換器の数と分析の処理能力

A-D 変換器の数	平均計数率 $\times$ 最大変換時間		
	50%	10%	1%
N=1	1.000	0.200	0.020
2	2.732	1.072	0.302
3	4.591	2.287	0.902
4	6.501	3.682	1.721

- a) 入力計数率が高く、A-D 変換器が最も能率よく使われた場合には平均計数率が N 倍になる。
  - b) 入力計数率が低い場合には、平均計数率は N 倍には達しないが、計数落しが著しく減少する。
- これは線源からの個々の放射線は一般に純偶然的に発



第 1 図 試作装置の系統構成

生し、その時間々隔に大きな変動のあることが多く、第1表に示すように2個以上のA-D変換器によるサービスの方がより有効であるためであって、等価的には1個のA-D変換の交換時間を $1/N$ よりはるかに小さくしたことに相当する。

この場合にNが大となるにつれて、A-D変換器が記憶装置への書き込みを待ち合わせる頻度が大きくなり、書き込み時間を無視し得なくなるが、さらに次の方法をとることによって、その影響を小さくすることができる。

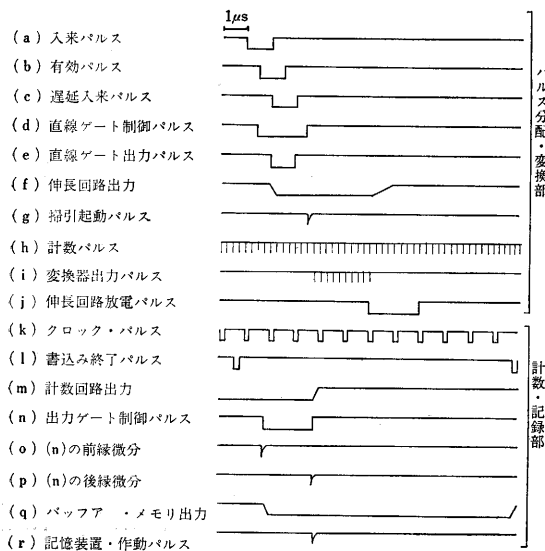
イ) 記憶装置の前にバッファ・メモリを置き、交換された計数値をこれに移して書き込みを行なうと同時に次のA-D変換を行なうことができるようになる。

ロ) A-D変換の終了後、伸長回路だけを切り離し、計数回路とは独立に次の到来パルスを保持して交換を待ち合わせるようにすることができる。

このようにパルス分配方式に待合せ機能を付加することにより、計数損をいっそう減少させることが期待できる。

### 3. 試作装置の概要

試作装置の構成を第1図に示す。この構成は前述の原理に基づいたものであり、ひき続いて到来する電圧パルスを直線ゲートによって分配し、A-D変換したのち、出力ゲートを開いて、いったんバッファ・メモリに移し、磁心記憶装置に書き込む。ここではA-D変換は通常の波高分析器と同じく直線掃引方式(計数方式)をとっており、パルス発生器からN個のA-D変換器に共通に計数パルスを供給する。また計数回路以降では回路の動作速度を考慮して、並列に信号を送っており、同図中



第2図 試作装置各部の波形

では太線でこれを示している。

到来パルスの分配は定位形選択、すなわちあいている伸長回路のうち最も若い番号のものを選ぶ方法を取り、計数値の書き込みは無定位形選択、すなわち探索パルスでリング計数回路を駆動して、前に書き込みを行なった計数回路の次の番号のものから巡回的に探索し、最も近いものを選ぶ方法をとる。これら装置各部の動作は、待合せ動作などをも含めて、すべて制御回路からの信号によって制御される。

第2図は装置各部の波形を示す。波形の記号は第1図中のそれと対応している。これに従って、以下に装置各部の動作を説明する。

まずパルス(a)が到来すると、その波高値が測定範囲内にあることを振幅弁別回路で検出した場合にのみ有効パルス(b)を制御回路に与える。制御回路はこれに基づいて直線ゲート制御パルス(d)を発生し、直線ゲートを開いて遅延された到来パルス(c)を通過させ(e)、その波高値を伸長回路に保持する(f)。

計数回路があていれば制御回路は、ただちに掃引起動パルス(g)をA-D変換器に供給して直線掃引を開始する。計数回路がふさがっていれば掃引起動パルスを発生させず、伸長回路に波高値を保持したまま待合せを行ない、計数回路があきしだい、掃引起動パルスによって直線掃引を開始する。A-D変換器では直線掃引を開始した時点から直線掃引電圧と伸長回路保持電圧とが一致する時点までの間ゲートを開いて計数パルス(h)を通過させ、到来パルスの波高値をそれに比例した数のパルス列(i)に変換する。変換が終了すると、A-D変換器はパルス(j)によって伸長回路を放電させるとともに制御回路に変換終了をしらせる。ここで伸長回路は次の到来パルスを受け入れることができ、また計数回路は書き込みを待ち合わせる。

一方、記憶装置は前の計数値の書き込みが終了すると書き込み終了パルス(l)を制御回路に送る。制御回路は計数回路の待合せ試験を行ない、待合せ中のものを見出すと出力ゲート制御パルス(n)を発生し、その前縁(o)で出力ゲートを開いて計数値を並列にバッファ・メモリへ移すとともに、その後縁(p)で計数回路をリセットし、同時刻にパルス(r)によって記憶装置の書き込み動作を開始させる。書き込み終了パルス(l)はまたバッファ・メモリをリセットして次の書き込みに備える。

試作装置における主要なパラメータは次のとおりである。

- 1) A-D変換器の数  $N=3$
- 2) 波高分析のチャネル数 200
- 3) 計数パルスくり返し周波数 4 Mc/s
- 4) 探索パルスくり返し周波数 1 Mc/s
- 5) 最大変換時間  $50 \mu\text{s}$

- 6) 記憶装置のサイクル時間 10  $\mu$ s
- 7) 1 チャンネルあたりの計数容量 10<sup>5</sup>

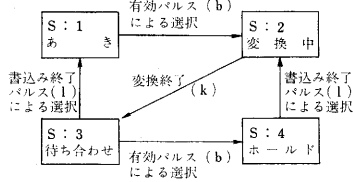
なお、試作装置の入力信号としては放射線検出器の出力をあらかじめ増幅・整形したものを想定し、パルス高 0~5 V, パルス幅 1  $\mu$ s の負電圧パルスとする。また記憶装置は通常の磁心マトリクス式記憶装置 (神戸工業 K K 製) を動作条件を若干変更して使用したものである。

4. 制御回路

前章にも述べたように、制御回路はこの試作装置の動作を支配する重要な部分であって、フリップ・フロップ、ゲートなどのデジタル回路で構成される。ここでは制御対象となる A-D 変換器などの状態をすべて制御回路に記憶させておき、その状態にしたがって、制御回路への入力信号に応じて適当な制御出力信号を発生させるとともに記憶内容の変更を行なうこととする。制御入力信号には有効パルス (b), 変換終了パルス (j), 書込み終了パルス (l), 制御出力信号には直線ゲート制御パルス (d<sub>i</sub>), 掃引起動パルス (g<sub>i</sub>), 出力ゲート制御パルスなどがある。

(1) A-D 変換器の状態表示法

制御回路の構成を定めるために、まず A-D 変換器の状態表示法について考える。この方式における A-D 変換器の動作は第 3 図に示すような状態図で表わすことができる。すなわち A-D 変換器がま



第 3 図 A-D 変換器の状態図

たくあいている状態 (S1) があり、有効パルスが到来してこの A-D 変換器が選択されると変換中の状態 (S2) となっただちに A-D 変換が行なわれ、変換の終了とともに計数回路が計数値を保持した待合せの状態 (S3) となり、書込み終了パルスが到来してこの A-D 変換器が選択されると計数値をバッファ・メモリに移して、もとのあきの状態 (S1) にもどる。一方待合せの状態 (S3) にあるときに、変換終了にもなってあいた伸長回路に次の入来パルスが保持されるとホールドの状態 (S4) となり、計数値の移動が完了すると状態 (S2) に遷移して次の A-D 変換が行なわれる。

これらの状態は A-D 変換器 1 個あたり 2 個のフリップフロップ FF<sub>i</sub> および FF<sub>i</sub>' によって表わすことができる。状態と回路動作との対応づけを第 2 表のように行なうと FF<sub>i</sub> は第 i 番目の伸長回路があいているか、ふさがっているかを表わし、FF<sub>i</sub>' は第 i 番目の計数回路がバッファ・メモリへの計数値の移動を待ち合わせているか否かを表わすことになるので、後述のようにゲート

第 2 表 状態のフリップ・フロップによる表示

A-D 変換器 この状態	状態の表示	
	FF <sub>i</sub>	FF <sub>i</sub> '
S1	$\nu_i=1$	$\kappa_i=0$
S2	$\nu_i=0$	$\kappa_i=0$
S3	$\nu_i=1$	$\kappa_i=1$
S4	$\nu_i=0$	$\kappa_i=1$

などの構成が簡単になる。

(2) 伸長回路の選択の方法

次に有効パルス (b) によってあいている伸長回路を選択する方法について考える。この方式では状態 (S1) または (S3) にあれば入来パルスを受け入れることができる。これらの状態は前述のようにフリップ・フロップで表示されているから、単に論理ゲートをつけ加えるのみでこのような状態にある伸長回路のうちの一つを入来パルスが到来する前にあらかじめ選択しておくことができる。

この場合に状態 (S1) にあるものを (S3) にあるものに対して優先的に選択する方法をとると、動作の能率はよいが、ゲートの構成がやや複雑になる。したがって、ここでは (S1) または (S3) にあるものを区別せず、若い番号のものから優先的に選択する方法をとることによって、ゲートの構成の簡単化をはかる。この方法では (S1) にあるものをさしおいて (S3) にあるものを選択することによって、ほかにあいている A-D 変換器があるにもかかわらず伸長回路で変換を待ち合わせる必要がある。この場合、二つの状態をあわせたものは  $\nu_i=1$  で表示されるから、選択信号  $\mu_i$  は

$$\mu_i = \nu_i, \mu_2 = \bar{\nu}_1 \cdot \nu_2, \dots, \mu_N = \bar{\nu}_1 \cdot \bar{\nu}_2 \cdot \dots \cdot \bar{\nu}_{N-1} \cdot \nu_N$$

で表わされる。

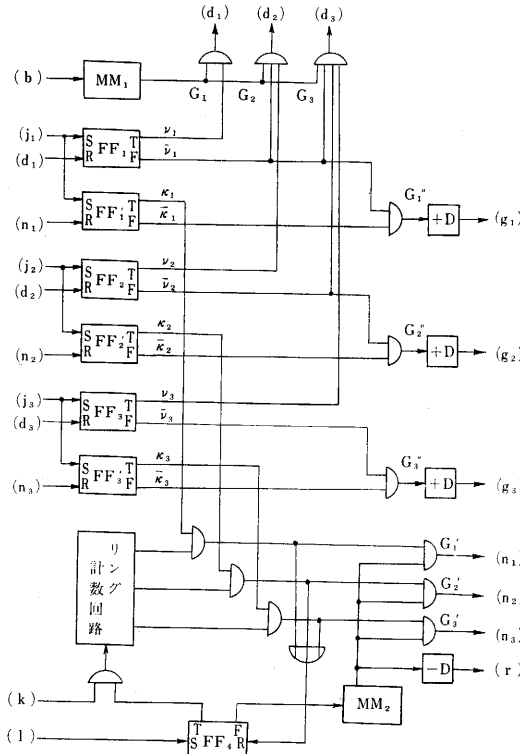
(3) 計数回路の選択の方法

書込み終了パルス (l) によって計数値の移動を待ち合わせている計数回路を選択する方法も前項の問題とまったく同様に考えることができる。しかし、ここでも定位置選択、すなわち若い番号の計数回路を優先的に選択することになると、A-D 変換の特性上一つの問題を生ずる。すなわち入力計数率が高く、記憶装置が休みなく動作するような場合には、大きな番号の計数回路がきわめて長く待ち合わせる可能性があり、これに接続されている伸長回路が次に変換すべき信号の波高値を保持しているとすると、その値が変化して変換誤差を大きくするおそれがある。このことを考慮して計数回路の選択には無定位置選択を行ない、また前項と同様にゲートを簡単化するため状態 (S3) または (S4) にあるものを区別せず選択することとする。

(4) 制御回路の構成と動作

制御回路は以上の考察に基づいて構成されている。そ

の構成図を第4図に示す。ここでフリップ・フロップ  $FF_i$  および  $FF_i'$  はいずれも入力信号  $(d_i)$ ,  $(j_i)$ ,  $(n_i)$  の後縁で動作することによって、入来パルスの保持、A-D 変換、計数値の移動などが完了したのちにその状態を変更するようになっている。



第4図 制御回路の構成

入来パルスによって発生した有効パルス (b) が制御回路に加わると単安定マルチバイブレータ  $MM_1$  をトリガして、ゲート  $G_1 \sim G_3$  のうち、 $FF_1 \sim FF_3$  の状態によってあらかじめ選択されているものだけに直線ゲート制御パルス  $(d_i)$  を発生させる。

$(d_i)$  または  $(n_i)$  が加わることによって A-D 変換器の状態が (S2) となると、ゲート  $G_i'$  および微分回路 +D によって掃引起動パルスを発生させる。

書き込み終了パルス (1) が制御回路に加わるとフリップ・フロップ  $FF_4$  をセットして探索パルス (k) をリング計数回路に送り、 $FF_1'$  の状態が  $k_1=1$  となっていることを見出すと  $FF_4$  をリセットして探索を停止させるとともに単安定マルチバイブレータ  $MM_2$  をトリガして、ゲート  $G_i'$  に出力ゲート制御パルス  $(n_i)$  を発生させる。待合せ状態の計数回路がない場合にはリング計数回路は探索を続け、A-D 変換の終了後これを見出して上述の動作を行なうことになる。

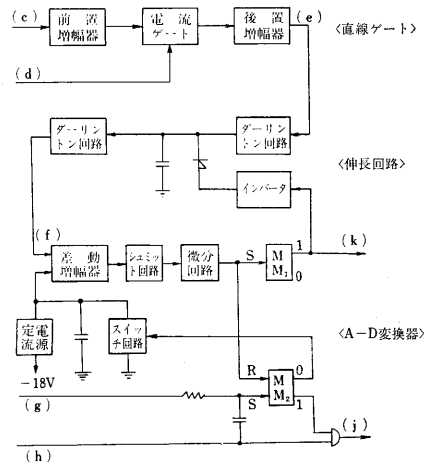
5. その他の回路

制御回路以外の回路は従来の波高分析器の場合と同様

の機能を果たすものが多い。ここでは回路構成にあたって特に次の点に留意している。

- 1) 異なる経路で処理された信号の間での測定値変動を小さくする必要があるので、直線ゲート、伸長回路、A-D 変換器などのアナログ回路部分における相互間の特性のばらつきを小さくするよう考慮をばらう。
- 2) 同様の回路が多数使用され、所要素子数が大となるので、回路の単純化をはかる。

これらの回路のうち、上に述べたパルス分配・変換部の回路構成を第5図に、また計数回路、出力ゲート、バッファ・メモリなど、デジタル回路のみで構成された計数・記録部の回路構成を第6図に示す。



第5図 パルス分配・変換部の回路構成

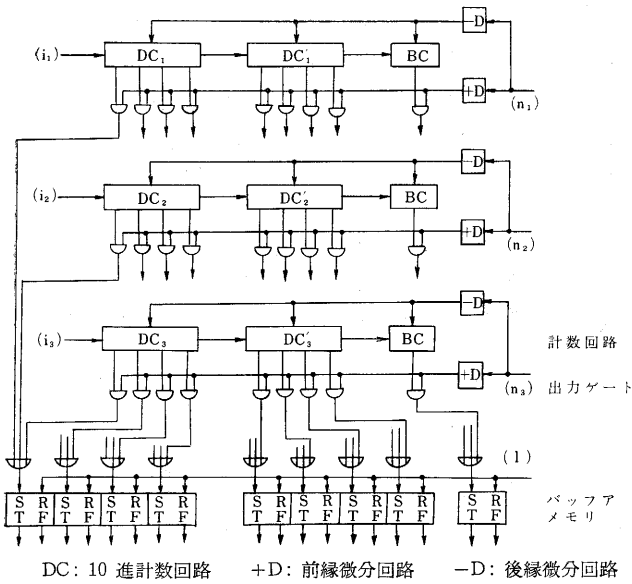
(1) 直線ゲート

直線ゲートには通常の波高分析器の場合と同様の特性が要求されるほか、N組のゲートを並列に接続するため、その入力インピーダンスが高いことが要求される。ここでは電流入力形の直線ゲートにエミッタフォロアを前置して要求を満足させている。

(2) 伸長回路

伸長回路においては、最大伸長時間として最大変換時間  $50 \mu s$  と最大待合せ時間約  $30 \mu s$  とを加えて約  $80 \mu s$  が必要とされる。また充電時には  $1 \mu s$ 、放電時には  $2 \mu s$  が割り当てられている。ここではコンデンサ  $C_1$  に電荷を貯えて入来パルスの波高値を保持する通常の方法をとり、充電時の電流を大に、また伸長時のもれ電流を小にするため、入・出力側にそれぞれダレーリントン回路を接続して充電時の電源インピーダンスを小さく、また負荷インピーダンスを大きくしている。伸長電圧のサグは  $100 \mu s$  あたり 0.15% 程度であって、十分要求を満足している。

(3) A-D 変換器



第 6 図 計数・記録部の回路構成

A-D 変換器では直線掃引回路として定電流でコンデンサ  $C_2$  を充電する形のものを、また比較回路として差動増幅器、シュミット回路、微分回路で構成したものをを用いている。A-D 変換器において特にくふうしたことは、単安定マルチバイブレータ  $MM_2$  に強制リセット端子を設け、これをフリップ・フロップとして使用してゲートの開閉を制御するとともに、比較回路に出力を生じない場合でも自動復帰させることにより A-D 変換器の誤動作を防いだこと、また  $MM_2$  のセット信号として掃引起動パルス ( $g_i$ ) に計数パルス ( $h$ ) を重畳したものをを用いることにより、計数パルスに同期してゲートを開き、これと同時に直線掃引を開始させて、A-D 変換における量子化誤差がゲートを閉じるときのみ加わるようにしたことなどがある。

(4) 計数回路

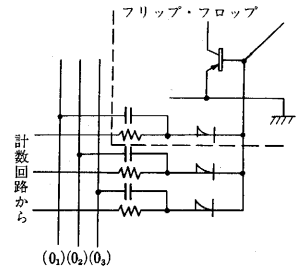
計数回路は 4 Mc/s の計数パルスを計数し、その計数値は最大 200 を必要とするので、おのおの 2 個の 10 進計数回路  $DC_i$ ,  $DC_i'$  と 2 進計数回路 BC とで構成される。10 進計数回路は通常と同様に、4 個の 2 進計数回路を縦続接続し、帰還をほどこしたもので、 $DC_i$  は高速化するため  $S_i$  メサトランジスタ (NPN 形) を用い、 $DC_i'$  および  $BC_i$  には  $G_e$  トランジスタ (PNP 形) を用いたが、取扱いの便利のため出力信号電圧は統一してある。

(5) 出力ゲート・バッファ・メモリ

計数回路からバッファ・メモリへ計数値を移動させる方法としては、計数値を 1 けたずつ直列に送る方法と、すべてのけたを同時に並列に送る方法とが考えられる。前者は計数回路をシフト・レジスタとしても使用するもので、出力ゲートの個数が少なくすむが、所要時間が

大きくなり (試作装置の場合 10  $\mu$ s 程度)、これを短縮するためにはすべてのけたを高速の計数回路で構成する必要性を生ずる。後者は、たんに対応するけたの回路についてゲートを設ければよく、回路が簡単で所要時間も短い、出力ゲートの個数がきわめて多くなる。

ここでは出力ゲートの簡化についてくふうをほどこし、後のバ



第 7 図 出力ゲート

ッファ・メモリが通常のフリップ・フロップで構成されることに着目して、そのトリカ回路をゲート回路と組み合わせて構成した。すなわち第 7 図に示すようにフリップ・フロップに 3 組のトリカ回路を設け、おのおのの抵抗端子には計数回路の出力信号を、コンデンサ端子には出力ゲート駆動信号 ( $o_i$ ) を加えることにより、( $o_i$ ) で選択された計数回路の出力信号が "1" である場合にのみフリップ・フロップをセットするものである。したがって抵抗およびコンデンサがアンドゲートを、ダイオードがオアゲートを構成し、しかもその一部は従来トリカ回路として用いられているものである。素子数の増加はソフトレジスタを構成した場合にくらべて、むしろ少なくなる。

なお出力ゲート駆動信号、計数回路およびバッファ・メモリのリセット信号の発生にはブロック発振器が使用されている。

6. デジタル基本回路

制御回路その他で用いられるデジタル回路は、一定の基準にしたがった基本要素で構成することにより、規格化をはかっている。ここで用いられた基準としては、

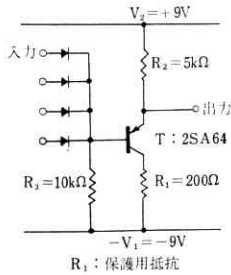
- 1) 動作形式 負論理, スタティック方式
- 2) 信号電圧 "1": -5 [V], "0": 0 [V]
- 3) スイッチ時間 0.2 [ $\mu$ s] (クロック周波数 1 Mc/s の場合)
- 4) 直流電源電圧 +9 [V], -9 [V], -5 [V]
- 5) 直流電源, 抵抗値の許容変動  $\pm 5$  [%]

を考慮している。

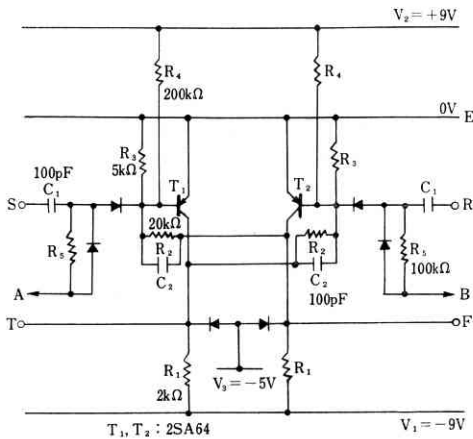
制御回路はアンドゲート (エミッタフォロアを後置している), オアゲート (インバータを後置している), フリップ・フロップ, 単安定マルチバイブレータの 4 種の基本要素で構成されており、その他の回路もおおむねこれらを使用し、ほかには前述のような高速 2 進計数回

路, CR ゲート, ブロッキング発振器などが使用されている。回路例としてアンドゲート, フリップ・フロップを第8図および第9図に示す。これらの定数は最悪条件設計<sup>7)</sup>に基づいて定められている<sup>6)</sup>。

なお使用素子としてはトランジスタ 2SA64, ダイオード 1NA1G をおもに用い、一部にトランジスタ 2SA108, 2SC187, 2SC172 を用いている。

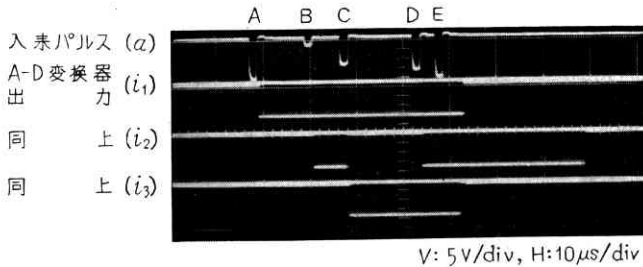


第8図 アンドゲート

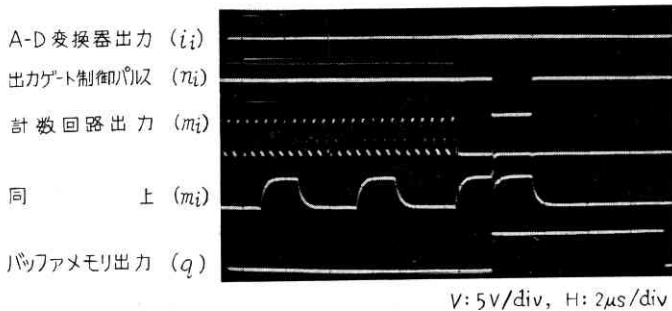


フリップ・フロップ (セット・リセット形) の場合は A, B を E に接続, リングカウンタの場合は A を T, B を F に接続

第9図 フリップ・フロップ



第10図 パルス分配・変換部の観測波形



第11図 計数・記録部の観測波形

### 7. 実験結果ならびに検討

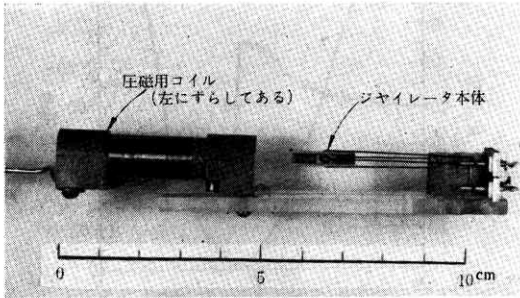
試作装置については、まず基本要素となるデジタル回路の特性が設計条件をみたすことをたしかめ、次いで制御回路の動作試験法として、制御出力信号によって単安定マルチバイブレータなどを駆動して制御対象と同様の時間遅れをともなう応答信号を発生させ、これをふたたび制御回路に加える方法を取り、回路が所期のとおり動作することを確認した。またそのほかの回路についても部分的な特性測定を行なったのち、これらを接続して総動作を試験した。第10図および第11図はそのさいの観測波形の一例である。第10図は入来パルスが3個のA-D変換器に分配され、パルス列として変換されるありさまを示す。入来パルスA~Cはそれぞれ番号の順に伸長回路(1)~(3)に、Dは伸長回路(1)がふさがり、(2)があいているため(2)に分配され、またEはいずれの伸長回路もふさがっているため、計数落しとなる。第11図はこれらのパルス列が計数され、出力ゲート制御パルスの前縁により計数値がバッファ・メモリに移され、またその後縁により計数回路がリセットされ、さらに書き込みの終了とともにバッファ・メモリがリセットされるありさまを示す。

なお制御回路の動作試験にあたって、直線ゲート制御パルスの発生と同時に変換終了パルスが加わった際など、一二の場合に誤動作を生ずることがわかった。これは入来パルスと試作装置および記憶装置の動作の間が非同期的な関係にあるためであって、非同期動作のまま、あるいはクロックパルスを使用した同期的動作により信号間の順序づけを行なうことにより解決できる。総合的な分析特性についてはなお実験を続けている。

### 8. 結言および謝辞

多チャンネル波高分析器の分解能を向上させるための一方式であるパルス分配方式を採用して、トランジスタ化された実験装置を試作した。ここでは待合せ機能をあわせもたせる方式を考案し、制御回路を中心として回路構成を検討したうえで装置の設計、試作ならびに動作試験を行ない、方式が実現可能であること、またその回路構成がほぼ妥当なものであることを確かめることができた。総合的な分析特性ならびに実際に放射線計測などに使用した場合の問題点などについては、なお検討をすすめる予定である。終わりに回路部品そのほかに関して便宜を与えられた神戸工業KKの方々、実験に協力された森協研究室山崎尚一君に謝意を表す。(1964年11月25日受理)

れた。第14図は駆動アトミッタンス、第15図は挿入損失の実測例であって、ジャイレータの構造は第7図(d)のサンドイッチ型である(写真1)。



圧電圧磁ジャイレータの試作例

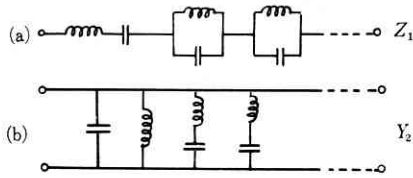
3. 順方向特性の改善

上記のアイソレータの順方向特性は振動子1個を用いた水晶フィルタと等価であるが、さらに高級な波特性を得るには次のようにすればよい。

一方向系を構成する2個の変換子と第3の変換子との間をメカニカル・フィルタと同様の構造にすればそれだけ特性が改善される。これはメカニカル・フィルタの技術の範囲内のことであるからここには立ち入らない。

次に終端回路について考えると第3の変換子の側は通常的水晶フィルタ、もしくはメカニカル・フィルタの終端とかかわるところはない。しかし(0~0')端子側の内側の部分は抵抗と容量の並列接続になっていて、ここで特性がおさえられる。

この点を改善するためには  $L_1 \cdot C_2$  に相当するリアクタンス素子の階級を上げればよい。ただし  $L_1 \cdot C_2$  は変換子の束縛リアクタンスに対応するものであるから、これらを含んだ形式の回路でなければならない。したがって、 $L_1$  の代わりに第16図(a)に示す直列型リアクタンス  $Z_1$  を、 $C_2$  の代わりに第16図(b)に示す並列型アプ



第16図 高級な終端リアクタンス

スタンス  $Y_2$  を採用すればよい。一方向性の条件は(3)

—22 ページよりつづく—

参考文献

- 1) 森脇義雄, 河村達雄 "高性能多チャネル型波高分析器" 生産研究, 14, 1, p.19 (1962-01)
- 2) 森脇義雄 "最近における波高分析器の進歩(2)" エレクトロニクス (1962-07)
- 3) 森脇義雄, 河村達雄, 寺川俊昭 "波高分析器用パルス分配回路" 昭和 34 年電気通信学会全国大会論文集 377 (1959-10)

式はそのまま(2)式の代わりに

$$\frac{Z_1}{Y_2} = R_1 R_2 \tag{9}$$

を満足すればよい。全体の等価回路第10~14図と同様でただ  $L_1 \cdot C_2$  の代わりに  $Z_1 \cdot Y_2$  とおいたものに等しい。したがって  $Y_2$  として並列共振回路を使用すれば内部において定K型の終端ができるわけである。

4. 結 言

3個の変換子を機械的に一体に結合した型のジャイレータについて論じた。一組の圧電および圧磁変換子によって蒲生の提案した電気-機械完全一方向通過系を実現し第3の変換子で駆動することによって電気-電気系でのアイソレータが得られた。このアイソレータは逆方向の伝送が一様に阻止されるのが特長である。

終端を適当にすることによって、逆方向への駆動インピーダンスを純抵抗にすることができる。順方向挿入損失は最小 3dB である。

チタン酸ジルコン酸鉛圧電セラミックとフェライトとを結合したジャイレータを試作し、ほぼ理論どおりの結果を得た。

また機械系にメカニカル・フィルタの形式を取り入れること、および終端回路のリアクタンスを高級化することによって順方向特性が改善できることを示した。

(1964年11月5日受理)

文 献

- 1) B.D.H. Tellegen: Philips Res, Repts. 3, 81 (1948-4)
- 2) W.P. Mason, et al.: J. Appl. Phys. 24, 166 (1953-2)
- 3) C.L. Hogan: Bell sys. Tech. J. 31, 1 (1952-1)
- 4) E.M. McMillan: J. Acoust. Soc. Am. 25, 344 (1946-10)
- 5) L.J. Black, et al.: Ibid. 25, 1137 (1953-11)
- 6) 尾上: チタバリ研究会資料, IX-50-277 (1961-3-29)  
尾上, 沢辺: 音響学会講演論文集, 3-1-7 (1961-5), Proc. IRE 50, 1967 (1962-9)
- 7) D.R. Curran: Proc. Electronic Comp. Conf. p. 24 (1961-5)  
D.R. Curran, et al.: Proc. Nat. Elec. Conf p. 521 (1961-10)
- 8) 蒲生: 昭27連大, 9-1 (1952), 音響学会誌10, 65 (1954), Trans. Int. Conf. on Circuit and Information Theory, p. 283 (1959)
- 9) 尾上: 昭38連大, 1187 (1963)

- 4) 森脇義雄, 高羽慎雄, 嶽沢雅徳 "パルス分配式多チャネル波高分析器" 昭和 39 年電気学会連合大会論文集 547 (1964-04)
- 5) 同上 "パルス分配式多チャネル波高分析器" 第6回日本アイソトープ会議論文抄録集 A/E-7 (1964-11)
- 6) 高羽慎雄, 生沼徳二 東京大学生産技術研究所電気談話会報告, 13, 7 (1964-09)
- 7) Pressman, A. "Design of Transistorized Circuits for Digital Computers" (1959)