

高性能多チャネル型波高分析器

森 脇 義 雄・河 村 達 雄

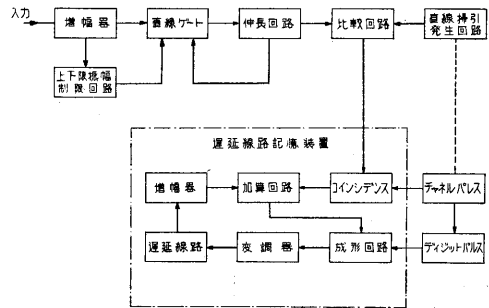
多チャネル型波高分析器のうちで磁心マトリクスを記憶装置とするものについて、測定時間を短縮し計数落としを減少させるために、パルス分配方式および待合せ方式がいかに有効であるかを、電話呼理論で得られている結果を利用して説明し、これらの方式の実際の回路について解説した。なお、簡単な回路で比較的短い変換時間が得られる周波数変調式 A-D 変換器についても記述してある。

緒 言

放射線のエネルギー分布を測定するのに波高分析器が広く用いられているが、これは入来パルスの波高すなわち電圧の全範囲をいくつかのチャンネル（通常100, 128, 256 等）に分け、各チャンネルに属するパルス数の割合を計測する装置である。各チャンネルごとに一定時間内に入来するパルス数を計測して、全体のスペクトルを得ようとするのが単一チャンネル型であり、入来するパルスを（理想的には）すべて計測して、それぞれ対応するチャンネルの計数に加えてゆくのが多チャンネル型である。放射線のような純偶然性のパルスを測定する際には、測定値の統計的変動による誤差を小さくするために、一定数（たとえば 1000）以上の数のパルスについて測定する必要があるから、単一チャンネル型は多チャンネル型に比してはるかに長い測定時間を要するという欠点がある反面、装置が簡単安価であるために、これまでかなり広く用いられてきた。多チャンネル型はこれと反対に、測定時間が比較的短い代わりに、装置が複雑高価となるために、まだあまり普及していないが、国産品の登場とともに、次第に広く用いられる情勢となってきた。この測定時間を短縮することは波高分析器として重要な問題であり、掃引式単一チャンネル型波高分析器の測定時間を短縮する一方式については、本誌第 12 巻第 1 号に述べたとおりであるが、その後多チャンネル型のものについても、測定時間を短縮し、あるいは計数落としを減少させる諸方式について研究を進めてきたので、ここにその概略をご紹介しますこととする。

1. 多チャンネル型波高分析器の 2 方式

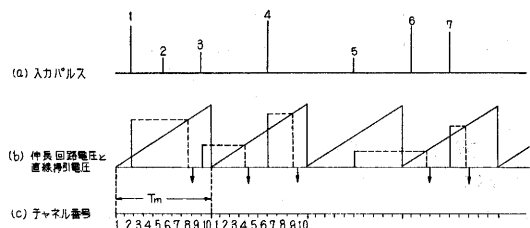
多チャンネル型波高分析器として最初に実用化されたものは単一チャンネル型と同様な波高選別回路を多数そなえたものであったが、チャンネル数が多くなると十分な安定度が得られないという欠点があった。約 10 年前に振幅を時間に変換することが提案され、さらに、振幅を分析した結果を遅延線路あるいは磁心を用いた記憶装置にたくわえるようになって、精度および安定度においてはほぼ満足すべき多チャンネル型波高分析器が実用化されたのである。現在実用になっているものはほとんどすべて振幅を時間に変換する方式であるといつてよく、記憶方式により、遅延線路記憶方式と磁心マトリクス記憶方式とに分けられる。



第 1 図 遅延線路記憶方式の構成図

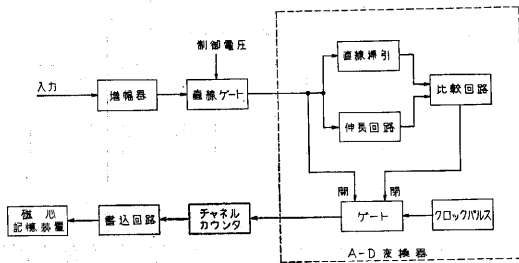
(a) 遅延線路記憶方式 第 1 図は動作の概略を示す構成図である。入来パルスは増幅器で増幅され、直線ゲートを通して伸長回路に入り、パルスの振幅を必要な時間だけ伸長保持する。予定した最大振幅をこえるものおよび雑音レベル以下のものをそれぞれ上下限振幅制限回路で検出して、直線ゲートを閉じ、波高分析を行なわないようにしてある。また、一つの入力パルスを伸長中も直線ゲートを閉じるようになっていいる。(以後の図ではこれらを一括して“制御電圧”として表わすこととする)。伸長回路の電圧は直線掃引電圧（記憶装置の周期と同期している）と比較回路で比較され、相等しくなった時刻にパルスを出す。この時刻に遅延線路からとり出されているパルスはちょうど入力波高に相当するチャンネルに属しているから、ここで記憶内容に 1 を加えて再び遅延線路に書き込むのである。第 1 図の点線内はディジットパルスで変調された 15Mc 程度の超音波を遅延線路内に通して記憶させるときの概略の構成を示したもので、比較回路から出るパルスが二つのチャンネルの中間に落ちてても、コインシデンス回路で一定の時刻にそろえて、最低のケタに 1 を加えるようになっている。

第 2 図 (a) は入力パルス、(b) は直線掃引電圧と



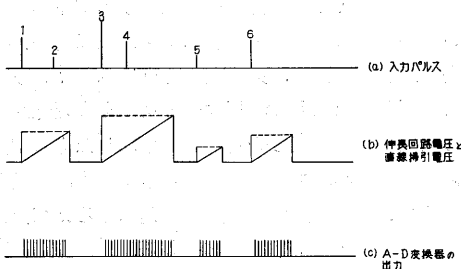
第 2 図 遅延線路記憶方式における電圧および時間の関係

伸長回路の電圧および記憶装置に書き込む時刻の関係をチャンネル数 $M=10$ なる簡単な例について示したものである。この例でもわかるように、あるパルスが伸長回路にはいつてから、分析が終わって書き込まれるまでの時間は、パルスの波高と到来時刻の双方で定まり、一つのパルスを分析するのに要する時間の平均値はほぼ記憶周期 T_m の半分である。また、第2図の2および6なるパルスは分析されずに計数落としとなる。100チャンネルの各チャンネルに当たり10ディジット(2進10ケタ)の記憶容量を有する遅延線路の遅延時間は1ms前後であるから、不感時間は平均 $500\mu s$ 程度となる。



第3図 磁心マトリクス記憶方式の構成図

(b) 磁心マトリクス記憶方式 第3図のような構成で入力パルスは伸長回路で伸長されるとともに、直線掃引電圧を起動し、ゲートを開く。伸長回路の電圧が直線掃引電圧と等しくなってゲートが閉じるまでに、これを通過するクロックパルスの数は入力パルスの波高に比例するから、これにより磁心マトリクス記憶装置の書込み位置を選定して、記憶内容に1を加えるようにしてある。図の点線内の部分は入力パルスの振幅をこれに比例するパルス数に変換するから、A-D変換器(Analog-to-Digital Converter)とよばれることもある。



第4図 磁心マトリクス記憶方式における電圧および時間の関係

第4図(a)は入力パルス、(b)は伸長回路の電圧と直線掃引電圧、(c)はゲートを通過するクロックパルスすなわちA-D変換器の出力を示す。

この方式では、書込みに要する時間を $T_w(\mu s)$ 、クロックパルスの周波数を $f(Mc)$ 、チャンネル数を M とすれば、不感時間は $T_w + M/f(\mu s)$ で与えられる。たとえば $T_w=15(\mu s)$ 、 $f=4(Mc)$ 、 $M=128$ とすれば、不感時間は $47\mu s$ となる。入力パルスを256チャンネルに分けて記

憶させるばあいには、不感時間の平均値が $M=128$ に相当する上記の値となるわけである。この不感時間は遅延線路記憶方式の $500\mu s$ より1ケタ低い値であるが、その代わり、記憶装置がはるかに複雑高価となるのはやむを得ない。

本稿では磁心マトリクス記憶方式の波高分析器の計測時間を短縮し、また測定落としを減少させるために、筆者らが試みた諸方式について解説する。

2. 計数率, 計数損と不感時間の関係

放射線源から発生するパルスは純偶然性のもので、時間的にポアソン分布をなしていると考えられるから、電話呼理論を適用することができる。電話の呼が出中継線を占有する保留時間は波高分析器の不感時間に相当し、出中継線の数 n はA-D変換器の数(通常は1であるが、後述のパルス分配方式では2以上となる)に対応する。平均保留時間を t_0 、単位時間当たりの平均入力呼数を c とすれば、入力呼量 $a=ct_0$ であり、この中で出線が全部ふさがっているために、接続されずに損失となる確率は次式で与えられる(1)。

$$B_0 = \frac{n \cdot a^n / n!}{\sum_{r=0}^n (a^r / r!)} \quad (1)$$

もし ν 個の待合せ装置があって、 n 本の出線が全部ふさがっているときに到来する呼をこれに入れて待合せをさせておき、出線があいたときに待合せ中の呼を順次接続するものとすれば、損失の確率は次式で与えられる(2)

$$B_\nu = \frac{\frac{a^\nu}{\nu!} \left(\frac{a}{n}\right)^\nu}{\sum_{r=0}^{n-1} \frac{a^r}{r!} + \frac{a^n}{n!} \frac{n}{n-a} \left\{1 - \left(\frac{a}{n}\right)^{\nu+1}\right\}} \quad (2)$$

(この式は保留時間が指数分布でないときには、待合せの確率が小さいときだけあてはまるものであるが、待合せの確率が大きいときにもだいたいの傾向を察知することはできる)。

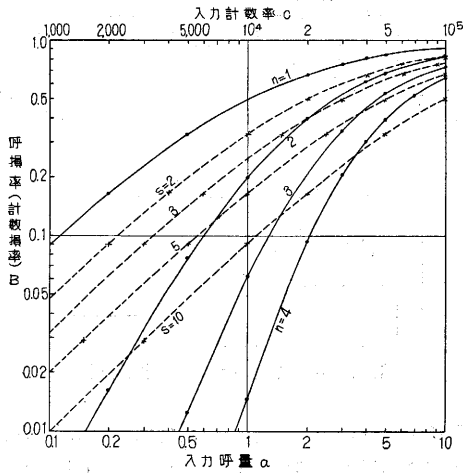
入力呼量 a の中で aB は損失となって失われるから、はこばれる呼量および呼数は

$$a_0 = (1-B)a = c_0 t_0, \quad c_0 = (1-B)c \quad (3)$$

で与えられる。

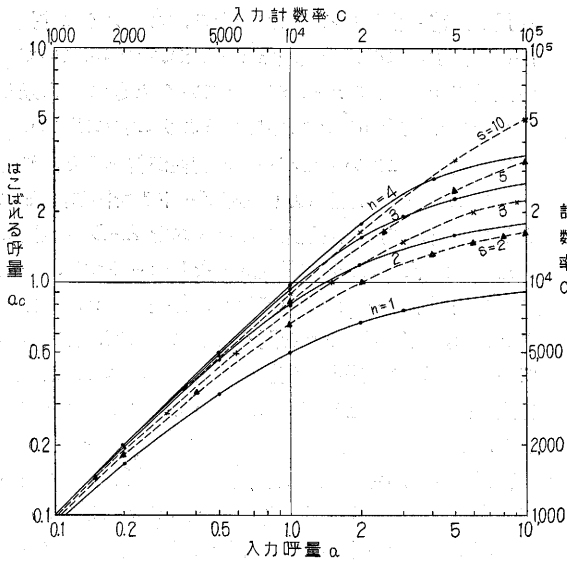
波高分析器では、入力パルス中で分析されずに計数落としとなる割合 B を計数損率(counting loss)、単位時間中に分析されるパルス数および到来するパルス数の平均値 c_0 および c をそれぞれ計数率(counting rate)および入力計数率とよぶことにする。

第5図の実線は式(1)による損失の確率 B_0 と入力呼量 a との関係を示したもので、 n が大きくなるにしたがって計数損が急激に減少することがわかる。波高分析器の不感時間が短くなれば計数損が減少するが、不感時間を $1/s$ に短縮したときの入力計数率 c と計数損率 B の関係を第5図の点線で示してあ



第 5 図 呼損率 (計数損率) と入力呼量 (入力計数率) の関係

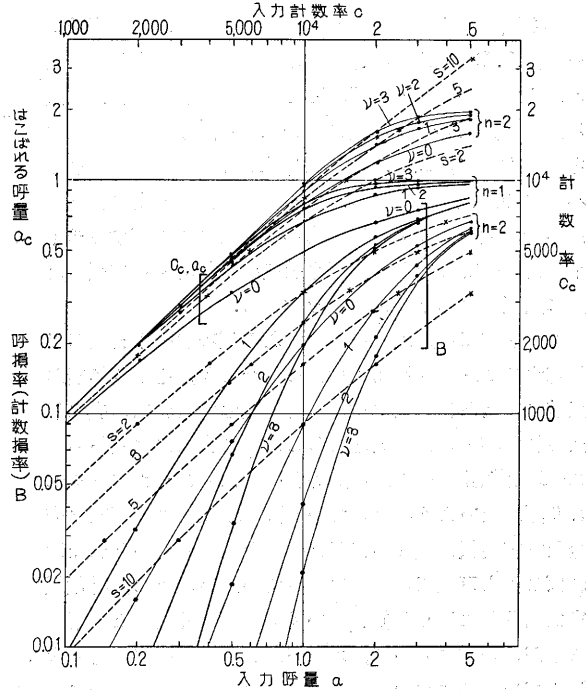
る. c の数値は $s=1$ のときの不感時間が $100 \mu s$ であるばあいの値である. この例では不感時間を $100 \mu s$ から $20 \mu s (s=5)$ に短縮しても, 入力計数率 6600 以下では, 不感時間 $100 \mu s$ の A-D 変換器 2 組をそなえたものより計数損が多いことがわかる.



第 6 図 はこぼれる呼量 (計数率) と入力呼量 (入力計数率) の関係

第 6 図は計数率と入力計数率の関係を示すもので, たとえば入力計数率 40000 以下では $100 \mu s$ の A-D 変換器 3 組をそなえるもの ($n=3$) の方が不感時間 $20 \mu s (s=5)$ のもの 1 組を有するものより大きい計数率を与える.

第 7 図は出線数 $n=1$ または 2 で, ν 個の待合せ装置を有するときの計数率 (上方の曲線群) および計数損率 (下方の曲線群) と入力計数率との関係を示す. 待合せ装置により計数損が (特に入力計数率の小さいところでいちじるしく) 減少し, それだけ計数率が増加している

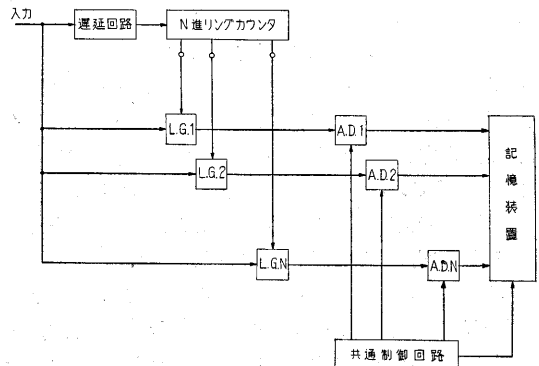


第 7 図 待合せ方式におけるはこぼれる呼量 (計数率), 呼損率 (計数損率) と入力呼量 (入力計数率) の関係

ことがわかる.

3. パルス分配方式⁽²⁾

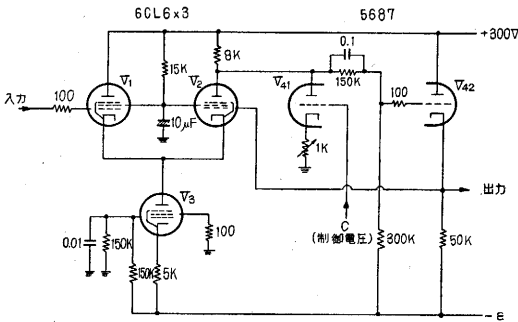
前節で述べたように, 波高分析器の計数率の上昇, 計数損の減少は不感時間 t_0 を小さくすれば達成されるが, t_0 を小さくするには高い繰返し周波数を有するパルスを扱う必要があるから, 技術上の限度がある. しかし, A-D 変換器を n 組そなえ, 入力パルスを順次これらの変換器に分配して加えるようにすれば, 第 5 図および第 6 図の曲線群からもわかるように計数損率はいちじるしく減少し, また入力計数率が大きいときの計数率はほぼ n 倍に増大する. したがって, 半減期の短い放射線源を測定するときのように, 計数落としによる誤差を小さくし, かつ短時間で測定を終了したいときに, 好適な方式であるといえる.



第 8 図 パルス分配方式の構成図

第8図は本方式の構成を示すもので、L.G は直線ゲート、A.D は A-D 変換器で、おのおの N 個ずつある。入力パルスはまず L.G. 1 を通って A.D. 1 に入るが、他方でわずかの遅延の後に N 進リングカウンタを一つ進めて、L.G. 1 を閉じ、L.G. 2 を開いて、次のパルスの到来にそなえる。A-D 変換器の出力に得られたパルス列のパルス数は入力パルス波高に対応するチャンネル番号に等しいから、記憶装置中の対応する位置の計数に共通制御回路により 1 を加える。

この構成では、入力パルスがある直線ゲートを通じて対応する A-D 変換器に加えられたとき、その変換器が以前に加えられた入力パルスを変換中であれば、次に加えられたパルスは計数落とすとなる（実際には変換中の A-D 変換器の前にある直線ゲートはリングカウンタにより開かないようになっている）。また、この方式は完全な空線選択方式（回路が複雑になることをいとわなければこれも可能である）になっていないために、計数損率は第5図に示した値よりいくぶん大きくなるとも思われるが、他方において、ある A-D 変換器の出力を書き込んでいる間に次の変換を行なうことができるために、実効書き込み時間が短縮され、平均不感時間が短くなるから、結果は第5図の値と大差ないものとなろう。



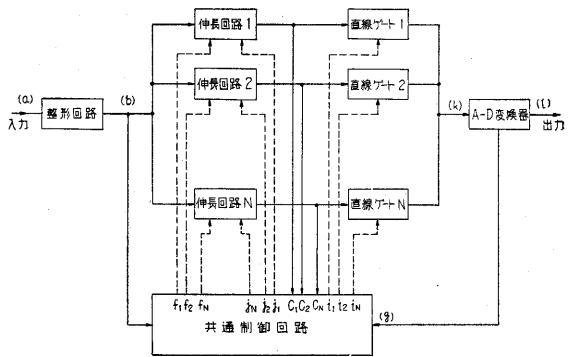
第9図 直線ゲートの回路

直線ゲートとしては第9図の回路を用いた。定電流特性を与える V_3 と、 V_{42} から V_2 への負帰還により、満足すべき直線性および安定度が得られている。 C に正の制御電圧を加えれば、ゲートが閉じて出力がなくなる。

4. 待合せ方式⁽³⁾

第7図を見ると、待合せ装置を付加することにより、入力計数率が小さいところでは計数損率がいちじるしく減少し、入力計数率が大きいところでは計数率が 20~60% 増加する。待合せ装置は次に述べるように比較的簡単な回路で実現できるから、これだけの性能向上が得られるならば、考察する価値が十分にある。

第10図は本方式の基本的な動作を示す構成図である。伸長回路と直線ゲートの組合せが N 組あるが、後述の制御回路を簡単にするために、1組だけは常にあけておくようにしてあるので、変換中のパルスのほかに、



第10図 待合せ方式の構成図

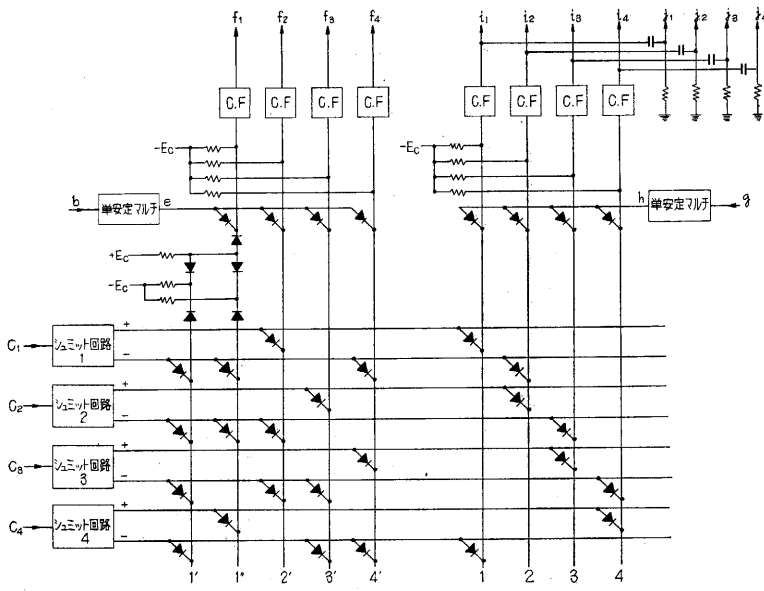
$l = N - 2$ 個のパルスの待合せが可能であることになる。

すべての伸長回路があいているときに到来したパルスは伸長回路1で伸長され、直線ゲート1を通して A-D 変換器に加えられる。この伸長回路1の電圧は c_1 から制御回路を通じて伸長回路2を待機状態におき、次に到来するパルスは伸長回路2で伸長される。しかし、伸長回路1のパルスの変換中は直線ゲート2は閉じている。次に到来するパルスは同様にして伸長回路3で伸長され、以下伸長回路 $N-1$ まで到来パルスを受け入れて伸長し、待ち合わせる事ができる。このように伸長回路を制御するには、伸長回路 $r-1$ がふさがっていて、伸長回路 r および $r+1$ があいているときに、到来したパルスを伸長回路 r で伸長するようにすればよい。

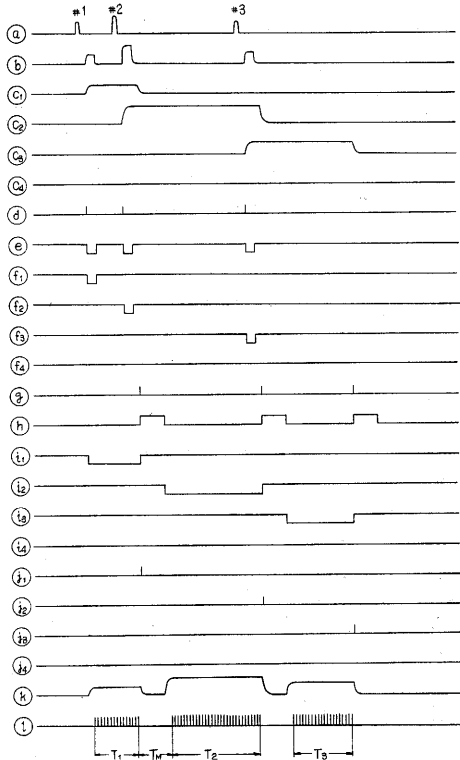
伸長回路1にはいったパルスの変換が終わると、制御回路の i_1 からの電圧により直線ゲート1を閉じ、 i_2 により2を開いて、伸長回路2のパルスを A-D 変換器に加え、また j_1 により伸長回路1をリセットする。一般に、伸長回路 $r-1$ があいており、伸長回路 r が動作中のときに、直線ゲート r を開くようにすれば、伸長されているパルスの到来順に変換が行なわれることになり、伸長時間が過大になるパルスがないようにすることができる。

伸長回路1があくと、伸長回路 N は $N-1$ に続いて到来するパルスを受け入れることができるように制御され、 N 個の伸長回路は循環的に動作し、直線ゲートは動作中の伸長回路の先頭のもの（たとえば $N=6$ で、1, 2, 5, 6 が動作中ならば、5-6-1-2 と連続していることになるから、5が先頭である）に対応するものだけが開いている。

第11図は上述の機能を有する制御回路の一例を $N=4$ のばあいについて示したもので、第11図および第10図の各点における波形を第12図に示してある。各伸長回路の出力はそれぞれシュミット回路をへて正負の電位に変換され、伸長回路が動作していないときに図示のような電位の関係になっている。右方のマトリクスで、たとえば縦の1の線は伸長回路1が動作、4が非動作のと



第 11 図 待合せ方式の制御回路の一例



第 12 図 待合せ方式の各点における波形

きに電位が下がるから、カソードホロウをへた i_1 の電位で直線ゲート 1 を開くように接続する。右方の g から変換終了パルスが来ると、単安定マルチバイブレータの出力 h には第 12 図 h に示すような波形を生じ、 i_1 の電位が上昇するから、これを微分して得られる正電圧を伸長回路 1 に加えてリセットする。この単安定マルチの出

力がある間はその i の電位も低くならず、したがって出力側のどの直線ゲートも開かない。これはパルス波高を変換した結果を記憶装置に書き込む時間 (第 12 図に T_M で示す) を与えるためである。

第 11 図左方のマトリクスは次に入来するパルスを伸長すべき伸長回路を定めるためのものである。たとえば縦の $2'$ の線は伸長回路 1 が動作、2 および 3 が非動作のとき電位が下がるから、カソードホロウをへて f_2 に得られる低電位を伸長回路 2 に加えて、入力パルスを伸長することができる状態におく。伸長回路 1 は 4 が動作、1 と 2 が非動作のば

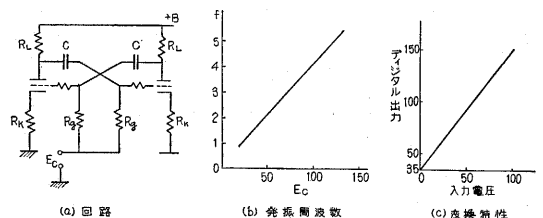
あいでなく、すべての伸長回路が非動作のばあいにも入力パルスを受け入れるようにするために、 $1'$ と $1''$ のどちらの電位が下がっても f_1 の電位が下がるように接続してある。左方の単安定マルチバイブレータに入力パルスを整形した b の波形が加わると、出力側に e の波形を生じ、図の接続により、これが負電位でしかも縦線が低電位にあるときだけ f が低電位になるようになっている。したがって、入来パルスは待機状態にある伸長回路で伸長されることになる。

第 12 図の k は上述のような制御過程により A-D 変換回路に加えられる伸長された波形で、 l は A-D 変換回路の出力である。

この待合せ方式は前節で述べたパルス分配方式と併用することもできる。A-D 変換器 2 組に待合せ回路 ν 個を付加したときの計数率および計数損率は第 7 図の $n=2$ なる曲線群から求められる。

5. 周波数変調式 A-D 変換器⁽⁴⁾

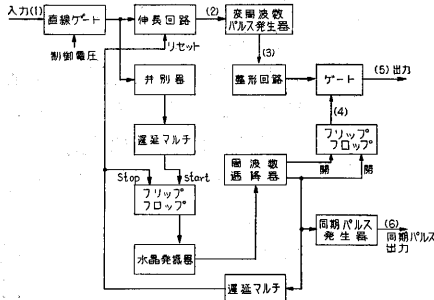
第 13 図 (a) のようなマルチバイレータのグリッドバイアス E_0 を正の範囲で変化させると、発振周波数



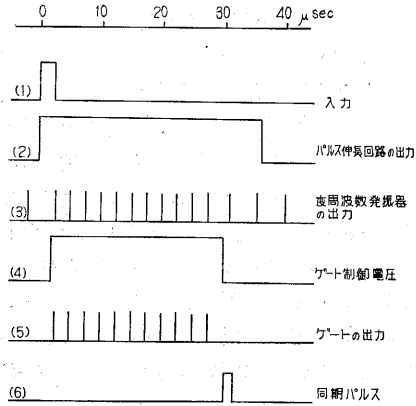
第 13 図 変周波数変振器の回路と特性

が同図 (b) に示してあるようにほとんど直線的に変化する。そこで一定時間 (後述の回路では $28 \mu s$) 内に含まれるパルス数は第 13 図 (c) のように変化する。入力波高値をパルス数に変換することができる。(a) の回路で真空管として 6J4 を用い、 $R_K=300 \Omega$ 、 $R_g=50 k \Omega$ 、

$R_L=3k\Omega$ $C=10pF$ としたとき、バイアス電圧 $E_0=30\sim 130V$ の変化に対し、発振周波数は $1.3Mc$ から $5.3Mc$ までほぼ直線的に変化し、直線からの偏差は 0.5% 以内である。また発振周波数の安定度は 10^{-3} 程度で、波高分析器用として十分である。



第 14 図 周波数変調式 A-D 変換器の構成図



第 15 図 周波数変調式 A-D 変換器の各部の波形

第 14 図はこのような変周波数パルス発生器を用いた A-D 変換器の構成図、第 15 図はその各部における波形を示す。入力パルスは直線ゲートを通り、伸長回路で約 $34\mu s$ に伸長されて、上述のマルチバイブレータのグリッドに加えられる。その出力を二次電子管 EFP-60 を用いたパルス整形回路で整形してゲートに加える。このゲートは水晶発振器の出力を通過して得られる制御波形で $28\mu s$ だけ開かれ、その間にゲートを通過するパルス数が入力波高に対応するチャンネルの番号に一定数を加えたものと等しくなるようにしてある。パルス伸長回路が充電を開始し、その出力波形が一定値に達し、変周波数パルス発生器(マルチバイブレータ)の周波数が安定してからパルスを取り出すようにするために、単安定マルチバイブレータで $2\mu s$ の遅延を与えた後にゲートを開き、ゲートが閉じたときに同期パルスを発生させ、記憶

装置の操作に使用する。これよりさらに数 μs 遅れて、パルス伸長回路を放電させる。伸長回路を放電させるまでの時間は記憶装置への書込み時間に含まれるから、不感時間には影響がない。変換時間は入力パルス波高に無関係に $30\mu s$ で、書込み時間を $10\mu s$ とすれば、波高分析器としての不感時間は $40\mu s$ となる。

この方式の変換時間は入力パルスの波高に無関係に一定で、100 チャンネル程度に対し $30\mu s$ という値は非常に短いとはいえないが、回路が比較的簡単であるのが特長であるといえよう。なお、この変換器の出力パルス数は入力パルスの波高に対応するチャンネル番号に一定数を加えたものとなっているが、記憶装置の書込み位置を選定する前にこの一定数を差し引くことは簡単な回路で容易にできるから問題はない。

6. 遅延線路記憶式波高分析器の性能向上⁽⁵⁾

遅延線路を記憶装置として用いると、平均不感時間は第 1 節で述べたように、線路の遅延時間のほぼ半分の $500\mu s$ 程度の値となり、これがこの方式の本質的な欠点であると考えられていたが、パルス分配方式や特殊な待合せ方式を使用すれば、不感時間を A-D 変換回路の変換時間と同程度まで短縮することができる。これらの諸方式については紙面の都合で、次の機会に詳しく述べることにする。

結 言

磁心記憶方式の多チャンネル型波高分析器の計数率を増大し、計数損率を減少させるために有効なパルス分配方式および待合せ方式について述べ、また比較的簡単な回路で短い変換時間が得られる周波数変調式 A-D 変換器について解説した。これらの方式により、多チャンネル型波高分析器の性能をいじりしく向上させることができよう。

この研究に大きな寄与をされた寺川俊昭、三原真吾の両氏に深謝する。(1961 年 11 月 20 日受理)

文 献

- (1) たとえば 電気通信学会実用双書「電話トラフィック理論とその応用」p.102—103.
- (2) 森脇義雄・河村達雄・寺川俊昭：波高分析器用パルス分配回路。昭和34年度電気通信学会全国大会論文集377 (1959—10).
- (3) 森脇義雄・河村達雄・寺川俊昭：待合せ方式による多チャンネル波高分析器の高速度化。昭和36年度電気4学会連合大会論文集 527 (1961—04).
- (4) 森脇義雄・河村達雄・三原真吾：周波数変調を利用した多チャンネル波高分析器の一方。昭和35年度電気4学会連合大会論文集 573 (1960—07).
- (5) 森脇義雄・河村達雄・三輪博秀・水越慎：遅延線路を記憶装置とする多チャンネル波高分析器の高速度化。第4回日本アイソトープ会議論文抄録集, D—20 (1961—10).