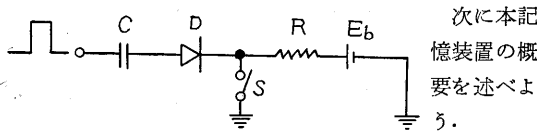


ダイオード・コンデンサ記憶装置

五十嵐 良・野村 民也・河村 達雄

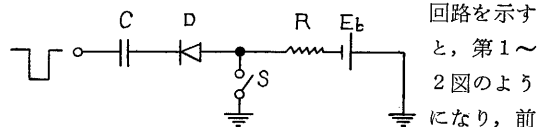
1. 概要

最近のエレクトロニクスは計数型自動計算機によって代表されている感が強い。わが国で実用に供せられている計数型自動計算機の記憶装置としてランダム・アクセスの主役を演じているものにフェライト磁心、ウィリアム管を用いるものなどがある。しかし、これらの記憶装置はアクセス・タイムが $1\mu s$ を限度としているようである。さらに高速記憶装置を開発するため強磁性体の薄膜を用いるもの、およびエサキ・ダイオードを用いるものなどの研究が発表されている。著者らは記憶装置の高速化を進めるに当たって、アメリカのNBSで開発されたダイオードおよびコンデンサを用いるものの改良を行なうことにした。



第1図 正パルス記憶用回路

次に本記憶装置の概要を述べよう。



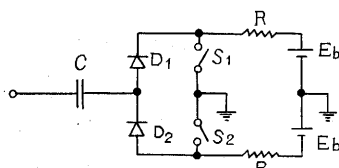
第2図 負パルス記憶用回路

この基本回路を示すと、第1~2図のようになり、前者は正パルスの記憶を、後者は負パルスの記憶を行なわせるものである。

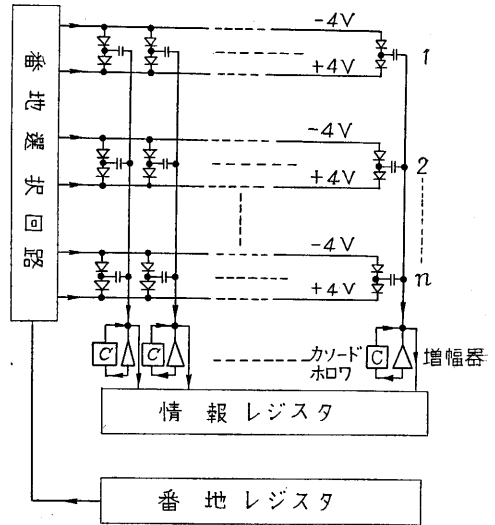
いまコンデンサ C に正電荷を蓄積するため、スイッチ S を閉じて図のように正パルスを加えると、ダイオード D は順方向になるので、コンデンサ C に正電荷が蓄積される。パルスがなくなると同時に、 S を開くとダイオード D は逆方向にバイアスされるので、ダイオードの逆方向抵抗は大きくなり、コンデンサ中の電荷はかなり長時間保持することができる。

負パルスの場合についても、原理的には同様である。

第3図に示すように、第1図と第2図を組み合わせれば1記憶素子を構成することができる。情報を蓄積しようとする場合には S_1 および S_2 を閉じれば、情報が正か負によって



第3図 記憶素子



第4図 記憶装置

ダイオード D_1 または D_2 のいずれかに電流を流すことができるので、コンデンサ C には情報の蓄積を行なうことができる。書込みの終了と同時にスイッチ S_1 および S_2 を再び開くと、 C 中に情報が長時間保持される。

このようなダイオード D_1, D_2 および C より成る記憶素子をマトリクスに配置して記憶装置を構成することを考えよう。

基本的な記憶装置の要は、第4図にしめてある。記憶装置へ情報を書き込んだり、あるいは読み出したる場合、情報レジスタが使用される。また番地を指定する場合、番地レジスタの内容を番地選択回路でほん訳して行なわれる。

ほん訳された記憶素子は正負のバイアスが除去されてコンデンサの内容が読み出されたり、あるいは書き込んだりできる状態になる。

本記憶装置はコンデンサに蓄えられている電荷が時間とともに減衰するので、一定周期で再生を行ないながら常にある範囲の値を保持するようにならなければならない。したがって記憶装置として完全に動作させるためには、読書きを行なわしめる action cycle, および再生作用を行なう regeneration cycle の機能を具備しなければならない。“1”か“0”で表現された内容がフリップ・フロップで構成される番地レジスタに移されると、直ちに番地選択回路が動作し、読書きを行なうべき番地が指定されることは前述した通りである。

番地レジスタをシフト・レジスタと考えれば、2進N桁で表わされた内容を全部収容するには、シフト・パルス N 本分の時間を必要とする。したがって、シフト・パルスとして、記憶装置の動作に必要なクロック・パルスを用いるのが好都合である。つまりある時間に読出または書き込みを終えてから、クロック・パルス N 本分の時間後にしか新たに読出または書き込みを行なうことができないわけである。このことを考慮すれば、N 本のクロック・パルスのうち 1 本を action に N-1 本を regeneration に割り当てることができる。

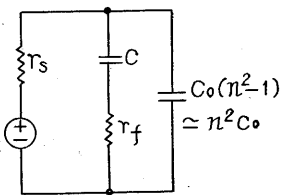
番地レジスタに収容しうる 2 進桁数が N であれば、記憶容量は最大 2^N 語ということになる。したがって、regeneration cycle では、順次再生を行なわねばならないので、全部の語を再生し終えるには次の式でしめされる時間 t_r を必要とする。

$$t_r = \tau \times 2^N \times \frac{N}{N-1} \quad (1)$$

最初に書き込まれた電圧がある時間後には記憶装置として動作せしめるに必要な最低電圧に減衰する。この時間を記憶保持時間と呼ぶことにすると、記憶装置としてまず再生に要する時間より記憶保持時間が長いことが必要条件である。

2. 書き込み回路

次に具体的に書き込みを行なう回路について述べることに



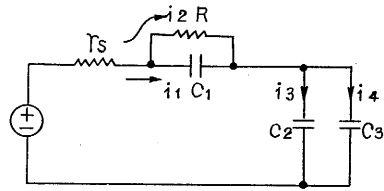
第 5 図 書き込み時の等価回路

にする。まず、第 4 図の電気的等価回路は第 5 図のようになる。第 5 図で r_s, r_f はそれぞれ信号源インピーダンスおよびダイオード順方向抵抗であり、C は記憶用コンデンサ、 C_0 は記憶素子を構成するダイオードの逆方向バイアス時における漂遊容量をしめし、 n^2 は記憶容量で 2^N に等しく単位は語 [words] である。信号源としてパルス源を想定しているが、C に電荷を蓄積する場合過渡現象として、指数関数的に増加し、ある値で飽和するので、書き込み終了は飽和値の 90% に達した時をもって定義する。この場合書き込み終了に要する時間は次のようになる。

$$t_{w0} \approx 2 \cdot 3 r_s (C + n^2 C_0) \quad (2)$$

本記憶装置は高速度を生命としているので、さらに高速化を行なうため、書き込み回路に改良をほどこす必要がある。

改良回路の第一案として、第 6 図にしめされたものを提案する。本回路は図のように $C_1 R$ の並列回路素子が挿入されているに過ぎないが、以下に述べるような利点



第 6 図 改良を加えた回路

を有する。この場合 C_2 が記憶コンデンサ、 C_3 が全漂遊容量である。ただしダイオードの順方向抵抗は省略してある。

まず書き込み回路の解析から始めることにする。第 6 図で、 $R \gg r_s$ が成立しているものとする、 C_1 を流れる電流は近似的に次のようになる。

$$i_1 = \left[\frac{E}{r_s} - \frac{Q}{(C_2 + C_3)r_s} \right] e^{-\frac{C_1 + C_2 + C_3}{C_1(C_2 + C_3)r_s} t} \quad (3)$$

ただし、Q は書き込み以前に記憶コンデンサ C_2 に蓄えられていた電荷であり、負の符号は書き込みパルスの極性と C_2 に蓄えられている場合の電荷の極性が一致していることをしめし、他の場合はこの符号を正にとらねばならない。

書き込み時間を τ とするとコンデンサ C_1 に蓄えられた電荷は次のようになる。

$$Q_1 = \int_0^\tau i_1 dt = \left[\frac{E}{r_s} - \frac{Q}{(C_2 + C_3)r_s} \right] \frac{C_1(C_2 + C_3)r_s}{C_1 + C_2 + C_3} \left[1 - \exp \left\{ -\frac{C_1 + C_2 + C_3}{C_1(C_2 + C_3)r_s} \tau \right\} \right] \quad (4)$$

同様に全漂遊容量 C_3 に蓄えられる電荷を Q_3 とすれば

$$Q_3 = \frac{C_3 E}{(C_2 + C_3)r_s} \left[\frac{C_1(C_2 + C_3)r_s}{C_1 + C_2 + C_3} + \frac{C_2 + C_3}{C_1 + C_2 + C_3} \cdot \frac{r_s}{R} \left\{ \tau - \frac{C_1(C_2 + C_3)r_s}{C_1 + C_2 + C_3} \right\} \right] \quad (5)$$

となる。(5)式は書き込み時に記憶コンデンサの電荷が零である場合であるから、すでに Q なる電荷が存在している場合には、 $C_3 Q / (C_2 + C_3)$ を加味しておかねばならない。しかしこの値は記憶容量がある程度大きければ無視してもさしつかえない。いま、ある記憶素子に書き込みを終了して、次のクロック・パルスで他の記憶素子から読出しを行なう場合、前の書き込み動作によって漂遊容量に電荷が残留していれば、読出しが不完全になるので、書き込み終了時には C_1 と C_3 の電荷が等しいことが必要である。 C_1 と C_3 の極性は書き込み終了後にはちようど打ち消すようになるからである。この条件を満足するように R を決定すれば良い。(4)式と(5)式より R を求めると、次のようになる。

$$R = \frac{C_3}{C_1 C_2} \left\{ \tau - \frac{C_1(C_2 + C_3)r_s}{C_1 + C_2 + C_3} \right\} \quad (6)$$

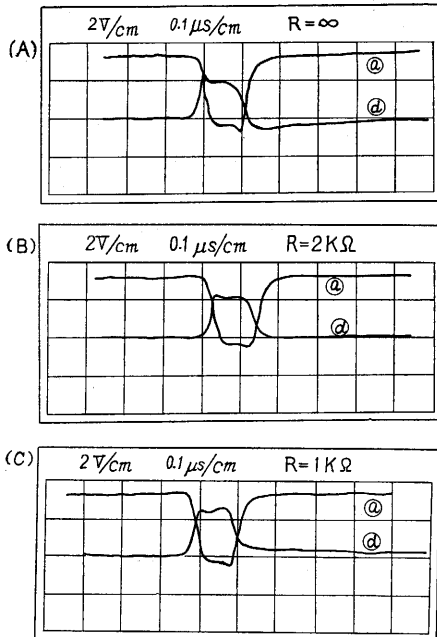
書き込み終了後の記憶電圧 E_m は(5)式を C_3 で除してえられ、次のようになる。

$$E_m = \frac{C_1(C_2 + C_3)}{C_3(C_1 + C_2 + C_3)} E \quad (7)$$

ただし、 E は信号源のパルス振幅をしめす。次に C_1 、 R 並列回路素子によって、書込み終了時間が、いかに短縮されるかをしめしておこう。書込み終了時間は近似的に次のように表わされる。

$$\tau = 2 \cdot 3 \frac{C_1(C_2 + C_3)r_s}{C_1 + C_2 + C_3} \quad (8)$$

(8)式から分かるように、 C_1 を小さくすればするほど τ を小さくすることができる。しかし C_1 を小さくすると同じ記憶電圧にするためには信号源のパルス振幅値を大きくしなければならず、大きな振幅のパルス源を必要とするので、 C_1 を無制限に小さくすることはできない。

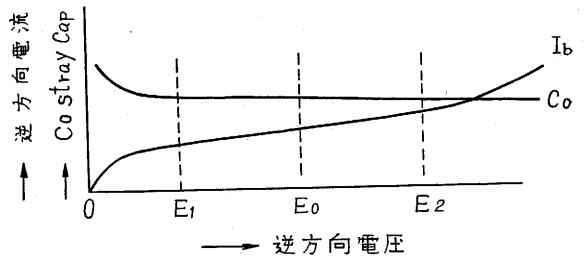


第7図 書込み特性

出力インピーダンス 50Ω のパルス源で実験した結果を第7図にしめす。(A)、(B)、(C)にてⒶはアドレス・パルスを、Ⓑは記憶コンデンサの両端の電圧をしめしている。この図から分かることは R を無限大にすると、 C_1 の電荷が C_3 の電荷より大きくなるので、書込み終了時には負の電圧が表われ、反対に R を小さくすると正の電圧となり、(6)式を満足する R では、この電圧は零となり、次の読出しに妨害を与えないということである。 C_1R の並列回路素子を挿入することにより、 C_2 に蓄えられている情報の読出しに際しては、 C_2 に並列のインピーダンスが高くなるので、大きな読出し電圧がえられることである。

3. ダイオードおよび記憶電圧の選定

ダイオードの順方向抵抗が小さいことは、書込み時間短縮上極めて重要である。なお逆方向抵抗は記憶保持時



第8図 ダイオード特性

間に直接関連があるので、記憶容量およびクロック・パルスの繰返し周波数の決定上、特に考慮しなければならない。

まずダイオードの特性から記憶電圧および逆方向バイアス電圧を決定しよう。第8図にダイオードの特性の1例を図示する。逆方向バイアス電圧が E_1 から E_2 の範囲では逆方向電流の値は小さく漂遊容量も小さいので、ダイオードに常時印加しておく固定バイアスは次のように選ぶのが妥当である。

$$E_0 = \frac{E_1 + E_2}{2} \quad (9)$$

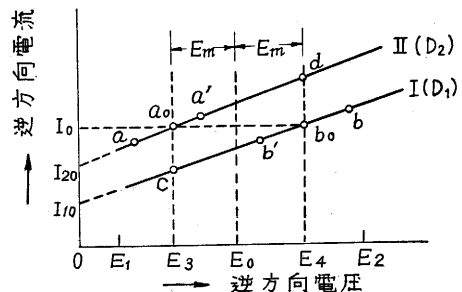
次に記憶電圧 E_m は次のようなことを考慮して決定する必要がある。第4図で1箇の増幅器に接続されている n 箇の記憶素子のうちから1箇が選択されて、書込みが行なわれる場合、他の素子は妨害を受ける結果となる。この妨害が最も著しくなるのは、ある素子に“0”の情報が記憶されている時、他の素子に“1”の情報を書き込む場合もしくはその反対の場合である。したがって妨害を軽減するには記憶電圧を次の式から決定するのが望ましい。

$$E_m \leq \frac{E_2 - E_1}{4} \quad (10)$$

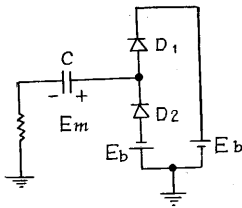
記憶電圧の大きい方が減衰も小さくなるので、なるべく大きな値を選ぶことも必要である。

4. 記憶保持時間

第8図で逆方向バイアス電圧が E_1 と E_2 の間にあるときは、ダイオードの特性は近似的に一次式で表示することができる。記憶素子を構成する2箇のダイオードの特性の不均一性を考慮して、第9図のように直線IとII



第9図 ダイオード逆方向域特性



第10図 記憶素子（動作状態）

の間にあるものとして解析することにする。動作状態として第10図の場合を考えると、ダイオード D_1 の逆方向バイアスは浅く D_2 のバイアスは深くなるので、記憶コンデンサ C の電荷の放電に寄与する等価抵抗 R_c は次のようになる。まず、

$$I_1 = \alpha(E_0 + E) + \beta_1 \quad (11)$$

$$I_2 = \alpha(E_0 - E) + \beta_2 \quad (12)$$

したがって R_c は

$$R_c = \frac{E}{I_1 - I_2} = \frac{E}{2\alpha E + \beta_1 + \beta_2} \quad (13)$$

次に情報保持時間を求めよう。記憶コンデンサに一度蓄えられた電荷は、コンデンサ C と等価抵抗 R_c の直列回路により減衰を受ける。まず基礎方程式は

$$\frac{1}{C} \int i dt + i R_c = 0 \quad (14)$$

となり、記憶電圧 E と $i R_c$ が等しいことを用いれば、(14)式は次のように変形できる。

$$\frac{1}{C} (2\alpha E + \beta_1 + \beta_2) + \frac{dE}{dt} = 0 \quad (15)$$

最初 C に E_m なる電圧が蓄えられているものとして(15)式を解くと、記憶電圧と時間との関係式がえられる。

$$t = \frac{C}{2\alpha} \ln \frac{2\alpha E_m + \beta_1 - \beta_2}{2\alpha E + \beta_1 - \beta_2} \quad (16)$$

(16)式は最初に書き込まれた情報が妨害を受けない場合の記憶保持時間をしめしているが、実際はクロック・パルスごとに、いずれかの記憶素子が書き込み、あるいは読出しを行なっているので、これらの妨害を加味して記憶保持時間を求めておかねばならない。第9図のように一次式で近似しうる範囲では、最悪状態で他の素子を1回読み出したり、あるいは書き込むごとに次のような電荷の減少が起こる。

$$\delta q = -2\alpha E_m w \quad (17)$$

ただし w はアドレス・パルスの幅である。このような妨害のある場合の記憶電圧と時間との関係はアドレス・パルスの周期を τ とすれば、

$$t = \frac{C}{2\alpha} \ln \left[\frac{2\alpha E_m \left(1 + \frac{w}{\tau}\right) + \beta_1 - \beta_2}{2\alpha \left(E + E_m \frac{w}{\tau}\right) + \beta_1 - \beta_2} \right] \quad (18)$$

したがって、記憶装置として動作させるには次の条件を満足させねばならない。 E が $E_m/2$ になる時間を記憶保持時間とすると、

$$\tau \cdot 2^N \cdot \frac{N}{N-1} \leq \frac{C}{2\alpha} \ln \left[\frac{2\alpha E_m \left(1 + \frac{w}{\tau}\right) + \beta_1 - \beta_2}{\alpha E_m \left(1 + 2 \frac{w}{\tau}\right) + \beta_1 - \beta_2} \right] \quad (19)$$

次に記憶装置として、安定度が問題になるので、少しふれておくことにする。

5. 安定度

本記憶素子として、ダイオードを用いているので、温度による特性の変化の著しいことが考えられる。まず、ダイオードの逆方向電圧が、 $-1.5V$ から $-10V$ の範囲にある時、逆方向電流は次のように表わされる。

$$I = f(V) e^{-\frac{e\phi_0}{RT}} \quad (20)$$

(20)式より温度 $T_0^\circ K$ の時の逆方向電流を I_0 とし、温度 $T^\circ K$ の時を I とすると次の関係がえられる。

$$\log_{10} \frac{I}{I_0} \times 100 \approx 0.432 \frac{e\phi_0}{RT_0^2} \theta + 2 - \frac{10e\phi_0}{RT_0^2} \quad (21)$$

(21)式は、 $T = 273 + \theta (^\circ K)$ 、 $T_0 = 298^\circ K (25^\circ C)$ とした場合で、実験的には $\phi_0 = 0.52 eV$ に相当し、次式をうる

$$\log_{10} \frac{I}{I_0} \times 100 \approx \frac{\theta}{35} + 1.3 \quad (22)$$

あるいは

$$I/I_0 \approx 0.2 e^{0.0658\theta} = \lambda \quad (23)$$

(23)式から明らかなように、逆方向電流は温度に対して指数関数的に変化することが分かる。したがって記憶保持時間は、逆方向電流に直接関係してくるので、温度変化による影響を調べると、(19)式より直ちに次式をうる。

$$t = \frac{C}{2\alpha\lambda} \ln \left[\frac{2\alpha E_m \left(1 + \frac{w}{\tau}\right) + \beta_1 - \beta_2}{\alpha E_m \left(1 + 2 \frac{w}{\tau}\right) + \beta_1 - \beta_2} \right] \quad (24)$$

(24)式より、温度に対する安定度を求めると

$$\frac{\partial t}{\partial \theta} / t = -6.58\% / ^\circ C \quad (25)$$

このことから記憶保持時間は温度変化によって大きく変化するといえる。たとえば $25^\circ C$ から $28^\circ C$ に温度が上昇すると、記憶保持時間は 80% になる。次にダイオードの順方向特性の温度による影響を調べよう。順方向電圧が $0.5V$ 以上の場合に、理論的に I/I_0 を計算すると第1表のようになる。

第 1 表

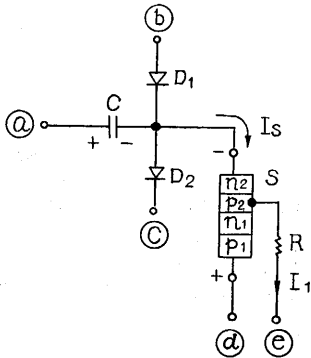
| θ $^\circ C$ | 5 | 25 | 45 |
|---------------------|------|------|------|
| I/I_0 | 0.85 | 1.00 | 1.15 |

これらの結果を総合すると、温度によって、記憶保持時間は大きく変化するが、順方向特性は大きな変化がないので、書き込み特性にはそれほど影響がない。

温度のほかに各部バイアス電圧の変化などがあるが、それらは余り問題にならないので省略することにする。

6. 非破壊記憶素子

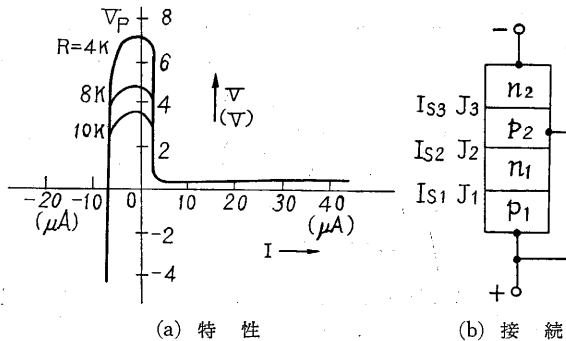
前節で述べた記憶素子は読出しに際して、その情報が消滅するので、再び書き込みを行なう必要がある。また、コンデンサに蓄えられている電荷は時間とともに減衰するので、常に再生を行なう必要上、記憶装置として複雑になり、高速変化に対しての障害となる。したがって、記憶素子としては読出しに際して非破壊であり、しかも情報が半永久的に記憶されるのが理想的である。このような見地からすれば、前述したダイオード・コンデンサ



第11図 非破壊記憶素子

記憶素子は欠点が多すぎるので、負性抵抗素子を付加して、この欠点を補うことを考えた。負性抵抗素子として、種種なものが考えられるが、ここでは三端子 P-N-P-N スイッチを用いる場合について述べる

ことにする。この記憶素子を第11図に、P-N-P-N素子および特性を第12図にしめす。



第12図 三端子 P-N-P-N スイッチ

三端子 P-N-P-N スイッチの特性はバイアス抵抗 R およびバイアス E を変えることにより、記憶素子として適当な特性をもたせることができる。まず記憶コンデンサ C に図のような極性の電荷が蓄えられている時 C の端子電圧が V_p より小さいときは、P-N-P-N スイッチは off 状態になっているので、 I_s なる電流が図のような方向に流れる。この時、ダイオード D_1 および D_2 の電流の差が I_s に等しければ、この電荷は減衰することなく蓄えられる。

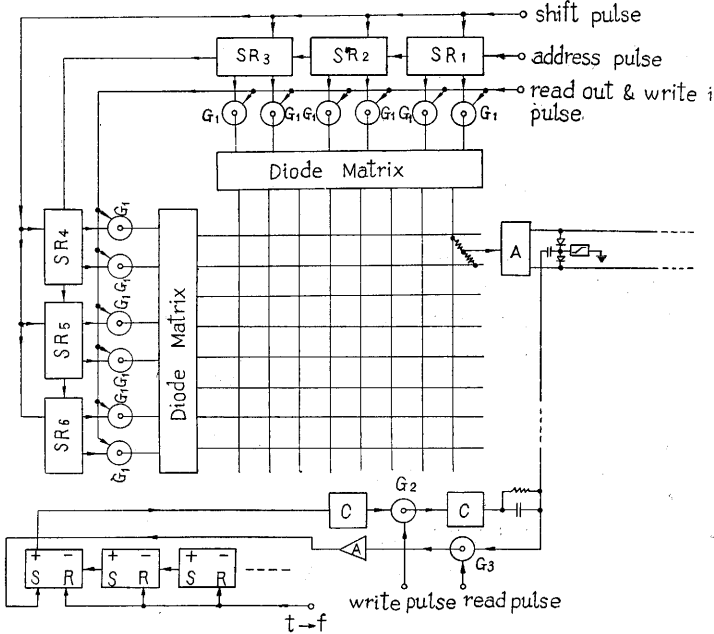
C に電荷が蓄えられている状態を“1”に対応させ、蓄えられていない状態を“0”に対応させることにすれば、“0”の状態にするため、(a)点から V_p 以上の振幅のバル

スを加えると、書き込み終了後には C の端子電圧は P-N-P-N スイッチを on にするための電圧となるので、C の電荷は急速に放電し、ほとんど 0 になる。この状態では P-N-P-N スイッチには図の方向と反対の電流が流れ、ダイオード D_1 の逆方向電流を D_2 より大きくなるようにしておけば、“0”の状態が保持される。

次に情報の非破壊読出しについて、その動作機構を説明することにする。読出しに際しては、(b)および(c)点に加えられている逆方向バイアスを除去することにより、(a)点から C に蓄えられている情報を読み出すことができる。この場合、P-N-P-N スイッチの on あるいは off 状態には変化がないので、読出し後も、前の状態に復帰し、情報の非破壊読出しが可能となる。コンデンサに電荷が蓄えられている状態で読出しを行なう場合、コンデンサ中の電荷は、いつたん零になり次第に前の状態に復帰するので、再び読出しを行なうまでには時間を要することは注意しなければならない。最も時間を要する場合は、コンデンサ中の電荷のない状態から電荷のある状態に書き込みを行なう場合で、P-N-P-N スイッチを on から off にし、さらに、off 電流でコンデンサを充電するためである。しかし書き込みを行なう時間は高速スイッチング・ダイオードを用いれば問題はない。次に温度に対する安定度の問題であるが前節で述べた記憶素子では、直接ダイオード逆方向特性が温度の影響を受けるので、記憶保持時間は大きく変化したわけであるが、本記憶素子は P-N-P-N スイッチがこの変化を補償してくれるので、記憶電圧の変化は小さい。しかし書き込みを終了して、再び読出し可能になる時間は変化を受ける。しかし第11図において、 D_2 の(c)端子を直接接地することにより、 D_2 を流れる電流は C の充電時においては小さくなるので、この欠点のある程度補うことができるのみならず、バイアス除去パルスは正極性のもののみであれば良いので、一挙両得である。

7. 記憶装置の構成

非破壊記憶素子を用いて記憶容量 64 語の記憶装置を構成すると第13図のようになる。記憶装置の指定された番地から情報を読み出す場合、まずアドレス・パルスでフリップ・フロップ $SR_1 \sim SR_6$ で構成されるシフト・レジスタを駆動し、2進法でしめされる番地がこの中にしまい込まれると、読出しパルスでゲートが開かれ、ダイオード・マトリクスによってほん訳され、8箇の出力端子の1箇にパルスが現われる。X軸方向とY軸方向からのパルスが記憶装置に供給されると、二つのパルスの合致点のアドレス・パルス・ジェネレータのみが動作し、読出しを行なうことができる。読み出された情報はゲート G_0 を通って増幅器で増幅され、情報レジスタに入れ

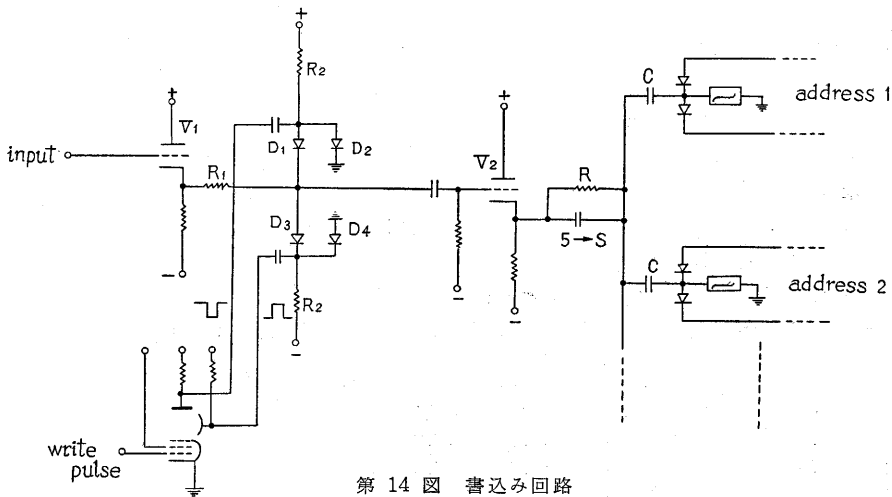


第 13 図 記憶装置ブロック図

られる。書込みの場合、番地選択機構は同じであるが、情報レジスタからの出力はカソード・ホロワおよびゲート G_2 を通して、記憶素子に伝送される。この部分の回路は第 14 図のようになる。情報レジスタからの情報が input 端子に加えられると同時に、ダイオード・ゲートを開くための write pulse も加えられるので、 C_2R の並列素子を通して、指定された番地に書込みを行なうことができる。ゲート部に用いられているダイオードおよび二次電子管は高速度で動作が可能であるが特にダイオードの storage effect に問題がある。

8. 結 言

ダイオード・コンデンサ記憶装置の概要を述べたわけ



第 14 図 書込み回路

であるが、紙面の都合上、実験結果を余り紹介できなかったのは残念である。再生を必要とする記憶装置は、温度の影響が大きいこと、再生機構を有するので動作上不安定になりがちである。したがって、高速大容量のものには適さず 100 m μ s, 64 words が、現状で実現しうる限度であるように思われる。3 端子 P-N-P-N スイッチのような負性抵抗を付加することにより、これらの欠点が除去されるので、将来有望であろう。しかし P-N-P-N スイッチの漂遊容量が書込み特性を低下させるので、CR の並列素子を挿入して、大きな振幅のパルスで書込みを行なわねばならない。今後さらに実験を進めることにより、新たな問題が起こることも予想されるが、他の方式と比較検討して研究を進めねばならないことを痛感する。

終わりに、本研究を通じて終始貴重な助言と援助をいただいた森脇教授ならびに森脇研究室の方に厚く謝意を表する。(1960.5.16)

文 献

- 1) 五十嵐良：Diode-Condenser Memory について、電気談話会報告, 11, 1 (209) Feb. 5, 1960
- 2) 五十嵐良：超高速電子計算機の可能性について、電気談話会報告, 11, 4 (212) Mar. 4, 1960
- 3) 野村民也・五十嵐良：ダイオード・コンデンサ記憶装置 通信学会電子計算機専門委員会資料, Feb. 18, 1960