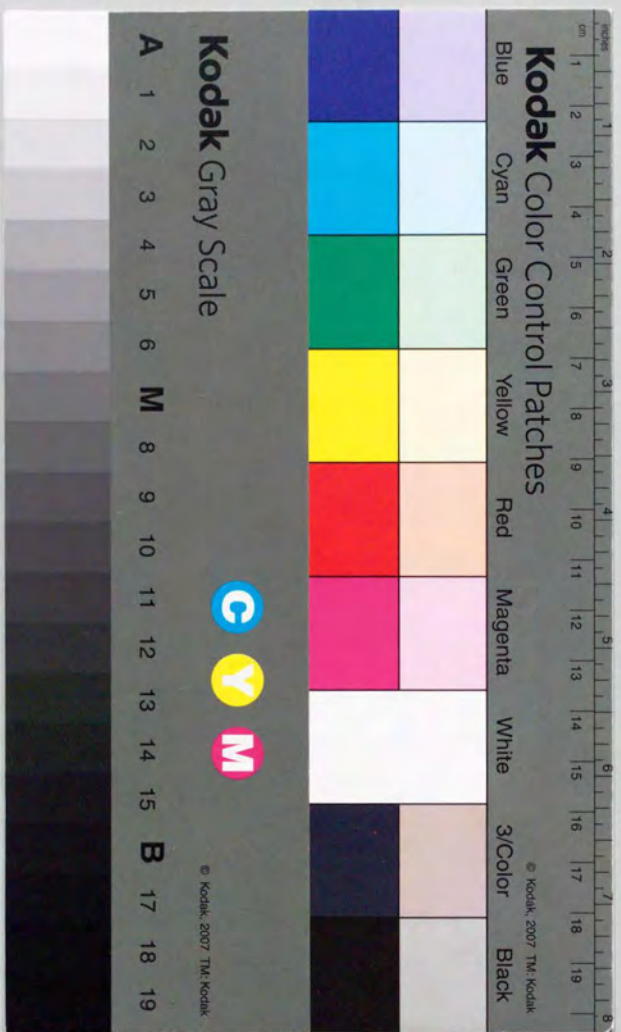


低雑音化によるDRAM
高性能化の研究

青木正和



①

低雑音化による DRAM
高性能化の研究

青木正和

目 次

内容概要	
第1章 序論	1
1.1 まえがき	1
1.2 本論文の位置付け	2
1.3 本論文の内容	6
本論文に関する発表論文及び特許	
	14
第2章 データ線燃架による高集積DRAMにおける干渉雑音の抑制	16
2.1 まえがき	16
2.2 高集積DRAMメモリアレーにおける新しいデータ線間干渉雑音の発生機構	17
2.3 信号波形観測による干渉雑音の実験的解析	19
2.4 データ線燃架による雑音低減効果	22
2.5 干渉雑音によるデータ保持時間の劣化とデータ線燃架による改善効果	23
2.6 むすび	25
第3章 データ線間干渉雑音を排除した α 線収集電荷の評価	36
3.1 まえがき	36
3.2 干渉雑音による α 線収集電荷の疑似増加現象の発生機構	37
3.3 α 線収集電荷の疑似増加現象を定量化する実験方法	40
3.4 立体型DRAMセルにおける α 線収集電荷の疑似増加現象の解析	42
3.5 むすび	44
第4章 電流検出方式による16MビットDRAMの高速化	53
4.1 まえがき	53
4.2 チップの構成	54
4.3 低雑音メモリアレーの設計	55
4.4 低雑音・高速電流検出増幅器の設計	56
4.5 試作素子の特性とその検討	58
4.6 むすび	60
第5章 干渉雑音抑制によるDRAMの低電力化	71
5.1 まえがき	71
5.2 メモリセル蓄積容量電極のバルス駆動による信号増加法	72
5.3 データ線をシールドした積層容量型メモリセルによる干渉雑音の低減	77
5.4 実験結果とその検討	78
5.5 むすび	79

第6章	バイアス電荷転送方式によるDRAMの多値メモリ化	91
6.1	まえがき	91
6.2	1トランジスタ型DRAMセルを用いた多値メモリの提案	92
6.3	バイアス電荷転送型高感度センス増幅器の設計	94
6.4	実験結果	97
6.5	信号限界の検討	97
6.6	むすび	100
第7章	結論	108
	謝辞	113
	参考文献	114

内容梗概

本論文では、高集積DRAMの高性能化を目的として、その基本研究課題である低雑音化技術を取り上げ、最近のDRAM開発において新たに問題となった雑音の発生機構を解明して低雑音化を図った。さらに、将来のDRAM基礎技術として、極低電力化および信号の多値化について、それらを実現する低雑音化技術の提案と検討を行った。その結果、16Mビットないしそれ以上に高集積化されたDRAMにおいて、従来の予想を数倍上回るデータ線間干渉雑音が発生し、 α 線ソフトエラー特性などに重大な影響を与えることを明らかにした。この雑音の低減法としてデータ対線の燃架を提案し、その効果を確認した。また、高速電流検出増幅器を提案し、データ線燃架と併せて16Mビット素子に適用し、アクセス時間60nsを達成した。さらに、DRAMの将来技術として、1.5V電池駆動DRAMや、16値(4ビット)/セルの多値DRAM回路方式を提案し、基本動作を確認した。これらは、将来の高集積DRAMによる高速ファイルメモリ実現に道を拓き、また、携帯用電子機器への幅広い応用を可能にするものである。以下、これらの内容を具体的に述べる。

第1章では、DRAM基本技術研究開発のこれまでの経緯と、DRAMの技術動向から見た将来の展望を述べ、本論文の位置付けを明らかにした。まず、低雑音化技術がDRAMの高集積化・高性能化に不可欠であることを示し、本論文前半の主要課題が、4Mビットまでの低雑音化技術を、16Mビットないしそれ以上の高集積DRAMで発展させるものであることを述べた。つぎに、DRAMのファイル応用や、携帯用電子機器応用が拡大傾向にあることを指摘し、本論文後半の課題が、これらの応用に強く望まれる抜本的な低電力化、および高集積化を可能にする低雑音技術開発であることを述べた。

第2章では、セル面積が $5\mu\text{m}^2$ 以下に微細化されたDRAMメモリアレーにおいて顕在化するデータ線間干渉雑音のダイナミックな発生機構を検討し、センス増幅器の動作過程で、従来予想されていた第1の干渉雑音を核として、新たにより重大な第2の干渉雑音が発生することを明らかにした。また、信号が中間値に減衰すると、第1の干渉雑音の存在如何にかかわらず、極めて大きい第2の干渉雑音が発生することを示した。この干渉雑音低減のためにデータ対線の燃架を提案し、その効果を実験により確認した。

第3章では、データ線間干渉雑音の影響が最も大きい α 線ソフトエラー特性について検討した。干渉雑音が α 線誘起収集電荷を見掛け上増加させる機構を明らかにし、これに関与する干渉雑音を理論的、および実験的に定量化した。これに基づき、従来不明確であったメモリセル固有の収集電荷を、干渉雑音による見掛けの収集電荷と分離して求める手法を示し、16MビットDRAM用立体形メモリセルの収集電荷分析に適用した。2kビットテスト素子を用いた実験の結果、疑似収集電荷は、セル固有の収集電荷の20%以上に達しており、16Mビットないしそれ以降の高集積DRAMでは、 α 線によるソフトエラーを低減するには、データ線間干渉雑音の防止が重要であることを明らかにした。

第4章では、上記雑音解析をもとに開発した16MビットCMOSDRAMについて述べた。16Mビット以降のDRAMでは、メモリセルトランジスタの長期信頼性維持のため、動作電圧を従来の5Vから降圧する必要があることを示し、外部供給電源は従来通り5V単一としてユーザの使い易さを図ったが、メモリアレー動作電圧はチップ内で3.3Vに降圧した。これに伴い、センス増幅器の駆動能力が低下し、共通入出力信号線上の信号伝搬遅延時間が増大する問題を解消するために、帰還形電流検出方式を用いた新しい回路構成を提案し、従来の方式と比べ10nsの高速化が可能であることを明らかにした。一方、低雑音化にはデータ線2重燃架構造が有効であることを述べ、従来の折り返しデータ線構造では25%を越える干渉雑音を、燃架法により1/6(5%以下)と実用上問題のない程度に低減できることを示した。上記の低雑音、高速回路技術を用いて16MビットCMOSDRAMを設計し、試作・評価を行った結果、アクセス時間として4Mビットと同等以上の60nsが得られ、上記回路技術の有効性を確認した。

第5章では、将来のDRAMの基礎技術として極低電力化技術を取り上げ、従来S/N維持の観点から困難と考えられていた1.5V電池動作の可能性を検討した。低電圧動作を実現するために、(1)メモリセル蓄積容量電極をパルス駆動して蓄積信号電圧を高く維持し、(2)積層容量形メモリセルにおいてデータ線をシールドした構造(DASH)として、干渉雑音をデータ線燃架なしに低減可能とする高S/N化技術を提案した。上記技術の可能性を検証するために、2kビットテスト素子を試作し、原理実験を行った結果、(1)テスト素子が1.5V電源で動作すること、(2)DASH構造により、データ線間干渉雑音が信号の7%以下に低減されること、および(3)現状の5VDRAMと同等のデータ保持特性やソフトエラー特性を実現できる見通しがあることをそれぞれ確認し、1.5V電池動作が充分可能性のある目標であり、携帯用電子機器への幅広い応用が期待されることを明らかにした。

第6章では、DRAMのもう1つの基礎技術として将来重要になることが予想される、蓄積電圧の多値化による高集積化技術を検討した。DRAMではS/N確保が難しいと従来考えられていた多値信号の書き込み・読み出しを行うために、(1)1トランジスタ形DRAMセルのワード線に階段状パルスを印加して、多値信号を時系列上のタイミング信号として扱う方式、および(2)バイアス電荷転送増幅器を用いて、極めて小さい1値当たりの信号電圧(10~20mV)を、従来のDRAMと同程度(100~200mV)に増幅する方式を提案した。上記技術の可能性を検証するために、1kセルテスト素子を試作し、原理実験を行った結果、16値(4ビット)/セルのメモリ動作を確認した。1値当たりの蓄積電圧の最小値は、メモリセルトランジスタのサブスレッショルド電流で制限され約150mV程度である。従って、16値(4ビット)/セル動作電圧には余裕があり、同一世代のプロセス技術で次世代の集積度(4倍)を実現できる可能性があることを明らかにした。

第7章は結論であり、本研究で得られた成果を要約した。

第1章 序論

1.1 まえがき

ダイナミックランダムアクセスメモリ(DRAM)は、その単純なメモリセル回路構成故に大容量化・高集積化に適しており、1970年に1kビット素子が開発されて以来⁽¹⁾今日まで、LSI技術開発の先導役としてこれを牽引しつつ、最先端の高集積性を実現してきた。この間、応用は広範囲のエレクトロニクス機器に広がり、システムの低価格化・小形化などに大きな貢献をしてきた。また、その結果、より集積度の高い素子開発への絶え間ない挑戦が、エレクトロニクス産業の発展にとって大変重要になってきている。

DRAMは、図1.1に示すように、世代毎にチップ面積を約1.5倍、メモリセル面積を約1/3にしなが、3年に4倍のペースで大容量化し、最近では16Mビット素子の開発にまで発展している。性能面では、図1.2に示すように、大容量化に伴う消費電力の増大化傾向を抑えて一定に保ちつつ、動作速度を徐々に向上させてきた。このようなDRAMの大容量化を可能にしてきた主な技術を図1.3に示す⁽²⁾。同図のように、それらは信号(S)対雑音(N)比の維持・向上(高SN化)、低電力化、高速化、高機能化などに大別されるが、なかでも、高SN化を可能にする低雑音化技術は、DRAMがチップの中で微小な信号を扱うために、高SN化だけでなく、低電力化や高速化にとっても、常に重要な研究課題であった。

本研究の目的は、最近のDRAM開発において新たに問題となってきた雑音の発生機構を解明し、低雑音化することにより、高集積化・高性能化を可能にすることである。また、さらには、将来のDRAMの基礎技術として、低雑音化技術を工夫することにより、DRAMの限界性能に挑戦することである。

まず、本論文の前半においては、16Mビット及びそれ以上に高集積化されたDRAMにおいて、素子内で増大する寄生容量の影響が大変深刻になる問題を扱う。すなわち、メモリアレー内において、データ線間の結合容量を介して、従来知られていなかった干渉雑音が、許容限度を越えて発生することを見出だした。この干渉雑音の発生機構を明らかにするとともに、DRAMの基本特性が、干渉雑音により大幅に劣化することを、新しい実験手法にもとずいて示す。また、この雑音の低減法を提案し、その有効性を示す。素子内の寄生容量増大に伴う他の問題は、信号伝送速度の低下である。これを解決するために、低雑音・高速増幅回路を考案し、その効果を16Mビット素子上で確認した。

つぎに、本論文の後半においては、将来のDRAM基礎技術として、極低電力化技術および信号電圧の多値化技術を取り上げ、これらを実現する上で鍵となる新しい低雑音回路技術をそれぞれ提案する。前者は、従来DRAMでは不可能と考えられていた1.5Vという

極低電圧動作の可能性を試みたものであり、後者は、従来は電荷転送素子でしか実現できなかった多値メモリを、汎用性の高いDRAMで初めて実現したものである。これらは、いずれも、将来の超高集積DRAMによる高速ファイルメモリの実現とその高性能化に道を拓くものである。

1.2 本論文の位置付け

本節では、DRAM高集積化の歴史における低雑音化技術開発のこれまでの経緯と、DRAMの技術動向から見た将来の展望および今後の低雑音化技術開発について述べ、本論文の位置付けを明らかにする。

1.2.1 DRAMメモリセルの動作原理と高信号化技術

4kビット素子以来、今日まで連綿と使用されてきた1トランジスタメモリセルの回路および断面構造概略図を図1.4および図1.5にそれぞれ示す⁽¹³⁾⁽¹⁴⁾⁽¹⁵⁾。信号は2値の記憶情報に応じた、High(V_D)またはLow(0V)2種類の電圧として、蓄積容量 C_s に保持される。メモリセルが選択されるとワード線Wの電圧が立ち上がり、蓄積電荷がデータ線D上に読み出される。このとき参照データ線 \bar{D} にはHigh・Low間の中央の電圧が参照電圧として与えられ、センス増幅器はDと \bar{D} の電圧を比較し、HighまたはLowの2値データとして判定する。ここで、D・ \bar{D} 間の電圧差を信号電圧 v_s と定義すると、 v_s は次式で与えられる。

$$v_s = \pm \frac{V_D}{2} \cdot \frac{C_s}{C_D + C_s} \quad (1.1)$$

但し、 C_D はデータ線の寄生容量である。1本のデータ線には多数(64~128程度)のメモリセルが接続するため、 C_D は C_s より1桁以上大きくなる($C_D/C_s=10\sim 15$)。従って、 V_D として外部供給電圧 $V_{cc}(5V)$ が印加できたとしても、センス増幅器が扱う信号電圧 v_s は $\pm 150\sim 250mV$ 程度の微小信号となる。DRAMの高集積化は、 C_s を減少させ、 C_D を増加させる方向であり、更に最近では、トランジスタ耐性の低下から V_D も小さくせざるを得ないので、 v_s を維持するために図1.3に示すように種々の高信号化技術が考案されてきた。

まずメモリセルの高信号化としては、蓄積容量の立体化(3次元化)が重要である。これには、図1.6に示すように、容量部をSi基板上に積み上げる積層容量形⁽¹⁶⁾と、基板中に掘り込む溝容量形⁽¹⁷⁾とがある。これらは、集積度が1Mビットを越え、メモリセル面積を $40\mu m^2$ 以下に縮小することが必要になって採用が始まったものである⁽¹⁸⁾⁽¹⁹⁾。集積度が4Mビットになると、メモリセルの立体化は必須となり、更に16Mビットでは面積 $5\mu m^2$

以下にセルを収めるために、種々の改良が提案されている⁽¹¹⁾⁽¹²⁾。

一方、メモリアレーの高信号化は、主に C_D の増加を防止するものであり、基本的にはデータ線を分割して1本のデータ線に接続するメモリセルの数を一定に保つという手法によるものである⁽¹¹⁾。しかし、メモリアレーでは上記のように信号が微小であり、これに対して雑音は高集積化により増大するので、高信号化だけでは不十分であって、次に述べる低雑音化が大変重要になる。

1.2.2 メモリアレー動作に関連する各種雑音とその低減法

メモリアレー動作に関連する雑音の発生源を、対応する低雑音化技術と共に表1.1に示す。また、同表に対応する雑音の発生箇所を図1.7に示す⁽¹¹⁾⁽¹²⁾。まず、メモリセルに於ける雑音には、種々のリーク電流 I_{lc} (②⑩⑪⑫)及び蓄積容量電極電圧 V_{PL} の変動(①)がある。また、タミーセルは蓄積容量として $C_s/2$ を持ち、常に0Vを保持することにより、参照データ線上にHIGHとLOWの中央の電圧を参照電圧として与えているが、接地電圧 V_{SS} が変動すると参照電圧がHIGHとLOWの中央から外れ、やはり雑音となる(⑧)。これらの雑音の内、64kビット以来最も重要な問題となっているものは α 線誘起電荷注入(⑬)によるソフトエラー現象であり⁽¹³⁾、これはデータ線でもリーク電流雑音 I_{LD} となる。この雑音に対しては、種々対策が考案されたもの⁽¹¹⁾⁽¹⁴⁾、チップ上の配線材料として使われる金属(Alなど)から放射される α 線に対しては有効な方法がなく、結局4Mビット以降、立体容量形メモリセルの採用により C_s を維持することが必要となった。 α 線誘起収集電荷はメモリセル面積のように世代毎に1/3に低減することは出来ないため⁽¹⁵⁾、 C_s を決定する最優先の要因であり、その評価は極めて重要である。

一方、メモリアレーおよびセンス増幅器に於ける雑音としては、当初(16kビット時代)はセンス増幅器でのMOSトランジスタ対の特性不平衡(⑥)や、データ対線(D、 \bar{D})の容量不平衡(⑦)が問題となり、センス増幅器が誤動作しないような最適増幅波形や、これを実現する駆動方法などが提案された⁽¹⁶⁾⁽¹⁷⁾。しかし、64kビット以降DRAMの集積度が高まり、メモリアレーの規模が大きくなると、データ線・ワード線間の寄生容量 C_{DW} に起因する結合雑音 δ (③⑨)が重大な問題となった。その理由は、データ線とワード線の交点(メモリセル)すべてに C_{DW} が存在するため、規模の大きいメモリアレーでは全体として大変大きな結合となるからである。この結合雑音(③)の発生機構を説明するものが図1.8(a)である。同図に示すように、選択されたワード線に連なるメモリセルの信号が1セルを除いてLowであったとき、センス増幅器によってデータ線($D_0\sim D_{N-1}$)の電圧が V_{cc} 付近から0Vに変化すると、その大きな電圧変動が C_{DW} を介してHigh信号のデータ線 D_N に伝わってその電圧を引き下げる。N=100で15~20mVの雑音が発生することが報告されている⁽¹⁸⁾。結合雑音の他の1つ(⑨)は、周辺回路動作に伴いワード線の接地電圧 V_{SS} が変動し、非選択ワード線(選択された1本を除くワード線全部)から

やはり C_{ow} を介してデータ線に雑音が重畳するものである。

上記のメモリアレー内結合雑音は、折り返しデータ線構造および $V_{cc}/2$ プリチャージ方式により抜本的に改善された⁽¹⁹⁾⁽²⁰⁾。まず、折り返しデータ線構造は、図1.8(b)に示すように、データ対線 D 、 \bar{D} を並置してワード線との寄生容量を平衡化し、差動雑音であったものを同相雑音に変換することにより低雑音化するものである。従来の構造(開放形)に比べ1/10の低減効果が報告されている⁽¹²⁾。一方、 $V_{cc}/2$ プリチャージ方式は折り返しデータ線構造に適用することにより、雑音の発生自体を低減するものであり、CMOSセンス増幅器の導入により容易に実現可能となったものである。図1.9及び図1.10に V_{cc} プリチャージ方式と $V_{cc}/2$ プリチャージ方式の回路図および動作タイミング例をそれぞれ示す。 V_{cc} プリチャージ方式ではデータ線の電圧振幅が V_{cc} であり、データ対線 D 、 \bar{D} の一方だけが変化するのに対して、 $V_{cc}/2$ プリチャージ方式ではデータ線の電圧振幅が1/2に減り、しかも、データ対線 D 、 \bar{D} の動きが逆方向であるので、雑音の発生を抑えることが出来る。また、 $V_{cc}/2$ プリチャージ方式では、プリチャージ電圧 V_p がHighとLowの中央になるので蓄積容量 $C_s/2$ のダミーセルは不要になる。従って、ダミーセル接地電圧 V_{ss} の変動による雑音も発生しない。但し、実際には図1.10に示すように、選択ワード線の電圧変化を打ち消す目的でダミーセルが用いられる。なお、 $V_{cc}/2$ プリチャージ方式は開放形のデータ線構造に適用すると、非選択ワード線が正方向に結合して新たな問題が発生するので、折り返しデータ線構造と組み合わせる必要がある⁽¹¹⁾。

上記のような経緯により、1Mビット以降普及したCMOSDRAMでは、図1.9(b)に示すようなメモリアレー及びセンス回路が一般的に用いられ、メモリアレー内結合雑音の問題は解決したように見えた。しかしながら、本論文の前半に於いて述べるように、DRAMが16Mビットないしそれ以上に高集積化されると、再びメモリアレー内で新たな結合雑音(⑤)が発生し、問題となることが明らかになった⁽²¹⁾。この結合雑音はデータ線間干渉雑音であり、本論文では、従来理論的に予言されていた信号読み出し時の干渉が、16Mビットで顕在化することを初めて実験的に確認すると共に、センス増幅回路の動作時に発生するさらに重大な第2の干渉を発見したことを述べ、これらの干渉雑音の発生機構を簡単なモデルを用いて明らかにする⁽²²⁾。また、前項(1.2.1)で述べたようにメモリスルの蓄積容量 C_s を決定づけるソフトウェア特性が、この干渉雑音により大幅に劣化することを、新しい実験手法に基づいて示す⁽²³⁾。さらに、この雑音の低減法として、データ線の燃架(Transposition)を提案し、その有効性を示す。

この新たな結合雑音の発生は、上記のようにメモリスルの蓄積容量 C_s の設計に影響を及ぼすだけでなく、メモリスル構造の選択にも重大な制限事項となる。すなわち、4Mビットから本格的に採用が始まった立体形メモリスルの内、一部の溝容量形メモリスルが折り返しデータ線構造を実現できない⁽¹⁹⁾等の理由により、世代毎の高集積化にあたり、開放データ線構造や⁽²⁴⁾⁽²⁵⁾あるいは疑似的な折り返しデータ線構造が検討されてきた⁽²⁶⁾。

しかし、上記のデータ線の燃架は折り返しデータ線構造でのみ容易に実現できるものであるので、折り返しデータ線構造にすることが困難な一部の溝容量形メモリスルは、他の方法で低雑音化しない限り、16Mビットないしそれ以降では使用できないことになる。

DRAMの高集積化にともなう寄生容量の増大は、上記の干渉雑音の他に、これまで省みられなかった共通入出力信号線(I/O線)上の信号伝送速度の低下という新たな問題を引き起こした。本論文では、これを解決するために考案した、低雑音かつ高速な電流検出方式の増幅回路の効果を、16MビットDRAM素子上で検証する。

以上のように、メモリアレーおよび信号伝送線における低雑音化技術は、そこで扱われる信号が微小であるが故に、DRAMの高集積化に際し常に検討を要する課題であり、本論文の前半の主題は、0.5~0.3 μ m技術時代(16~64Mビットに対応)に解決すべき最も基本的な回路技術課題であると云える。

1.2.3 DRAMの将来展望と低雑音化技術

さて、前節(1.1)で述べたように、DRAMは開発初期の時代より今日まで、3年で4倍という安定した割合で、性能を損なうことなく大容量化してきたが、0.5 μ m技術時代に入り、いくつかの質的な変化がみられてきている。これは、回路設計面からは次のようにまとめられる。

- (1) 動作電圧の低下: 微細化による素子耐圧上の制限から、チップ内の回路動作電圧を下げざるを得なくなった⁽²⁷⁾。16Mビットではチップ内に降圧回路を設けて、64kビット以来使われてきた5V外部電源を維持し、利用者の便宜が図られた⁽²⁸⁾。しかし、今後は外部電源も下げざるを得ないことが予想される。この場合、チップ内の動作電圧は素子耐圧に合わせて降圧するとしても、外部電源は利用者の使い勝手を考慮して、少なくとも2~3世代は一定となるように標準化することが重要な課題であることが指摘されている⁽²⁾。
 - (2) 消費電力の減少: 外部電源電圧の低下は低電力化に有利である。図1.2に示したように16Mビットまでは、大容量化に伴う消費電力の増大を、CMOS化やチップ内電圧降圧などで、日々緩やかな増加程度に抑えるように設計されてきたが、今後は逆に低減することが可能になると予想される。
 - (3) 動作速度の飽和: 図1.1に示すように、DRAMのチップ面積は世代毎に1.5倍に増えているので、例えば1Gビットでは約500 mm^2 に達すると予想される。このようなチップの大形化に伴い、配線抵抗による遅延が顕在化し、動作速度が飽和するので、DRAM技術がCMOS主体の大容量指向と、BiCMOSなどを用いた高速指向に分化する可能性があることが指摘されている⁽²⁾。この傾向は、図1.2に示したアクセス時間の推移からも若干うかがうことができる。
- 上記(2)、(3)の意味するところは、極論すれば、将来のCMOSDRAMのファイルメ

メモリ化であることができて、すなわち、最近マイクロプロセッサ(MPU)が高速化し、DRAMの動作速度が不十分になってきた。このため、システムを構築する際に(1)BiCMOS DRAM⁽²⁹⁾のような、高速大容量メモリを主記憶として用いるか、または(2)中速のCMOS DRAMを従来通り主記憶装置として用い、MPUとの間に小容量のキャッシュメモリを設けるか⁽³⁰⁾、の選択枝が生じており、応用面からも要求性能が分化することが予想される。中速DRAMを用いた記憶装置が、必ずしもファイルメモリになるとは限らないが、将来、低電力化したCMOS DRAMが、ファイル応用に進出することは十分可能性のあることである。この場合の目標とする性能は、図1.11に示すように、半導体メモリと磁気ディスクメモリとの間にある、アクセス時間1~100 μ sの、いわゆるアクセスギャップと呼ばれる領域である。ファイルメモリとしての基本的な要請は、(1)不揮発性、および、(2)低価格性であるが、これは、DRAMとしては、(1)は電池バックアップを前提とした低電力化であり、(2)はより一層の高集積化に他ならない。これらは、最近普及が著しい携帯用電子機器への応用においても強く要請されるものである。

本論文の後半に於いては、上記のような背景をふまえ、将来のDRAMの基礎技術として、極低電圧動作による抜本的な低電力化⁽³¹⁾と、多値化による高集積化技術⁽³²⁾を取り上げ、そこで当然必要となる低雑音化技術を検討する。低電力化技術としては、これまで、電池バックアップを想定して、待機状態でのリフレッシュ時間を長くすることにより動作電流を抑える方法が取られてきた⁽³³⁾。しかし、DRAMは従来、十分なS/Nを維持するために高い電圧を印加する必要があると考えられてきており、動作電圧を1.5Vにまで下げて、待機時だけでなく動作時の消費電力をも大幅に低減する試みは、これが初めてである。一方、多値化技術は、これまで電荷転送素子でのみ試みられてきた⁽³⁴⁾⁽³⁵⁾ものであるが、製作プロセスがDRAMと互換でないため、その後技術の進展がなかった。ここで述べる多値化は、微小な信号をデータ線上で扱うDRAMでは従来困難と見なされていたものを初めて可能にしたものであり、将来のDRAM高集積化に対し幅広い選択の余地を与えるものである。

1.3 本論文の内容

本論文では、DRAMを16Mビット以上に高集積化する際に、素子内で増大する寄生容量のために、新たに重大な問題として顕在化したデータ線間干渉雑音について、その発生機構を明らかにし、低雑音化を検討した。また、寄生容量の増大は信号伝送速度の低下を招くが、これを解決する低雑音・高速増幅回路の検討を行った。さらに、将来のDRAM高集積化における基礎技術として、極低電力化および信号の多値化について、これらを実現するための低雑音回路を検討し、DRAMの限界性能を追求する。以下に、本論文の各

章の内容を具体的に述べる。

第2章は、データ線間干渉雑音の発生機構を実験的に解析したものである。センス増幅回路の動作時に、これまで予測されなかった大きな干渉が発生することを検証する。特にV_{cc}/2プリチャージ方式では、信号の極性とセンス増幅器の動作順序との特定の組み合わせにおいてのみ、この雑音が発生することを見出した。さらに、データ保持特性が干渉雑音により、著しく劣化することを示し、データ対線の擦架が雑音低減に有効であることを示す。

第3章は、データ線間干渉雑音が最も重大な影響を及ぼす α 線ソフトエラー特性について述べたものである。 α 線誘起収集電荷により中間値に減衰した信号は、極めて大きな干渉雑音を誘起し、その結果、収集電荷自体が見かけ上増加する。この現象を説明すると共に、干渉雑音による見かけ上の収集電荷を排除して、メモリセル固有の値を求める方法を示す。さらに、この方法を用いて、3種類の16MビットDRAM用立体形メモリセルの収集電荷を比較し、セル構造依存性について検討する。

第4章は、素子内寄生容量の増大に伴う信号伝送速度の低下を解決するために考案した電流検出増幅回路と、前章までの解析に基づく低雑音メモリアレーとを設けた、16MビットCMOS DRAMについて述べたものである。

第5章は、DRAMの1.5V動作による極低電力化について述べたものである。低電圧動作のために、メモリセル蓄積容量電極のパルス駆動法、およびデータ線シールド形積層容量セルを考案し、現在の5V DRAMと同等の基本特性が、約1/10の電力で実現可能であることを明らかにする。

第6章は、DRAMのメモリセル蓄積電圧の多値化について述べたものである。蓄積電圧の多値化のために、ワード線の階段波パルス駆動法、およびバイアス電荷転送増幅回路を考案し、蓄積電圧の最小物理限界を検討する。

第7章は、結論であり、本研究で得られた結果を要約したものである。

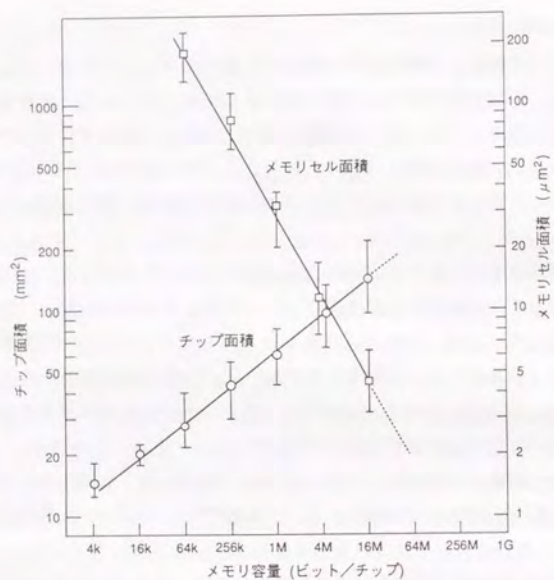


図1.1 DRAMの集積度の推移
(データはISSCCより抜粋)

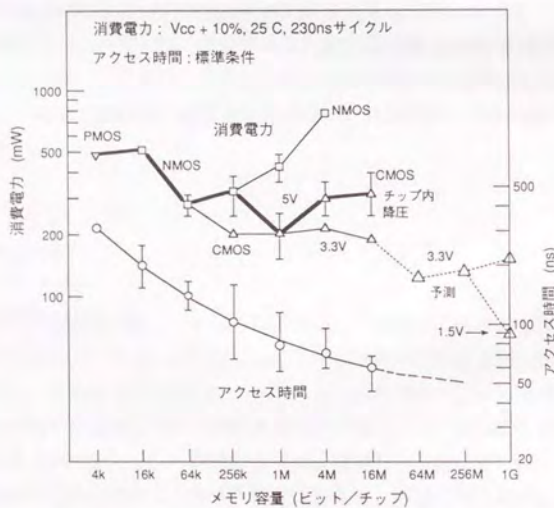


図1.2 DRAMの性能の推移⁽²⁾
(データはISSCCより抜粋)

メモリ容量	1k	4k	16k	64k	256k	1M	4M	16M
加工寸法	12μm	8μm	5μm	3μm	2μm	1.3μm	0.8μm	0.5μm
デバイス	PMOS	NMOS			CMOS (BiCMOS)			
メモリセル	3トランジスタ形		(平面容量形)			1トランジスタ形		(立体容量形)
電源電圧	~2.0V	1.2V			5V			
高SN化	信号増大	ワード電圧昇圧 高誘電率絶縁膜 多分割データ線 共有センス増幅器 立体容量セル						
	雑音低減	差動形センス増幅器		折り返しデータ線		V _{cc} /2プリチャージ方式		燃架データ線
低電力化	ダイナミック増幅器				CMOS回路、共有I/O			
	ダイナミック駆動回路				V _{cc} /2プリチャージ方式			
高速化					ワード線A1短絡		2層A1	
					多分割メモリアレー BiCMOS回路			
高機能化 その他	アドレス多重方式		わがわが基板負電圧発生回路		多ビット並列試験		わがわが試験回路	
	ページモード		2ビット構成		冗長回路		ウエハスケール	

図1.3 DRAM技術の発展⁽²⁾

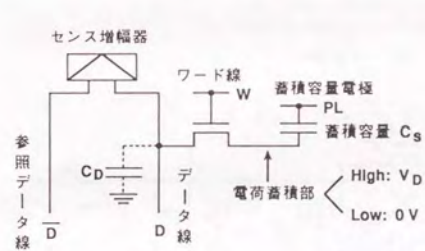


図1.4 1トランジスタメモリセル回路図

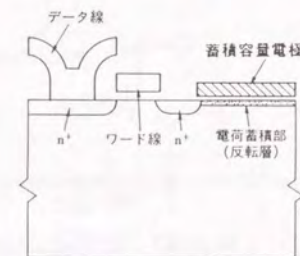
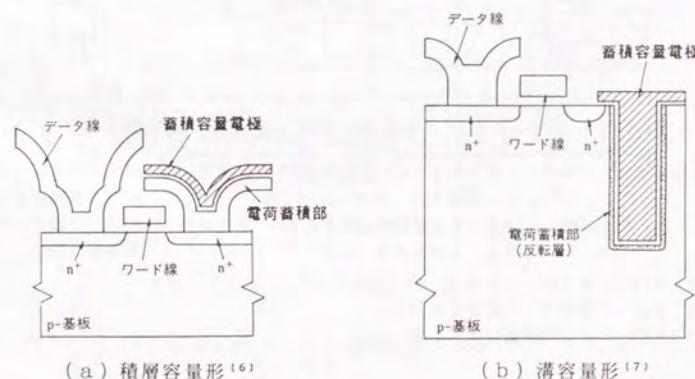


図1.5 平面容量形メモリセル
断面構造概略図



(a) 積層容量形⁽⁶⁾ (b) 溝容量形⁽⁷⁾

図1.6 立体容量形メモリセル断面構造概略図

表 1. 1 メモリアレー動作に関連する主な雑音の発生源と低雑音化技術⁽¹¹⁾

雑音発生源	雑音源	低雑音化技術
メモリセル	① 蓄積容量電極の電圧変動 ② 熱生成電流	$V_{cc}/2$ 電極 ⁽³⁶⁾ , $V_{cc}/2$ プリチャージ方式 ⁽²⁰⁾ 低欠陥, 低不純物プロセス等 ⁽³⁷⁾⁽³⁸⁾
メモリアレー	③ データ線・ワード線容量結合 ④ アレー動作による基板電圧変動 ⑤ データ線間干渉(クロストーク)	折り返しデータ線 ⁽¹⁹⁾ , $V_{cc}/2$ プリチャージ方式 折り返しデータ線 & $V_{cc}/2$ プリチャージ方式 懸架データ線 ⁽²¹⁾ , データ線遮蔽メモリセル ⁽³⁹⁾
信号検出回路	⑥ センス増幅器MOSトランジスタ対の しきい電圧(V_T)および利得係数(β)不平衡 ⑦ データ対線(D, \bar{D})の容量不平衡	信号増幅波形最適化 ⁽¹⁶⁾ (センス増幅器2相駆動 ⁽¹⁷⁾ 等) 折り返しデータ線
周辺回路 他	⑧ ダミーセルの対地線電圧変動 ⑨ ワード線電圧引落し回路の対地線電圧変動 ⑩ 周辺回路動作に伴う電荷注入 ⑪ 入力パルスアンダーシュートによる電荷注入 ⑫ α 線誘起電荷注入	$V_{cc}/2$ プリチャージ方式 折り返しデータ線 メモリアレー・周辺回路間の隔離 ⁽⁴⁰⁾ 基板負電圧印加 チップ表面樹脂被覆 ⁽¹⁹⁾ , Si基板内電位障壁構造 ⁽¹⁴⁾

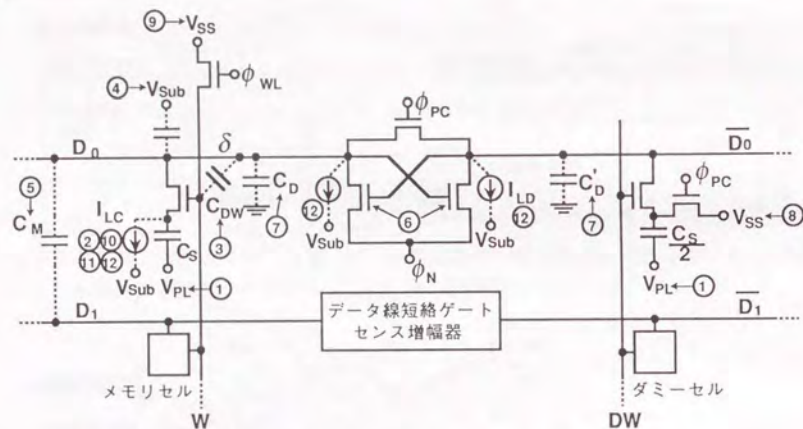
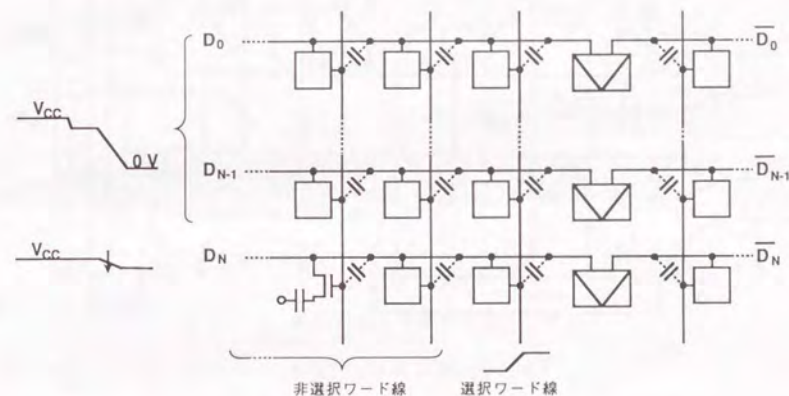
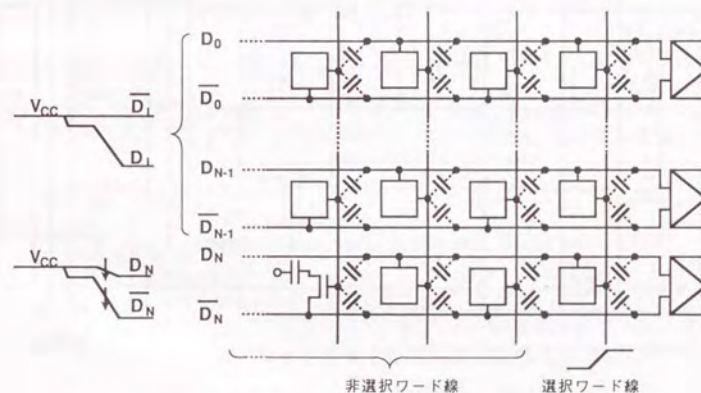


図 1. 7 メモリアレー動作に関連する雑音の発生源⁽¹²⁾

- ・ 雑音成分: リーク電流; メモリセル I_{LC} (②⑩⑪⑫) 不平衡; データ線容量 (⑦)
データ線 I_{LD} (⑫) センス増幅器素子特性 (⑥)
電圧変動; メモリセル蓄積容量電極 (①) 容量結合; 対データ線 δ (③⑤⑨)
ダミーセル接地線 (⑧) 対基板 (④)
- ・ 記号: ϕ_{PC} ; プリチャージパルス,
 ϕ_{WL} ; 非選択ワード線接地化パルス
 ϕ_{PN} ; センス増幅器起動パルス



(a) 開放データ線構造



(b) 折り返しデータ線構造

図 1. 8 データ線の構造と結合雑音の発生機構⁽¹¹⁾

本研究に関する発表論文及び特許

第2章に関する発表論文

M.Aoki, S.Ikenaga, Y.Nakagome, M.Horiguchi, Y.Kawase, Y.Kawamoto, and K.Itoh,
"New DRAM noise generation under half-Vcc precharge and its reduction using
a transposed amplifier,"
IEEE J. Solid-State Circuits, vol.24, no.4, pp.889-894 (Aug. 1989).

第3章に関する発表論文

青木正和, 竹内 幹, 中込儀延, 川瀬 靖, 伊藤清男, 木村紳一郎, 加賀 徹, 川本佳史:
"立体形DRAMセルにおけるデータ線間干渉雑音を排除した α 線誘起収集電荷の評価",
電子情報通信学会論文誌C-11分冊, vol.J73-C-11, no.5, pp.310-318 (1990-5).

第4章に関する発表論文

M.Aoki, Y.Nakagome, M.Horiguchi, H.Tanaka, S.Ikenaga, J.Etoh, Y.Kawamoto,
S.Kimura, E.Takeda, H.Sumami, and K.Itoh,
"A 60-ns 16-Mbit CMOS DRAM with a transposed data-line structure,"
IEEE J. Solid-State Circuits, vol.23, no.5, pp.1113-1119 (Oct. 1988).

M.Aoki, Y.Nakagome, M.Horiguchi, H.Tanaka, S.Ikenaga, J.Etoh, Y.Kawamoto,
S.Kimura, E.Takeda, H.Sumami, and K.Itoh,
"An experimental 16Mb DRAM with transposed data-line structure,"
ISSCC Dig. Tech. Papers, pp.250-251 (Feb. 1988).

第5章に関する発表論文

M.Aoki, J.Etoh, K.Itoh, S.Kimura, and Y.Kawamoto,
"A 1.5-V DRAM for battery-based applications,"
IEEE J. Solid-State Circuits, vol.24, no.5, pp.1206-1212 (Oct. 1989).

M.Aoki, J.Etoh, K.Itoh, S.Kimura, and Y.Kawamoto,
"A 1.5V DRAM for battery-based applications,"
ISSCC Dig. Tech. Papers, pp.238-239 (Feb. 1989).

第6章に関する発表論文

M.Aoki, Y.Nakagome, M.Horiguchi, S.Ikenaga and K.Shimohigashi,
"A 16-level/cell dynamic memory,"
IEEE, J. Solid-State Circuits, vol.SC-22, no.2, pp.297-299 (April 1987).

M.Aoki, Y.Nakagome, M.Horiguchi, S.Ikenaga and K.Shimohigashi,
"A 16-level/cell dynamic memory,"
ISSCC Dig. Tech. Papers, pp.246-247 (Feb. 1985).

出願特許リスト

1. データ線燃架関係:
特願昭62-232116, "半導体メモリ" (昭62.9.18 出願).
2. 電流検出増幅器関係:
特願昭62-151113, "半導体メモリのセンス回路" (昭62.6.19 出願).
特願昭63-141703, "半導体メモリ及びそのセンス回路" (昭63.6.10 出願).
3. プレートパルス駆動法関係:
特願昭63-148104, "メモリ回路" (昭63.6.17 出願).
特願昭63-222317, "半導体装置" (昭63.9.7 出願).
特願平 1-166648, "メモリ回路" (平1.6.30 出願).
4. データ線シールド形積層容量セル関係:
特願昭63-1213, "半導体記憶装置" (昭63.1.8出願).
5. 多値メモリ関係:
特願昭58-120364, "半導体多値記憶装置" (昭58.7.4 出願)
特願昭58-163216, "半導体装置" (昭58.9.7 出願)
特願昭58-242021, "半導体多値記憶装置" (昭58.12.23 出願), US P 4661929.

第2章 データ線撹架による高集積DRAM における干渉雑音の抑制

2.1 まえがき

DRAMは16Mビットないしそれ以上に高集積化されると、セル面積は $5\mu\text{m}^2$ 以下に微細化され、データ対線のピッチは $4\mu\text{m}$ 以下に近接する。その結果、データ線間にこれまで見られなかった干渉が起きる。本章では、従来理論的に予測されていた信号読み出し時の干渉雑音の他に、新たにセンス増幅器の動作に伴いより重大な第2の干渉雑音が存在する事を示し、その発生機構と低減法について検討する。

データ対線が近接すると、まず線間相互の寄生結合容量が増大する。これを、シミュレーションおよび実験により検証した結果を図2.1に示す。同図から判るように、データ線容量の主成分である対蓄積容量電極(Plate)容量および対ワード線容量の成分比は、データ対線のピッチには依存せずにそれぞれほぼ一定であるのに、データ線間結合容量は、対線のピッチが $4\mu\text{m}$ 以下になると急激に増大する。このような大きい結合容量が存在すると、メモリセルからデータ線へ信号を読み出したときに、単純な結合により干渉雑音が発生することは、理論的に予測されていた⁽⁴¹⁾。しかし、すでに1.2節で述べたように、DRAMのメモリ動作に関係する雑音は、センス増幅器による信号増幅をも含めたダイナミックな解析を必要とするが、データ線間干渉雑音に関しては、これまでそのような検討が行われていなかった。また、データ線間結合容量は、上記のように集積度が16Mビットレベルになって初めて顕在化するため、干渉雑音の実験的検証は、信号読み出し時を含めて全く行われていなかった。

そこで本章では、データ線間結合容量を介した干渉雑音のダイナミックな発生機構解明とその低減を目的として、まずセンス増幅器による信号増幅過程に於ける干渉の発生機構を理論的に検討する。その結果、センス増幅器による信号増幅の際に、信号読み出し時に既に発生していた(第1の)干渉雑音を核として、第2の干渉雑音が発生し、結合容量の増加と共に重大な影響が出る事を示す。つぎに、これらの干渉雑音を実験的に検証するために、データ線電圧の波形観測を行う。試験素子は、高集積DRAMメモリアレーにおいて最も重要な回路方式である、CMOSセンス増幅器を用いた $V_{cc}/2$ プリチャージ方式である。この実験の結果、信号の極性(HighまたはLow)とセンス増幅器の動作順序との特定の組み合わせにおいてのみ、第2の干渉雑音が発生する事を見出した。

これらの干渉雑音を防止する為に、データ対線の撹架(Transposition)を提案する。特に、センス増幅器上を通るデータ対線も含めた撹架により、雑音を効果的に低減できることを示す。最後に、DRAMの基本特性であるデータ保持特性を取り上げ、干渉雑音による劣

化と、データ対線の撹架による改善効果を検討する。DRAMの他の重要な基本特性である α 線ソフトエラー特性も、干渉雑音により著しく劣化し重大な問題となるが、これについては次章(3.)で詳しく述べる。

2.2 高集積DRAMメモリアレーにおける新しいデータ線間干渉雑音の発生機構

本節では、図2.1に示したような、データ線間結合容量がデータ線容量に対し大きな割合を占めるようになったメモリアレーに於いて、センス増幅器の動作によりデータ線間どのような干渉が発生するかを、簡単なモデルを用いて理論的に考察する。

図2.2はデータ線間に発生する干渉の機構を示すものである。同図(a),(b)にはデータ対線 D_1 , \bar{D}_1 とこれに隣接するデータ対線 D_2 , \bar{D}_2 、およびそれぞれのセンス増幅器とが示されている。ただし、ここでは簡単のためにセンス増幅器としてNMOSだけを考慮する。また、図中 C_D はデータ線の全容量、 C_M はデータ線相互の結合容量である。ここで、 C_M は対線内(例えば D_1 , \bar{D}_1 間)および隣接する対線間(例えば D_1 , D_2 間)とにそれぞれ存在するが、前者は、1次近似では単にデータ線上の信号を割合で C_M/C_D 減少させるだけであるので、ここではやはり簡単のために後者のみを考慮する。

まず、図2.2(a)は、メモリセルからデータ線上に信号が読み出された状態を示している。同図に示すように、信号電圧 $-v_s$ が、メモリセルから D_1 および \bar{D}_2 上にそれぞれ読み出されると、 D_2 から C_M を介して \bar{D}_1 上に、第1の干渉雑音 $-\delta_1$ が誘起される。この成分は、すでにシミュレーションで予測されていたもので⁽⁴¹⁾、信号に対し約 C_M/C_D の割合を占める。次に、この状態から、センス増幅器が信号を増幅する過程を示したものが図2.2(b)である。センス増幅器の共通ソース線に起動パルス ϕ_M を印加すると、データ線 D_2 につながるNMOSTランジスタは、参照データ線 \bar{D}_2 の電圧をゲート電圧として参照しながら、 D_2 上の信号電圧 $-v_s$ を増幅して0Vまで引き下げる。しかしながら、データ線 D_1 につながるNMOSTランジスタは、参照データ線 \bar{D}_1 上に第1の干渉雑音 $-\delta_1$ が発生して参照するゲート電圧が下がっているために、隣接データ線 D_2 より遅れて D_1 の電圧増幅を開始する。この遅延時間中、 \bar{D}_1 はフローティング状態になっているため、雑音が誘起され易く、先に電圧増幅が開始されている D_2 から、再び C_M を介して干渉を受ける。これが第2の干渉雑音 $-\delta_2$ である。

このように、第2の干渉雑音 δ_2 は第1の干渉雑音 δ_1 を核として、センス増幅器の信号増幅開始時刻の不一致により発生する。また、 δ_1 以外にも特定のデータ線で信号の減衰があると、これが初期雑音となって核として働き、やはり信号増幅開始時刻の不一致が起これ δ_2 が発生する。さらに、信号が均一でも、隣接データ対線間でセンス増幅器の信号増幅開始時刻に不一致があると δ_2 が発生する。これは、例えば、集積密度を緩和する

ために試みられたセンス増幅器の交互配置⁽²⁵⁾⁽²⁶⁾において、起動パルスを伝える共通ソース線が隣接データ対線間で互いに異なる配線となるために、起動パルスのタイミングにずれが生じるような場合に問題となる。

ここで、第2の干渉雑音 δ_2 の性質を理解するために解析的に δ_2 を求める。図2.2(c)はデータ線の電圧波形を模式的に表したものである。同図に於いて、 $t = t_1$ で D_2 上の信号増幅が始まり、 $t = t_2$ で D_1 上の信号増幅が始まる。この $t_1 \sim t_2$ の間 D_2 から D_1 へ第2の干渉が起きる。但し、初期雑音としては δ_1 以外にも一般に信号の減衰があった場合を想定して δ_0 とした。さて、センス増幅器のMOSトランジスタは、増幅初期には飽和領域で動作するので、 D_2 上の電圧変化は次式で表される。

$$-C_D \frac{dV_{D2}}{dt} = \frac{\beta}{2} (V_{D2} - V_T - V_{\phi N})^2. \quad (2.1)$$

但し、 V_{D2} 、 V_{D1} はそれぞれ D_2 、 D_1 の電圧、 V_T はセンス増幅器MOSトランジスタのしきい電圧、 $V_{\phi N}$ はセンス増幅器の共通ソース線の電圧である。また、 β は、センス増幅器MOSトランジスタのチャネル幅およびチャネル長をそれぞれ W および L 、ゲート酸化膜の誘電率および膜厚をそれぞれ ϵ_{ox} ($=0.35 \times 10^{-12}$ F/cm)および t_{ox} 、チャネル内電荷キャリアの移動度を μ としたとき、 $\beta = (W/L)(\mu \epsilon_{ox}/t_{ox})$ で与えられる係数である⁽⁴⁹⁾。いまセンス増幅器の起動パルス ϕ_N が一定の速さ $-K$ (V/s)で下降する($V_{\phi N} = V_P - K \cdot t$)と仮定すると、 $t = t_1$ で $V_{D2} - V_T - V_{\phi N} = 0$ であるので、 $t > t_1$ では

$$-C_D \frac{dV_{D2}}{dt} = \frac{\beta}{2} K^2 (t - t_1)^2 \quad (2.2)$$

となる。故に、 $t_2 - t_1 = t_a$ とすると、この間の電圧変化 ΔV_{D2} は

$$\Delta V_{D2} = \frac{\beta K^2 t_a^3}{6 C_D} \quad (2.3)$$

の様解く事が出来る。 $\delta_2 \doteq (C_M/C_D) \Delta V_{D2}$ であるから、雑音 δ_2 は

$$\delta_2 = \frac{C_M}{C_D} \cdot \frac{\beta K^2}{6 C_D} \cdot t_a^3 \quad (2.4)$$

と表される。ここで、雑音 δ_2 を信号 v_s で規格化すると、式(2.4)は次のようになる。

$$\frac{\delta_2}{v_s} = \frac{C_M}{C_D} \cdot \frac{\beta v_s^2}{6 C_D K} \cdot \left(\frac{t_a}{t_{a0}} \right)^3 \quad (2.5)$$

但し、 $t_{a0} (= v_s/K)$ はパルス ϕ_N が信号電圧 v_s を通過する時間である。

一方、 $t_a = (\delta_0 + \delta_2)/K$ であるから、式(2.5)は次の様にも表わすことが出来る。

$$\frac{\delta_2}{v_s} = \frac{C_M}{C_D} \cdot \frac{\beta v_s^2}{6 C_D K} \cdot \left(\frac{\delta_0}{v_s} + \frac{\delta_2}{v_s} \right)^3 \quad (2.6)$$

式(2.5)は δ_2 を信号増幅遅延時間 t_a の関数として表したものであり、式(2.6)は初期雑音 δ_0 をパラメータとする δ_2 に関する方程式である。

式(2.5)を用いて、まず δ_2/v_s の信号増幅遅延時間依存性を求めたものが図2.3である。 t_a が t_{a0} に近づくとき δ_2 が大変大きくなる事が判る。但し、ここで用いた数値は本章次節以下の実験の条件に合わせてあるので、 K の値が一般のDRAMの動作状態より1桁以上小さいため、問題になる遅延時間は80~100ns程度であるが、通常のDRAM動作を想定して $K=0.1$ V/nsとすると、 $C_M/C_D=0.1$ の場合に $\delta_2/v_s=1$ 、すなわちセンス増幅器が δ_2 により誤判定する遅延時間は $t_a=7.5$ nsであり、センス増幅器の起動タイミングのわずかなずれが問題になる。

つぎに、 δ_2 の C_M/C_D 依存性を求めるために式(2.6)を δ_2/v_s に関して解いたものが図2.4である。但し、 $\beta=200 \mu A/V^2$ はNMOS増幅器、 $\beta=100 \mu A/V^2$ はPMOS増幅器にそれぞれ対応する値である。図2.4(a)は、 δ_2 の原因が信号読み出し時の(1次の)雑音 δ_1 の場合($\delta_0=\delta_1$)であり、 $\delta_1/v_s=C_M/C_D$ として求めたものである。 C_M/C_D の増加とともに δ_2 が急激に増加し誤判定を引き起こすことが示されている。このように、 δ_2 は δ_1 と共にデータ対線ピッチの近接により不可避免的に誘起され、しかも信号電圧の増幅過程で大きな干渉となる為に、DRAMメモリアレーの高集積化に際し重大な問題となる事が判る。一方、図2.4(b)は、 δ_2 の原因が注目データ対線の信号減衰の場合である。同図に於いて、例えば $\delta_0/v_s=0.8$ のとき $\delta_2/v_s=0.2$ で雑音増加が終わっているのは、 $(\delta_0+\delta_2)/v_s=1$ 、すなわちセンス増幅器の誤判定となるからである。同図から、信号減衰がある場合には C_M/C_D が小さくとも大きな δ_2 が発生することが判る。図2.1に示したように、16MビットレベルのDRAMでは $C_M/C_D=0.1$ 程度であるので、(b)に対応した発生機構による δ_2 が支配的であることが推定される。

以上の検討結果に基づき、次節以下に於いて δ_2 の発生機構を実験的に解析する。まず、2.3節および2.4節では、最も直接的な方法としてデータ線電圧波形の観測を行い、 δ_2 の発生およびデータ線燃架による δ_2 の抑制効果をそれぞれ検証する。但し、データ線電圧波形から δ_2 を直接導程することは難しいので、 δ_2 の発生原因である信号電圧増幅遅延に注目して検証を行う。これに対し、2.5節では、DRAMの基本特性であるデータ保持時間の測定から δ_2 の定量化を試みる。なお、より精度の高い実験の定量化については次章(3.)で述べる。

2.3 信号波形観測による干渉雑音の実験的解析

本節では、最近の高集積DRAMメモリアレーにおいて、低電力化および低雑音化の上で最も重要な回路方式である、CMOSセンス増幅器を用いた $V_{cc}/2$ プリチャージ方式における干渉雑音の発生機構をデータ線電圧の直接観測により解析する。

2.3.1 テスト素子

実験に用いたテスト素子の回路構成およびチップ写真を図2.5(a) および図2.6 にそれぞれ示す。メモリアレーおよびセンス増幅器は、図2.6 に示すようにA、BおよびCの3種類のブロックから成る。Aは図2.5(a) に示す従来の折り返しデータ線構造、Bはメモリアレー部分が後で述べるデータ線燃架構造、Cはメモリアレー部分およびセンス増幅器部分が共にデータ線燃架構造である。各ブロックは、それぞれ20対のデータ線（ピッチ $3.2\mu\text{m}$ ）と、256本のワード線（ピッチ $1.3\mu\text{m}$ ）を有し、都合5kビットのメモリアレーとなっている。但し、波形観測が目的であるのでデコーダは設けず、ブロック間に共通な8本のワード線と各ブロック2対のデータ線とがそれぞれ独立にチップ外から直接選択できる。データ線の波形は、データ線電圧をゲートに入力したMOSトランジスタを設け、これを介して観測する。メモリセルは、 $0.6\mu\text{m}$ 設計ルールを基に、自己整合プロセスにより高容量化した、面積 $4.16\mu\text{m}^2$ の積層容量形セル⁽⁴²⁾（寸法： $1.3\times 3.2\mu\text{m}^2$ ）を用いた。このメモリセル全体の断面構造は第4章に示すが、ここでは干渉雑音に関係するデータ線に垂直な断面SEM写真を図2.7 に示す。データ線の材料は多結晶Siと WSi_2 の2層膜であり、膜厚は約 $0.5\mu\text{m}$ である。同図からデータ線が互いに極めて近接している事が判る。メモリセル蓄積容量は33fF、データ線容量はメモリアレー部で260fF、センス増幅器部分で70fFである。また、データ線間の寄生結合容量はメモリアレー部で26fF、センス増幅器部分で4fFである。

メモリアレーおよびセンス増幅器の動作タイミングを図2.5(b) に示す。従来の $V_{cc}/2$ プリチャージ方式とはほぼ同様であるが、メモリセルへのデータ書き込みには、センス増幅器の反対側に設けられた書き込みゲートWT および書き込み端子 A_0 、 \bar{A}_0 、…を用いる。このように、書き込み端子を、データ読み出し側（センス増幅器およびプリチャージ回路）とは独立に設けることにより、100% HIGH および LOW 電圧（今回は、それぞれ3Vおよび0V；HおよびLで表す）だけでなく、中間値電圧（hおよびlで表す）もメモリセル蓄積電圧 V_{st} として書き込むことができる。すなわち、書き込みサイクルにおいて書き込みゲートWT および選択ワード線 W_i を立ち上げれば、端子 A_i および \bar{A}_i を介して外部の直流電源から中間値電圧を精度良くメモリセルに書き込む事が出来る。一方、データの読み出しサイクルは、読み出しゲートRTを立ち上げた後、 $V_{cc}/2$ プリチャージ方式と同様にデータ線を1.5Vにプリチャージし、選択ワード線 W_i を立ち上げ、CMOSセンス増幅器を起動してHIGHまたはLOWの判定を行う。但し、増幅器のソース線にそれぞれ印加する起動パルス ϕ_n および ϕ_p は、雑音の発生機構を明らかにする目的で起動開始を互いに約1 μs ずらした。また、 ϕ_n の立ち下げ時間および ϕ_p の立ち上げ時間は、それらの速さの影響⁽¹²⁾を除く為に共に800nsと、通常のDRAM動作より1桁以上遅くした。なお、プリチャージ電圧の変動を防止する為に、選択ワード線 W_i の立ち上げと同時にダミーワード線DWを立ち下げて、選択ワード線とデータ線との結合雑音を相殺した⁽⁴⁸⁾。

2.3.2 100% 信号読み出し時の信号電圧増幅遅延

100% HIGH 信号 $v_s(H)$ を読み出し、増幅する時のデータ線上の電圧波形を図2.8 に示す。これは、第1の干渉雑音 δ_1 を核として第2の干渉雑音 δ_2 が発生する場合である。図2.8(a)はNMOS増幅器をPMOS増幅器に先立って起動したものであり、(b)はその逆である。まず、信号読み出し時には、(a)(b)双方においてデータ線 \bar{D}_i 上に隣接データ線 D_2 上の信号電圧に依存した第1の干渉雑音 δ_1 が見られる⁽²¹⁾⁽⁴³⁾。さらに、(b)では、信号電圧の増幅波形に、隣接データの極性に依存した時間のずれ $\Delta\tau$ が生じている。しかし、これは(a)では発生していない。

このような、読み出し信号の極性とセンス増幅器の動作順序に依存した $\Delta\tau$ の発生機構は、次のように説明できる。すなわち、図2.9 に示すように、データ線 \bar{D}_i 上には第1の干渉雑音 $\pm\delta_1$ が発生しているが、(a)のようなNMOS増幅器が先行した起動では、 \bar{D}_i 上の電圧 $(1.5V + v_s(H))$ を参照してトランジスタ Q_n が作動するので、信号電圧の増幅は δ_1 の存在には影響されない。しかし、(b)のようなPMOS増幅器が先行した起動では、 \bar{D}_i 上の電圧 $(1.5V \pm \delta_1)$ を参照してトランジスタ \bar{Q}_n が作動するので、 $+\delta_1$ の場合に起動の遅延(t_a)が発生し、 \bar{D}_i の電圧増幅波形にも時間のずれ $\Delta\tau$ として観測される。このセンス増幅器の起動遅延が第2の干渉雑音 δ_2 を誘起する事は、前節(2.2)で考察した通りであるので、 δ_2 は(b)の場合にのみ発生する事が判る。表2.1 に示すように、10V信号を読み出した時は、逆にNMOS増幅器が先行した起動においてのみ $\Delta\tau$ が観測されるので、上記 HIGH 信号の場合とは逆の機構により、NMOS増幅器先行起動においてのみ δ_2 が発生することが判る。これが $V_{cc}/2$ プリチャージ方式に於ける、第2の干渉雑音発生機構の特徴である。

ここで、図2.8(b)のデータパターンでは D_2 のデータがLOWである為に、 D_2 がHIGHの時の \bar{D}_i 上の初期雑音は等価的に $\delta_0 = 2\delta_1$ となることに注意して、 $\delta_1/v_s = C_w/C_D = 0.1$ として式(2.6)を解くと、 $\delta_2/v_s \approx 8 \times 10^{-3}$ となる。これに対し信号増幅遅延時間は、 $t_a \approx 2\delta_1/K = 15\text{ns}$ となり、図中に示されるように観測された $\Delta\tau$ ($\sim 15\text{ns}$)とほぼ一致する。すなわち、16Mビットレベルのメモリセルアレーでは、 δ_1 に起因する信号増幅遅延は、信号電圧増幅波形上の時間ずれ $\Delta\tau$ として十分観測出来る値であるが、 δ_2 の値自体は、まだ深刻な問題となるには至っていないと考えられる。なお、本実験で観測される $\Delta\tau$ は、信号電圧増幅開始後のデータ対線 \bar{D}_i 、 D_i にのみ注目したものである。次項(2.3.3)で述べるように、センス増幅器の駆動条件や信号の大きさなどによっては前節(2.2)で定義したセンス増幅器の起動遅延時間 t_a とは一致しない場合も有り得るのでそれぞれ確認が必要である。

2.3.3 中間値信号読み出し時の信号電圧の増幅遅延

中間値信号の読み出しとは、前節で述べた δ_2 の発生機構の内、特定のデータ線で信号

の減衰が起こりこれが初期雑音となって δ_2 が発生する場合に相当する。これは、例えばメモリセルに於いて、HIGH蓄積電圧が熱生成電流や α 線誘起電流の為に低下したときなどに発生する。前節で述べたように、この場合は100%信号の場合とは異なり、 C_w/C_s が小さくとも雑音の値は大きいことが予想される。図2.10は、メモリセル蓄積電圧が1.8Vのときの、信号読み出し、及び増幅波形である。プリチャージ電圧が1.5Vであるから、HIGH信号が20% (0.3V/1.5V)に減衰した場合に相当する。同図(a)はNMOS増幅器が先行した場合、(b)はPMOS増幅器が先行した場合である。いずれも前項(2.3.2)の例とは異なり電圧増幅波形に大きなずれ $\Delta\tau$ が発生しており上記の予想が裏付けられているように見える。

まず、図2.10(a)では、信号が減衰しレベルの下がった D_1 の電圧を参照して \bar{D}_1 の電圧を増幅するので、信号の減衰分が初期雑音となって δ_2 を誘起する場合に該当し、初期雑音の対信号比は $\delta_0/v_s=0.8$ である。式(2.6)を用いて δ_2 を求めると $\delta_2/v_s=0.08$ となる。同様に、信号増幅遅延時間は $t_d=(\delta_0+\delta_2)/K=66ns$ であるが、前項(2.3.2)で述べたように実験では D_1 、 \bar{D}_1 のみ観測しているのだから、図2.10(a)の場合、データ線電圧増幅波形のずれ $\Delta\tau$ はむしろ $\delta_2/K(=8ns)$ に対応する。しかし、同図に示された実測値 $\Delta\tau$ ($\sim 34ns$)は上記の理論値より大きい。この理由は、同図に於いて、隣接データ線 D_0 がHIGHの時、 δ_2 の為に D_1 、 \bar{D}_1 の電圧差(信号)が大変小さくなり(同図の場合約25mV)、センス増幅器による信号増幅がはかどらず、遅延が増大したとと考えられる。これは、信号が減衰して、センス増幅器の非導通側トランジスタにリークが生じ、データ対線 D 、 \bar{D} の電圧を峻別出来なくなった状態に対応する。これがさらに顕著に現れた例が図2.10(b)である。この場合は、HIGH信号をPMOS増幅器で増幅するので、信号の減衰はあっても初期雑音は $2\delta_1$ であり、 δ_2 の発生機構は図2.8(b)と同じはずである。しかし、図2.10(b)に於ける \bar{D}_1 の電圧波形は D_2 がHIGHの場合の強くHIGH側に引かれており、 $\Delta\tau$ も約80nsと大変大きい。これは、初期の信号が δ_1 の為に20mV程度にまで減衰し、しかもPMOSの増幅速度がNMOSの約1/2と遅いため、センス増幅器の増幅開始後の遅延重畳が一層継続されるためと考えられる。このような電圧波形から、図2.10(a)、(b)では δ_2 も当然大きいと考えられるが、これは2.5節で定量的に検証する。

2.4 データ線燃架による雑音低減効果

データ線間干渉雑音は、データ線を燃架する(Transpose)ことにより低減できる⁽²¹⁾⁽⁴³⁾。この燃架法は、干渉雑音をデータ対線内で等量にする、即ち差動雑音を同相雑音に変換することにより実効的に雑音を低減する手法であって、過去にワイヤメモリなどで採用されたものである⁽⁴⁶⁾。今回DRAMがデータ線燃架を必要とするようになったという事は、

それだけDRAMの高集積化が進展したことを意味する。さて、データ線燃架による雑音低減効果を図2.11に示す。同図は100%HIGH信号をPMOS増幅器で先行増幅した場合であり(図2.8(b)と同じ駆動条件)、 $\Delta\tau$ の原因は $2\delta_1$ である。図2.11において、(a)は図2.5(a)に示した従来の折り返しデータ線構造(図2.6中Aブロック)、(b)は図中に示すようにメモリアレー部のみデータ線を燃架した構造(図2.6Bブロック)、(c)はやはり図中に示すようにメモリアレー部およびセンス増幅器部両方でデータ線を燃架した構造(図2.6Cブロック)でのそれぞれ信号増幅波形である。 $\Delta\tau$ すなわち δ_2 の発生は、メモリアレー部のデータ線の燃架により大幅に改善できるが、より完全にはセンス増幅器部での燃架が必要であることが分かる。図2.11(c)では D_1 、 \bar{D}_1 は回路的には完全に平衡がとれているはずであるが、若干の $\Delta\tau$ が残っているのは素子構造上の不平衡が残存する為と考えられる。そこで、これを(a)、(b)の $\Delta\tau$ から差し引いて両者の比を求めると、(b)の $\Delta\tau$ は(a)に対し約20%に短縮されていることが判る。(b)のデータ対線間容量 C_w は、(a)の約13%であるのでやや誤差が大きいが、波形から判るように $\Delta\tau$ は時間と共に増加しており、2.3.2項で述べたように t_d に比例する訳ではないことを考慮すると、ほぼ所定の雑音抑制効果が現れていると考えられる。但し、この点については次節(2.5)でさらに検討を加える。

なお、既に述べたように δ_2 の発生原因は δ_1 だけではないため、干渉雑音の低減には δ_1 だけを対象にした⁽⁴⁵⁾のでは意味がなく、ここで示したデータ線燃架のように両者を含めて効果のある構造を用いる必要があることは明かであろう。また、図2.11から明らかのように、データ線燃架は折り返しデータ線構造に於いてのみ容易に実現できるものであり、燃架の難しい従来の開放データ線構造(図1.8(a))は、他の何らかの方法で低雑音化を計らない限り、今後の高集積DRAMへの適用は困難である。

2.5 干渉雑音によるデータ保持時間の劣化とその改善効果

これまで述べたように、データ線間干渉雑音は、隣接データ線上の信号の極性に依存して注目データ線上の信号を実効的に減少させるので、データ保持時間のようなDRAMの基本特性も同様に、隣接データに依存して劣化する。これを図2.12に示す。同図における劣化係数 γ は、

$$\gamma = \frac{T(L)-T(H)}{T(L)} \quad (2.7)$$

で定義した値であり、 $T(L)$ および $T(H)$ は、それぞれ隣接データがLOWおよびHIGHのときの、注目セルのデータ保持時間である。但し、データ保持時間は、注目セルがHIGH電圧を蓄えたときの減衰特性であるので、図2.8に於ける議論から判るように隣接データ線電圧がHIGHのとき劣化する。図2.12中、Aは従来の折り返しデータ線構造(図2.5(a))

および図2.6-A), Bはメモリアレー部のみデータ線を燃架した構造(図2.6-B), Cはメモリアレー部およびセンス増幅器部共にデータ線を燃架した構造(図2.6-C)のデータ保持時間をそれぞれ表している。また, CASE I, CASE II, CASE III 及び CASE IVはそれぞれ図2.8(a), (b), 図2.10(a) 及び (b)に対応する。

図2.12 に於いて, まず構造Aに注目すると, 100%HIGH信号の場合(CASE I, CASE II)は, 注目セルの信号が減衰する時間に隣接データ線上のセルの信号も同様に減衰するので, 初期雑音は隣接データがLOWのときだけが残る。従って, 図2.8の実験解析を参照すると, 干渉雑音によるデータ保持特性の劣化係数 γ は, CASE I では

$$\gamma = \frac{\delta_1}{v_s + \delta_1}, \quad (2.8)$$

また, CASE IIでは

$$\gamma = \frac{\delta_1 + \delta_2}{v_s + \delta_1} \quad (2.9)$$

のようにそれぞれ表すことができる。今回の実験素子では $\delta_1/v_s \approx 0.1$ であるので, 図2.12に於けるCASE I 及び CASE II の約10%内外の γ は δ_1 によるものとして説明できる。すなわち $\delta_1/v_s \approx 0.1$ 程度では, 100%HIGH信号に伴う δ_2 の発生はほとんど無視できると考えられる。これは, 2.2節の理論解析とも一致する。

一方, 中間値信号の場合(CASE III, CASE IV)に, 減衰した信号の割合を $u (=v_s(h)/v_s(H))$ とくと, CASE III では図2.10(a)で示したように干渉雑音は δ_2 のみであるので, 干渉雑音によるデータ保持特性の劣化係数 γ は

$$\gamma = \frac{\delta_2}{u v_s} \quad (2.10)$$

と表せる。CASE IV では, 図2.10(b)で示したように干渉雑音は $2\delta_1 + \delta_2$ であるので γ は

$$\gamma = \frac{2\delta_1 + \delta_2}{u v_s + \delta_1} \quad (2.11)$$

となる。但し, ここでは $u=0.2$ である。CASE III では実測値は $\gamma \approx 0.6$ であるので, $\delta_2/v_s \approx 0.12$ が求まる。これに対し, 式(2.6)を $\delta_0/v_s=0.8$, $C_w/C_D=0.1$ とおいて解くと $\delta_2/v_s=0.08$ となる。上記の実験値がデータ保持特性という間接的な方法で導出したことを考慮すると, ほぼ理論値と合っていると考えて良いと思われる。一方, CASE IV では, $\delta_1/v_s=0.1$ とし, 実測値 $\gamma \approx 1.0$ を用いると, $\delta_2/v_s=0.1$ となる。これに対し, 式(2.6)を $\delta_0/v_s=2\delta_1/v_s=0.2$, $C_w/C_D=0.1$ とおいて解くと $\delta_2/v_s \approx 0.0005$ となるので, 図2.10(b)で検討したように, 初期信号が20mV程度にまで微小化すると, δ_2 が大幅に増幅されることが判る。但し, 通常のDRAM動作では, PMOS増幅器の起動パルス ϕ_p の立ち上がり時間が短いので, このようなトランジスタのリークによる δ_2 は明確には現れないと考えられるが, これは次章(3.)で検証する。

メモリアレー部のデータ対線を燃架した構造Bでは, 燃架されていないセンス増幅器部分の C_w だけが差動雑音を引き起こすと仮定すると, 実効的に $C_w/C_D=0.012$ となる。この場合, CASE I 及び CASE II では, 式(2.8)及び(2.9)より $\gamma \approx 0.01$ であり, 実験値も $\gamma \leq 0.01$ である。また, CASE III では, 式(2.6)及び(2.10)から $\gamma=0.04$ と求まる。同様に, CASE IV では, 式(2.6)及び(2.11)から $\gamma=0.13$ となり, これらもほぼ実験と一致する。従って, 燃架構造では上記の実効的な C_w/C_D を指標として干渉雑音が低減されると考えて良いと思われる。

以上のように, データ保持時間は特に初期信号に局所的な減衰があると干渉雑音により大きく劣化するが, データ対線の燃架, 特にセンス増幅器部分を含めた燃架により顕著に改善されることが図2.12に於ける構造B, Cのデータから判る。

2.6 むすび

セル面積が $5 \mu m^2$ 以下に微細化された高集積DRAMに於いて, メモリアレー動作に関連する雑音として新たに問題となるデータ線干渉雑音のダイナミックな発生機構解明を目的として, センス増幅器の動作過程での雑音発生機構を理論的に検討し, データ線電圧波形観測およびデータ保持時間の測定により実験的に検証した。また, 低雑音化の為にデータ対線の燃架を提案し, その効果を実験により確認した。得られた結果は以下の通りである。

- (1) メモリセルからデータ線への信号読み出し時に発生する第1の干渉雑音を核として, センス増幅器による信号増幅の際に第2の干渉雑音が発生し, データ線間結合容量の増加と共に重大な影響が出る。この第2の干渉雑音の発生原因は, 第1の干渉雑音に起因するセンス増幅器の起動開始の遅延であり, 雑音は遅延時間の3乗に比例する。
- (2) 高集積DRAMメモリアレーに於いて最も重要な回路方式であるCMOSセンス増幅器を用いたVcc/2プリチャージ方式では, HIGH信号をPMOS増幅器で増幅するか, またはLOW信号をNMOS増幅器で増幅する場合にのみ上記第2の干渉雑音が発生し, 他の組み合わせでは発生しない。
- (3) 信号が中間値に減衰すると, 第1の干渉雑音の存在如何にかかわらず, 極めて大きい第2の干渉雑音が発生する。この場合は, 隣接するデータ線対間の信号電圧差に起因したセンス増幅器の起動開始遅延が発生原因である。
- (4) DRAMの基本特性であるデータ保持時間も, 上記雑音に対応して劣化する。16Mビット相当のメモリアレーでは, 100%HIGH信号のばあいの劣化は雑音対信号比で

約10%である。これは、第1の干渉雑音に起因しており、第2の干渉雑音は無視できる。これに対し、中間値信号では第2の干渉雑音が支配的であり、初期信号が20%程度にまで減衰すると60~100%の雑音対信号比にのぼる。

- (5) 上記干渉雑音は、データ対線を燃架してデータ対線間結合容量 C_M を等価的に打ち消す(平衡化する)ことにより効果的に低減でき、データ保持時間も改善される。改善度は、燃架により平衡化した C_M の割合で決まる。雑音を完全に除去する為には、メモリアレー部だけでなくセンス増幅器部分でもデータ線燃架が必要である。

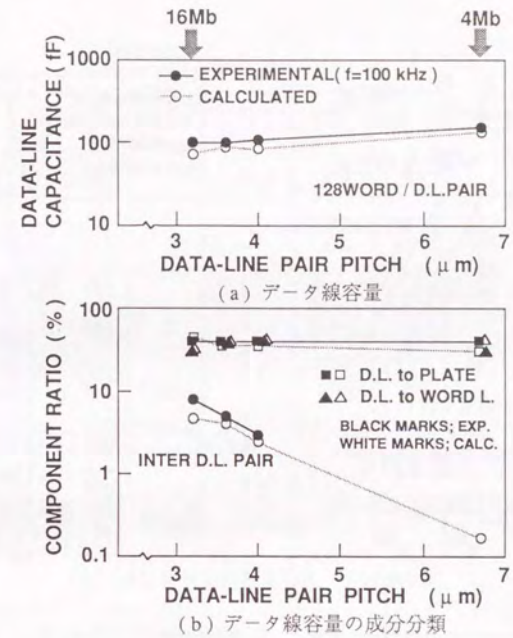


図2.1 データ線容量およびその成分の推移

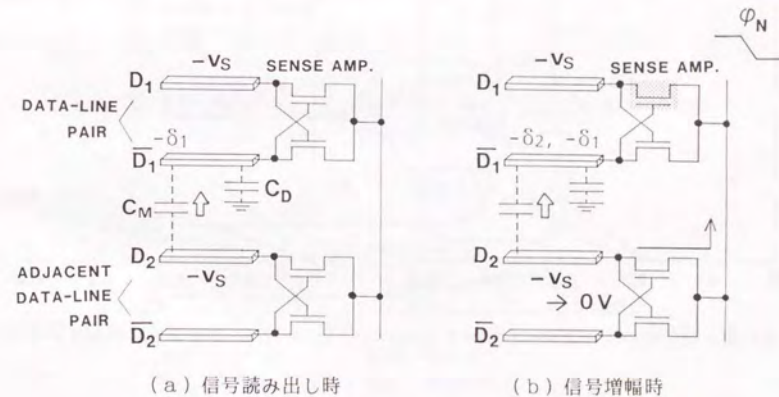
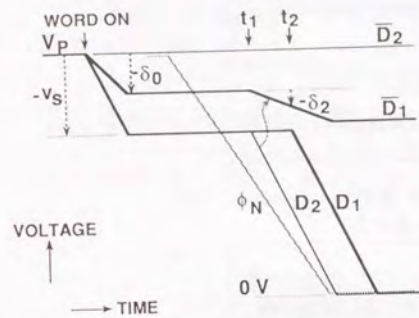


図2.2 データ線間干渉雑音の発生機構



(c) データ線上の電圧波形
初期の雑音 δ_1 は他の原因による場合も含めて一般的に δ_0 と表わした。 V_p はプリチャージ電圧を表わす。

図 2.2 データ線間干渉雑音の発生機構

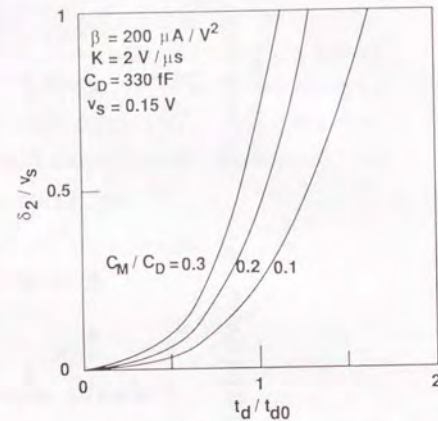
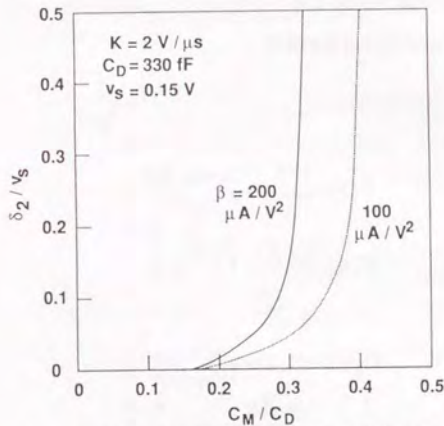
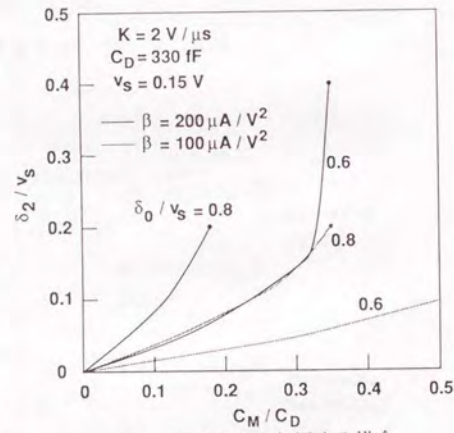


図 2.3 信号増幅遅延と干渉雑音式 (2.5) に基づく計算値。ここでは $t_{d0} (=v_s/K) = 75 \text{ ns}$ 。

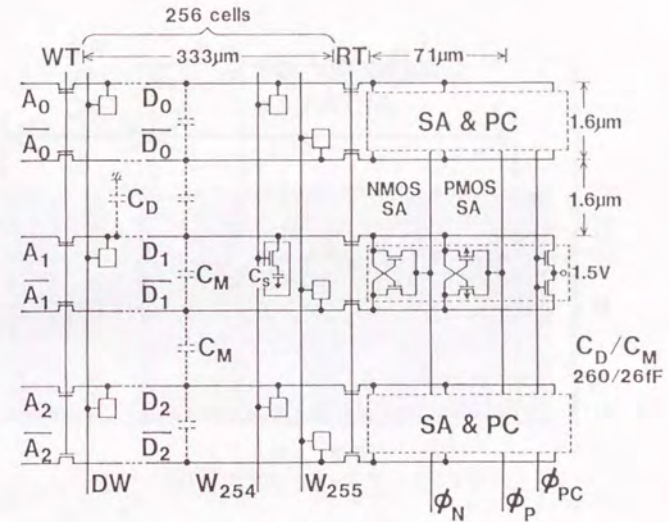


(a) 信号読み出し時の干渉雑音に起因する場合

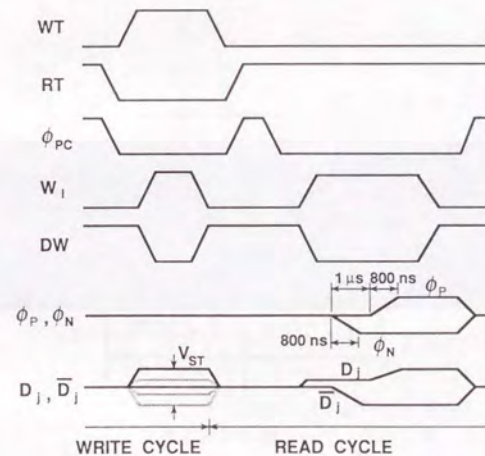


(b) 信号減衰に起因する場合

図 2.4 信号増幅時に発生する干渉雑音式 (2.6) に基づく計算値。



(a) 回路構成 (折り返しデータ線構造)



(b) バルスタイミング

100% HIGH信号, NMOS増幅器先行駆動の場合

図 2.5 テスト素子の回路構成とバルスタイミング

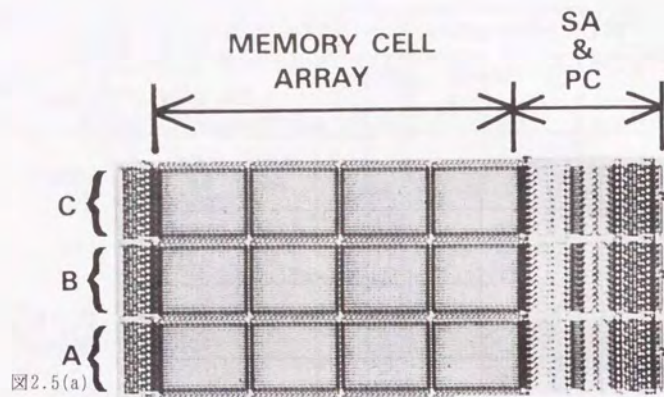


図2.6 テスト素子のチップ写真

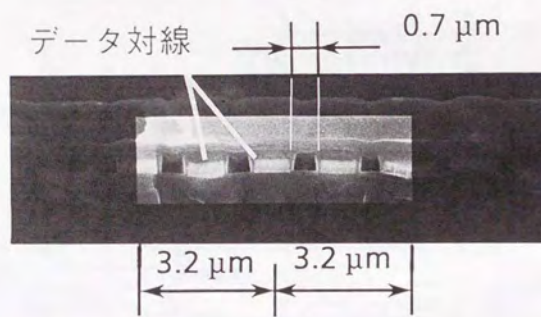
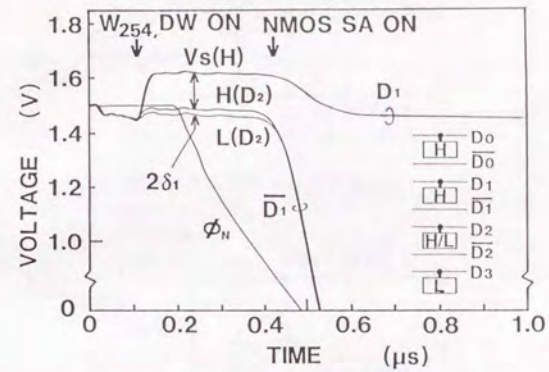
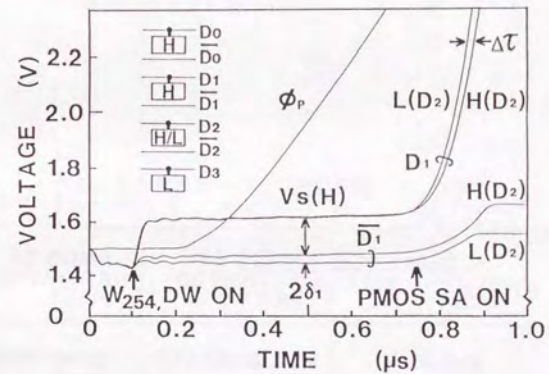


図2.7 データ線の断面写真

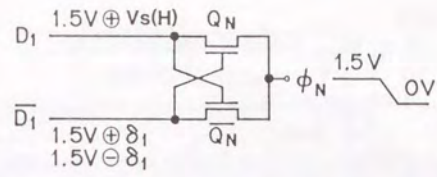


(a) NMOS増幅器先行起動

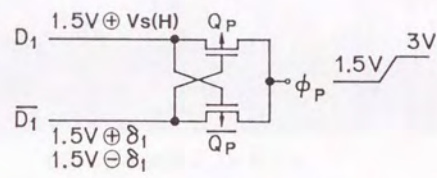


(b) PMOS増幅器先行起動

図2.8 100% HIGH 信号の増幅波形



(a) NMOS増幅器先行起動

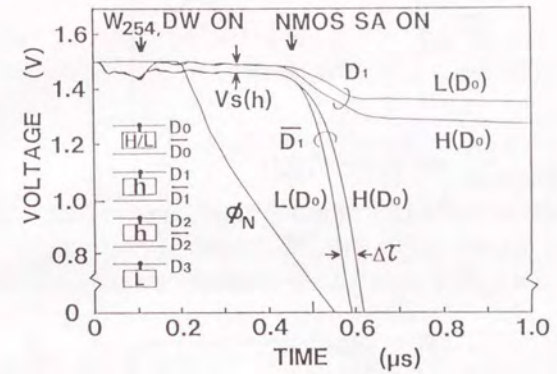


(b) PMOS増幅器先行起動

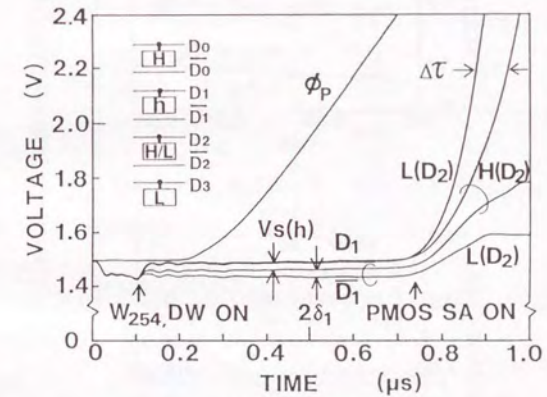
図2.9 信号電圧増幅遅延の発生機構

表2.1 信号増幅に伴う干渉雑音の発生条件

SIGNAL TYPE	SA SEQUENCE	
	NMOS SA ACTIVATED FIRST	PMOS SA ACTIVATED FIRST
Vs(H)	NOT GENERATED	GENERATED
Vs(L)	GENERATED	NOT GENERATED

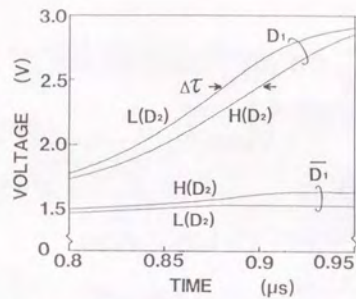


(a) NMOS増幅器先行起動

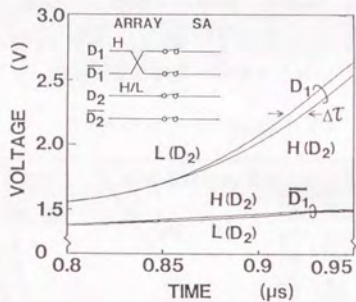


(b) PMOS増幅器先行起動

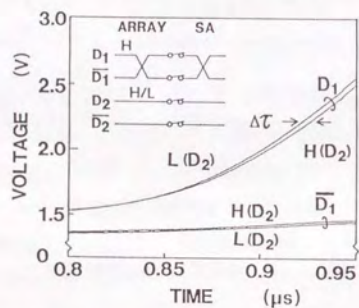
図2.10 中間値信号の増幅波形



(a) 燃架なし (折り返しデータ線構造; 図2.6(A))



(b) メモリアレー部のみ燃架 (図2.6(B))



(c) メモリアレー部, センス増幅器部ともに燃架 (図2.6(C))

図2.11 データ線燃架による雑音低減

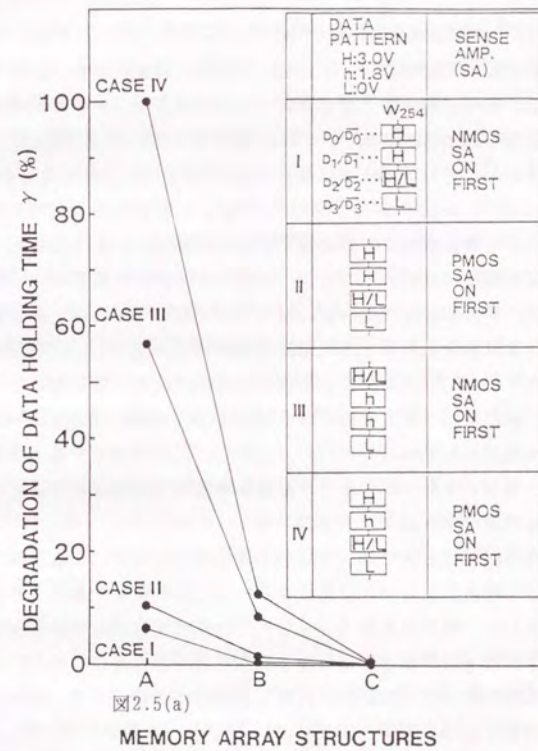


図2.5(a)

MEMORY ARRAY STRUCTURES

図2.12 データ線間干渉雑音によるデータ保持時間の劣化

メモリアレー構造: A; 従来の折り返しデータ線構造

B; メモリアレー部のみデータ線燃架構造

C; メモリアレー部, センス増幅器部ともに

データ線燃架構造

第3章 データ線間干渉雑音を排除した α線収集電荷の評価

3.1 まえがき

DRAMにおいて、α線の入射に起因して発生するソフトエラー⁽¹³⁾は、素子の高集積化とともに、ますます重要な問題になっている。これは、微細化されたメモリセルでは、α線によって発生し、信号に混入する雑音電荷(収集電荷)を、単純に比例縮小(スケールリング)することが難しいからである⁽¹⁵⁾⁽⁵⁰⁾。既に述べたように、現在開発が盛んな16MビットDRAMでは、メモリセル面積が $5\mu\text{m}^2$ 以下となり、メモリセルアレーの動作電圧が従来の5Vから3~4Vに下がる⁽²⁷⁾。このため、立体形メモリセルを採用して、メモリセル蓄積容量 C_s を確保することが必須であると同時に、これら立体形メモリセルの、α線による収集電荷を精度良く求めることが、メモリセル設計上重要になっている。

しかし、前章(2.)で検証したように、16Mビットないしそれ以上のDRAMでは、ピッチが $4\mu\text{m}$ 以下に高密度化したデータ対線間に干渉雑音が発生し、これがソフトエラー耐性を劣化させるので⁽⁴⁴⁾⁽⁵¹⁾、α線による収集電荷の評価を大変複雑にしている。α線による収集電荷が、前章で述べた2次の干渉を誘起することは、シミュレーションで予測され⁽⁴⁴⁾、実験でも観測されている⁽⁵¹⁾⁽⁵²⁾。しかし、この時発生する干渉雑音が、逆に収集電荷を見掛け上増加させ、ソフトエラー耐性を劣化させる機構について、簡明な物理的イメージを与える理論的解析はまだ十分なされていない。

一方、メモリセルの設計においては、上記のような電気的雑音による見掛け上の収集電荷増加とは別に、セル構造に固有な収集電荷を求めることが重要である。すなわち、16MビットDRAM用として、積層容量形(STC)では自己整合技術による従来構造の縮小化⁽⁴²⁾の他、上記干渉雑音を排除できるセル(DASH)が提案された⁽³⁹⁾が、このDASHの固有の収集電荷を従来のSTCとの比較したときの問題の有無、あるいはソフトエラー耐性の高い溝容量形として提案された $V_{cc}/2$ 鞘プレート形(HSPC)⁽⁵³⁾⁽⁵⁴⁾の固有の収集電荷を上記積層容量形と比較したときの大小などは、メモリセル設計上必須の情報である。しかしながら、従来のようにDRAMの電源電圧をパラメータとしたソフトエラー率の測定では、セル構造に固有な収集電荷を精度良く求めることは出来ない。このため、面積 $5\mu\text{m}^2$ 以下のような微細な立体形メモリセル固有の収集電荷を求め比較検討した例もなく、新しい実験法が望まれている。

本章では、まず、干渉雑音によるα線誘起収集電荷の疑似増加現象の発生機構を、簡易なモデルを用いて理論的に解析する。次に、干渉雑音の高精度測定法⁽⁴⁴⁾をα線ソフトエラー測定に適用すると、セル構造に固有な収集電荷を求めることが出来ることを示す⁽⁵²⁾。

最後に、上記のDASHおよびHSPCの収集電荷を従来構造のSTCと比較し、収集電荷のメモリセル構造依存性について検討する。

3.2 干渉雑音によるα線誘起収集電荷の疑似増加現象の発生機構

本節では、干渉雑音によるα線誘起収集電荷の疑似増加現象を、単純化したモデルにより理論的に解析する。メモリアレー中のあるセルにα線が入射すると、メモリセルの蓄積電圧 V_{ST} が収集電荷のために減衰し、その結果、前章(2.)で述べたように干渉雑音が発生する。この干渉雑音が、逆に収集電荷に見かけ上の増加をもたらす機構を図3.1に示す。同図(a)はメモリアレーの回路概念図、(b)および(c)はデータ線上の電圧波形を模式的に示したものである。同図に示す干渉雑音の発生機構自体は、信号のHIGHとLOWが異なる点を除けば、図2.2に示したものと基本的に同じであり、α線誘起収集電荷のために初期雑音 δ_0 が大きく、中間値信号の読み出しとなった場合に相当する。但し、図3.1(b)に示す電圧波形は、センス増幅器共通ソース線のインピーダンス Z_s が低い場合であって、これは図2.2における同じ条件であるが、図3.1(c)はインピーダンス Z_s が高い場合であって、これは規模の大きいメモリアレーを想定している。以下、まず図3.1(b)を用いて、干渉雑音による収集電荷の疑似増加現象を解析する。

3.2.1 センス増幅器共通ソース線のインピーダンスが低い場合

いま、図3.1(b)が、データ対線 D_1 、 \bar{D}_1 の信号が正しく判定される限界の電圧波形を示していると仮定し、そのときの信号電圧 $v_s(h) = v_s(h_w)$ を等価的な干渉雑音と定義する。図3.1(b)から明らかなように、

$$v_s(h_w) \doteq \delta_1 + \delta_2 \quad (3.1)$$

である。但し、式(3.1)が等号でないのは、ここで取り扱うような判定限界の信号電圧では、 $t > t_2$ においても2次の干渉が継続し、信号の反転が引き起こされるからである。すなわち、 δ_2 は、後で述べる様に、式(2.4)で与えられるものより大きい。しかし、信号増幅の過程で動的に変化する δ_2 を、観測可能な量として扱うために、以下式(3.1)により干渉雑音を定義するものとする。これは、図3.1(b)からも判るように、初期雑音 δ_0 が最も大きい状態であるので、 δ_2 を最大値で定義したものと考えることができる。

さて、干渉雑音によるα線誘起収集電荷の疑似増加現象は、次のようにして発生すると考えられる。すなわち、図3.1(b)において、メモリセルが実際に収集した電荷(固有の収集電荷)は、 $Q_{CL} = C_D (v_s(H) - v_s(h_w))$ であるが、このとき干渉雑音のために誤判定(エラー)となるので、観測上は信号電荷 $Q_s = C_D v_s(H)$ の時にエラーが発生したと見なされる。すなわち、収集電荷 $C_D (v_s(H) - v_s(h_w))$ に対するソフトエラー率が、観測

上は $C_D v_s(H)$ に対する値として求まる。従って、収集電荷は、

$$\begin{aligned} \Delta Q_{cl} &= C_D v_s(h_w) \\ &\doteq C_D (\delta_1 + \delta_2) \end{aligned} \quad (3.2)$$

だけ見かけ上増える。これが干渉雑音による収集電荷の疑似増加現象である。式(3.2)から、 $v_s(h_w)$ によって定義された干渉雑音 $\delta_1 + \delta_2$ は、まさに疑似収集電荷 ΔQ_{cl} を与えることが判る。そこで、以下この $v_s(h_w)$ を解析的に求める。

$v_s(h_w)$ は、干渉雑音の存在下で、センス増幅器により正しく判定される信号の最小値であるから、次式が成り立つ。

$$\Delta V_{D1} + v_s(h_w) - \delta_1 - \Delta V_{D1} = 0 \quad (3.3)$$

但し、 ΔV_{D1} および ΔV_{D1} は、それぞれ信号増幅時のデータ対線 D_1 および \bar{D}_1 における電圧変化である。式(3.3)は式(3.1)と等価であって、式(3.1)が等号でないのは、式(3.3)中の ΔV_{D1} 、すなわち \bar{D}_1 上の電圧増幅があるからである。図3.1(b)から判るように、 ΔV_{D1} は $t > t_1$ において D_1 が \bar{D}_0 から受ける2次の干渉雑音 δ_2 であり、 ΔV_{D1} は $t > t_2$ においてセンス増幅器により増幅される \bar{D}_1 上の電圧の変化分である。したがって、 ΔV_{D1} は式(2.4)と同様にして、

$$\Delta V_{D1} = \frac{C_M}{C_D} \cdot \frac{\beta K^2}{6 C_D} \cdot (t - t_1)^3 \quad (3.4)$$

と求まる。また、 ΔV_{D1} も式(2.3)と同様にして、

$$\Delta V_{D1} = \frac{\beta K^2}{6 C_D} \cdot (t - t_2)^3 \quad (3.5)$$

と表すことが出来る。ここで、 t_1 および t_2 は、それぞれ \bar{D}_0 および \bar{D}_1 上の電圧増幅が開始される時刻であって、次のように表すことが出来る。

$$t_1 = \frac{V_T - v_s(H)}{K} \quad (3.6)$$

$$t_2 = \frac{V_T - v_s(h_w)}{K} \approx \frac{V_T}{K} \quad (3.7)$$

式(3.4)~(3.7)を用いて、式(3.3)を $v_s(h_w)$ について解き、 $\delta_1 + \delta_2$ の C_M/C_D 依存性として表したものが図3.2の実線 ($Z_s: \text{Low}$) である。但し、用いた数値は本章次節以下の実験の条件に合わせた。図中に参照用に示した信号読み出し時の干渉雑音 δ_1 に比べ、信号増幅時も含めた全体の干渉雑音 $\delta_1 + \delta_2$ は約2倍となり、これが疑似収集電荷としてメモリのソフトエラー耐性を劣化させる。図3.2には3.4節における実験で求めた値も示したが、それらはおおよそ理論値と一致しており、本節で解析した様に、データ線 D_1 に重畳する干渉雑音 $\delta_1 + \delta_2$ 、および \bar{D}_1 上の電圧増幅を考慮することにより、判定限界の信号電圧 $v_s(h_w)$ で定義された干渉雑音を見積ることが妥当であることを示している。

3.2.2 センス増幅器共通ソース線のインピーダンスが高い場合

さて、実際の高集積メモリアレーでは、データ対線 D_1 、 \bar{D}_1 における信号増幅開始の遅延 $t_2 - t_1$ が下記の理由で増大し、 δ_2 はさらに大きく現れる。すなわち、メガビットレベルのDRAMでは、メモリアレーの全データ線容量に対して共通ソース線の駆動トランジスタおよび配線のインピーダンス Z_s が高い。この場合の動作波形を模式的に示したものが図3.1(c)である。共通ソース線に接続する多数のデータ線から同時に流れ出す多量の電流のために共通ソース線電圧は一時クランプされる。この間、データ対線 D_1 、 \bar{D}_1 のセンス増幅器はトランジスタのゲート・ソース間の電圧がしきい値 V_{TN} に達しないため起動せず、 D_1 は干渉を受け続ける⁽⁴⁴⁾。

図3.1(c)を用いて $Z_s: \text{High}$ の場合の干渉雑音の発生量を見積る。前記のように δ_2 の大きさは、 \bar{D}_0 上の電圧変化 ΔV_{D0} に比例する。共通ソース線のインピーダンス Z_s が高いため共通ソース線電圧 V_{ow} が一時クランプされるので、 \bar{D}_1 で電圧増幅が始まる時点 ($t = t_2$) では共通ソース線電圧 V_{ow} と \bar{D}_0 の電圧 V_{D0} がほぼ等しい状態になっている。このとき、 D_1 の電圧が、干渉により \bar{D}_1 に等しくなるまで減衰している(信号判定限界)とすると、 \bar{D}_1 の起動は $\Delta V_{ow} + \delta_1 = V_{TN}$ で開始されるから、 $t_1 \sim t_2$ の間の \bar{D}_0 上の電圧変化は、 $\delta_1 < V_{TN}$ として、

$$\Delta V_{D0} = V_{TN} \quad (3.8)$$

である。したがって、センス増幅器正常判定限界の信号電圧 $v_s(h_w)$ は、

$$v_s(h_w) = \frac{C_M}{C_D} \{v_s(H) + V_{TN}\} \quad (3.9)$$

と表すことができる。但し、ここでは $t_1 \sim t_2$ の間の δ_2 が大きいので、 $t > t_2$ での δ_2 は無視した。従って、 $v_s(h_w) = \delta_1 + \delta_2$ であり、式(3.9)右辺の $v_s(H)$ が δ_1 を、 V_{TN} が δ_2 をそれぞれ与える項である。

式(3.9)に基づく計算結果を図3.2に実線で示した ($Z_s: \text{High}$)。計算に用いたしきい電圧 $V_{TN} = 0.6V$ は高いように見えるが、ここでの V_{TN} は、MOSトランジスタの飽和領域での特性から定義されるもの⁽⁴⁹⁾であり、しかも、共通ソース線電圧 V_{ow} が $0V$ 以上に浮き上がり、基板バイアスも印加された動作状態での値であるので、必ずしも高い訳ではない。また、メモリスルから信号をデータ線上に読みだしたとき、センス増幅器が共通ソース線の起動前に導通しないように、 V_{TN} は $v_s(H)$ に比べて十分大きく (2~3倍) する必要がある。従って、 V_{TN} を大幅に低減することは難しい。その結果、図3.2に示すように、高集積メモリアレーでは、 $v_s(h_w)$ で定義される $\delta_1 + \delta_2$ が δ_1 の数倍にも達する可能性があり、 α 線誘起収集電荷の疑似的増大がより深刻になると予想される。式(3.9)は粗い近似で導いたものであるが、シミュレーションによる解析結果⁽⁴⁴⁾と $\pm 10 \sim 20\%$ の範囲で一致しており、干渉雑音の大まかな評価には用いることが出来る。

なお、本節における議論は、いわゆるメモリスルモードのソフトエラーを中心としているが、データ線モードにもそのままあてはまる。但し、データ線モードは、頻度は少ないが1回あたりの収集電荷が多いので、干渉雑音による擬似収集電荷は観測されにくい。今後、メモリスルの収集電荷が低減され、収集電荷の少ない領域でもデータ線モードが観測されるような場合、干渉雑音による擬似収集電荷も顕在化すると思われる。

3.3 α 線収集電荷の疑似増加現象を定量化する実験方法

本章では、干渉雑音の高精度測定のために筆者等が開発した方法⁽⁴⁴⁾を、 α 線ソフトエラーの測定に用いると、従来の実験方法では困難だったメモリスル構造に固有な収集電荷を求めることが出来ることを示す。

3.3.1 テスト素子

実験に用いるテスト回路の構成および駆動タイミングを図3.3(a) および(b) に、また、実際に試作した2kビットメモリアレーのチップ写真を図3.4 にそれぞれ示す。前章(2.)で用いたテスト素子との主な相違は、アレー中のメモリスルが各々独立に選択出来るように行(X)および列(Y)の選択回路(デコーダ)が設けられていることである。メモリアレーは、データ対線のピッチが $3.2\mu\text{m}$ 、各々128個のメモリスルを有し、ワード線のピッチが $1.3\mu\text{m}$ である。メモリスルは、図3.5に示すような2種類の積層容量形(従来のSTC⁽⁴²⁾およびDASH⁽³⁹⁾)および $V_{cc}/2$ 鞘プレート溝容量形(HSPC⁽¹⁹⁾)を用いた。いずれも $0.6\mu\text{m}$ ルールに基づいて設計され、面積は $4.16\mu\text{m}^2$ である。ここで、従来のSTCとは、前章(2.)で実験に用いたと同じ構造であり、第1章で述べた初期のもの⁽¹⁶⁾に比べ、自己整合プロセスにより高容量化したものである。また、DASHとは、データ線に対する蓄積容量電極(Plate)および蓄積電極(Storage Node)の上下関係を従来と逆転させたSTCであり、高容量化と低雑音化を併せて実現するものである。これについては、第5章で詳しく述べる。HSPCは、初期の溝容量形セル⁽¹⁷⁾におけるソフトエラー耐性の問題を鞘プレート構造により解消し、かつ低雑音化や容量絶縁膜の高信頼度化に好ましい $V_{cc}/2$ プレート⁽³⁶⁾を可能にするものである。この内、従来のSTCとDASHは、Si基板中の構造に大差はないので、メモリスル固有の収集電荷は同等のはずであり⁽⁵⁶⁾、HSPCは、Si基板中に n^+ 拡散層が埋め込みプレートとして設けられているので、メモリスル固有の収集電荷は上記STCより少ないはずである⁽⁵⁷⁾。これらについては、次節(3.4)において検証する。なお、蓄積容量 C_s はSTCの場合約25~35fF、DASHの場合約30~40fF、HSPCの場合約50fF、データ線容量 C_D はいずれもセンス増幅器部を含んで約200fFである。

3.3.2 実験方法

図3.3を用いて実験方法を説明する。テスト回路には前章(2.)におけると同様にセンス増幅器の反対側に書き込み用のゲート端子WTが設けられており、この書き込み端子から100% HIGH および LOW 電圧(V_H および $0V$)の他に、両者の中間値の電圧を蓄積電圧 V_{ST} としてメモリスルに書き込むことができる。雑音(収集電荷を含む)は、この中間値電圧書き込み機能を利用してメモリスルに微小信号 $V_{ST}(h)$ を蓄え、これを読出したときに正しく判定できる限界 $V_{ST}(h_m)$ をもって等価的に定義する。

この実験方法には次のような特長がある。

(1) データ線上の微小な信号や雑音を、前章(2.)のように直接観測⁽⁴⁸⁾する必要がないので、実験が容易である。

(2) メモリスルに微小信号を蓄えてそのソフトエラーを観測できるので、従来実測が難しかった収集電荷の小さい領域でのエラー率を求めることが出来る。

上記の方法により、まず α 線源を用いずに、干渉雑音を求める。メモリアレー内全セルの蓄積電圧 V_{ST} を同時に V_H から $0V$ まで順次変化させると、各セルの信号に対するセンス増幅器の判定は図3.6のような分布になる。すなわち、メモリアレー内にまったくバラツキや雑音が無ければ、破線Aに示すように、すべてのセルの信号が $V_{ST} > V_P$ でHIGH、 $V_{ST} < V_P$ でLOWと判定される。しかし、実際はメモリスルの蓄積容量 C_s やセンス増幅器のしきい電圧 V_T にバラツキがあるので、実線Bのように分布を持つ。さらに、データ線1対おきに、蓄積電圧 V_{ST} を V_H に固定すると、前節(3.2)で説明したように、中間値電圧を読出したデータ線に干渉雑音が発生し、その信号の判定分布は実線Cのように V_H 側へ移動する⁽⁴⁴⁾。移動量 ΔV_{ST} は V_{ST} に焼き直した干渉雑音で、

$$v_s(h_m) = \frac{C_s}{C_D + C_s} \Delta V_{ST} \quad (3.10)$$

と表すことが出来る。このように、テスト素子にデコーダ回路を設けることにより、 C_s や V_T のバラツキの影響を排除して、精度良く干渉雑音を求めることが出来る。

次に、疑似収集電荷の評価法を検討する。メモリアレー内の全セルに100% HIGH 電圧 V_H を蓄積して α 線を照射する。 α 線が入射したセルの蓄積電圧をデータ線に読み出した時、センス増幅器の信号判定は、隣接データ線上の信号が $v_s(H)$ であるので、図3.6実線Cの分布に従う。従って、メモリスルのHIGH側蓄積信号電圧($V_H - V_P$)は、平均して ΔV_{ST} だけ減衰したように観測される。このため、干渉雑音を補正しないと、収集電荷 Q_{cl} は逆に $C_s \Delta V_{ST}$ だけ増加する。これが見掛けの収集電荷である。メモリスル固有の収集電荷を求めるには、上記のように、データ線1対おきに V_{ST} を V_H に固定し、残りのデータ対線上のセルの V_{ST} を V_H から順次減少させてソフトエラー率を測定して、雑音測定から求まる分布Cを利用して対応する Q_{cl} を求めればよい。なお、本実験では、基板に負電圧($-3V$)を印加しているため、 $V_P(1.5V) \leq V_{ST} \leq V_H(3V)$ で Q_{cl} の蓄積電圧

依存性は、ほとんど見られない。従って、実験結果は、実使用状態 ($V_{ST} = V_H$) の Q_{cl} (但し、強制照射) を与えると考えてよいと思われる。

3.4 立体形DRAMセルにおける α 線収集電荷の疑似増加現象の解析

本節では、前節(3.3)で述べた方法により、16MビットDRAM用立体形メモリセルにおけるセル固有の α 線誘起収集電荷を求め、比較検討する。

3.4.1 信号判定分布の測定結果

前節(3.3)の方法に従って測定した信号判定分布の例を図3.7に示す。同図の場合、蓄積電圧 V_{ST} を全セル同時に変えているので、判定境界付近の V_{ST} ではデータ線間干渉雑音はほとんど無視できる条件であるが、サンプルによっては $T1$ の様に、累積 50% のセルで HIGH と判定される電圧 V_{ST0} が $V_H/2$ と一致しない。これは、ブリチャージゲートの結合雑音で V_P が $V_H/2$ からずれるなど、他の雑音を検出していることに相当する。メモリセル固有の収集電荷量を求めるには、このこのような成分も補正する必要がある。

図3.8は隣接データ対線の信号電圧を HIGH ($V_S(H)$) および LOW ($V_S(L)$) としたときの信号判定分布である。蓄積電圧 V_{ST} を全セル同時に変えたときの信号判定分布 (SAME) も併せて示した。図3.6で説明したような、干渉雑音による分布の移動が現われていることが判る。従って、干渉雑音は、図3.8の分布で累積 50% の電圧に注目して、

$$\frac{\delta_1 + \delta_2}{V_S(H)} = \frac{\Delta V_{ST}}{V_H - V_{ST0}} \quad (3.11)$$

とすることにより、実験的に求められる。但し、 V_{ST0} は分布 SAME の累積 50% の電圧、 ΔV_{ST} はその HIGH 側への移動量である。他のメモリセルについても同様にして求めた結果をまとめて、図3.2に□印で示した。ここで用いたテスト素子は小規模アレーであるので、センス増幅器共通ソース線のインピーダンス Z_s は低い場合に相当し、計算とほぼ一致している。また、同じデータ線ピッチであっても、DASHでは雑音発生が大変少ないことが判る。

本章の実験では、PMOSおよびNMOSセンス増幅器を同時に起動しているので、隣接データ対線の信号電圧が LOW のときは、HIGH のときとちょうど反対の干渉が起き、注目データ対線では HIGH 側の信号電圧が見かけ上増える。信号判定分布も、図3.8に示した様に LOW 側に移動する。この移動量を $-\Delta V_{ST}'$ とした時、同じ条件でソフトエラー率を測定すれば、隣接信号が HIGH および LOW のそれぞれの場合で、互いに収集電荷が $C_s \cdot (\Delta V_{ST} + \Delta V_{ST}')$ だけ平行移動した頻度分布となると考えられる。なお、図3.2および図3.8から判るように、本節の実験から求まる干渉雑音は、3.2節での理論的検討を大

きく外れるものはない。従って、例えば図2.10(b)で見られた様なPMOS増幅器の非導通側トランジスタのリークの影響は、本節における様にセンス増幅器共通ソース線電圧の掃引速度がDRAMで通常用いられている程度に速い ($K \sim 40 \text{ mV/ns}$) 場合には、少ないと考えて良い。

3.4.2 立体形メモリセルの α 線誘起収集電荷

図3.9は、図3.7と同じサンプルを用いて、蓄積電圧 V_{ST} を全セル同時に変えながら求めたソフトエラー率である。従来のように、信号電荷 Q_s を $C_s (V_{ST} - V_H/2)$ とすると、サンプル $T1$ では信号判定分布上累積 50% の電圧 V_{ST0} が中心から LOW 側へずれているために (図3.7)、収集電荷 Q_{cl} が一見少なく表われる。すなわち、ソフトエラー率の分布がサンプルに依ってバラツキをもつ。しかし、 $Q_s = C_s (V_{ST} - V_{ST0})$ として図3.7を用いて補正すれば、セル固有の収集電荷は一定の値になることが判る。

図3.10は、ソフトエラー率の隣接データパターン依存性を示す。これまでの議論から予想されるように、隣接データが HIGH のときエラー率が増加し、収集電荷量は見掛け上大きくなる。また、前項(3.4.1)で述べたように、隣接データが LOW のときはこれと逆になる。図3.7を用いて干渉雑音成分 ($\pm 6 \text{ fC}$) を補正すると両者は一致し、セル固有の収集電荷は、雑音とは関係なく一定の値であることが判る。なお、セル固有の収集電荷自体にも、隣接セル蓄積電圧依存性が考えられる。これは、干渉雑音とは逆方向の隣接データパターン依存性を示すはずであるが、図3.10などからわかるように、今回の実験では干渉雑音が支配的であり、観測されなかった。この理由としては、この効果がもともと大きいものではない⁽¹⁵⁾上に、HIGH電圧 V_H がスケージングで下がっていることなどが挙げられる。

図3.11は、従来のSTC(図3.5(a))とDASH(図3.5(b))のソフトエラー率を比較したものである。干渉雑音成分を補正しないと、ソフトエラー率はセル構造により異なるように見えるが、補正後の特性は両者一致し、セル固有の収集電荷量は従来のSTCとDASHのあいだで差はないことが判る。このことは、3.3.1項で述べたように、蓄積電極下の拡散層およびその周囲の空乏層の配置や形状が、両者のあいだで大差ないことに対応している⁽¹⁵⁾⁽³⁹⁾⁽⁴²⁾。DASHは、データ線をシールドした構造であるが、図3.11から分かるように若干 (2 fC) の疑似収集電荷がある。これは、センス増幅器部分のデータ線間に残存する寄生容量によるものである⁽²²⁾。

図3.12は、従来のSTC(図3.5(a))とHSPC(図3.5(c))のソフトエラー率を比較したものである。干渉雑音の補正前後を比較すると、HSPCでは干渉雑音が大きいため補正量が大いだが、セル固有の収集電荷量はSTCと比べ $2/3$ と小さくソフトエラー耐性に優れている。このことは、やはり3.3.1項で述べたように、HSPCでは蓄積電極につながる拡散層およびその周囲の空乏層が、鞘プレートおよび埋め込みプレート (n^+ 層) で囲まれるため、 α 線で誘起された電荷が排除されるためと考えられ⁽⁵⁶⁾⁽⁵⁷⁾、当初の目的が

達成されていることが判る。

以上のことから、 α 線で誘起された電荷の収集は、電荷を集める拡散層をとりまく基板中の構造で決まり、セル固有の値があることが分かった。図3.10 および図3.12 から、それらはSTCおよびDASHで約30fC、HSPCで約20fCである。一方、計算機シミュレーションによれば⁽¹⁵⁵⁾⁽¹⁵⁶⁾、これらの値はそれぞれ32fCおよび20fCとなっており、セル固有の収集電荷は、セルの寸法および縦構造に対して、ほぼ妥当な値となっていると思われる。なお、同シミュレーションによれば、STCとHSPCの収集電荷の差(12fC)は、約7fCが、鞘プレートの存在により、 α 線で誘起された電荷を蓄積電極へ収集する働きをするSi基板表面付近の空乏層の体積が減少する効果であり、残りの約5fCが、埋め込みプレート(n⁺層)が生成電荷を吸収する効果である。

ここで注意すべきことは、なんらかの方法で雑音を除去しないかぎり、実際に観測されるソフトエラー率は雑音成分を含んだ値となることである。したがって、雑音の大きさによっては、ソフトエラー率は極めて大きくなる。すなわち、図3.10 ないし図3.12 から推定される疑似収集電荷は、STC、DASH および HSPCの順に、それぞれ約6fC、約2fC および約8fC であり、雑音対策のないSTCおよびHSPCではセル固有の収集電荷のそれぞれ20% および40% と無視出来ない量になっている。しかも2.2節で述べたように、センス増幅器共通ソース線のインピーダンス Z_s が高い高集積メモリアレーでは、疑似収集電荷はさらに上記の2倍(それぞれ40% および80%)程度にまで増加することが考えられる。従って、16Mビットないしそれ以降の高集積DRAMでは、 α 線入射によるソフトエラー率を低減するには、データ線を摺架(Transpose)する⁽¹²¹⁾⁽¹⁴³⁾か、あるいはシールドする⁽¹³⁹⁾などして干渉雑音を防止することが必要である。

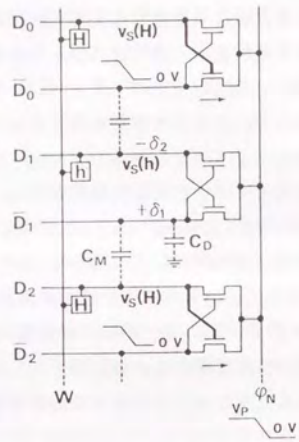
3.5 むすび

高集積DRAMにおいて、データ線間干渉雑音により α 線収集電荷が見掛け上増加する機構を明らかにし、これに関与する干渉雑音を理論的、および実験的に定量化した。その結果に基づき、これまで不明確であったメモリセル固有の収集電荷を、雑音による疑似収集電荷と分離して求めた。2kビットテスト素子を用いて、16MビットDRAM用に開発された3種類の立体形メモリセル(従来の積層容量形; STC, データ線をシールドした積層容量形; DASH, および $V_{cc}/2$ 鞘プレート溝容量形; HSPC, いずれも面積 $4.16 \mu m^2$)の収集電荷を比較し、セル構造依存性を検討した。得られた結果は下記のとおりである。

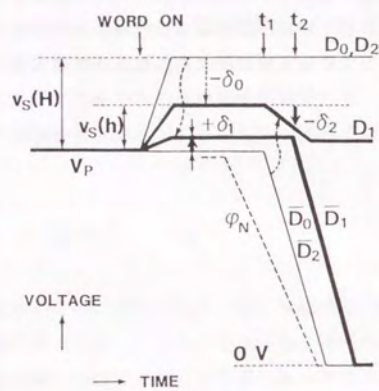
(1) α 線収集電荷により発生し、収集電荷の疑似的增加をもたらす干渉雑音は、センス

増幅器の信号判定分布の隣接データ依存性から実験的に求めることができる。疑似収集電荷は、この方法で求めた干渉雑音とデータ線容量の積で与えられる。

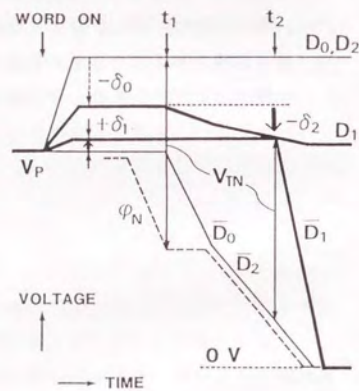
- (2) 疑似収集電荷を与える干渉雑音は、信号読み出し時に発生する1次の干渉雑音と比べ、センス増幅器共通ソース線のインピーダンス Z_s が低い小規模メモリアレーでは約2倍になる。また、 Z_s が高い大規模メモリアレーでは、この値は約4倍に増える。
- (3) 疑似収集電荷を排除したメモリセル固有の収集電荷は、蓄積電極につながる拡散層を取りまくSi基板中の構造で決まる。STCとDASHは、Si基板中の構造がほぼ等しいので、メモリセル固有の収集電荷も等しい。HSPCでは、鞘プレートの存在によりSi基板表面付近の空乏層の体積が減少し、また、埋め込みプレート(n⁺層)が生成電荷を吸収するので、固有の収集電荷はSTCおよびDASHより小さく、耐ソフトエラー特性に優れている。
- (4) 上記16Mビット用立体メモリセルに対する強制照射実験では、セル固有の収集電荷は、STCおよびDASHで約32fC、HSPCで約20fCであり、後者は前者の約2/3であった。
- (5) 一方疑似収集電荷は、雑音対策のないSTCおよびHSPCでは、 Z_s が低い小規模メモリアレーでも、セル固有の収集電荷のそれぞれ20% および40% に達している。これは、 Z_s が高い大規模メモリアレーでは、さらに2倍程度にまで増加する可能性がある。したがって、16Mビットないしそれ以降の高集積DRAMでは、 α 線によるソフトエラーを低減するには、データ線間干渉雑音の防止が重要である。



(a) メモリアレー回路構成概念図



(b) データ線電圧波形概念図
共通ソース線のインピー
ダンスが低い場合



(c) データ線電圧波形概念図
共通ソース線のインピー
ダンスが高い場合

図3.1 干渉雑音による α 線誘起収集電荷の
疑似増加現象の発生機構

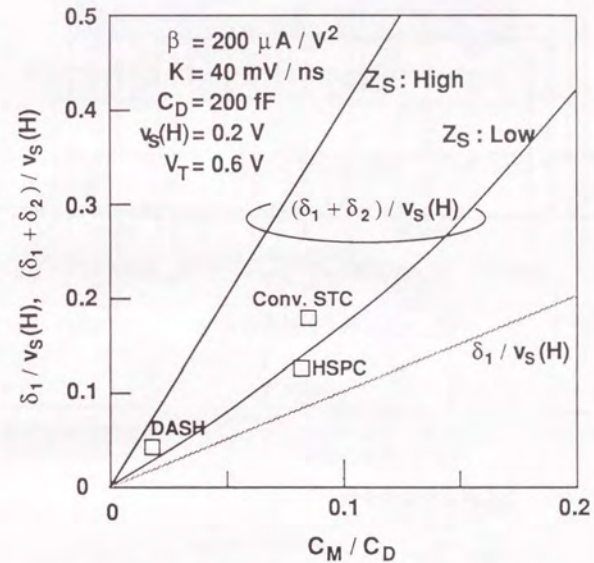
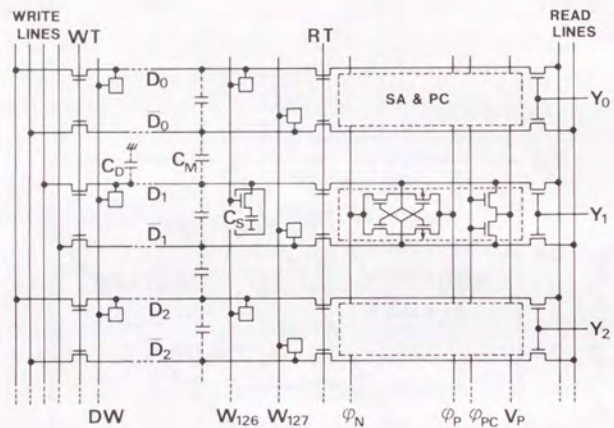
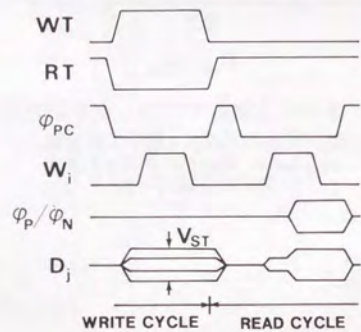


図3.2 信号判定限界で定義した干渉雑音

Z_S : High-- 式(3.9)に基づく計算値,
 Z_S : Low-- 式(3.3)に基づく計算値,
□: 3.4節での実験データ



(a) テスト素子の回路構成



(b) パルスタイミング

図3.3 α 線誘起収集電荷の高精度測定方法

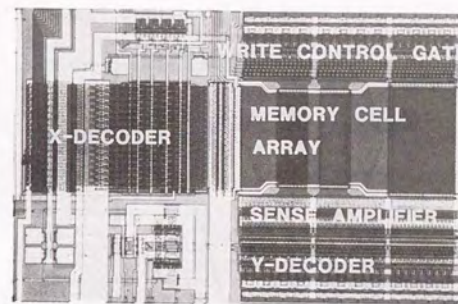


図3.4 2kビットテスト素子のチップ写真

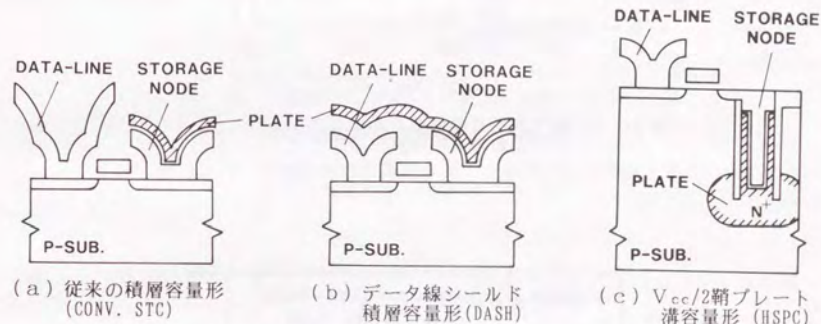


図3.5 メモリセル断面構造概念図

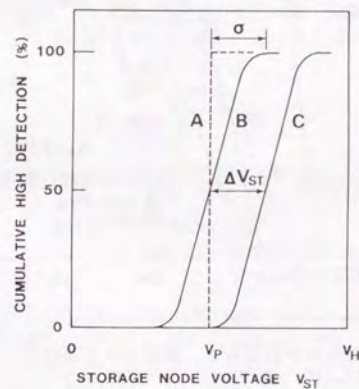


図3.6 信号判定累積分布の概念図

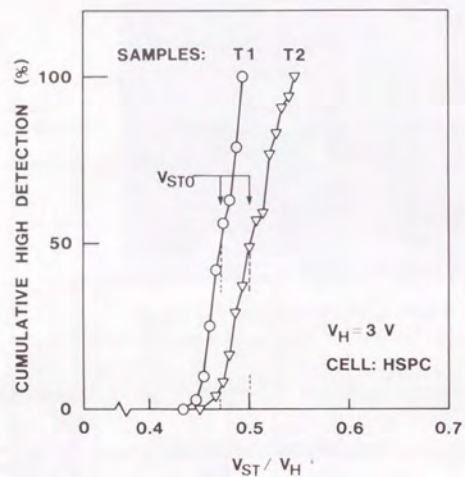


図3.7 信号判定累積分布：メモリアレー内のセル蓄積電圧が同一の場合

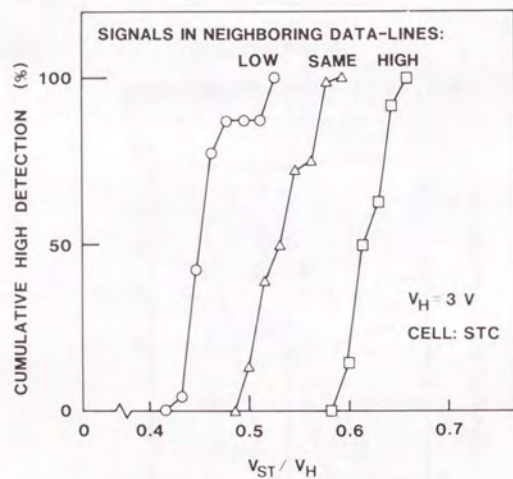


図3.8 信号判定累積分布：隣接データ依存性

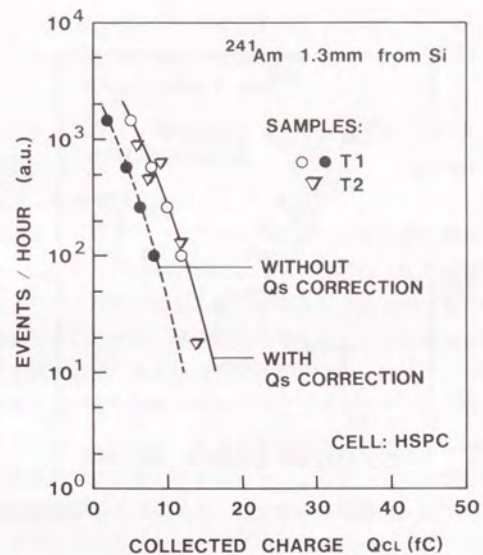


図3.9 α 線誘起収集電荷分布：メモリアレー内の信号電荷が同一の場合

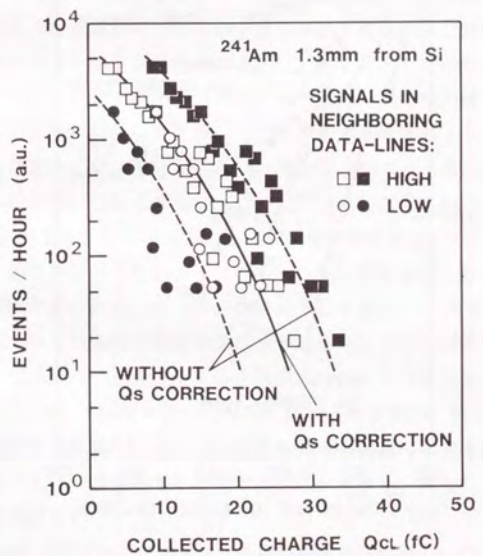


図3.10 α 線誘起収集電荷分布：隣接データ依存性

第4章 電流検出方式による16MビットDRAMの高速化

4.1 まえがき

DRAMを世代毎に大容量化・高集積化する際の、基本的な回路技術課題は、3つに大別される。それらは、(1)信号対雑音比(S/N)維持、(2)消費電力抑制、および(3)動作速度向上である。DRAMはMOSLSIであるので、大容量化・高集積化に伴いチップ内寄生容量が増加する。これは、結合容量の増大による干渉雑音の発生や、負荷容量の増大による消費電力増加および動作速度低下をもたらす。従って、単に性能を維持したまま大容量化・高集積化する場合でも、高S/N化、低電力化、および高速化のための技術開発が新たに必要となる。実際には、次世代DRAMの開発では、従来性能の維持ではなく、より低電力かつ高速性能が必要とされるので、上記(1)~(3)の相反的な技術課題は世代毎に難しさを増してきている。

16MビットDRAMの開発^{(21)(25)(26)(47)(58)~(61)}においても、この事情は変わっていない。セル面積が $5\mu\text{m}^2$ 以下に高集積化したメモリアレーで新たに問題となるデータ線間干渉雑音については、すでに前2章(2. および3.)で述べたとおりである。消費電力に関しても、1Mビットおよび4Mビットで効果のあった、 $V_{cc}/2$ プリチャージ方式と組み合わせたCMOS回路技術⁽⁶²⁾だけでは、もはやその増大に対処しきれなくなっている。また、16Mビットでは信頼性維持のために、メモリアレーの動作電圧を下げる必要がある⁽²⁷⁾ので、トランジスタ駆動能力の低下から信号伝送時間の増大を引き起こし、上記寄生容量の増加による負荷の増大と併せて、動作速度の維持向上にも重大な支障が生じる。

本章では、前章までの雑音解析をもとに開発した、16MビットCMOSDRAMについて述べる。この素子は、低雑音メモリアレーと、高速読み出し回路が特徴である。外部供給電源 V_{cc} は従来通り5V単一とし、ユーザの使い易さを図った⁽⁶⁴⁾が、メモリアレーの動作電圧は、信頼性維持のためにチップ内で3.3Vに降圧した。以下、まず素子設計全体の概要を明らかにするために、チップの構成について述べ、メモリアレー降圧の背景を説明する。つぎに、データ線間干渉雑音を低減するためにデータ線摺架構造を採用したメモリアレーについて述べ、干渉雑音を実用上問題のないレベルに低減出来たことを示す。また、3.3Vに降圧された大規模メモリアレーの動作速度を維持・向上させるために、電流検出方式の信号増幅器を考案し、これが動作電圧や寄生容量の影響を受けにくく、今後低電圧化する大容量DRAMの高速化に有効であることを示す。最後に、試作した素子の特性を評価し設計を検証する。

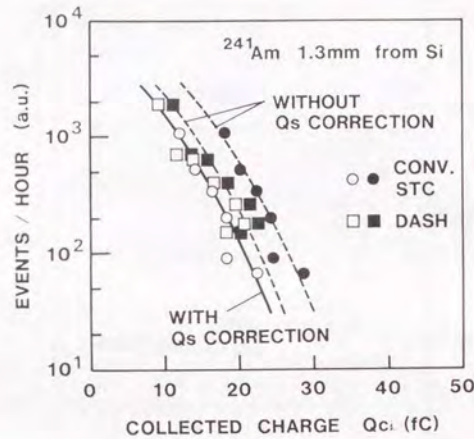


図3.11 α 線誘起収集電荷分布：STCとDASHの比較

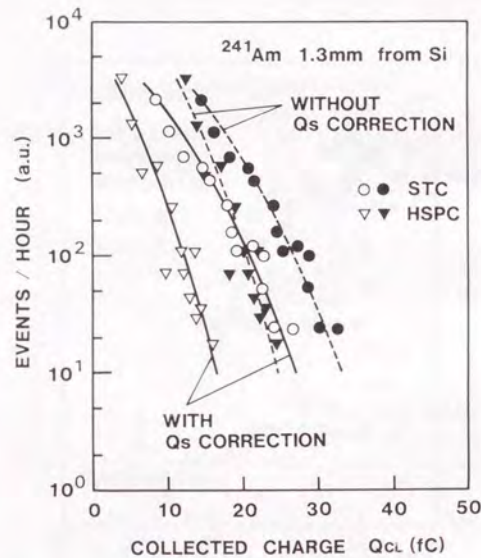


図3.12 α 線誘起収集電荷分布：STCとHSPCの比較

4.2 チップの構成

16Mビット以降のDRAMにおいて、メモリアレーの動作電圧を降圧する理由は、メモリセルトランジスタのゲート絶縁膜にかかる電界が、長期信頼性の観点から限界に近くなったからである。すなわち、DRAMでは、メモリセルに100% HIGH電圧を書き込む目的で、ワード電圧をメモリアレー動作電圧 V_L よりも高い電圧にたたき上げる。このため、メモリセルトランジスタのゲート絶縁膜には、他のLSIにおけるよりも高い電界が印加される。ワード電圧のたたき上げ係数を b 、ゲート絶縁膜厚を t_{ox} とすると、電界 E_{ox} は

$$E_{ox} = \frac{bV_L}{t_{ox}} \quad (4.1)$$

と表される⁽²⁷⁾。式(4.1)において $b=1.5$ としたときの、世代毎の電界の推移を図4.1に示す。メモリアレー動作電圧 V_L を従来通り5Vにすると、電界は16Mビットで5MV/cmに達することが判る。これは、絶縁膜の長期信頼性の観点から限界に近い値である⁽⁶³⁾。そこで、今回の設計では、1Mビットおよび4Mビットと同等の信頼度を維持するために、図4.1に示すようにメモリアレー動作電圧 V_L を3.3Vに降圧することにした。

メモリアレー動作電圧の降圧は、消費電力抑制という副産物をもたらす。これを図4.2に示す。 $V_{cc}/2$ プリチャージ方式と組み合わせたCMOS回路技術により、1Mビットで大幅に低減された消費電力(図1.2参照)が、4Mビットでは大容量化により再び増加している。また、16Mビットでは、従来通り5V動作とすると、プラスチックパッケージの放熱限界とされる500mWに近づく。CMOS回路では、消費電力はサイクル時間にほぼ反比例するので、このような消費電力の増加は高速化にも障害になる。図4.2に示すように、メモリアレー動作電圧の降圧により、抜本的ではないがこの問題が改善される。

以上のような背景により、メモリアレー動作電圧を降圧して設計したチップ内部の電源給配を図4.3に示す。周辺回路では、電圧のたたきあげはないので、外部からの電源電圧 V_{cc} (5V)をそのまま印加する。これに対し、メモリアレーには電圧リミッタで降圧した電圧 V_L (3.3V)を供給する。ワード線には V_L をたたきあげた電圧($3.3 \times 1.5 \div 5V$)をバルス ϕ_w として印加する。このときの電界3.3MV/cmは周辺回路と同じであり、4Mビットより低い。ただし、このような回路構成にすると、動作電圧の降圧に伴い、センス増幅器などメモリアレーに隣接する回路の駆動能力低下が新たに問題となる。いま、トランジスタの負荷容量を一定としたとき、これを充電(または放電)する時間は V_L/I_D に比例する。ただし、 I_D はトランジスタが供給しうる最大電流である。充電(または放電)時間の逆数をとって、 I_D/V_L によりトランジスタ駆動能力を定義し、その世代毎の推移を示したものが図4.1である。同図(下段)に示すように、トランジスタの微細化(スケールリング)にもかかわらず、動作電圧の3.3V化により、16Mビットでは4Mビットよりトランジスタ駆動能力が低下する。このトランジスタ駆動能力低下によって性能劣下が起こ

り得る回路としては、メモリアレーに隣接する信号増幅・伝送回路が考えられ、動作速度低下をもたらす可能性がある。それらは、図4.3に示すように、センス増幅器、プリチャージ回路(ϕ_{pc} 印加)、および列選択ゲート(ϕ_v 印加)である。しかしながら、データ線容量は300fF程度であり小さいので、データ線を充電ないし放電する限りにおいては、トランジスタの駆動能力低下が動作速度に大きな影響を及ぼすことはない。問題はむしろ、列選択信号 ϕ_v により選択されたデータ対線において、センス増幅器がデータ線だけでなく共通入出力信号線(I/O線)も駆動するさいに発生する。I/O線の寄生容量 $C_{I/O}$ がデータ線に比べて1桁以上大きく、センス増幅器の駆動能力低下がそのまま信号伝送時間の増大につながるからである。チップの大容量化に伴い $C_{I/O}$ 自体が増えることも、信号伝送時間を一層増加させる要因として働く。この問題の解決方法については、4.4節で詳しく述べることにする。

以上のような検討結果にもとづき設計したチップの構成を図4.4に示す。メモリアレー動作電圧を降圧したので、信号の低下を防止するために、メモリアレーを32個のブロック(各512kビット)に分割し、さらにそれぞれを256kビットずつのサブブロックに分けてセンス増幅器を共有させた⁽¹¹⁾⁽⁶⁴⁾。これにより、データ対線に付随するワード線数(メモリセル数)を256に抑え、 C_D/C_S を300fF/33fFと比較的小さい値に保った。図中に示したように、I/O線はメモリブロック内のセンス増幅器で共有され、メモリブロックから周辺回路中の主増幅器まで伸びているので、付随する寄生容量 $C_{I/O}$ が世代毎にメモリ容量と共に増加する。

4.3 低雑音メモリアレーの設計

前2章(2. および3.)における検討結果をもとに、低雑音メモリアレーを設計した。実際のメモリアレーにデータ線燃架を適用するときには、燃架の回数に注意する必要がある。すなわち、図4.5(a)に示すような1重の燃架構造では、燃架の有る D_1 、 \bar{D}_1 上の干渉雑音は相殺されるが、燃架の無い D_2 、 \bar{D}_2 上では差動雑音が $(\delta_1 + \delta_2)/2$ だけ残る。従って、メモリアレー全体で低雑音化するためにはこれでは不十分であり、図4.5(b)に示すような2重の燃架が必要である⁽²⁸⁾⁽⁴³⁾。図4.6に干渉雑音増加の推移と燃架による雑音低減効果を示す。同図から判るように、4Mビットでは信号の3%以下であった雑音 $(\delta_1 + \delta_2)$ が、16Mビットでは25%以上になり許容限を越える。この雑音は、図中に示すような燃架法により1/6(5%以下)と実用上問題のない程度に低減出来る。ここでは、燃架は、各々256ワードを有するデータ対線を、それぞれ64ワードずつ4つのブロックに分割した。この燃架で増加したチップ面積は約7%、データ線容量はたかだか1%である。従って、燃架によるデータ線容量の増加は問題にならないが、面積に関しては増加を抑え

る工夫が望まれる⁽⁴⁷⁾。なお、センス増幅器部分のデータ線間容量 C_{ds} は全データ線容量 C_D の1~2%であるので、ここは燃架の対象にできなかった。3.2節で述べたように、干渉雑音($\delta_1 + \delta_2$)は C_{ds}/C_D の2~3倍(対信号比)以上になるので、図4.6における改善後の残留雑音成分は、センス増幅器部分を燃架しなかったことによるものと考えられる。今後、高集積化が進み、センス増幅器部分のデータ線間干渉も問題になる場合には、ここでも燃架が必要になるが、メモリアレーに比べセンス増幅器部分は回路構成が複雑であるので、単にチップ面積増加を抑えるだけでなく、平衡のとれた低雑音化構造を導入することが必要になる。

4.4 高速電流検出増幅器の設計

本節では、共通入出力信号線(I/O線)における信号伝送遅延増大の問題を解決する、高速電流検出増幅器について述べる。この信号伝送遅延増大は、メモリアレー動作電圧の降圧によるセンス増幅器の駆動能力低下、およびチップの大容量化によるI/O線寄生容量増加に起因するものであって、今後の低電圧化時代の大容量DRAM設計では避けて通れない問題である。

4.4.1 従来のI/O線回路構成

メモリアレーに隣接するセンス増幅器から、周辺回路の主増幅器に至る従来のI/O線回路構成を図4.7に示す。センス増幅器(SA)からの信号電流 i_s (\bar{I}_s)によってI/O線に付く寄生容量 $C_{i/o}$ を充電し、これによって発生する200mV程度の信号電圧 v_{s1} ($=|V_{i/o} - \bar{V}_{i/o}|$)を主増幅器(MA)で増幅し検出する電圧検出方式である。ここでは、I/O線に付く負荷回路は受動回路であって、MOSトランジスタML(ML)は負荷抵抗として働く。図4.7の等価回路を図4.8に示す。ただし、 g_{ml} は負荷トランジスタML(ML)の伝達コンダクタンスである。図4.8を用いて v_{s1} の過渡応答特性を求めると、つぎのようになる。

$$v_{s1} = \frac{i_s}{g_{ml}} \{1 - \exp(-t_{a1} \frac{g_{ml}}{C_{i/o}})\} \quad (4.2)$$

従って、過渡応答時間 t_{a1} は次式で与えられる。

$$t_{a1} = -\frac{C_{i/o}}{g_{ml}} \ln(1 - \frac{g_{ml} V_{s1}}{i_s}) \quad (4.3)$$

I/O線信号伝送速度を $1/t_{a1}$ によって定義し、その世代毎の推移を i_s とともに示したものが図4.9である。ただし、同図では、トランジスタの比例縮小率を $1/k$ ($k > 1$ のとき縮小)、 V_L を動作電圧として次式を仮定した⁽⁶⁵⁾⁽⁶⁶⁾。

$$i_s \propto k V_L^2 \quad (4.4)$$

$$g_{ml} \propto k V_L \quad (4.5)$$

また、基準値($k=1$)として、 $i_s=560\mu A$ 、 $g_{ml}=1.6mA/V$ とし、 $v_{s1}(=200mV)$ および $C_{i/o}$ は世代によらず一定とした。図4.9に示したように、16Mビットでは動作電圧 V_L を3.3Vに降圧するために、4Mビット($V_L=5V$)に比べ $1/t_{a1}$ が1/2.6、すなわち過渡応答時間が2.6倍に増加し、問題となることがわかる。実際には、メモリ容量の増加とともに $C_{i/o}$ も増加する傾向であるので、遅延は一層深刻になる。ここで、 $1/t_{a1}$ が i_s よりも V_L に強く依存して劣化する理由は、信号電圧 v_{s1} を比例縮小しなかったからであるが、これは主増幅器(SA)の入力オフセットが、トランジスタの比例縮小では改善されないためである。

4.4.2 新しいI/O線回路構成

上記の問題を解決するために考案した、新しいI/O線回路構成を図4.10(a)に示す。図中、破線で囲んだ部分が、差動増幅器と、MOSトランジスタMF(MF)で構成される帰還形電流検出増幅器⁽⁶⁷⁾⁽⁷⁰⁾である。図4.10(b)はその回路の詳細を示したものである。図4.10(a)(b)において、トランジスタMF(MF)は定電流(バイアス電流)トランジスタとともにソースフォロワ回路を構成し、等価的な帰還抵抗として働く。トランジスタMF(MF)の伝達コンダクタンスを g_{mf} とすると、等価帰還抵抗は $1/g_{mf}$ である。差動増幅器の利得を $-G$ とすると、信号源からみた電流検出増幅器の入力インピーダンスは、帰還抵抗の $1/G$ になる⁽⁶⁷⁾⁽⁶⁸⁾ので、図4.10(a)の等価回路は図4.11に示すようになる。前項(4.4.1)におけると同様に、図4.11を用いて主増幅器の入力信号電圧 $v_{s2}(=|V_i - \bar{V}_i|)$ の過渡応答特性を求めると、つぎのようになる。

$$v_{s2} = \frac{i_s}{g_{mf}} \{1 - \exp(-t_{a2} \frac{g_{mf} G}{C_{i/o}})\} \quad (4.6)$$

従って、過渡応答時間 t_{a2} は次式で与えられる。

$$t_{a2} = -\frac{C_{i/o}}{g_{mf} G} \ln(1 - \frac{g_{mf} V_{s2}}{i_s}) \quad (4.7)$$

式(4.3)と式(4.7)を比べると、 g_{ml} と g_{mf} がほぼ同じ大きさであるとする、新しい回路構成では $C_{i/o}$ が等価的に $1/G$ になっており、 t_{a2} がそれだけ短縮できることが判る。これはまた、I/O線にかかった負帰還により、 $V_{i/o}$ の振幅が $1/G$ に抑えられるため、信号電流 i_s は寄生容量 $C_{i/o}$ を充電して大きい電圧を発生する必要がなくなり、小さい i_s でも高速に信号を送ることができる、と言い表すこともできる。

4.4.3 動作速度の改善効果

電流検出方式による動作速度の改善効果を、回路シミュレーションにより解析した結果

を図4.12に示す。ただし、ここでは同図(a)に示すように、スタティックカラム⁽⁷¹⁾などの高速動作に重要な信号反転読み出しを仮定し、信号電流が反転してから主増幅器入力に200mVの信号電圧が現れるまでを過渡応答時間 t_a と定義した。同図(b)には t_a の $C_{i/o}$ 依存性を、また、同図(c)には t_a の i_s 依存性をそれぞれ示した。電流検出方式では従来方式に比べ t_a の $C_{i/o}$ および i_s 依存性が少ない。この理由は、電流検出方式の t_a が、(i)センス増幅器がI/O線を駆動する際の遅延と、(ii)差動増幅器が主増幅器および帰還トランジスタを駆動する際の遅延とからなっているためである。前者は、前項(4.4.2)で述べたように、 $C_{i/o}$ および i_s に依存するが、後者はそれらに依存しない。ここで設計に用いた差動増幅器の利得は $G=20$ 、 g_{mf} は g_{ml} とほぼ同じ大きさであるので、(i)による遅延は従来方式の1/10以下に抑えられている。したがって、電流検出方式の t_a は、差動増幅器の動作に起因する遅延(ii)が支配的になっており、図4.12(b)および(c)に示すような特性が得られる。この解析結果によれば、信号電流が低下しても、また、寄生容量が増加しても、電流検出方式を用いれば、従来よりも t_a を低減できることが判る。次節(4.5)で述べる16MビットCMOS DRAMの設計では、 i_s を400 μ Aとしたが、この条件では従来方式に比べ、遅延時間を1/3にでき、10ns高速化できた。また、5V動作の4Mビット($i_s=700\mu$ A)と比べても、遅延時間を1/2以下にできた。このことから、電流検出方式は、低電圧化や大容量化による動作速度低下を補償するだけでなく、積極的に従来以上の高速設計を可能にする有力な手段であると云うことができよう。

4.5 試作素子の特性とその検討

これまで述べた回路技術を用いて、16MビットCMOS DRAMを設計し、試作・評価を行った。試作の最小加工寸法は0.6 μ mであり、4Mビットの0.8 μ mと比べ縮小率は75%である。これは、従来の世代間平均縮小率66%に達していないが、今回の試作が16Mビットとしては最も初期の開発段階のものであり、周辺回路を全て集積化したLSIの試作に始めから挑戦的な加工技術を用いることは困難が大きかったからである。基板構造、プロセス技術、および配線構造は、4Mビットと同様な2重ウェル構造、CMOSプロセス技術、および2層A1配線構造を採用した。メモリセルとしては、積層容量形、および溝容量形それぞれに選択枝があり⁽¹⁰⁾、いずれも試作に値すると思われるが、今回は、やはり開発初期であることを考慮して、試作が比較的容易な自己整合プロセスにより高容量化した積層容量形を用いた⁽⁴²⁾。断面構造を図4.13に示す。これは、第2章で述べたと同じセルで、寸法は1.3 μ m \times 3.2 μ m(=4.16 μ m²)である。この面積は、開発初期の4Mビット(図1.1参照)の約36%であり、メモリセル面積縮小率としては従来の推移33%に近いものが自己整合プロセスの採用により実現できた。また、蓄積容量は33fFまで高容量化

できたが、これは、3.4節で求めたセル固有の α 線収集電荷(約32fC)に対し十分な蓄積電荷(33fF \times 1.5V \approx 50fC)を供給できるものである。A1配線は、チップ上で最も抵抗が低いので、2層の配線をチップ上で直交させて用い、低抵抗の信号配線と電源配線とが[X][Y]それぞれの方向に配置できるようにするのが有効である。今回は、第1層のA1は多結晶Siのワード線(メモリセルトランジスタのゲートおよび行[X]方向のアドレス選択線を兼ねる)を一定間隔で短絡して抵抗を下げる配線(ワード短絡線)、およびデータ対線を懸架する際の交差配線に用い、第2層のA1は列[Y]方向のアドレス選択線に用いた。これは、[X][Y]を逆にしても良いが、ワード短絡線の方がピッチが細かいので(1.3 μ m; Yアドレス選択線はデータ線4対に1本故12.8 μ mピッチ)、比較的微細加工が容易な第1層A1の方が適している。集積度が重要なメモリセルでは、トランジスタの実効チャネル長を0.6 μ mに縮小したが、集積度が余り問題にならない周辺回路では、トランジスタの実効チャネル長を、NMOS、PMOSともに0.9 μ mとし、周辺回路の5V動作を保証した。トランジスタの絶縁膜厚はチップ全体で15nmであり、これは4Mビットと比べやはり75%の縮小率である。

試作した16MビットDRAMのチップ写真を図4.14に、また、主な特性を表4.1にまとめて示す。チップ寸法は8.2mm \times 17.3mmであり、4Mビット⁽⁷²⁾に対し面積比で約1.3倍である。4.2節で述べたように、メモリアレーは64のサブブロック(各256kビット=1kデータ \times 256ワード)に分割されている。チップ全体のデータが再生されるに必要な内部書き込みサイクル(リフレッシュサイクル)は、メモリアレー規模拡大による消費電力増加を抑えるために、世代毎に2倍にしているが⁽¹¹⁾、今回も4Mビット(1024サイクル)の2倍の2048サイクルにした。従って、1回の動作サイクルで8サブブロック(=64サブブロック \div (2048サイクル \div 256ワード))が同時に活性化する。また、メモリアレーおよびセンス増幅器への供給電圧はチップ内部で3.3Vに降圧されているが、外部供給電源は5V単一であり、基板バイアス-3Vもチップ内部で発生している。

素子の動作波形を図4.15に示す。標準条件ではあるが、60nsのアクセス時間が得られ、大容量化にもかかわらず4Mビット⁽⁷²⁾以上の高速化が実現できた。図4.16はチップ内の動作パルスと信号の伝送時間を、RAS(行アドレスストロブ逆相)パルスの立ち下がりを基準に測定したものである。行アドレス入力からデータ出力までのいわゆるアクセス経路において、設計と実測がほぼ一致していることが示された。とくに、列アドレス選択パルスYから約3nsでI/O線に信号が出ており、前節(4.4)での設計通りに高速化が実現できていることが判る。

4. 6 むすび

前章まで(2. および3.)の雑音解析をもとに、16MビットCMOSDRAMを開発した。素子の特徴は、低雑音メモリアレーと、高速読み出し回路である。また、外部供給電源は従来通り5V単一として、ユーザの使い易さを図った⁶⁴⁾が、チップ内では信頼性維持のためにメモリアレー動作電圧を3.3Vに降圧した²⁷⁾。設計、試作、評価により得られた結果は以下の通りである。

- (1) 16Mビット以降のDRAMにおいては、すくなくともメモリアレーの動作電圧を従来の5Vから降圧する必要がある。DRAMでは、ワード電圧のたたき上げにより、メモリスルトランジスタのゲート絶縁膜に他の周辺回路におけるより高い電界が印加されるが、これが16Mビットでは、長期信頼性の観点から限界に近い5MV/cmに達するためである。
- (2) メモリアレー動作電圧降圧に伴い、センス増幅器が共通入出力信号線(I/O線)を駆動する際の遅延時間増大が問題となる。動作電圧降圧によりトランジスタの電流供給能力が低下するだけでなく、主増幅器の入力オフセットがトランジスタの比例縮小では改善されないためである。3.3Vに降圧する場合、5V動作の4Mビットと比べ、遅延時間が2.6倍に達する。
- (3) 上記の遅延時間増大を解消するために、掃選形電流検出方式を用いた新しいI/O線回路構成を考案した。設計の結果、3.3V動作で従来の方式を用いる場合と比べ、遅延時間を1/3にでき10nsの高速化が可能であり、また、5V動作の4Mビットと比べても、遅延時間を1/2以下にできることを明らかにした。これにより、電流検出方式が低電圧化時代のDRAM高速化設計に有効な手段であることが示された。
- (4) 前2章(2. および3.)の解析結果をもとに、データ線2重燃架構造のメモリアレーを設計した。従来構造では16Mビットで25%を越える干渉雑音を、燃架法により1/6(5%以下)と実用上問題のない程度に低減した。燃架によるチップ面積の増加は約7%、データ線容量の増加は1%以下である。
- (5) 上記の低雑音、高速回路技術を用いて、16MビットCMOSDRAMを設計し、0.6μm CMOS 2層A1プロセスを用いて試作した。チップ寸法は8.2×17.3mm²であり、メモリスルは寸法1.3×3.2μm²の積層容量形を用いた。評価の結果、RASアクセス時間60nsが得られ、4Mビット以上の高速化が実現できたことを明らかにし、上記回路技術の有効性を確認した。

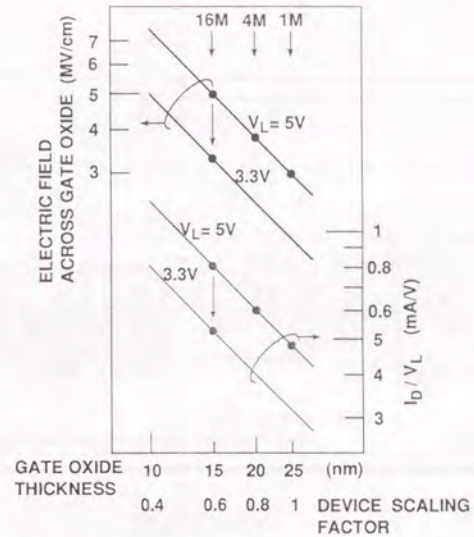


図4.1 メモリスルトランジスタのゲート絶縁膜にかかる電界と周辺回路トランジスタ駆動能力の推移
周辺回路トランジスタはW/L=10(一定)を仮定した。

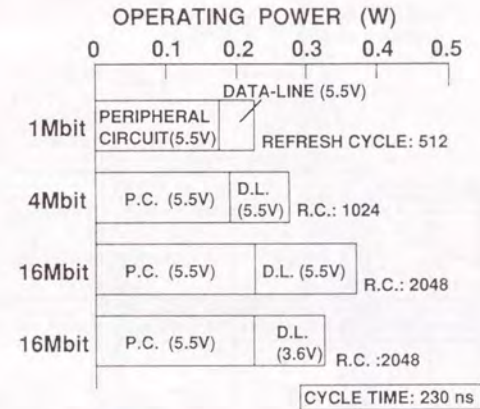


図4.2 DRAMの消費電力の推移
動作電圧は標準+10%とした。

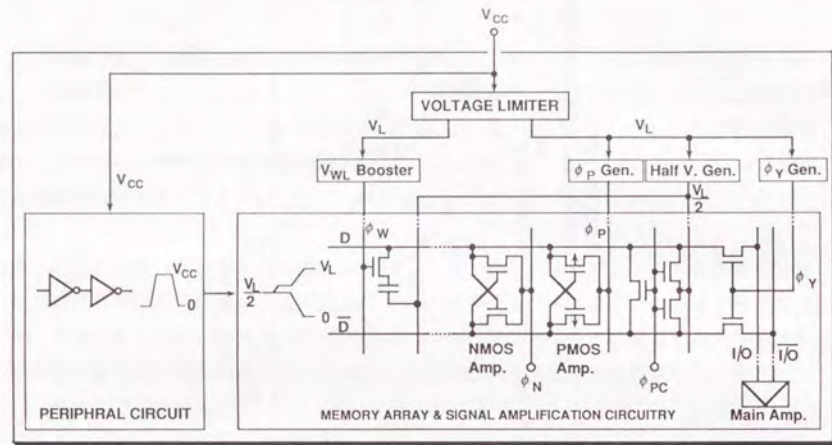


図4.3 チップ内の電源給配

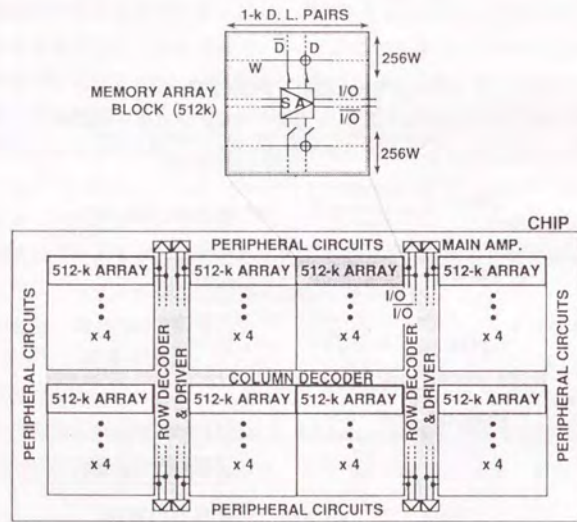


図4.4 チップ内のメモリアレー構成

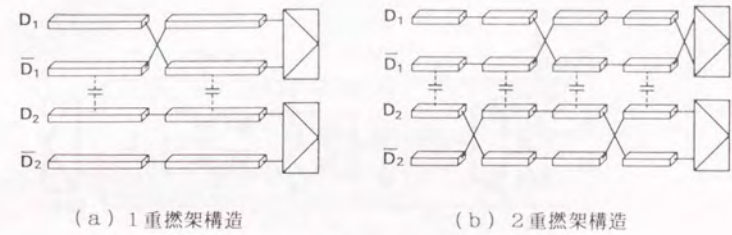


図4.5 データ線撾架構造の種類

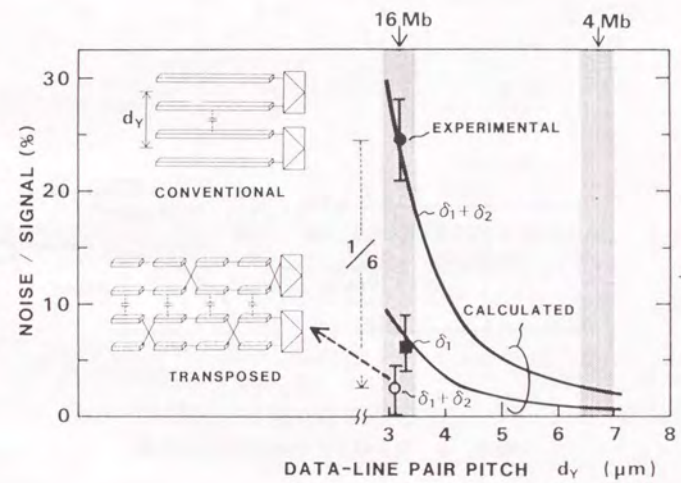


図4.6 干渉雑音のデータ対線ピッチに対する依存性とデータ線撾架による雑音低減効果

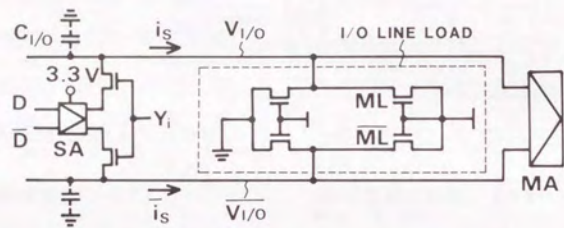


図4.7 従来のI/O線回路構成

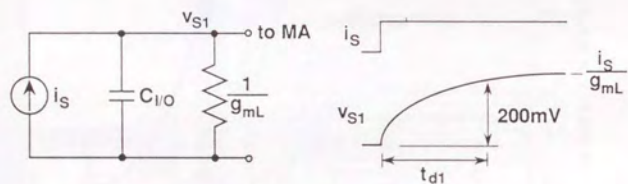


図4.8 従来のI/O線回路の等価回路

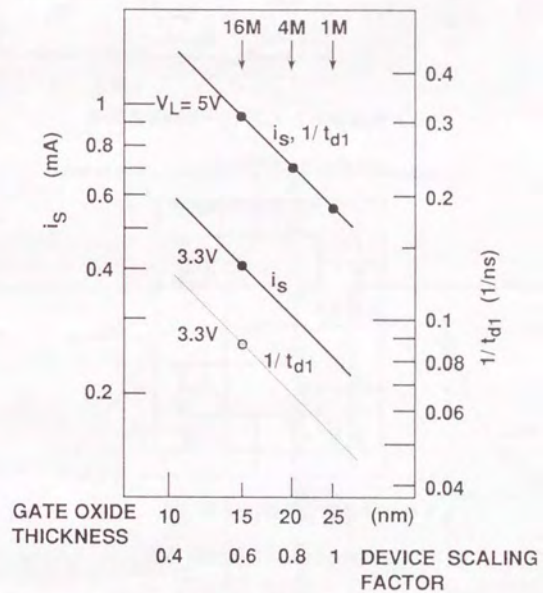
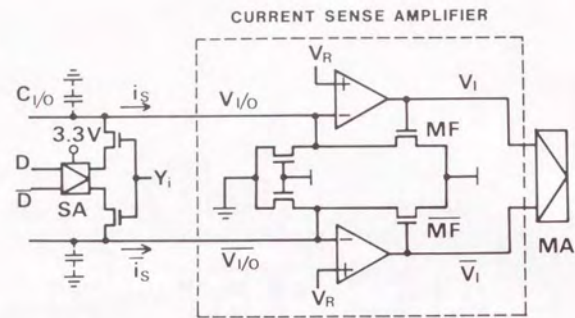
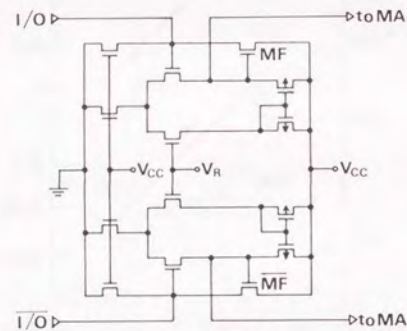


図4.9 センス増幅器信号電流 (i_s)とI/O線信号伝送速度 ($1/t_{d1}$)の推移
センス増幅器トランジスタは $W/L=3.5$ (一定)を仮定した。



(a) 電流検出方式の I/O 線回路構成



(b) 掃選形電流検出増幅回路

図 4. 10 新しい I/O 線回路構成

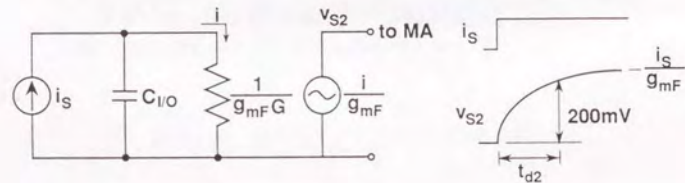
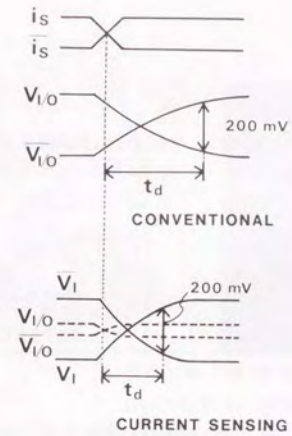
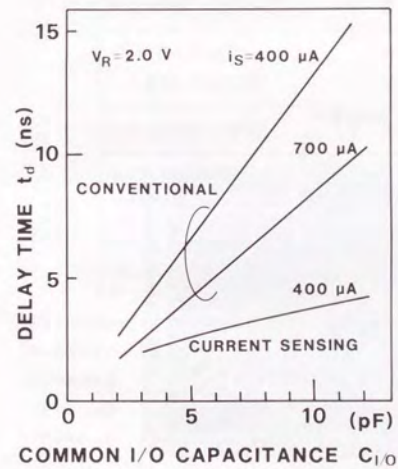


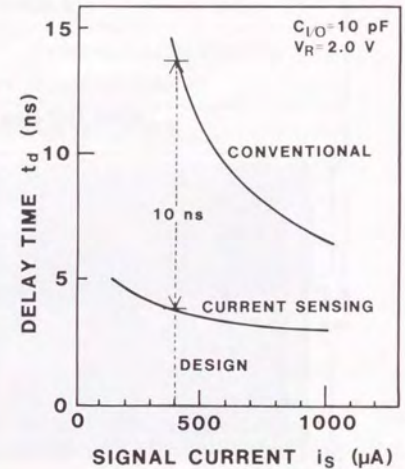
図 4. 11 新しい I/O 線回路の等価回路



(a) 過渡応答時間の定義



(b) I/O 線寄生容量依存性



(c) 信号電流依存性

図 4. 12 I/O 線上の信号伝送特性

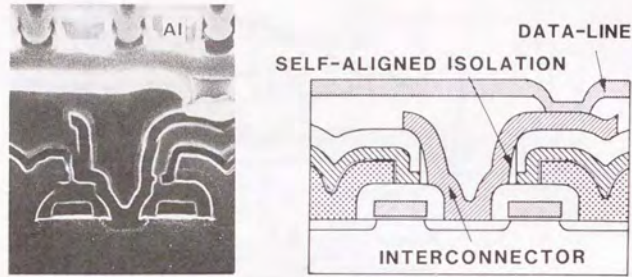


図4.13 自己整合形積層容量メモリスセルの断面構造

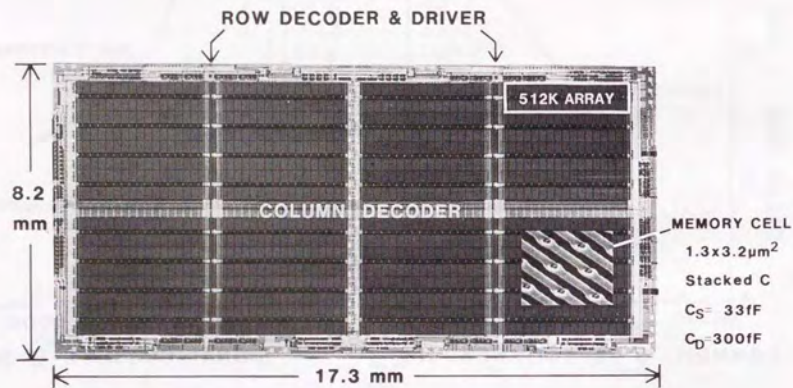


図4.14 試作した16MビットDRAMのチップ写真

表4.1 試作した16MビットDRAMの主な特性

TECHNOLOGY	0.6 μm TWIN-WELL CMOS DOUBLE AI WIRING
CHIP SIZE	8.2 x 17.3 mm ²
CELL SIZE	1.3 x 3.2 μm ²
POWER SUPPLY	5 V SINGLE
OPERATING VOLTAGES	5 V: PERIPHERAL CIRCUITS 3.3 V: MEMORY ARRAY
ACCESS TIME	t _{RAC} = 60 ns (5V, 25°C)
ACTIVE CURRENT	84 mA at 180 ns cycle (5V, 25°C)
STANDBY CURRENT	3 mA (CMOS level, 5V, 25°C)
REFRESH CYCLES	2048

第5章 干渉雑音抑制によるDRAMの低電力化

5.1 まえがき

DRAM開発は、過去20年間、Si L S Iの基本技術開発を牽引しつつ、3年に4倍の大容量化という他の分野では類を見ないはやさで世代交代を成し遂げ、最高集積の半導体メモリを提供し続けてきた。ただし、この間開発の主眼は、あくまで微細化による集積度の向上におかれ、他の性能上の進歩としては、消費電力の増大を最小に抑えながら、動作速度を僅かずつ改善してきたに止まる。この理由は、DRAM開発の目的が、より高集積・大容量な半導体メモリを大量に供給することにあつたからである⁽¹⁾⁽⁷³⁾。こうして開発されたDRAMは、大形コンピュータや、最近ではワークステーション、あるいはパソコン等に幅広く使われ、これら装置の性能向上に多大な貢献を果たしてきた⁽³⁰⁾⁽⁷⁴⁾⁽⁷⁵⁾。しかしながら、近年、DRAMの用途が従来の主記憶装置から補助記憶的な装置に拡大するとともに、データ保持電力を電池で供給できることが重要になってきた。さらにまた、携帯用電子機器への適用が進展するとともに、電池で長時間駆動できるような極低電力DRAMに対する期待が強まってきた⁽⁷⁶⁾。半導体メモリの中で集積度が最も高いDRAMが小形の電池で長時間動作可能になれば、機器の高性能化・高機能化を大きく前進させることが出来、DRAMとしても新しい用途が開けることが期待されるからである。1Mビット開発時に、消費電力抑制のために導入されたCMOS技術により、DRAMでも待機時の電力はある程度の時間までは電池で供給出来るようになってきた⁽³³⁾⁽⁷⁷⁾。このことは、DRAMの動作時の電力をも電池で長時間供給可能にすることを期待させるものであった。しかし、図1.2や図4.2で示したように、その後の高集積化(4M~16Mビット)に伴う消費電力増加は、CMOS技術だけでは電池駆動DRAMを実現するに十分ではないことを明らかにした⁽⁷³⁾。さらに、DRAMの電池駆動を困難にする問題として、電池電圧に見合う低電圧動作(例えば1.5V)ではメモリセルの蓄積電圧が低下し信号対雑音比(S/N比)を高く維持することが難しいことが挙げられる。このため、乾電池で長時間駆動できるような極低電力DRAMは実現困難とみなされ、応用面からの大きな課題となつてきた。

本章では、将来のDRAM基礎技術として、極低電力化技術を検討し、これによる電池動作、なかでも1.5V電池動作の可能性を追求する⁽³¹⁾。このような低い電源電圧での動作をメガビット級DRAMで実現するために、下記のような極低電力、高S/N化技術を考案した。

(1) データ線電圧振幅を、センス増幅器NMOSおよびPMOSTランジスタしきい電圧

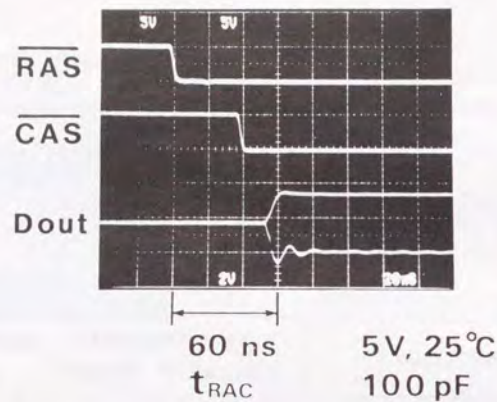


図4.15 試作チップの動作波形

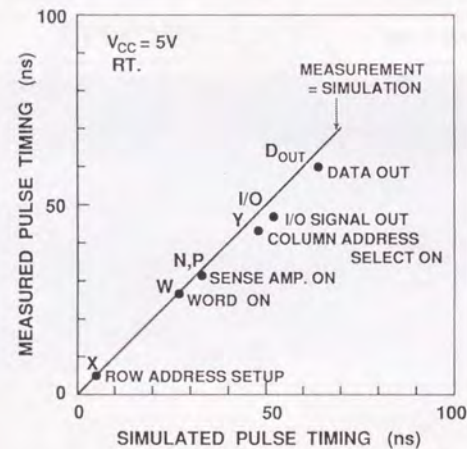


図4.16 チップ内の動作パルスと信号伝搬時間

の和 ($V_{TN} + |V_{TP}|$) に抑えて、メモリアレー消費電力を最小にする。この時、メモリスル蓄積容量電極をパルス駆動することにより、データ線電圧振幅を最小に抑えた状態でも、蓄積信号電圧を実効的に高く維持出来るようにする。

- (2) 積層容量形メモリスルにおいてデータ線をシールドした構造とし、データ線間干渉雑音をデータ線線架なしに低減する。

以下、まず上記極低電力、高S/N化技術を示し、これによる性能上の改善効果を検討した後、2kビットテスト素子を用いた原理実験の結果について述べ、現状の5V DRAMと同等のデータ保持特性や α 線ソフトエラー特性を持つ1.5V DRAMが実現可能であることを明らかにする。

5.2 メモリスル蓄積容量電極のパルス駆動による信号増加法

本節では、DRAMのメモリスル蓄積容量電極(プレート)をパルス駆動することにより、メモリアレー動作の極低電力化を可能にする回路手法について述べる。プレートにパルスを与える手法は、これによりメモリスルからデータ線への電荷転送を加速してワード線の立ち上がり遅延を補償し、行方向のアクセス時間を短縮する目的で試みられたことがある^{178) 179)}。しかし、後で詳細に比較して示すように(表5.1)、それらは V_{cc} プリチャージを前提にしているため消費電力が大きい¹⁶²⁾。これに対し、ここで提案する方法は、蓄積容量電極のパルス駆動およびワード線の3値パルス駆動によりメモリスル蓄積信号を維持しながら、 $V_{cc}/2$ プリチャージのもとでデータ線電圧振幅を極小化することにより、動作電力を大幅に低減するものである。以下、ここで提案するメモリアレー駆動方法をプレートパルス法と呼ぶことにする。

5.2.1 メモリアレー動作の極低電力化

DRAMチップ上の消費電力はメモリアレーに於けるもの P_D とその他の周辺回路に於けるもの P_P とに大別され、それぞれ次のように表される。

$$P_D = \frac{1}{2} C_{DT} V_D V_{cc} f \quad (5.1)$$

$$P_P = C_{PT} V_P V_{cc} f \quad (5.2)$$

ただし、 C_{DT} は1サイクルの動作で充電される全データ線容量の合計、 V_D はメモリアレー動作電圧(データ線電圧振幅)、 V_{cc} は外部電源電圧、 f は動作周波数、 C_{PT} は1サイクルで周辺回路において充電される全負荷容量の合計、 V_P は周辺回路の動作電圧である。式(5.1)の右辺に1/2が付くのは $V_{cc}/2$ プリチャージだからである¹⁶²⁾。DRAMでは、1サイクルで選択されるメモリアレー内すべてのデータ線が同時に動作するので、 C_{DT} が

大変大きく(16Mビットで1000pF~2500pF)、周辺回路の負荷容量 C_{PT} (16Mビットで500pF~1000pF)を大幅に越える。従って、消費電力を低減するには、メモリアレー動作電圧 V_D (データ線電圧振幅)を最小にすることが効果的である。メモリアレーが動作可能な最小の動作電圧とは、センス増幅器が動作可能な最小の電圧振幅のことであり、これは $V_{TN} + |V_{TP}|$ で与えられる。ただし、 V_{TN} および V_{TP} はそれぞれセンス増幅器NMOSおよびPMOSしきい電圧である。

しかし、メモリアレー動作電圧 V_D (データ線電圧振幅)は、そのままメモリスルへの書き込み電圧の振幅でもあるので、これを上記のように下げってしまうと、メモリスルの蓄積電圧も低下してしまう。そこで、ワード線に3値のパルス ϕ_w を、また、メモリスル蓄積容量電極(プレート)にもパルス ϕ_P を与えて、蓄積電圧の維持を図った。プレートの構造は、行(Row)アドレス毎に分離したものと、1つのブロックに共通化したものとが考えられる。以下、順を追って説明する。

5.2.2 蓄積容量電極(プレート)分離構造のプレートパルス法

メモリスル蓄積容量電極(プレート)を行(Row)アドレス毎に分離し、パルス ϕ_P を与えて蓄積電圧を維持する手法(プレートパルス法)の動作原理を図5.1に示す。同図(a)はメモリアレーの概念図である。メモリスルは通常の1トランジスタ形であり、センス増幅器も従来のCMOSフリップフロップ回路であるが、ワード線に3値パルス ϕ_w 、プレートに(2値)パルス ϕ_P を与える点が従来と異なる。これら駆動パルスタイミングおよび内部電圧波形を図5.1(b)に示す。図中、上段は3値ワードパルス ϕ_w とデータ線 D_0 の電圧波形を、下段はプレートパルス ϕ_P と蓄積ノード N_0 の電圧波形をそれぞれ示している。データ線電圧振幅は、消費電力を低減するために $V_{TN} + |V_{TP}|$ に降圧している。これに対し、メモリスル蓄積電圧は次のようにして維持される。

図5.1(b)において $t_1 \sim t_2$ の間は信号の読み出し期間であって、この間の動作は従来と変わらない。すなわち、ワード線の電圧が V_{cc} に立ち上げられ($t = t_1$)、信号がデータ線上に読み出された後、センス増幅器により増幅される。つぎに、 $t_2 \sim t_3$ の間は信号の書き込み期間であって、この間に、 ϕ_w と ϕ_P とによって高い蓄積電圧が書き込まれる。まず、プレートの電圧が $1.5 \cdot V_{cc}$ から0Vに下げられ、続いて、ワード線の電圧が V_{cc} から $V_{TN} + |V_{TP}|$ に下げられる。この時、蓄積ノード(例えば N_0)の電圧 V_{N_0} はデータ線の電圧と等しいので、 $V_{TN} + |V_{TP}|$ (HIGH)かまたは0V(Low)になっている。メモリスルトランジスタのしきい電圧 V_{TX} を $0V < V_{TX} < V_{TN} + |V_{TP}|$ のように設計すれば、 $V_{N_0} = V_{TN} + |V_{TP}|$ (HIGH)の場合には、ワード線も同じ電圧($V_{TN} + |V_{TP}|$)に下げられているのでゲートはカットオフしており、蓄積ノード N_0 はデータ線 D_0 から切り離されフローティング状態になっている。従って、続くタイミングで、プレートの電圧が0Vから $1.5 \cdot V_{cc}$ に上げられると、 N_0 の電圧もこれに続いて引き上げられ、 $1.5 \cdot$

$V_{cc} + V_{TN} + |V_{TP}|$ に達する。一方、 $V_{N0} = 0V$ (LOW) の場合には、ゲートは導通しており、 N_0 はデータ線 D_0 (0V) とつながっているため、その電圧は0Vに保たれる。このようにして、メモセルの蓄積電圧は、データ線電圧振幅を最小にした状態でも高く維持される。なお、上記の読み出し動作では、参照信号はタミーセルから与えられる。タミーセルには ϕ_P の約1/2の振幅のプレートパルスを印加し、参照データ線 \bar{D} に参照信号を発生させる。

上記に説明したプレートパルス法は、従来のDRAM動作と一部異なっているので、懸念される点もある。ここで、それらについて簡単に考察する。まず、蓄積ノード電圧 V_N を $1.5 \cdot V_{cc} + V_{TN} + |V_{TP}|$ にたたき上げるので、接合破壊や隣接セル間のパンチスルーが考えられる。しかし、これは後で述べるように $V_{cc} = 1.5V$ のとき $V_N < 3V$ であるので、動作制限事項とはならない⁽⁸⁰⁾。つぎに、消費電力を下げるために $V_{TN} + |V_{TP}|$ を最小(例えば0.5V)にした場合、 $V_{TX} < V_{TN} + |V_{TP}|$ としたのではメモセルトランジスタのしきい電圧 V_{TX} が低すぎ、サブスレッシュヨルド電流によるメモセルからの信号リークを十分防止できない⁽⁸¹⁾。したがって、実際のデバイスでは、 ϕ_W の中間電圧は V_{cc} と $V_{TN} + |V_{TP}|$ の間に設計し、 V_{TX} に対する制限事項を緩和する必要がある。最後に、 $V_{cc} = 1.5V$ のような低い電源電圧のもとで発生する中間電圧の精度に対する疑問が挙げられる。このような目的に用いる電圧リミッタは16MビットDRAM開発の中で詳しく検討されており、増幅器に十分な利得が得られれば±5%程度の精度は実現できる見通しである⁽⁸²⁾。 $V_{cc} = 1.5V$ で十分な利得を実現するために微細トランジスタの開発は必要であるが、低電源電圧化をさまたげる原理的な障害はない。

5.2.3 蓄積容量電極(プレート)共通構造のプレートパルス法

メモセル蓄積容量電極(プレート)がメモリアレー内で共通(従来のメモリアレーと同一構造)の場合の動作原理を図5.2に示す。動作順序はプレート分離の場合と同じである。しかし、プレート共通の場合、プレート電圧を引き下げるときに非選択ノード(例えば N_1)の電圧も一緒に低下させるので、 N_1 にLOW信号が蓄えられていると、これを破壊するおそれがある。 $V_{N1} < 0V$ になると、メモセルトランジスタのサブスレッシュヨルド電流によるメモセル蓄積信号のリークが増大するからである。このため、同図(b)に示すように、データ線電圧を中間値に保ち、LOW信号が蓄えられている非選択のメモセルでも常に $V_{N1} > 0V$ となるようにして信号を保護した。同じ理由から、プレートパルスの振幅 $\Delta\phi_P$ は、 $\Delta\phi_P + V_D \leq V_{cc}$ とする必要がある。ただし、 V_D はデータ線電圧振幅(Peak to peak)である。

5.2.4 基本性能

表5.1に今回提案したプレートパルス駆動法の基本性能を、SNB法⁽⁷⁸⁾および従来の

$V_{cc}/2$ プリチャージ方式⁽⁶²⁾と比較して示す。ただし、SNB法は元々 $V_{cc} = 5V$ で行(Row)方向の高速化を提案したものであるが、ここでは、低電力化のために $V_{cc} = 1.5V$ を仮定した。また、プレートが分離構造のときのプレートパルス振幅 $\Delta\phi_P$ は、チップ上でたたきあげが容易な電圧の範囲を考慮して $1.5 \cdot V_{cc}$ を仮定した。さらに、データ線電圧振幅 $V_D (= V_{TN} + |V_{TP}|)$ は0.5Vを仮定した。このような低いしきい電圧の妥当性については5.2.7項で検討する。さて、表5.1から判るように、ここで提案したプレートパルス駆動法は、プレート分離の場合、SNB法に比べ1/3以下、従来の $V_{cc}/2$ プリチャージ方式に比べ、1/7以下にメモリアレー消費電力を低減できる。データ保持時間や α 線ソフトエラー特性のようなメモセル性能は、データ線電圧振幅とは独立なプレートパルスでメモセル蓄積電圧 V_{ST} を制御出来るので、従来と同等に維持できる。

一方、プレートが共通構造の場合、前記のように $\Delta\phi_P + V_D \leq V_{cc}$ とする必要があるために V_{cc} は従来のまま3.3Vとしてメモセル蓄積電圧 V_{ST} を維持しなければならない。しかし、それでも消費電力は従来の $V_{cc}/2$ プリチャージ方式に比べ1/2に低減でき、プレート分離構造のSNB法($V_{cc} = 1.5V$)と比べても同程度にできる。なお、プレート共通構造における m とは、プレートを共有する行アドレスすなわちワード線の数である。 m が大きい方がプレート1ブロックの面積も大きく、プレート分離に要する領域が少なくなるが、プレートパルスで駆動すべき非選択セルが増えるので無効電力($m \gamma C_s \Delta\phi_P V_{cc} f$)も増加する。ここでは、無効電力が選択セル駆動電力($C_s \Delta\phi_P V_{cc} f$)を越えない範囲として $m = 16$ を仮定した。ただし、 γ は非選択セルにおけるプレート容量と蓄積容量の比である。非選択セルでは、プレートから見た対接地容量は、蓄積容量 C_s と接合容量 C_j の直列接続になるので、 γ はたかだか5%程度である。同じ理由で、プレートパルスによる基板電圧の変動は無視できる程度に小さい。

5.2.5 消費電力: 動作電流

図5.3は16Mビットを例にとり、今回提案した分離プレート構造のプレートパルス法による1.5V DRAMの消費電流(理論値)を、現状の5V DRAM⁽²¹⁾およびそれを1.5Vで駆動したものを比較したものである。ただし、チップの出力バッファ回路は1個であり、動作周期は1 μs を仮定した。分離プレート構造では、 V_{cc} を下げても蓄積電圧が維持されるので、1.5V動作が可能となり、動作電流は現状の5V DRAMの1/3に、従って消費電力は1/10に低減できる。ここで、同図に示す1.5V DRAMにおける5mA以下の消費電流は、電池からの供給が可能な範囲である。例えば、図5.4に示すように、このDRAMを8個用いて、16Mバイトのメモリスステムを作ると、2Ahの乾電池(単3相当)8個で400時間の連続動作が可能になる。

5.2.6 消費電力：データ保持電流

今DRAMチップがデータの読み書き動作をせずに、16μs毎の蓄積データ再生（リフレッシュ）のみ行う状態をデータ保持モードと定義すると、これに伴う消費電流（データ保持電流）は、上記分離プレート構造の1.5V 16MビットDRAMでは0.3mA以下になる。これは、現状の5V DRAMの1/3であり、消費電力は1/10になる。従って、図5.4に示すように、16Mバイトのメモリシステムの情報が、2Ahの乾電池1個で800時間維持できる。また、大形コンピュータで使用される高速ファイル記憶装置を想定すると、装置が動作するときでも大多数のチップをデータ保持状態にすれば、20Gバイトの容量を仮定してもチップ全体で3A程度の動作電流に抑えることが出来ると推定される。

5.2.7 動作速度：アクセス時間

上記に提案したプレートパルス法は、消費電力低減を主目的としたものであるが、動作速度も亦電池動作DRAMにとって重要であることに変わりはない。すでに説明したように、プレートパルス法における信号読出し動作は従来のDRAMにおけると同じであるので、もしセンス増幅器が $V_D=0.5V$ でも充分高速に動作するならば、1.5V DRAMのアクセス時間は現状の5V DRAM（ただし、メモリアレーは3.3V）と同等になるはずである。そこで、センス増幅器の動作速度のデータ線電圧振幅 V_D 依存性をシミュレーションにより求めたものが図5.5である。ただし、シミュレーションは $V_{TN}+|V_{TP}|\leq V_D$ の範囲で行った。同図において、 $V_D=0.5V$ が上記で提案したメモリアレーの低電圧動作であり、図示されていないが $V_D=3.3V$ が現状の16MビットDRAMである。同図から判るように、データ線電圧昇圧時間 t_r は V_D に強く依存し、その減少とともに増大するが、データ線電圧降圧時間 t_f は V_D 依存性が少ない。センス増幅器の信号読出し速度は、NMOS増幅器によるデータ線降圧時間 t_f で決まるので、例えば、 $V_{TN}=|V_{TP}|=0.2V$ とすれば、 $V_D=0.5V$ でも現状の3.3V動作に比べ信号読出し時間の増加はたかだか数10%に抑えられる。従って、周辺回路を含めて素子構造を縮小最適化すれば、上記で提案したプレートパルス法による1.5V DRAMでもアクセス時間100~200nsが可能であることが判る。ただし、 $V_{TN}=|V_{TP}|=0.2V$ にまでしきい電圧を下げた場合、センス増幅器トランジスタのサブスレッショルド電流によりデータ線上の信号リークが想定される。ここで、この問題について検討する。しきい電圧を $I_D=10nA$ で定義し、サブスレッショルド電流のゲート電圧依存係数 $S^{(81)}$ を100mV/decadeと仮定すると、センス増幅器が待機状態にあるとき（ゲート・ソース間電圧が0V）、リーク電流は0.1nAになる。メモリセルから信号をデータ線へ読み出してからセンス増幅器が起動するまでの待機時間はたかだか5ns程度であるので、この間に失われる信号電荷は $5 \times 10^{-19}C$ になる。これは、信号の10ppmでしかなく、しきい電圧の制御が精密（±0.1V程度）であれば信号リークは問題ないことが判る。なお、16Mビットのような高集積DRAMでは、周辺回路のトランジスタゲート幅は

PMOSだけで合計約1μmを越える。しきい電圧をゲート幅 $W=10\mu m$ のトランジスタで定義し、 $|V_{TP}|=0.2V$ とすると、待機時のリーク電流は1mAに達してしまい、データ保持電流を大幅に越える無効な電流が発生してしまう。従って、センス増幅器以外の周辺回路ではしきい電圧は従来通り0.5V程度を主体とする必要がある。

5.2.8 動作速度：サイクル時間

上記で提案したプレートパルス法は、信号再書き込み動作に必要なパルスタイミングが多いので、サイクル時間は従来のDRAMより長くなる。追加されるタイミングは、プレート電圧降下、上昇、およびワード電圧最高値から中間値への降下の3種類であり、全体で15~20nsの遅延増加になる。また、メモリセル蓄積容量はメモリセルトランジスタのゲート容量より7~8倍大きいので、プレート線の負荷容量はワード線それに対し同じ比率で大きくなる。このため、プレート電圧の応答は鈍く、50~100nsの遅延増加を生じる。従って、サイクル時間は合計100ns程度増加すると見積もることができる。

5.3 データ線をシールドした積層容量形メモリセルによる干渉雑音の低減

低電圧動作にとって本質的に重要な高S/N化に貢献する新しい積層容量型メモリセル(DASH)⁽⁹²⁾⁽⁹³⁾を図5.6に示す。この新しいセルの特長は、データ線を形成する配線層が、メモリセル蓄積容量電極（プレート）層および蓄積ノード層と上下関係を入れ替え、最下層に位置していることである。この構造は次のように高S/N化を可能にする。

まず、データ線がプレート層ないし蓄積ノード層によりシールドされ、データ線間の結合容量が大幅に低減できる。従って、データ線を燃架しなくとも干渉雑音の発生を防止できる。これは、データ線燃架に伴う、チップ面積の増加や、あるいは配線のつなぎ代えのようなプロセス不良発生要因なしに低雑音化できることを意味している。次に、データ線がプレートの下に位置しているため、データ線と n^+ 拡散層とのコンタクトを取るためにプレートを開口する必要がない。このため、プレートの開口によってレイアウト上制限されていた蓄積ノードの面積を、リソグラフィと加工で決まる限界まで広げることができ、蓄積容量（信号）を増やすことが出来る。ただし、ここで注意すべきことは、データ線全体がシールドされる結果、データ線容量が増加することである。その増加量はメモリセル設計にも依存するが、従来の積層形セル⁽⁹²⁾⁽⁹⁴⁾と比べると大体10~20%である。これに対し蓄積容量は、上記の理由から従来と比べて1.5~2倍に増やすことができると見込まれるので⁽⁹³⁾、データ線上の信号としては増加させることができ、高信号化が達成される。

5.4 実験結果とその検討

5.4.1 テスト素子と動作波形

今回提案した低電圧・低電力化技術の可能性を評価するために、メモリセル蓄積容量電極（プレート）共通構造の2kビットテスト素子を、 $0.5\mu\text{m}$ CMOSプロセスを用いて試作した。テスト素子のチップ写真を図5.7に示す。メモリセルトランジスタのゲート長は $0.5\mu\text{m}$ 、ゲート酸化膜厚は15nmである。このトランジスタ寸法は、16Mビット汎用DRAMのために開発されたものであり、 $V_{cc}=1.5\text{V}$ では大幅な比例縮小が可能であるが⁽⁸⁵⁾、現状では、まだそこまで微細化プロセス開発が進展していない。ただし、回路動作確認のための原理実験にはこれで充分である。今回のテスト素子では、前章(4.)までに比ベトランジスタのゲート長を $0.6\mu\text{m}$ から $0.5\mu\text{m}$ へ縮小するなどプロセス上の改良により、メモリセル面積を $1.3\times 3.2\mu\text{m}^2$ から $1.2\times 2.8\mu\text{m}^2$ へ20%縮小した⁽²⁸⁾⁽⁴²⁾が、DASHの採用により、期待通り蓄積容量は逆に33fFから35fFに増加することができた⁽⁸³⁾。

テスト素子の $V_{cc}=1.5\text{V}$ 動作波形を図5.8に示す。データ線上の信号電圧 v_s がプレートパルスの振幅 $\Delta\phi_P$ （図中0.1Vおよび0.6V）に追従して増加しており、プレートパルス法の基本動作が行われていることが判る。同図において、プレート電圧が下降および上昇するのは、センス増幅器によりデータ対線がHighおよびLowに固定され、そのインピーダンスが低い状態の時であるため、プレートからデータ線への結合雑音は $\pm 100\text{mV}$ 程度以下であり大変小さく問題ないことが示されている。なお、試作した素子では、センス増幅器NMOSおよびPMOSのしきい電圧が、それぞれ0.5Vおよび-0.5Vであったので、データ線電圧の振幅は $1.0V_{P-P}$ とした。

5.4.2 メモリ特性

新メモリセル(DASH)によるデータ線間干渉雑音低減効果を図5.9に示す。干渉雑音は3.3節および3.4節で述べたと同じ方法で測定した。データ対線のピッチが $3.2\mu\text{m}$ から $2.8\mu\text{m}$ に縮まったが、干渉雑音はデータ対線の燃架なしに7%以下に抑えられた。同じテスト素子を用いて容量測定を行うと、データ線相互の容量成分 C_w は、メモリアレー部分では測定限界以下（全データ線容量 C_D の1%以下）であり、一方、センス増幅器部分では、データ線間のシールドがないために、 C_w/C_D が2~3%残存する。3.2節で述べたように、干渉雑音($\delta_1+\delta_2$)は C_w/C_D の2~3倍（対信号比）以上になるので、ここで観測された干渉雑音の残留成分は、センス増幅器部分のデータ線で発生していると考えられる。将来、この残留成分が無視できなくなった場合、センス増幅器部分ではデータ線シールドが難しいので燃架が必要となろう⁽⁴²⁾。

図5.10は、蓄積電圧 v_{ST} に対するデータ保持時間の依存性を示すものである。この実験では、プレートパルス法の蓄積電圧を $v_{ST}=V_D/2+\Delta\phi_P$ とした。ただし、上述のよ

うに $V_D=1.0V_{P-P}$ （固定）であり、 v_{ST} は $\Delta\phi_P$ により増加させる。従来法の蓄積電圧はこれまで通り $v_{ST}=V_D/2$ であり、 v_{ST} は V_D により増加させる。同図に示すように、今回提案したプレート分離構造の駆動法では、同じ1.5V動作で比較すると従来方式より33%保持時間が長い。しかし、現状DRAMの3.3Vメモリアレー動作と比べると保持時間が18%短い。しかしながら、今回提案した1.5VDRAMは、5.2.5項で述べたように、16Mビットの例で7.5mWと極めて低電力であり、チップの温度上昇がほとんどない。これに対し、現状のDRAMでは、同じ条件で消費電力は75mWになり、パッケージの熱抵抗を 0.1deg/mW と仮定すると、チップ温度が7.5°C上昇する。これは、熱生成電流が約2倍に増えることを意味する。従って、今回提案の1.5VDRAMは、従来の5VDRAMと同等以上のデータ保持特性を実現できると考えられる。

図5.11は蓄積電圧 v_{ST} に対する α 線ソフトエラー率の依存性を示すものである。チップの駆動方法は、図5.10に於けると同じである。今回提案した1.5V駆動方式では、従来方式に比べ同じ $V_{cc}=1.5\text{V}$ では4桁エラー率が低い。また、 $V_{cc}=5\text{V}$ （メモリアレー3.3V）に対しては蓄積電圧で17%少ないので、これに対応してエラー率も約3桁高いと推定される。従って、従来の5VDRAMと同等のエラー率にするために、High側の信号電圧がLow側より34%多くなるように、参照データ線（データ線Dに対するD）上の参照信号を設計することが必要である。

プレート共通構造の場合、表5.1に示したように、 $V_{cc}=3.3\text{V}$ として蓄積電圧 v_{ST} の維持を図っている。データ保持特性や α 線ソフトエラー特性は従来の5VDRAMと同等である。しかし、そのために消費電力は従来の1/2どまりであり、電池動作の携帯機器用途には、プレート分離構造がより適していると言えよう。

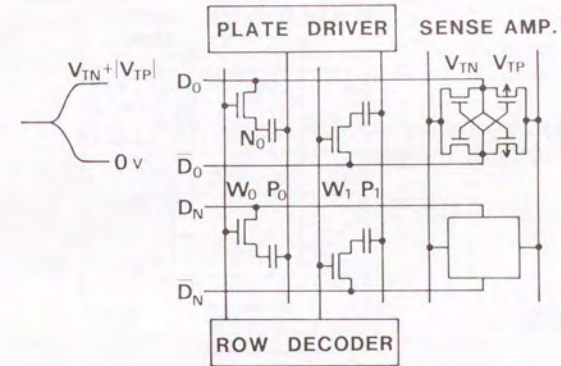
5.5 むすび

本章では、将来のDRAMの重要な基礎技術として極低電力化技術を取り上げ、DRAMの電池動作、とくにこれまでS/N維持の観点から困難と考えられていた1.5V電池動作の可能性を検討した。その結果、1.5V電池動作が充分可能性のある目標であり、不揮発性を要求される補助記憶的な装置や携帯用電子機器への幅広い応用が期待されることを明らかにした。提案した極低電力化技術およびその検討結果は以下の通りである。

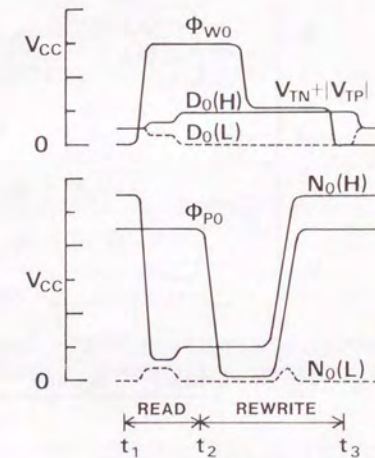
- (1) 極低電力・高S/N化技術として、下記のメモリアレー駆動方式およびメモリセル構造を提案した。
 - (a) データ線電圧振幅 V_D を、センス増幅器NMOSおよびPMOSTランジスタしきい電圧の和($V_{TN}+|V_{TP}|$)に抑えて、メモリアレー消費電力を最小にする。この時、メモリセル蓄積容量電極をパルス駆動すること（プレートパルス法）により、

V_D を最小にした状態でも、蓄積信号電圧を実効的に高く維持する。

- (b) 積層容量型メモリセルにおいてデータ線をシールドした構造 (DASH) とし、データ線間干渉雑音をデータ線撚架なしに低減する。
- (2) 上記プレートパルス法を用いた 1.5V DRAM の性能を、16Mビットを例にとって理論的に検討し、現状の 5V DRAM と比較した。結果は次の通りである。
- (a) 消費電力は動作時 7.5mW 以下 (動作周期 1 μ s)、データ保持時 0.45mW 以下であり、これは現状の 5V DRAM の 1/10 に相当する。この DRAM を 8 個用いて 16M バイトメモリシステムを構成すると、単 3 相当 (2Ah) の乾電池 8 個で 400 時間の連続動作が、また、同じ電池 1 個で 800 時間のデータ保持が可能である。
- (b) アクセス時間は、現状の DRAM と大きく変わるものではなく、100~200ns が可能である。サイクル時間は、駆動パルス相互に新たなタイミングが必要となるために、100ns 程度増加すると見積られる。
- (3) 上記技術の可能性を検証するために、0.5 μ m CMOS プロセスを用いて、2kビットテスト素子を試作し、原理実験を行った。得られた結果は次の通りである。
- (a) テスト素子が外部電源 $V_{CC}=1.5V$ 、データ線電圧振幅 $V_D = 1V_{P-P} (= |V_{TN}| + |V_{TP}|)$ で動作することを確認した。
- (b) DASH 構造によりデータ線間干渉雑音は信号の 7% 以下に低減された。
- (c) データ保持特性やソフトエラー特性を測定した結果、現状の 5V DRAM (メモリアレー 3.3V) と同等の特性が得られる見通しを得、1.5V DRAM が実現可能であることを明らかにした。

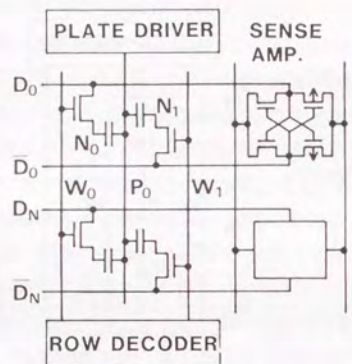


(a) メモリアレー回路構成概念図

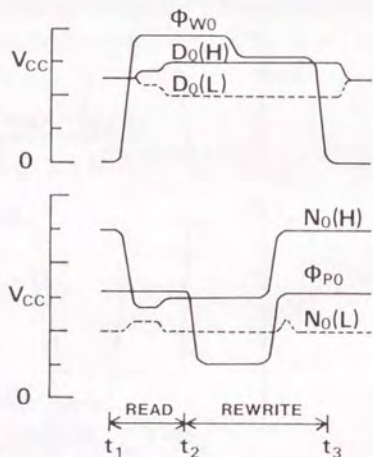


(b) 駆動パルスタイミングおよび蓄積ノード電圧波形概念図

図 5.1 プレートパルス法の動作原理 (プレート分離構造の場合)



(a) メモリアレー回路構成概念図



(b) 駆動パルスタイミングおよび蓄積ノード電圧波形概念図

図5.2 プレートパルス法の動作原理 (プレート共有構造の場合)

表5.1 プレートパルス法の基本性能

	プレート構造	電源電圧 (V _{CC})	蓄積電圧 (V _{ST})	片側データ線振幅 (V _D /2)	ワード線電圧	プレート電圧振幅 (Δφ _P)
SNB法 ⁽⁷⁸⁾ (従来)	分離	1.5V	(V _{CC} +Δφ _P -V _{TX})/2 1.5V	V _{CC} 1.5V	V _{CC} , 0 (2値)	~1.5·V _{CC} ** 2.25V
プレートパルス法 (今回)		1.5V	(Δφ _P +V _{TN} + V _{TP})/2 1.4V	(V _{TN} + V _{TP})/2 0.25V	V _{CC} , V _{TN} + V _{TP} , 0 (3値)	~1.5·V _{CC} ** 2.25V
プレートパルス法 (今回)	共通	3.3V	V _{CC} /2 1.65V	(V _{TN} + V _{TP})/2 0.25V	V _{CC} +V _{TX} , V _{CC} , 0 (3値)	V _{CC} -(V _{TN} + V _{TP}) 1V
プレート直流電圧 (従来)		3.3V	V _{CC} /2 1.65V	V _{CC} /2 0.83V	V _{CC} +V _{TX} , 0 (2値)	0

(続き)

	プレート構造	メモリアレー消費電力*** (P _D :相対値)	信号電圧 (V _S :相対値)
SNB法 ⁽⁷⁸⁾ (従来)	分離	8k(C _D ·V _{CC} +C _S ·Δφ _P)V _{CC} ·f 0.5	{C _S /(C _D +C _S)}(V _{CC} +Δφ _P -V _{TX})/2 0.91
プレートパルス法 (今回)		8k{C _D (V _{TN} + V _{TP})/2+C _S ·Δφ _P }V _{CC} ·f 0.14	{C _S /(C _D +C _S)}(Δφ _P +V _{TN} + V _{TP})/2 0.85
プレートパルス法 (今回)	共通	8k{C _D (V _{TN} + V _{TP})/2+C _S (1+mγ)Δφ _P }V _{CC} ·f 0.5	{C _S /(C _D +C _S)}V _{CC} /2 1
プレート直流電圧 (従来)		8k·C _D (V _{CC} /2)V _{CC} ·f 1	{C _S /(C _D +C _S)}V _{CC} /2 1

(記号の説明)

V_{TX}, V_{TN}, V_{TP}:メモリセルトランジスタ, センス増幅器NMOSおよびPMOSTランジスタのしきい電圧。

C_D:データ線容量, C_S:蓄積容量, f:動作周波数, m:プレートを共有する行アドレスの数,

γ:非選択セルにおけるプレート容量と蓄積容量の比。

(注)

* 元々はV_{CC}=5Vでの駆動法。ここでは比較のためにV_{CC}=1.5Vを仮定した。

** 動作原理上制限はないが, たたきあげ容易な電圧の範囲を考慮して1.5·V_{CC}とした。

*** 8kが付くのは16Mビット(2048リフレッシュサイクル)の場合⁽²⁸⁾。

**** 上記表の計算では, 下記を仮定した。

V_{TX}=0.8V, V_{TN}=|V_{TP}|=0.25V, C_D=300fF, C_S=33fF, m=16, γ=0.05。

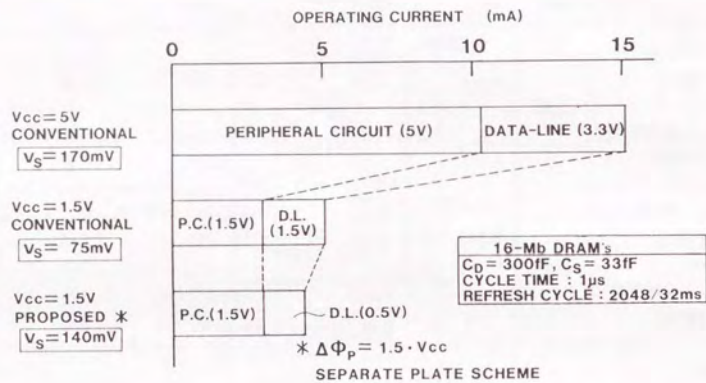


図5.3 16MビットDRAMを例にとった動作電流比較 (計算値)

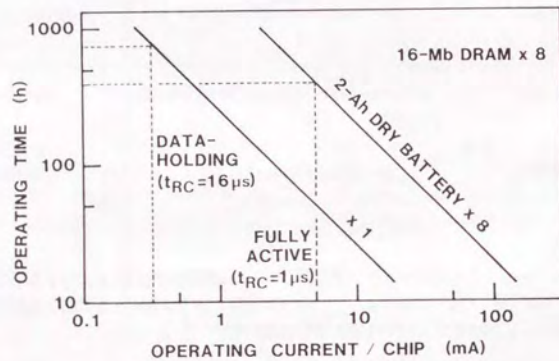


図5.4 16Mバイトメモリステムの電池駆動時間 (計算値)

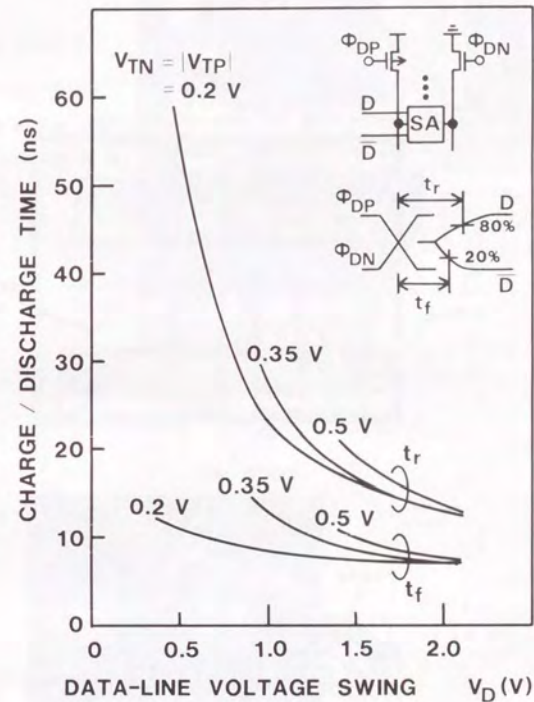
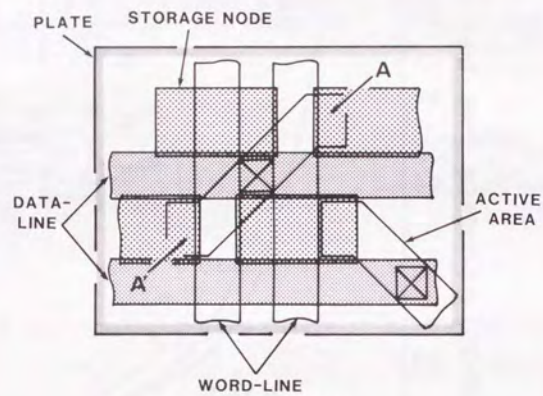
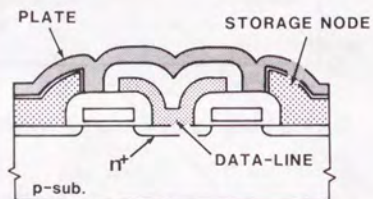


図5.5 データ線充電および放電時間のデータ線電圧振幅依存性 (計算値)
 センス増幅器NMOSおよびPMOSTランジスタの構造はともに、
 $W=4.0\mu\text{m}$, $L=1.4\mu\text{m}$, $t_{\text{ox}}=15\text{nm}$ を仮定した。しきい電圧は
 データ線のプリチャージ状態での値である。



(a) 平面構造概念図



(b) 断面構造概念図 (A-A' 面)

図5.6 データ線をシールドした積層容量形メモリセル (DASH) (39)

2-Kb ARRAY
MEMORY CELL
 $1.2 \times 2.8 \mu\text{m}^2$
 $C_S = 35 \text{ fF}$

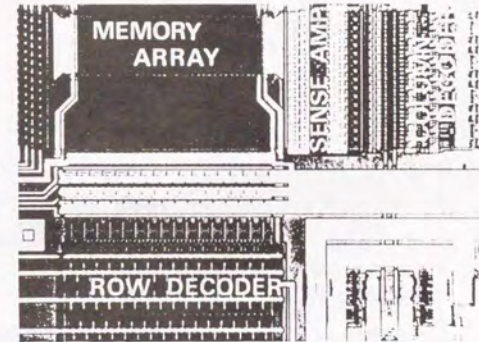


図5.7 2kビットテスト素子のチップ写真

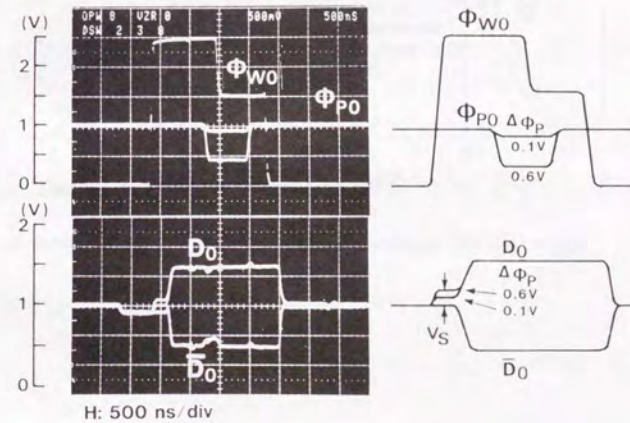


図5.8 試作チップの動作波形

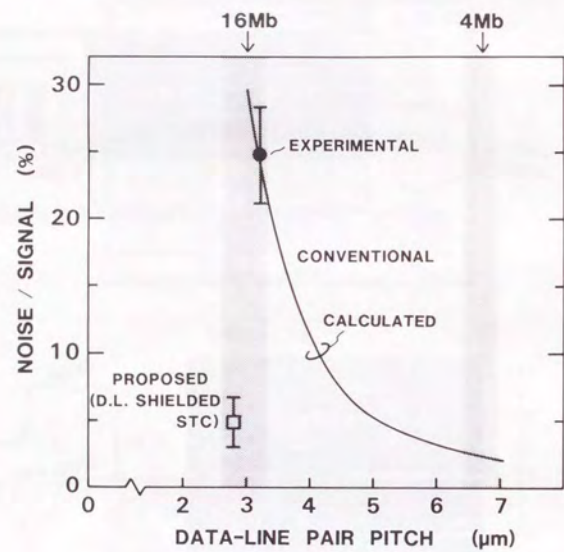


図5.9 データ線シールド形積層容量セルによる干渉雑音低減効果

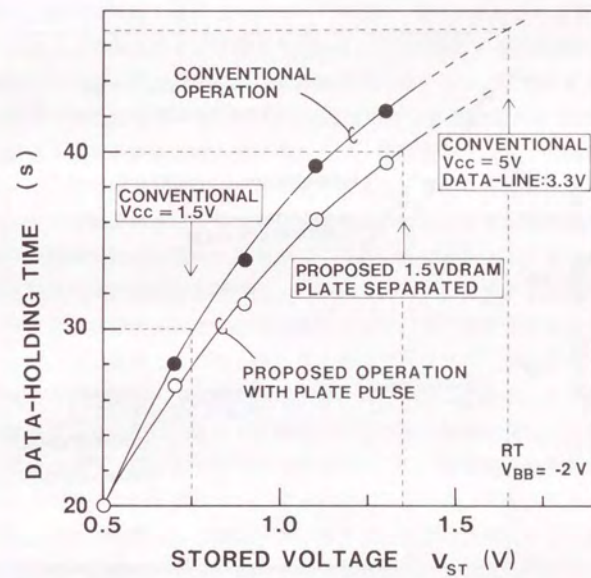


図5.10 データ保持時間のメモリセル蓄積電圧依存性
データ保持時間はメモリアレー中50%のセルで誤りが発生する時間で定義した。

第6章 バイアス電荷転送方式による DRAMの多値メモリ化

6.1 まえがき

近年、CMOS DRAMの応用範囲が、従来の主記憶装置だけでなく、高速ファイルメモリとして補助記憶的な装置へ拡大するにつれ⁽⁹⁰⁾⁽⁸⁶⁾、(1)不揮発性および(2)低価格性が新たに素子に対する重要な要請となってきた。 (1)に対応する技術課題は、電池による長時間の駆動ないしデータ保持を可能にする極低電力化であり、その可能性については前章(5.)で述べたとおりである。一方、(2)に対応する技術課題としては、製造プロセスの簡略化によるコスト低減など種々挙げられるが、設計面からは素子の製造プロセスを複雑にすることなく回路的な工夫により高集積化することが最も重要である。このような、高速ファイルメモリを念頭に置いた高集積化の研究は、LSIメモリ開発の初期から行われており、1970年代後半には、電荷転送素子(CTD)を用いたシリアル(逐次書き込み・読み出し方式)メモリが開発された⁽⁸⁷⁾。しかし、表6.1に示すように、汎用DRAMを中心として開発される標準プロセスとの互換性に欠け、また消費電力も大きかったためその後発展しなかった。最近ではDRAMと互換性を保ちながら、メモリセルを一部シリアル化することにより、集積度を上げる試みがなされた⁽⁸⁸⁾。しかし、2値信号の蓄積では高集積化に限界があり、約40%のセル面積縮小(2倍弱の集積度向上)に止まっている。

本章では、将来のDRAMのもう一つの基礎技術として、蓄積電圧の多値化による抜本的な高集積化の可能性について検討する。すでに述べたように、汎用DRAMが、開発初期より今日まで、3年に4倍という極めて速い調子で大容量化していることを考慮すると、ここで検討する高集積化技術を実効的なものにするために、目標は同一世代のプロセス技術で次世代の集積度以上、すなわち4倍以上とすることが望ましい。これは、1セルあたり4ビット(16値)以上の多値化に相当する。メモリセルに多値信号を蓄積する試みとしては、やはり電荷転送素子(CTD)や、接合形電界効果トランジスタ(JFET)を用いて行われたことがある⁽³⁴⁾⁽³⁵⁾⁽⁹⁵⁾。しかし、8値/セル動作の確認までに止まっている。また、いずれも上記標準メモリプロセスとの互換性や消費電力に関する問題の他に、多値メモリでは、電荷転送効率や暗電流によるS/N劣化⁽⁹⁰⁾等も新たに無視できない問題となり、これらを改善しようとする益々標準メモリプロセスとの互換性を失うため⁽⁹¹⁾、その後進展が見られていない。そこで、このような問題を避けるために、従来の1トランジスタ形DRAMセルを用いた多値化技術に取組み、下記のような高S/N多値化技術を考案し、16値/セル動作実現に挑戦した⁽⁹²⁾。

(1)ワード線に階段状パルスを印加し、パルスのレベルに対応した電圧を多値信号として書

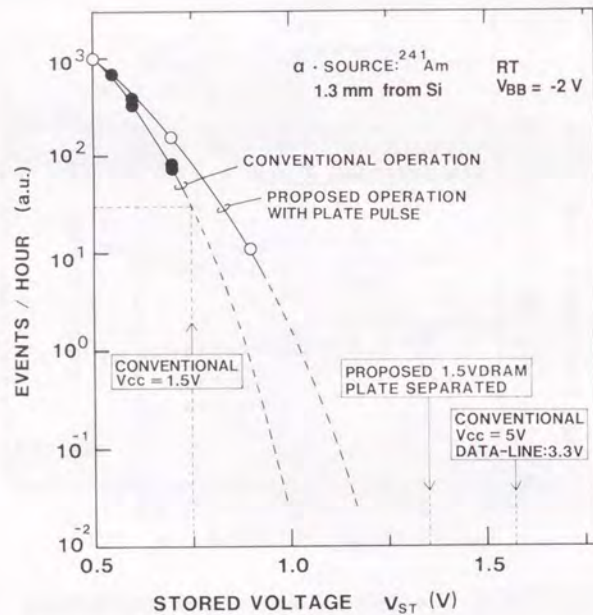


図5.11 α 線ソフトエラー率のメモリセル蓄積電圧依存性

き込み・読み出す。

(2)多値に分割されるために、データ線上で極めて小さくなる信号電圧(10~20mV)を、バイアス電荷転送増幅器により従来のDRAMと同程度(100~200mV)に増幅した後、参照信号と比較検出する。

以下、まず上記の1トランジスタ形DRAMセルに階段状ワードパルス印加する多値信号書き込み・読み出し方式、およびバイアス電荷転送増幅器の動作原理をそれぞれ示した後、4kビットテスト素子を用いた16値/セル多値化原理実験の結果について述べ、最後に本方式に基づく多値メモリの信号限界について検討する⁽³²⁾⁽⁹³⁾。

6.2 1トランジスタ形DRAMセルを用いた多値メモリの提案

今回提案する、従来の1トランジスタ形DRAMセルを用いた多値メモリの回路構成を図6.1に示す。前記のように、一世代先の集積度を目標にして16値(4ビット)/セル記憶方式とした。メモリアレーは従来の折り返し形データ線構造であり、メモリセルの蓄積容量 C_s も従来と同じである。16値の信号は、ワード線(WL)に印加される15段の階段状パルスにより、メモリセルに書き込まれ、読み出される。ダミーワード線(DWL)にも同一の階段状パルスを同時に印加するが、ダミーセルの蓄積容量は $C_s/2$ とする。多値に分割された微小な信号は、ダミーセルからの参照信号とともに電荷転送増幅器で増幅(電圧再生)された後、センス増幅器で比較検出される。センス増幅器は前章(5.)までに示してきた従来のCMOSフリップフロップ回路である。列レジスタ(Column Register)は、センス増幅器で検出された多値信号を一旦蓄え、信号出力および再書き込み(リフレッシュ:Refresh)のためのバッファとして働く。以下、本節では上記階段状ワードパルスを用いた多値信号のメモリセル書き込み・読み出し動作原理、および列レジスタ回路動作について述べ、電荷転送増幅器については次節(6.3)で説明することにする。

6.2.1 メモリセル動作原理

多値信号の書き込み・読み出しの動作原理を、単純のために4値(2ビット)の場合を例にとって図6.2に示す。ただし、ここでは信号電荷は電子であり、同図(b)に示すポテンシャルは電子に対するものである。電圧としては下方が正、上方が負である。まず、書き込み期間においては、下降する階段状パルス ϕ_x をワード線に印加する。j番目の信号(図6.2ではj=1)を書き込むには、階段状パルス電圧がj段目 ϕ_{xj} のときに、データ線電圧 V_D をLowからHighに引き上げる。これにより、メモリセルには $\phi_{xj}-V_{Tx}$ がj番目の信号を表す電圧として蓄積される。ただし、 V_{Tx} はメモリセルトランジスタのしきい電圧である。つぎに、読み出し期間においては、上昇する階段状パルス ϕ_x をワー

ド線に印加する。 ϕ_x がj段目から(j+1)段番目に上昇する時、蓄積電荷の一部 ΔQ_s が初めてデータ線上に流出する。この電荷は、蓄積されていた信号がj番目であるというタイミング信号を担っている。しかし、メモリセルの蓄積容量 C_s に比べ、データ線容量 C_D は通例数倍以上あるので、多値に分割された蓄積電荷 ΔQ_s によってデータ線上に現われる信号電圧は大変小さく(10~20mV;従来のDRAMでは信号電圧は150~300mV)、CMOSセンス増幅器では検出が難しい。そこで、電荷転送増幅器(次節;6.3)を用いて ΔQ_s をすべてデータ線からセンス増幅器入力に転送する。センス増幅器の入力容量 C_I は、メモリセルの蓄積容量 C_s と同程度にすることが出来るので、 ΔQ_s がすべてセンス増幅器入力に転送されれば、信号電圧はメモリセルに蓄積されていたときと同程度(100~200mV)にまで増幅される。このようにして、j番目のタイミング信号は、従来のフリップフロップ形センス増幅器により、ダミーセルからの参照信号と比較され、検出される。

上記の多値記憶方式は、従来の1トランジスタ形メモリセルアレーをそのまま用いることができるほかに、次のような特長を持つ。

- (1)メモリセルへの信号書き込み・読み出しを同一の(メモリセル)トランジスタを介して行うので、多値蓄積電圧の精度がしきい電圧 V_{Tx} のバラツキに影響されない。
- (2)多値信号はタイミング信号として読み出されるので、転送される信号自体はデジタルであり、電荷転送形増幅器における信号転送効率が多値信号検出の主要な制限事項とはならない。

6.2.2 列レジスタ

列(Column)レジスタ回路とその動作タイミングを図6.3に示す。ここでも、やはり簡単のために4値(2ビット)動作を例にしている。多値信号をチップ上で自動的に再書き込みするためには、レジスタに蓄積された多値信号と、書き込み制御パルス(DR3~DR3)との一致を検出する必要があるが、ここに示した回路は、複雑な排他論理和(Exclusive-OR)回路⁽¹⁰⁰⁾を用いずにこれを実現するものである。まず、読み出し期間では、読み出し制御パルスS0,S1,S2,S3が、この順に ϕ_x に同期して印加される。j番目のタイミング信号が検出されると(図6.3ではj=1)、センス増幅器出力がセンス出力(Sense-out)ノードをHighからLowに引き下げる。その結果、High電圧がレジスタのj番目のセルに蓄積される。信号出力および再書き込み期間においては、書き込み制御パルスDR3,DR2,DR1,DR0が、やはりこの順に ϕ_x に同期して印加される。レジスタのj番目のセルにHigh電圧が蓄積されているので、DRjに同期したパルスがI/O線上に現われる。このパルスは、再びj番目を表すタイミング信号としてエンコーダに送られ、2値(バイナリ)信号に変換された後外部に出力される。また、同時に再書き込みのためのトリガ信号としても働き、このパルスに同期してデータ線電圧 V_D がLowからHighに引き上げられ、j番目の信号を表す電圧がメモリセルに書き込まれる。

6.3 バイアス電荷転送形高感度センス増幅器の設計

前節(6.2)で述べたように、今回提案した多値メモリの信号読み出し動作では、データ線上の微小信号(10~20mV)を、センス増幅器入力でメモリセルにおける蓄積電圧と同程度に増幅する電荷転送増幅器が重要な働きをする。電荷転送増幅器は、DRAMでもセンス増幅器高感度化のために試みられたことがある⁽⁹⁴⁾。しかし、これは転送効率が悪く、その改善にはデータ線プリチャージ時間を調整してバイアス電荷を与える必要があったため、プリチャージトランジスタの素子定数バラツキの影響を受け易いなどの難点があり、その後用いられていない。今回の信号読み出し動作では、電荷を繰り返し転送するので、動作速度のほかデータ線プリチャージに伴う消費電力増加も問題になり、やはり適当でない。そこで、今回は下記のようなバイアス電荷供給機構を設けた構造を採用して動作速度および転送効率の改善を図った。この方式は、MOS形固体撮像素子の高感度化を目的として開発されたものである⁽⁹⁷⁾、撮像素子では40dB(100:1)を越えるS/Nが要求されるために構造が複雑化した⁽⁹⁸⁾のに対し、今回の多値メモリでは上記のように転送信号が単なるタイミング(デジタル)信号であるため、単純な構造を適用できるものである。ただし、メモリ素子として広く用いられるためには外部からのレベル調整等は不可であり、チップ内部ですべての制御パルスが発生できるよう極力単純なパルスで動作させることが望ましい。以下、本節では、まずバイアス電荷転送増幅器の動作原理を説明した後、電荷転送時間、バイアス電荷、および転送トランジスタなどバイアス電荷供給機構に関する設計方法について述べる。

6.3.1 バイアス電荷転送増幅器の動作原理

バイアス電荷転送増幅器の動作原理を図6.4に示す。ただし、同図(b)におけるポテンシャルは、図6.2と同様に電子に対するものであり、電圧としては下方が正、上方が負である。図6.4(b)に示すように、バイアス電荷転送増幅器は T_1 、 T_2 、 T_3 の3個のトランジスタから成り、 T_2 がデータ線にバイアス電荷を注入するゲートである。また、 T_3 はデータ線の電圧を一定値($\phi_{T3}-V_{T3}$; V_{T3} は T_3 のしきい電圧)に保つための転送ゲートである。まず、 $t=t_1$ において、階段状パルス ϕ_x を1段上昇させ信号電荷をデータ線上に読み出す。次に、 $t=t_2$ で ϕ_{T2} をHighからLowにすることにより、データ線にバイアス電荷を注入する。その後、 $t=t_3$ で ϕ_{T2} をLowからHighに戻すと、バイアス電荷と(存在する場合は)信号電荷がともにゲート T_2 の下に転送される。このときの電荷転送はバイアス電荷がある為に高速であり、転送効率が高い。 T_2 の下からセンス増幅器入力への転送($t=t_5$)は、信号電圧が既に増幅されているので、信号電荷だけ転送する。

6.3.2 電荷転送時間

バイアス電荷転送増幅器は、回路動作上は、図6.5に示すように、トランジスタ T_3 の動作電流をバイアス電荷によって1桁以上高めて転送時間を短縮するものである。1回前の電荷転送終了時を初期状態とし、バイアス電荷注入後、100%電荷転送させて再び初期状態に戻すに必要な時間(図6.4; $t_3 \sim t_4$)を電荷転送時間 t_{cr} とすると、 t_{cr} は次のように求められる。まず、図6.5において、データ線に流入する電流 i は、トランジスタ T_3 のゲート・ソース間電圧を $v(=V_{T3}-V_D)$ とすると、

$$i = -C_D \frac{dv}{dt} \quad (6.1)$$

で与えられる。ただし、 C_D はデータ線容量、 V_{T3} はトランジスタ T_3 に印加されるバリス ϕ_{T3} のHigh電圧、 V_D はデータ線電圧である。電流 i はサブスレッシヨルド領域では、

$$i = i_0 \cdot 10^{(v-v_0)/S} \quad (6.2)$$

飽和領域では、

$$i = \frac{\beta}{2} (v - V_{T3})^2 \quad (6.3)$$

でそれぞれ与えられる⁽⁹⁹⁾⁽⁸¹⁾。ただし、 i_0 、および v_0 はそれぞれ初期状態の i 、および v を表す。また、 S はサブスレッシヨルド電流のゲート電圧依存係数、 β は2.2節で定義した飽和電流を与える係数、 V_{T3} はトランジスタ T_3 のしきい電圧である。式(6.1)~(6.3)を用いて t_{cr} を求めると、サブスレッシヨルド領域では、

$$t_{cr} = \frac{S \cdot C_D}{\ln(10) \cdot i_0} \left(1 - \frac{i_0}{i_1}\right), \quad (6.4)$$

飽和領域では、

$$t_{cr} = \frac{\sqrt{2} \cdot C_D}{\sqrt{\beta} \cdot i_0} \left(1 - \frac{\sqrt{i_0}}{\sqrt{i_1}}\right) \quad (6.5)$$

がそれぞれ得られる。ただし、 i_1 は、バイアス電荷を注入した後、電荷転送を開始する時($t=t_3$)の電流を表す。式(6.4)および(6.5)を用いて t_{cr} を計算した結果を図6.5に示す。ただし、計算に用いた数値は次節(6.4)で述べるテスト素子の構造定数である。同図から判るように、 $i_0 \ll i_1$ であれば転送時間 t_{cr} は初期電流 i_0 で決まり、 i_1 に依存しない。また、 i_0 が大きい方が t_{cr} を短縮できる。しかし、転送終了をトランジスタのカットオフ状態とする方が動作を安定化出来るので、初期電流 i_0 はサブスレッシヨルド領域での上限とすることが1つの目安となる。したがって、今回のテスト素子では、 $t_{cr} \approx 0.5 \mu s$ が適当である。ただし、ここで用いた $C_D = 800 \text{ fF}$ はテスト素子構造上の都合で通常の2~3倍になっているため、転送時間は構造最適化により $t_{cr} < 0.2 \mu s$ 程度まで短縮可能であると考えられる。

6.3.3 バイアス電荷と転送損失

上記(6.3.2項)の解析により、バイアス電荷は $i_0 \ll i_1$ を満足する限り、転送時間には影響しないことが判った。サブスレッショルド領域では、データ線電圧 V_D を電流のゲート電圧依存係数 S 下げる毎に動作電流 i が1桁上がるので、 $i_0 \ll i_1$ とするに必要なバイアス電荷 Q_B は

$$Q_B \geq C_D \cdot S \quad (6.6)$$

で与えられる。 $C_D = 800\text{fF}$ 、 $S = 80\text{mV/decade}$ とすると $Q_B \geq 64\text{fC}$ である。つぎに、トランジスタ T_2 の下からトランジスタ T_1 を介してセンス増幅器入力へ電荷転送する際には、前項(6.3.2)と同様にして、式(6.4)および(6.5)において C_D の代りにトランジスタ T_2 下の容量 C_{T2} を用いた等式が成り立つ。しかし、この場合にはバイアス電荷を用いないので、信号電荷 ΔQ_S 自体で $i_0 \ll i_1$ とする必要がある。従って、 C_{T2} は、

$$\Delta Q_S \geq C_{T2} \cdot S \quad (6.7)$$

により上限が与えられる。 $\Delta \phi_x = 100 \sim 200\text{mV}$ 、 $C_S = 60\text{fF}$ とすると、 $\Delta Q_S = 6 \sim 12\text{fC}$ であるので、 $C_{T2} \leq 75\text{fF}$ である。ここで、ゲート T_2 のパルス振幅を $\Delta \phi_{T2}$ とすると、

$$Q_B = C_{T2} \cdot \Delta \phi_{T2} \quad (6.8)$$

であるから、 $\Delta \phi_{T2} \leq V_{CC}$ の範囲で式(6.6)~(6.8)を満たす様に C_{T2} を設計すればよい。今回のテスト素子では、上記数値例を考慮して $C_{T2} \approx 40\text{fF}$ とした。

電荷転送増幅器は、一種のバケツリレー形電荷転送素子(Bucket-Brigade Device; BBD)とみなすことができ、その転送損失 ε は、BBDにおける低周波側の転送損失と同じく、ドレイン電圧によるソース電圧の変調効果に起因するものである⁽⁹⁹⁾。図6.6にその発生機構を示す。同図において、信号転送によるドレイン電圧の変化を ΔV_{DS} とすると、トランジスタ T のしきい電圧 V_T は ΔV_{DS} により変調を受け ΔV_T だけ高くなる。このためソース側の容量 C_1 に転送されない残留電荷 Q_{Loss} が発生する。 Q_{Loss} は

$$Q_{Loss} = C_1 \cdot \Delta V_T \quad (6.9)$$

で与えられる。一方、信号電荷 ΔQ_S は、

$$\Delta Q_S \approx C_2 \cdot \Delta V_{DS} \quad (6.10)$$

であるから、電荷転送損失 $\varepsilon (= Q_{Loss}/\Delta Q_S)$ は、

$$\varepsilon \approx \frac{C_1}{C_2} \cdot \frac{\Delta V_T}{\Delta V_{DS}} \quad (6.11)$$

と表される。式(6.11)中の $\Delta V_T/\Delta V_{DS}$ はMOSトランジスタしきい電圧のドレイン電圧変調係数であり、短チャネルトランジスタで顕著になるものである。今回のテスト素子での実測では、ゲート長が設計最小寸法 $1.3\mu\text{m}$ のトランジスタで、 $\Delta V_T/\Delta V_{DS} < 0.005$ であった。 $C_1 = C_D (= 800\text{fF})$ 、 $C_2 = C_{T2} (= 40\text{fF})$ を代入すると、 $\varepsilon < 10\%$ と見積もられるが、信号のデジタル的な有無の判定には差支えない。

6.4 実験結果

今回提案した多値化技術の可能性を評価するために、図6.1に回路構成を示したテスト素子を試作し、16値(4ビット)/セル動作の原理実験を行った。試作には上述のように設計最小寸法 $1.3\mu\text{m}$ のCMOSプロセスを用いた⁽¹⁰¹⁾。これは1MビットDRAM製作プロセスに相当する。テスト素子のチップ写真を図6.7に示す。チップ上のメモリアレーはそれぞれ256個のセルを有する4対のデータ線からなり、全体で1kセル(4kビット)である。メモリセル蓄積容量は60fFであり、初期の1MビットDRAMと同じ値である⁽¹⁰²⁾。データ線容量、およびセンス増幅器入力容量は、それぞれ800fFおよび140fFであった。したがって、メモリセル蓄積電圧はデータ線上で $60/800 \approx 1/13$ に減衰し、電荷転送増幅器により、転送損失を含めて、 $(800/140) \times (1-0.9) \approx 5$ 倍に増幅されることが見込まれる。

上記テスト素子を用いた実験の結果、16値/セルの書き込み・読み出し・再書き込み動作が正しく行われていることを確認した。動作波形を図6.8に示す。同図では、下降する階段状パルス ϕ_x が下から2段目の時に、データ線電圧 V_D をLowからHighに変化させて、バイナリ信号[0010]が書き込まれている。従って、 ϕ_x が2段目から3段目に上昇する時に信号が読み出されている。なお、 Q をセル当りの蓄積信号多値度(ここでは $Q=16$)、 V_{Tx} をメモリセルトランジスタのしきい電圧とすると、 ϕ_x 1段当りの電圧 $\Delta \phi_x$ は、

$$V_{CC} > \Delta \phi_x \cdot (Q-1) + V_{Tx} \quad (6.12)$$

を満足する必要があるが、ここでは、 $V_{CC} = 5\text{V}$ 、 $V_{Tx} < 1\text{V}$ であるので $\Delta \phi_x = 200\text{mV}$ を標準値とした。ただし、信号検出限界としては、 $\Delta \phi_x = 80 \sim 100\text{mV}$ まで正常に動作することを確認した。これについては次節(6.5)で詳しく述べる。

電荷転送増幅器による信号電圧の増幅波形を図6.9に示す。同図には、 ϕ_x が1段上昇したときに、信号が存在しない場合(H)と存在する場合(L)のデータ線電圧 V_D およびセンス増幅器入力部電圧 V_I がそれぞれ示されている。同図から、信号が最初にデータ線上に現れ、つぎにセンス増幅器入力へ転送されていることが判る。また、この転送により信号電圧は約5倍に増幅されており、上記の見込みとほぼ一致する。

6.5 信号限界の検討

前節までに述べたように、今回提案した多値化技術により、小規模な(1kセル)テスト素子では16値(4ビット)を1個のDRAMメモリセルに蓄積可能であることを明らかにした。またさらに、信号検出限界としては、階段状パルス ϕ_x 1段当りの電圧 $\Delta \phi_x$ に換算して $80 \sim 100\text{mV}$ まで蓄積可能であることを実験的に確認した。しかし、この多値化技術を用いた1Mセル以上の高集積メモリに適用するためには、信号検出限界を律則する物理現象を明

らかにしておくことが重要である。以下、本節では信号検出限界の定量的解析を行う。

信号検出限界は、上記のように、 $\Delta\phi_x$ を減少させたとき信号を正しく判定する最小の $\Delta\phi_x$ により定義できる。テスト素子において、センス増幅器が信号判定誤りを起こしたときのセンス増幅器入力部電圧波形を図6.10に示す。同図において、 $\Delta\phi_x=160\text{mV}$ では左から3番目に正しく信号が送られているのに対し、 $\Delta\phi_x=70\text{mV}$ では1回前のタイミングで疑似的な信号が送られ、判定誤りを引き起こしている。このように、信号判定誤りは無規則に発生するものではなく、正しいタイミングの1回前に疑似信号が送られて High を Low と誤るか、または正しいタイミングに信号が送られずに Low を High と誤るかのいずれかである。 $\Delta\phi_x$ をさらに減少させると、判定誤り発生箇所は正しいタイミングから前方 (High→Low 誤り) または後方 (Low→High 誤り) へ順次移動する。このことから、実験で観測された判定誤りは、正しいタイミング以前にメモリセルから信号電荷が流出することにより、疑似信号となるか、または正しい信号を目減りさせるために発生していると考えられる。そこで、以下この流出電荷を見積り、信号検出限界を推定する。

メモリセルへ信号を書き込み・読み出す際のメモリセルトランジスタ電流 i を概念的に示したものが図6.11である。同図では j 段目で信号が書き込まれ、 $(j+1)$ 段目で信号電荷 ΔQ_s として読み出される。同図に示すように、書き込み時間 t_x が有限であるため、 ϕ_x が j 段目から $(j-1)$ 段目に下降する際、書き込み電流も有限の値 i_{w0} に止まる。従って、信号読み出し期間に入り ϕ_x が j 段目に上昇すると、 $i = i_{w0}$ を初期値として再び電流が流れ始める。これが、正しいタイミング以前に疑似信号 (Spurious signal) を与え、本来の信号電荷 ΔQ_s は、この疑似信号電荷 Q_{sp} だけ減少する。図6.11に示したメモリセルへの信号書き込み・読み出しを表わす方程式は、式(6.1)と同様に

$$i = -C_s \frac{dv}{dt} \quad (6.13)$$

で与えられる。ただし、 v は図6.11に示すように、トランジスタのゲート・ソース間電圧である。6.3節で述べた電荷転送増幅器の動作と比較すると、転送時間は $t_{cr} < t_x$ であり、充電すべき容量は $C_s \ll C_D$ であるので、メモリセルトランジスタは信号書き込みの初期を除いて他はサブスレッショルド領域で動作していると考えられる。従って、式(6.4)と同様にして、充電時間 t は、

$$t = \frac{Q_0}{i} \left(1 - \frac{i}{i_1}\right) \quad (6.14)$$

と表される。ただし、 i_1 は充電開始時 ($t=0$) における電流であり、 Q_0 は

$$Q_0 = \frac{S \cdot C_s}{\ln(10)} \quad (6.15)$$

で与えられる定数である。式(6.14)を、電流 $i = i(t)$ を表す式に変形すると、

$$i = \frac{Q_0}{t + \frac{Q_0}{i_1}} \quad (6.16)$$

と表される。従って、 $t=0$ から $t=t_x$ までの充電電荷 Q は、式(6.16)を積分して、

$$\begin{aligned} Q &= Q_0 \cdot \ln\left(1 + \frac{i_1 \cdot t}{Q_0}\right) \\ &= Q_0 \cdot \ln\left(\frac{i_1}{i}\right) \end{aligned} \quad (6.17)$$

となる。さて、まず信号書き込みでは、図6.11に示すように、充電開始時 ($t=0$) の電流を i_{w1} 、終了時 ($t=t_x$) を i_{w0} とすると、 $i_{w0} \ll i_{w1}$ であるから、式(6.14)より、

$$i_{w0} = \frac{Q_0}{t_x} \quad (6.18)$$

である。一方、信号読み出しでは、階段状パルス ϕ_x が j 段目に達すると充電電流が再び流れ始める。この時の充電開始時電流 i_{Rj1} は

$$i_{Rj1} = i_{w0} = \frac{Q_0}{t_x} \quad (6.19)$$

であり、終了時電流 i_{Rj0} は、式(6.16)で $t=t_x$ 、 $i_1 = i_{Rj1} = i_{w0}$ とおいて、

$$i_{Rj0} = \frac{Q_0}{2t_x} \quad (6.20)$$

で与えられる。従って、この間に流出する疑似信号電荷 Q_{sp} は、

$$Q_{sp} = Q_0 \cdot \ln(2) = S \cdot C_s \cdot \log(2) \quad (6.21)$$

となる。つぎに、 ϕ_x が $(j+1)$ 段目に上昇すると、本来の信号電荷 ΔQ_s を与える充電電流が流れ始める。この時の充電開始時電流 $i_{R,j+1,1}$ は

$$i_{R,j+1,1} = \frac{Q_0}{t_x} 10^{\Delta\phi_x/S} \quad (6.22)$$

であり、終了時電流 $i_{R,j+1,0}$ は、やはり式(6.16)に $t=t_x$ 、 $i_1 = i_{R,j+1,1}$ を代入して、

$$i_{R,j+1,0} = \frac{Q_0 \cdot 10^{\Delta\phi_x/S}}{t_x (2 + 10^{\Delta\phi_x/S})} \quad (6.23)$$

で与えられる。従って、信号電荷 ΔQ_s は、

$$\begin{aligned} \Delta Q_s &= Q_0 \cdot \ln\left(1 + \frac{1}{2} 10^{\Delta\phi_x/S}\right) \\ &= S \cdot C_s \cdot \log\left(1 + \frac{1}{2} 10^{\Delta\phi_x/S}\right) \end{aligned} \quad (6.24)$$

となる。式(6.21)と(6.24)を用いて、センス増幅器入力信号 ($\Delta Q_s - Q_{sp}$) / $2C_1$ を求めた結果を図6.12に示す。ただし、 C_1 はセンス増幅器入力容量である。同図から、テスト素子 ($C_1=140\text{fF}$) では、 $\Delta\phi_x \approx 100\text{mV}$ のとき 10mV 程度の信号を検出していたことが判る。しかし、1Mセル以上の高集積メモリでは、センス増幅器トランジスタのしきい電圧が近接した1対間でも最大 30mV 程度存在し、また、トランジスタの β や入力容量のパラツキが、しきい電圧換算で 10mV 以上になる⁽¹²⁾ため、センス増幅器入力信号としては 50mV 程度以上が必要である。一方、センス増幅器入力容量は、第4章までに述べた16Mビットの例か

らも分かるように60fF程度までは低減可能である。従って、図6.12から、 $\Delta\phi_x$ に換算して約150mV程度が高集積メモリにおける信号検出限界と推定される。すなわち、今回提案した方式による多値化の上限は、式(6.12)より16値(4ビット)/セルであり、32値(5ビット)/セルは困難と考えられる⁽⁹³⁾。ただし、上記のように、 $V_{cc}=5V$ では16値(4ビット)/セルの動作電圧には若干の余裕があり、当初目標にした同一世代のプロセス技術で次世代の集積度実現には十分可能性が残されている。なお、これまで述べたことから判るように、今回の多値化技術によるDRAMは、集積度は4倍になるが、動作速度は大変遅い。6.3節の解析から推定すると、 ϕ_x 一段当りの周期 t_x は最低0.5 μs 程度必要であり、アクセス時間は最小でも30 μs 程度になる。従って、このようなメモリのLSIとしての構成方法やシステム内での利用方法は今後の検討課題である。

6.6 むすび

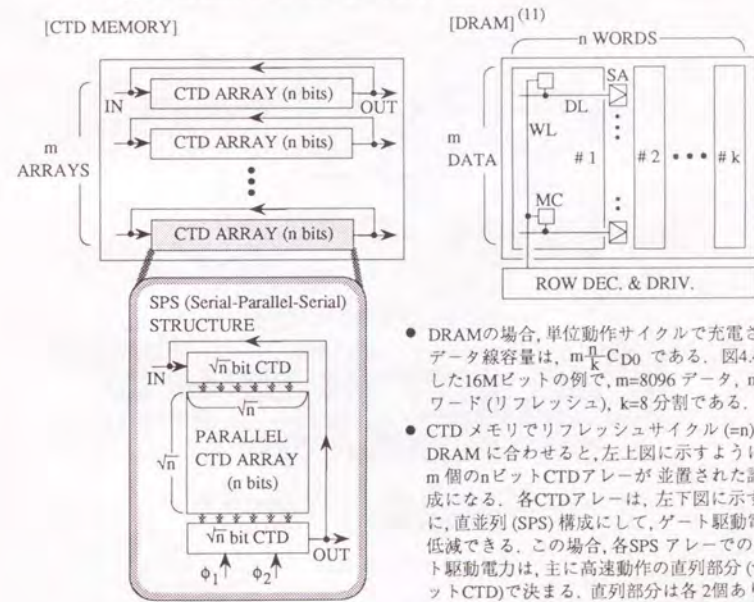
本章では、DRAMの基礎技術として将来重要になることが予想される、蓄積電圧の多値化による高集積化技術を検討した。その結果、微小な信号をデータ線上で扱うDRAMではS/N確保が難しいと従来考えられていた多値信号の書き込み・読み出しが、新たに提案した多値化技術により可能となることを明らかにした。これにより、前章(5.)で取り上げた極低電力化技術と併せて、高速ファイルメモリなど補助記憶的な装置にDRAMの応用が拡大する際に必要となる主要な基本技術に幅広い選択の余地を与えることができる。提案した多値化技術およびその検討結果は以下の通りである。

- (1) 従来のDRAM製造プロセスと互換性を保った高S/N・多値化技術として、下記の方式を提案した。
 - (a) 1トランジスタ形DRAMセルのワード線に階段状パルスを印加し、パルスのレベルに対応した電圧を多値情報として書き込み・読み出しを行う。
 - (b) 多値に分割されるために、データ線上で極めて小さくなる信号電圧(10~20mV)を、バイアス電荷転送増幅器によりメモリセル内の蓄積電圧と同程度(1値当たり100~200mV)に増幅した後、参照信号と比較判定する。
- (2) 上記技術を用い、1kセルテスト素子を設計し、16値(4ビット)/セルのメモリ動作を確認した。
- (3) 1値当りの蓄積電圧の物理的限界(最小値)は、メモリセルトランジスタのサブスレッシュヨルド電流によるリークで発生する疑似信号で制限され、1Mビット以上の高集積メモリでは約150mV程度である。従って、 $V_{cc}=5V$ で16値(4ビット)/セル動作電圧には余裕があり、同一世代のプロセス技術で次世代の集積度(4倍)実現には十分な可能性が残されている。

表6.1 電荷転送素子(CTD)を用いたメモリとDRAMの比較

メモリの種類	CTD	DRAM
メモリ標準製造プロセスとの互換性	なし 例: 2~3層重ね合わせ電極が必要 ⁽⁸⁷⁾	あり
S/N (暗電流:相対値)	埋め込みチャンネルでの暗電流が大きいためデータ保持特性不利 ⁽⁹⁰⁾⁽⁹¹⁾ (≥ 5)	蓄積ノードの接合面積を加工限界まで縮小し暗電流によるリークを低減可能 (1)
メモリアレー消費電力 ^(注1) P_D (相対値)	メモリアレー全体で常時駆動されるCTDゲート電極の充電電力が主体 $= 4m\sqrt{n} C_{G0} V_{CC}^2 f$ (2~5)	データ線充電電力が主体 $m \frac{n}{k} C_{D0} V_{CC}^2 f$ (1)

(注1) 消費電力算定のモデルは下記の通り。ただし、 C_{G0} はCTDの単位ゲート当りの容量、 C_{D0} はDRAMの単位セル当りのデータ線容量、 k はDRAMの論理的なデータ線分割数、 V_{CC} は電源電圧、 f は動作周波数である。



- DRAMの場合、単位動作サイクルで充電されるデータ線容量は、 $m \frac{n}{k} C_{D0}$ である。図4.4に示した16Mビットの例で、 $m=8096$ データ、 $n=2048$ ワード(リフレッシュ)、 $k=8$ 分割である。
- CTDメモリでリフレッシュサイクル(=n)をDRAMに合わせると、左上図に示すように m 個の n ビットCTDアレーが並置された論理構成になる。各CTDアレーは、左下図に示すように、直並列(SPS)構成にして、ゲート駆動電力を低減できる。この場合、各SPSアレーでのゲート駆動電力は、主に高速動作の直列部分(\sqrt{n} ビットCTD)で決まる。直列部分は各2個あり、それぞれ2相のクロックで駆動されるので、ゲート容量はアレー当たり $4\sqrt{n}C_{G0}$ になる。

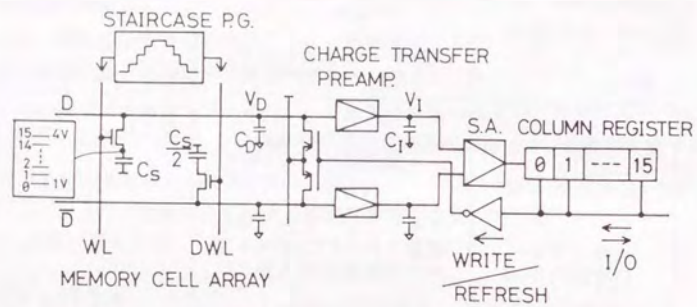


図6.1 1トランジスタ形DRAMセルを用いた多値メモリの回路構成

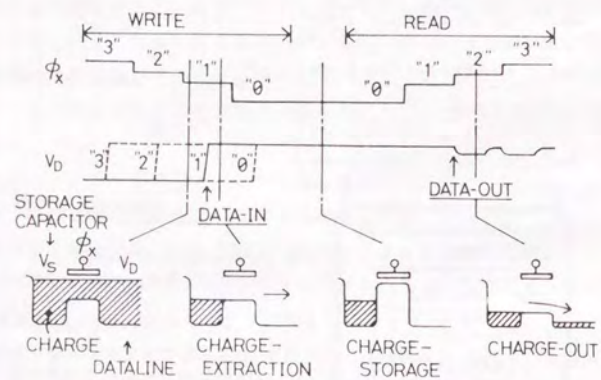


図6.2 4値(2ビット)/セル動作原理

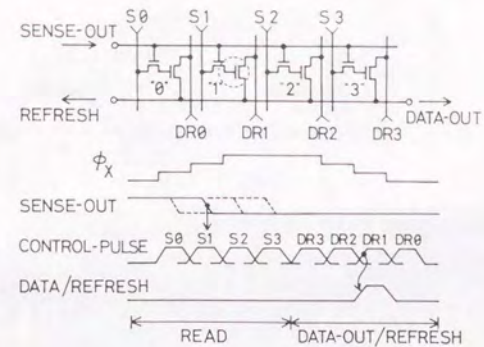
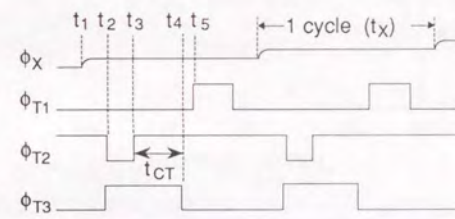
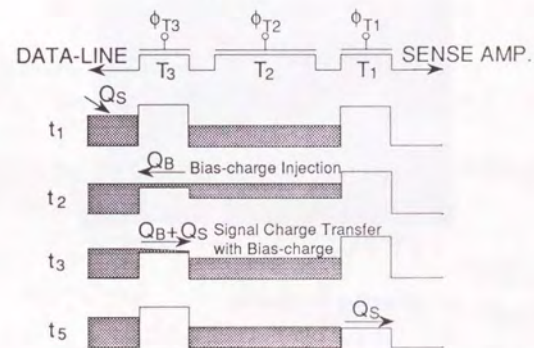


図6.3 4値(2ビット)列レジスタ回路と動作タイミング



(a) パルスタイミング



(b) ポテンシャル図

図6.4 バイアス電荷転送増幅器の動作原理

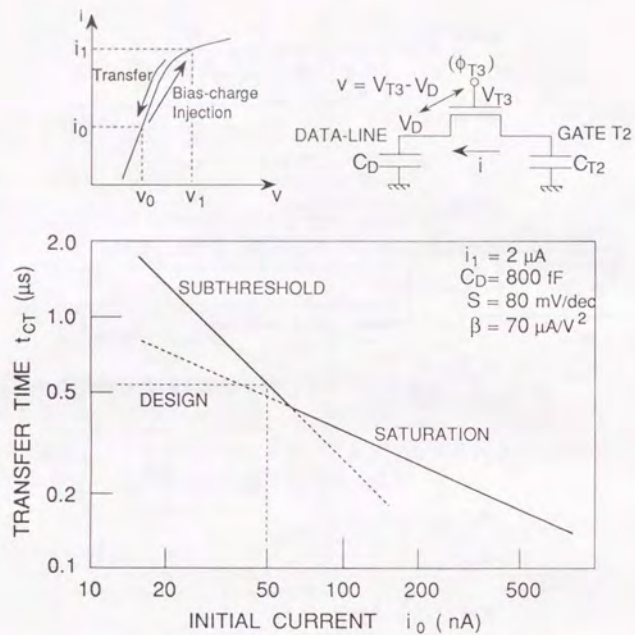


図 6. 5 バイアス電荷転送増幅器の転送時間

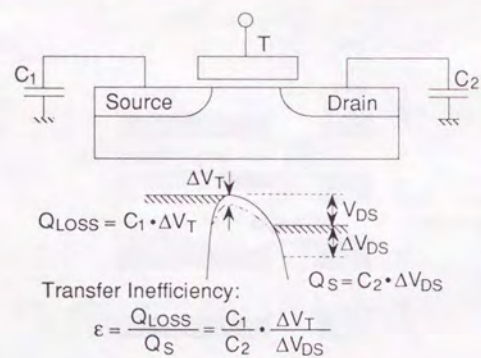


図 6. 6 電荷転送増幅器の転送損失

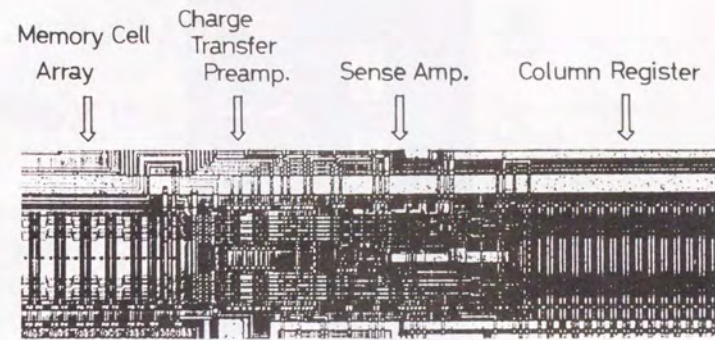


図 6. 7 4 k ビット (1 k セル) テスト素子のチップ写真

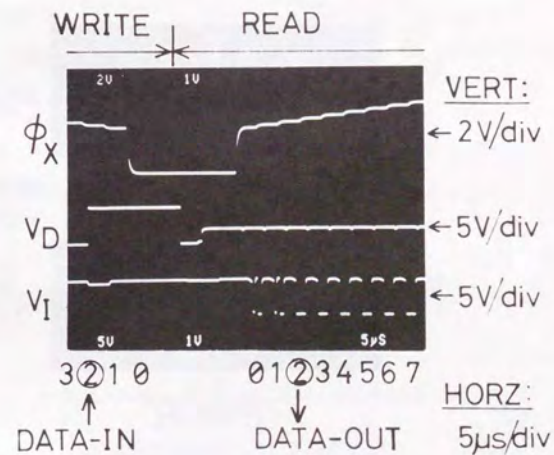


図 6. 8 16 値 / セル 動作波形

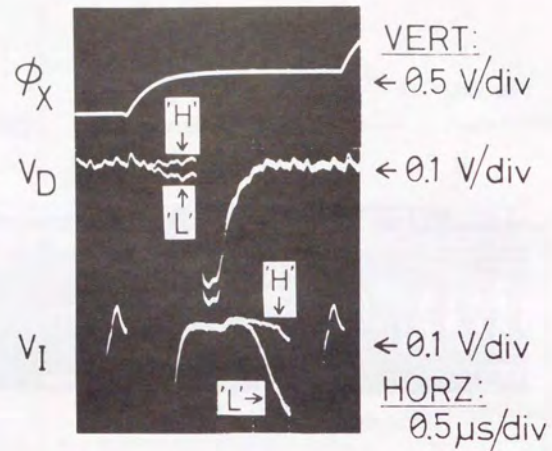


図6.9 電荷転送増幅器による信号増幅波形

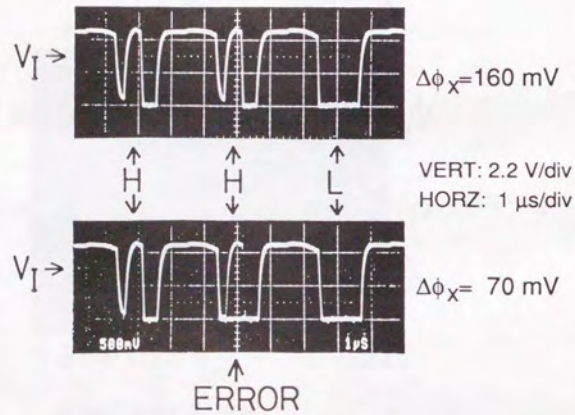


図6.10 センス増幅器検出誤り波形

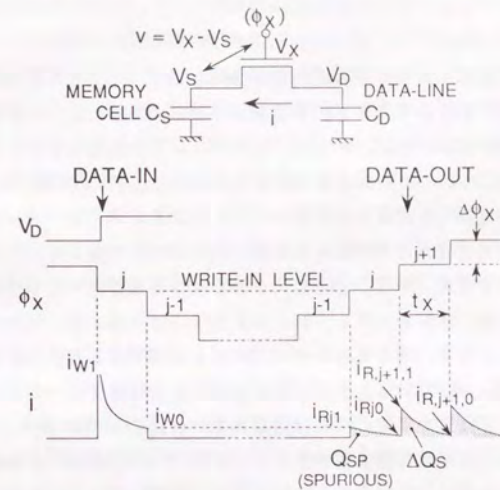


図6.11 メモリセル動作電流概念図

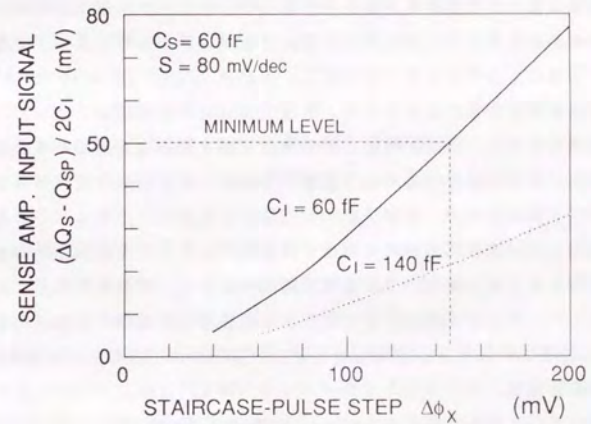


図6.12 センス増幅器入力信号下限と階段状パルス振幅最小値

本論文では、高集積DRAMの高性能化を目的として、その基本研究課題である低雑音化技術を取り上げ、最近のDRAM開発において新たに問題となった雑音の発生機構を解明して低雑音化を図るとともに、さらに、将来のDRAM基礎技術として、極低電力化および信号の多値化について、それらを実現する低雑音化技術の提案と検討を行った。その結果、16Mビットないしそれ以上に高集積化されたDRAMでは、チップ内で増大する寄生容量のために、とくにメモリアレーにおいて信号の25%を越えるデータ線間干渉雑音が発生し、 α 線ソフトエラー特性などに重大な影響を与えることを示した。この雑音の低減法としてデータ対線の燃架を提案し、信号の5%以下と問題のない程度に抑えることができることを示した。また、増大する寄生容量の下でも高速に信号検出ができる電流検出増幅器を提案し、データ線燃架法と併せて16Mビット素子に適用し、アクセス時間60nsを達成した。また、さらにDRAMの将来技術として、消費電力10mW以下の1.5V電池駆動DRAMや、1トランジスタ型メモリセルに16値(4ビット)のデータを蓄積できる多値メモリの回路方式を提案し、基本動作を確認した。これらは、将来の高集積DRAMによる高速ファイルメモリ実現に道を拓き、また、携帯用電子機器への幅広い応用を可能にするものである。以下、これらの内容を具体的に述べる。

第1章においては、DRAM基本技術研究開発のこれまでの経緯を述べ、低雑音化技術がDRAMの高集積化・高性能化に不可欠であることを示した。また、DRAMの技術動向から見た将来の展望を述べ、本論文の位置付けを明らかにした。まず、従来の主要な低雑音化技術としては、折り返しデータ線構造、および $V_{cc}/2$ プリチャージ方式の2つが、4Mビットまでに定着したことを示した。本論文前半の主要課題は、16Mビットないしそれ以上の高集積DRAMで新たに問題となる雑音に関するものであり、上記の4Mビットまでの低雑音化技術を発展させるものである。つぎに、最近のDRAM技術動向として、動作電圧低下、消費電力減少、および動作速度飽和を指摘し、これらがDRAMのファイル応用や、携帯用電子機器への応用を促進するものであることを述べた。本論文後半の課題は、この動向をふまえ、将来のDRAM基礎技術として、これらの応用に必要とされる抜本的な低電力化、および高集積化を可能にする低雑音技術開発である。前者はDRAMの1.5V動作、後者はDRAM多値化をそれぞれ試みたものであり、いずれもDRAMの極限性能への挑戦である。

第2章においては、セル面積が $5\mu\text{m}^2$ 以下に微細化されたDRAMメモリアレーにおいて顕在化するデータ線間干渉雑音のダイナミックな発生機構を検討し、センス増幅器の動作過程で、新たに重大な雑音が発生することを明らかにした。また、低雑音化のために、データ対線の燃架を提案し、その効果を実験により確認した。まず、メモリセルからデー

タ線へ信号読み出し時に発生する第1の干渉雑音を核として、センス増幅器による信号増幅の際に第2の干渉雑音が発生し、データ線間結合容量の増加と共に重大な影響がでることを明らかにした。この第2の干渉雑音の発生原因は、第1の干渉雑音に起因するセンス増幅器の起動開始の遅延であり、雑音は遅延時間の3乗に比例することを示した。さらに、高集積DRAMメモリアレーにおいて最も重要な回路方式である、CMOSセンス増幅器を用いた $V_{cc}/2$ プリチャージ方式では、High信号をPMOS増幅器で増幅するか、またはLow信号をNMOS増幅器で増幅する場合にのみ、上記第2の干渉雑音が発生し、他の組み合わせでは発生しない事を見出した。また、信号が中間値に減衰すると、第1の干渉雑音の存在如何にかかわらず、極めて大きい第2の干渉雑音が発生することを指摘した。この原因は、隣接するデータ対線間の信号電圧差に起因したセンス増幅器の起動開始遅延である。

上記干渉雑音のDRAM基本特性に対する影響をデータ保持特性により評価した。その結果、16Mビット相当のメモリアレーでは、100% High信号の場合、雑音対信号比で約10%の劣化を観測した。これは、第1の干渉雑音に起因しており、第2の干渉雑音は無視できる。これに対し、中間値信号では第2の干渉雑音が支配的であり、初期信号が20%程度にまで減衰すると60~100%の雑音対信号比にのぼることを示した。上記干渉雑音は、データ対線を燃架してデータ対線間結合容量 C_M を等価的に打ち消す(平衡化する)ことにより効果的に低減でき、データ保持時間も改善されることを確認した。改善度は、燃架により平衡化した C_M の割合で決まり、雑音を完全に除去する為には、メモリアレー部だけでなくセンス増幅器部分でもデータ線燃架が必要であることを明らかにした。

第3章では、データ線間干渉雑音が最も大きな影響を及ぼす α 線ソフトエラー特性について検討した。まず、 α 線入射により誘起されメモリセルに収集された電荷が、上記第2の干渉雑音を引き起こし、その結果、収集電荷を見掛け上増加させる機構を明らかにし、これに関与する干渉雑音を理論的、および実験的に定量化した。これにより、従来不明確であったメモリセル固有の収集電荷を、干渉雑音による見掛けの(疑似)収集電荷と分離して求める手法を示した。この手法により、3種類の16MビットDRAM用立体形メモリセル(従来の積層容量型;STC、データ線をシールドした積層容量型;DASH、および $V_{cc}/2$ 鞘プレート溝容量型;HSPC)の収集電荷を、2kビットテスト素子を用いて比較し、セル構造依存性について検討した。

その結果、疑似収集電荷を与える干渉雑音は、信号読み出し時に発生する1次の干渉雑音と比べ、センス増幅器共通ソース線のインピーダンス Z_s が低い小規模メモリアレーでは約2倍になり、 Z_s が高い大規模メモリアレーでは約4倍に増えることを明らかにした。また、疑似収集電荷をもたらす干渉雑音は、センス増幅器の信号判定分布の隣接データ依存性から実験的に求めることができ、疑似収集電荷は、この方法で求めた干渉雑音とデータ線容量の積で与えられることを示した。上記16Mビット用立体メモリセルに対する強制

照射実験の結果、セル固有の収集電荷は、蓄積電極につながる拡散層を取りまくSi基板中の構造で決まることを指摘した。すなわち、STCとDASHは、Si基板中の構造がほぼ等しいので、メモリセル固有の収集電荷も等しく約32fCであった。また、HSPCでは、固有の収集電荷は約20fCとSTCおよびDASHの約2/3であり、耐ソフトエラー特性に優れている。この理由は、鞘プレートが存在によりSi基板表面付近の空乏層の体積が減少し、また、埋め込みプレート(n'層)が生成電荷を吸収するからである。一方疑似収集電荷は、雑音対策のないSTCおよびHSPCでは、 Z_s が低い小規模メモリアレーでも、セル固有の収集電荷のそれぞれ20%および40%に達している。これは、 Z_s が高い大規模メモリアレーでは、さらに2倍程度にまで増加する可能性がある。したがって、16Mビットないしそれ以降の高集積DRAMでは、 α 線によるソフトエラーを低減するには、データ線間干渉雑音の防止が重要であることが明らかになった。

第4章では、第2章および第3章の雑音解析をもとに開発した、16MビットCMOSDRAMについて述べた。この素子は、低雑音メモリアレーと、高速読み出し回路が特徴である。まず、設計検討の結果、16Mビット以降のDRAMにおいては、メモリセルトランジスタのゲート絶縁膜に印加される電界が長期信頼性の観点から限界に近い5MV/cmに達するため、少なくともメモリアレーの動作電圧を従来の5Vから降圧する必要があることを明らかにした。このため、外部供給電源 V_{cc} は従来通り5V単一としてユーザの使い易さを図ったが、メモリアレーの動作電圧はチップ内で3.3Vに降圧した。しかし、メモリアレー動作電圧降圧に伴い、トランジスタの電流供給能力が低下し、また、主増幅器の入力オフセットがトランジスタの比例縮小では改善されないため、センス増幅器が共通入出力信号線(1/O線)を駆動する際の遅延時間が、5V動作の4Mビットと比べ2.6倍に増大することも明らかにした。この遅延時間増大を解消するために、掃選形電流検出方式を用いた新しい1/O線回路構成を提案した。3.3V動作で従来の方式を用いる場合と比べ、遅延時間を1/3にでき10nsの高速化が可能であり、また、5V動作の4Mビットと比べても、遅延時間を1/2以下にできることを明らかにした。これにより、電流検出方式が低電圧化時代のDRAM高速化設計に有効な手段であることが示された。一方、低雑音メモリアレーとしては、データ線2重燃架構造が有効であることを述べ、従来の折り返しデータ線構造では25%を越える干渉雑音を、燃架法により1/6(5%以下)と実用上問題のない程度に低減できたことを示した。燃架によるチップ面積の増加は約7%、データ線容量の増加は1%以下であった。上記の低雑音、高速回路技術を用いて、16MビットCMOSDRAMを設計し、0.6 μ m CMOS 2層A1プロセスを用いて試作した。評価の結果、RASアクセス時間60nsが得られ、4Mビット以上の高速化が実現できたことを明かにし、上記回路技術の有効性を確認した。

第5章では、将来のDRAMの重要な基礎技術として極低電力化技術を取り上げ、DRAMの電池動作、とくにこれまでS/N維持の観点から困難と考えられていた1.5V電池動

作の可能性を検討した。まず、極低電力化技術として、データ線電圧振幅 V_D を、センス増幅器NMOSおよびPMOSトランジスタしきい電圧の和($V_{TN}+|V_{TP}|$)に抑えて、メモリアレー消費電力を最小にする方式を提案した。ただし、この時、(1)メモリセル蓄積容量電極をパルス駆動すること(プレートパルス法)により、 V_D を最小にした状態でも、蓄積信号電圧を実効的に高く維持し、(2)積層容量型メモリセルにおいてデータ線をシールドした構造(DASH)とし、データ線間干渉雑音をデータ線燃架なしに低減することと併せて高いS/Nを達成できるようにした。

上記極低電力化技術を用いた1.5VDRAMの性能を、16Mビットを例にとりて現状の5VDRAMと比較した。その結果、(1)消費電力は動作時7.5mW以下(動作周期1 μ s)、データ保持時0.45mW以下であり、これは現状の5VDRAMの1/10に相当することを明らかにした。従って、このDRAMを8個用いて16Mバイトメモリスシステムを構成すると、単3相当(2Ah)の乾電池8個で400時間の連続動作が、また、同じ電池1個で800時間のデータ保持が可能である。また、(2)アクセス時間は現状のDRAMと大きく変わるものではなく、100~200nsが可能であるが、サイクル時間は、駆動パルス相互に新たなタイミングが必要となるために、100ns程度増加すると見積られることを明らかにした。

上記技術の可能性を検証するために、2kビットテスト素子を試作し、原理実験を行った。その結果、(1)テスト素子が外部電源 $V_{cc}=1.5V$ 、データ線電圧振幅 $V_D=1V_{D-P}$ ($=V_{TN}+|V_{TP}|$)で動作すること、(2)DASH構造により、データ線間干渉雑音は信号の7%以下に低減されること、および(3)現状の5VDRAM(メモリアレー3.3V)と同等のデータ保持特性やソフトエラー特性を実現できる見通しがあることをそれぞれ確認し、1.5V電池動作が充分可能性のある目標であり、携帯用電子機器への幅広い応用が期待されることを明らかにした。

第6章では、DRAMのもう1つの基礎技術として将来重要になることが予想される、蓄積電圧の多値化による高集積化技術を検討した。まず、微小な信号をデータ線上で扱うDRAMではS/N確保が難しいと従来考えられていた多値信号の書き込み・読み出しを行うために、(1)1トランジスタ形DRAMセルのワード線に階段状パルスを印加し、パルスのレベルに対応した電圧を多値情報として書き込み・読み出しを行い、(2)多値に分割されるために、データ線上で極めて小さくなる信号電圧(10~20mV)を、バイアス電荷転送増幅器によりメモリセル内の蓄積電圧と同程度(1値当り100~200mV)に増幅する方式を提案した。上記技術の可能性を検証するために、1kセルテスト素子を試作し、原理実験を行った結果、16値(4ビット)/セルのメモリ動作を確認した。また、1値当りの蓄積電圧の物理的限界(最小値)は、メモリセルトランジスタのサブスレッショルド電流によるリークで発生する疑似信号で制限され、1Mビット以上の高集積メモリでは約150mV程度である。従って、 $V_{cc}=5V$ で16値(4ビット)/セル動作電圧には余裕があり、同一世代のプロセス技術で次世代の集積度(4倍)実現には十分な可能性があることを明らかにした。

以上述べたように、本論文においては、高集積DRAMを高性能化する低雑音化技術について論じた。DRAMではチップの中で微小な信号を扱うために、とくにメモリアレーにおける低雑音化技術が、初期の開発から今日まで、高S/N化だけでなく、低電力化や高速化などDRAMの高性能化全般にわたる基本研究課題であった。その中で本論文では、16Mビット以上にまで高集積が進んだ最近のDRAMにおいて、基本的な信号検出にかかわる新たな問題として、従来の予想を数倍上回る干渉雑音の存在を見出し、その発生機構の解明、基本特性への影響、および抑制法の検討を行った。その結果、DRAMのチップ内で増大する寄生容量のために、信号の25%を越えるデータ線間干渉雑音が発生し、 α 線ソフトエラー特性などに重大な影響を与えるが、データ対線の燃架により信号の5%以下と問題のないレベルに抑えることができることを示した。また、増大する寄生容量の下でも高速に信号検出ができる電流検出増幅器を考案し、データ線燃架法と併せて16Mビット以降のDRAM基本技術として有効であることを確認した。また、将来のDRAM高性能化基本技術として、極低電力化や、多値化を可能にする低雑音化技術の提案と検討を行った。その結果、消費電力10mW以下の1.5V電池駆動DRAMや、1トランジスタ型メモリセルに16値(4ビット)のデータを蓄積できる多値メモリの実現可能性を確認した。これらは将来、高速ファイルメモリ装置や携帯用電子機器などにDRAMの応用が拡大する際に必要となる主要な基本技術に幅広い選択の余地を与えることができるものである。今後、DRAMの高集積化・高性能化を推進するために、低雑音化技術をさらに発展させることが必要であるとともに、極低電力化技術や超高集積化技術などを一層追求し、DRAMの応用範囲を拡大することが期待される。

謝 辞

本論文の執筆にあたり御指導、御助言を頂いた東京大学工学部長 菅野卓雄教授に深く感謝致します。本研究は日立製作所中央研究所で行ったものであり、本研究の遂行にあたっては伊藤清男主管研究員、久保征治元部長(現在、半導体設計開発センター)、増原利明前部長(現在、情報通信事業部)、角南英夫前部長(現在、半導体設計開発センター)の御指導および御協力を頂きました。本研究は、中央研究所MOSメモリ研究グループおよび日立製作所デバイス開発センターの各位の御協力により成し得たものですが、とくに、中央研究所下東勝博部長、大場信弥元主任研究員(現在、研究開発本部)、湊修元主任研究員(現在、半導体設計開発センター)、中村英夫元主任研究員(現在、日立超LSIエンジニアリング)には回路設計およびメモリ応用に関し、高野幸男元主任研究員(現在、東京理科大学)、川本佳史主任研究員、武田英次主任研究員、木村紳一郎研究員、加賀徹研究員にはプロセス・デバイス設計および試作に関し、鳥谷部達主任研究員、増田弘生元主任研究員(現在、デバイス開発センター)にはデバイスおよび回路シミュレーションに関し、それぞれ貴重な御意見ならびに御支援、御協力を頂きました。また、堀口真志主任研究員、中込儀延研究員、衛藤潤技師、池永伸一元研究員(現在、半導体設計開発センター)、竹内幹研究員および日立超LSIエンジニアリング田中均技師には設計、評価全般にわたり幅広く御討論ならびに御協力を頂きました。設計、評価の一部は川尻良樹技師および日立超LSIエンジニアリング、渡辺泰技師、日立デバイス川瀬靖氏、重政俊明氏に担当して頂きました。素子の試作は林田哲哉元主任研究員(現在、デバイス開発センター)、矢木邦博元主任研究員(現在、神奈川工場)、酒井芳男元主任研究員(現在、半導体設計開発センター)、西田高主任研究員および日立超LSIエンジニアリング木須輝明技師に御協力頂きました。さらに、デバイス開発センター川本洋前部長(現在、半導体設計開発センター)、石原政道部長、松本哲郎主任技師、佐藤克之主任技師には有益な御討論を頂きました。ここに深く感謝の意を表します。

本研究を長期にわたって成し得たことは、中央研究所武田康嗣前所長(現在、常務取締役)、堀越彌所長、浅井彰二郎前副所長(現在、基礎研究所)、原田征喜元部長(現在、生産研究所)の御支援と御援助によるものであり、厚く感謝致します。

参考文献

- (1) W.M.Regitz and J.A.Karp, "A three-transistor-cell 1024 bit 500 ns MOS RAM," IEEE International Solid-State Circuits Conference(ISSCC), Digest of Technical Papers, pp.42-43 (Feb. 1970).
- (2) K.Itoh, "Trends in megabit DRAM circuit design," International Symp. VLSI Technology, Systems and Applications, Taipei, Taiwan, Proc. Tech. Papers, pp.21-27 (May 1989).
- (3) R.H.Dennard, "Field-effect transistor memory," US Patent 3,387,286 (June 4, 1968).
- (4) C.W.Lambrechse, R.H.W.Salters, and L.Boonstra, "A-4096 bit one-transistor per-bit RAM with internal timing and low dissipation," ISSCC Dig. Tech. Papers, pp.26-27 (Feb. 1973).
- (5) R.Proebsting and R.Green, "A TTL compatible 4096-bit N-channel RAM," *ibid.*, pp.28-29.
- (6) M.Koyanagi, H.Sunami, N.Hashimoto, and M.Ashikawa, "Novel high density, stacked capacitor MOS RAM," IEEE International Electron Device Meetings (IEDM), Tech. Dig., pp.348-351 (Dec. 1978).
- (7) H.Sunami, T.Kure, N.Hashimoto, K.Itoh, T.Toyabe, and S.Asai, "A corrugated capacitor cell (CCC) for megabit dynamic MOS memories," IEDM, Tech. Dig., pp.806-808 (Dec. 1982).
- (8) K.Itoh, R.Hori, J.Etoh, S.Asai, N.Hashimoto, K.Yagi, and H.Sunami, "An experimental 1Mb DRAM with on-chip voltage limiter," ISSCC Dig. Tech. Papers, pp.282-283 (Feb. 1984).
- (9) Y.Takemae, T.Ema, M.Nakano, F.Baba, T.Yabu, K.Miyasaka, and K.Shirai, "A 1Mb DRAM with 3-dimensional stacked capacitor cells," ISSCC Dig. Tech. Papers, pp.250-251 (Feb. 1985).
- (10) 中島蕃, 峰岸一茂, 三浦賢次, 森江隆: "大容量MOS DRAMプロセス技術一現状と今後の課題一", 半導体研究, vol.30, pp.3-38 (1988-8).
- (11) 伊藤清男: "メガビットDRAM回路技術", *ibid.*, pp.39-77.
- (12) H.Masuda, R.Hori, Y.Kamigaki, K.Itoh, H.Kawamoto, and H.Katto, "A 5 V-only 64k dynamic RAM based on high S/N design," IEEE J. Solid-State Circuits, vol.SC-15, no.5, pp.846-854 (Oct. 1980).
- (13) T.C.May and M.H.Woods, "Alpha-particle-induced soft errors in dynamic memories," IEEE Trans. Electron Devices, vol.ED-26, no.1, pp.2-9 (Jan. 1979).
- (14) G.A.Sai-Halasz, M.R.Wordeman, and R.H.Dennard, "Alpha-particle-induced soft error rate in VLSI circuits," IEEE Trans. Electron Devices, vol.ED-29, no.4, pp.725-731 (April 1982).
- (15) K.Takeuchi, K.Shimohigashi, E.Takeda, E.Yamasaki, T.Toyabe, and K.Itoh, "Alpha-particle-induced charge collection measurements for megabit DRAM cells," IEEE Trans. Electron Devices, vol.36, no.9, pp.1644-1650 (Sept.1989).
- (16) W.T.Lynch, and H.J.Boll, "Optimization of the latching pulse for dynamic flip-flop sensors," IEEE J. Solid-State Circuits, vol.SC-9, no.2, pp.49-55 (April 1974).
- (17) J.M.Lee, J.R.Breivogel, R.Kunita, and C.Webb, "A 80ns 5V-only dynamic RAM," ISSCC Dig. Tech. Papers, pp.142-143 (Feb. 1979).
- (18) 川尻良樹, 堀陵一, 衛藤潤, 伊藤清男: "ダイナミックメモリのS/N評価法", 昭和56年度電子通信学会総合全国大会, 441, 予稿集 p.2-206 (1981-4).
- (19) K.Itoh, R.Hori, H.Masuda, Y.Kamigaki, H.Kawamoto, and H.Katto, "A single 5V 64k dynamic RAM," ISSCC Dig.Tech.Papers, pp.228-229 (Feb.1980).
- (20) H.Kawamoto, Y.Yamaguchi, S.Shimizu, K.Ohishi, N.Tanimura, and T.Yasui, "A 288kb CMOS pseudo RAM," ISSCC Dig. Tech. Papers, pp.276-277 (Feb. 1984).
- (21) M.Aoki, Y.Nakagome, M.Horiguchi, H.Tanaka, S.Ikenaga, J.Etoh, Y.Kawamoto, S.Kimura, E.Takeda, H.Sunami, and K.Itoh, "An experimental 16Mb DRAM with transposed data-line structure," ISSCC Dig. Tech. Papers, pp.250-251 (Feb. 1988).
- (22) M.Aoki, S.Ikenaga, Y.Nakagome, M.Horiguchi, Y.Kawase, Y.Kawamoto, and K.Itoh, "New DRAM noise generation under half-Vcc precharge and its reduction using a transposed amplifier," IEEE J. Solid-State Circuits, vol.24, no.4, pp.889-894 (Aug. 1989).
- (23) 青木正和, 竹内幹, 中込儀延, 川瀬靖, 伊藤清男, 木村紳一郎, 加賀徹, 川本佳史: "立体形DRAMセルにおけるデータ線間干渉雑音を排除した α 線誘起収集電荷の評価", 電子情報通信学会論文誌C-11分冊, vol.J73-C-11, no.5, pp.310-318, (1990-5).
- (24) A.H.Shah, C.Wang, R.H.Womack, J.D.Gallia, H.Shichijo, H.E.Davis, M.Elahy, S.K.Banerjee, G.P.Pollack, W.F.Richardson, D.M.Bordelon, S.D.S.Malhi, C.Pilch, B.Tran, and P.K.Chatterjee, "A 4Mb DRAM with cross-point trench transistor cell," ISSCC Dig. Tech. Papers, pp.268-269 (Feb. 1986).

- (25) M.Inoue, H.Kotani, T.Yamada, H.Yamauchi, A.Fujiwara, J.Matsushima, H.Akamatsu, M.Fukumoto, M.Kubota, I.Nakano, N.Aoi, G.Fuse, S.Ogawa, S.Odanaka, A.Ueno, and H.Yamamoto, "A 16Mb DRAM with an open bit-line architecture," ISSCC Dig. Tech. Papers, pp.246-247 (Feb. 1988).
- (26) S.Fujii, M.Ogihara, M.Shimizu, M.Yoshida, K.Numata, T.Hara, S.Watanabe, S.Sawada, T.Mizuno, J.Kumagai, S.Yoshikawa, S.Kaki, Y.Saito, H.Aochi, T.Hamamoto, and K.Toita, "A 45ns 16Mb DRAM with triple-well structure," ISSCC Dig. Tech. Papers, pp.248-249 (Feb. 1989).
- (27) M.Horiguchi, M.Aoki, H.Tanaka, J.Etoh, Y.Nakagome, S.Ikenaga, Y.Kawamoto, and K.Itoh, "Dual-operating-voltage scheme for a single 5-V 16-Mbit DRAM," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1128-1132 (Oct. 1988).
- (28) M.Aoki, Y.Nakagome, M.Horiguchi, H.Tanaka, S.Ikenaga, J.Etoh, Y.Kawamoto, S.Kimura, E.Takeda, H.Sunami, and K.Itoh, "A 60-ns 16-Mbit CMOS DRAM with a transposed data-line structure," IEEE J. Solid-State Circuits, vol.23, no.5, pp.1113-1119 (Oct. 1988).
- (29) K.Yanagisawa, G.Kitsukawa, Y.Kobayashi, Y.Kinoshita, T.Ohta, T.Udagawa, K.Ishii, H.Miwa, H.Miyazawa, Y.Ouchi, H.Tsukada, T.Matsumoto, and K.Itoh, "A 23ns 1Mbit BiCMOS DRAM," 15th European Solid-State Circuits Conf., Proc., pp.184-187 (Sept. 1989).
- (30) 金田三郎: "大型コンピュータ", 電子情報通信学会誌, vol.73, no.4, pp.344-350 (1990-4).
- (31) M.Aoki, J.Etoh, K.Itoh, S.Kimura and Y.Kawamoto, "A 1.5-V DRAM for battery-based applications," IEEE J. Solid-State Circuits, vol.24, no.5, pp.1206-1212, (Oct. 1989).
- (32) M.Aoki, Y.Nakagome, M.Horiguchi, S.Ikenaga, and S.Shimigashi, "A 16-level/cell dynamic memory," IEEE J. Solid-State Circuits, vol.SC-22, no.2, pp.297-299 (April 1987).
- (33) K.Kenmizaki, M.Ogata, T.Mochizuki, S.Kubono, T.Kazimoto, Y.Shimbo, K.Sato, and O.Minato, "A 36 μ A 4Mb PSRAM with quadruple array operation," Symp. VLSI Circuits, Dig. Tech. Papers, pp.79-80 (May 1989).
- (34) M.Yamada, K.Fujishima, K.Nagasawa, and Y.Gamou, "A new multilevel storage structure for high density CCD memory," IEEE J. Solid-State Circuits, vol.SC-13, no.5, pp.688-693 (Oct. 1978).

- (35) L.M.Terman, Y.S.Lee, R.B.Merrill, L.G.Heller, and M.B.Pettigrew, "CCD memory using multilevel storage," IEEE J. Solid-State Circuits, vol.SC-16, no.5, pp.472-478 (Oct. 1981).
- (36) M.Kumanoya, K.Fujishima, K.Tsukamoto, Y.Nishimura, K.Saito, T.Matsukawa, T.Yoshihara, and T.Nakano, "A 90ns 1Mb DRAM with multi-bit test mode," ISSCC Dig. Tech. Papers, pp.240-241 (Feb. 1985).
- (37) M.Nakai, H.Ono, and M.Ozawa, "Defect-free well layer with high-dose B⁺ implantation," 16th Conf. Solid State Devices and Materials, Kobe, Extended Abs., pp.491-494 (Aug. 1984).
- (38) Y.Nishioka, K.Ohyu, Y.Ohji, N.Natsuaki, K.Mukai, and T.P.Ma, "Hot-electron hardened Si-gate MOSFET utilizing F implantation," IEEE Electron Device Letters, vol.10, no.4, pp.141-143 (April 1990).
- (39) S.Kimura, Y.Kawamoto, T.Kure, N.Hasegawa, J.Etoh, M.Aoki, E.Takeda, H.Sunami, and K.Itoh, "A new stacked capacitor DRAM cell characterized by a storage capacitor on a bit-line structure," IEDM Tech. Dig., pp.596-599 (Dec. 1988).
- (40) S.Kohyama, T.Furuyama, S.Mimura, and H.Iizuka, "Non-thermal carrier generation in MOS structures," 11th Conf. Solid-State Devices, Tokyo, 1979, Proc.; Japanese Journal of Applied Physics, vol.19, supplement 19-1, pp.85-92 (April 1980).
- (41) M.Yoshida, T.Takeshima, and M.Takada, "Scaled bit line capacitance analysis using a three-dimensional simulation," Symp. VLSI Technology, Dig. Tech. Papers, pp.66-67 (May 1985).
- (42) S.Kimura, Y.Kawamoto, N.Hasegawa, A.Hiraiwa, Y.Nakagome, M.Aoki, T.Kisu, H.Sunami, and K.Itoh, "An optically delineated 4.2- μ m² self-aligned isolated-plate stacked capacitor DRAM cell," IEEE Trans. Electron Devices, vol.35, no.10, pp.1591-1595 (Oct. 1988).
- (43) T.Yoshiwara, H.Hidaka, Y.Matsuda, and K.Fujishima, "A twisted bit line technique for multi-Mb DRAMs," ISSCC Dig.Tech.Papers, pp.238-239 (Feb.1988).
- (44) Y.Nakagome, M.Aoki, S.Ikenaga, M.Horiguchi, S.Kimura, Y.Kawamoto, and K.Itoh, "The impact of data-line interference noise on DRAM scaling," IEEE J. Solid-State Circuits, vol.23, no.6, pp.1120-1127 (Oct. 1988).
- (45) K.Tsuchida, Y.Oowaki, M.Ohta, D.Takashima, and S.Watanabe, "The stabilized reference-line (SRL) technique for scaled DRAMs," Symp. VLSI Circuits, Dig. Tech. Papers, pp.99-100 (May 1989).

- (46) 伊藤清男, 齊藤延男, 杉田 暲, 万代博克: "ユニポーラ駆動ワイヤメモリシステム", 電子通信学会, 電子計算機研究会資料, EC71-26, pp.1-8 (1971-10).
- (47) K.Arimoto, K.Fujishima, Y.Matsuda, T.Oishi, M.Tsukude, W.Wakamiya, S.Satoh, M.Yamada, T.Yoshihara, and T.Nakano, "A 60ns 3.3V 16Mb DRAM," ISSCC Dig. Tech. Papers, pp.244-245 (Feb. 1989).
- (48) 久米英治, 堀 陵一, 衛藤 潤, 木村勝高, 川尻良樹, 伊藤清男, 田中 均: "DRAMの読み出し時のアレー内雑音", 昭和61年度電子通信学会総合全国大会, 497, 予稿集 p.2-255 (1986-3).
- (49) R.H.Crawford, MOSFET in Circuit Design, McGraw-Hill, New York, 1967, Chapter 2.
- (50) M.H.Woods and B.L.Euzent, "Reliability in MOS integrated circuits," IEDM Tech. Dig., pp.50-55 (Dec. 1984).
- (51) Y.Konishi, M.Kumanoya, H.Yamasaki, K.Dosaka, and T.Yoshihara, "Analysis of coupling noise between adjacent bit lines in megabit DRAM's," IEEE J. Solid-State Circuits, Vol.24, No.1, pp.35-42 (Feb. 1989).
- (52) 川瀬 靖, 青木正和, 中込儀延, 伊藤清男: "高集積DRAMにおけるデータ線干渉雑音の α 線ソフトエラーへの影響", 昭和63年度電子情報通信学会秋季全国大会, C-138, 予稿集 p.C-2-119 (1988-9).
- (53) 田口眞男, 安藤知史, 檜垣直志, 江間泰示, 橋本治一, 藪 敬司, 中野富男: "絶縁体カプセル型トレンチキャパシタDRAMセル", 電子情報通信学会, 集積回路研究会技術報告, SDM87-3, pp.13-18 (1987-4).
- (54) T.Kaga, Y.Kawamoto, T.Kure, Y.Nakagome, M.Aoki, H.Sunami, and K.Itoh, "A $4.2\mu\text{m}^2$ half-Vcc sheath-plate capacitor DRAM cell with self-aligned buried plate-wiring," IEDM Tech. Dig., pp.332-335 (Dec. 1987).
- (55) T.Toyabe, T.Shinoda, M.Aoki, H.Kawamoto, K.Mitsusada, T.Masuhara, and S.Asai, "A soft error rate model for MOS dynamic RAM's," IEEE Trans. Electron Devices, vol.ED-29, no.4, pp.732-737 (April 1982).
- (56) K.Takeuchi, M.Aoki, Y.Watanabe, and K.Itoh, "Alpha-particle-induced charge collection in scaled DRAM cells with advanced structures," Solid-State Electronics, vol.33, no.11, pp.1477-1483 (Nov. 1981).
- (57) R.H.Dennard, G.A.Sai-Halasz, and M.R.Wordeman, "Modeling and control of alpha-particle effects in scaled-down VLSI circuits," Symp. VLSI Technology, Dig. Tech. Papers, pp.44-45 (Sept. 1981).
- (58) T.Mano, T.Matsumura, J.Yamada, J.Inoue, S.Nakajima, K.Minegishi, K.Miura, T.Matsuda, C.Hashimoto, and H.Namatsu, "Circuit technologies for 16Mb DRAMs," ISSCC Dig. Tech. Papers, pp.22-23 (Feb. 1987).
- (59) S.Watanabe, Y.Itoh, K.Sakui, K.Numata, Y.Oowaki, T.Fuse, T.Kobayashi, K.Tsuchida, M.Chiba, T.Hara, M.Ohta, F.Horiguchi, K.Ohuchi, and F.Masuoka, "An experimental 16Mb DRAM chip with a 100MHz serial read/write mode," ISSCC Dig. Tech. Papers, pp.248-249 (Feb. 1988).
- (60) T.Takeshima, M.Takada, H.Koike, H.Watanabe, S.Koshimaru, K.Mitake, W.Kikuchi, T.Tanigawa, T.Murotani, K.Noda, K.Tasaka, K.Yamanaka, and K.Koyama, "A 55ns 16Mb DRAM," ISSCC Dig.Tech.Papers, pp.246-247 (Feb. 1989).
- (61) H.Kalter, J.Barth, J.Dilorenzo, C.Drake, J.Fifield, W.Hovis, G.Kelley, S.Lewis, J.Nickel, C.Stapper, and J.Yankosky, "A 50ns 16Mb DRAM with a 10ns data rate," ISSCC Dig. Tech. Papers, pp.232-233 (Feb. 1990).
- (62) K.Kimura, K.Itoh, R.Hori, J.Etoh, Y.Kawajiri, H.Kawamoto, K.Sato, and T.Matsumoto, "Power reduction techniques in megabit DRAM's," IEEE J. Solid-State Circuits, vol.SC-21, no.3, pp.381-389 (June 1986).
- (63) T.Kusaka, Y.Ohji, and K.Mukai, "Time-dependent dielectric breakdown of ultra-thin silicon oxide," IEEE Electron Device Letters, vol.EDL-8, no.2, pp.61-63 (Feb. 1987).
- (64) K.Itoh, "Trends in megabit DRAM circuit design," IEEE J. Solid-State Circuits, vol.25, no.3, pp.778-789 (June 1990).
- (65) R.H.Dennard, F.H.Gaensselen, H.Yu, V.L.Riedout, E.Bassous, and A.R.LeBlanc, "Design of ion-implanted MOSFET's with very small physical dimensions," IEEE J. Solid-State Circuits, vol.SC-9, no.5, pp.256-268 (Oct. 1974).
- (66) H.Masuda, M.Nakai, and M.Kubo, "Characteristics and limitation of scaled-down MOSFET's due to two-dimensional field effect," IEEE Trans. Electron Devices, vol.ED-26, no.6, pp.980-986 (June 1979).
- (67) P.E.Gray and C.L.Searle, Electronic Principles, Wiley, New York, 1969, ch.18.
- (68) P.R.Gray and R.G.Meyer, Analysis and Design of Analog Integrated Circuits, 2nd ed., Wiley, New York, 1983, ch.8.
- (69) 二宮輝雄, 長谷川伸, 和久井孝太郎: "撮像工学", コロナ社, (1975-6), 第7章.
- (70) M.Aoki, H.Ando, S.Ohba, I.Takemoto, S.Nagahara, T.Nakano, M.Kubo, and T.Fujita, "2/3-inch format MOS single-chip color imager," IEEE Trans. Electron Devices, vol.ED-29, no.4, pp.745-750 (Apr. 1982).

- (71) F.Baba, H.Mochizuki, T.Yabu, K.Shirai, and K.Miyasaka,
"A 64k DRAM with 35ns static column operation,"
IEEE J. Solid-State Circuits, vol.SC-18, no.5, pp.447-451 (Oct. 1983).
- (72) K.Kimura, K.Shimohigashi, J.Itoh, M.Ishihara, K.Miyazawa, S.Shimizu,
Y.Sakai, and K.Yagi,
"A 65-ns 4-Mbit CMOS DRAM with a twisted driveline sense amplifier,"
IEEE J. Solid-State Circuits, vol.SC-22, no.5, pp.651-656 (Oct. 1987).
- (73) 青木正和: "大容量DRAM", 電子情報通信学会誌, vol.73, no.4,
pp.369-376 (1990-4).
- (74) 湯澤真也: "パーソナルコンピュータ", ibid., pp.351-356.
- (75) 濃沼健夫, 今川仁: "通信システム", ibid., pp.357-362.
- (76) S.Hiroe, "The future of the notebook computer,"
ISSCC Dig. Tech. Papers, pp.22-23 (Feb. 1991).
- (77) K.Sato, T.Kajimoto, H.Kawamoto, K.Kenmizaki, S.Kubono, T.Mochizuki,
H.Aoyagi, M.Kanamitsu, S.Kunito, S.Sano, A.Ogishima,
"A 4Mb pseudo SRAM operating at $2.6 \pm 1V$ with $3\mu A$ data retention current,"
ISSCC Dig. Tech. Papers, pp.268-269 (Feb. 1991).
- (78) K.Fujishima, K.Shimotori, H.Ozaki, and T.Nakano,
"A storage-node-boostered RAM with word-line delay compensation,"
IEEE J. Solid-State Circuits, vol.SC-17, no.5, pp.872-876 (Oct. 1982).
- (79) H.Kalter, W.Ellis, P.Heudorfer, T.Leasure, C.Miller, Q.Nguyen,
R.Papritz, C.Patton, M.Popowski, W.Van der Hoeven,
"An experimental 120 ns one-half megabit dynamic RAM with plate push cell,"
Symp. VLSI Technology, Dig. Tech. Papers, pp.74-75 (Sept. 1983).
- (80) W.H.Lee, T.Osakama, K.Asada, and T.Sugano, "Design methodology and
size limitations of submicrometer MOSFET's for DRAM application,"
IEEE Trans. Electron Devices, vol.35, no.11, pp.1876-1884 (Nov. 1988).
- (81) S.M.Sze, Physics of Semiconductor Devices, 2nd ed., Wiley, New York, 1981,
ch.8.
- (82) M.Horiguchi, M.Aoki, J.Etoh, H.Tanaka, S.Ikenaga, K.Itoh, K.Kajigaya,
H.Kotani, K.Ohshima, and T.Matsumoto,
"A tunable CMOS-DRAM voltage limiter with stabilized feedback amplifier,"
IEEE J. Solid-State Circuits, vol.25, no.5, pp.1129-1135 (Oct. 1990).

- (83) S.Kimura, Y.Kawamoto, T.Kure, N.Hasegawa, T.Kisu, J.Etoh, M.Aoki, E.Takeda,
H.Sunami, and K.Itoh, "A diagonal active-area stacked capacitor DRAM cell
with storage capacitor on bit line,"
IEEE Trans. Electron Devices, vol.37, no.3, pp.737-743 (Mar. 1990).
- (84) S.Kimura, Y.Kawamoto, N.Hasegawa, A.Hiraiwa, M.Horiguchi, M.Aoki, T.Kisu,
and H.Sunami, "A $5.4\mu m^2$ stacked capacitor DRAM cell with $0.6\mu m$ quadruple-
polysilicon gate technology," 19th Conf. Solid State Devices and Materials,
Tokyo, Extended Abs., pp.19-22 (Aug. 1987).
- (85) R.H.Dennard, "Power-supply considerations for future scaled CMOS systems,"
International Symp. VLSI Technology, Systems and Applications,
Taipei, Taiwan, Proc. Tech. Papers, pp.188-192 (May 1989).
- (86) 野沢正史, 島田朗伸, 戸川明彦: "大形システム用ストレージ製品の技術動向",
日立評論, vol.73, no.2, pp.27-32 (1991-2).
- (87) R.C.Varshney and K.Venkateswaran, "A block organized 64-kbit CCD memory,"
IEEE J. Solid-State Circuits, vol.SC-13, no.5, pp.681-687 (Oct. 1978).
- (88) K.Kimura, T.Sakata, K.Itoh, T.Kaga, T.Nishida, and Y.Kawamoto,
"A block-oriented RAM with half-sized DRAM cell and quasi-folded data-line
architecture," ISSCC Dig. Tech. Papers, pp.106-107 (Feb. 1991).
- (89) J.Mavor, M.A.Jack, and P.B.Denyer, Introduction to MOS LSI Design,
Addison-Wesley, London, 1983; 菅野卓雄, 桜井貴康 監訳: "MOS LSI 設計
入門", 産業図書, (1984-4), 第5章.
- (90) 青木正和, 竹本一八男, 小沢正美: "BCDのG・R電流とアナログ蓄積時間",
第21回応用物理学学会関係連合講演会, 講演予稿集 第2分冊, p.230 (1973-4).
- (91) T.Nobusawa, M.Azuma, H.Toyoda, T.Kuroda, K.Horii, T.Otsuki, and G.Kano,
"Frame interline transfer CCD sensor for HDTV camera,"
ISSCC Dig. Tech. Papers, pp.88-89 (Feb. 1989).
- (92) M.Aoki, Y.Nakagome, M.Horiguchi, S.Ikenaga, and K.Shimohigashi,
"A 16-levels/cell dynamic memory,"
ISSCC Dig. Tech. Papers, pp.246-247 (Feb. 1985).
- (93) Y.Nakagome, M.Aoki, M.Horiguchi, S.Ikenaga, and K.Shimohigashi,
"A high S/N design on multilevel storage dynamic memory," 17th Conf. Solid
State Devices and Materials, Tokyo, Extended Abs., pp.45-48 (Aug. 1985).
- (94) L.G.Heller, D.P.Spampinato, and Y.L.Yao,
"High sensitivity charge-transfer sense amplifier,"
IEEE J. Solid-State Circuits, vol.SC-11, no.5, pp.596-601 (Oct. 1976).

- (95) R.A.Heald, and D.A.Hodges,
"Multilevel random-access memory using one transistor per cell,"
IEEE J. Solid-State Circuits, vol.SC-11, no.4, pp.519-528 (Aug. 1976).
- (96) T.Ozaki, N.Ozawa, T.Imaide, H.Ando, and S.Ohba, "Noise modeling of new MOS
imaging device using random noise suppression circuits," 16th Conf. Solid
State Devices and Materials, Kobe, Extended Abs., pp.337-340 (Aug. 1984).
- (97) S.Terakawa, T.Yamada, K.Horii, T.Takamura, and I.Teramoto, "A new organiza-
tion area image sensor with CCD readout through charge priming transfer,"
IEEE Electron Device Lett., vol.EDL-1, no.5, pp.86-88 (May 1980).
- (98) S.Ohba, M.Nakai, H.Ando, T.Ozaki, N.Ozawa, T.Imaide, K.Ikeda, T.Suzuki,
I.Takemoto, and T.Masuhara, "MOS imaging with random noise suppression,"
ISSCC Dig. Tech. Papers, pp.26-27 (Feb. 1984).
- (99) C.H.Sequin and M.F.Tompsett, Charge Transfer Devices, Academic Press,
New York, 1975, ch.4.
- (100) W.N.Carr and J.P.Mize, MOS/LSI Design and Application, McGraw-Hill,
New York, 1972, ch.4.
- (101) S.Meguro, S.Ikeda, K.Nagasawa, A.Koike, T.Yasui, Y.Sakai, and T.Hayashida,
"Hi-CMOS III technology," IEDM Tech. Dig., pp.59-62 (Dec. 1984).
- (102) K.Sato, H.Kawamoto, K.Yanagisawa, T.Matsumoto, S.Simizu, and R.Hori,
"A 20ns static column 1Mb DRAM in CMOS technology,"
ISSCC Dig. Tech. Papers, pp.254-255 (Feb. 1985).

