

光ニューラルネットワークの
高集積化に関する研究

1992年

太田 博



①

光ニューラルネットワークの
高集積化に関する研究

1992年

太田 淳

目次

1 序論	1
1.1 序	1
1.2 本研究の背景	4
1.3 本研究の目的と意義	12
1.4 本研究の構成	14
参考文献	15
2 光ニューラルネットワークの高機能化	21
2.1 序	21
2.2 ノイズ導入光ニューラルネットワーク	23
2.2.1 装置構成	23
2.2.2 連想特性	27
2.2.3 偽メモリ特性	28
2.3 多重化による光ニューラルネットワークの大規模化	32
2.3.1 時分割多重化方式	32
2.3.2 周波数分割多重化方式	33
2.3.3 時分割多重化方式による光連想メモリ	35
2.3.4 考察	37
2.4 まとめ	39
参考文献	41

3 固定シナプス型光ニューロチップ	43
3.1 序	43
3.2 固定シナプス型チップの作製と素子特性	43
3.2.1 素子構造	43
3.2.2 製作プロセス	44
3.2.3 素子設計と素子特性	46
3.3 固定シナプス型チップを用いた認識システム	53
3.3.1 フィードバック型チップ	53
3.3.2 フィードフォワード型チップ	53
3.4 光クロストーク影響の低減	58
3.5 まとめ	60
参考文献	61
4 可変シナプス型光ニューロチップ	63
4.1 序	63
4.2 PLZT-SLM を用いた可変シナプス型チップ	64
4.3 感度可変受光素子	66
4.3.1 素子構造	66
4.3.2 素子特性	67
4.4 感度可変受光素子を用いた可変シナプス型チップ	69
4.4.1 素子構造	69
4.4.2 素子特性	71
4.5 可変シナプス型チップを用いた学習実験	74
4.5.1 実験構成	74
4.5.2 実験結果	75
4.5.3 素子特性の学習への影響	76
4.6 不揮発性感度可変受光素子	79

4.7 シリコン基板上への集積化	82
4.7.1 はじめに	82
4.7.2 結晶成長	82
4.7.3 結晶品質	87
4.7.4 素子特性	87
4.8 最大集積密度	93
4.9 まとめ	94
参考文献	97
5 全光ニューラルネットワーク用光非線形エクロン素子	101
5.1 序	101
5.2 素子構造	102
5.3 エタロン特性	103
5.4 スイッチング特性	105
5.5 まとめ	109
参考文献	111
6 総括	113
A 付録: 偽メモリ M_1 の一般性の証明	117
参考文献	119
謝辞	121
研究発表リスト	123

第 1 章

序論

1.1 序

現行のコンピュータでは実現が困難である柔軟な情報処理を可能とするニューラルネットワークの研究・開発が現在活発に進められている [1]-[8]。ニューラルネットワークは、図 1.1 に示すように、ニューロンと呼ばれる積和演算としきい値処理を行なう単純なプロセッサとシナプスと呼ばれる分散メモリを多数並列結合させた超並列・超分散型の情報処理機構である¹。ニューラルネットワークの特徴は、並列・分散処理、学習・自己組織化機能などで、これらの機能により、連想メモリ、パターン認識、最適化問題、制御問題など、現行のコンピュータでは実時間で処理が困難とされる応用分野を切り開くものとして期待されており、モデルからハードウェア化としてのニューロコンピュータに至るまで幅広い研究が展開されている [6, 8, 9]。現在まで、様々なモデルが提案されており、代表的なものに、Hopfield モデル [10, 11] などのフィードバック型モデルとバックプロパゲーション [12] などのフィードフォワード型モデルなどがある。

現在ニューロコンピュータの研究は、現行のフォンノイマン型コンピュータ上でのソフトウェアシミュレーションが主流である。しかし、現実的な問題への応用を考えた場合、数百から数千のニューロンが必要となる場合が多く [8]、これらの膨大な並列処理を逐次計算原理に基づく現行のコンピュータで実時間処理することは困難であったり、あるいはスーパーコンピュータなどが必要であったりするなど、実用化には問題がある。従って、ニューロコンピュータを実用化するためには、大規模な並列問題を高速に処理できるニューラルネットワーク専用ハードウェアの開発が必須である。また、ハードウェアの観

¹ここでいうニューロンとシナプスは工学上のモデルであって、必ずしも生理学的な事実に基づくものではない

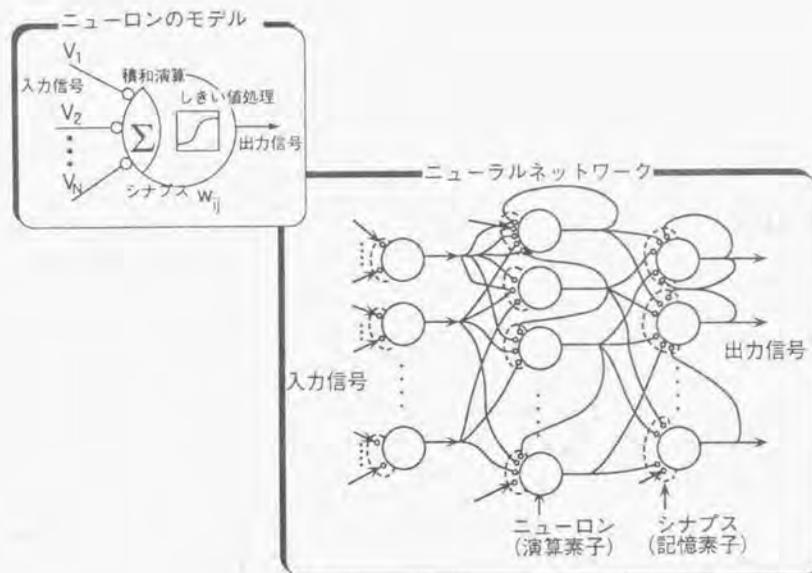


図 1.1: ニューラルネットワークの概念

点から見たニューラルネットワークの特徴は、学習・自己組織化機能によりデバイス特性の不均一性がある程度補償されること、ロバストでフェイルセーフなシステムが可能となることなどで、これらの点は大規模・複雑化の道を辿っている現在のハードウェアシステムにとって有利であるといえよう。

さて、ニューロコンピュータの実現方式としては、シミュレータ、Si-LSI ニューロチップ、および光ニューラルネットワークなどがある [9]。シミュレータは、マイクロプロセッサや DSP²等を多数結合した並列処理マシンである。これは、既存のハードウェア資産を用いることができ、現在製品化が積極的に進められている。この方式の欠点は、ニューロン数を多くするとメモリアクセスによる通信ボトルネックが生ずること、現在処理速度は数十から数百 Mega-CPS³程度となっている [9]。これに対して、専用 Si-LSI

²Digital Signal Processor

³Connections Per Second の略で、(シナプス数/1 サイクル時間) に対応し、ニューラルネットワークの処理速度を表す指標である。もう一つの指標として CUPS (Connection Update Per Second) があり、これは学習速度を表す。

ニューロチップは、ニューラルネットワークに適したアーキテクチャを考慮して回路設計がなされているため、高速な処理が可能である [13, 14]。方式としては、シナプス荷重値の実現方式に着目したデジタル型とアナログ型に大別される [6]。デジタル型では、ニューロン数として 0.2 μ m ルールで 2000/cm² が予測されている [15]。現在、5 インチウエハ上に 576 ニューロンを集積化した報告がある [16]。またアナログ型は 336 ニューロンのチップが発表されている [17]。いずれにしても、現在の DRAM に代表される大規模集積化技術や高度に発達した計算機支援技術を用いることで、今後ますます発展することが期待されている。

光ニューラルネットワークは、光の持つ空間並列性や高密度配線能力などに着目して、膨大な数のニューロン間配線を光技術を用いて実現する方式である [9]。Si-LSI では、配線が平面内に限られているのに対して、光技術を用いることにより 3 次元方向にも配線を行なうことができ [18]、膨大なニューロン間配線の実現が可能となる。特徴を列挙すれば、

- 空間並列性に優れており、ニューラルネットワークモデルをハードウェア化しやすい。
- 高密度配線が可能で、多数のニューロン間の相互配線が容易となる。これは、空間的な並列性だけでなく、波長軸、偏光軸などを用いることにより更に高密度な配線が実現できる。
- 高品質情報伝送が可能で、漏話現象がない。アースが不要なことも回路構成にとって有利である。
- 画像情報の直接処理が可能で、したがって高速な画像処理が行なえる。
- 高機能な光電子融合デバイスが可能である。
- 超高速演算が可能

などで、Si-LSI ニューロコンピュータに比べて、より大規模で高速な処理の可能性を潜在的に秘めており、Si-LSI ニューラルネットワークの次の世代の方式として、現在までにさまざまな報告がなされている [19, 20]。しかし現状では、定盤上の個別部品で構成されたシステムの報告が殆どで、そのため実用的で大規模なニューロコンピュータの実現は困難で

あった。これは、光デバイスの集積化技術が Si-LSI に比べて未成熟で、アレイデバイスを必要とする光ニューラルネットワーク実現が困難なためである。光デバイスのアレイ化技術を進め高集積化された光ニューラルネットワークを実現することによって、光の特徴を生かした実用的なデバイスを作り上げることができよう。

光ニューラルネットワークの研究を最初に手掛けたのは、米国 Caltech⁴の Psaltis らのグループで、1985 年のことである [21]。国内では、1988 年、本研究によるノイズ導入光ニューラルネットワーク (第 2 章) [22, 23] と製品科学研究所の石川⁵・浜松フォトリニクスグループによる光アソシアトロン [24] がほぼ同時期に発表され、これを契機に国内でも本格的な光ニューラルネットワークの研究が始まった。また、1989 年集積化チップが本研究によりなされた [25]。本研究は、実用的な光ニューラルネットワーク実現のために、その高集積化に関する研究を行ない基本能力の実証を目指して行なわれたものである。

本章では、第 1.2 節において本研究の背景、第 1.3 節において本研究の意義を述べ、最後に第 1.4 節で本研究の構成について述べる。

1.2 本研究の背景

光技術によるニューラルネットワークモデル実現の試みは、前述したように 1985 年 Caltech の Psaltis らのグループによる報告がその嚆矢である [21]。当時、ニューラルネットワークの研究は、Hopfield や Rumelhart による所謂第 2 次ブームの最中であり [10, 11, 7]、Si-LSI によるニューラルネットワークのハードウェア化の研究もその緒についたところであった [26, 27]。Psaltis らの光ニューラルネットワークは、光ベクトル・マトリクス乗算器に基づいており、その後の光ニューラルネットワークの基礎となるものであった。光ベクトル・マトリクス乗算器自体は、以前から光コンピュータの分野で用いられてきたものである [28]。これは、1 次元上に並べた発光素子の光強度でベクトル値を表現し、マトリクス成分値を透過率に対応させそれを 2 次元上に並べた空間光変調素子 (SLM⁶) に入射させ、透過光を発光素子とクロスする形で 1 次元上に並べた受光素子アレイに集光することで、その光電流として乗算値を得るものである⁷。この乗算器は、並列処理システムであるため高速処理が期待できる。この乗算器をニューロン間の結合に用いる Psaltis らの

⁴California Institute of Technology

⁵現在、東京大学

⁶Spatial Light Modulator

⁷電気的なネットワークでのクロスバー方式を光で置き換えたものである

表 1.1: 光ニューラルネットワークの研究の流れ

年	個別部品構成システム	集積化チップ	関連デバイスなど
1982			GaAs/AlGaAs MQW 非線形エタロン素子 (アリゾナ大 & Bell 研) [70]
1984			GOS 2 段階成長法 (沖) [57]
1985	FB 型光連想メモリ (Caltech) [21]		SEED (Bell 研) [73]
1986	ホログラム光連想メモリ (Caltech) [80]		GaAs 非線形エタロンアレイ (Bell 研) [71]
1987	光ボルツマンマシン (ペンシルバニア大) [29]	CCD 型チップの提案 (Caltech) [39]	MQW 非線形エタロンスイッチ (三菱) [82]
1988	ノイズ導入光 NN (三菱) [23]		VSTEP (NEC) [75]
	光アソシアトロン (製科研 & 浜松フォトリニクス) [24]		垂直共振器型面発光レーザの室温連続発振 (東工大) [88]
	多重化導入光 NN の提案 (三菱) [83]		GaAs on Si 半導体レーザの室温連続発振 (Caltech) [64]
1989	実時間ホログラムを用いた光 BP (NTT) [69]	固定シナプス型 FB チップ (三菱) [25]	
	高次モデル光 NN (Bellcore) [34]	α -Si 型チップ (AT&T Bell) [38]	
		EEPROM/Si-PD 型チップの提案 (豊橋技科大) [53]	
1990	量子化学習則 (三菱) [76]	固定シナプス型 FF チップ (三菱) [84]	VSPD (三菱) [43]
	実時間ホログラムを用いた光パーセプトロン (Rockwell) [68]	VSTEP 型チップ (NEC) [52]	不揮発性 VSPD (三菱) [55]
1991	面発光レーザを用いたホログラム連想メモリ (Bellcore) [78]	VSPD 型ハイブリッド集積チップ (三菱) [48, 49]	2K SEED array (Bell 研) [74]
		VSPD 型モノリシック集積チップ (三菱) [85]	多波長面発光レーザアレイ (Bellcore) [89]
		液晶/LSI ハイブリッド集積チップ (コロラド大) [77]	
		光磁気ディスク + PD 型チップ (Caltech) [40]	
1992		Si 基板上集積化 (三菱) [86]	

アイデアは画期的であった。しきい値処理とフィードバックは電気的に行ない、光と電気各々の特徴に応じて役割をうまく振分けたシステムであった。彼らは、32個のLED⁸と32×32の要素を持つ光学マスク、および32個のPD⁹、レンズなどを組み合わせ光ベクトル・マトリクス乗算器を構成、その出力を電気的にしきい値処理し、LEDへフィードバックしその入力とした。このシステムにより、32ニューロンのHopfield型連想メモリ[10]で3個のメモリの認識を確認している。従来、光ベクトル・マトリクス乗算器のようなアナログ光情報処理装置は精度が問題であったが、オンオフ状態をとるニューラルネットワークモデルを導入することで、この点が回避されているといえる。

この後、Farhatによる光ボルツマンマシン[29]、本研究によるノイズ導入光ニューラルネットワーク[30]や多重化方式大規模光ニューラルネットワーク[31, 32]、BellcoreやColorado大による高次モデル[33, 34]、光ベクトル・マトリクス乗算器そのものではないが、石川らによる光アソシアトロン[35, 36]などさまざまな研究が行なわれている。表1.1に光ニューラルネットワークの研究の流れを示す。

これらの報告はいずれも定盤上に個別部品で構成されている。しかし、実用的な光ニューロコンピュータ実現のためには、システムを集積化する必要がある。集積化のメリットとして以下の諸点があげられよう。

- 機械的に安定
- 電子回路との整合性が良い
- ニューラルネットワークの大規模化が可能
- 処理速度の高速化が可能
- 機能性デバイスとの集積化が可能

この光ベクトル・マトリクス乗算器によるシステムの集積化の可能性を示唆したのが、1987年のFarhatの論文である[29]。1989年、本研究によって光ベクトル・マトリクス乗算器の集積化素子である固定シナプス型光ニューロチップが発表された[25, 37]。このような方式の光ニューラルネットワークの集積化素子としては最初の発表である。

⁸Light Emitting Diode

⁹Photo Diode

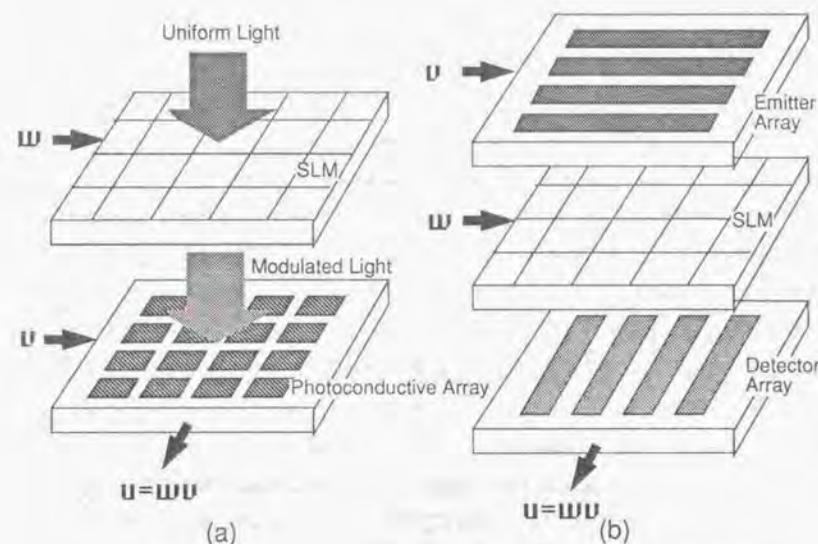


図 1.2: 光ニューロチップの実現例。(a)分離方式と(b)ビルトイン方式。

さて、光ニューラルネットワークの集積化の方式としては、図 1.2に示すように SLM などにより空間的に変調された光をチップに照射する方式と、本研究での方式の2つが考えられる。以下、光源の集積化に着目して、前者を「分離方式」、後者を「ビルトイン方式」と以下では呼ぶ。「分離方式」では空間的に変調されたパターンをデバイスに照射し、そのパターンをシナプス結合値とするものである。「分離方式」の最初の報告は、1988年のBell研のグループによる α -Si:H光伝導性を用いたシナプスアレイ素子である[38]¹⁰。CRT上に表示したパターンを α -Si:Hによる抵抗アレイ上に照射することで抵抗値を書き込み、シナプス荷重値を表現している。従って、ニューロン状態は光強度ではなく、電流値として表現されている。また、 α -Si:Hの変わりにSi-CCDアレイを用いる提案もなされている[39]。「分離方式」は発光源を外部にしているため、発熱等の消費電力の問題が比較的少ないという長所を持つが、シナプス荷重パターンを外部からチップに照射するため、そのためのデバイスが必要になり、それだけシステムが複雑化し、また光学的アライメントの調整など機械的な安定性も問題となるなどの欠点がある。Psaltisらのグ

¹⁰この報告で作製された素子は2.4インチ角のパネルである

ループは、光ディスクに計算機プログラムでシナプス荷重パターンを書き込む方式を報告しているが、この場合可変シナプス結合の実現が難であろう [40]。

これに対して、発光源をも集積化した「ビルトイン方式」では、機械的に安定であり、コンパクトにできる特徴がある [81]。この方式での問題点は、一つには発熱の問題があるが、2000 ニューロン/cm² までは許容されることが本研究第4章で明らかになっている。ここでは、発光素子としてLEDを仮定しているが、面発光レーザの導入により更に集積密度をあげることも可能である。もう一点は、可変シナプス結合素子の集積化をどうするかである。活字文字認識の場合のような特定のアプリケーションの場合には、固定シナプスで充分であるが、学習が必要なアプリケーションも多々あり、また外界環境の変化による自己組織化機能はニューラルネットワークの最大の特徴の一つでもあるため、可変シナプスの実現は必要である。光ニューロチップで可変シナプスを実現する方法として図1.3に示すようにSLMをLEDアレイとPDアレイの間に挟み込む方式が考えられる。この方式は、Farhatが1987年に提案したものである [29]。SLMは光情報処理におけるキーデバイスであり、液晶型やPLZT¹¹などの強誘電体型、GaAs/AlGaAs MQW¹²などの化合物半導体超格子構造など種々のタイプが発表されている [28]。

Von Lehmenらは液晶型SLMを用いて実際にスタック型のシステムを報告している [34]¹³。本研究では、第4章において、PLZT-SLMを発光素子と受光素子でサンドイッチした構造の光ニューロチップに関して述べる [41]。このような構成の光ニューロチップは、発光素子と受光素子の間隔が挟み込むSLMの厚みで決まってしまう、光クロストークが増大する。光クロストークは、光ベクトル・マトリクス乗算器としての特性を劣化させる [44]。また、PLZTや液晶と半導体との集積化技術は現状ではまだ未開拓で、特に偏光子の集積化は非常に困難を伴う。半導体との集積化という観点では、MQWの光非線形性を用いたSLMは他の方式に比べれば有望ではあるが、現状では製作技術の点からSLM自体小規模なアレイ数しか報告されていない [42]。また、使用光源の波長安定性が要求されること、コントラスト比が小さいことなどの問題点もある [42]。

以上の点を解決するために、本研究ではSLMとPDの機能をあわせ持つ感度可変受光素子(VSPD¹⁴)を提案した [43, 44, 45]。この概念を図1.3に示す。この素子では、受光感

¹¹Pb_{0.9}La_{0.1}(Zr_{0.65}Ti_{0.35})O₃

¹²Multiple Quantum Well

¹³全て個別部品を用いて構成されたもので、チップとは言い難い

¹⁴Variable Sensitivity Photo Detector

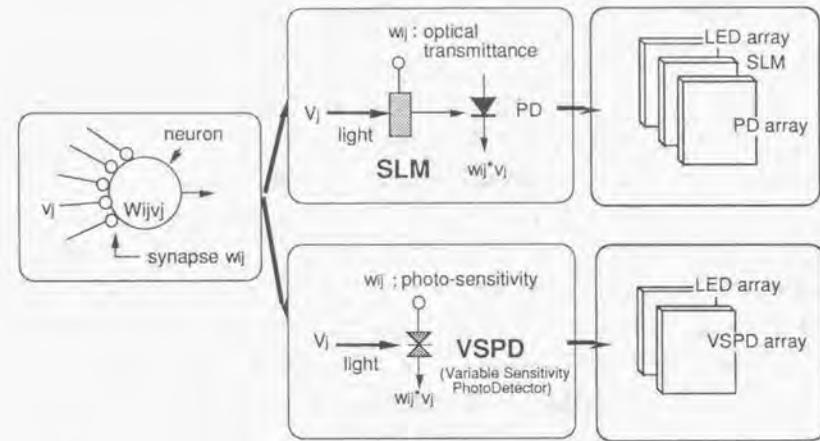


図 1.3: 可変シナプス型光ニューロチップの構成概念 (SLM 使用方式と VSPD 使用方式)

度を外部印加電圧により変化させることができ、この受光感度をシナプス結合に対応させる。本研究ではこのVSPDとしてMSM¹⁵構造を用いることを提案した¹⁶。MSM構造VSPDは、

- 感度をアナログ的に変化させることができること
- 正負のシナプス結合を一個の素子で実現できること
- プレーナ構造であるため電子素子や光機能素子との集積化が容易であること
- 簡単かつ小型な構造であるため高密度集積化に適している

などの優れた特長を有している。同様のアイデアとしてSunらはSi-MOS¹⁷構造を用いた素子を報告している [47]¹⁸。彼らはニューラルネットワークへの適用ではなく、むしろ「分離方式」に相当する光ベクトル・マトリクス乗算器を目的としている。この素子は感度飽和が早くそのためダイナミックレンジが狭いこと、負の感度を表現できないこと、印

¹⁵Metal Semiconductor Metal

¹⁶MSM 構造 VSPD は本研究とほぼ同時に MacDonald and Lee によっても報告されている [46]。

¹⁷Metal Oxide Semiconductor

¹⁸Sun らはこの素子を GCPD (Gate-Controlled PhotoDiode) と呼んでいる

加電圧がゼロでも感度がゼロにならないことなどの点から、本研究の素子の方がニューラルネットワークには適していると言える。

この VSPD アレイを用いて、実際に可変シナプス結合を有する光ニューロチップを製作して学習実験をおこない本方式の有用性を実証した [48, 49, 50, 51]。「ビルトイン」方式のチップとしては、初めての学習実験の報告である。他の報告例として、VSTEP¹⁹ アレイと PD アレイを集積化した報告がある [52]。これは、VSTEP のダイナミックメモリ機能をマトリクスアドレッシングに用いたものであるが、VSTEP が本質的にオンオフ動作素子であるためアナログ荷重値を表現するために多数の素子を用いる必要があり、大規模集積化が困難である。また、米津や Yariy らは電子回路により受光素子の光電流を制御する方式を提案、基本ユニットの実証を行なっている [53, 54]。この方式は、電子回路に比重をおいたもので、VSPD 単体でこの電子回路を実現できており、集積密度の観点から本研究の VSPD を用いる方式が有望であると言える。

本研究では、可変シナプス型チップの基本実証を目的としているため、各 VSPD エレメントへのアクセスは直接配線方式としている。そのため、ニューロン数 n に対して n^2 本の配線が必要となる。したがって、ニューロン数を増やしたときこの方式は限界がある。VSPD アレイへのアクセス方式として、非線形応答型、スイッチ素子集積化型、メモリ機能型などが考えられる。本研究では、不揮発性感度機能を有する VSPD を提案、その基本機能の実証を行なった [55]。これにより配線数は n^2 から n のオーダーに減らすことができ大規模集積化が可能となる。

光ニューロチップ駆動のためには、アンプやドライバなどの電子回路が必要である。また、学習アルゴリズムのためのコントローラが必要な場合もある。これらの回路は現状ではチップの外部にあり、ケーブルでチップと接続されている。将来、これらの周辺回路を IC 化しても、ニューロン数が増加するとそのチップ数と配線は膨大なものとなる。従って、光ニューロチップと周辺回路との集積化は必須である。また、電子回路との集積化により光と電気機能をより密接に結び付けた新たなデバイス・システムの展望が開ける可能性がある。電子回路には GaAs-IC か Si-IC かの選択がある。更に、ハイブリッド集積化かモノリシック集積化の選択もある。これらの諸方式の特徴を表 1.2 にまとめた。Si-LSI のモノリシック集積化が他の方式に対して、大規模化、高速化には最も適してい

¹⁹Vertical Surface Transmittant ElectroPhotonics device

表 1.2: 電子回路の集積方式の特徴

	ハイブリッド集積化	モノリシック集積化
GaAs-IC	<ul style="list-style-type: none"> • GaAs-IC、表面実装技術共に未成熟で余り長所はない 	<ul style="list-style-type: none"> • 同一材料なので集積化は比較的容易 • GaAs-IC 技術が未成熟
Si-IC	<ul style="list-style-type: none"> • 既存の Si-LSI がそのまま使用できる • Si-LSI の表面実装技術が適用可能 • パンプやタブの集積密度の点から大規模化は困難 	<ul style="list-style-type: none"> • 大規模化に適している • GOS 技術が未成熟

るといえる。しかしその実現には、Si 基板上の GaAs (GOS²⁰) 成長技術 [56] が必要である。Si と GaAs には非常に大きな格子不整合 (4.1%) と熱膨張不整合 (2.4%) が存在し、しかも極性 (GaAs)/ 無極性 (Si) という相違があるため、良質なヘテロエピタキシャル成長結晶は得られていなかった。しかし、1980 年代中頃から、2 段階成長法 [57]、傾斜基板上への成長 [58]、歪み超格子の導入 [59]、熱サイクルアニール [60]、などの方式が開発され、転位密度の激減などその結晶品質が飛躍的に向上した [61]。現在も、一層の転位低減化を目指して研究が活発に行なわれており、転位密度を 10^5cm^{-2} 以下にすることも可能となっている [62]。これまで、LED [63] や半導体レーザー [64] などの光素子や MESFET [65] などの電子素子、或はそれらの集積化素子 (OEIC) [66] などの作製が報告されている。しかし、OEIC に関してはその応用を明確に意識した報告は殆どなく、光ニューラルネットワークに GOS 技術を適用したのは本研究が最初である。

光ニューラルネットワークのもう一つの流れは、処理の殆ど全てを光で行なう全光ニューラルネットワークである。画像情報処理はニューラルネットワークの重要な応用分野であるが、2 次元情報のためその処理に非常に時間がかかる。光技術を用いて 2 次元情報をそのままの形で入力・処理できれば実時間画像処理が可能となる。そのためには、面入出力デバイスや 2 次元光しきい値処理や光スイッチデバイスが必要である。また、結合素子としてホログラムが重要である。ホログラムを用いた光連想メモリの歴史は古く、1969 年の Gabor の提案に遡るが [87]、近年のニューラルネットワークハードウェア化研究の高まりと素子技術の発達などにより、ニューラルネットワークを意識した研究が盛んとなっている [67]。シナプス結合として実時間ホログラムである BaTiO₃ や LiNbO₃ などを

²⁰Gallium arsenide On Silicon

用いた光パーセプトロン [68] や光バックプロパゲーション [69] が報告されている。光しきい値素子として、BaTiO₃ などの位相共役素子や GaAs 系非線形エタロン素子 [70] を用いたシステムなどが発表されている。GaAs 非線形エタロン素子は、アリゾナ大学の Gibbs らと Bell 研究所のグループにより積極的にその研究が進められてきた。100×100 の 2 次元アレイも試作されており今後の発展が期待される [71]。また、2 次元スイッチング素子である半導体非線形エタロン素子は、他の半導体デバイス、例えば面発光レーザアレイとの集積化も可能で、高機能な集積化画像情報処理デバイスとしての道が開かれよう。本研究では、将来の集積型全光ニューラルネットワークを目指した光スイッチの研究を行なった。これは、MQW の光非線形性を利用したエタロン素子で、ニューラルネットワークへの応用を目指し、コントラスト比の改善を行なった [72]。今後、このような光スイッチを用いた全光型ニューラルネットワークは、画像処理などへの応用を目指してその研究は一層進むと考えられる。

1.3 本研究の目的と意義

前節で述べたように、光ニューラルネットワークにおけるニューロン間配線の実現方式は、光ベクトル・マトリクス乗算器に代表される光・電子共存方式と光非線型素子やホログラムなどを用いる全光方式とに大別される。各々のキーデバイスとして、前者では、空間光変調器などが、後者では、実時間ホログラムや光非線型素子、光スイッチなどが、必要である。全光方式は原理的には非常に大規模なネットワークを実現できるが、実時間ホログラムの実現等困難な課題が多く、現状では光・電子共存方式が有望である。しかし、いずれの方式も、現状では小規模な光システムを用いニューラルネットワークモデルをそのまま適用した実験報告例が多く、前述の光の特徴を充分活かしているとは言い難い。この理由として主に、ニューラルネットワークモデルに適した光アーキテクチャの研究が未成熟なこと、Si-LSI に比べ光デバイスでは、アレイ化・集積化技術が未成熟なこと、などがあげられる。

以上の背景をもとに、本研究は、光ニューラルネットワークシステムの高集積化を半導体技術を用いて実現することをその主たる目的として行われた。また、集積化チップの高機能化を達成するための将来技術についてもその目的としている。図 1.4 に本研究の流れを示す。集積化に関して、まず基本となる素子である固定シナプス型光ニューロチップを提案し作製した。そして、素子の基本諸特性を評価することで、ニューラルネットワークに

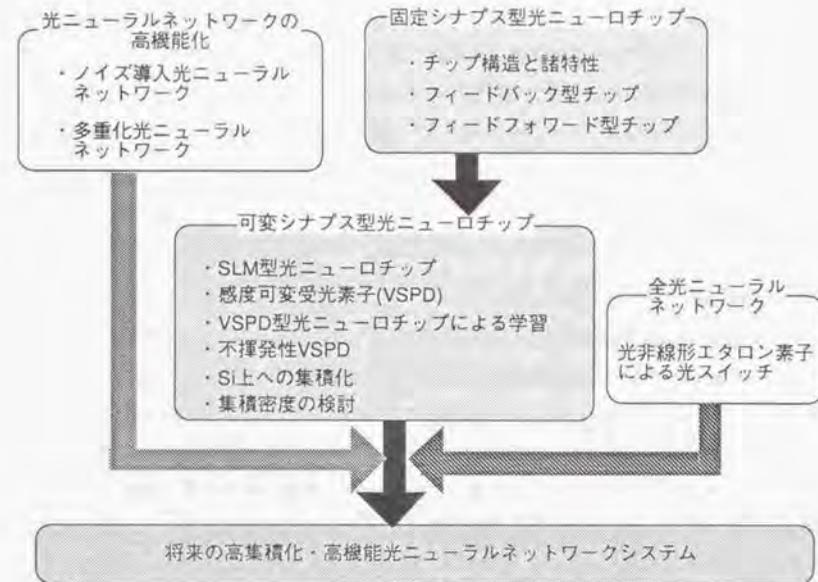


図 1.4: 本研究の流れ

における必要な諸条件が明らかになった。次にチップを用いてニューラルネットワークに適用し、その有用性を実証した。光ニューラルネットワークを半導体技術を用いて集積化した報告例は、著者の知る限り本研究が初めてである。本研究のもう一つの重要な課題は、ニューラルネットワークの最大の特徴である学習・自己組織化をこの光ニューロチップで実現することがある。その実現のために、新たに受光素子の感度を可変にできる素子の提案を行い、実際に素子を作製し、可変シナプス型光ニューロチップを実現した。そして、このチップを用いて学習実験を行ない学習チップとしての能力を実証した。光半導体集積化素子の諸特性が学習に及ぼす影響を詳細に検討したのも著者の知る限り本研究が初めてである。

この集積化チップを一層高機能化するための将来技術として、ノイズ導入による連想特性の改善と多重化技術によるネットワークの大規模化に関してバラックシステムでその基本実証を行なった。これにより、将来の集積化チップの認識機能の向上と大規模化に関する知見を得ることができた。更に、将来の全光ニューラルネットワークを目指して、非線

形光エタロン素子を用いたスイッチ素子を作製し、その基本特性を評価し、有用性を実証した。全光型ニューロチップは更に先の技術でありいまだその方式も確立していない状態であるが、本研究での結果により光非線型エタロン素子を用いた光スイッチの基本特性が明らかになり、将来の光ニューラルネットワーク集積化素子への足掛りになるものと考えられる。

1.4 本研究の構成

第2章において光ニューラルネットワークの高機能化として、システムへのノイズ導入による連想特性の改善について述べる。ここでは、32ニューロンの光連想メモリを作製し、ノイズを導入することによりこの系で連想特性が改善されることを実証する。また、多重化方式導入によるニューロン数の増加について議論を行う。時分割多重化方式と周波数分割多重化方式を提案し、計算機シミュレーションによりその有効性を確認した。また、時分割多重化方式については、実験を行いニューロン数の増加に有効であることを実証した。第3章と第4章は本研究の主要な部分で、光ニューラルネットワークを集積化したデバイスである光ニューロチップについて述べたものである。このうち、第3章では固定シナプス型チップについて、第4章では可変シナプス型チップについて述べる。固定シナプス型チップについては、その作製方法から基本的な素子特性について詳述する。そして、チップを用いた簡単なニューラルネットワークによる文字認識システムを構築し、本チップのニューラルネットワークにおける有用性を実証する。また、可変シナプス型チップについては、まずPLZT-SLMを用いた方式についてその実験結果について述べる。次に、VSPDについてその構造と諸特性について述べた後、VSPDを用いた可変シナプス型チップに関してその構造と諸特性について述べる。このチップを用いた学習実験について、その結果と素子特性が学習に及ぼす影響について考察を行なう。また、VSPDへの配線の問題を回避するために、メモリ機能付VSPDを提案し、基本機能の実証を行った。この結果により、 n^2 から n のオーダーへ配線数を減らすことが可能となった。将来のSi-LSIとの集積化を目指して、Si基板上へのGaAsの成長を行い、光ニューロチップを形成した。GOS結晶特性について述べるとともに、作製素子の基本特性について議論を行う。光ニューロチップの集積密度に関しての理論的な検討を第4章の最後で行う。最後に第5章では、将来の全光ニューラルネットワークを目指したデバイスの研究として光非線型エタロンデバイスについて述べる。第6章で研究全体の総括を行う。

参考文献

- [1] 甘利 俊一, 「神経回路網の数理」, 産業図書, 東京 (1978).
- [2] 甘利 俊一, 「神経回路網モデルとコネクショニズム」, 東京大学出版会, 東京 (1989).
- [3] 中野 馨 編著, 「ニューロコンピュータの基礎」, コロナ社, 東京 (1990).
- [4] 合原 一幸, 「ニューラルコンピュータ」, 東京電機大学出版局, 東京 (1988).
- [5] 麻生 英樹, 「ニューラルネットワーク情報処理」, 産業図書, 東京 (1988).
- [6] 久間 和生, 中山 高 編著, 「ニューロコンピュータ工学」, 工業調査会, 東京 (1992).
- [7] D.E. Rumelhart, J.L. McClelland, and PDP Research Group, *Parallel Distributed Processing, Vols. 1&2*, MIT Press, Cambridge, Mass. (1986).
- [8] *DARPA Neural Network Study*, AFCEA Int'l, Fairfax, Va. (1988).
- [9] 久間 和生, 田井 修市, 太田 淳, 「ニューラルネットワークのハードウェア」, 電子情報通信学会誌, **73**, 712 (1990).
- [10] J.J. Hopfield, "Neural networks and physical systems with emergent collective computational abilities," *Proc. Nat'l. Acad. Sci. USA*, **79**, 2554-2558 (1982).
- [11] J.J. Hopfield, "Neurons with graded response have collective computational properties like those of two-state neurons," *Proc. Nat'l. Acad. Sci. USA*, **81**, 3088-3092 (1984).
- [12] D.E. Rumelhart, G.E. Hinton, R.J. Williams, "Learning representations by back-propagation errors," *Nature*, **323**, 533-536 (1986).
- [13] C. Mead, *Analog VLSI & Neural Systems*, Addison-Wesley, Reading, Mass. (1989).
- [14] 阿江 忠, 「VLSI ニューロコンピュータ」, 共立出版, 東京 (1991).
- [15] 内村, 岩田, 雨宮, "アナログ方式とデジタル方式のVLSIによる超大規模ニューラルネットワーク実現の可能性," 信学技報 ICD 89-149 (1989).
- [16] M. Yasunaga, N. Masuda, M. Yagyū, M. Asai, M. Yamada, and A. Masaki, "Design fabrication and evaluation of 5-inch wafer scale neural network LSI composed of 576 digital neurons," *Proc. Int'l Joint Conf. Neural Networks 90*, 11-527 (1990).

- [17] Y. Arima, K. Mashiko, K. Okada, T. Yamada, A. Maeda, H. Notani, H. Kondoh, and S. Kayano "A 336 neuron, 28 K synapse, self-learning neural network chip with branch-neuron-unit architecture," *Int'l Solid State Circuits Conf., Digest of Technical Papers*, 182-183 (1991).
- [18] 武田, 「光インターコネクション」, 応用物理, **56**, 361 (1987).
- [19] Appl. Opt. **26** No. 23, (1987): *Special Issue on Neural Networks*.
- [20] Y.S. Abu-Mostafa and D. Psaltis, "Optical Neural Computers," *Scientific America*, pp.66-73 (March, 1987).
- [21] D. Psaltis, and N.H. Farhat, "Optical information processing based on an associative-memory model of neural nets with thresholding and feedback," *Opt. Lett.*, **10**, 98-199 (1985).
- [22] 太田 淳, 田井 修市, 黒田 研一, 追田 真也, 久間 和生, 浜中 宏一, 「ニューラルネットワークモデルによる光連想メモリ (I)」, 1988 年春季応用物理学会予稿 30a-ZF-1.
- [23] 太田 淳, 田井 修市, 追田 真也, 久間 和生, 浜中 宏一, 「ニューラルネットワークモデルによる光連想メモリ (II)」, 1988 年春季応用物理学会予稿 30a-ZF-2.
- [24] 石川, 向坂, 鈴木, 「光アソシエトロン (I)」, 1988 年春季応用物理学会予稿 30a-ZF-5.
- [25] 太田 淳, 高橋 正信, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップ (I) - 素子構造と連想特性 -」, 1989 年春季応用物理学会予稿 3p-ZA-13.
- [26] A.P. Thakoor, A. Moopenn, J. Lambe, and S. Khanna, "Electronic hardware implementation of neural networks," *Appl. Opt.*, **23**, 5085-5092 (1985).
- [27] W. Hubbard, D. Schwartz, J. Denker, H.P. Graf, R. Howard, L. Jackel, B. Straught, and D. Tennant, "Electronic neural networks," *Neural Networks for Computing*, AIP Conf. Proc., **151**, American Institute of Physics, 227-234 (1986).
- [28] 辻内 順平, 一岡 芳樹, 峯本 工 共著, 「光情報処理」, オーム社, 東京 (1989).
- [29] N. H. Farhat, "Optoelectronic analogs of self-programming neural nets: Architecture and methodologies for implementing fast stochastic learning by simulated annealing," *Appl. Opt.*, **26**, 5093-5103 (1987).
- [30] J. Ohta, S. Tai, M. Oita, K. Kuroda, K. Kyuma, and K. Hamanaka, "Optical implementation of an associative neural network model with a stochastic process," *Appl. Opt.*, **28**, 2426-2428 (1989).
- [31] J. Ohta, M. Oita, S. Tai, K. Hara, and K. Kyuma, "Opto-electronic implementation of a large-scale neural network using multiplexing techniques," *Trans. IEICE*, **E73**, 41-45 (1990).
- [32] M. Oita, J. Ohta, S. Tai, and K. Kyuma, "Optical implementation of large-scale neural networks using time-division-multiplexing technique," *Opt. Lett.*, **15**, 227-229 (1990).
- [33] L.Zhang, M.G. Robinson, and K.M. Johnson, "Optical implementation of a second-order neural network," *Opt. Lett.*, **16**, 45-47 (1991).
- [34] A. Von Lehmen, E.G. Paek, L.C. Carrion, J.S. Patel, and A. Marrakchi, "Optoelectronic chip implementation of a quadratic associative memory," *Opt. Lett.*, **15**, 279 (1990).
- [35] M. Ishikawa, N. Mukohzaka, H. Toyoda, and Y. Suzuki, "Experimental studies on adaptive optical associative memory," *SPIE, Vol. 963, Optical Computing '88*, 5227-5236 (1988).
- [36] M. Ishikawa, N. Mukohzaka, H. Toyoda, and Y. Suzuki, "Optical associatron: a simple model for optical associative memory," *Appl. Opt.*, **28**, 291 (1989).
- [37] J. Ohta, M. Takahashi, Y. Nitta, S. Tai, K. Mitsunaga, and K. Kyuma, "GaAs/AlGaAs optical synaptic interconnection device for neural networks," *Opt. Lett.*, **14**, 844-846 (1989).
- [38] C. D. Kornfield, R. C. Frye, C. C. Wong, and E. A. Rietman, "An optically programmed neural network," *IEEE Proc. Int'l Conf. Neural Networks*, II-357 (1988).
- [39] A. Agrinat, and A. Yariv, "Semiparallel microelectronic implementation of neural network models using CCD technology," *Electron. Lett.*, **23**, 580-581 (1987).
- [40] D. Psaltis, M. A. Neifeld, and A. A. Yamamura, "Image correlators using optical memory disks," *Opt. Lett.*, **14**, 429-431 (1989).
- [41] 太田 淳, 武藤 勝俊, 新田 嘉一, 田井 修市, 久間 和生, 「PLZT 空間光変調器を用いたダイナミック光ニューロチップ」, 1990 年秋季応用物理学会予稿 27a-H-7.
- [42] J. Singh, S.Hong, P.K. Bhattacharya, and R. Sahai, "Implementation of neural networks using quantum well based excitonic devices - device requirement studies," *IEEE Int'l Conf. Neural Networks*, II-411 (1988).
- [43] 新田 嘉一, 太田 淳, 田井 修市, 光永 一正, 久間 和生, 「感度可変型フォトダイオードを用いたダイナミック光ニューロチップ」, 1990 年秋季応用物理学会予稿 27a-H-6.
- [44] J. Ohta, Y. Nitta, and K. Kyuma, "A dynamic optical neurochip using sensitivity variable photodiodes," *Opt. Lett.*, **16**, 744-746 (1991).
- [45] Y. Nitta, J. Ohta, S. Tai, and K. Kyuma, "Variable-sensitivity photodetector using metal-semiconductor-metal structure for optical neural networks," *Opt. Lett.*, **16**, 611-613 (1991).
- [46] R.I. MacDonald and S.S. Lee "Photodetector sensitivity control for weight setting in optoelectronic neural networks," *Appl. Opt.*, **30**, 176-179 (1991).

- [47] C.C. Sun, H.H. Wieder, and W.S.C. Chang, "A new semiconductor device - The gate-controlled photodiode, device concept and experimental results," *IEEE J. Quantum Electron.*, **QE-25**, 896 (1989).
- [48] 新田 嘉一, 太田 淳, 田井 修市, 久間 和生, 「ダイナミック光ニューロチップ (I) - デバイス特性 -」, 1990 年春季応用物理学学会予稿 31a-A-6.
- [49] 太田 淳, 新田 嘉一, 高橋 正信, 田井 修市, 久間 和生, 「ダイナミック光ニューロチップ (II) - システム特性 -」, 1990 年春季応用物理学学会予稿 31a-A-7.
- [50] J. Ohta, Y. Nitta, S. Tai, M. Takahashi, and K. Kyuma, "Variable sensitivity photodetector for optical neural networks," *IEEE J. Lightwave Technol.*, **9**, 1747-1754 (1991).
- [51] Y. Nitta, J. Ohta, M. Takahashi, S. Tai, and K. Kyuma, "Optical neurochip with learning capability," *IEEE Photon. Technol. Lett.*, **4**, 247-249 (1992).
- [52] 河合, 小倉, 栗原, 山田, 笠原, 「フィードフォワード型光ニューラルネット動作に及ぼす光クロストークの影響の検討」, 1990 年春季応用物理学学会予稿 28p-D-4.
- [53] 姫野, 金森, 高野, 朴, 米津, 「プログラマブルな不揮発性光電子シナプス結合」, 1989 年秋季応用物理学学会予稿 30p-ZD-7.
- [54] C. F. Neugebauer, A. Agranat, and A. Yariv, "Optically configured phototransistor neural networks," *Int'l Joint Conf. Neural Networks '90*, Washington D. C., II-64 (1990 January).
- [55] 太田 淳, 新田 嘉一, 田井 修市, 久間 和生, 山本 誠, 「光ニューロチップ用不揮発性感度可変フォトダイオード」, 1990 年電子情報通信学会秋季全国大会 D-42.
- [56] S.F. Fang, K. Adomi, S. Iyer, H. Morkoç, H. Zabel, C. Choi, and N. Otsuka, "Gallium arsenide and other compound semiconductors on silicon," *J. Appl. Phys.*, **68**, R31 (1990).
- [57] M. Akiyama, Y. Kawarada, and K. Kaminishi, "Growth of single domain GaAs layer on (100)-oriented Si substrate by MOCVD," *Jpn. J. Appl. Phys.*, **23**, L843 (1984).
- [58] R. Fisher, H. Morkoç, D.A. Neumann, H. Zabel, C. Choi, N. Otsuka, M. Longebone, and L.P. Erickson, "Material properties of high-quality GaAs epitaxial layers grown on Si substrates," *J. Appl. Phys.*, **60**, 1640 (1986).
- [59] N. Hayafuji, S. Ochi, M. Miyashita, M. Tsugami, T. Murotani, and A. Kawagishi, "Effectiveness of AlGaAs/GaAs superlattices in reducing dislocation density," *J. Cryst. Growth*, **93**, 494 (1988).
- [60] N. Hayafuji, M. Miyashita, T. Nishimura, K. Kadoiwa, H. Kumabe, and T. Murotani, "Effect of employing positions of thermal cyclic annealing and strained-layer superlattice on defect reduction in GaAs-on-Si," *Jpn. J. Appl. Phys.*, **29**, 2371 (1990).
- [61] 西永, 「格子定数が大きく異なる基板上へのヘテロエピタキシー」, *応用物理*, **55**, 1069 (1986).
- [62] 上田, 「Si 上の GaAs 成長における転位の発生機構と抑制技術」, *応用物理*, **61**, 126 (1992).
- [63] N. Hayafuji, T. Nishimura, M. Tsugami, K. Mitsui, T. Murotani, and K. Kawaguchi, "AlGaAs light-emitting diodes of 660 nm fabricated on Si substrate using AlGaAs/GaAs superlattice buffer layer," *Inst. Phys. Conf. Ser. No.96, Ch.4*, p.183 (1989).
- [64] H.Z. Chen, A. Ghaffari, H. Wang, H. Morkoç, and A. Yariv, "Continuous-wave operation of extremely low-threshold GaAs/AlGaAs broad-area injection lasers on (100) Si substrates at room temperature," *Opt. Lett.*, **12**, 812 (1987).
- [65] R. Fisher, N. Chand, W.F. Kopp, C-K. Peng, H. Morkoç, K.R. Gleason, and D. Scheitlin, "A dc and microwave comparison of GaAs MESFET's on GaAs and Si substrates," *IEEE Trans. Electron Devices*, **ED-33**, 206 (1986).
- [66] H.K. Choi, G.W. Turner, T.H. Windhorn, and B-Y. Tsaur, "monolithic integration of GaAs/AlGaAs double-heterostructure LED's and Si MOSFET's," *IEEE Electron. Device Lett.*, **EDL-7**, 500 (1986).
- [67] 久間, 「光連想メモリー」, *応用物理*, **57**, 1522-1527 (1988).
- [68] J.H. Hong, S. Campbell, and P. Yeh, "Adaptive optical pattern classifier," *Optical Computing '90*, p.266 (1990).
- [69] K. Kitayama, H. Yoshinaga, and T. Hara, "Experiments of learning in optical perceptron-like and multilayer neural network," *Int'l Joint Conf. Neural Networks*, II-465 (1989).
- [70] H.M. Gibbs, S.S. Tarng, J.L. Jewell, D.A. Weinberger, K. Tai, A.C. Gossard, S.L. McCall, A. Passner, and W. Wiegmann, "Room-temperature excitonic optical bistability in GaAs-AlGaAs superlattice etalon," *Appl. Phys. Lett.*, **41**, 221 (1982).
- [71] T. Venkatesan, B. Wilkens, Y.H. Lee, M. Warren, G. Olbright, H.M. Gibbs, J.S. Smith, and A. Yariv, "Fabrication of arrays of GaAs optical bistable device," *Appl. Phys. Lett.*, **48**, 145-147 (1986).
- [72] J. Ohta, K. Kyuma, M. Oita, K. Mitsunaga, K. Hamanaka, and T. Nakayama, "All-optical active switch using a multiple quantum well nonlinear etalon as a laser diode mirror," *Electron. Lett.*, **24**, 216-217 (1988).
- [73] D.A.B. Miller, D.S. Chemla, T.C. Damen, T.H. Wood, C.H. Burrus, Jr., A.C. Gossard, and W. Wiegmann, "The quantum well self-electrooptic effect device: optoelectronic bistability and oscillation, and self-linearized modulation," *IEEE J. Quantum Electron.*, **QE-21**, 1462-1476 (1985).
- [74] A.L. Lentine, F.B. McCormick, R.A. Novotny, L.M.F. Chirovsky, L.A.D. Asaro, R.F. Kopf, J.M. Kuo, and G.D. Boyd, "A 2K array of symmetric self electro-optic effect devices," *IEEE Photon. Technol. Lett.*, **2**, 51-53 (1990).

- [75] K. Kasahara, Y. Tashiro, N. Hamano, M. Sugimoto, and T. Yanase, "Double heterostructure optoelectronic switch as a dynamic memory with low-power consumption," *Appl. Phys. Lett.*, **52**, 679-681 (1988).
- [76] 高橋, 小島, 田井, 追田, 新田, 久間, 「光ニューラルネットワークにおける学習アルゴリズムの提案 - 量子化学習 -」, 1989 年秋季応用物理学会予稿 30p-ZD-3.
- [77] D.A. Jared and K.M. Johnson, "Optically addressed thresholding very-large-scale-integration/liquid-crystal spatial light modulator," *Opt. Lett.*, **16**, 967 (1991).
- [78] E.G. Paek, A. Von Lehmen, J.R. Wullert II, and R. Martin, "Compact and robust incoherent holographic correlator using a surface-emitting laser-diode array," *Opt. Lett.*, **16**, 937 (1991).
- [79] H. Yonezu, T. Himeno, K. Kanamori, K. Pak, and Y. Takano, "An optoelectronic synaptic connection circuit with variable analog and nonvolatile weights," *Jpn. J. Appl. Phys.*, **29**, L1314-L1316 (1990).
- [80] A. Yariv, S-K Kwong, and K. Kyuma, "Demonstration of an all-optical associative holographic memory," *Appl. Phys. Lett.*, **48**, 1114-1116 (1986).
- [81] 太田 淳, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップの製作と文字認識への応用」, 電子情報通信学会誌 C-II, **J74-C-II**, 377-387 (1991).
- [82] 太田 淳, 久間 和生, 光永 一正, 野田 進, 追田 真也, 浜中 宏一, 「MQW エタロンを用いた外部共振器半導体レーザ」, 1987 年秋季応用物理学会予稿 18a-ZG-7.
- [83] 太田 淳, 久間 和生, 「大規模光ニューロコンピュータ - 時分割多重化法 -」, 1988 年秋季応用物理学会予稿 6p-M-10.
- [84] 太田 淳, 小島 啓介, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップ (V)-3 層フィードフォワード型」, 1990 年春季応用物理学会予稿 28p-D-3.
- [85] 新田 嘉一, 太田 淳, 田井 修市, 豊田 孝, 光永 一正, 久間 和生, 「モノリシック光ニューロチップ」, 1991 年秋季応用物理学会予稿 9p-ZH-3.
- [86] 太田 淳, 豊田 孝, 新田 嘉一, 小柴 優一, 久間 和生, 「Si 基板上 GaAs 光ニューロチップ」, 1992 年春季応用物理学会予稿 29p-B-15.
- [87] D. Gabor, "Associative holographic memories," *IBM J. Res. Dev.*, **13**, 156-159 (1969).
- [88] F. Koyama, S. Kinoshita, and K. Iga, "Room temperature cw operation of GaAs vertical cavity surface emitting laser," *Opto Electronics Conf. '88*, PD-4, pp.4-9, Oct (1988).
- [89] C.J. Chang-Hasnain, M.W. Maeda, J.P. Harbison, L.T. Florez, and C. Lin, "Monolithic multiple wavelength surface emitting laser array," *IEEE J. Lightwave Technol.*, **9**, 1665-1673 (1991).

第 2 章

光ニューラルネットワークの高機能化

2.1 序

光ニューラルネットワーク実現方式として広く用いられている方式の一つに、光ベクトル・マトリクス乗算器を用いた方式があげられる。本論文でも、この方式を半導体上で集積化を行なう研究を主要課題としている。これは、図 2.1 に示す構成で、ニューロンを光電子的に実現し、この光電子ニューロンを多数並べたものである。すなわち、ニューロンの状態を光強度として表現し、シナプス結合値を光透過率として表現し、そのネットワークとして、空間光変調素子を用いる。加算演算は、透過光を受光素子に集光することで行なわれる。シグモイド関数などのしきい値処理 (非線形処理) は、電気的に行なう。

本章では、次章以降で述べる集積化素子に用いる光学的ベクトル・マトリクス乗算器 [1] に基づく光ニューラルネットワーク [2] の高機能化を目的として行った以下の実験結果について述べる。

- 決定論的な光ニューラル連想メモリシステムへのノイズ導入 [3]
- 多重化法を用いた実効的なニューロン数の増大 [4, 5]

まず、第 2.2 節でノイズ導入システムについてその装置構成と実験結果について述べる [3]。フィードバックモデルに基づく 32 ニューロンの連想メモリシステム [6, 7, 8, 9] を光学部品を用いて試作した。このシステム自体は、Psaltis らのグループによる報告例 [2, 10] と殆ど同じである。しかし、彼らの報告では、実験系での連想特性を悪化させる要因が明かにされていなかった。本研究では、このシステムにノイズを導入することにより、システムを確率的に動作させた [11, 12]。これにより、本実験系においては、決定論的な動作

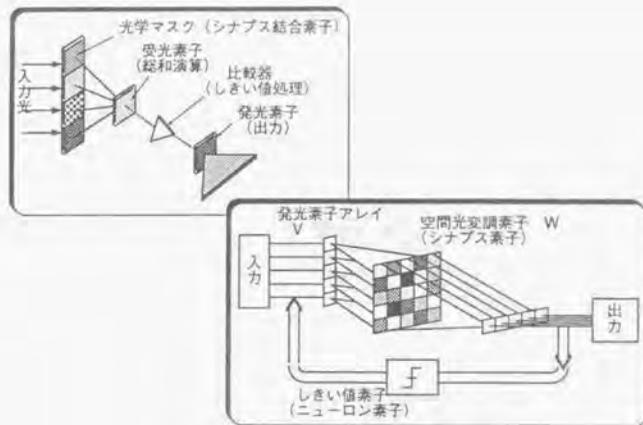


図 2.1: 光ベクトル・マトリクス乗算器による光ニューラルネットワーク。

より連想精度を向上できることを計算機シミュレーションおよび実験結果により示す。更に、記憶パターン以外の「偽メモリ」[13, 14]の存在を実験的に確認するとともに、これらが記憶パターンの論理的な混合状態で表されることを明らかにする。また、この偽メモリパターンから記憶パターンに遷移するために必要なノイズ量を推定し、実験結果との良い一致を得たことを示す。なお、同じく Simulated Annealing を行なった光ニューラルネットワークの報告が 1987 年に Farhat によってなされている [15]。本報告が、電氣的にノイズを加えているのに対して、彼らは CRT 上の白色ノイズを光学マスク上に照射する方式を用いている。

次に、第 2.3 節では、多重化法による実効的なニューロン数の増大方式に関して、計算機シミュレーション、実験装置構成および実験結果について述べる [4, 5]。ニューロン数を実効的に増大させることができる多重化方式は、限られたハードウェアを有効に活かす手段として重要である。多重化には様々な方式が考えられるが、ここでは時分割多重化方式と周波数多重化方式に関して検討を行う。そしてこれら多重化方式がニューロン数の増大に有効であることを計算機シミュレーションおよび実験によって明らかにする。

2.2 ノイズ導入光ニューラルネットワーク

2.2.1 装置構成

図 2.2 に、本システムの構成概念図を示す。扇状発光光源 LED アレイ v_i ($i=1, 2, \dots, N$)、シナプス結合荷重を表現する光学マスク w_{ij} ($i, j=1, 2, \dots, N$) およびフォトダイオード (PD) アレイ u_i ($i=1, 2, \dots, N$) により光学的ベクトル・マトリクス乗算、

$$u_i = \sum_{j=1}^N w_{ij} v_j, \quad (2.1)$$

を行っている [2, 10]。但し、 w_{ij} 各成分の正值 $w_{ij}^{(+)}$ 、負値 $w_{ij}^{(-)}$ に対応して光学系を 2 系統 ($u_i^{(+)}, u_i^{(-)}$) とし、その差、

$$u_i = u_i^{(+)} - u_i^{(-)}, \quad (2.2)$$

をしきい値 u_{th} で電氣的にしきい値処理、

$$v_i = \theta(u_i - u_{th}), \quad (2.3)$$

但し

$$\theta(x) = \begin{cases} 1 & x \geq 0 \\ 0 & x < 0, \end{cases} \quad (2.4)$$

した後 LED アレイ v_i 入力にフィードバックしている。

このシステムを用いてニューロン数 N のフィードバック型ニューラルネットワークが実現できる。ここでは、ニューロン数 $N=32$ 、蓄積情報 $M=3$ のホップフィールド型連想メモリを構築した [8]。蓄積情報ベクトル $v^{(s)}$ ($s=1, 2, 3$) の各成分を表 2.1 に示す。

STORED VECTORS

$V^{(A)}$	(0, 1, 1, 0, 0, 1, 1, 1, 1, 0, 0, 1, 0, 0, 1, 0, 0, 1, 1, 1, 1, 0, 0, 1, 0, 0, 1, 0, 0, 1, 0, 0, 1)
$V^{(J)}$	(0, 1, 1, 1, 0, 0, 0, 1, 0, 0, 0, 0, 0, 1, 0, 0, 0, 0, 0, 1, 0, 0, 1, 0, 0, 1, 0, 0, 1, 1, 0, 0)
$V^{(E)}$	(1, 1, 1, 1, 0, 1, 0, 0, 0, 0, 0, 0, 1, 1, 1, 0, 0, 0, 1, 0, 0, 0, 0, 0, 1, 0, 0, 0, 0, 1, 1, 1, 1)

表 2.1: 蓄積ベクトルの成分

また、図 2.2 中には、各蓄積ベクトルを図 2.3 に示す対応関係でパターン化した形で示している。この蓄積情報ベクトル $v^{(1)}, v^{(2)}, v^{(3)}$ を以下では A、J、E パターンと呼ぶ。各パターンのハミング距離は、A-J 間 16、J-E 間 12、E-A 間 14 である。

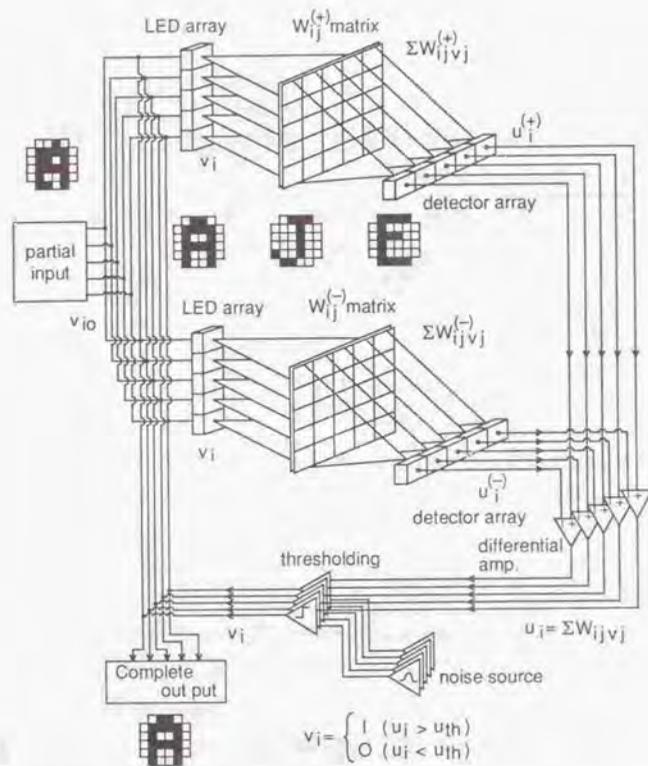


図 2.2: システム構成概念図

この蓄積情報ベクトルを用いてシナプス結合荷重 w_{ij} マトリクスは次式で与えられる、

$$w_{ij} = \sum_{s=1}^M (2v_i^{(s)} - 1)(2v_j^{(s)} - 1) - M\delta_{ij} \quad (2.5)$$

w_{ij} マトリクスはエマルジョンタイプのガラス乾板マスク (2.5 インチ角) を使い、各成分値を透過面積の大ききで表現した。各成分の面積は 1mm^2 である。式 2.5 で $M=3$ より w_{ij} 成分としては、 $0, \pm 1, \pm 3$ となる。実験では、透過パターンを簡単化するため、 $|w_{ij}|$ の最大

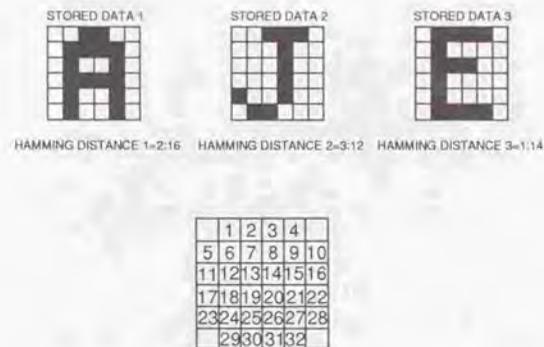


図 2.3: 蓄積ベクトル成分の 2 次元パターンへの対応関係

値を 2 とし、 ± 3 パターン成分を ± 2 (複号同順) とした。

発光源は、波長 850nm 、平均出力パワー $500 \mu\text{W}$ 、放射角 40 度の LED を 32 個アレイ状に並べたものを用い、図 2.4 に示すようにスリットアレイとレンズ ($f=200\text{mm}$ 平凸レンズ) の組み合わせで線状発光パターンとした。受光素子としては、1 素子当たり受光面積 4.1mm^2 の Si-PD アレイを用い、レンズで PD 上に集光した。コンパレータ入力段での電圧値は $|w_{ij}|=1$ に対して約 200mV であった。また、この時の PD への入力光強度は、約 3nW であった。図 2.5 は、装置概観写真である。全長は約 60cm である。

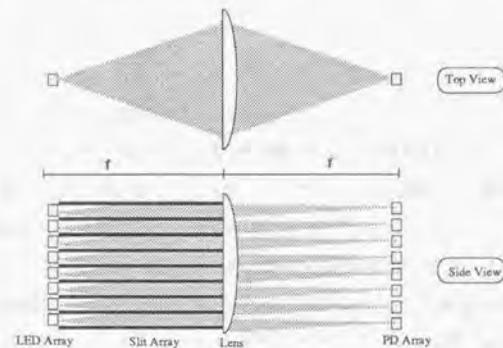


図 2.4: 光学系構成図

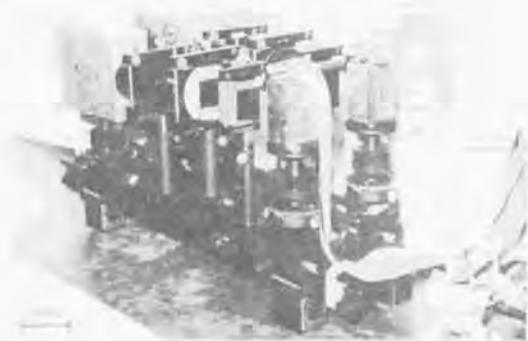


図 2.5: 装置概観写真

次に、系にノイズを加える場合について述べる。通常のホップフィールドモデルでは、式 2.3 のしきい値 u_{th} は一定値であるが、本実験ではこのしきい値を平均 0、分散 σ のガウス分布 $f(u_{th})$

$$f(u_{th}) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left(-\frac{u_{th}^2}{2\sigma^2}\right), \quad (2.6)$$

で与えらる。従って、ニューロン状態は確率的に決定され、 $v_i = 1$ となる確率 p は $u_i > u_{th}$ の場合で、

$$p = \frac{1}{\sqrt{2\pi}\sigma} \int_{-\infty}^{v_i} \exp\left(-\frac{u^2}{2\sigma^2}\right) du, \quad (2.7)$$

で与えられ、システムの状態は確率的に遷移することになる。実験では、オペアンプを 2 段直列接続し、熱雑音を増幅することによりこのような分布を得た。32 個の各ノイズ出力は、図 2.2 に示すようにコンパレータ (しきい値素子) のリファレンス端子に入力した。コンパレータのしきい値は、互いに殆ど相関がないと見なせる。分散 (rms 値) は、アンプのゲインを変えることにより変化させることができ、rms 値の変化範囲は約 30mV から 600mV である。ノイズ分布がほぼガウス分布をしていることは、ノイズ・アンプ出力を電圧 / 周波数コンバータで周波数変換した後の周波数スペクトルの形状より確認した。このスペクトル形状を図 2.6 に示す。

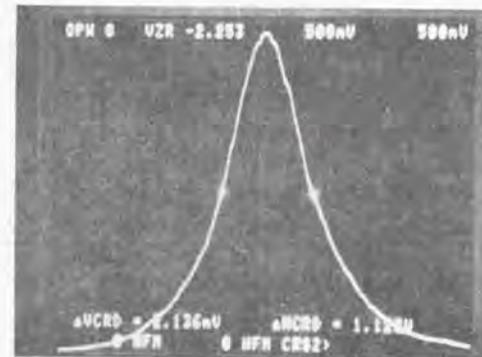


図 2.6: ノイズ分布 (電圧 / 周波数コンバータの出力)

2.2.2 連想特性

表 2.2 は、E パターンにおいて 1 ビット目から順に反転することにより、ハミング距離 H を変化させた時の収束状態である。計算機シミュレーションの結果も併せて示してある。表 2.2 中、 M_1 、 M_2 、 M_3 としているのは、蓄積パターンである A、J、E およびその反転パターンも含めてどれにも属さないパターンで、偽メモリパターンといわれている。ノイズを加えた実験結果も同じく表 2.2 に示す。適当な大きさのノイズを加えることにより、 M_3 パターンが消滅していることがわかる。また、E の反転パターンへの収束範囲も広がっている。

図 2.7 は、パターン E におけるハミング距離 H に対する認識率をプロットしたものである。認識率は各ハミング距離に対して 100 回ランダムにパターンを選び平均化した。ノイズ分散値は約 100mV である。ノイズを加えることにより明らかに認識率が向上していることがわかる。例えば、パターン全体の 10% が反転している状態である $H = 3$ での認識率は、通常の場合 65% であるのに対し、ノイズを導入することにより 100% 近くとなる。他のパターンに関してもノイズ導入による認識率向上が認められた。また、実験上の利点として、ノイズを加えることにより、個々のコンパレータのしきい値設定をそれほど厳密に行う必要がなくなるとともに、光学系のアライメント許容度も増す結果となった。実験系に不均一性などによる理想的な条件からのずれがある場合に、ノイズ導入による有効性を確認するための計算機シミュレーションを行った。ここでは、発光源に図 2.8 に示す様

Hamming distance		1	10	20	30
computer simulation	deterministic	E	J	M ₁ M ₂	E
	stochastic	E	J	M ₁ M ₂	E
E	35 mV	E	J	M ₁ M ₂	E
	100 mV	E	J	E J E	E
	200 mV	E	J	E J E	E

表 2.2: E パターンにおける収束状態

な分布を仮定した。実験と同じ3個の蓄積情報パターンを入力したときの認識率を、ノイズ導入の有無の両者の場合に関して調べた。図(a)の場合は、ノイズ導入の効果は殆ど無いが、(b)の場合、決定論的な場合では蓄積パターンに収束しないのに対して、ノイズを導入することで、認識率は86%に向上した。このように、ノイズ導入による連想特性の改善は、主として実験系における理想的な条件からのずれを緩和する役割を果たしている。ニューロン数を増加したときには、実験系は複雑になり、そのため理想的な条件からずれが一層大きくなるが、ノイズ導入はこのような場合にも有効であると予想される。この点は、理想的な条件下における結果[16]とは様相が異なると思われるが、今後の研究が必要である。

2.2.3 偽メモリ特性

本節では、偽メモリパターンについて考察する。表2.2で示したM₁、M₂、M₃パターンを図2.9に示す。これらのパターンは安定パターンで、決定論的なホップフィールドモデルにおける連想精度を劣化させる要因の一つである。

M₁、M₂、M₃は次式に示すようなA、J、Eパターンの論理的な組み合わせで表される混合状態である。

$$M_1 = \overline{(A \cap E)} \cup (E \cap J) \cup (J \cap A), \quad (2.8)$$

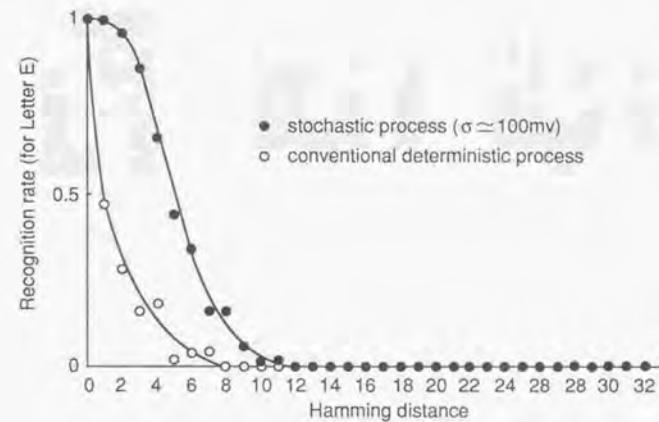


図 2.7: E パターンにおける認識率

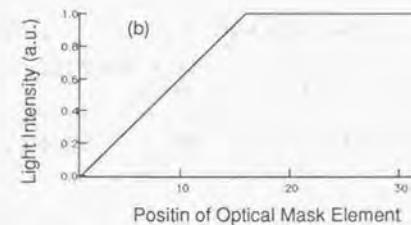
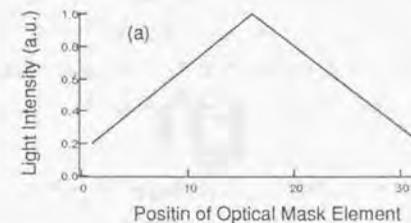


図 2.8: 発光パターン分布

$$M_2 = \overline{E} \cup (J \cap A), \quad (2.9)$$

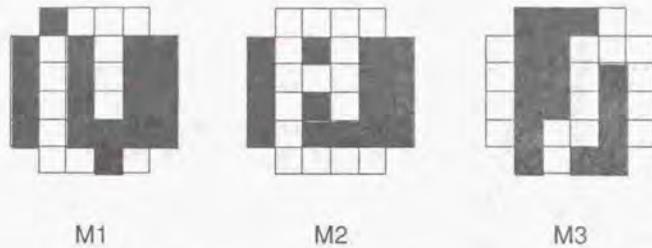


図 2.9: M_1 、 M_2 、 M_3 トラップパターン

$$M_3 = E \cap (J \cup A). \quad (2.10)$$

この内、 M_1 パターンは、 $N \gg 1$ ならば蓄積パターンに関係無くトラップとして働く一般的な偽メモリであることが証明でき、その証明を付録で行う。また、 M_3 パターンは計算機シミュレーションでは存在しないパターンで、実験系にのみ現れた。このことは、実験系における素子特性の不均一性など理想的な状態からのずれがこの偽メモリパターンの出現に関与していることを示唆している。そして、この偽メモリパターンはノイズを加えることにより簡単に消滅できる。

最後に実験系のノイズ量と分散値 σ との対応関係について簡単に述べる。図 2.10 は、偽メモリパターン M_1 から J の反転パターンへの遷移確率 p の σ 依存性のシミュレーション結果である。この結果より、 $p \sim 1$ とするためには、 $\sigma \approx 1$ が必要ながわかる。

実験では、 $|w_{ij}| = 1$ は 200mV に相当しているので、 $\sigma \approx 1$ に相当するノイズ分散値は約 200mV となる。実際、実験結果ではノイズ rms 200mV 程度で、 $M_1 \rightarrow J$ 反転パターンとなっており実験事実を良く説明していると云える。以上、偽メモリから蓄積パターン(或はその反転パターン)へ遷移させるために必要なノイズ量を推定することが可能であることが示された。

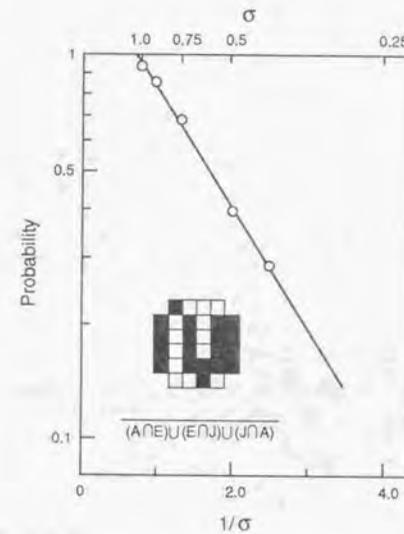


図 2.10: M_1 トラップから J 反転パターンへの遷移確率 p のノイズ量依存性

2.3 多重化による光ニューラルネットワークの大規模化

2.3.1 時分割多重化方式

時分割多重化方式 (Time-Division Multiplexing; TDM) の基本構成概念図を図 2.11 に示す。素子数 p 個の発光素子アレイ、 $p \times p$ 個の元素を持つ空間光変調器 (Spatial Light Modulator; SLM)、および素子数 p 個の受光素子アレイからなる。光学的ベクトル・マトリクス乗算の実現方法は、第 2.2 節と同じである。但し、本節では固定光学マスクの代わりに SLM を用いている。

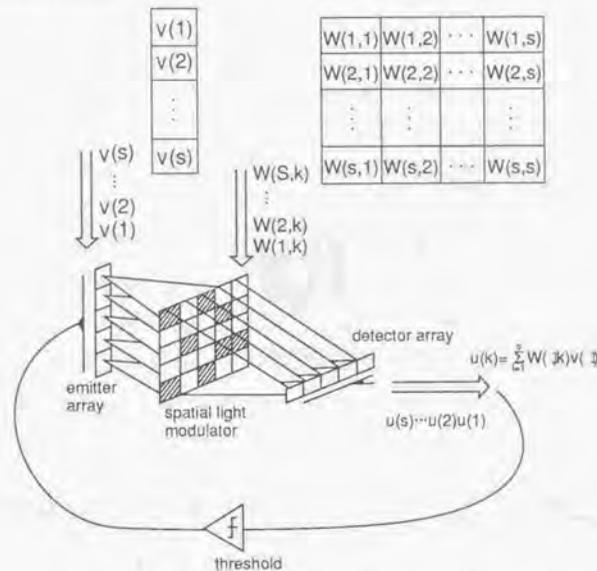


図 2.11: 時分割多重化方式の構成概念図

処理プロセスは、まず、仮想ニューロン数を N 個、その状態ベクトルを v とし、それを s 個 ($s = N/p$) の部分ベクトル $v(l)$ ($l = 1, 2, \dots, s$) に分割し、発光素子アレイ上に $l = 1$ から s まで時系列に表示する。結合行列もニューロン状態ベクトルの分割に対応して、 $s \times s$ 個の部分行列 $w(l, k)$ ($l, k = 1, 2, \dots, s$) に分割し、部分ニューロンベクトルに同

期して、時系列に SLM 上に出現させる。この部分行列 $w(l, k)$ と部分ベクトル $v(l)$ の積演算の結果を受光素子アレイ上で $l = 1$ から s まで行い加算することにより、受光素子アレイの出力 $u(k)$ として、

$$u(k) = \sum_{l=1}^s w(l, k)v(l), \quad (2.11)$$

が得られる。この $u(k)$ をしきい値処理し、部分ニューロン状態ベクトル $v(k)$ を更新しフィードバックを行う。以上の過程を $k = 1$ から s まで繰り返すことにより、仮想ニューロンベクトル v の更新を行うことができる。

図 2.12 は、ニューロン数 $N=400$ 、蓄積情報数 $M=20$ のフィードバックモデルによる連想メモリの計算機シミュレーション結果である。初期入力ベクトルからのハミング距離を変えたとき、すなわち入力ベクトルにおけるエラー率に対する認識率をプロットしている。認識率は全ての蓄積情報ベクトルについて平均化している。分割数 s をパラメータとし $s=10, 80, 200$ の場合を示してある。また、分割をしない通常の場合も示してある。この結果によると、35% 程度のエラー率以下では分割数にかかわらず、TDM 方式は有効であると云える。

ここでは、部分ニューロン状態ベクトル自体の更新は同期で行っているが、仮想ニューロン状態ベクトルは分割数 s に応じて部分的に非同期更新となっている。以上のシミュレーション結果は、この部分的な非同期更新は連想精度にあまり影響は与えないことを示している。

2.3.2 周波数分割多重化方式

周波数分割多重化方式 (Frequency-Division Multiplexing; FDM) の構成概念図を図 2.13 に示す。

FDM も TDM と同じく、仮想ニューロン状態ベクトル v と結合行列 w を、部分ニューロン状態ベクトル $v(l)$ と部分結合行列 $w(k, l)$ ($k, l = 1, 2, \dots, s$) に分割する。但し、図 2.13 に示すように、 $v(l)$ と $w(l, k)$ を各々周波数 ω_l, Ω_k ($k, l = 1, 2, \dots, s$) で通常のアナログ変調器で変調する。

次に次式のように $v(l)$ と $w(l, k)$ の多重化を行う、

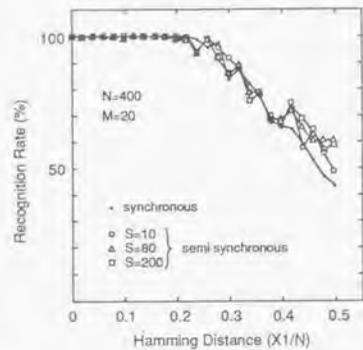


図 2.12: 時分割多重化法による連想メモリの認識率 (シミュレーション結果)

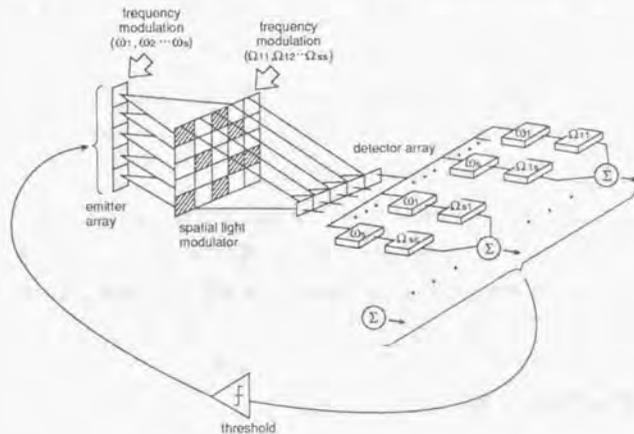


図 2.13: 周波数分割多重化法の構成概念図

$$\mathbf{v} = \sum_{m=1}^s \mathbf{v}(m) \exp(j\omega_m t), \quad (2.12)$$

$$\mathbf{w} = \sum_{l=1}^s \sum_{k=1}^s w(l, k) \exp(j\Omega_{lk} t). \quad (2.13)$$

光ベクトル・マトリクス乗算器上の発光素子に \mathbf{v} を SLM に \mathbf{w} を表現することで、受光素

子アレイ上に次式で表される出力 \mathbf{u}' を得る、

$$\begin{aligned} \mathbf{u}' &= \mathbf{w}\mathbf{v} \\ &= \sum_{l=1}^s \sum_{k=1}^s \sum_{m=1}^s w(l, k) \mathbf{v}(m) \exp[j(\omega_m + \Omega_{lk})t]. \end{aligned} \quad (2.14)$$

この出力 \mathbf{u}' を復調することによりベクトル・マトリクス乗算値を得ることができる。復調の仕方の典型例を図 2.13 に示す。まず、 \mathbf{u}' の各成分を各受光素子の後段に配置した s 個のバンドパスフィルタによって s 個の周波数成分 ω_m ($m = 1, 2, \dots, s$) に分離する。ローパスフィルタを通過した後、 m 次の周波数成分の強度は、

$$u''(m) = \sum_{l=1}^s \sum_{k=1}^s w(l, k) \mathbf{v}(m) \exp(j\Omega_{lk} t). \quad (2.15)$$

次に、各出力 u'' を更に $2s$ 個の中心周波数 Ω_{lk} のバンドパスフィルタで復調する。この結果、 $w(l, k) \mathbf{v}(l)$ ($l, k = 1, 2, \dots, s$) が出力として得られるので、最後に l 成分について和をとることにより出力、

$$\mathbf{u}(k) = \sum_{l=1}^s w(l, k) \mathbf{v}(l). \quad (2.16)$$

を得る。この出力をしきい値処理し、フィードバックをかけ状態ベクトルを更新する。

フィードバックモデルにおける TDM の場合と同じ条件下でのシミュレーション結果を図 2.14 示す。フィルタのクロストークが -26dB 以下でメモリの負荷状態が $M/N=5\%$ では、ハミング距離 20% 以内であれば認識率は殆ど劣化せず、FDM 方式は有効であることがわかる。

2.3.3 時分割多重化方式による光連想メモリ

図 2.15 は、TDM 方式を用いたフィードバック型光ニューラルネットワークの実験構成図である。本システム自体は、32 ニューロンをシミュレートするシステムである。この実験装置を分割数 $s=2$ の TDM 方式に応用する。光ベクトル・マトリクス乗算器の構成は、32 個の LED アレイ、32 本のファイバより構成されるファイババンドル 32 本 (ファイバ総数 32×32)、 32×32 ピクセルの SLM、そして 32 本のライン状 Si-PD アレイであ

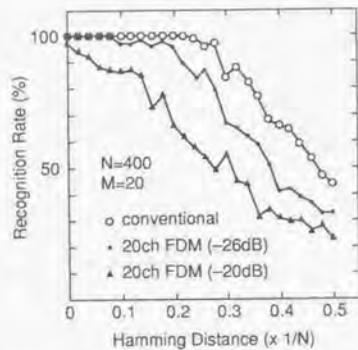


図 2.14: 周波数分割多重化法による理想メモリの認識率 (シミュレーション結果)

る。LED の波長は 560nm、平均パワーは $30\mu\text{W}$ である。SLM には、フレームレート 300msec、コントラスト比 1:2.5 の市販ツイストネマティック型液晶パネルを用いた。ピクセルサイズは、 $3.2\text{mm} \times 2.5\text{mm}$ である。ファイババンドルを用いることにより光クロストークを生じることなく LED からの光を SLM 上に照射することができた。各 LED からの光はファイババンドルによって水平方向に配列され SLM のピクセルを透過した後、ライン状の PD アレイで垂直方向に加算される。

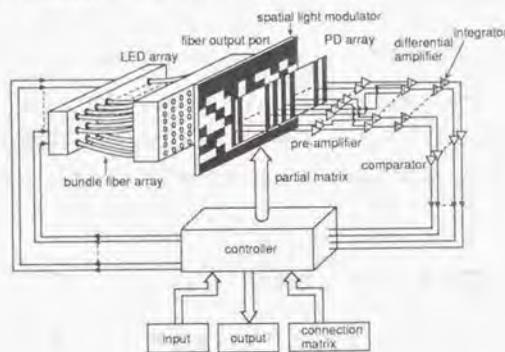


図 2.15: 時分割多重化法を用いた光理想メモリの実験構成図

本システムでは、部分結合行列の正值と負値に対応して、SLM を 2 分割し $w^{(+)}(l, k)$ と $w^{(-)}(l, k)$ を表示した。そして、2つのチャンネルからの PD 信号出力を電氣的に引算

することで出力信号 $u(k)$ を得た。この部分出力ベクトル $u(k)$ を $k=1$ から $k=s$ まで電氣的に加算し、しきい値処理することで出力ベクトル u を得た。システム全体はコンピュータ制御されている。

実験では、図 2.17 に示すようなバイナリ 64 ビット長ベクトル 8 個を蓄積ベクトルとし、ホップフィールドモデルにしたがって結合行列 w を決定した。但し、その値は、 $(-1, 0, 1)$ にクリップした。蓄積ベクトル間のハミング距離は全て 32 で互いに直交している。

図 2.16 は不完全入力情報に対する認識率をプロットしたものである。計算機シミュレーションの結果もプロットしている。この実験結果より、TDM 方式を用いることによってニューロン数を実効的に増加させることができることを実証できた。

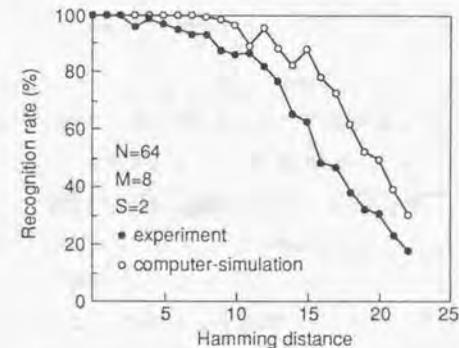


図 2.16: 時分割多重化法による理想メモリの認識率 (実験結果)

2.3.4 考察

TDM システムでは更新時間は、

$$\tau = s^2 \tau_f + \tau_i \quad (2.17)$$

で与えられる。ここで、 τ_f は SLM のフレームレート、 s は分割数、 τ_i は積分器の積分時間である。実験では、更新時間は数秒かかっており、これは液晶型 SLM のフレームレートが比較的遅いことに起因する。市販されているピクセル数 128×128 、フレームレート

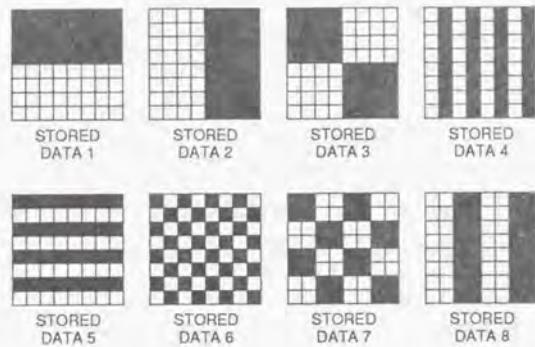


図 2.17: 時分割多重化法による光連想メモリの蓄積パターン

20msec の磁気光学効果型 SLM[17] を使用した場合、 $N=1K$ 、 $s=8$ で更新時間は 1.3 秒となる。FDM 方式の場合、更新は同時に行われるので TDM 方式に比べれば高速な更新が可能である。しかし、この場合、高速変調可能な SLM が要求される。

最後に FDM 方式における次の 2 つの要素が認識率に及ぼす影響について考察を行う。1 つは、バンドパスフィルター間の電気的クロストーク、もう一点は分割数 s の増加に伴う S/N 比の劣化である。前者に関しては、第 2.3.2 節での計算機シミュレーション結果よりクロストークを -26dB 以下に抑えれば認識率の劣化は防ぐことができる。実現が比較的容易な 3 次チェビシェフ型フィルタを考えれば、透過帯損失 0.1dB として、0.5kHz/ch とでき、1~10kHz で 20ch 収納できる。次に分割数を増やしていくと 1 周波数当たりのパワーが減少し S/N が劣化する。SN 比はショット雑音と熱雑音とを考慮して、

$$SNR = \frac{\left(\frac{1}{2}m_1m_2\eta T\alpha\frac{P}{s}\right)^2}{\left(q\eta T\alpha P + \frac{4kt}{R}\right)B} \quad (2.18)$$

ここで、 m_1 、 m_2 はそれぞれ LED、SLM の変調率、 η は PD の受光感度、 T は SLM の ON 時の透過率 (OFF 時は 0)、 α は結合損失、 P は LED 出力パワー、 s は分割数、 R は抵抗値、 B は帯域である。ここでは実験系での値である、 $m_1=m_2=10\%$ 、 $\eta=0.6A/W$ 、 $T=0.1$ 、 $\alpha=0.1$ 、 $P=100\mu W$ 、 $R=100k\Omega$ 、 $B=500Hz$ を仮定した。図 2.18 は SN の影響を考慮した $s=20$ の FDM システムにおける計算機シミュレーションの結果である。

ニューロン数 $N=400$ 、蓄積情報数 $M=20$ である。また、ノイズは平均 μ 、分散を S/N 比の逆数としたガウス分布である。シミュレーション結果では、 $s=20$ に相当する S/N 比でも認識率の目立った劣化は無いことがわかる。以上、分割数 20 程度であれば、電気的クロストークと S/N による劣化は認識率にはさほど影響しないことが明らかになった。

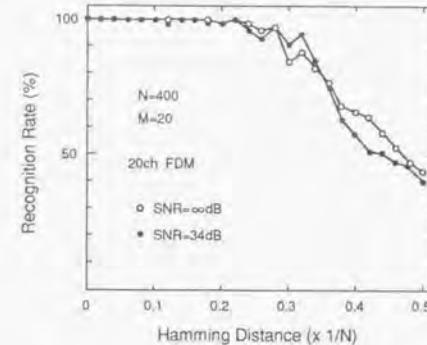


図 2.18: 周波数分割多重化法における S/N の影響

2.4 まとめ

光ベクトル・マトリクス乗算器を用いて、フィードバックモデルに基づく 32 ニューロンの連想メモリシステムを構成し、システムにノイズを導入することにより連想特性が向上することを計算機シミュレーションおよび実験的に確認した。そして偽メモリが存在を実験的に確認するとともに、これらが蓄積パターンの論理的な組み合わせによる混合状態で表されることを明らかにした。

ニューロン数を実効的に増加させる方法として時分割多重化方式 (TDM) と周波数多重化方式 (FDM) を提案した。そしてこれらの多重化方式がニューロン数の増大に有効であることを計算機シミュレーションによって明らかにした。

TDM 方式では、光ベクトル・マトリクス乗算器を用いたフィードバック形連想メモリを構築し、ニューロン数を倍に増加させることに成功した。

FDM方式に関しては、認識率への影響を考察し、フィルター間の電気的クロストークと分割数増加によるS/N劣化が認識率に及ぼす影響について計算機シミュレーションを行い、分割数20程度であれば認識率の劣化は殆どないことを明らかにした。

参考文献

- [1] 辻内 順平, 一岡 芳樹, 峯本 工 共著, 「光情報処理」, オーム社, 東京 (1989).
- [2] D. Psaltis, and N.H. Farhat, "Optical information processing based on an associative-memory model of neural nets with thresholding and feedback," *Opt. Lett.*, **10**, 98-199 (1985).
- [3] J. Ohta, S. Tai, M. Oita, K. Kuroda, K. Kyuma, and K. Hamanaka, "Optical implementation of an associative neural network model with a stochastic process," *Appl. Opt.*, **28**, 2426-2428 (1989).
- [4] J. Ohta, M. Oita, S. Tai, K. Hara, and K. Kyuma, "Opto-electronic implementation of a large-scale neural network using multiplexing techniques," *Trans. IEICE*, **E73**, 41-45 (1990).
- [5] M. Oita, J. Ohta, S. Tai, and K. Kyuma, "Optical implementation of large-scale neural networks using time-division-multiplexing technique," *Opt. Lett.*, **15**, 227-229 (1990).
- [6] 甘利 俊一, 「神経回路網の数理」, 産業図書, 東京 (1978).
- [7] K. Nakano, "Associatron-A model of associative memory," *IEEE Trans. Sys. Man. Cybern.*, **SMC-2**, 380 (1972).
- [8] J.J. Hopfield, "Neural networks and physical systems with emergent collective computational abilities," *Proc. Nat'l. Acad. Sci. USA*, **79**, 2554-2558 (1982).
- [9] J.J. Hopfield, "Neurons with graded response have collective computational properties like those of two-state neurons," *Proc. Nat'l. Acad. Sci. USA*, **81**, 3088-3092 (1984).
- [10] N.H. Farhat, D. Psaltis, A. Prata, and E. Paek, "Optical implementation of the Hopfield model," *Appl. Opt.*, **24**, 1469-1475 (1985).
- [11] S. Kirkpatrick, C.D. Gelatt, Jr., and M.P. Vecchi, "Optimization by simulated annealing," *Science* **220**, 671-680 (1983).
- [12] P. Pretto, "Collective properties of neural networks: statistical physics approach," *Biol. Cybern.* **50**, 51-62 (1984).

- [13] J.J. Hopfield, D.J. Feinstein, and R.G. Palmer, "Unlearning has a stabilized effect in collective memories," *Nature*, **304**, 158-159 (1983).
- [14] D.J. Amit and H. Gutfreund, "Spin-glass models of neural networks," *Phys. Rev.* **A32**, 1007-1018 (1985).
- [15] N.H. Farhat, "Optoelectronic analogs of self-programming neural nets: architecture and methodologies for implementing fast stochastic learning by simulated annealing," *Appl. Opt.*, **26**, 5093-5103 (1987).
- [16] S. Amari and K. Maginu "Statistical neurodynamics of associative memory," *Neural Networks*, **1**, 63-73 (1988).
- [17] W.E. Ross, D. Psaltis, and R.H. Anderson, "Two-dimensional magneto-optic spatial light modulator for signal processing," *Opt. Eng.*, **22**, 485-490 (1983).

第 3 章

固定シナプス型光ニューロチップ

3.1 序

前章では光ニューラルネットワークの高機能化について述べた。個別部品で構成されたシステムを集積化(チップ化)することによってニューロコンピュータの高速化・大規模化が実現できる。このような集積化チップ(以下、光ニューロチップと呼ぶ)は、光のもつ空間並列性と高密度配線能力を生かしつつ、個別部品構成の光ニューラルシステムに比べて、機械的に安定かつ小型で、しかも Si-LSI 電子回路との整合性がよい、等の特長を有している。これまでに実現されている光ニューロチップとしては、発光源をも集積化した方式と光を外部から照射する方式とに大別される。前者の方式はより小型で機械的に安定にできる特長を持つ。一方、後者の方式はチップ内での発熱の問題を避けることができる特長を持つ。本章では前者の光ニューロチップについて研究を行った結果について述べる [1]-[4]。まず第 3.2 節で素子構造や製作プロセス、素子特性について述べる。次に、第 3.3 節でこのチップにニューラルネットワークモデルを適用した実験結果について述べる。ここでは、フィードバック型(以下 FB 型と略す)とフィードフォワード型(以下 FF 型と略す)のニューラルネットワークモデルに基づく 2 種類のチップについて述べる。なお、このような集積化された光ニューロチップを実現したのは、本研究が初めてである。

3.2 固定シナプス型チップの作製と素子特性

3.2.1 素子構造

図 3.1 に光ベクトル・マトリクス乗算器の集積化の概念を示す。図 3.2 に、光ニューロチップの基本構造を示す。チップは基本的に 3 つの素子、すなわち LED アレイと PD ア

レイおよび空間光変調素子 (Spatial Light Modulator、以下 SLM と略す) をスタックした構造で、光ベクトル・マトリクス乗算を実行する機能を持つ [8]。図中では SLM は LED の開口窓をも兼ねた構造で描いてある。LED アレイと PD アレイはストライプ状で、発光面と受光面が向き合い、かつストライプが互いに直交するように配置されている。ここで LED アレイの発光状態はニューロンの状態ベクトル v_i 、PD アレイの光電流は内部活性値 u_i に対応している。但し、 $i = 1, 2, \dots, N$ で、 N はニューロン数である。また、SLM は LED と PD アレイ間に挟み込まれており、シナプス荷重値 w_{ij} に対応する。以上の構成により次式で表されるベクトル・マトリクス乗算、

$$u_i = \sum_{j=1}^N \eta w_{ij} v_j, \quad (3.1)$$

を並列に実行することができる [6, 7]。ここで、 η は PD の感度である。後述するように、実際に作製したチップでは、SLM を金属薄膜で形成しているため、 w_{ij} は固定値である。

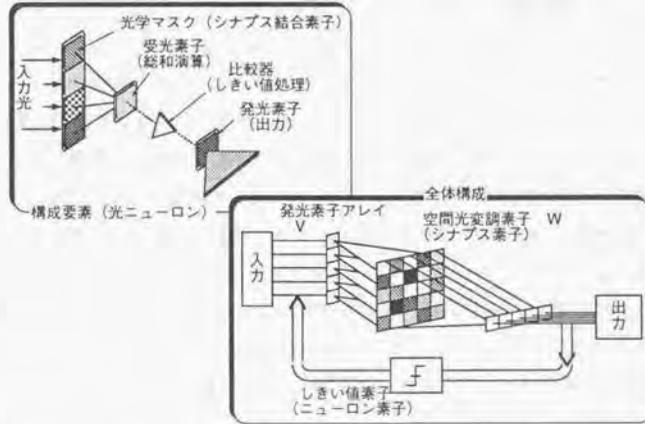


図 3.1: 光ベクトル・マトリクス乗算器の集積化の概念図。上図は個別部品構成システム、下図はその集積化方式。

3.2.2 製作プロセス

次に、チップの結晶成長および製作プロセスについて述べる。

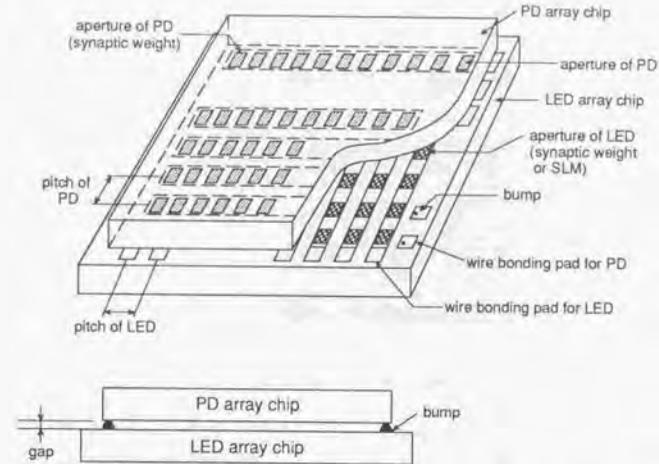


図 3.2: 固定シナプス型光ニューロチップ構造概念図。下図は断面の模式図である。

まず、分子線エビタキシー (Molecular Beam Epitaxy、以下 MBE と略す) 法により LED と PD のエビタキシャルウエハを成長した。成長温度は、 650°C で、2 インチ基板をインジウムフリーで Mo ブロックに装着した。LED エビタキシャル層の構成は以下の通りである。まず、n 型 GaAs 基板上に $0.1\mu\text{m}$ n-GaAs バッファ層を成長した後、10 組の n-AlAs/GaAs の $1/4$ 波長スタックからなる中心波長 880nm のブラッグ反射鏡 (Bragg Reflector、以下 BR と略す) を成長した。次に、 $1\mu\text{m}$ n- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 閉じ込め層、5 組の 10nm GaAs/ 10nm $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ からなるアンドープ多重量子井戸 (Multiple Quantum Well、以下 MQW と略す) 活性層、 $0.5\mu\text{m}$ p- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 閉じ込め層を成長した。最後に、オーミックコンタクト層として 50nm p-GaAs 層を成長した。LED の構造を図 3.3 に示す。

また、PD エビタキシャル層は以下の 4 層よりなる。まず、n 型 GaAs 基板上に $0.1\mu\text{m}$ n-GaAs バッファ層を成長した後、 $1\mu\text{m}$ n- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 閉じ込め層、33 組の 15nm GaAs/ 15nm $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ からなるアンドープ MQW 吸収層 (全層厚 $\sim 1\mu\text{m}$)、 $0.1\mu\text{m}$ p- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 閉じ込め層を成長し、最後にオーミックコンタクト層として 50nm p-GaAs 層を成長した。

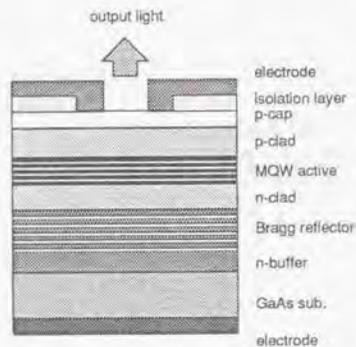


図 3.3: LED 構造断面図

製作プロセスは図 3.4 のように行ない、LED アレイと PD アレイ共にほぼ同じで以下の通りである。まず成長後のエビタキシャルウエハを酒石酸系のエッチング液によりメサエッチングを行い、各ピクセルに分離した。次に、窒化シリコン膜をプラズマ CVD 法で成膜し、BHF によるコンタクトホール形成後、Cr/Au を蒸着、電極パターンをリフトオフ法により形成した。この Cr/Au 薄膜形成プロセスにおいて、ストライプ状の p 型電極とシナプス荷重値に対応する開口窓を作った。このシナプス荷重値のパターンは、あらかじめ計算機シミュレーションで得られた結果を用い、LED と PD の両表面に形成した。最後に、パッシベーションとしてプラズマ CVD 法で二酸化シリコン膜を表面に形成した後、裏面に AuGe/Ni/Au を n 型電極として形成した。

はんだによるバンパ形成後、図 3.2 に示すように、2 つのアレイチップをフリップチップボンディングにより互いに貼合わせた。PD アレイ電極はこのバンパを介して LED 上に形成した引出しパッドと電気的に接触し、その出力を外部へ取り出すことが出来る。集積化したチップは LSI パッケージにマウントしワイヤボンディングを行った。

3.2.3 素子設計と素子特性

作製した光ニューロチップを用いて式 3.1 のベクトル・マトリクス乗算を精度良く行うために、チップ設計上主として、LED および PD の特性の均一化、高効率化、光クロストーク (信号光に対する迷光の比として定義) の低減の 3 点に留意した。

まず、比較的大きなチップサイズ (約 1cm 角) 内で均一な素子特性を得るために、LED

LED Array

PD Array

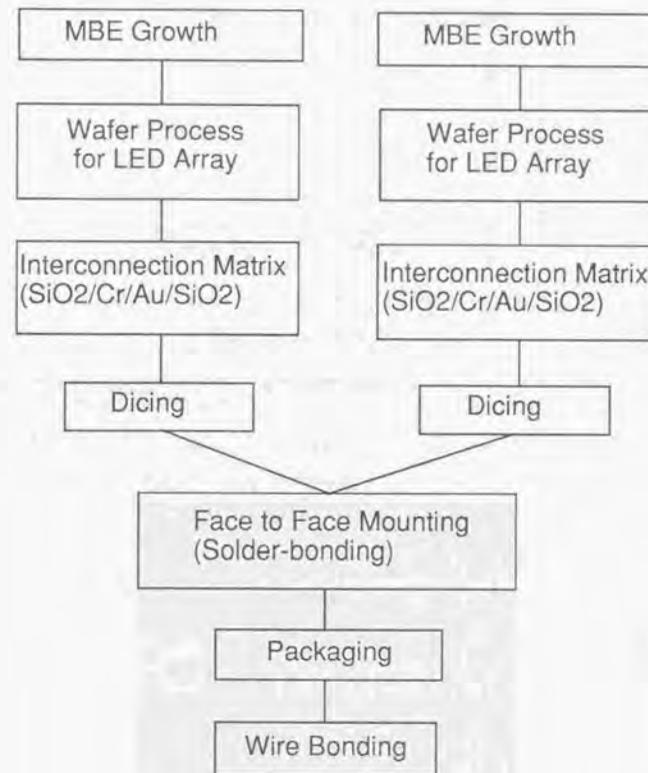


図 3.4: 製作プロセスの流れ

と PD のエビタキシャル成長には、MBE 成長法を用いた。また、均一な発光分布を得るために、LED の電極パターンを最適化した。具体的には、電流注入領域と電極幅の比、すなわち素子抵抗と配線抵抗の比を最適化した。図 3.5 は、LED 1 エレメント (32 個) に沿ってのパワー分布の開口径 d をパラメータにした計算結果である。電極幅 w は $200\mu\text{m}$ 固定である。この結果ストライプ幅を $10\mu\text{m}$ 以下に設定する必要があることが分かる。図

3.6は、作製したLEDチップからの発光パターンである。シナプス荷重用の金属マスクが形成してある。発光分布はチップ内で約5%と良好な結果を得た。また、受光素子アレイ

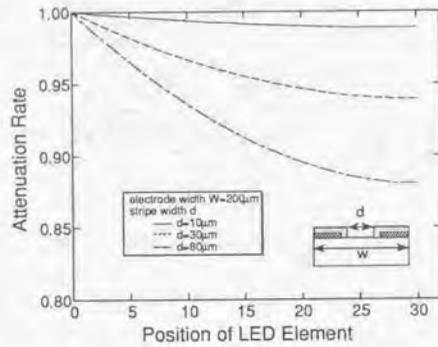


図 3.5: LED 出射光分布のシミュレーション結果。電極幅は $w = 200\mu\text{m}$ に固定し、ストライプ幅 d をパラメータとしている。



図 3.6: LED 発光パターン写真

に関して、図 3.7 に示すように 32 エレメントで受光感度分布として $\pm 4\%$ と良好な値を

得た。

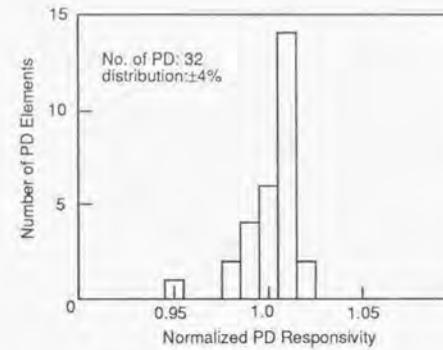


図 3.7: 受光素子 32 個の感度のばらつき

次に、素子特性を向上させるために以下のような構造を導入した。第一に、LED の活性層と PD の吸収層に多重量子井戸 (MQW) 構造を導入し、効率の向上を図った。第二に、表面から基板側へ放射される光を有効に取り出すために、BR 層を基板上に集積化した。この結果、これらの構造を取り入れていないチップに比べて、図 3.8 に示すように光出力は約 2 倍増加した。また、ヒートシンクなしでの LED の外部量子効率 η_{ext} は 0.7%、PD の感度は、 0.1A/W であった。

光クロストークを減少させるために、LED と PD 間のアライメント精度を $5\mu\text{m}$ 以下、ギャップを $20\sim 30\mu\text{m}$ 以下とした。その結果、LED と PD の開口径がそれぞれ $S_{\text{LED}}=10\times 30\mu\text{m}^2$ と $S_{\text{PD}}=30\times 50\mu\text{m}^2$ 、ピッチが $p=220\mu\text{m}$ のとき、クロストークは約 -35dB であった。図 3.9 は、異なる開口径とピッチのチップにおける光クロストークをギャップに対してプロットしたもので、計算値と実験値が比較的良く一致していることがわかり、精度良くアライメントが行われていることが示されている。なお、光クロストークの算出方法に関しては、第 4 章の第 4.8 で述べる。

図 3.10 は、試作したチップのベクトル・マトリクス乗算器としての特性を示す実験結果である。同図では、発光している LED の総数に対する PD の出力電流がプロットされている。各 LED エレメントへの注入電流は 30mA である。図に示されているように、相関が 0.999 である良好な直線性が得られており、これは、本チップがベクトル・マトリクス乗算器として良好に動作していることがわかる。

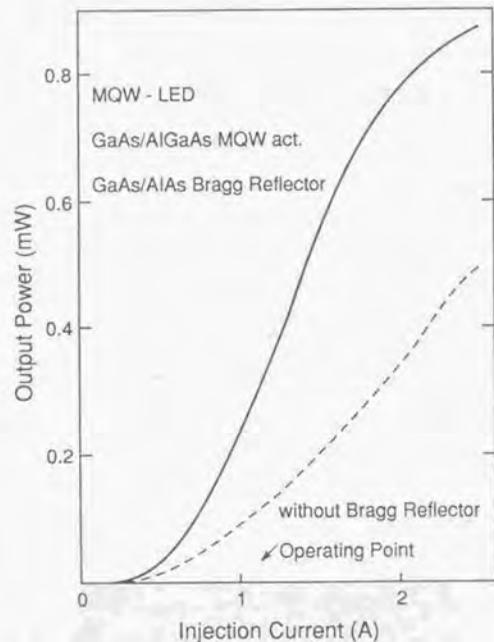


図 3.8: 固定シナプス型チップの注入電流・光出力特性. 実線は、MQW と BR を導入した LED、点線はそれがない LED である。

LED と PD の送受信系の応答速度は、図 3.11 に示すように、立ち上がりが $0.2\mu\text{s}$ 、立ち下がりが $0.4\mu\text{s}$ であった。これはニューロチップとして 1GCPSS (giga-connections per second) 以上の処理速度を有することに相当しており、並列高速処理素子としての光技術の優位性を実現している。素子サイズの縮小によるキャパシタンスの低減など、構造の最適化を図ることにより、数十 nsec オーダーの応答は可能である [9]。

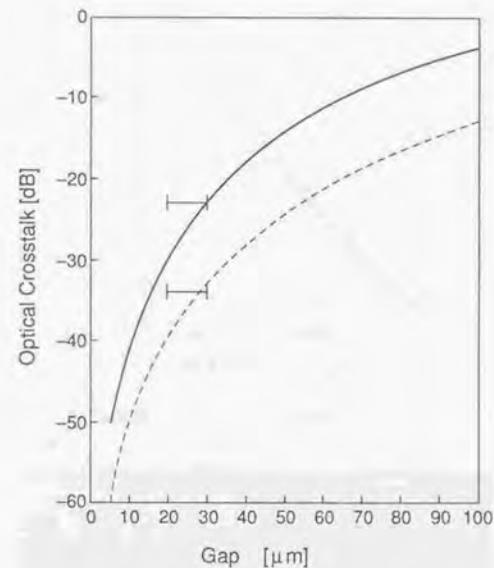


図 3.9: ギャップ長に対する光クロストーク. 実線と点線は各々、 $S_{LED} = 10 \times 10\mu\text{m}^2$ 、 $S_{PD} = 30 \times 30\mu\text{m}^2$ 、 $p = 120\mu\text{m}$ および $S_{LED} = 10 \times 30\mu\text{m}^2$ 、 $S_{PD} = 30 \times 50\mu\text{m}^2$ 、 $p = 220\mu\text{m}$ の構造のチップを仮定した計算値を示す。図中の 2 つの横線は実験値である。

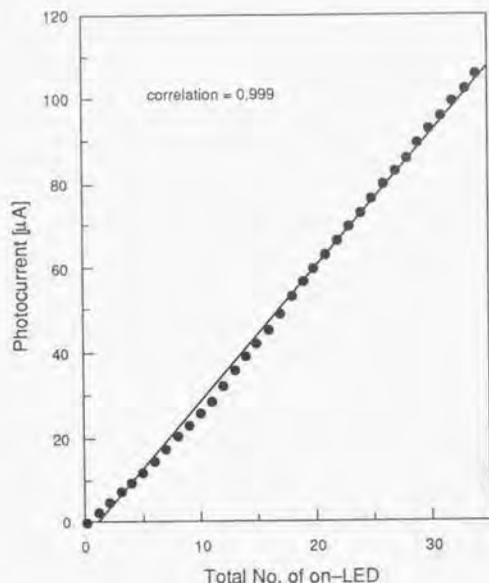


図 3.10: オン状態の LED 数と光出力電流の関係

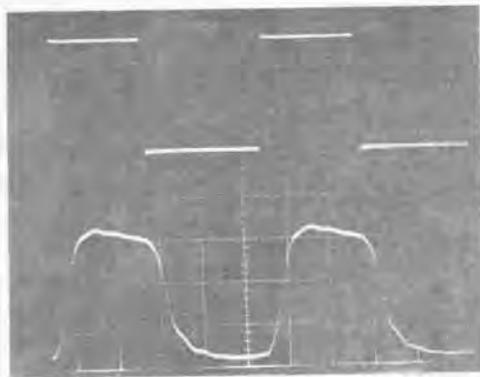


図 3.11: 光ニューロチップの応答特性. 500nsec/div.

3.3 固定シナプス型チップを用いた認識システム

3.3.1 フィードバック型チップ

光ニューロチップの基本性能を実証するため、前章での個別部品構成システムと同じフィードバック型連想メモリ [10] による簡単な文字認識システムを本チップを用いて構成した。ニューロン数 32、蓄積情報数は 3 として、シナプス結合行列 w_{ij} を式 2.5 に従って決定した。但し、 w_{ij} のレベルは (-1, 0, 1) の 3 値にクリップした。また、第 2 章と同じくシナプス結合行列 w_{ij} を正值と負値の部分結合行列 $w^{(+)}$ と $w^{(-)}$ に分け (各々興奮性・抑制性シナプス荷重に対応)、それぞれの部分行列に対応する 2 種類のチップを用いた。3 個の 32 ビットベクトルを図 3.12 中の挿入図に示すように 2 次元上に再配列し、文字 A、J、E とした。

開口窓のサイズは、LED が $S_{LED}=10 \times 30 \mu\text{m}^2$ 、PD が $S_{PD}=30 \times 50 \mu\text{m}^2$ で、ピッチはともに $p=220 \mu\text{m}$ である。集積化したチップのサイズは $7.8 \times 7.8 \text{mm}^2$ で 128 ビンフラットパッケージにマウントした。図 3.12 のシステム構成図 (簡単のためチップは 1 つだけしか描かれていない) に示すように、外部電子回路で興奮性と抑制性チップからの出力の差を取りしきい値処理した後、再び LED にフィードバックする。

図 3.13 に蓄積情報パターンのひとつである E についてのハミング距離に対する認識率の結果を示す。認識率は、各ハミング距離に対して 100 回の平均をとっている。図に示すように、実験結果と計算値とは良く一致している。他の蓄積情報パターンに対しても同様の結果を得ている。比較のために、光クロストークが -13dB のチップに対する連想結果も同図中に示す。光クロストークを -35dB に減らすことにより認識率が大幅に改善されていることが判る。

3.3.2 フィードフォワード型チップ

次に、FB 型モデルに比べて蓄積容量の大きな FF モデルに基づく光ニューロチップを作製した。まず、計算機上でバックプロパゲーション学習則 [11] を用いて、結合行列を決定した。その際、結合行列値を 3 値 (-1, 0, 1) とするために本章 第 3.4 節で述べる量子化学学習則を導入し、連続値から離散 3 値への変換による認識率の劣化をできるだけ抑えた [12]。また、しきい値も学習段階で決定した。試作したチップは、 $S_{LED}=10 \mu\text{m}^2$ 、

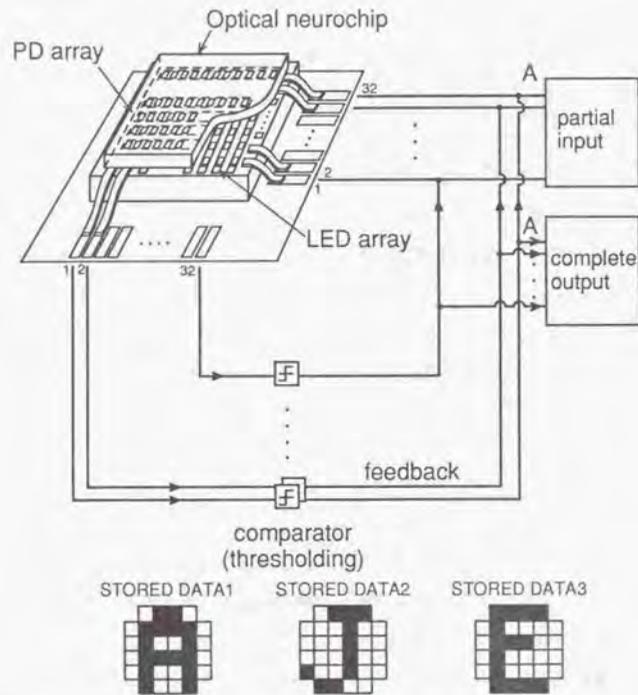


図 3.12: FB 型チップを用いた連想メモリシステム構成図. 下図は蓄積情報パターンを示す.

$S_{PD}=30\mu\text{m}^2$, $p=120\mu\text{m}$ である. チップサイズは $10.39\times 10.75\text{mm}^2$ で, 図 3.14 に示すように 281 ピン PGA パッケージにマウントした. FB 型と FF 型チップの構造諸元を表 3.1 に示す.

学習パターンは 5×7 ドット即ち 35 入力ニューロンの, 図 3.16 に示すような 26 文字大文字アルファベットとした. 層数は, 入力, 中間, 出力の 3 層である. 図 3.15 はチップの概念図である. ワンチップ上に 3 層 FF モデルを実現するために, チップを入力層 - 中間層 (1-2) と中間層 - 出力層 (2-3) の 2 つの領域に分割した. ここで, 括弧中の数字 1, 2, 3 は各々入力, 中間, 出力層を表し, 以下でも同様とする. 入力, 中間, 出力各層のニューロン数は, 各々 $N(1)=35$, $N(2)=29$, $N(3)=26$ である. LED エレメントの数は $N(L)+1$ ($L=1, 2$) であり, $N(L)+1$ 番目の LED は, グローバルにニューロンのしき

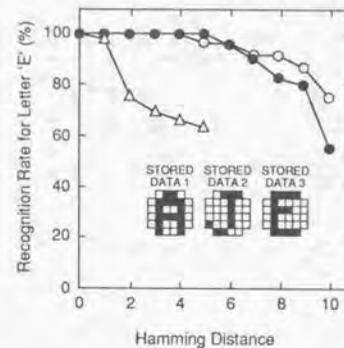


図 3.13: FB 型光ニューロチップのハミング距離に対する認識率の例. \circ は計算値, \bullet は, 光クロストーク値が -35dB の時の実験値, \triangle は -13dB であるチップの実験値である.

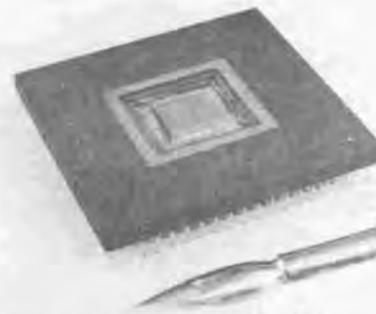


図 3.14: パッケージングした FF 型チップの概観写真

い値を調整するためのものである. 一方, PD エレメントの数は $2\times N(L)$ ($L=2, 3$) である. これは, 同一チップ上に興奮性と抑制性のシナプスを集積化しているためである. 結合行列 $w(L, L+1)$ は, 興奮性シナプス $w^{(+)}(L, L+1)$ とそれに相当する抑制性シナプス $w^{(-)}(L, L+1)$ が列に沿って隣あうように配置されている ($L=1, 2$). 従って, 正味の活性値は興奮性と抑制性シナプスの PD 差分出力となる. チップに集積化された LED, PD の総数は各々 66 と 110 である.

活性値 $u_i(L+1)$ ($i=1, \dots, N(L+1), L=1, 2$) は次式で与えられる.

Chip Type	No. Neuron	No. Synapse	LED array				PD array				
			No. Array	Emission Area (μm)	Pitch (μm)	Chip Size (mm)	No. Array	Detection Area (μm)	Pitch (μm)	Chip Size (mm)	
Feedback-type chip	32	1024 (full inter-connection)	32	10 x 50	220	8.5 x 9.1	32	30 x 70	220	7.22 x 7.82	
Feedforward-type chip	35+1 (input)	2088 (input/hidden)	64+2	10	120	10.38	110+8	30	120	8.99	
	29+1 (hidden)	1560 (hidden/output)		x		x		x		x	10.05
	26 (output)			10		10.95		30			

表 3.1: FB 型と FF 型チップの構造諸元

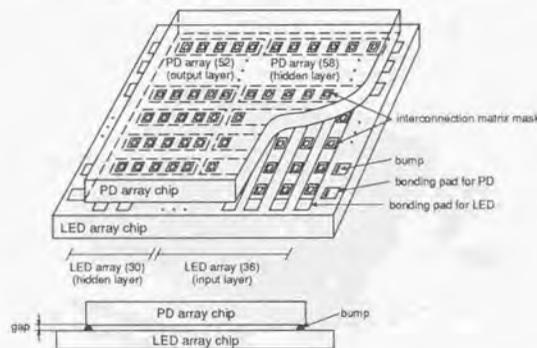


図 3.15: フィードフォワード型チップの構成図

$$v_i(L+1) = \sum \eta [w_{ij}^{(+)}(L, L+1) - w_{ij}^{(-)}(L, L+1)] v_j(L), \quad (3.2)$$

ここで、 η は結合損失などを含んだ PD の実効的な感度、 $v_j(L)$ は j 番目 ($j=1, \dots, N(L)+1, L=1, 2$) の PD の出力である。

このチップを用いて、26 アルファベット認識システムを試作した。図 3.17 は文字認識システムの実験配置である。入力層の信号として 35 ドット (5×7) の入力情報としきい値調整用信号を入力層の LED に入力する。 $w(1,2)$ の 58 個 (29 個は興奮性、残りの 29 個は

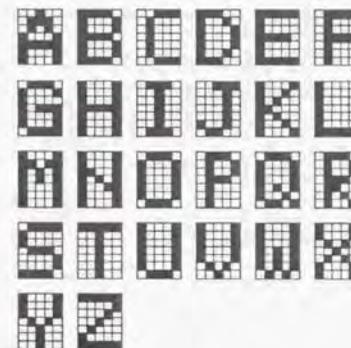


図 3.16: 入力用アルファベット 26 パターン

抑制性シナプスに対応した出力) を引算回路で隣り合う成分間の差を演算した後、2 値 (0, 1) にしきい値処理する。この 29 個の中間層出力としきい値調整用信号の合計 30 個の信号を $w(2,3)$ の LED に入力する。出力層の PD からの 52 個の出力は引算回路を通り 26 個の出力とした後、最大値選択回路に入力し、認識結果を出力する。全システムはコンピュータ制御されている。

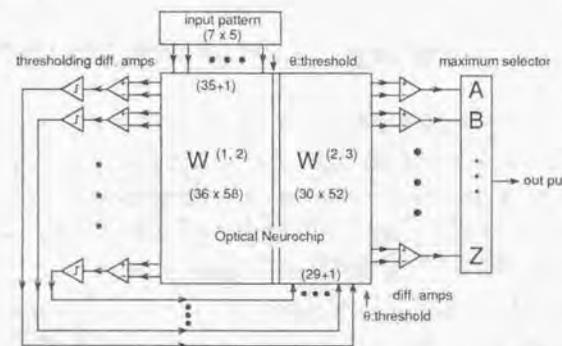


図 3.17: FF 型チップを用いたアルファベット認識システム構成概念図

このチップは、FB 型チップに比べて集積密度が高いため、光クロストークは増加し、実験で得られた値は -26dB であった。しかし、計算機シミュレーションによれば、バックプロパゲーション則を用いた FF モデルで良好な認識特性を得るための光クロストークは

-5dB 以下であるので、実験で得られた -26dB は十分良好である。

図 3.18 は、パターン A に関する認識の実験結果である。FB 型チップの場合と同じく、各ハミング距離に対して 100 回の平均をとっている。実験結果と計算機シミュレーションとの差は、フリップチップボンディングプロセスにおける不完全なアライメントに起因しているものと思われる。

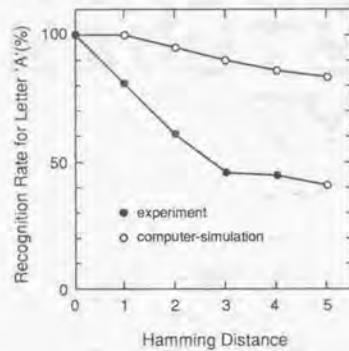


図 3.18: FF 型光ニューロチップのハミング距離に対する認識率の例。●と○は各々実験値と計算値を示す。

3.4 光クロストーク影響の低減

本節では、チップにおける認識率を劣化させる要因である光クロストークについて、学習を導入することによりその影響が低減できることを計算機シミュレーションにより示す。ここでは、第 3.3.2 節で用いたアルファベット 26 文字認識ネットワークを用いる。その前に、本研究で用いた量子化学学習則について簡単にまとめる [12]。図 3.19 は量子化学学習則の原理を示したものである。量子化学学習則は、本研究での光ニューロチップの様に、シナプス荷重値やニューロン出力値に十分な精度がとれない場合これらの値を量子化する必要があるが、単純に量子化したのでは、学習回数が増えたり、場合によっては学習ができなくなってしまうなど、学習特性が劣化する場合が多い。量子化学学習則は、外部に高精度のメモリを置くことでこの学習劣化の問題を回避している。基本的なアルゴリズムは、以下のようである。

1. 外部メモリ内に初期荷重値を設定する (仮想シナプス w_{ij})。

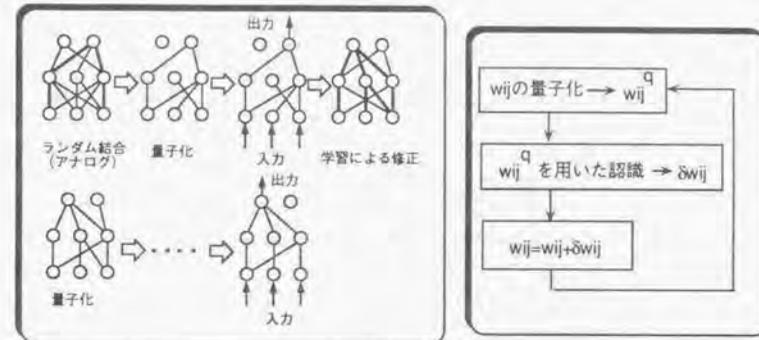


図 3.19: 量子化学学習則の原理

2. 仮想シナプス w_{ij} を量子化したシナプス w_{ij}^q をハードウェア上に表示する。
3. ハードウェアからの出力値に学習則を適用し、シナプスの更新量 Δw_{ij} を算出する。
4. 仮想シナプス w_{ij} に Δw_{ij} を加える。
5. 学習が収束するまで 1 から 4 までを繰り返す。

この量子化学学習則と更にステップ学習則を適用することにより、ローカルミニマにトラップされることなくスムーズな学習を行なうことができる。

図 3.20 はこの量子化学学習則を用いた BP 学習則を適用した 26 文字アルファベットの認識結果である。ここでは、光ニューロチップ経の適用を想定し、量子化レベルは 5 レベル、すなわち $\pm 2, \pm 1, 0$ とした。パラメータとして、光クロストーク量をとっており、光クロストークを考慮しながら学習を行なった。シミュレーション結果では、光クロストーク量が -5dB 程度まで存在しても、ハミング距離 $H=0$ で 100% の認識率を得ることができている。これに対して、学習時クロストークを考慮せず、認識時だけクロストークが存在したと仮定したシミュレーション結果では、認識率の劣化の度合は甚だしい。この状況は、光クロストークを考慮せずシナプス結合マトリクスを光ニューロチップ上に形成したことに相当する。

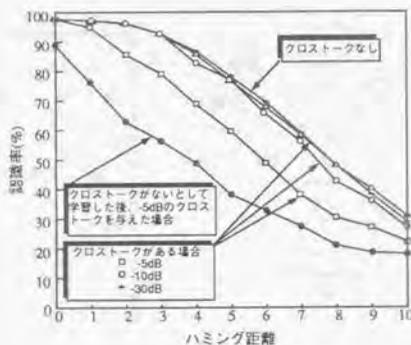


図 3.20: 光クロストークが存在する時の認識率

3.5 まとめ

3層構造の GaAs/AlGaAs 固定シナプス型光ニューロチップを提案し、素子を作製した。素子設計に際しては、素子特性の均一化、高効率化、光クロストークの低減の3点に留意した。その結果、良好なベクトル・マトリクス乗算を行うことが可能となり、1GCPS以上の高速なニューラルネットワーク処理速度を得た。次に、このチップを文字認識システムに用いた実験を行った。ニューロン数32のFB型とニューロン数90のFF型の2種類のチップを作製し、各々認識特性を評価した。FB型チップでは、ほぼ理論通りの認識結果を得ることができたが、FF型チップでは、若干劣化した特性となった。また、光クロストークを考慮した学習によりシナプス荷重マトリクスを作製することで、-5dB程度の光クロストークが存在しても認識率の劣化はある程度回避できることが計算機シミュレーションより分った。

参考文献

- [1] J. Ohta, M. Takahashi, Y. Nitta, S. Tai, K. Mitsunaga, and K. Kyuma, "GaAs/AlGaAs optical synaptic interconnection device for neural networks," *Opt. Lett.*, **14**, 844-846 (1989).
- [2] Y. Nitta, J. Ohta, K. Mitsunaga, M. Takahashi, S. Tai, and K. Kyuma, "GaAs/AlGaAs optical interconnection chip for neural network," *Jpn. J. Appl. Phys.*, **28**, L2101-L2103 (1989).
- [3] Y. Nitta, J. Ohta, K. Mitsunaga, S. Tai, and K. Kyuma, "Optoelectronic associative memory using an advanced optical neurochip," *Appl. Opt.*, **30**, 1328-1330 (1991).
- [4] J. Ohta, K. Kojima, Y. Nitta, S. Tai, and K. Kyuma, "Optical neurochip based on a three-layered feedforward model," *Opt. Lett.*, **15**, 1362-1366 (1990).
- [5] 太田 淳, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップの製作と文字認識への応用」, 電子情報通信学会誌 C-II, **J74-C-II** 377-387 (1991).
- [6] D. Psaltis, and N.H. Farhat, "Optical information processing based on an associative-memory model of neural nets with thresholding and feedback," *Opt. Lett.*, **10**, 98-109 (1985).
- [7] N. H. Farhat, D. Psaltis, A. Prata, and E. Paek, "Optical implementation of the Hopfield model," *Appl. Opt.*, **24**, 1469-1475 (1985).
- [8] N. H. Farhat, "Optoelectronic analogs of self-programming neural nets: Architecture and methodologies for implementing fast stochastic learning by simulated annealing," *Appl. Opt.*, **26**, 5093-5103 (1987).
- [9] 米津 宏雄 著, 「光通信素子工学」, 工学図書, 東京 (1984).
- [10] J.J. Hopfield, "Neural networks and physical systems with emergent collective computational abilities," *Proc. Nat'l. Acad. Sci. USA*, **79**, 2554-2558 (1982).
- [11] D.E. Rumelhart, G.E. Hinton, R.J. Williams, "Learning representations by back-propagation errors," *Nature*, **323**, 533-536 (1986).
- [12] M. Takahashi, M. Oita, S. Tai, K. Kojima, and K. Kyuma, "A quantized back propagation learning rule and its application to optical neural networks," *J. Optical Computing and Processing*, **1**, 175-182 (1991).

第 4 章

可変シナプス型光ニューロチップ

4.1 序

ニューラルネットワークの重要な特徴の一つに学習能力が上げられる。すなわち、学習によってネットワークを構成するシナプス結合が望ましいパターンに自己組織化されることである。光ニューロチップを用いて学習機能を実現するために、本章では第 1 章の図 1.3(a)(b) に示した 2 種類の方式について述べる。まず最初に、PLZT-SLM を用いた可変シナプス型チップについて述べる [1]。次に、VSPD を用いた可変シナプス型チップについて述べる [2]-[6]。PLZT-SLM を用いたチップは基本的な特性を示すことはできたが、現状の技術では、将来の大規模集積化は困難であるとの結論を得た。また、モノリシック集積化も困難である。これらの点を解決するために、本研究では VSPD を提案した。この VSPD の基本的な素子特性を第 4.3 節で述べる。また、VSPD アレイを用いた可変シナプス型光ニューロチップを作製し、その基本特性について第 4.4 節で述べる。更に、第 4.5 節では可変シナプス型光ニューロチップを用いた学習実験について述べる。そして、学習結果と素子特性が学習特性に及ぼす結果について考察をする。この VSPD へのアクセス方式の一つとして、感度にメモリ機能を持たせることがある。感度の値を不揮発性にできる VSPD 構造を提案し、その基本機能を実証した結果を第 4.6 節で述べる [7]。また、光・電子共存方式である光ニューロチップでは、不可欠な電子回路との集積化について、シリコン基板上に光ニューロチップを形成した実験結果について第 4.7 で章述べる [8]。最後に、第 4.8 節で光ニューロチップの集積密度について理論的な検討を行う。

4.2 PLZT-SLM を用いた可変シナプス型チップ

SLM は第2章の時分割多重化方式で用いた液晶型を始め種々の材料が報告されているが、PLZT-SLM は他の SLM に比べて、高速応答かつ高消光比であることにその特長がある [9]。SLM として PLZT を用いた光ニューロチップの基本構造は、 8×8 ビクセルの PLZT を LED アレイ (アレイ数 8) と PD アレイ (アレイ数 8) ではさみこんだハイブリッド構成である。LED アレイ、PD アレイの構造は第3章の固定シナプス型チップと同じである。PLZT への印加電圧を変化させることでシナプス結合強度をアナログ値で表現できる。図 4.2 は、PLZT へ波長 830nm の光を入射したときの透過光強度 (PD 光電流) を PLZT への印加電圧に対してプロットしたものである。なお、この印加電圧は PLZT の厚みに依存している。PLZT-SLM は、図 4.1 に示すように電極幅 $100\mu\text{m}$ 、電極ピッチ $440\mu\text{m}$ の楕形電極を有する PLZT 2 枚を赤外用偏光シートで挟み込んだ構成となっている。ビクセル数は 8×8 で、サイズ 7.3mm 角、厚みは 3mm である。PLZT-SLM の消光

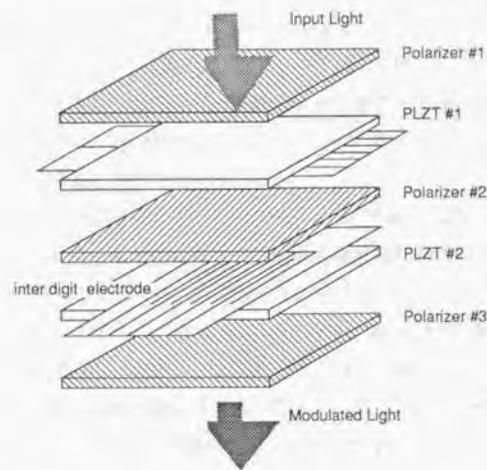


図 4.1: PLZT-SLM の構造

比は波長 830nm で 30dB 以上、隣接ニューロン間のクロストークは -10dB 程度であった。図 4.3 は、透過状態の PLZT-SLM ビクセル数に対する PD 出力をプロットしたものである。図中黒丸と白丸は異なるビクセルに対する結果である。この結果より、本チップが

ベクトル・マトリクス乗算器として動作していることが判る。

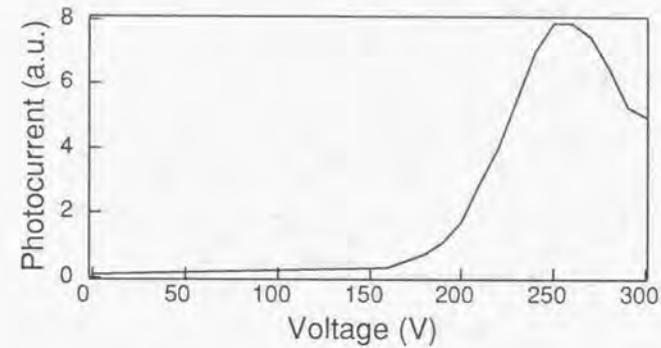


図 4.2: PLZT 透過光電流の印加電圧依存性

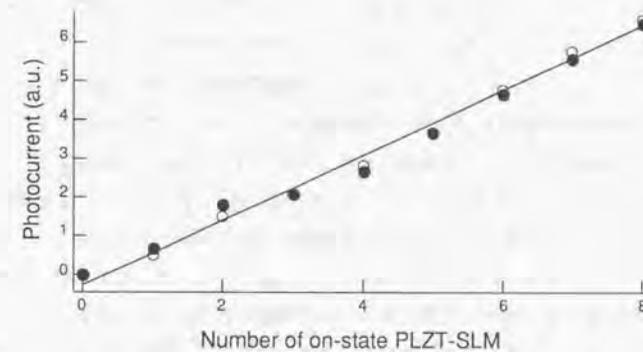


図 4.3: PLZT-SLM 型光ニューロチップの PD 出力の透過状態 SLM ビクセル数依存性

4.3 感度可変受光素子

4.3.1 素子構造

SLMを用いた可変シナプス型チップでは、一般にSLMの厚みによる光クロストークの増加が問題になる。また、偏光子が必要となるために、集積化が難しく、特にモノリシック集積化には適していない。これに対して、VSPDはSLMの機能を兼ね備えたPDである。従って、チップは図1.3下図に示すようにLEDアレイとVSPDアレイの2層構成となるため、光クロストーク増大の懸念がない。しかもLEDとVSPDのモノリシック集積化、高速応答、メモリ機能の付加などの可能性を有している。

VSPDの動作原理は、PDの感度 η を外部電圧 e_{ij} などによって制御することである。VSPDとしての動作が可能な構造のPDとしては、例えばMSM(Metal-Semiconductor-Metal)型PD[5, 3, 10]、MES(Metal-Semiconductor)型PD[11]、MOS(Metal-Oxide-Semiconductor)型PD[12]、フォトトランジスタ型[13]等が考えられる。

本節では、一対のショットキーダイオードで構成されたMSM構造[14]のVSPDを提案する。従来MSM構造のPDは、高速光通信用PDとして研究が進められているが[15, 16]、感度可変素子としての報告例はない。MSM型PDは、以下に示す点で光ニューロチップ用VSPDとして非常に適している。まず第1に、MSM型VSPDは電極を対称構造に出来るため、印加電界の方向により光電流の方向を変化できる。従って、興奮性・抑制性のシナプス結合を単一の素子で実現出来る。第2の特長は、検出感度が印加電圧に対して直線的に変化するため、本質的にアナログ処理をするニューラルネットワークに適していることである。これは、MSM型PDでは、光によって誘起されたキャリアのドリフト速度変化により感度を制御しているため、低電界強度では感度 η の印加電圧 e_{ij} に対する依存性が $\eta \sim e_{ij}$ と比例関係になるためである。一方、MOS型PDでは主として空乏層厚変化により感度を制御しているため、 $\eta \sim e_{ij}^{1/2}$ となることを付記しておく。第3の特長として、プレーナ構造で集積化に適していることや高速応答などがあげられる。図4.4は、実際に作製したMSM型VSPD素子の構造図である。受光部電極は半絶縁性基板上にリフトオフで形成したAlで、形状は図に示すようにインターデジット型とした。図4.5はフィンガー幅とフィンガー間隔に対する光電流値をプロットしたものである。この結果から、最大感度が得られるようフィンガー幅とフィンガー間隔を最適化し、ともに $10\mu\text{m}$ と

した。

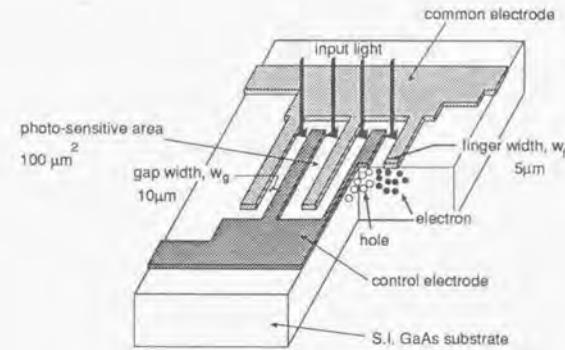


図 4.4: MSM 型 VSPD 構造概念図

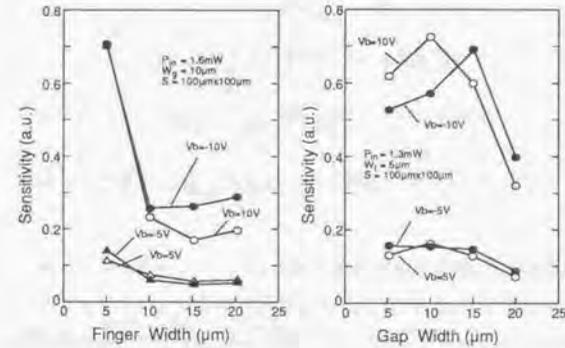


図 4.5: MSM 型 VSDP 光電流のフィンガー幅依存性 (a) とフィンガー間隔依存性 (b)

4.3.2 素子特性

図4.6は、波長632.8nmのHe-Neレーザからの入射光パワーに対する光電流をプロットしたものである。パラメータは、ショットキー電極間印加電圧 V_0 である。 V_0 が10V以下の時直線性は非常に良い。 $V_0=10\text{V}$ における表面反射と電極部反射を考慮した換算感度は、 0.3A/W であった。 $V_0=15\text{V}$ では 0.8A/W の感度が得られているが、これはアバラ

シェ増倍による非線型性と考えられる。暗電流は、印加電圧 5V で 1nA 以下、ブレイクダウン電圧は 10V 以上であり、良好な Al-GaAs ショットキー接合が形成されていることがわかる。

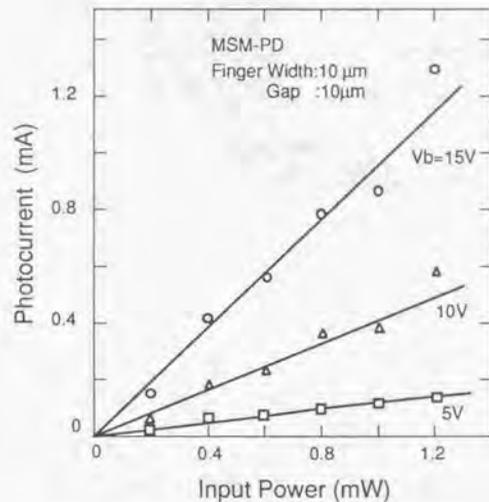


図 4.6: VSPD 入射光パワーと光電流の関係。パラメータは、バイアス電圧 V_b 。光源は He-Ne レーザ 632.8nm.

図 4.7は、入射光パワーを $15\mu\text{W}$ として、 V_b に対する光電流をプロットしたものである。 $|V_b|$ が 8V 付近まで、直線性良く感度を制御できており、アナログシナプス結合を実現できる可能性があることがわかる。また、電圧の正負に応じて光電流の流れる方向が変わっており、興奮性・抑制性のシナプス結合を実現できることを示している。

この MSM 型 VSPD が可変シナプス型光ニューロチップ用素子として適していることを実証するために、 $8 \times 8 = 64$ 個の VSPD 集積化した 2 次元アレイ素子を作製した。各素子のバイアス電圧 V_b は独立に印加でき、しかもベクトル・マトリクス乗算ができるように同一列内を結線している。正負の符号をも含めた (i, j) 番目の素子の感度を η_{ij} とすると、式 3.1 中の ηw_{ij} を η_{ij} に置き換えることができる。このアレイ素子のベクトル・マトリクス乗算器としての基本的な特性を確認するために、チップ上にハロゲンランプ光を一様に照射した状態 ($v_j = 1, j = 1, 2, \dots, 8$, に相当) で、一つの列に属する VSPD に一個ずつ電圧 V_b

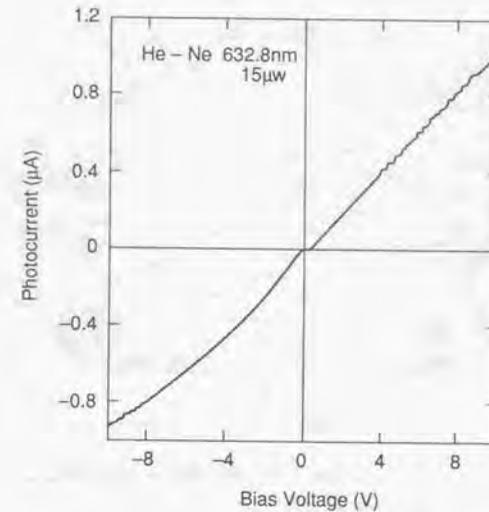


図 4.7: バイアス電圧 V_b に対する光電流。光源は He-Ne レーザ 632.8nm で、入射光パワーは $15\mu\text{W}$ 。

を印加して、光電流を測定した。図 4.8 に実験結果を示す。電圧を印加する PD の個数に比例して光電流が増加しており、ベクトル・マトリクス乗算器として動作していることがわかる。また、 V_b の値に応じて直線の傾きが符号も含めて変化しており、単体素子で興奮性・抑制性アナログシナプス結合を実現できていることがわかる。このように、MSM 型 VSPD は可変シナプス型光ニューロチップ用素子として有望であることが確認できた。

4.4 感度可変受光素子を用いた可変シナプス型チップ

4.4.1 素子構造

可変シナプス型光ニューロチップの基本構造は、固定シナプス型チップにおける PD アレイを VSPD アレイに置き換えたものと同一である。図 4.9 にチップの構造模式図を示す。8 本のライン状 LED のピッチは $500\mu\text{m}$ 、発光部面積は $30\mu\text{m} \times 30\mu\text{m}$ である。

LED への全注入電流が 250mA の時、全発光パワーは 1mW 以上である。発光パワー分布は 3% 以内である。VSPD アレイは、図 4.10 に示すように、 8×8 の 2 次元配置となっており、各エレメントには独立に電圧が印加できるように配線がなされている。ま

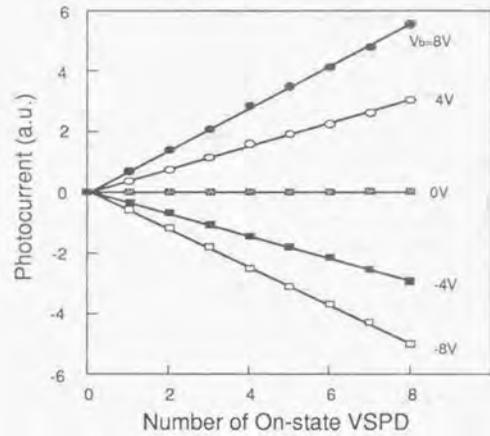


図 4.8: 8×8 アレイ VSPD チップにおける電圧印加状態の個数に対する光電流出力. パラメータは、バイアス電圧 V_b . 光源にはハロゲンランプ (~4mW) を使用した.

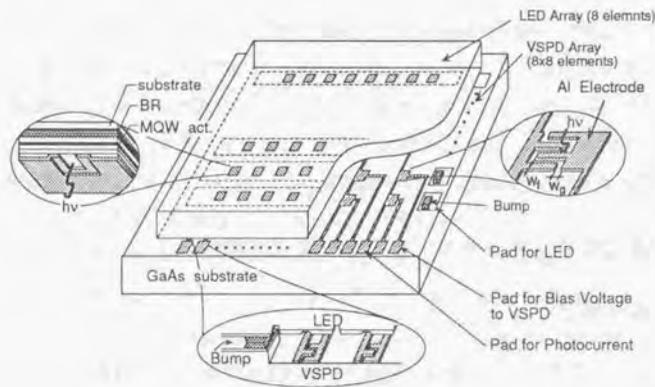


図 4.9: 可変シナプス型光ニューロチップ構造模式図

た、LED アレイチップとのフリップチップボンディング用にベッドが形成されている。集積化したチップのサイズは約 6mm×6mm で、フラットパッケージにマウントした。

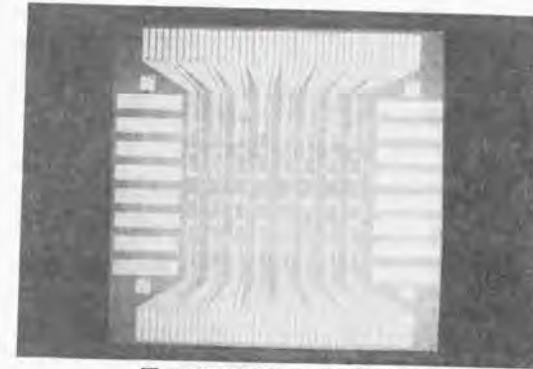


図 4.10: VSPD チップの顕微鏡写真

4.4.2 素子特性

図 4.11 は、チップの入出力特性で、LED 1 列分への注入電流に対する光電流出力である。パラメータは、VSPD への印加電圧である。低電流領域を除いて、ほぼ直線な入出力関係が得られている。

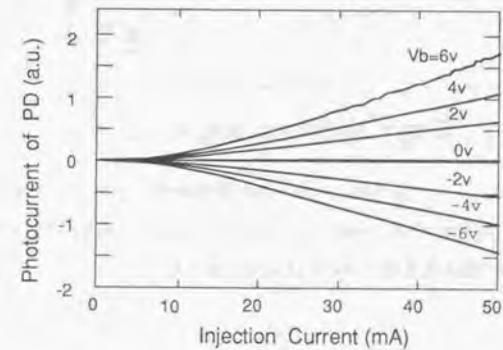


図 4.11: LED 注入電流に対する光出力電流

(i, j) 番目の VSPD への印加電圧を e_{ij} とし、その時の VSPD の感度を $\eta(e_{ij})$ とすれば、 i 列目の VSPD からの光出力電流値 u_i は、

$$u_i = \sum_{j=1}^N \eta(\epsilon_{ij}) v_j, \quad (4.1)$$

となる。ニューロン状態ベクトル v_j は j 番目の LED の発光パワーによって表される。式 4.1 より、ベクトル・マトリクス乗算値が出力電流値として得られることがわかる。図 4.12 は、全ての VSPD に同一の電圧 V_b を印加した状態で、LED を順に一本ずつ点灯したときの、光電流出力を示したもので、集積化したチップのベクトル・マトリクス乗算器としての特性を示すものである。全光電流はオン状態の LED の総数に比例して増加しており、またその直線の傾きは、印加電圧 V_b に比例している。従って、このチップを用いて式 4.1 が実現されていることがわかる。

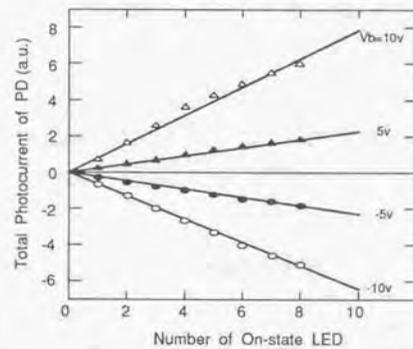


図 4.12: 光出力電流のオン状態 LED 数依存性

図 4.13 は、可変シナプス型光ニューロチップにおける光クロストークの実験結果である。LED への注入電流は 10mA の時、光クロストーク値は -30dB であった。この値は、BP 学習則で良好な学習結果を得るためには十分な値である。

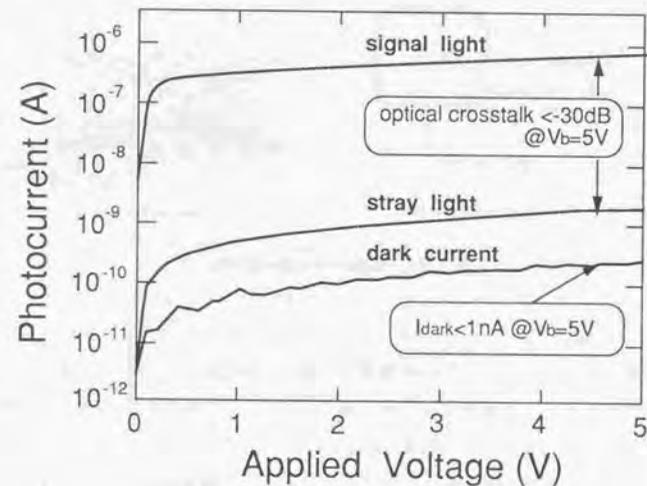


図 4.13: 光クロストーク特性

4.5 可変シナプス型チップを用いた学習実験

4.5.1 実験構成

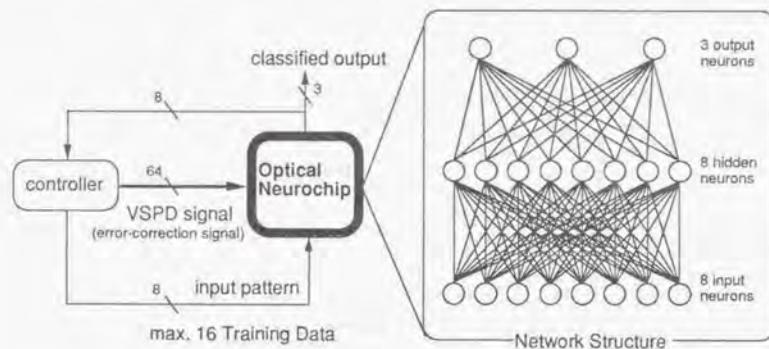


図 4.14: 学習システム構成概念図

可変シナプス型光ニューロチップの学習能力を実証するためチップを用いたパターン分類問題実験を行った。ネットワーク構成は、図 4.14 に示すように、3 層フィードフォワードモデル [17] とし、各層のニューロン数は、8、8、3 とした。作製した可変シナプス型光ニューロチップは 8 ニューロンであるので、入力層-中間層、中間層-出力層の制御を時分割で行った [18]。学習はバックプロパゲーション則を用いた [19]。装置全体は、パーソナルコンピュータで制御した。LED への注入電流範囲は一列当たり 0mA~20mA とし、VSPD への印加電圧範囲は -10V~10 V とした。実際には、素子への信号は、分解能 8 ビットの D/A コンバータにより LED 入力電流は 256 階調、VSPD 印加電圧は符号 1 ビット付の 128 階調としている。シグモイド関数によるしきい値処理はコンピュータ内で行った。

パターンは 16 種類の 8 ビット長ベクトルとし、各パターンを 2 または 3 種類のカテゴリに分類することを BP 学習により行った。表 4.1 にトレーニングベクトルを示す。カテゴリは 4 種類とし、その内の 1 種類を選ぶ。まず、16 個のパターンから任意に何個かを選び、入力ベクトルとし、4 種類の分類事項から 1 つを選び、学習をスタートさせる。重

表 4.1: トレーニングベクトル成分

#	vector component	#	vector component
1	1 0 1 0 0 0 0 0	9	1 1 0 0 0 0 0 0
2	0 1 1 0 0 0 0 1	10	0 1 0 1 1 1 0 1
3	1 0 0 1 0 0 1 0	11	1 0 0 1 1 1 1 0
4	0 1 0 1 0 0 1 1	12	0 1 1 0 1 1 1 1
5	0 0 1 0 1 0 0 0	13	1 0 1 0 1 1 0 0
6	0 0 0 1 0 1 0 1	14	1 1 0 1 0 1 0 1
7	0 0 0 0 1 1 1 0	15	1 1 1 0 1 0 1 0
8	0 0 1 1 0 0 1 1	16	1 1 1 1 0 0 1 1

み更新の計算は量子化学学習則 [20] を導入した BP 則に従い、コンピュータ上で行った。学習終了後は認識モードに入り、選んだ入力パターンについての認識を行う。

4.5.2 実験結果

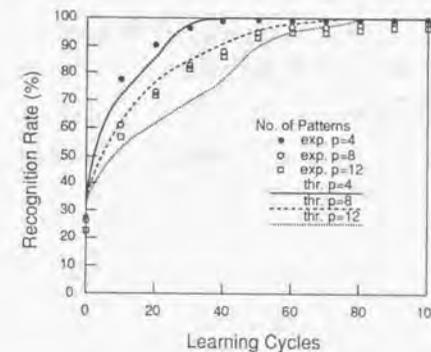


図 4.15: 学習曲線

図 4.15 は、学習回数に対する認識率の実験結果である。図中パラメータは、選んだパターン数で、4、8、12 とした。各パターン数について 100 回ランダムにパターンを選び認識を行い、その平均を認識率とした。認識率は学習回数に関してほぼ単調増加を示し学習回数 100 回以内でほぼ 100% を得た。同図中には計算機シミュレーション結果も示しており、実験結果との比較的良い一致が得られている。

4.5.3 素子特性の学習への影響

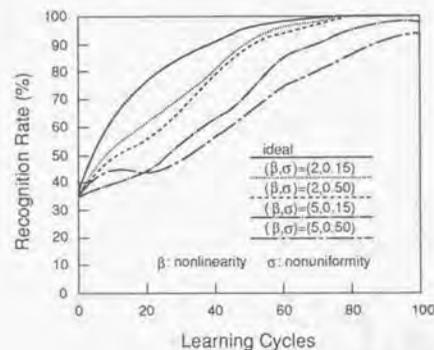


図 4.16: 非線形性とばらつきを考慮した学習曲線 (シミュレーション結果)

ソフトウェアシミュレーションとハードウェアシステムの間には、デバイス特性のダイナミックレンジ、精度、均一性などに起因する大きな相違がある。ここでは、まずデバイスの入出力特性の非線形性と不均一性が学習特性に及ぼす影響を調べる。次に、実験系のノイズが学習特性に及ぼす影響について述べる。

VSPD の非線形型入出力特性と不均一性は、計算上のシナプス荷重と実際の荷重値とが異なる結果を引き起こし、学習収束回数が増加につながると予想される。今、VSPD の非線形性を現象論的に次式で表す、

$$I_{ph} = A|V_b|^\beta \quad (4.2)$$

ここで、 β は非線形性因子、 A は規格化定数である。実験データは $\beta=2$ の曲線に比較的良く一致する。また、 β は V_{KT} 以下の低感度領域の範囲をも表している。すなわち、 β が大きいほど低感度領域は広がっている。図 4.17 は、電圧に対する光電流の規格化標準偏差 σ を示したものである。VSPD 入出力特性の不均一性に関しては、実験結果より、電圧に対する光電流の規格化標準偏差 σ は印加電圧の大きさにかかわらずほぼ一定で $\sigma=0.15$ であった。但し、 $V_b=0$ 付近は、測定精度が非常に低くなっている。

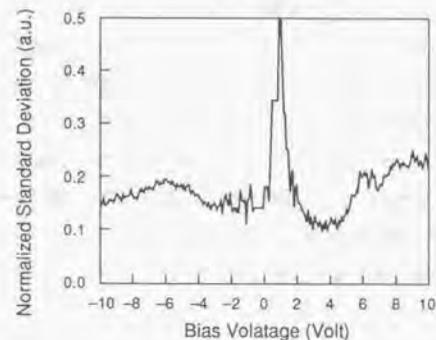


図 4.17: VSPD 光出力電流分散値

図 4.16 は、幾つかの β と σ の組み合わせにおける学習曲線の計算機シミュレーション結果である。実際のシステムでは、 $\beta=2$ 、 $\sigma=0.15$ であるので理想的な場合に比べてもさほどの影響はないことがわかる。また、このシミュレーション結果より β の方が σ より学習特性に影響を与えることがわかる。

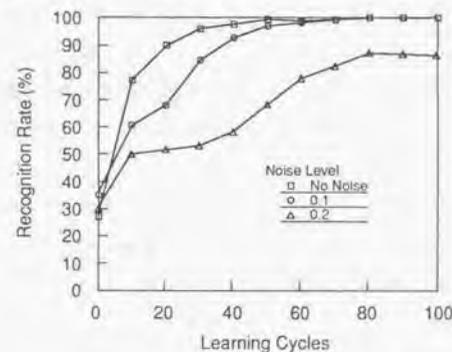


図 4.18: ノイズを導入したときの学習曲線

次に、 S/N の影響について述べる。 S/N は光ニューロチップの最大集積密度を推定する上で非常に重要な因子である。集積密度が高くなったとき、素子サイズは小さくなり、発光/受光面積ともに小さくなり、 S/N が劣化する。従って、 S/N が学習特性に与える影響を調べるのは最大集積密度を推定する上で重要なことである。ここでは、意図的にシ

システムにノイズを導入し、 S/N が学習特性に及ぼす影響を調べる。ノイズ源としては、ガウス分布乱数を計算機で発生し出力に加えた。ノイズレベルは標準偏差とし、最大出力値で規格化した。図 4.18 は、異なるノイズレベル下での学習曲線である。ノイズレベルが 0.1 以下であれば若干の劣化は見られるものの学習は収束している。ノイズレベル 0.1 は $S/N=20\text{dB}$ に相当する。現状のシステムでは、 $S/N=40\text{dB}$ が得られているので S/N による学習特性の劣化は問題無く、また観測されていない。第 4.8 節での最大集積密度の議論より $S/N=20\text{dB}$ のとき、最大集積密度は $n=2000\text{neurons/cm}^2$ と推定される。但し、計算に用いたパラメータは第 4.8 節と同一である。

4.6 不揮発性感度可変受光素子

VSPD の感度に不揮発性メモリ機能を持たせた素子を提案し、その基本的な特性を確認した。図 4.19 に素子構成を示す。基本構成は、ソース、ドレイン、およびフローティングゲートよりなる EEPROM [21, 22] と同一で、本報告でも EEPROM を用いた。EEPROM を用いた Si-LSI ニューロチップの報告例はあるが [23, 24]、PD の感度を不揮発性にする目的で用いた例は本研究が初めてである。図 4.19(a), (b) は各々、EEPROM での書き込み状態、消去状態に相当する。この素子のゲート領域に光を入射させることで、チャンネル付近で発生するキャリアをドレイン・基板端子より光電流として検出する PD として用いることが出来る。この時、ゲート中の蓄積電荷によってチャンネル厚を制御できるので、PD としての感度を変化させることができ、しかも不揮発性機能も併せ持っている。

図 4.19 に示す構成で、書き込み後と消去後のゲート電圧に対する光電流（ドレイン電流）を測定した。書き込み、消去後のしきい値は各々 $+5.0\text{V}$, -1.8V であった。図 4.20 にゲート特性を示す。光源には、He-Ne レーザ（波長 632.8nm ）を用いた。その時の、ゲート電圧に対するドレイン電流を図 4.21(a), (b) に示す。書き込み後 (a) では、感度は一定でその値も小さいが、消去後 (b) では増加しており、しかもしきい値付近での変化が大きい。また、ゲート電圧をマイナス側に深くバイアスしていくと書き込み後の値（ $\sim 200\text{nA}$ ）に近づく。この残留値は、ドレイン付近の空乏層で発生したキャリアであると推定される。なお、光を入射させないときには、どちらの状態でもゲート電圧に関係なく光電流は数 10nA オーダであった。半導体レーザと He-Ne レーザに対する感度曲線を図 4.22 に示す。また、光照射によるしきい値変化はなく、フローティングゲートへのフォトキャリアの注入はなされていない。以上の結果より、EEPROM が感度可変 PD として機能すること、即ちゲート中に蓄積させる電荷によって PD としての感度が制御できしかも不揮発性であることが確認できた。

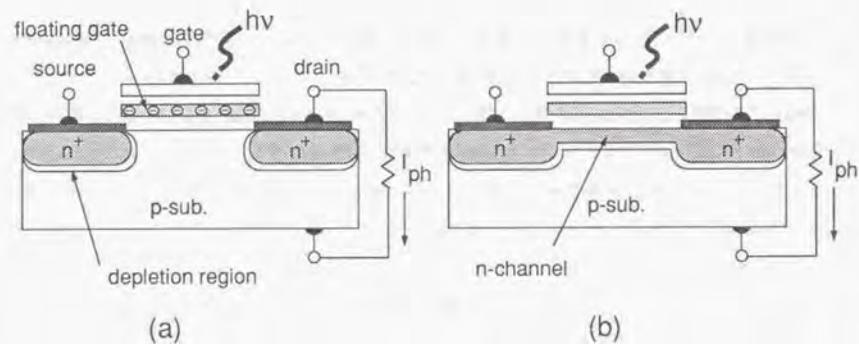


図 4.19: EEPROM 構造を用いた不揮発性 VSPD 構造図

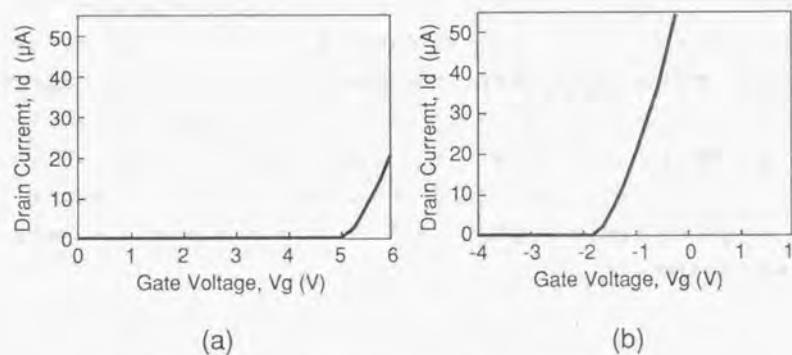


図 4.20: EEPROM 構造を用いた不揮発性 VSPD のトランジスタ特性

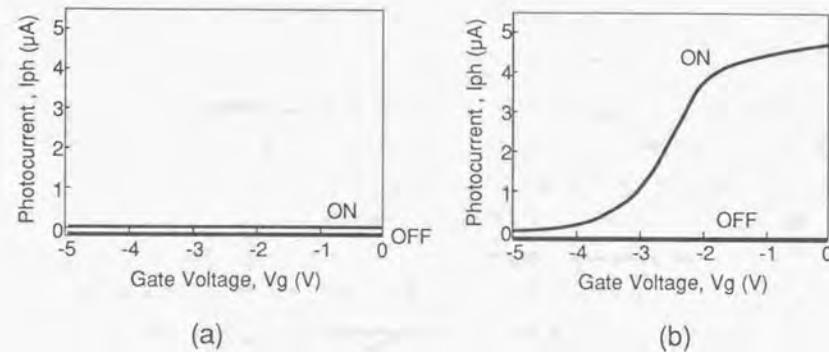


図 4.21: EEPROM 構造を用いた不揮発性 VSPD 実験結果

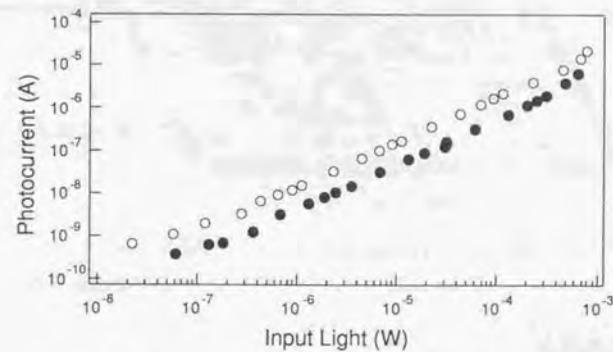


図 4.22: EEPROM 構造を用いた不揮発性 VSPD 受光感度

4.7 シリコン基板上への集積化

4.7.1 はじめに

本節では、GOS技術を用いた光ニューロチップについて、結晶成長から、デバイス作製と特性について述べる[8]。図4.23は、シリコン基板上に集積化したシリコン電子回路とGaAs光ニューロデバイスの将来イメージである。入力画像情報はスマートディテクタにより動体検出やエッジ抽出などの画像情報処理が行なわれ、ある程度の情報圧縮を行なった後に光ニューロチップにその処理結果を送る。ニューロチップはこの処理データを元に認識を行なう。これらはすべて周辺のシリコン電子回路により制御され、シリコン電子回路と集積化をすることで高度な処理を実時間で行なうことが可能となる。本節では、この将来の集積化の第一歩として、シリコン基板上へのGaAs光ニューロチップの作製に関しての研究結果を述べる。

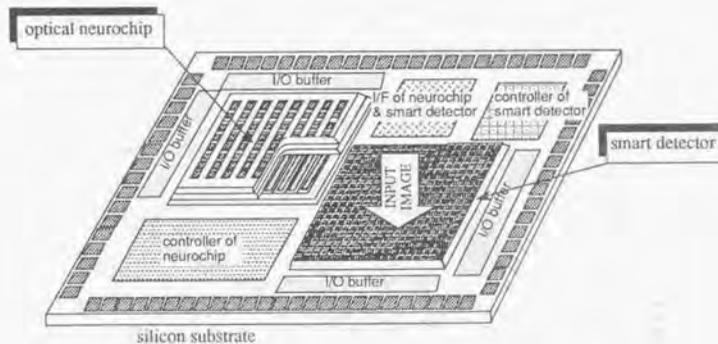


図4.23: Si上GaAs技術を用いた光ニューロデバイスの将来イメージ

4.7.2 結晶成長

単極性の結晶であるシリコン基板上に両極性のIII-V化合物半導体をエビタキシャル成長させるために、2段階成長が用いられることが多い[25]-[28]。これは、Si清浄表面上に、まず、通常のGaAs MBE成長温度より低温(約200°C)でアモルファスGaAsの成長

を行い、次に引き続いて、通常の成長温度でGaAsのエビタキシャル成長を開始するものである。この方式により良質のGaAs単結晶を得ることができる。本研究でもこの2段階成長法を用いた。図4.24に本研究で行った成長の温度プログラムを示す。

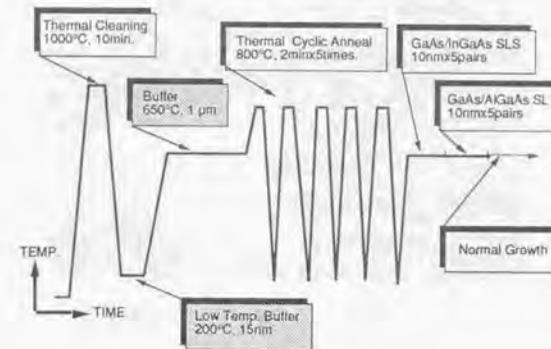


図4.24: 成長温度プログラム

成長用Si基板には、(100)面より[110]方向に2°オフ[29]した3インチ片面鏡面研磨基板を用いた。この基板を、10%のHF水溶液で20秒エッチングを行い、乾燥窒素吹き付けにより乾燥させた後、直ちにMo製ウェハブロックに装荷し、MBEの試料導入室(Loading Lock Chamber; LLと略す)に装荷した。ウェハのブロックへの装荷には、Inを用いていない。エッチングから成長室導入までの時間はできるだけ短くする必要がある。この時間が長いと基板表面に酸化膜が厚く堆積し、除去が困難となる。例えば、LLで1昼夜放置した場合、後述する方法では酸化膜が除去できなかった。LL排気は、ソープションポンプにて、20mTorr程度まで排気した後、40l/sイオンポンプにて 10^{-6} Torr以下まで排気した。次に、LLより 10^{-9} Torr以下の試料準備室(Preparation and Analysis Chamber; P/Aと略す)に搬送後、バックグラウンド真空度 10^{-10} Torr以下の成長室に導入する。LLより成長室に導入するまでの時間は1時間以下である。

基板のサーマルクリーニングは、RHEED(Reflection High Energy Electron Diffraction)パターンを観察しながら、基板温度を1000°Cまで昇温することで行った。図4.25(a)と(b)は、サーマルクリーニング前後のRHEEDパターンである。サーマルクリーニング前でも完全な多結晶パターンではなく、ストリーク上のパターンが観測されるが、850°C付近からこのストリークパターンは鋭くなり、酸化膜が除去されたのが確認できる。

酸化膜除去後の基板は、200°C 付近まで降温した後、低温バッファ層 (LTB) を 15nm 形成する。この時の、RHEED パターンは最初ハローなパターンでアモルファス層の成長が始まりすぐに図 4.26(a) に示すような構造を持ったパターンとなりファセット成長の存在を示している。GaAs 成長速度は、1.42 μm で、砒素圧力は 10^{-5} Torr である。砒素照射下で、650°C まで昇温し、再び成長を開始する。この時昇温スピードを余り速くすると、成長した低温バッファ層が蒸発してしまうので、ゆっくり昇温することが肝要である。650°C でのバッファ層成長開始後約 1 時間で RHEED パターンは図 4.26(b) に示すようにほぼストリーク状となる。そして、成長開始後 2 時間で図 4.26(c) に見られるように GaAs 2×4 のパターンが見られるようになる。2 μm GaAs を成長後、転位密度削減のため 850°C \leftrightarrow 200°C \times 5 の Thermal Cyclic Anneal を行なった [30]。最後に、InGaAs/GaAs SSL(Strained Super Lattice), AlGaAs/GaAs SL を成長する [31]。以上までが、本研究での全てに共通する GOS エピタキシャルウェハ層で、この層以降で通常のエピタキシャル成長層の形成を開始する。



(a)



(b)

図 4.25: サーマルクリーニング前後の RHEED パターン (a) サーマルクリーニング前, (b) サーマルクリーニング後.

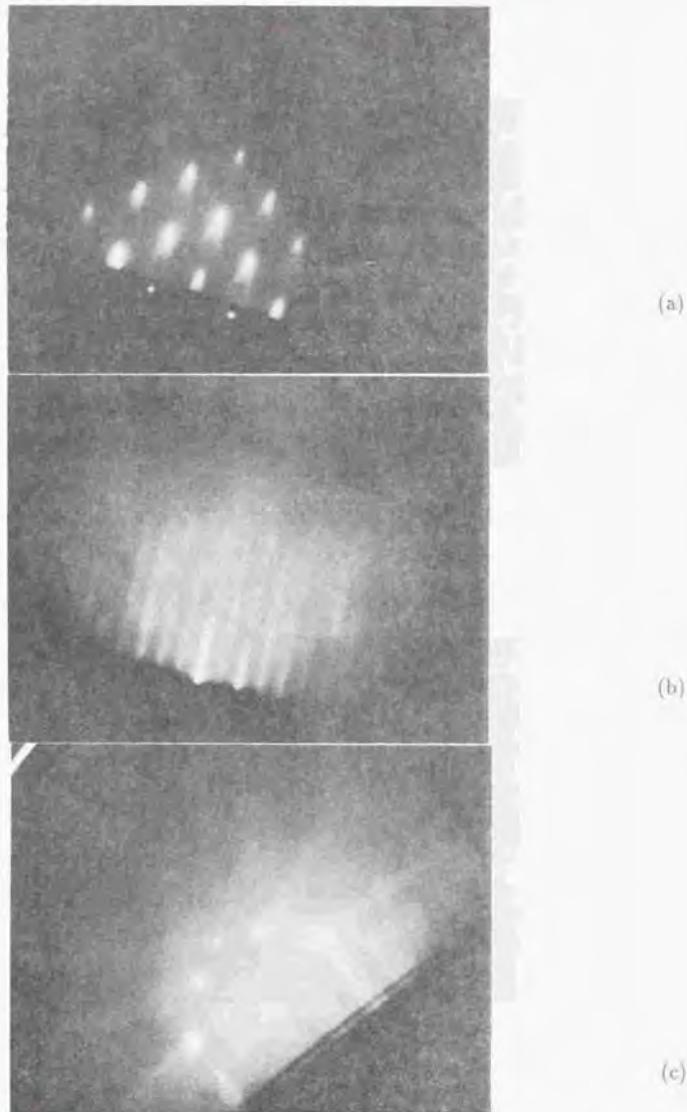


図 4.26: 低温バッファ層と 650°C バッファ層成長時の RHEED パターン (a) 低温バッファ層成長数秒後, (b) 650°C バッファ層成長 1 時間後, (c) 同 2 時間後.

4.7.3 結晶品質

溶融 KOH エッチングによる表面観察の結果、結晶はシングルドメインであった。また、成長後のノマルスキー表面顕微鏡写真を図 4.27 に示す。表面にはオレンジピール状のモルフォロジーが観察され、完全なミラー状ではない。また、ウェハプロセスなどでウェハに応力が加わるような場合に、ウェハに亀裂が入ることがある。これは、特にエビ膜厚が厚いウェハに顕著に観測された。このような表面モルフォロジーの悪さはバッファ層より起因していることが、SEM による断面観察より分った。図 4.28 は、GaAs と GOS の室温フォトルミネッセンススペクトルである。試料は、Si-GaAs 基板上と GOS 上の 2 μ m 厚 Si ドープ ($\approx 10^{17} \text{cm}^{-3}$) GaAs で、Kr⁺ レーザ励起 (約 100mW) である。このフォトルミネッセンス測定では、スペクトルピークは内部応力を反映して、GOS 層の方が GaAs 層に比べて長波長側にシフトしているが [32]、ピーク強度はほぼ同等であり、光学的特性にはそれほど大きな差はないことが分かる。



図 4.27: 表面モルフォロジー, $\times 7600$

4.7.4 素子特性

光ニューロチップ作製のために、GOS 上の LED 用エビタキシャルウェハを成長した。層構成は、第 3 章の図 3.3 と同じである。但し、Bragg Reflector は形成しなかった。これは、エビタキシャル膜厚の増大によるクラック発生をできるだけ抑えるためである。

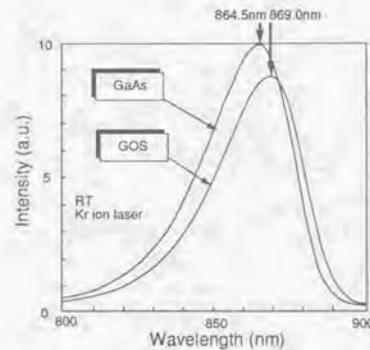


図 4.28: フォトルミネッセンススペクトル。

この成長ウェハをプロセスし、8要素のLEDアレイチップを作製した。しかし、場合によっては、図 4.29に示すようにプロセス中にクラックが発生することもある。

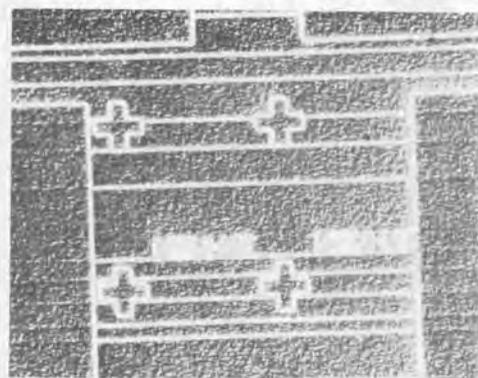


図 4.29: プロセス中にクラックが発生したチップ表面の顕微鏡写真。×760

図 4.30は、作製したLEDアレイの8要素のI-V特性である。図から分かるように、チップ内で比較的均一な特性が得られた。図 4.31は、GOS上LEDアレイのI-L(電流-光出力)特性である。発光効率はGaAs上のLEDに比べ低く、結晶性の改善が必要である。

次に、感度可変受光素子用のMSMアレイをGOS上に作製した。GOS上にアンドー

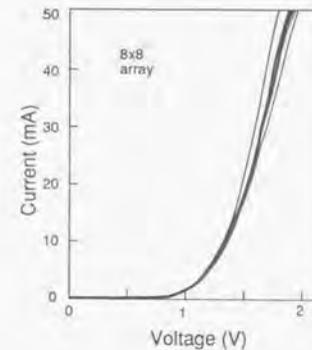


図 4.30: I-V 特性

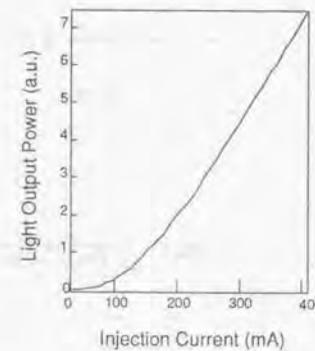


図 4.31: I-L 特性

ブGaAsを $2\mu\text{m}$ 成長し、その上にMSMアレイを形成した。構造は、本章のMSMアレイと同じである。図 4.32は光入力に対する光電流をプロットしたものである。光源には、ピーク波長 870nm のLEDを用い、ファイバでMSM受光部に入射した。光パワーの値は、ファイバ出射端での値である。受光感度として 5V バイアス印加時で 0.13A/W とGaAs上と同程度の値が得られた。図 4.33は、印加電圧に対する光電流特性である。入射パワーは約 $17\mu\text{W}$ である。この図から分かるように、GOS上のMSMは、GaAs上に比べて低電圧側での立上りが非常に悪い。この原因は、結晶性の悪さに起因する無効電流であると考えられるが、今後検討が必要である。但し、暗電流自体は図 4.34に示すように数ナ

nA オーダで、GaAs 上 MSM に比べて桁大きいか或は同程度の値である。また、アレイ上でのエレメント間の光電流のばらつきは非常に大きく、これは結晶性が一様でないためであると思われる。

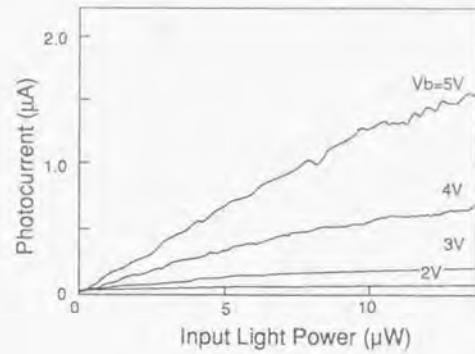


図 4.32: 光入力 - 光電流特性

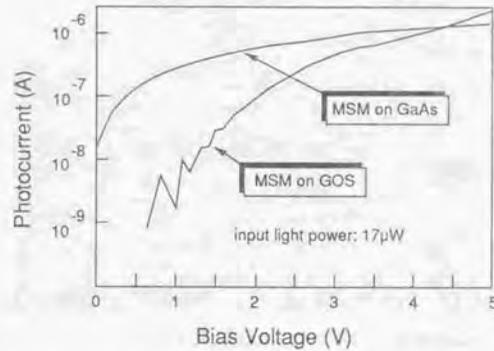


図 4.33: 印加電圧 - 光電流特性

以上の結果を踏まえて、GOS 上 LED アレイと GOS 上 MSM アレイよりなる光ニューロチップを作製、評価した。図 4.35 と図 4.36 とは GaAs 光ニューロチップと GOS 光ニューロチップの印加電圧に対する光電流特性である。パラメータは LED への注入電流である。集積化チップとしての効率 (= 出力光電流 / 入力注入電流) は、 $3.6 \times 10^{-3} \text{ A/W}$

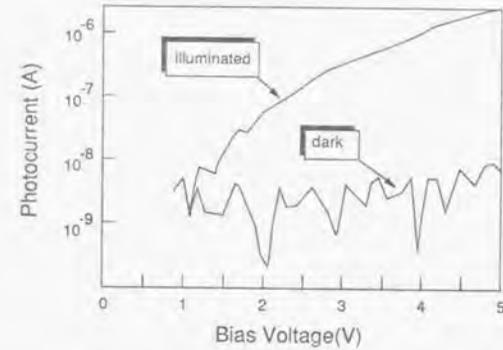


図 4.34: 暗電流特性

で、GaAs 上に比べて 1/4 程度であった。これは、主として LED の発光効率の低さに起因するものである。

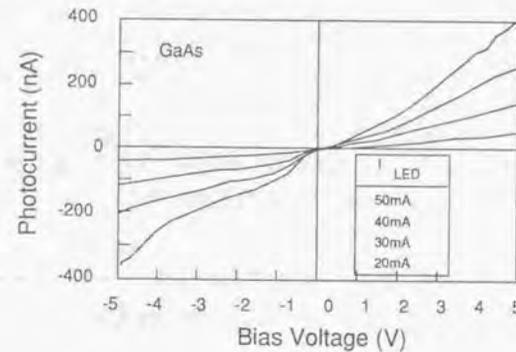


図 4.35: GaAs 上チップの印加電圧 - 光電流特性

以上、Si 上の GaAs 成長技術を用いて、LED、MSM を作製し、さらにこれらの素子を用いて光ニューロチップを作製した。未だ結晶性が十分ではなく、ショットキー接合デバイスである MSM の感度ばらつきは大きい、この GOS 技術を光ニューロチップに適用できることが実証できたといえる。

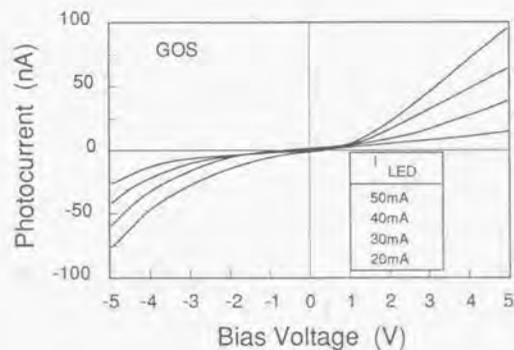


図 4.36: GOS 上チップの印加電圧 - 光電流特性

4.8 最大集積密度

光ニューロチップを実用的な認識システムに応用するには、ニューロン数を現状より少なくとも一桁は増やす必要がある。従って、本節では光ニューロチップの最大集積密度について考察をする。集積密度 n の主な制限要因として、熱放散、 S/N 比、および光クロストークがあげられる。このうち、熱放散と S/N 比に関しては $n=2000\text{neurons/cm}^2$ 迄は以下に述べる理由で集積密度の制限要因とはならないことがわかった。一個の LED ビクセルに対する最大許容パワー $P_{LED,max}$ と最低必要パワー $P_{LED,min}$ は、それぞれ熱放散値 H と S/N 比によって決定され、以下のように与えられる、

$$P_{LED,max} = \frac{\eta_{LED} H}{(rn)^2}, \quad (4.3)$$

$$P_{LED,min} = \frac{1}{r\eta_{PD}\alpha} \sqrt{\frac{2qB(S/N)I_d}{n}}, \quad (4.4)$$

ここで、 η_{LED} 、 η_{PD} 、 q 、 B 、 I_d 、 α はそれぞれ LED の効率、VSPD の感度、電荷、VSPD の周波数帯域、VSPD の暗電流、および結合・吸収損失である。 r は発光状態にある LED の割合である。図 4.38 中の点線はこれら 2 式を用いて得られた集積密度に対する S/N 比の関係を示す。ここでは、 $\eta_{LED}=1\%$ 、 $\eta_{PD}=0.3\text{ A/W}$ 、 $H=1\text{ W/cm}^2$ 、 $\alpha=20\text{ dB}$ 、 $I_d=1\text{ nA}$ 、 $r=0.5$ と仮定した。図 4.38 から、 $B=10\text{ MHz}$ 、 $S/N=20\text{ dB}$ で S/N 比によって決定される集積密度は 2000 neurons/cm^2 であることが判る。

次に、光クロストークの効果について考える。モノリシック型でもハイブリッド型でも、LED と VSPD の間には数 μm のギャップが存在する。光クロストークはギャップが大きいほど、また集積密度が高いほど増加する。図 4.37 は光クロストークの実際の配置を示したものである。最近接および第 2 最近接 LED 迄の影響を考慮した光クロストーク X は、

$$X = \int_{PD} \int_{1st \ \& \ 2nd \ neighboring \ LEDs} f(\theta) dS d\Omega / \int_{PD} \int_{just \ front \ LED} f(\theta) dS d\Omega, \quad (4.5)$$

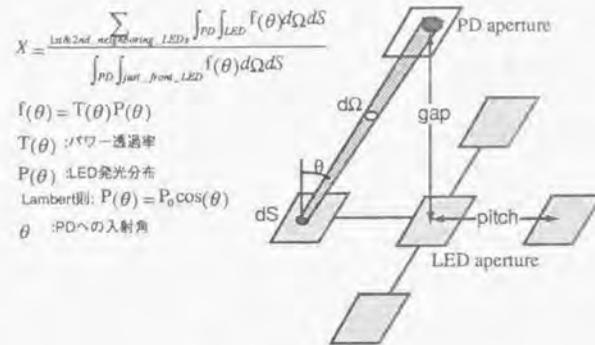


図 4.37: 光クロストークの配置

ここで、 $f(\theta) = T(\theta)P(\theta)$ は PD への入射角、 $P(\theta)$ は Lambert 則を仮定した LED の発光分布 [33]、 $T(\theta)$ はパワー透過率、 Ω は立体角である。図 4.38 中の実線は、ギャップ距離 d をパラメータとした光クロストークと集積密度の関係である。最大許容光クロストークはニューラルネットワークモデルに依存する。バックプロパゲーションモデルでは、学習効果により最大 -5dB まで許容される。従って、 $d=2\mu\text{m}$ の時最大集積密度として $2000\text{neurons}/\text{cm}^2$ が得られる。

この結果、素子の応答速度が現状と同じ $1\mu\text{s}$ と仮定しても、 1cm 角サイズで 1000 ニューロン以上・ITCPS 以上の光ニューロチップが作製可能と予測される。これは、 $0.2\mu\text{m}$ ルールが実現できたときの Si-LSI ニューロチップにおける集積密度の予測値に匹敵し、高速大規模なニューロチップ実現における光技術の優位性が示されている。不揮発性機能を有する VSPD を導入することで、各素子エレメントへのアクセスは、 n オーダの配線数に抑えることができる。但し、その場合周辺電子回路の集積化は必須であり GOS 技術の重要性がクローズアップされるとともに、精度の問題等もあわせて今後検討を加える必要がある。

4.9 まとめ

光ニューロチップの構成方式として 2 つの方式を確認した。第 1 の方式として SLM を LED と PD に挟み込むチップを作製した。SLM としては PLZT を使い、ニューロン数 8

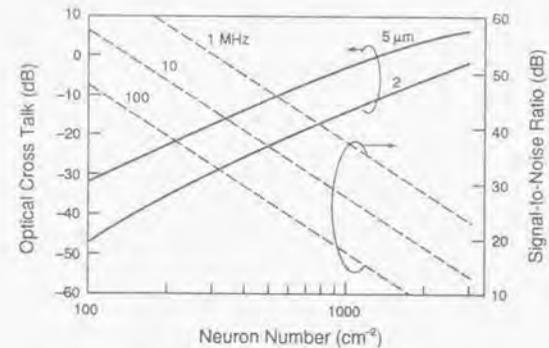


図 4.38: ニューロン集積密度に対する光クロストーク (実線) と S/N 比 (点線) 依存性の計算結果。パラメータは各々ギャップ長と周波数である。

個のチップとした。その結果光ベクトル点マトリクス乗算器としての基本特性を確認できた。しかし、偏光板により光クロストークが -10dB 程度と増大し、本方式ではこの偏光板の集積化技術が今後の研究課題であることを明らかにした。次に、新しい可変シナプス型光ニューロチップ構造の提案を行い、その基本構成素子である感度可変受光素子およびその 2 次元アレイ化素子を作製した。そして可変かつ興奮性・抑制性のアナログシナプス荷重が実現できることを実験的に示した。この VSPD をシナプス素子として用いた可変シナプス型光ニューロチップを作製し、パターン分類問題に適用、学習特性を評価した。また、チップの素子特性が学習特性に及ぼす影響について考察をした。VSPD へのアクセス方式として VSPD 自体にメモリ作用を持たせる構造を考案した。そして、EEPROM 構造を用いて提案した素子の基本特性を実証した。また、将来の Si-LSI との集積化を目指して、シリコン上の GaAs の成長を行い、そのエピタキシャル膜を用いて、LED アレイと VSPD アレイを作製し、基本特性の評価を行った。更に、このアレイを用いて光ニューロチップを作製し、チップとしての基本特性を確認した。

最後に、最大ニューロン集積密度についての考察を行い、理論最大集積密度として $2000\text{neurons}/\text{cm}^2$ を得た。

参考文献

- [1] 太田 淳, 武藤 勝俊, 新田 嘉一, 田井 修市, 久間 和生, 「PLZT 空間光変調器を用いたダイナミック光ニューロチップ」, 1990 年秋季応用物理学会予稿 27a-H-7.
- [2] J. Ohta, Y. Nitta, and K. Kyuma, "A dynamic optical neurochip using sensitivity variable photodiodes," *Opt. Lett.* **16**, 744-746 (1991).
- [3] Y. Nitta, J. Ohta, S. Tai, and K. Kyuma, "Variable-sensitivity photodetector using metal-semiconductor-metal structure for optical neural networks," *Opt. Lett.* **16**, 611-613 (1991).
- [4] 太田 淳, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップの製作と文字認識への応用」, 電子情報通信学会誌 C-II, **J74-C-II**, 377-387 (1991).
- [5] J. Ohta, Y. Nitta, S. Tai, M. Takahashi, and K. Kyuma, "Variable sensitivity photodetector for optical neural networks," to be published in *IEEE J. Lightwave Technol.*, **9**, 1747-1754, (1991).
- [6] Y. Nitta, J. Ohta, M. Takahashi, S. Tai, and K. Kyuma, "Optical neurochip with learning capability," *IEEE Photon. Technol. Lett.*, **4**, 247-249 (1992).
- [7] 太田 淳, 新田 嘉一, 田井 修市, 久間 和生, 山本 誠, 「光ニューロチップ用不揮発性感度可変フォトダイオード」, 1990 年電子情報通信学会秋季全国大会 D-42.
- [8] 太田 淳, 豊田 孝, 新田 嘉一, 小柴 優一, 久間 和生, 「Si 基板上 GaAs 光ニューロチップ」, 1992 年春季応用物理学会予稿 29p-B-15.
- [9] 辻内 順平, 一岡 芳樹, 峯本 工 共著, 「光情報処理」, オーム社, 東京 (1989).
- [10] R.I. MacDonald and S.S. Lee "Photodetector sensitivity control for weight setting in optoelectronic neural networks," *Appl. Opt.*, **30**, 176-179 (1991).
- [11] Y. Koshiba, K. Hara, K. Mitsunaga, and K. Kyuma, "Variable sensitivity photodetector for dynamic optical neurochip," *Electron. Lett.*, **27**, 1216 (1991).
- [12] C.C. Sun, H.H. Wieder, and W.S.C. Chang, "A new semiconductor device - The gate-controlled photodiode, device concept and experimental results," *IEEE J. Quantum Electron.*, **QE-25**, 896 (1989).
- [13] 小柴 優一, 太田 淳, 田井 修市, 光永 一正, 久間 和生, 「ヘテロ接合フォトトランジスタの光ニューロデバイスへの応用」, 1991 年春季応用物理学会予稿 31a-A-8.

- [14] S.M. Sze, D.J. Coleman, Jr., and A. Loya, "Current transport in metal-semiconductor-metal (MSM) structures," *Solid-State Electron.* **14**, 1209-1218 (1971).
- [15] M. Ito and O. Wada, "Low dark current GaAs metal-semiconductor-metal (MSM) photodiodes using WSI contents," *IEEE J. Quantum Electron.* **QE-22**, 1073-1077, (1986).
- [16] K. Nakajima, T. Iida, K. Sugimoto, H. Kan, and Y. Mizushima, "Properties and Design Theory of Ultrafast GaAs Metal-Semiconductor-Metal Photodetector with Symmetrical Schottky Contacts", *IEEE Trans. Electron. Devices*, **37**, 31-35 1990.
- [17] D.E. Rumelhart, J.L. McClelland, and PDP Research Group, *Parallel Distributed Processing, Vols. I&II*, MIT Press, Cambridge, Mass. (1986).
- [18] J. Ohta, M. Oita, S. Tai, K. Hara, and K. Kyuma, "Opto-electronic implementation of a large-scale neural network using multiplexing techniques," *Trans. IEICE*, **E73**, 41-45 (1990).
- [19] D.E. Rumelhart, G.E. Hinton, R.J. Williams, "Learning representations by back-propagation errors," *Nature*, **323**, 533-536 (1986).
- [20] M. Takahashi, M. Oita, S. Tai, K. Kojima, and K. Kyuma, "A quantized back propagation learning rule and its application to optical neural networks," *J. Optical Computing and Processing*, **1**, 175-182 (1991).
- [21] S.M. Sze, *Physics of semiconductor devices (2nd edition)*, Wiley, New York, 1981.
- [22] A.V. Kolodny, S.T.K. Nieh, B. Eitan, and J. Shappir, "Analysis and modeling of floating-gate EEPROM cells," *IEEE Trans. Electron. Devices*, **ED-33**, 835 (1986).
- [23] M. Holler, S. Tam, H. Castro, and R. Benson, "An electrically trainable artificial neural network (ETANN) with 10240 floating gate synapses," *Int'l Joint Conf. Neural Networks '89*, II-191 (1989).
- [24] H.C. Card and W.R. Moore, "Biological learning primitives in analog EEPROM synapses," *Int'l Joint Conf. Neural Networks '89*, II-106 (1989).
- [25] S.F. Fang, K. Adomi, S. Iyer, H. Morkoç, H. Zabel, C. Choi, and N. Otsuka, "Gallium arsenide and other compound semiconductors on silicon," *J. Appl. Phys.*, **68**, R31 (1990).
- [26] 西永, 「格子定数が大きく異なる基板上へのヘテロエピタキシー」, *応用物理*, **55**, 1069 (1986).
- [27] 上田, 「Si 上の GaAs 成長における転位の発生機構と抑制技術」, *応用物理*, **61**, 126 (1992).
- [28] M. Akiyama, Y. Kawarada, and K. Kaminishi, "Growth of single domain GaAs layer on (100)-oriented Si substrate by MOCVD," *Jpn. J. Appl. Phys.*, **23**, L843 (1984).

- [29] R. Fisher, H. Morkoç, D.A. Neumann, H. Zabel, C. Choi, N. Otsuka, M. Longerbone, and L.P. Erickson, "Material properties of high-quality GaAs epitaxial layers grown on Si substrates," *J. Appl. Phys.*, **60**, 1640 (1986).
- [30] N. Hayafuji, S. Ochi, M. Miyashita, M. Tsugami, T. Murotani, and A. Kawagishi, "Effectiveness of AlGaAs/GaAs superlattices in reducing dislocation density," *J. Cryst. Growth*, **93**, 494 (1988).
- [31] N. Hayafuji, M. Miyashita, T. Nishimura, K. Kadoiwa, H. Kumabe, and T. Murotani, "Effect of employing positions of thermal cyclic annealing and strained-layer superlattice on defect reduction in GaAs-on-Si," *Jpn. J. Appl. Phys.*, **29**, 2371 (1990).
- [32] N. Hayafuji, T. Nishimura, M. Tsugami, K. Mitsui, T. Murotani, and K. Kawaguchi, "AlGaAs light-emitting diodes of 660 nm fabricated on Si substrate using AlGaAs/GaAs superlattice buffer layer," *Inst. Phys. Conf. Ser. No.96, Ch.4*, p.183 (1989).
- [33] 米津 宏雄 著, 「光通信素子工学」, 工学図書, 東京 (1984).

第 5 章

全光ニューラルネットワーク用光非線形エタロン素子

5.1 序

前章までの光ニューラルネットワークは、しきい値処理などに電子回路が必要であった。画像情報などを直接取り扱うには、電気的な変換を行わない、全光型光ニューラルネットワークの実現が必要となる。全光ニューラルネットワークの実現を可能とするためには、光非線形素子を実現する必要がある。本章では、この光非線形素子の一つである GaAs/AlGaAs エタロン素子 [1, 2] に関しての基本的な実験結果について述べる [3]。図 5.1 は、この非線形エタロン素子を面発光レーザーアレイ [4] と集積化し、しきい値処理した画像を光ニューロデバイスで処理を行なう画像直接処理システムの将来像を示す。

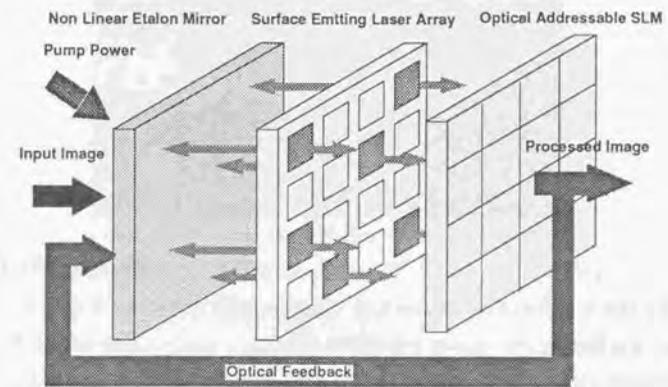


図 5.1: 非線形エタロン素子と面発光半導体レーザーアレイおよび光ニューロデバイスよりなる画像直接処理システムの構成将来イメージ。

本章では、まず第5.2と5.3節で GaAs/AlGaAs エタロン素子の構造とその基本特性について述べる。次に、このエタロン素子を半導体レーザーの非線形外部共振ミラーとして用いた実験結果について第5.4節で述べる。この構成により外部光によって半導体レーザーの発振状態を制御でき、高いオン/オフ比を得ることができた。

5.2 素子構造

図5.3に素子の基本構造を示す。半絶縁性 GaAs 基板上に GaAs パッファ層 0.2 μm を成長後、ブラッグ反射層として $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$ (62.2nm)/AlAs (73.0nm) を 20 組成成長し、更に MQW 層として、GaAs ウェル層 (8nm)、 $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ バリア層 (8nm) を 100 組成成長した。MQW の吸収ピークは、835nm に設定した。成長は MBE 法で行った。ブラッグ反射層の中心波長は 870nm に設定した。その波長での反射率 R_B は、 $R_B=97\%$ となる。素子の熱放散を良くするために、成長後ウェハを 80 μm 厚まで研磨した後、裏面に Cr/Au を蒸着し銀ペーストで銅ブロックに接着した。



図 5.2: 作製したエピタキシャル膜の断面 SEM 写真。×10000

この素子は、エピタキシャル層表面反射 (反射率 ~ 0.3) とブラッグ反射層とで MQW 媒質をはさんだ構造で、as-grown で非線形エタロンとして動作可能である [5, 6, 7]。この状態で図5.3に示すような入射光 (プローブ光、波長 870nm) の反射強度を、制御光 (Ar^+ レーザ、波長 514.5nm) により変化させることができる。本実験では、更に素子表面に $\text{SiO}_2/\text{TiO}_2$ 誘電体多層膜を蒸着した。これにより、プローブ光に対してフィネスを大

きくでき、かつ制御光を有効に MQW 層で吸収させることができる。この誘電体多層膜の 870nm での反射率 R_F は、 $R_F=93\%$ 、 Ar^+ レーザ波長での反射率は約 5% である。なお、以下の実験は全て室温で行った。

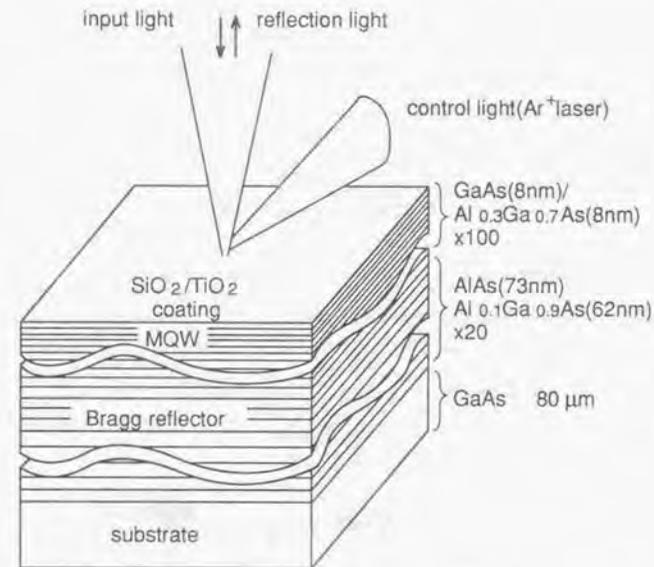


図 5.3: 非線形エタロン構造図

5.3 エタロン特性

図5.4は、表面に誘電体多層膜をコーティングしたウェハの室温でのフォトルミネッセンス (PL) スペクトルである。励起光は、 Kr^+ レーザ (647.1nm)、入射パワー密度は $9\text{W}/\text{cm}^2$ である。図中 (a) のピークが MQW 層からの発光で、その高エネルギー側のショルダーは e-1h 発光である。この PL スペクトルで特徴的なことは、非常に鋭いピーク (半値幅 $\sim 4\text{meV}$) が幾つか現れていることである (図中 (b)-(d))。これらはエタロンの共振特性によるものである。今、ブラッグ層の実効層厚 L_{eff} は吸収を無視すれば、

$$L_{eff} = \left(\frac{L_{BR}}{2} \right) \frac{\tanh\left(\frac{\pi \Delta n L_{BR}}{\lambda}\right)}{\left(\frac{\pi \Delta n L_{BR}}{\lambda}\right)}, \quad (5.1)$$

で与えられる [8]。ここで L_{BR} は全ブラッグ層厚 ($L_{BR} = 2.7 \mu\text{m}$)、 λ はピーク付近の波長 ($\lambda = 885 \text{nm}$)、 Δn は $\text{Al}_{0.1}\text{Ga}_{0.9}\text{As}$ と AlAs との屈折率差である ($\Delta n = 0.51$) [9]。従って、このエタロンのフィネス FSR は、MQW 層厚 $L_{MQW} = 1.6 \mu\text{m}$ 、屈折率 $n_{MQW} = 3.5$ 、ブラッグ層の平均屈折率 $n_{BR} = 3.21$ とすると、

$$FSR = \frac{c}{2(n_{BR}L_{BR} + n_{MQW}L_{MQW})}, \quad (5.2)$$

より $FSR = 62 \text{meV}$ と求められ、PL での (c)-(d) ピーク間エネルギー 63meV と良く一致し、良好なエタロン特性が得られていると云える。

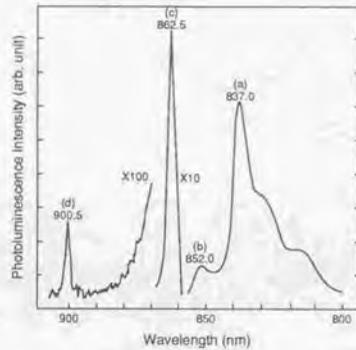


図 5.4: PL スペクトル。(a) は MQW からの発光、(b)-(d) はエタロン共振特性を反映した発光。

更に、これら (b)-(d) のピークは、分光器への入射角 θ により変化する。図 5.5 は図 5.4 中の (a)-(d) のピークエネルギーを入射角 θ に対してプロットしたものである。ピーク (a) は MQW 層からの発光ピークであるため角度依存性が無いのに対して、他のピークの角度依存性はエタロンの共振条件、

$$E \propto \sec\left(\sin^{-1}\left(\frac{1}{n_{MQW} \sin \theta}\right)\right), \quad (5.3)$$

で良く説明される。但し、MQW 層の屈折率は、波長分散を考慮して、(b)、(c)、(d) それぞれに対して 3.3、3.1、3.0 として計算している。この急峻なピークを用いてウェハ内での共振器長の分布を求めたところ、 $10 \text{mm} \phi$ 内で $\pm 0.5 \text{nm}$ であった。

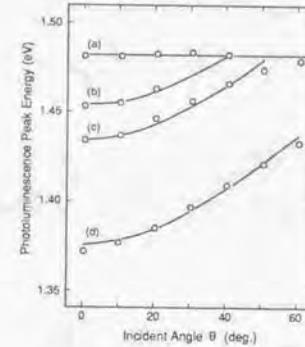


図 5.5: PL スペクトルピークの入射角度依存性。(a)-(d) は PL 中の各スペクトルピークに対応している。(a) 以外の実線は計算値である。

5.4 スイッチング特性

図 5.6 に、光制御型スイッチの実験構成を示す。レーザー増幅器として両端面 AR コート (反射率 $\sim 0.2\%$) のリッジ型 $\text{AlGaAs}/\text{GaAs}$ MQW レーザを用い [10]、非線形エタロンとブレード・グレーティング ($1200/\text{mm}$) により掃還をかけ、外部共振器レーザを構成した。共振器長は約 50cm 、発振波長は約 870nm である。グレーティングの 0 次光は、アイソレータを通過した後、レーザーのパワーおよびスペクトルのモニターとして用いた。制御光としては、CW Ar^+ レーザを AOM で変調して用い、またエタロン表面からの反射光を制御光モニターとして用いた。

反射型非線形エタロンの反射率 R は、プローブ光のエタロン中での吸収を無視すれば [11]、

$$R = \frac{(1 - R_F)(1 - R_B)}{(1 - \sqrt{R_F R_B})^2 + 4\sqrt{R_F R_B} \sin^2(\phi_0 + \Delta\phi_{NL})}, \quad (5.4)$$

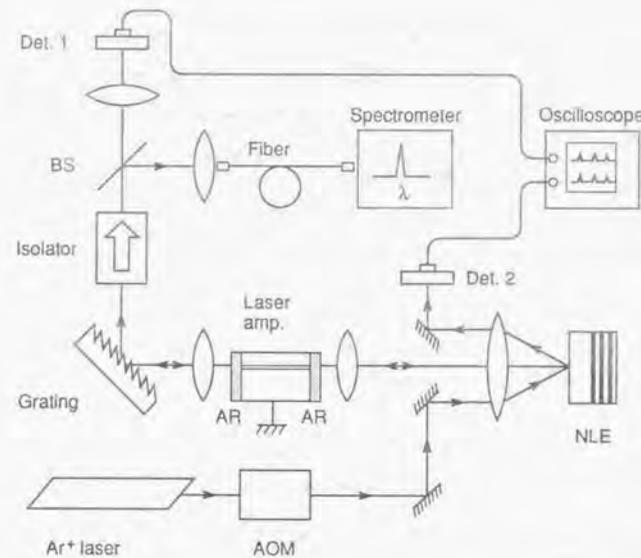


図 5.6: 実験システム構成図. NLE: 非線形光学エタロン素子, Det: 受光素子, AOM: 音響光学変調素子, BS: ビームスプリッター.

ここで、 R_F と R_B は各々エタロンの前面と後面での反射率、 ϕ_0 は初期位相、 $\Delta\phi_{NL}$ は制御光による位相変化で、

$$\Delta\phi_{NL} = \frac{2\pi n_2 I_0}{\lambda_c \alpha}, \quad (5.5)$$

である。ここで、 n_2 は非線形屈折率係数 ($n_2=2 \times 10^{-5} \text{ cm}^2/\text{W}$) [12]、 I_0 は制御光パワー密度 ($I_0=5 \text{ kW/cm}^2$)、 λ_c は制御光波長 ($\lambda_c=514.5 \text{ nm}$)、 α は λ_c での吸収係数 ($\alpha=10^5 \text{ cm}^{-1}$) [13] である。式 5.4 と 5.5 より、 $\phi_0=m\pi$ (m : 整数) の時、反射率は $R_{OFF}=16\%$ から $R_{ON}=96\%$ へと変化する。従って、オンオフ比は 6:1 となる。図 5.7 はエタロン素子として動作させた時のスイッチ特性で、オンオフ比は約 5:1 であった。

一方、外部共振器構成の場合、この反射率変化によりしきい値利得が変化する。この変化量を Δg_{th} とすると、近似的に、

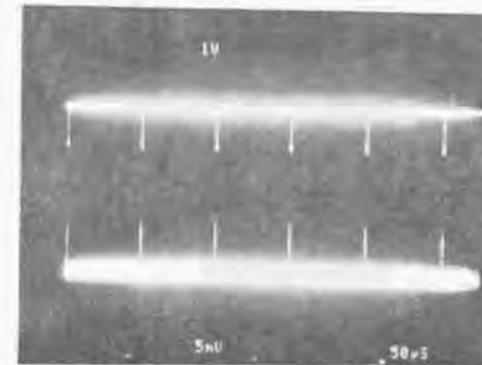


図 5.7: エタロン素子単体で動作させた時のスイッチ特性

$$\Delta g_{th} = \frac{1}{2l} \ln \left(\frac{R_{ON}}{R_{OFF}} \right), \quad (5.6)$$

と表される [14]。ここで、 l は利得媒質の長さである ($l=300 \mu\text{m}$)。先ほどと同一の制御光パワー密度とすれば、 $\Delta g_{th}=30 \text{ cm}^{-1}$ となり、レーザ発振をオンするのに十分な利得差となっている。この場合、オンオフ比は、主としてレーザの外部微分量子効率と自然放出光強度に依存しており、適当なレーザ媒質、レーザ構造を用いることにより、通常の反射型エタロン素子よりも高いオンオフ比を得ることができる。

実験では、レーザへの注入電流をしきい値より僅かに小さくしておき、制御光を入射させた。これによりエタロンの反射率が増加しレーザ発振が起こる。図 5.8 はその実験結果である。制御光パワー密度は約 5 kW/cm^2 、注入電流は 64 mA である。オンオフ比としては 30:1 と云う高い値が得られた。同図中の挿入図は、発振オンとオフの各状態でのスペクトルである。発振波長は 873.8 nm であった。

単一モード性を調べるために出力光をファブリペロー干渉計で測定した結果が図 5.10 である。レーザの縦モード間隔 300 MHz より、単一モードであることが確認された。またサイドモード抑圧比は、300:1 であった。

図 5.8 では、制御光入射時にレーザ発振がオンされるが、これは式 5.4 でのエタロンの初期位相 ϕ_0 に依存している。掃選グレーティングを調整することで初期位相を変え、制御光入射時にレーザ発振をオフすることも可能である。その実験結果を図 5.9 に示す。グレー

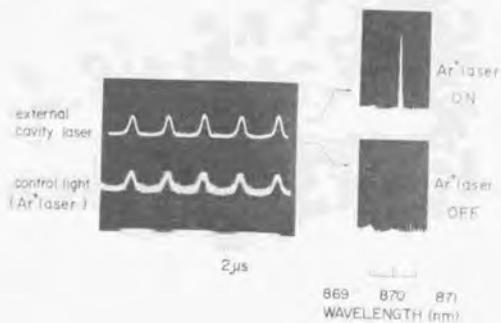


図 5.8: スイッチング特性 (オン特性)

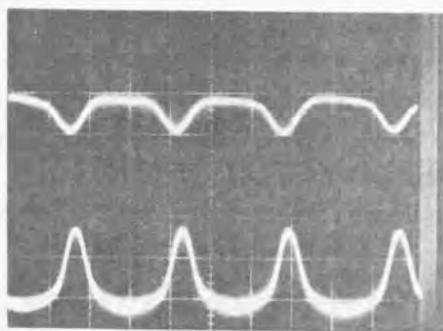
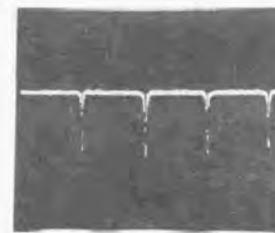


図 5.9: スイッチング特性 (オフ特性)

タイミングを調整した以外は全て図 5.8 と同じ条件である。この時の発振波長は 874.3nm である。



FSR
= 15 GHz

図 5.10: レーザ発振時の FSR 特性

5.5 まとめ

AlAs/AlGaAs ブラッグ反射層と MQW 層とを積層成長することにより、反射型非線形エタロン素子を作製した。そして、PL スペクトルにエタロンの共振特性が反映されていることを見いだした。この素子を半導体レーザの外部掃還ミラーとして用いることにより、外部制御光でレーザ発振をオンオフできる光スイッチを実現した。制御光パワー密度 5 kW/cm^2 のときオンオフ比として 30:1 が得られた。

参考文献

- [1] H.M. Gibbs, *Optical Bistability*, Academic Press (1985).
- [2] H.M. Gibbs, S.S. Tarng, J.L. Jewell, D.A. Weinberger, K. Tai, A.C. Gossard, S.L. McCall, A. Passner, and W. Wiegmann, "Room-temperature excitonic optical bistability in GaAs-AlGaAs superlattice etalon," *Appl. Phys. Lett.*, **41**, 221 (1982).
- [3] J. Ohta, K. Kyuma, M. Oita, K. Mitsunaga, K. Hamanaka, and T. Nakayama, "All-optical active switch using a multiple quantum well nonlinear etalon as a laser diode mirror," *Electron. Lett.*, Vol.24, No.4, pp.216-217, 1988
- [4] 伊賀 健一, 小山 二三夫 共著, 「面発光レーザ」, オーム社, 東京, (1990)
- [5] Y.H. Lee, H.M. Gibbs, J.L. Jewell, J.F. Duffy, T. Venkatesan, A.C. Gossard, W. Wiegmann, and, J.H. English, "Speed and effectiveness of windowless GaAs etalon as optical logic gates," *Appl. Phys. Lett.*, **49**, 486 (1986).
- [6] S.L. McCall, A.C. Gossard, J.H. English, J.L. Jewell, and J.F. Duffy, "Operation of a GaAs-AlAs optical logic gate fabrication completely by molecular beam epitaxy," *Dig. Tech. Papers of CLEO 1986*, p.364.
- [7] 太田 淳, 久間 和生, 光永 一正, 小島 啓介, 追田 真也, 浜中 宏一, 「反射型 MQW エタロン光ゲート素子」, 1987 年秋季応用物理学会予稿 18a-ZG-6.
- [8] W.T. Tsang (ed.) *Semiconductor & Semimetals*, Vol.22, Part B, Academic Press (1985).
- [9] M.A. Fromowitz, "Refractive index of $\text{Ga}_{1-x}\text{Al}_x\text{As}$," *Solid State Commun.*, **15**, 59-63 (1974).
- [10] S. Tai, K. Kojima, S. Noda, K. Kyuma, K. Hamanaka, and T. Nakayama "Narrow spectral linewidth semiconductor optical-fiber ring laser," *Appl. Phys. Lett.*, **49**, 1328 (1986).
- [11] D.A.B. Miller, "Refractive Fabry-Perot bistability with linear absorption: theory of operation and cavity optimization," *IEEE J. Quantum Electron.*, **QE-17**, 306 (1981).
- [12] D.A.B. Miller, D.S. Chemla, D.J. Eilenberger, and P.W. Smith, "Large room-temperature optical nonlinearity in GaAs/ $\text{Ga}_{1-x}\text{Al}_x\text{As}$ multiple quantum well structures," *Appl. Phys. Lett.*, **41**, 679 (1982).

- [13] J.S. Blakemore, "Semiconducting and other major properties of gallium arsenide," J. Appl. Phys., **53**, R123 (1982).
- [14] M.W. Fleming and A. Mooradian, "Spectral characteristics of external-cavity controlled semiconductor lasers," IEEE J. Quantum Electron. QE-17, 44-59 (1981).

第6章

総括

本論文は、光ニューラルネットワークシステムの高機能化を検討し、実際のシステムを構築し、それを実証するとともに、システムの集積化を半導体技術を用いて試作した結果をまとめたものである。

得られた結果を要約すると次のようになる。

1. ノイズ導入光ニューラルネットワーク

- (a) 光ベクトル・マトリクス乗算器を用いて、フィードバックモデルに基づく32ニューロンの連想メモリシステムを構成し、システムにノイズを導入することにより連想特性が向上することを計算機シミュレーションおよび実験的に確認した。
- (b) 偽メモリの存在を実験的に確認するとともに、これらが記憶パターンの論理的な組み合わせによる混合状態で表されることを明らかにした。
- (c) 偽メモリパターンから記憶パターンに移移するために必要なノイズ量を推定し、実験結果との良い一致を得た。

2. 多重化方式光ニューラルネットワーク

- (a) ニューロン数を実効的に増加させる方法として時分割多重化方式(TDM)と周波数多重化方式(FDM)を提案した。
そしてこれら多重化方式がニューロン数の増大に有効であることを計算機シミュレーションおよび実験によって明らかにした。

- (b) TDM 方式では、光ベクトル・マトリクス乗算器を用いたフィードバック形連想メモリを構築し、ニューロン数を倍に増加させることに成功した。
- (c) FDM 方式に関しては、認識率への影響を考察し、フィルター間の電氣的クロストークと分割数増加による S/N 劣化が認識率に及ぼす影響について計算機シミュレーションを行い、分割数 20 程度であれば認識率の劣化は殆どないことを明らかにした。

3. 固定シナプス型光ニューロチップ

- (a) 3 層構造の GaAs/AlGaAs 固定シナプス型光ニューロチップを提案し、実際に素子を作製した。
素子設計に際しては、素子特性の均一化、高効率化、光クロストークの低減の 3 点に留意した。
その結果、良好なベクトル・マトリクス乗算を行うことが可能となり、1GCPS 以上の高速なニューラルネットワーク処理速度を得た。
- (b) 光ニューロチップを文字認識システムに用いた実験を行った。
ニューロン数 32 の FB 型とニューロン数 90 の FF 型の 2 種類のチップを作製し、各々認識特性を評価した。
FB 型チップでは、ほぼ理論通りの認識結果を得ることができたが、FF 型チップでは、若干劣化した特性となった。

4. 可変シナプス型光ニューロチップ

- (a) PLZT-SLM を用いた 8 ニューロンの光ニューロチップを作製した。光ベクトル・マトリクス乗算器としての特性を確認できたが、光クロストークが -10dB 程度と大きかった。これは、偏光板の厚みによりクロストークが増大するため、この点に関して改良が必要なことを明らかにした。
- (b) 新しい可変シナプス型光ニューロチップ構造の提案を行い、その基本構成素子である感度可変受光素子およびその 2 次元アレイ化素子を作製した。
そして可変かつ興奮性・抑制性のアナログシナプス荷重が実現できることを実験的に示した。

- (c) VSPD をシナプス素子として用いた可変シナプス型光ニューロチップを作製し、パターン分類問題に適用、学習特性を評価した。ニューロン数は 8 個で、最大 12 パターンの分類に成功した。

チップの素子特性が学習特性に及ぼす影響について考察をした。特に、素子特性の非線型性とばらつきに関してシミュレーションを行い、非線型性が学習特性に大きく影響することを確認した。また、ノイズの影響についてもシミュレーションを行った。

- (d) メモリ機能を有する VSPD として EEPROM 構造 VSPD を提案、感度を不揮発性にできることを確認した。
- (e) Si 基板上的 GaAs 成長を行い、その上に LED アレイ、VSPD アレイを作製し、各々の基本特性を評価した。LED アレイに関しては、素子特性のばら付は小さいが効率は GaAs 上に比べて悪い結果となった。VSPD アレイに関しては、受光感度、暗電流ともに GaAs 上と同程度であったが、ショットキー接合の劣化および不均一性が顕著された。この LED アレイと VSPD アレイにより光ニューロチップを形成し、チップとしての基本特性を得ることができた。効率は GaAs 上に比べて 1/4 程度であった。
- (f) 最大ニューロン集積密度についての考察を行い、理論最大集積密度として 2000cm^{-2} を得た。

5. 全光ニューラルネットワーク用光非線形エタロン素子

- (a) AlAs/AlGaAs ブラッグ反射層と MQW 層とを積層成長することにより、反射型非線形エタロン素子を作製した。
- (b) PL スペクトルにエタロンの共振特性が反映されていることを見いだした。
- (c) エタロン素子を半導体レーザーの外部帰還ミラーとして用いることにより、外部制御光でレーザー発振をオンオフできる光スイッチを実現した。
制御光パワー密度 $5\text{kW}/\text{cm}^2$ のときオンオフ比として 30:1 が得られた。

付録 A

付録: 偽メモリ M_1 の一般性の証明

ここでは、式 2.8、

$$M_1 = \overline{(A \cap E) \cup (E \cap J) \cup (J \cap A)}, \quad (\text{A.1})$$

が、蓄積情報パターン (ここでは A, J, E) に係わり無く成立することを示す。即ち、任意の 3 つの蓄積情報ベクトル $v^{(1)}, v^{(2)}, v^{(3)}$ に対して、

$$m = \overline{(v^{(1)} \cap v^{(2)}) \cup (v^{(2)} \cap v^{(3)}) \cup (v^{(3)} \cap v^{(1)})}, \quad (\text{A.2})$$

が偽メモリパターンであることを示す。(ただし、本章では蓄積情報数 M と区別するために、以下では M_1 を m と書く。) このためには、 m が式 2.1 と式 2.3 による変換 (ニューロン状態更新処理) での不動点 (固有ベクトル) であること、即ち、

$$m_i = \theta \left(\sum_{j=1}^N w_{ij} m_j \right), \quad (\text{A.3})$$

を示せば良い。なお式 A.2 の m は、いわゆる「多数決関数」の形をしており、真偽は多数決によって決定される [1]。例えば、 $v^{(1)}$ かつ $v^{(1)}$ が真ならば、 m は真となる。

以下では、議論を簡単にするため単極ベクトル $v \in [0, 1]^N$ の代わりに両極ベクトル $s \in [-1, 1]^N$ を用いる。また、 $I^N \in (0, N]$ とする。今、両極蓄積情報ベクトル $s_i^{(m)} = 2v_i^{(m)} - 1, (i \in I^N, m \in I^M)$ をランダムに選ぶとする。但し、 $N \gg 1$ とする。この時、

$$\sum_{i=1}^N s_i^{(p)} \simeq 0, \text{ for } \forall p \in I^M, \quad (\text{A.4})$$

となり、従って、擬直交性、

$$s^{(p)} \cdot s^{(q)} \simeq \delta_{p,q}, \text{ for } \forall p, q \in \mathbf{I}^M, \quad (\text{A.5})$$

が成立する。この $s^{(m)}$ を用いて式 A.2 を書き換えると、

$$m_i = 1 - \frac{1}{4} (2 + (s_i^{(1)} + s_i^{(2)} + s_i^{(3)} - s_i^{(1)} s_i^{(2)} s_i^{(3)})), \quad (\text{A.6})$$

ここで、以下の論理演算と算術演算との関係、

$$v_i^p \cap v_i^q = v_i^p v_i^q, \quad (\text{A.7})$$

$$v_i^p \cup v_i^q = v_i^p + v_i^q - v_i^p v_i^q, \quad (\text{A.8})$$

$$\overline{v_i^p} = 1 - v_i^p, \quad (\text{A.9})$$

を用いた。

式 A.6 を式 2.5 を用いて式 A.3 の右辺に代入すると、

$$\begin{aligned} & \sum_{j=1}^N w_{ij} m_j \\ &= \theta \left(\sum_{j=1}^N \sum_{m=1}^M s_i^{(m)} s_j^{(m)} \left(1 - \frac{1}{4} (2 + s_j^{(1)} + s_j^{(2)} + s_j^{(3)} - s_j^{(1)} s_j^{(2)} s_j^{(3)}) \right) \right. \\ & \quad \left. - M \sum_{j=1}^N \delta_{ij} \left(1 - \frac{1}{4} (2 + s_j^{(1)} + s_j^{(2)} + s_j^{(3)} - s_j^{(1)} s_j^{(2)} s_j^{(3)}) \right) \right) \\ &= \theta(-N(s_j^{(1)} + s_j^{(2)} + s_j^{(3)})). \end{aligned} \quad (\text{A.10})$$

ここで、 $M \gg N$ を仮定した。この式の右辺は明らかに「多数決関数」の形をしている。従って、 m がニューロン状態更新処理の固有ベクトルであることが証明された。また、同時に m の反転ベクトルも固有ベクトルであることがわかる。偽メモリが蓄積情報ベクトルの組み合わせで表されることの一般的な証明は文献 [2] で述べられている。

参考文献

- [1] 奥川 峻史, 「LSI による論理設計」, p.25, 共立出版, 東京, (1987).
- [2] C.M. Newman, "Memory capacity in neural network models: rigorous lower bounds," *Neural Networks*, 1, 223-238 (1988).

謝辞

本論文を結ぶにあたり、終始懇切なるご指導と御鞭撻を賜った東京大学工学部物理工学科伊藤 良一 教授に深く感謝致します。

また、本論文をまとめるに際し、詳細な御検討と貴重な御指示を賜りました東京大学工学部物理工学科 花村 榮一 教授、清水 富士夫 教授、同大学工学部計数工学科甘利俊一 教授、石川 正俊 助教授、同大学先端科学技術研究センター 保立 和夫助教授に厚く御礼申し上げます。

本研究遂行にあたって御指導と御鞭撻を賜り、また本論文作製の機会を与えて頂くと共に激励頂いた三菱電機（株）常務取締役 大野 榮一 博士、中央研究所所長 岩本 雅民 博士、中山 高 博士（前 三菱電機（株）中央研究所技師長）、材料研究所所長 野間口 有 博士、中央研究所計画部部长 浜中 宏一 博士、量子エレクトロニクス研究部部长 竹山 哲 博士、材料研究所プロセス技術第2 部部长 布下 正宏 博士には心から感謝致します。

三菱電機（株）中央研究所量子エレクトロニクス研究部第1グループマネージャー久間 和生 博士からは、本研究開始以来研究遂行にあたって懇切な御指導を頂戴致しました。また、本研究をまとめるために御尽力下さいましたことに深く感謝致します。

本研究の遂行にあたって特に多くのご協力を頂いた三菱電機（株）中央研究所量子エレクトロニクス研究部 新西 俊雄 氏、田井 修市 博士、光水 一正 博士、小島啓介博士（現 AT&T Bell 研究所）、野田 進 博士（現京都大学）、高橋 正信 氏、追田 真也 氏、新田 嘉一 氏、原 邦彦 氏、小柴 優一 氏、石井 俊直 氏、豊田 孝氏、岩本 貴司 氏、船津 英一 氏、Wolfgang Banzhaf 博士、Eberhard Lange 氏、John Bell 博士の方々には心から感謝致します。

第4章第4.7節における Si 上 GaAs 結晶成長に関して御指導頂いた三菱電機（株）光・マイクロ波研究所プロセス基礎部部长 室谷 利夫博士、同部 早藤 紀生氏に感謝致します。また、第4章第4.6節における EEPROM を提供して下さい、貴重なアドバイスを頂いた三

菱電機(株)北伊丹製作所 山本 誠氏に感謝致します。

本研究の期間中、有益な御討論ならびにご支援、御協力頂きました三菱電機(株)本社開発部 尾形 仁士 博士、同中央研究所電機技術部次長 吉安 一 博士、同量子エレクトロニクス研究部第2グループマネージャ井須 俊郎 博士、第3グループマネージャ塚田 紀昭 博士、ならびに藤原 賢三 博士(現九州工業大学)、奈良 重俊 博士(現岡山大学)、野村 良徳 氏、黒田 研一 氏、児島 一良 博士、徳田 安紀 博士、金本 恭三 氏、大塚 健一 博士、丸野 茂光 博士、杉本 博司 氏をはじめとする量子エレクトロニクス研究部の各位に御礼申し上げます。

最後に、本研究遂行における妻 安美の理解と協力を感謝します。

研究発表リスト

1. 本論文に関する論文

- [1] J. Ohta, S. Tai, M. Oita, K. Kuroda, K. Kyuma, and K. Hamanaka, "Optical implementation of an associative neural network model with a stochastic process," *Appl. Opt.*, Vol. 28, No. 12, pp. 2426-2428, 1989.
- [2] J. Ohta, M. Oita, S. Tai, K. Hara, and K. Kyuma, "Opto-electronic implementation of a large-scale neural network using multiplexing techniques," *Trans. IEICE*, Vol. E73, No. 1, pp. 41-45, 1990.
- [3] M. Oita, J. Ohta, S. Tai, and K. Kyuma, "Optical implementation of large-scale neural networks using time-division-multiplexing technique," *Opt. Lett.*, Vol. 15, No. 4, pp. 227-229, 1990.

以上 第2章

- [4] J. Ohta, M. Takahashi, Y. Nitta, S. Tai, K. Mitsunaga, and K. Kyuma, "GaAs/AlGaAs optical synaptic interconnection device for neural networks," *Opt. Lett.*, Vol. 14, No. 16, pp. 844-846, 1989.
- [5] Y. Nitta, J. Ohta, K. Mitsunaga, M. Takahashi, S. Tai, and K. Kyuma, "GaAs/AlGaAs optical interconnection chip for neural network," *Jpn. J. Appl. Phys.*, Vol. 28, No. 11, pp. L2101-2103, 1989.
- [6] Y. Nitta, J. Ohta, K. Mitsunaga, S. Tai, and K. Kyuma, "Optoelectronic associative memory using an advanced optical neurochip," *Appl. Opt.*, Vol. 30, No. 11, pp. 1328-1330, 1991.
- [7] J. Ohta, K. Kojima, Y. Nitta, S. Tai, and K. Kyuma, "Optical neurochip based on a three-layered feedforward model," *Opt. Lett.*, Vol. 15, No. 23, pp. 1362-1364, 1990.
- [8] 太田 淳, 新田 嘉一, 田井 修市, 光永 一正, 久間 和生, 「光ニューロチップの製作と文字認識への応用」, *電子情報通信学会誌 C-II*, Vol. J74-C-II, No. 5, pp. 377-387, 1991.
- [9] W. Balzer, M. Takahashi, J. Ohta, and K. Kyuma, "Weight quantization in Boltzmann machines," *Neural Networks*, Vol. 4, No. 3, pp. 405-409, 1991.

以上 第3章

- [10] Y. Nitta, J. Ohta, S. Tai, and K. Kyuma, "Variable-sensitivity photodetector using metal-semiconductor-metal structure for optical neural networks," *Opt. Lett.* Vol. 16, No. 8, pp. 611-613, 1991.
- [11] J. Ohta, Y. Nitta, and K. Kyuma, "A dynamic optical neurochip using sensitivity variable photodiodes," *Opt. Lett.* Vol. 16, No. 10, pp. 744-746, 1991.
- [12] J. Ohta, Y. Nitta, S. Tai, M. Takahashi, and K. Kyuma, "Variable sensitivity photodetector for optical neural networks," *IEEE J. Lightwave Technol.*, Vol. 9, No. 12, pp.1747-1754, 1991.
- [13] Y. Nitta, J. Ohta, M. Takahashi, S. Tai, and K. Kyuma, "Optical neurochip with learning capability," *IEEE Photon. Technol. Lett.*, Vol. 4, pp.247-249, 1992.

以上 第4章

- [14] J. Ohta, K. Kyuma, M. Oita, K. Mitsunaga, K. Hamanaka, and T. Nakayama, "All-optical active switch using a multiple quantum well nonlinear etalon as a laser diode mirror," *Electron. Lett.*, Vol. 24, No. 4, pp. 216-217, 1988.

以上 第5章

2. その他の研究論文

- [1] K. Kume, J. Ohta, N. Ogasawara, and R. Ito, "Orientation dependence of LPE growth behavior of $Ga_xIn_{1-x}P$ on (100) and (111)B GaAs substrates," *Jpn. J. Appl. Phys.*, Vol. 21, No. 7, pp. L424-L426, 1982.
- [2] J. Ohta, M. Ishikawa, R. Ito, and N. Ogasawara, "Effect of lattice mismatch on the solidus compositions of $Ga_xIn_{1-x}P$ liquid phase epitaxial crystals," *Jpn. J. Appl. Phys.*, Vol. 22, No. 3, pp. L136-L138, 1983.
- [3] J. Ohta, K. Kuroda, K. Mitsunaga, K. Kyuma, K. Hamanaka, and T. Nakayama, "Buried transverse-junction stripe laser for optoelectronic integration circuits," *J. Appl. Phys.*, Vol. 61, No. 10, pp. 4933-4935, 1987.
- [4] J. Ohta, K. Kuroda, K. Mitsunaga, K. Kyuma, K. Hamanaka, and T. Nakayama, "Monolithic integration of a transverse-junction stripe laser and metal-semiconductor field-effect transistors on a semi-insulating GaAs substrate," *Electron. Lett.*, Vol. 23, No. 10, pp. 509-510, 1987.

3. 国際会議報告

- [1] J. Ohta, K. Kuroda, K. Mitsunaga, K. Kyuma, K. Hamanaka, and T. Nakayama, "Monolithic integration of a transverse junction stripe laser and metal semiconductor field effect transistors on a semi-insulating GaAs substrate," *Technical Digest of First Optoelectronics Conference (OEC'86)*, paper A7-2, pp.52-53, Tokyo, Japan, 1986.
- [2] J. Ohta, K. Kyuma, M. Oita, K. Mitsunaga, K. Hamanaka, and T. Nakayama, "Novel type of all-optical switching device using a multiple quantum well nonlinear etalon as a laser mirror," *Conference on Lasers and Electro-Optics (CLEO'88)*, paper WM63, pp. 246-248, Anaheim, CA, 1988.
- [3] K. Kyuma, J. Ohta, K. Kojima, and T. Nakayama, "Optical neural networks, Systems and device technologies," *SPIE Proceeding of Optical Computing 88*, Vol.963, pp.475-484, 1988.
- [4] J. Ohta, M. Takahashi, Y. Nitta, S. Tai, K. Mitsunaga, and K. Kyuma, "A new approach to a GaAs/AlGaAs optical neurochip with threelayered structure," *International Joint Conference on Neural Networks (IJCNN'89)*, pp. II-477-482, Washington D.C., 1989.
- [5] M. Oita, S. Tai, J. Ohta, K. Hara, K. Kyuma, and T. Nakayama, "An optoelectronic implementation of the associative neural network using a time division multiplexing technique," *International Joint Conference on Neural Networks (IJCNN'89)*, pp. II-634, Washington D.C., 1989.
- [6] Y. Nitta, J. Ohta, K. Mitsunaga, M. Takahashi, S. Tai, and K. Kyuma, "GaAs/AlGaAs optical interconnection chip for neural network," *Extended Abstracts of the 21st Conference on Solid State Devices and Materials (SSDM'89)*, paper S-C-1, pp. 429-432, Tokyo, Japan, 1989.
- [7] J. Ohta, Y. Nitta, and K. Kyuma, "Consideration on integration density of optical neurochip," *Conference Record of 1990 International Topical Meeting on Optical Computing (OC'90)*, paper 10E13, pp. 243-244, Kobe, Japan, 1990.
- [8] Y. Nitta, J. Ohta, K. Mitsunaga, and K. Kyuma, "GaAs/AlGaAs optical neurochip (Second report)," *Conference Record of 1990 International Topical Meeting on Optical Computing (OC'90)*, paper 10I13, pp. 243-244, Kobe, Japan, 1990.
- [9] Y. Nitta, J. Ohta, K. Mitsunaga, S. Tai, and K. Kyuma, "Integrated optical circuits for Hopfield-type and back-propagation-type neural networks," *Conference Digest of LEOS Summer Topical on Integrated Optoelectronics*, paper 10M8, pp. 21-22, Monterey, California, 1990.
- [10] K. Kyuma and J. Ohta, "Dynamic optical neurochip," *Extended Abstract of the 8th International Workshop on Future Electron Devices (FED-90)*, pp.225-230, Kochi, Japan, 1990.

- [11] J. Ohta, Y. Nitta, and K. Kyuma, "Dynamic optical neurochips," Proceedings of International Conference on Fuzzy Logic & Neural Networks (IIZUKA'90), pp. 661-664, Iizuka, Japan, 1990.
- [12] K. Kyuma, K. Mitsunaga, and J. Ohta, "Optical implementation of neural networks," SPIE Proceeding of Optical Interconnections and Networks, Vol.1281, The Hague, The Netherlands, 1990.
- [13] K. Kyuma and J. Ohta, "Devices for optical neuro computing," Extended Abstracts of the 22st Conference on Solid State Devices and Materials (SSDM'90), paper S-B-8, pp.789-792, Sendai, Japan, 1990.
- [14] K. Kyuma, Y. Nitta, J. Ohta, S. Tai, and M. Takahashi, "The first demonstration of an optical learning chip," Technical Digest Series, Vol. 6, Optical Computing, paper WB2-1, pp. 291-294, March, Salt Lake City, Utah, 1991.
- [15] J. Ohta, Y. Nitta, S. Tai, M. Takahashi, and K. Kyuma, "The GaAs/AlGaAs optical neurochip with variable sensitivity synaptic interconnections," Conerence on Lasers and Electro-Optics (CLEO'91) paper CTuD2, Baltimore, MD, May, 1991.

4. 研究会

- [1] 黒田 研一, 太田 淳, 光永 一正, 久間 和生, 浜中 宏一, 「TJSレーザとMESFETとの集積化」, 電子情報通信学会光量子エレクトロニクス研究会資料 OQE 86-11, 1986.
- [2] 太田 淳, 追田 真也, 久間 和生, 光永 一正, 小島 啓介, 浜中 宏一, 「多重量子井戸エタロンを用いた外部共振器構成光スイッチ」, 電子情報通信学会光量子エレクトロニクス研究会資料 OQE 87-138, 1987.
- [3] 太田 淳, 田井 修市, 黒田 研一, 追田 真也, 久間 和生, 浜中 宏一, 「連想光ニューロコンピュータ」, 電子情報通信学会光量子エレクトロニクス研究会資料 OQE 87-174, 1988.
- [4] 太田 淳, 田井 修市, 追田 真也, 久間 和生, 「光ニューロコンピュータの大容量化」, 電子情報通信学会光量子エレクトロニクス研究会資料 OQE 88-62, 1988.
- [5] 太田 淳, 小島 啓介, 久間 和生, 「光ニューロコンピュータとそのキーデバイス」, テレビジョン学会技術報告, Vol.13, No.6, pp.7-12, 1989.
- [6] 太田 淳, 久間 和生, 「光ニューロコンピューティング -最近のデバイス研究状況-」, 電子情報通信学会コンピュータシステム研究会資料 CPSY 89-62, 1989.
- [7] 久間 和生, 田井 修市, 太田 淳, 高橋 正信, 「ニューラルネットワークモデルによる光連想メモリ」, 電子情報通信学会コンピュータシステム研究会資料 CPSY 88-14, 1988.
- [8] 太田 淳, 久間 和生, 「光ニューラルネットワークの現状」, テレビジョン学会技術報告, Vol.15, No.6, pp.31-36, 1991.

5. 解説記事、その他

- [1] 太田 淳, 久間 和生, 「光ニューロコンピュータ」, テレビジョン学会誌, Vol.42, No.9, pp.931-936, 1988.
- [2] 太田 淳, 久間 和生, 「ニューロコンピュータ」, 光学, Vol.17, No.11, pp.550-556, 1988.
- [3] 太田 淳, 小島 啓介, 久間 和生, 「レーザ応用光ニューロコンピュータ」, 三菱電機技報, Vol.63, No.4, pp.43-46, 1989.
- [4] 太田 淳, 新田 嘉一, 久間 和生, 「光ニューロコンピュータ用デバイスと材料」, NEW GLASS, Vol.4, No.3, pp.68-76, 1989.
- [5] 久間 和生, 太田 淳, 光永 一正, 小島 啓介, 原 邦彦, 「光ニューロデバイス」, 光学, Vol.19, No.1, pp.2-9, 1990.
- [6] 久間 和生, 田井 修市, 太田 淳, 「ニューラルネットワークのハードウェア」, 電子情報通信学会誌, Vol.73, No.7, pp.712-718, 1990.
- [7] 太田 淳, 久間 和生, 「光ニューロチップ」, 電子材料, pp.120-121, 1991年1月号.

