

高速ジョセフソンメモリを実現するための
回路技術の研究

鈴木 秀雄



高速ジョセフソンメモリを実現するための 回路技術の研究

目次	
第1章 序論	1
第2章 ジョセフソン接合の基礎	10
第3章 ジョセフソンメモリ素子の構造と特性	25
第4章 高速動作のための回路設計	45
第5章 実験結果と考察	65
第6章 結論	85
参考文献	95
索引	105
謝辞	115
著者略歴	125

鈴木 秀 雄

目次

第1章 結論	1
1.1 はじめに	1
1.2 ジョセフソン素子の特徴	2
1.3 本研究の背景	5
1.4 本研究の目的	6
1.5 本論文の構成	7
第2章 ジョセフソンメモリの課題	9
2.1 はじめに	9
2.2 従来方式	9
2.2.1 メモリセル	9
2.2.2 周辺回路	11
2.3 課題	13
2.3.1 メモリセルの課題	13
2.3.2 周辺回路の課題	14
2.3.3 メモリ回路全体の課題	14
2.4 むすび	15
第3章 メモリセル	16
3.1 はじめに	16
3.2 ヘンケルス型メモリセル	16
3.2.1 構造および動作原理	16
3.2.2 設計・検討結果	18
3.3 2接合SQUID型メモリセル	21
3.3.1 動作原理・動作実験	21
3.3.2 メモリセルの動作マージンを減少させる要因	23

3.3.3	グレイソーン	26
3.4	容量結合型ジョセフソンメモリセル	28
3.4.1	容量結合型メモリセルの設計思想	28
3.4.2	動作原理・動作実験	28
3.4.3	素子パラメータと動作マージンの関係	35
3.5	むすび	39
第4章	デコーダ回路	40
4.1	はじめに	40
4.2	電流転送型ORデコーダ	40
4.2.1	電流転送回路(電流フリップフロップ)の検討	40
4.2.2	ORデコーダの回路構成および動作原理・特徴	45
4.2.3	実験・検討結果	45
4.3	磁界結合型ゲートを用いたラッチ型デコーダ	48
4.3.1	回路および動作原理・特徴	48
4.3.2	実験結果	48
4.4	電流注入型ゲートを用いたラッチ型デコーダ	51
4.4.1	4JLと単接合を用いたANDゲート	53
4.4.2	4JL&単接合ANDゲートによるラッチ型デコーダ	57
4.5	むすび	60
第5章	ドライバ回路	61
5.1	はじめに	61
5.2	ドライバ回路に要求される性能と従来技術	61
5.3	高電圧ドライバゲートの動作原理	62
5.3.1	構成と動作原理	62
5.3.2	シミュレーション	64
5.3.3	メモリ回路用ドライバゲートの設計と実験結果	68
5.4	高電圧ドライバゲートの素子パラメータと動作マージン・動作速度	69
5.4.1	負荷抵抗値	72

5.4.2	ブランチ抵抗値	73
5.4.3	ブランチインダクタンスと臨界電流のばらつき	75
5.4.4	その他のパラメータ	77
5.5	むすび	78
第6章	集積回路作製プロセスおよび測定技術	79
6.1	はじめに	79
6.2	Nb系ジョセフソン集積回路作製プロセス	79
6.2.1	作製工程	79
6.2.2	キャパシタの作製	82
6.3.3	作製工程での問題点と対策	82
6.3	測定技術	85
6.3.1	直流サンプリング法	85
6.3.2	超伝導ループの電流測定法	87
6.3.3	測定用治具およびパッケージ	89
第7章	4Kメモリ(RAM)	91
7.1	はじめに	91
7.2	回路構成の検討	91
7.2.1	アーキテクチャー	91
7.2.2	電源およびタイミング方式	93
7.3	回路設計	94
7.3.1	レイアウト設計	94
7.3.2	周辺回路の設計	97
7.3.3	アクセス時間の検討	97
7.4	動作実験	100
7.5	むすび	103
第8章	周辺技術	104
8.1	はじめに	104

8.2	メモリ回路技術	104
8.2.1	電源回路(レギュレータ)技術	104
8.2.2	メモリセルの冗長設計	108
8.3	デジタルシステム技術	112
8.3.1	半導体回路とのインターフェイス回路	113
8.3.2	閉サイクルジョセフソンデジタルシステム	117
8.4	むすび	121
第9章	将来展望	122
9.1	はじめに	122
9.2	加工技術の微細化による高速化・大容量化	122
9.2.1	セルアレイの分割化	122
9.2.2	4K RAMのアクセス時間の高速化の予想	123
9.2.3	大容量化およびアクセス時間の予想	125
9.2.4	メモリ回路に関する総括的展望	126
9.3	ジョセフソンデジタルシステムの展望	129
9.4	むすび	132
第10章	結論	133
付録		136
付録 A1	インダクタンス、磁界結合度の計算	136
付録 A2	ジョセフソン接合のインパルス応答	139

第1章 結論

1.1 はじめに

水銀、鉛、ニオブ等、ある種の物質を極低温に冷却すると電気抵抗がなくなり、超伝導現象が起る。超伝導現象は、1911年に、オランダの実験物理学者カマリン・オネス(Kamerlingh Onnes)により発見された。

それから約50年後の1962年、当時イギリスのケンブリッジ大学の大学院生であったジョセフソン(B. Josephson)は、超伝導を示す物質の間に数nmの厚みの絶縁体を挟んでも超伝導電流が流れることを理論的に示した¹⁾。この現象はベル電話研究所のアンダーソン(P. W. Anderson)とロウエル(J. M. Rowell)によって実験的に検証された²⁾。このジョセフソン効果は、電子の波動性が巨視的なスケールで現われることから物理的に興味ある現象である。

ジョセフソン効果を示す素子(ジョセフソン素子)は、従来の半導体素子にはない数々の特長ある性質を示し、応用面においても重要である。最も早く実用化されたのは電圧標準への応用であり、我が国でも1977年より国家基準として採用されている。また、微弱信号の検出において優れた特性を示す。ジョセフソン素子を含む超伝導ループ構造からなる量子干渉素子(Superconducting Quantum Interference Device, SQUID)により、高感度の磁束計ができ、心臓や脳など人体の微弱な磁気信号をとらえて医学的診断への応用等が期待されている。また、ミリ波からサブミリ波帯での電波検出器、特にミクサとしても優れた性能(低雑音で変換効率が良い)を示す。電波天文学の分野ではジョセフソン素子をミクサに用いた高感度の受信器が用いられている。さらに最近、電波天文と同様の技術を用いた成層圏のオゾン量測定装置も試作されている。これらは、ジョセフソン素子のアナログ応用として位置付けられる。

一方、デジタル回路への応用も重要である。ジョセフソン素子は、スイッチング速度が速く、低消費電力であるという特長を有する。この素子を用いれば、コンピュータを始めとするデジタル回路、システムを従来の半導体素子を用いたものより一桁以上高速化できるといわれている。素子自身の高速化だけでなく、消費電力が小さいことから高密度実装が可能で配線による遅延時間も短縮できシステム性能の向上が期待できる。気象予測、デバイスやプロセス開発のための模擬実験等、大量データの高速処理のためにコンピュータの高速化の要求は依然として強い。これらの要求を満

たすために、並列処理機能を有するスーパーコンピュータや超並列計算機の研究開発が盛んである。一方、デバイス性能も飛躍的に向上しており、殊にCMOS技術の進歩（高速化、高集積化）が目覚ましい。トランジスタ自身の高速化と共に、集積回路チップ内部での並列化により、チップ性能の高速化がますます進んでいる。これらの進歩は微細加工技術によるところが大きく、将来どこまで性能向上ができるかは明らかでない。

一方ジョセフソン素子では、直径 $1.2\mu\text{m}$ の接合を用いて、遅延時間 1.5ps /ゲート、消費電力 $12\mu\text{W}$ /ゲートが得られている。また、直径 $2.5\mu\text{m}$ の接合技術を用いて（Am2901型と同一機能を有する）4ビットマイクロプロセッサの 1GHz クロック動作等の高速動作が実証されている。ジョセフソン素子は、比較的大きな寸法でもそのスイッチング速度は速い。また、その高速性から、並列処理を用いなくても高速性能を実現できる。

このように、ジョセフソン集積回路の高速性能は、論理回路に関しては比較的早い時点で実証された。しかしながら、メモリ回路ではより高い集積密度で多種類のゲートやメモリセルが必要であることや、メモリセルを高速に駆動するための適切なゲートが無い等の理由により、その高速性能の実証ができなかった。ジョセフソン論理回路の性能を実際のシステムで発揮するためには、メモリ回路技術を研究開発する必要がある。特に、高速のメモリは論理回路と同じチップ内あるいはごく近傍に設ける必要があるので、高速のジョセフソンメモリの研究開発が重要である。また、ジョセフソン素子は、極低温下（Nb系ジョセフソン素子では、 4.2K ）で動作させる必要があるため、システムを構築するためには室温の半導体素子とのインターフェイス回路や実装システムなど、特有の研究をする必要がある。

本章では、1.2でジョセフソン素子の特徴を概説し、1.3でこれまでのジョセフソン素子の研究の背景を説明する。さらに、1.4で本研究の目的、1.5で本論文の構成を述べる。

1.2 ジョセフソン素子の特徴

ジョセフソン素子は二つの超伝導電極を弱く結合したときに、波動関数の滲み出しにより生じる量子効果を利用した素子である。超伝導になる温度（臨界温度）は、金属系の超伝導材料、たとえばニオブ（Nb）で約 9.2K 、鉛（Pb）で約 7.2K 、窒化ニオブ（NbN）で $15\sim 16\text{K}$ である。また、酸化物（高温）超伝導体の臨界温度は YBaCuO で約

90K 、 BiSrCaCuO で約 110K と高いが、まだ集積回路を作れる段階には至っていない。現時点では、NbやNbNといった金属系超伝導体を用いたジョセフソン素子を液体ヘリウム温度（ 4.2K ）で用いるのが一般的である。超伝導電極間を弱く結合する方法によって、①超伝導体表面に細い針を立てたポイントコンタクト型、②超伝導電極間を非常に狭く短いラインで結合したブリッジ型、③二つの超伝導電極の間に非常に薄い酸化膜（ $1\sim 5\text{nm}$ ）や半導体層をサンドイッチ状に挟んだトンネル型素子などである。このうち、スイッチング素子としては、素子特性の制御性や再現性の良さ、電流-電圧特性（ I - V 特性）がスイッチング素子に適しているためトンネル型素子が用いられる。

図1.1にトンネル型ジョセフソン素子の I - V 特性を示す。電流ゼロの状態から電流を供給すると、超伝導体中の電子が2個ずつペア（クーパーペア）となった状態でトンネルすることにより電圧ゼロで超伝導電流が流れる。しかしこの電流値には上限値があり（臨界電流）、この値を越えると素子は電圧状態にスイッチする。この電圧は、超伝導材料自身で決まるギャップ電圧である。たとえば超伝導材料としてNbを用いると、ギャップ電圧は約 3mV である。そして、ジョセフソン素子は一度電圧状態にスイッチすると、バイアス電流をゼロ付近まで下げないとゼロ電圧状態にはリセットしない。すなわちラッチング動作をする。ここで負荷抵抗を素子と並列に接続すると、その負荷線は図の点線のように描ける。臨界電流を越えるような電流をジョセフソン素子に与えるか、あるいは磁場により臨界電流を変化させる（臨界電流値を小さくすることにより、素子を電圧状態にスイッチさせることができる。このゼロ電圧状態（A点）と電圧状態（B点）を2進数の“0”、“1”に対応させることでジョセフソン素子は論理ゲートとして用いることができる。ジョセフソン素子はラッチング動作をするので、トランジスタと異なりバイアス電流（電源）は交流で与える必要がある。

二つの超伝導体が薄い障壁を介して接しているトンネル型ジョセフソン素子では、両超伝導体間の超伝導電子（クーパーペア）の波動関数は独立でなく、超伝導体間をトンネル電流 I が流れている場合には、その位相差 ϕ との間には、

$$I = I_m \sin \phi \quad (1-1)$$

なる関係が成立する。ここで I_m は超伝導トンネル電流の最大値で、臨界電流と呼ばれている。さらに、障壁に電位差（接合電圧） V が存在する場合には、

$$d\phi/dt = 2eV/(\hbar/2\pi) = 2\pi V/\Phi_0 \quad (1-2)$$

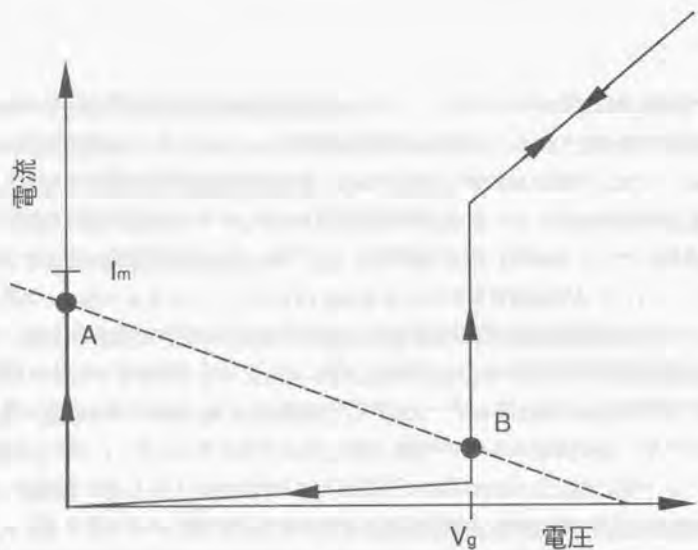


図1.1 ジョセフソン素子の電流-電圧 (I-V) 特性

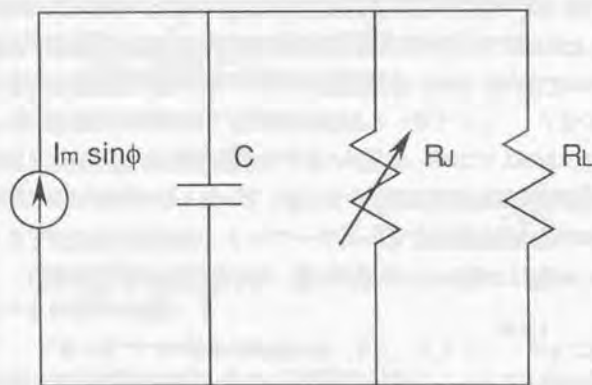


図1.2 ジョセフソン素子の等価回路 (RSJモデル)

が成り立つ。e は電子一個の電荷、hはプランクの定数、 Φ_0 は磁束量子一個の大きさ [2.07×10^{-15} (Wb)] である。これらの関係がジョセフソン素子の基本式である。実際の接合に流れる電流は、(1-1)式で記述されるクーバーペアーによる電流以外に接合容量Cを流れる電流、準粒子のトンネル抵抗 R_J と負荷抵抗 R_L を流れる電流が加わり、図1.2に示す回路がジョセフソン接合の等価回路として考えられている (RSJモデル、Resistively Shunted Junction モデル)。この回路を解析することにより、ジョセフソン素子のスイッチング動作を知ることができる。

ジョセフソン素子自身のスイッチング時間は、ターンオン遅延時間と立上がり時間の和として近似的に計算できる。ターンオン時間 t_t および立上がり時間 t_r の近似式は、

$$t_t = 1/2 (\Phi_0 \cdot C / I_m)^{1/2} \cosh^{-1} \{ (I_g + I_m) / (I_g - I_m) \}, \quad (1-3)$$

$$t_r = -C \cdot R \ln(1 - V_g / I_g / R) \sim C \cdot V_g / I_g \quad (R \gg V_g / I_g \text{ の場合}), \quad (1-4)$$

で表される³⁾ ⁴⁾。ここで、 I_g はバイアス電流、 V_g は接合のギャップ電圧、Cは接合容量である。また、Rは準粒子のトンネル抵抗 R_J と負荷抵抗 R_L の並列抵抗である。これらの式から、ジョセフソン素子の高速性能は動作電圧が小さく、動作電流が比較的大きいことに関係していると言える。典型的な素子の値を与えるとスイッチング時間は数psと高速である。

1.3 本研究の背景

ジョセフソン素子をコンピュータの論理素子および記憶用素子として用いる研究は、1960年のなかばにIBMのマチソ (J. Matisoo) によって開始された。永久電流型のメモリセルはアナカー (W. Anacker) により提案され⁵⁾、ザッペ (H. H. Zappe) によって1975年に最初の実験が行なわれた⁶⁾。また、この永久電流型メモリセルとトリードコーダと呼ばれる電流転送型の周辺回路を組合わせた64ビットのメモリの実験が行なわれた⁷⁾。当時のメモリセルは超伝導ループのインダクタンスを大きくしており、永久電流を蓄積した磁束量子数に換算すると数百と大きなものであり、セル自身の動作時間も遅かった。その後永久電流型メモリセルは蓄積磁束量子数の単一化等の変更が行なわれ高速性を重視したキャッシュメモリを目的に研究が行なわれた。また一方では、高密度、低消費電力を重視するメインメモリを目的とした2接合SQUID型の、二つの方式が研究された。

最初の本格的なメモリ回路は、2接合SQUID型メモリセルを用いた16K RAMモデルである⁹⁾。この回路は周辺回路は超伝導ループ構成の電流フリップフロップにより構成し、アクセス時間を測定するのに必要な回路をチップ内に配置し配線したテスト回路であった。個別回路の実験結果から、アクセス時間は15nsと見積られた。この回路は、IBMのグループによって開発された鉛合金接合を用いたプロセスによって作製された⁹⁾。このような背景で本研究を始めたので、研究当初は鉛合金プロセスによってテスト回路を作製した^{10) 11)}。しかし、このプロセスは接合や抵抗等の作製の再現性や安定性等が悪いなど多くの問題点を抱えており、これがメモリ回路とくに高速のメモリ回路の研究の進展を阻害した。研究を進める上で二つの大きな変革が1983年に起った。その一つは研究の中心的な役割を果たしていたIBMのグループが研究を中止したこと、他の一つはガーヴィッチ (M. Gurvitch) によってNb/AlOx/Nb接合作製技術が開発されたことである¹²⁾。この新たに開発された接合作製技術は、その後高品質化され、鉛合金接合が抱えていた問題点が殆ど全て解決された。約2年でこのNb/AlOx/Nb接合を用いたプロセスを確立した後、それまで実現困難であった高速のメモリ (RAM) にこの技術を応用した。

また、ジョセフソンメモリ回路や論理回路などの集積回路チップを使用してシステムを構築するには、ジョセフソン集積回路と室温にある半導体素子とのインターフェイス回路や閉サイクルで動作する実装システムが必要となるが、これらの研究はこれまで殆ど行なわれていない状況であった。

1.4 本研究の目的

本研究の第一の目的は、上述した背景の下でジョセフソン素子を用いたメモリ回路を実現するためにはどのような諸技術が必要であるかを整理し、その実現方法を研究することにある。また、研究した回路技術を用いてどの程度の性能のジョセフソンメモリが実現できるかを実証する。さらに、このジョセフソンメモリ回路や論理回路を用いてシステムを構築するために必要な室温の半導体素子とのインターフェイス回路や実装システムなど、ジョセフソンシステム特有の課題についてもその解決法を見出すことも一つの目的としている。メモリ回路に関しては、高速かつ高密度化のために独自の容量結合型メモリセルや高電圧ドライバゲートなどを提案し、4K×1ビット構成のメモリ回路によりその優位性を実証した。また、システム技術としては、室温の半

導体素子とのインターフェイス回路や閉サイクルの実装システムの実験に世界で初めて成功し、ジョセフソンシステムの見通しを得ることができた。

1.5 本論文の構成

第1章に於いては本研究の背景および目的を中心に述べた。次章以降において研究開発を行ったジョセフソンメモリの回路技術について次の順序で記述する。

第2章ではジョセフソン素子を用いたメモリセルおよび周辺回路に関する従来技術を述べた後、ジョセフソンメモリの高速化、高集積化等に関わる課題について述べる。

第3章は3種類のメモリセルについて検討する。まず、ジョセフソン素子によるメモリセルとして代表的なヘンケルス型と2接合SQUID型メモリセルの設計、動作実験を行なった。ヘンケルス型に関しては単一の磁束量子を蓄積するメモリセルを実現する際の問題点、また複数の磁束量子を蓄積するメモリセルでは蓄積磁束の量子化に起因する問題点等を明らかにした。2接合SQUID型メモリセルに関しては、その設計法を確立するとともにセル間干渉、グレイゾーンの問題を取り上げ、定量的な評価および解析を行なった。これら2種類のメモリセルの結果をもとに、高速で大容量化が可能であり、単一磁束量子を蓄積する容量結合型メモリセルを提案した。このセルの動作原理、設計方法および実験結果を述べる。

第4章では周辺回路の一つであるデコーダ回路に関しては、ORデコーダとラッチ型ANDデコーダを検討する。ORデコーダは、回路構成が簡単で必要な回路段数が少なく済むことを示した。ただし、ジョセフソンゲートの機能としては不得手な否定回路が必要でありタイミング信号の問題で高速性には問題があると考えられた。また、従来ジョセフソン素子によるデコーダ回路は直流バイアス駆動であったが、高速な動作が可能でラッチ型デコーダを提案した。その基本ゲートとしては、磁界結合型ANDゲートを当初用いた。磁界結合型ANDゲートを用いると入出力分離が容易にできる特徴があった。しかし、ゲートの専有面積の縮小や動作マージンを改善する必要があり、4JLゲートと単接合ANDゲートを用いた新しい構成の電流注入型ANDゲートを提案した。このANDゲートを用いて6-64ビットのラッチ型デコーダを設計し、デコーディング時間90psの高速動作結果を得た。

第5章は、ジョセフソンメモリの高速化を阻害している要因の一つであるセルの駆動時間の短縮化技術に関して述べる。セルの駆動時間が遅い原因はドライバゲートの

駆動能力の不足であった。ジョセフソン素子は電流駆動素子であり、負荷は誘導性である。そのため、負荷の駆動能力が小さい理由はジョセフソンゲートの出力電圧が小さいことにある。従来、出力電圧を増加させることは困難であると考えられていたが、複数のジョセフソン接合を直並列に接続した高電圧ドライバゲートを考案し駆動能力を改善することに成功した。その設計法、得られた結果等について述べる。

第3章から第5章に述べたセルおよび周辺回路のテスト回路は鉛合金接合あるいはNb/AlOx/Nb接合プロセスを用いた。第6章では、この両プロセスのうちジョセフソン集積回路を飛躍的に進歩させるのに大きく貢献し、現在主流であるNb/AlOx/Nb接合作製プロセスについて述べる。次章に記述する4Kジョセフソンメモリ(RAM)もこのNb/AlOx/Nb接合技術が確立されたからこそ動作に成功したといえる。ここでは、試作の際の標準プロセスおよびテスト回路作製時に分った問題点とその解決策について述べる。本章では、第二に直流サンプリング法や超伝導ループの電流測定法、回路の動作速度を評価するのに開発した測定治具とパッケージ等の測定技術についても述べる。

第7章では第3章から第5章で述べた回路技術に基づき設計、試作、動作試験を行った4Kジョセフソンメモリについて述べる。この回路は、高速のジョセフソンデジタルシステムを実現するためのフィージビリティスタディーとして行った。設計した回路は、本研究で考案した容量結合型メモリセル、4JLゲートと単接合ANDゲートによるデコーダ、高電圧ドライバゲートを組合わせたものであり、アクセス時間としてこの時点(1988年)での世界最高値590psを得た。

第8章では、メモリを含むジョセフソンデジタルシステムを実現するために有効な周辺技術の基礎実験結果を述べる。メモリに関しては、ジョセフソン素子特有のACバイアス電源回路の有効バイアス時間(デューティーサイクル)を改善する方法と冗長設計技術に関して述べる。またシステムに関しては、まず、高電圧ドライバゲートとHEMTなどの半導体素子を組合わせたジョセフソン回路-半導体回路間のインターフェース回路の実験結果を示す。次に、閉サイクル冷凍機を用いたジョセフソンデジタルシステムの実験結果を示す。

第9章ではまず、メモリ回路を高速化するためのセルアレイのブロック化について述べた後、微細化とセルアレイのブロック化による高速化と高集積性の予想を行なう。次に、ジョセフソンメモリおよび論理回路の応用に関して将来展望を述べる。

第10章では本研究で得られた結果を整理し、結論を述べる。

第2章 ジョセフソンメモリの課題

2.1 はじめに

本章では従来提案されているメモリセルおよび周辺回路(とくにデコーダ)のうち代表的なものについてその構成・動作を説明する。メモリセルに関しては、永久電流型と2接合SQUID型を採り上げる。また、周辺回路はトリー型、電流フリップフロップ型、ループ型等について述べる。次に従来のメモリセルの結果から、メモリセルと周辺回路そしてメモリ回路(とくにRAM)を構成する際の課題を検討する。

2.2 従来の方式

2.2.1 メモリセル

ほとんどのジョセフソン素子を用いたメモリセルの原理は、超伝導ループを流れる周回電流が量子化され、超伝導性が保たれる限りその電流は永久電流として流れ続ける性質を利用している。周回電流の量子化は、超伝導ループを貫通する磁束の量子化と全く等価であり、磁束量子(2.07×10^{-15} Wb)を単位とする。そして、この超伝導ループの開閉(on/off)をジョセフソン素子(書き込みゲート)で行なうのがメモリセルの動作の基本である。書き込みゲートの構成法や読出し方法、蓄積する磁束量子数等の違いによって種々のメモリセルがこれまでに提案されている。

1) 永久電流型メモリセル

磁界制御型ゲートを書き込みゲートに用い、磁界制御電流によって書き込みを行ない、永久電流をジョセフソン素子(読出しゲート)で検出するメモリセルを永久電流型メモリセルと呼んでいた。読出しは非破壊読出し(Nondestructive Read-Out, NDRO)である。初期の永久電流型メモリセルは、2つのプランチの左右両方に書き込みゲートを含む超伝導ループを構成し、左右のプランチのインダクタンス値もほぼ同じ値に設計していた⁹⁾。そして2値情報の“1”、“0”に対応する永久電流の左回り、右回りを読出し(センス)ゲートで検出していた。また、その永久電流の値は、蓄えられる磁束量子数に換算すると数百と大きなものであり、電流の切り換えの時間は600psであった。このメモリセルは、①電源をONにした直後には初期設定が必要である、②両極性の駆動電流が必要である、③駆動電流レベルが大きく動作速度が遅い、④磁界制御線と超伝導ループが磁氣的に結合し動作マージンが減少す

る等の欠点があった。それらの、欠点を解決したメモリセルがIBMのヘンケルス (W. H. Henkels) とウオルフ (P. Wolf) によって提案された (ヘンケルス型メモリセルと呼ばれている)¹⁹⁾、¹⁴⁾。2値情報の“1”、“0”を周回電流の有無に対応させたいわゆる1, 0モードのメモリセルである。書込みゲートおよび読出しゲートにはそれぞれ入力感度の高い3接合SQUIDおよび2接合SQUID素子を用いて蓄積磁束量子を減らした。このヘンケルスメモリセルは従来の問題点を解決し、ジョセフソンメモリセルの一つの基本型と考えられる。しかし、3. 2節に述べるようにより詳しく検討した結果、動作マージンが小さくこれを改善するためにはセル寸法がさらに大きくなってしまふことが明らかになった。

2) 2接合量子干渉素子 (SQUID) を用いたメモリセル

2接合SQUID素子はそれ自身がジョセフソン素子を含む超伝導ループを形成している。この素子が示すしきい値特性を利用すれば高密度のメモリ素子として利用できることはかなり以前から知られていた。しかし、永久電流型メモリセルと異なり読出しゲートがないので、周回電流を検出することができない。この素子の記憶情報の読出し (センス) 動作は、磁束量子状態の変化に伴ってバイアス線に発生する微小信号を検出する方法によりゲレ (P. Gueret) によって実験で確かめられた¹⁵⁾。また、ほぼ同時期に、ザッペ (Zappe) は3. 3節で述べるように2接合SQUID素子のバイアス電流のしきい値電流 I_{c0} を巧みに利用した読出し動作を提案し、実験的に確かめた¹⁶⁾。バイアス電流が I_{c0} 以下では磁束量子状態の変化が起り、 I_{c0} 以上では電圧状態にスイッチする。この方法では、書込みは磁束モード遷移を用い、読出しは電圧状態を用いることができる。この方法は、読出し動作が容易であり、この方法を用いた研究が進んだ。読出し後の2接合SQUID素子の磁束量子状態は不定であるので、このセルは基本的には破壊読出し (Destructive Read-Out, DRO) である。これに対して、非対称型の2接合SQUID素子を用いて非破壊に読出し (NDRO) を行なう方法も提案され、基本的な実験も試みられた¹⁷⁾、¹⁸⁾。これは、非対称な素子を用いることにより、読出し動作において電圧状態からゼロ電圧状態にリセットするとき同じ磁束量子状態にリセットするようにしたものである。しかし、どの磁束量子状態にリセットするかは確率的な問題である。このNDRO動作に関してはその後も発展的な議論はなく研究の進展もない。本研究では3. 3節に述べるようにDRO動作を

用いた2接合SQUID型メモリセルに関して詳しく検討した。その結果、セル間での磁界結合によるセル間干渉やグレイゾーンなどの問題点が明らかになった。

3) その他のメモリセル

他のメモリセルとして可変しきい値型メモリセルがある¹⁹⁾。このメモリセルはヘンケルス型メモリセルと同様に3接合SQUIDを書込みゲートに用いこの両端にバイアス電流端子を設けている。そして、この3接合SQUIDに単接合を加えた超伝導ループを構成し、これに周回電流を蓄える。このメモリセルではセンスゲートは設けず、2接合SQUID型メモリセルと同様に接合を電圧状態にスイッチさせることにより読出しを行なう。したがって、比較的セル寸法を小さくできる。メモリセル自身の読出し動作はDROであるが、周辺回路により再書込みを行なっている。

また、ヘンケルス型メモリセルでは、書込みゲートに2本の磁界制御線を設けている。この磁界制御線を超伝導ループに設けたメモリセルや、書込みゲートの前段にバッファゲートを設けたメモリセル等が提案されている²⁰⁾、²¹⁾。これらのメモリセルは、必ずしもヘンケルス型より優れているとは言い難く、一長一短がある。

特殊なメモリセルとして電圧状態を用いたものがある²²⁾。これまで述べたメモリセルは全てジョセフソン接合を含む超伝導ループに周回電流 (磁束) を蓄える原理に基づいていた。それに対して、このメモリセルは、2つのジョセフソンゲートを直列接続し、どちらかのメモリセルを電圧状態にして、“0”、“1”を記憶するものである。しかし、このメモリセルでは電圧状態の接合を切り換える際に、場合によっては2つのゲートが共に電圧状態になってしまう (ラッチ状態) 誤動作が起る。これは電源をOFFしないとリセットできない欠点がある。また、読出し動作に於いて電圧を検出することは、ジョセフソン素子にとっては容易でない。

2.2.2 周辺回路

メモリ回路を構成するためには、最低限、メモリセルを選択するためのデコーダ、セルを駆動するためのドライバ、読出しデータを検出するためのセンス回路が必要である。ここではデコーダの従来技術を中心に述べる。

1) トリーデコーダ²⁾

メモリセルと周辺回路を組合わせた最初のメモリ回路は、ヘンケルスによって実

験された。このメモリ回路では、これらの全ての機能がトリーデコーダと呼ばれる回路によって構成されていた。この回路ではバイアス電流はトーンメント形式のように次々に二つに分岐し、その分岐のそれぞれにジョセフソンゲートを設けてこれにより最終的には一つのパスを選択する構成である。選択したパス以外のジョセフソンゲートを電圧状態にすることにより、選択したパスにのみ電流が流れる。しかし、このような多分岐の回路では選択しないパスにもバイアス電流が漏れ、かつ段数が増えるほど選択した分岐の電流が小さくなる。その結果、動作マージンが小さくなる等の欠点があった。

2) 電流フリップフロップ型デコーダ

セットゲートと超伝導配線による負荷インダクタンスを含むリセットゲートを並列接続し、これに直流のバイアス電流を供給した回路はRSフリップフロップとして動作する。これを電流フリップフロップあるいは超伝導ループロジックと呼ぶ。このセットおよびリセットゲートに磁界制御線を2本設けることによりAND論理を行なわせることができる。このANDゲートを基本とした電流フリップフロップ型デコーダが報告されている^{21) 23)}。バイアス電流は直流電流であり。入力信号(アドレス信号)がゼロになった時点で自動的にリセットされるようにリセットゲートの制御線にはオフセット電流と入力信号の一つを与えるなどの工夫がされている。このデコーダの動作速度は負荷インダクタンスが大きくなることからやや遅いが、ゲートがスイッチする時のみ電力を消費するので消費電力が小さいという特長を有する。しかし、セット、リセットゲートが2本の磁界制御線によりAND動作を行なうので動作マージンが小さくなる等の欠点があった。

3) ループデコーダ²⁴⁾

アドレスループと呼ばれているアドレス信号を入力する初段はインダクタンス負荷を有する電流フリップフロップ構成の回路を用い、他の部分は抵抗負荷にし、またAND論理に工夫を凝らして動作マージンを改善したのがループデコーダである。この回路も直流のバイアス電流で動作する。また、抵抗負荷を用いているので比較的高速に動作する。しかし、4.4.3節に述べるような高速化に適した並列方式のデコーダを構成するのは困難であると考えられる。また、抵抗負荷のゲートはセルフリセット動作するように小さな抵抗値に設定する必要があるので設計が難しい。

4) その他の周辺回路

これまでのドライバ回路は、ドライバゲートがデコーダの一部の機能を分担したり、信号レベルをメモリセルの動作レベルに変換するために用いていた。ドライバゲートは多くのメモリセルを駆動するので駆動能力を増加することが望ましいが、そのような機能は果たしていなかったと考えられる。

センス回路は、当初は電流フリップフロップ型であったが、抵抗負荷型のセンス回路により高速化が可能になった。

2.3 課題

2.3.1 メモリセルの課題

ジョセフソン接合自身は、超伝導薄膜の間に数nmの薄い絶縁膜を挟んだだけの単純な構造であり寸法も小さくできる。しかし、この素子は本来2端子素子であるので、複数の接合を組合わせて3端子化すると寸法も大きくなってしまふ。メモリセルの場合、最低ジョセフソン接合一個と超伝導ループにより構成できる。2.2.1節で述べた2接合SQUID型メモリセルはこれに近いものと言える。しかし、このメモリセルですらメモリセルを選択するための制御線を設けるとセル寸法はさほど小さくならない。動作マージンを改善するとさらに寸法は大きくなる。また、アクセス時間を速くするためにはメモリセルごとにセンスゲートを設ける必要があると考えられる。このタイプのメモリセルがヘンケルス型である。この場合、情報の蓄積ループとセンスゲートは磁氣的に結合しているため、センスゲートの感度を高めるために相互インダクタンスを大きくすると寸法が大きくなる。また、このことは蓄積磁束量子数の低減化と相反する。また、両方のメモリセル共、書込み時の動作マージンはバイアス電流と制御電流、すなわち3種類の電流値で左右されるので動作マージンの減少をまねく。特に、ヘンケルス型のように複雑な構造のメモリセルでは書込みゲートと読出しゲートの動作電流レベルが一致する必要があり、設計・作製が難しい。

これらの課題を整理すると以下ようになる。

- 1) いかに少ない構成要素でセルを構成し小型化するか。
- 2) 高速用のメモリセルでは、蓄積磁束量子数を低減化してセンス感度をどのように

して確保するか。

3) 3種類の電流（バイアス電流と2つの磁界制御電流）に依存している書き込みゲートと読出しゲートの動作マージンをどのようにして改善するか。

2.3.2 周辺回路の課題

メモリ回路全体の構成を考えると、メモリセルだけを小型化するだけでなく、メモリセルを配置するピッチと周辺回路のゲートのピッチを同一にすることが望ましい。そのためには、メモリセルと共に周辺回路のゲートも小型化する必要がある。また周辺回路はできる限り高速で動作することが要求される。そのために、それぞれの周辺回路では主として以下の様な課題がある。

- 1) デコーダ回路では、デコーダをAND回路で構成するかOR回路で構成するか等の回路構成法と、F/1（ファンイン）、F/0（ファンアウト）ができるだけ大きなANDまたはOR、否定ゲートを実現する必要がある。
- 2) ドライバ回路では、多数のメモリセルが接続されたビット線やワード線への選択電流をできるだけ高速に与える必要がある。
- 3) センス回路では、多数のメモリセルアレイから選択したメモリセルから読出した信号をできるだけ高感度に検出して出力回路に伝える必要がある。そのためには、F/1数の大きなORまたはAND等のゲートが必要である。

2.3.3 メモリ回路全体の課題

従来のメモリ回路では、電流フリップフロップ回路のリセット信号や否定論理を行なうためのタイミング信号が比較的多く用いられていた。このようなタイミング信号をジョセフソン素子で作ることはさほど容易ではなく、またタイミング信号の許される時間変動（タイミングマージン）を考えると動作速度を遅くしてしまう。したがって高精度にタイミング信号を作るか、タイミング信号を不要にするような回路設計をする必要がある。

また、アクセス時間が1ns以下の高速メモリでは、配線による信号の伝搬時間が問題になってくる。したがって、メモリセルや周辺回路およびそのゲートの小型化（高集積化）は大容量のメモリのためばかりでなく、高速メモリに対しても重要である。したがって、将来パターン加工の微細化、多層化によりセルや周辺回路のゲ

ートが小型化し易い構造である必要がある。

2.4 むすび

本章では、まず、従来のメモリセルとその周辺回路の主なものについてその動作原理と特徴を述べた。次に、メモリセルと周辺回路が抱えている課題を整理した。高速のメモリ回路を実現するための一つの課題としては、動作マージンを大きくしつつ小型化（高集積化）する必要がある。メモリセルだけでなく周辺回路のゲートも小型化する必要がある。メモリセルに関しては、小型化のための問題点がどこにあるかについて述べた。また周辺回路は基本的には論理回路で構成できるが、デコーダではF/0数の大きなゲートが必要であるし、ドライバゲートではメモリセルの選択線を高速に駆動する必要があるなどメモリ回路特有の課題がある。

第3章 メモリセル

3.1 はじめに

従来のジョセフソン素子を用いたメモリセルとしては、ヘンケルス型と2接合SQUID型の2種類が最も一般的であった。ヘンケルス型メモリセルはそれまでの問題点を解決し、特に高速のメモリセルとして有望であると考えられた。また、2接合SQUID型メモリセルは、構造が簡素でセル寸法を小さくできるので高集積化が可能であり、魅力的であった。この2接合SQUID素子はメモリセルへの応用に限らずメモリ回路や論理回路の基本素子となりうることから、この特性を調べることは今後の研究にも役立つと考えられた。そこで、これらの動作特性を検討し、それぞれのメモリセルの特長、問題点を明らかにした。次に、これら2種類のメモリセルの欠点を解消するために、新たな構成のメモリセルとして容量結合型メモリセルを提案し検討した。設計したメモリセルの作製・実験を行ない、正常な動作を確認した。

3.2 ヘンケルス型メモリセル^{25) 26)}

3.2.1 構造および動作原理

このメモリセルは、IBMのW. H. Henkelsによって提案された図3.1に示す構造であり、書き込みゲートと読出しゲートの2つのゲートと、超伝導ループで構成されている。書き込みゲートには3接合SQUID、読出し(センス)ゲートには2接合SQUIDを用いている。記憶情報の“0”と“1”はループ内の磁束の有り無しに対応させる、いわゆる1,0モードを利用している。また、バイアス電流端子は、二つのブランチのインダクタンスが等しくなる所に設けている。

情報の書き込みは、2本の磁界制御電流 I_x, I_y' とバイアス電流 I_y によって行なう。 I_x と I_y' により2次元に配置したメモリセルアレイのうちの一つのセルが選択できる。バイアス(データ)電流 I_y を与えるか与えないかによってデータの“1”、“0”を書込む。また、読出しは I_y とセンス接合にバイアス電流 I_s を与えることによって行なわれる。記憶情報が“1”の場合には、超伝導ループには永久電流 I_{circ} が流れている。この I_{circ} と I_y の和がセンスゲートのしきい値を越えるとセンスゲートは電圧状態にスイッチする。一方、記憶情報が“0”の場合には I_{circ} はゼロであり I_y だけではセンスゲートはスイッチしない。このような原理により情報の書き込み、読出しができる。超伝導ループに流れる永久電流は磁束量子数に換算して2~4程度が一

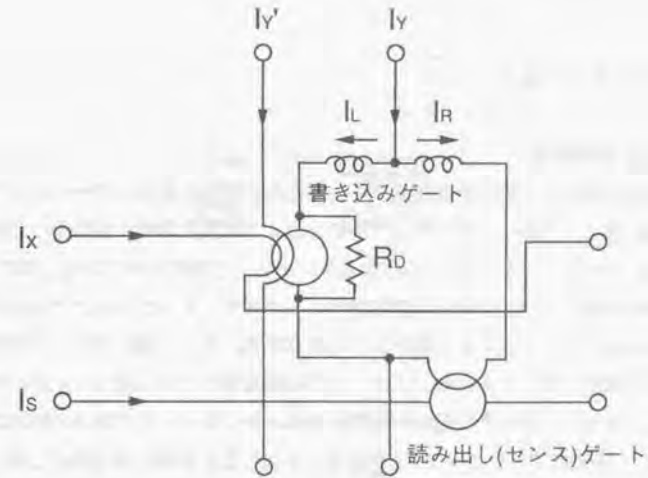


図3.1 ヘンケルス型メモリセルの等価回路

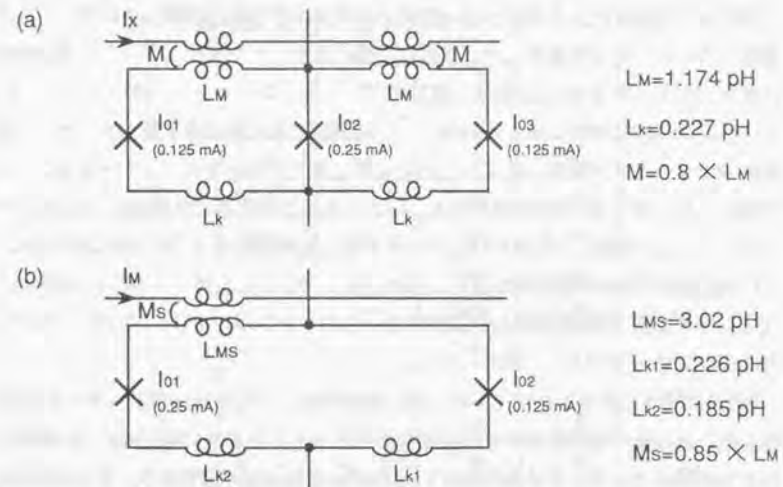


図3.2 (a)書き込みゲートと、(b)センスゲートの等価回路

一般的に用いられている。

3.2.2 設計・検討結果

メモリセルが正しく動作するためには、書き込みゲートと読出しゲートの入力感度および超伝導ループのインダクタンスやダンピング抵抗を適切に設計する必要がある。書き込みゲート、センスゲート共にANDゲートとして動作させている。書き込みゲートの臨界電流がセンスゲートの制御電流（入力電流）を左右するのでそれぞれの電流レベルをきちんと合わせて設計する必要がある。また、超伝導ループに蓄積する磁束量子数を少なくするとセンスゲートの制御電流が小さくなり、これに対応できる高感度なセンスゲートの設計が困難になる。センスゲートである2接合SQUIDの感度はSQUID素子のインダクタンス L を増加することにより高くなるが、しきい値特性の関係で臨界電流 I_0 との積 LI_0 はさほど大きくできない（ここで、 I_0 は接合一個の臨界電流値である）。接合面積を変化せずに LI_0 積を一定に保つには臨界電流密度を小さくする必要があるが、これは周辺回路の動作速度を遅くするので望ましくない。また、 L の増加はセル寸法の増大をまねく。

鉛合金プロセスによる素子作製を前提としてレイアウトを検討した結果、 $3\Phi_0$ を蓄積するメモリセルを設計した。設計した書き込みゲートと読出しゲートの等価回路と素子パラメータを図3.2に示す。書き込みゲート側と読出しゲート側のインダクタンスは共に 15pH に設計した。超伝導ループに蓄積される磁束量子数がダンピング抵抗 R_D およびバイアス電流 I_V によってどのように変化するかをシミュレーションにより検討した。表3.1にその結果を示す。 I_V として $412\mu\text{A}$ を与えた場合に、 R_D が $2.8\sim 4.3\Omega$ ($3.6\Omega \pm 21\%$) の範囲で $3\Phi_0$ モードで正しく動作する（“0”書き込みで $0\Phi_0$ 、“1”書き込みで $3\Phi_0$ が書込まれる）。また、 $R_D=3.6\Omega$ とした時、 I_V が $385\sim 480\mu\text{A}$ ($433\mu\text{A} \pm 11\%$) の範囲で正しく動作する。このメモリセルでは、 $3\Phi_0$ モード以外ではセンスゲートが正しく動作しない。

図3.3に設計したセンスゲートのしきい値特性と、メモリセルが $3\Phi_0$ モードで動作したときの動作範囲を示す。臨界電流のばらつきとして $\pm 10\%$ を考慮した場合の I_V と I_S の動作マージンはそれぞれ $412\mu\text{A} \pm 13\%$ 、 $265\mu\text{A} \pm 17\%$ である。書き込み動作と読出し動作の両者を見ると I_V の動作マージンは約 $\pm 10\%$ と小さい。書き込みゲートの臨界電流や超伝導ループのインダクタンスのばらつきや偏差を考えるとさらに動

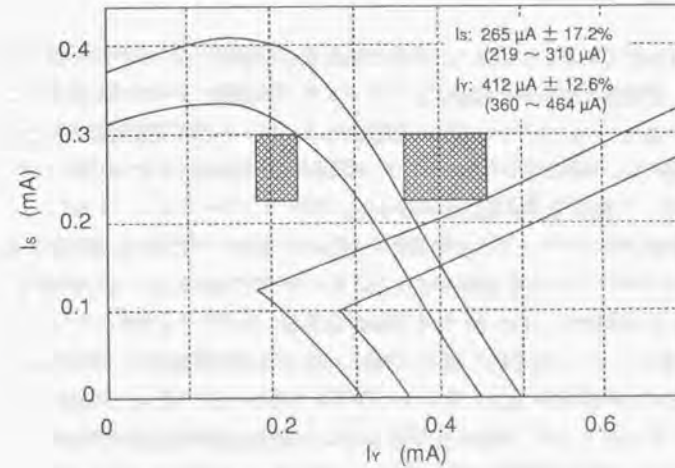


図3.3 センスゲートのしきい値特性と動作範囲

表3.1 蓄積磁束量子数と素子パラメータの関係

R_D	I_V ($I_{VS}=0.412\text{mA}$)	W^*1^*	W^*0^*
2.0	I_{VS}	$2\Phi_0$	$2\Phi_0$
2.5	I_{VS}	$2\Phi_0$	$2\Phi_0$
2.8	I_{VS}	$3\Phi_0$	$0\Phi_0$
3.0	I_{VS}	$3\Phi_0$	$0\Phi_0$
4.0	I_{VS}	$3\Phi_0$	$0\Phi_0$
4.3	I_{VS}	$3\Phi_0$	$0\Phi_0$
4.5	I_{VS}	$3\Phi_0$	$1\Phi_0$
5.0	I_{VS}	$3\Phi_0$	$1\Phi_0$
$\frac{3.0}{3.6}, \frac{3.3}{3.9}$	$I_{VS} - 10\%$	$2\Phi_0$	$2\Phi_0$
$\frac{3.0}{3.6}, \frac{3.3}{3.9}$	$I_{VS} + 10\%$	$3\Phi_0$	$0\Phi_0$
3.6	0.385mA	$3\Phi_0$	$0\Phi_0$
3.6	0.480mA	$3\Phi_0$	$0\Phi_0$

作マージンは小さくなる。このように複数の磁束量子を蓄積するヘンケルス型メモリセルでは、蓄積磁束量子数の変動によりセンスゲートの動作マージンが減少することが明らかになった。ここでの最大の問題はセンスゲートが蓄積磁束量子数で決まる永久電流 $I_{0,r}$ と超伝導ループのバイアス電流 I_b の1/2の電流を2つの入力とするANDゲートとして動作していることであった。

そこで大きなバイアスマージンを得ることを第一の目的として読出し回路を工夫した図3.4に示すメモリセルを設計・作製した。このメモリセルは $\phi_1 \sim \phi_3$ の3相電源で動作するように設計している。センス動作は蓄積したデータに対応してスイッチする2接合SQUID (SG1) と読出し信号 (Read Address) のAND論理を、MVTL (Modified Variable Threshold Logic) ゲート^{27) 28)}で行なっている。この構成では動作マージンを大きくでき、作製したメモリセルで正常な動作を確認できた²⁹⁾。しかし、メモリセルの寸法は最小接合径 $2.5 \mu\text{m}$ を用いて $190 \times 130 \mu\text{m}$ と大きくなった。また、図に示したメモリセルでは一次元の選択のみ可能である。二次元の選択、すなわちX, Y二つのアドレス信号で選択するメモリセルを実現するためにはさらにゲート等を付加する必要がある。したがって、このようなメモリセルは論理回路中の記憶容量の小さな専用メモリとして有効であると考えられる。

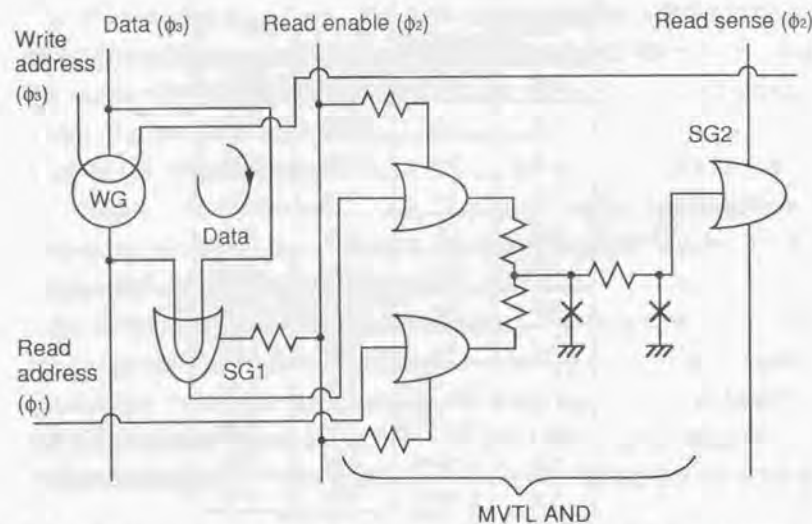


図3.4 動作マージンを改善したヘンケルス型のメモリセルの等価回路

3.3 2接合SQUID型メモリセル

3.3.1 動作原理・動作実験

1) 動作原理

図3.5(a)に示した2接合SQUIDは二つのジョセフソン接合を含む超伝導ループ構造である。したがって、この超伝導ループに磁束を蓄えることによりメモリセルとして用いることができる。その動作原理は図3.5(b)に示すしきい値特性を用いて説明できる。二つの磁束モードが重なり合った領域では、二つの磁束モードのいずれかのモードをとり得るので、これらを2値情報に対応させて記憶する。図に示した電流値 $I_{0,r}$ は電圧遷移と磁束モード遷移の境界を表す値(バイアス電流のしきい値)である。すなわちバイアス電流が $I_{0,r}$ 以上でしきい値を越えた場合、素子は電圧状態へスイッチする。一方、 $I_{0,r}$ 以下の場合にはSQUIDループ内に蓄えられる磁束量子数、すなわち磁束モードが変化するだけで素子は電圧状態にはスイッチしない。したがって、この特性を利用して2値情報の書込み、読出し動作を行なえる。磁界制御電流を図のA点を基準として、 $A \rightarrow D \rightarrow E$ の順序で磁界制御電流とバイアス電流により動作点を移動すれば、“0”が書込め、同様にして $A \rightarrow B \rightarrow C$ の順序で“1”を書込める。また、 $A \rightarrow F \rightarrow E$ の順序で動作点を移動すれば、“1”が記憶されていた場合には、素子は電圧状態にスイッチするが、“0”の場合にはスイッチしない。これを利用して記憶情報の読出しができる。

メモリセルを2次元のアレイ状に並べ、Xアドレス、Yアドレスの両方の選択により一つのセルへの書込みを行うためには、磁界制御線への信号の大きさは ΔI_{H1} の範囲でなければならないので動作マージンが小さい。2線一致方式に代って3線一致方式を採用することで、動作マージンを改善する方法が提案されている^{30) 31)}。この場合の磁界制御線への信号電流の許容範囲は ΔI_{H2} に改善される。また、このDアドレスの発生方法を検討した結果、フルアダー回路により発生できることを見出し、提案した³²⁾。

2接合SQUID型メモリセルを安定に動作させるためにはしきい値特性の磁束モードの重なりを適切に設計する必要がある。 $I_{0,r}$ を考慮した場合のしきい値特性のモードの重なり許容範囲は以下ようになる。条件1) 重なり最小値は隣合う磁束モードが $I_{0,r}$ で重なる値である。これよりモードの重なりが小さな場合には、書込みはできるが読出しが出来ない。条件2) 重なり最大値は二つ隣の磁束モード

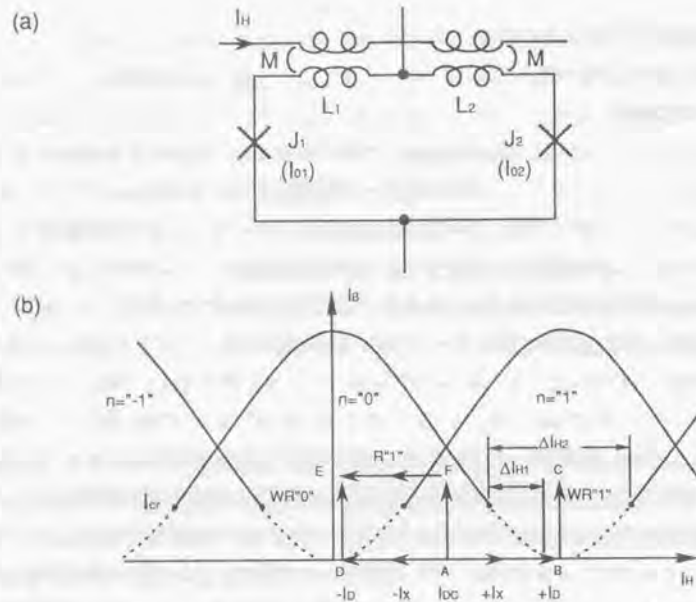


図3.5 2接合SQUID型メモリセルの(a)等価回路と(b)しきい値特性上での動作

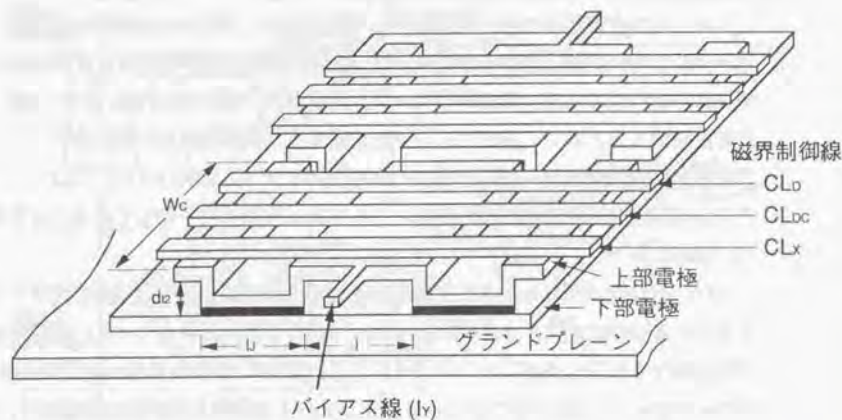


図3.6 設計、試作した2接合SQUID型メモリセルの構造

が I_{cr} で重なり合う値である。これ以上重なりが大きくなると、 I_{cr} 以下で一つのモードだけをとり得る状態がしきい値特性上で消滅してしまい、所望のモードへの確実な書込みは困難になる。しきい値特性は接合一個の臨界電流 I_0 とメモリセルのループインダクタンス L の積 ($L \cdot I_0$) によって決まり、しきい値特性を直線近似して条件1と条件2を満たす許容範囲を求めると、

$$\left\{ \frac{I_{cr}/2I_0}{(1-I_{cr}/2I_0)/2} \right\} \leq L I_0 / \Phi_0 \leq \left\{ \frac{(1+I_{cr}/2I_0)}{(1-I_{cr}/2I_0)/2} \right\} \quad (3-1)$$

となる³²⁾。

図3.6に設計・作製した2接合SQUID型メモリセルの構造を示す。超伝導ループを立体的に構成したブリッジ型であり、二つのメモリセルで下部電極が共通になっている。付録A1に示したインダクタンスの計算式を用い、 $L \cdot I_0$ 積が $0.5 \Phi_0$ になるように素子寸法を設計した。接合長 l_j と接合幅 (= 上部電極の幅) W_c はそれぞれ $7 \mu\text{m}$ と $20 \mu\text{m}$ 、磁界制御線の幅と間隔は共に $3 \mu\text{m}$ である。接合間隔は $23 \mu\text{m}$ とした。鉛合金プロセスを用いてメモリセルを作製し、その動作を確かめた。また、メモリセルと電流フリップフロップによる周辺回路を用いた64ビットのメモリ (RAM) を作製し、その動作にも成功した³³⁾。

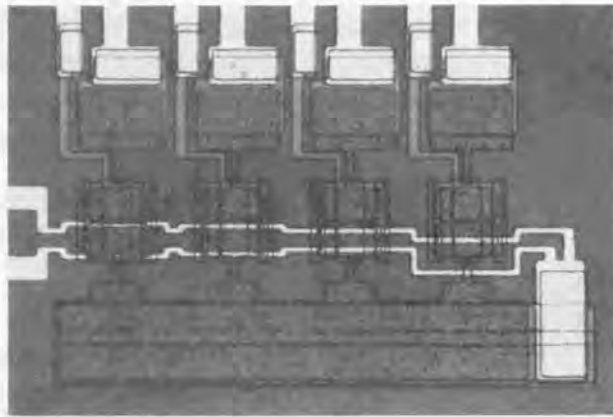
3.3.2 メモリセルの動作マージンを減少させる要因

1) 磁界制御線とセルループとの磁界結合係数

2接合SQUID型メモリセルは図3.6に示したように3本の磁界制御線を有する。この磁界制御線とセルループ間の磁界結合係数の、チップ間や同一チップ内でのばらつきはメモリセル動作マージンを減少させる要因の一つである。特に、X線とY線の磁界結合係数は上部電極との位置ずれによりかなり変化すると考えられた。そこで、この磁界の結合係数 η と磁界制御線の位置の関係を調べた。図3-7(a)に示すように、上部電極に対して制御線の位置を変化させた素子の評価をした。接合長、接合間隔および接合幅 (= 上部電極の幅) は、全ての素子で $5 \mu\text{m}$ 、 $12 \mu\text{m}$ および $13 \mu\text{m}$ である。また、磁界制御線の幅は $2 \mu\text{m}$ である。

測定した結果を図3-7(b)に黒丸 (●) および白抜き四角 (□) で示す。磁界制御線とセルループ間の相互インダクタンスは上部電極に対する制御線の位置により変化する。磁界制御線が上部電極の中央にあるとき、相互インダクタンスの測定値

(a)



(b)

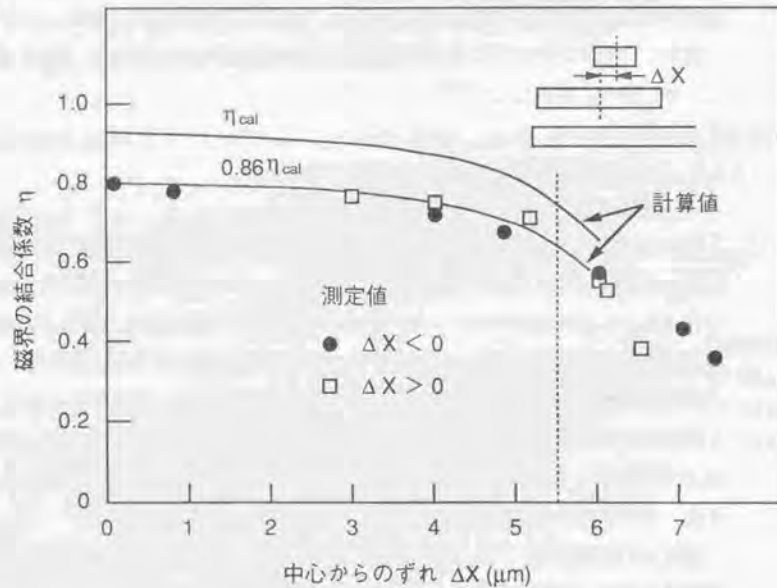


図3.7 磁界制御線-セルループ間の磁界結合度の制御線位置依存性
(a) 作製した素子の顕微鏡写真、(b) 実験および計算値

は磁界結合係数を1とした理論的な相互インダクタンス値の80%であるが、制御線の端と上部電極の端が重なると64%まで低下してしまう。さらに磁界制御線が上部電極の端からはみ出す(図中点線で示したように $\Delta X=5.5\mu\text{m}$ より右側の領域)と相互インダクタンスは急激に小さくなる。この場合には、図に示すように、制御線と上部電極とが重なっている割合にほぼ比例している。

この磁界結合係数の磁界制御線の位置依存性を計算した結果(η_{cal})を実線で示す。ここでは、鏡像法とアンペアの周回積分の法則およびビオサバルの法則を用いた簡便な方法により計算をした。計算方法については付録A1に示す。中心からのずれがゼロ($\Delta X=0$)のときの計算値と実験値が一致するように η_{cal} を0.86倍すると実験結果とほぼ一致する。そこで、 $\eta=0.86\eta_{\text{cal}}$ として($\eta_{\text{center}}=0.8$ となる)、制御線の位置の違いによる η のばらつきに関して検討した。上部電極の中央に制御線がある場合を基準として制御線が中央からずれた場合のばらつきを計算した。制御線の端と上部電極の端が一致すると(図3.7で $\Delta X=5.5\mu\text{m}$ に相当する)、 η のばらつきは $\pm 12\%$ と大きい。これに対して磁界制御線が上部電極から $1\mu\text{m}$ 以上内側にあれば、 η のばらつきは $\pm 4\%$ と小さな値で済む。同様に、 $2\mu\text{m}$ 以上内側の場合には $\pm 2\%$ である。マスク合せのずれを $1\mu\text{m}$ 以内に抑えるとして、制御線は上部電極の端から $2\mu\text{m}$ 以上内側に配置すべきであると言える。

2) セル間干渉

2接合SQUID素子によるメモリセルを高密度に配置したセルでは、隣接するセルの磁界制御線の電流によって生じる磁場の漏れがセル間干渉として問題になる。ただし、直流的な磁場の漏れは補償することが可能であるので、問題になるのはX制御線やD制御線に与えるような動的な電流である。そこで、図3.8に示した構造のメモリセルで、隣接するメモリセル間の磁場の漏れ量、すなわちセル間干渉率を実験および磁界結合度と同様な計算法によって求めた。メモリセルAは、上部電極の幅 $W_c=14\mu\text{m}$ 、隣接する上部電極間隔は $7\mu\text{m}$ である。一方、メモリセルBは、上部電極の幅 $W_c=13\mu\text{m}$ 、隣接する上部電極間隔は $2\mu\text{m}$ である。他の寸法は図3.7(a)と同一である。

干渉率の測定は隣接するX、DおよびDCの磁界制御線に与えた制御電流に対するしきい値特性の磁束モードの間隔から求めた。セル1の制御線 CL_{X1} 、 CL_{D1} 、 CL_{DC1} 、に対するモード間隔を $I_{HD}(X1)$ 、 $I_{HD}(D1)$ 、 $I_{HD}(DC1)$ とし、セル2の制御線 CL_{DC2} に

対するモード間隔を $I_{HD}(DC2)$ として、干渉率(IR)を

$$IR(X1, D1, DC1) = I_{HD}(X1, D1, DC1) / I_{HD}(DC2) \quad (3-2)$$

とした。

得られた測定値を図3.8に丸印(●および○)で示す。 X_{CL-c} は、注目している磁界制御線と隣接するメモリセルの上部電極の中心間の距離である。実線および点線は計算結果であり、実験値とほぼ一致した。セル間隔を比較的広くしたメモリセルでは、隣接するセルの最も近傍の制御線(CL_{D1})での干渉率は約5%であるが、メモリセルAのようにセル間隔を縮めた場合には10%以上ある。したがって、メモリセルを高密度に集積する場合には、なんらかの方法により磁場の漏れに起因するセル間干渉を低減する必要がある。

3.3.3 グレイゾーン

2接合SQUID型メモリセルにはグレイゾーンと呼ばれる情報の書き込み、読出しの不確定領域が存在する³⁴⁾。図3.5(b)に示したバイアス電流のしきい値 I_{0c} は、あるバイアス電流を境にして明確に分れるのではなく、その附近のバイアス電流では確率的に決まる。これが、グレイゾーンである。この領域で書き込みや読出し動作をさせると誤動作の可能性があるため、これを避けて使用する必要がある。

臨界電流密度 $j_0=1630A/cm^2$ 、接合一個の臨界電流 $I_0=1.10mA$ 、ループインダクタンス $L=0.84pH$ ($L \cdot I_0 / \Phi_0 = 0.45$) の素子のグレイゾーンを測定した。バイアス電流を変化させた時、セルに情報“1”を書込んだ後の読出し時の電圧発生確率を測定した結果を図3.9に黒丸(●)印で示す³⁵⁾。この測定は、書き込みと読出しの繰り返し周波数が25KHzで、電圧発生確率Pが $10^{-5} < P < 1-10^{-5}$ の範囲で行った。電圧発生確率Pが 10^{-5} (=0.00001) から $1-10^{-5}$ (=0.99999) の範囲で、バイアス電流は0.41mAから0.55mAまで広がっている。実際の記憶回路では、サイクル時間を10nsとして一年間動作すると 10^{16} サイクルの動作をする。したがって、 $10^{-16} < P < 1-10^{-16}$ 程度がグレイゾーンの範囲であると考えべきである。図から外挿するとこの範囲は、0.38mAから0.57mAになる。この結果バイアス電流のマージンは±22%になる。この値は、グレイゾーンを考慮しない場合に比べて9%小さい。このように、2接合SQUID型メモリセルの動作マージンを考える場合、グレイゾーンの影響も考慮する必

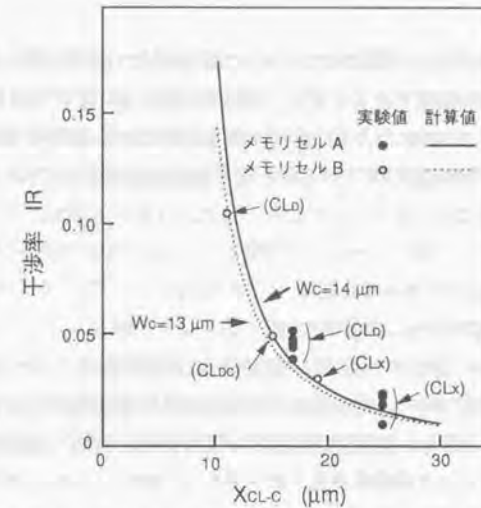


図3.8 隣接するメモリセル間でのセル間干渉の実験値と計算値

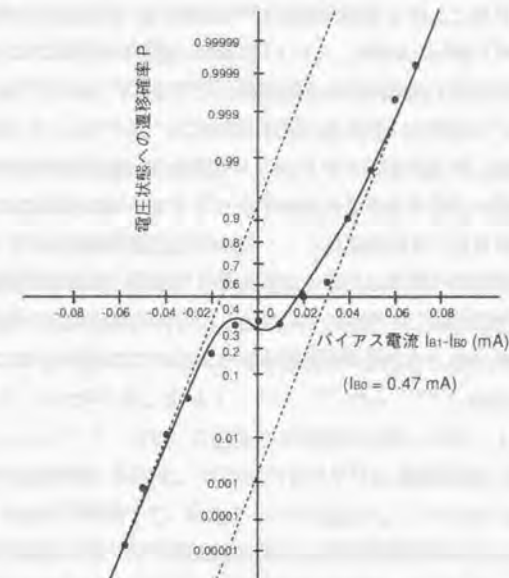


図3.9 グレイゾーンの測定値および理論値

要がある。図3.9に示した実線はグレイゾーンを決めている要因が、熱雑音と接合がスイッチする際の損失であると考え、理論的に解析した結果である³⁶⁾。解析によれば、グレイゾーンの広がり小さくするためには、 β_c の小さな素子を用いるのが良い。また、動作温度Tを下げるか、臨界電流 I_0 を大きくすることも有効である。

3.4 容量結合型ジョセフソンメモリセル

3.4.1 容量結合型メモリセルの設計思想

ヘンケルス型メモリセルでは、単一磁束量子を記憶媒体とすると十分な読出し感度を得ることが困難であり、また高速化のために臨界電流密度を上げるとレイアウトも困難である。しかし、複数の磁束量子を蓄積するとバイアス電流や蓄積ループのダンピング条件により蓄積磁束量子数が増減し、動作マージンが小さくなる問題があることが明らかになった(3.2節)。

一方、2接合SQUID型では複数の磁界制御線での結合度の違いやグレイゾーンの存在等で、本来さほど大きくなかった動作マージンがさらに減少してしまうことが明らかになった(3.3節)。また、このメモリセルを動作させるには3つの駆動電流を決まった順序で与える必要があり、高速動作をさせるには障害になる。さらに、このセルのバイアス端子は、書込み、読出しの両方の動作で使用するので、ジョセフソン素子のように本来2端子の素子では、周辺回路の構成法が制約される。

これら、従来のメモリセルの欠点を解決するメモリセルを検討した。要求項目として、①単一磁束量子を記憶媒体とし、セルの専有面積を小さくすること、②高い臨界電流密度が使用可能であること、③メモリセル毎に読出しゲート(センスゲート)を設け、高速読出しを可能にすること、④セルの駆動電流の伝搬時間を高速にすること、⑤従来のメモリセルで問題であった読出しの動作マージンを改善すること、を考慮した。

3.4.2 動作原理・動作実験

1) 動作原理

従来のメモリセルの欠点を解決した容量結合型メモリセルを提案し、その動作を確かめた³⁷⁾。すなわち、蓄積する磁束は単一磁束量子で、各メモリセルに読出し

ゲートを設けながら小型化を計ったものである。ヘンケルス型メモリセルのように蓄積情報を磁氣的に結合したセンスゲートで検出する方法では、単一磁束量子に相当する磁界を検出することは困難であった。さらに、セルの小型化、高電流密度化と共に検出感度は低下してしまう。そこで、蓄積ループとセンスゲートを容量結合することを考えた。これはジョセフソンメモリでは初めての試みである。図3.10(a)にセルの等価回路、(b)に書込み/読出しの動作原理を示す。セルは、接合1個を超伝導ループに含む1接合SQUID、単接合とキャパシタで構成されている。また、1接合SQUIDには接合容量とループインダクタンスの共振による振動を抑制するためのダンピング抵抗を設けている³⁸⁾。1接合SQUIDは、X、Y、2本の磁界制御線を持ち、両方の選択信号(X選択信号、Y選択信号)が与えられた時に、2値データが記憶される。記憶された2値データは単接合によって読出される。以下、セル動作を簡単に述べる。

図3.10(b)は $L \cdot I_0 = 0.72 \cdot \Phi_0$ のときの、1接合SQUIDの内部磁束(Φ_i)と外部磁束(Φ_e)の関係を示す。ここでL、 I_0 はSQUIDループのインダクタンスと接合の臨界電流である。1接合SQUIDには、直流磁束(Φ_{e0})を与える。この状態では、内部磁束(Φ_i)は2つの値(0磁束モードと1磁束モード)をとり、これらをそれぞれ2値信号の“0”と“1”として用いる。まず、書込み動作を述べる。

書込みの“1”か“0”は、選択信号電流の正負に対応し、2つの選択信号電流(X選択信号電流、および、Y選択信号電流)が共に与えられた時に、書込みが行なわれるように電流値をセットする。これにより、それ以前の記憶データに係わらず新しいデータが記憶できる。

読出し動作時には、単接合(センス接合)にバイアス電流を与え、セルの選択信号電流として負の電流を与える。1接合SQUIDに“0”が記憶されていた時には、磁束モードは変化しないので、センス接合は何事も起こらない。それに対して“1”が記憶されていた時には、磁束モードは“0”から“1”に変化する。この際、1磁束量子 [2.07×10^{-15} (Wb)] に相当する時間幅の狭いパルス(インパルス)が1接合SQUIDの接合両端に現れる。容量結合型メモリセルでは、この磁束量子遷移パルスをセンス接合で検出して、記憶データを読出す。このパルス幅は数psと狭いのでキャパシタを通してパルス状の電流がセンス接合に流れ、これがバイアス電流に重畳されて臨界電流を越え、センス接合が電圧状態に遷移することにより読出しが行

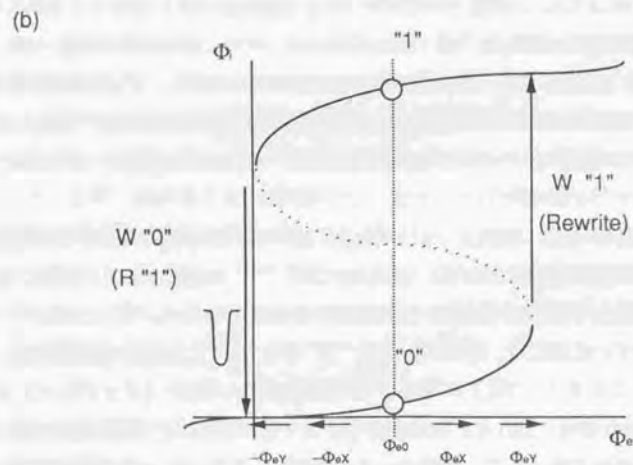
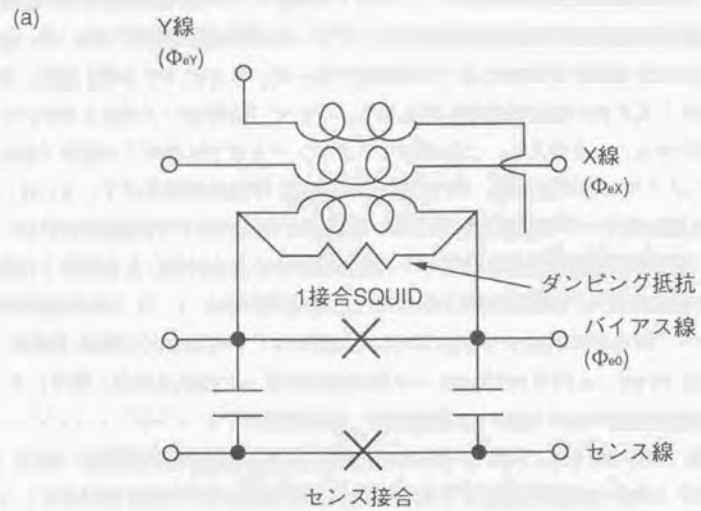


図3.10 容量結合型メモリセルの (a)等価回路と、(b)書込み／読出し動作

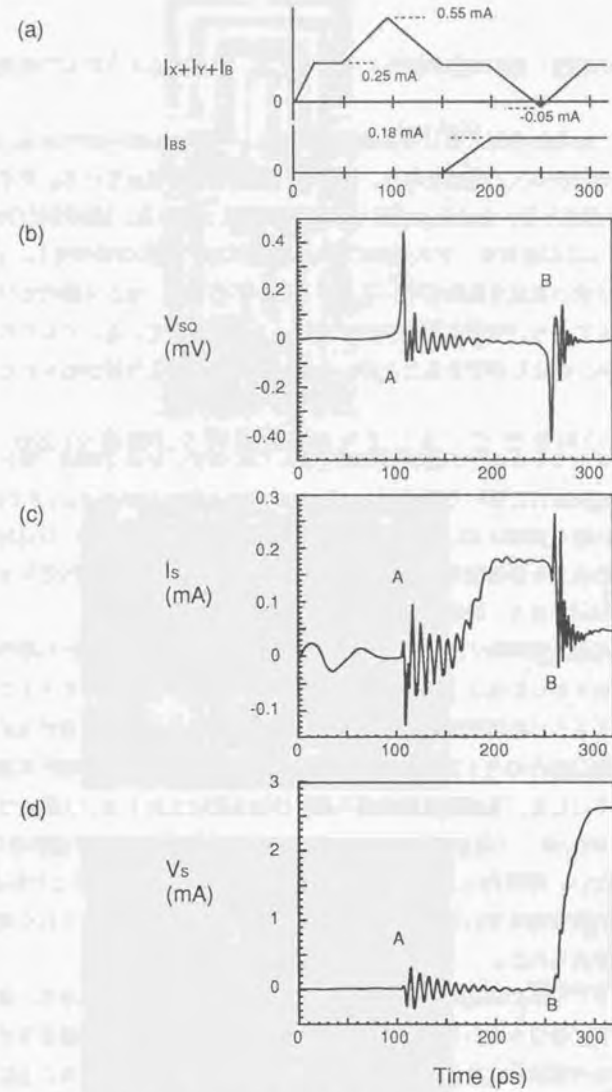


図3.11 容量結合型メモリセルの動作のシミュレーション結果の一例
 (a) 制御電流 ($I_x+I_y+I_b$) とセンス接合のバイアス電流 (I_{bs})、
 (b) 1接合SQUIDの接合電圧 (V_{so})、
 (c) センス接合を流れる電流 (I_s)、(d) センス接合の電圧 (V_s)

われる。この読出し動作は破壊読出しであるので、後述するようにして再書き込みを行う。

図3.11は、容量結合型メモリセルの動作シミュレーションの一例である。制御電流として三角波状の入力電流を与え、書き込み、読出しを行なっている。タイミングAで“1”の書き込み後、タイミングBで読出しを行なっている。1接合SQUIDの接合両端の電圧 V_{sq} には磁束モードの遷移に伴い時間幅の狭いパルスが発生し、センス接合にパルス状の電流を供給している。タイミングBでは、センス接合にバイアス電流を供給しており、センス接合が電圧状態にスイッチしている。すなわち、記憶情報の書き込み、読出しができることがシミュレーションにより確かめられた。

2) 動作実験

作製したメモリセル部分の顕微鏡写真を図3.12に示す。セル寸法は、 $50 \times 100 \mu\text{m}$ である。1接合SQUIDに用いた接合は、 $4.5 \mu\text{m}$ φ、センス接合は $3.5 \mu\text{m}$ φである。磁界制御線の幅と間隔は共に $4 \mu\text{m}$ である。キャパシタの寸法は、 $8 \times 10 \mu\text{m}$ であり、誘電体はNbの表面を陽極酸化（印加電圧：15V）して形成した。得られたキャパシタンスは、 0.54pF であり、ほぼ設計値 0.6pF と一致した。

まず、磁束量子遷移時に発生するインパルスの検出、すなわち読出し動作の実験を行った。あらかじめセンス接合には臨界電流以下のバイアス電流を与えておき、図3.13に示すように磁界制御線に三角波の電流を与えた。センス接合がスイッチした時、 $5 \mu\text{s}$ 後に接合のバイアス電流を一度ゼロに戻し、接合がゼロ電圧状態にリセットするようにした。その結果磁束量子遷移が起る度にこれをセンス接合で検出できる。図3.13 (a)は、三角波の振幅が小さいので一周の間にモード遷移は2回しか起っていない。同図 (b)に示すように、三角波の振幅を大きくすることによりモード遷移の回数が増えている。このように、磁束量子遷移パルスを正しく検出できることが確かめられた。

次に、メモリセルの書き込み、読出し実験を行った結果を図3.14に示す。書き込み、読出しを交互に行なっている。“1”の書き込みは I_x, I_y として正の電流を与え、“0”の書き込みは負の電流により行なう。また、読出しは負の電流を与えることにより行なわれ、“1”の書き込み後の読出しでセンス接合に電圧が発生している。 I_x, I_y のどちらかを与えた半選択の場合には書き込みは行なわれず、正常な動作が確認できた。

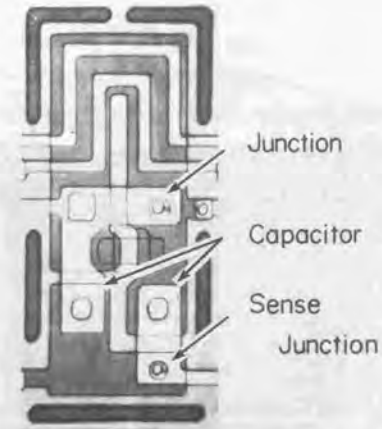


図3.12 作製した容量結合型メモリセルの顕微鏡写真

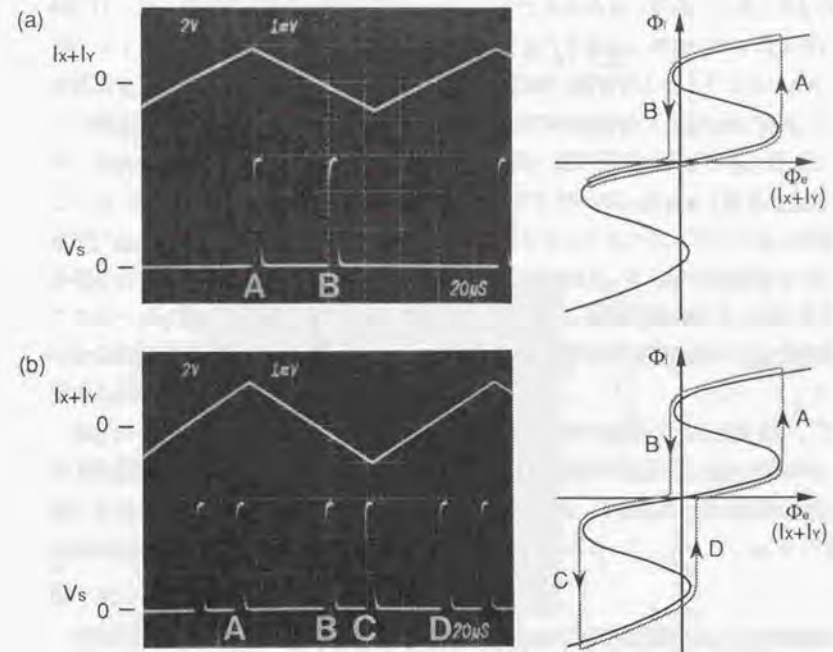


図3.13 磁束量子遷移パルスの検出実験結果
制御信号電流（三角波）(a)小さい場合と、(b)大きい場合

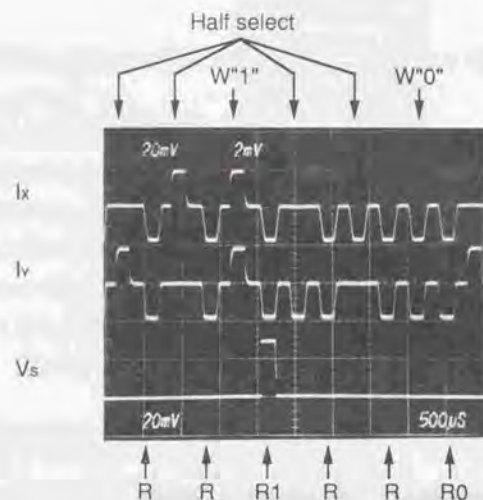


図3.14 メモリセルの動作実験結果

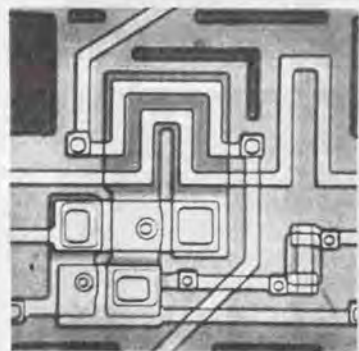


図3.15 レイアウト変更後のメモリセルの顕微鏡写真

3.4.3 素子パラメータと動作マージンの関係

容量結合型メモリセルは、1接合SQUIDと単接合をキャパシタで容量結合した構造である。付録 A2で述べたように磁束量子遷移に伴って発生する時間幅の狭いパルスは単接合素子を用いて充分検出可能であることが分った。メモリセルのセンス接合のバイアスマージン（センスマージン）を大きくするために、センスマージンと種々のセルパラメータの関係を実験および計算機シミュレーションにより検討した。そのために、種々のパラメータを変えたテスト回路を作製した。メモリセルのレイアウトは、第7章で述べる4Kメモリに適用できるように図3.15のように縦横比がほぼ1になるように変更した。セル寸法は、 $83\mu\text{m} \times 83\mu\text{m}$ である。

1) センス接合の臨界電流の効果

蓄積ループ（1接合SQUID）の磁束モードの変化による電流パルスの大きさは基本的にはセンス接合の大きさに依らない。しかし、センス接合の等価インダクタンスがセンスループのインダクタンスに比べて無視できなくなると電流パルスの大きさは影響を受ける。実験では、センス接合の臨界電流を4種類変えたメモリセルのセンス接合のバイアスマージンを調べた。1接合-SQUIDの接合径 $4.25\mu\text{m}$ に対して、センス接合径は 3.5 、 3.0 、 2.5 、 $2.0\mu\text{m}$ である。臨界電流の比 (I_0/I_{0s}) で、 $1.5 \sim 4.5$ 倍である。図3.16(a)に示すようにバイアスマージンはセンス接合の臨界電流に強く依存する。接合径を $2.0\mu\text{m}$ と小さくしていくとシミュレーションから予想されたように、バイアスマージンの改善の割合は鈍る。 $3.5\mu\text{m}$ の接合でバイアスマージンは $\pm 21\%$ 、 $2.5\mu\text{m}$ の接合 $\pm 40\%$ であった。臨界電流のばらつきを考えなければ接合径は小さいほうが良いが、実際の素子では両者の兼ね合いで接合径を決める必要がある。

図3.16(a)の結果について、動作電流範囲を矢印で示すと図3.16(b)になる。ここで上限値はセンス接合の臨界電流値 I_{0s} に等しい。磁束量子遷移時にセンス接合に流れるパルス電流値が I_{0s} に依らず一定であるとする、下限値も直線になる。実験では I_{0s} が 0.15 mA 以下で直線からのずれが大きい。

2) ダンピング抵抗の効果

1接合SQUIDが磁束モード遷移すると磁束量子一個分の磁束が変化し、その接合両端には磁束量子一個分に相当する電圧が発生する。この際、ダンピング抵抗がない

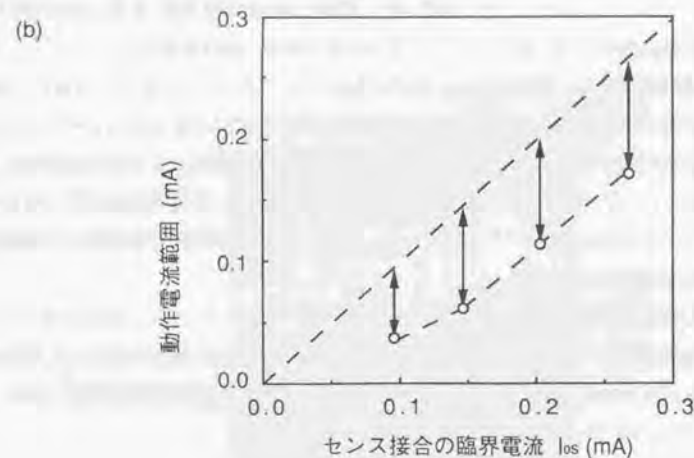
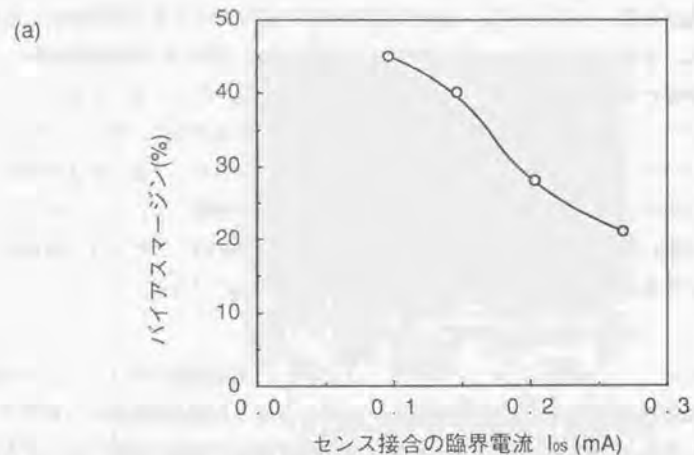


図3.16 センス接合の (a)動作マージンおよび (b)動作範囲の、センス接合の臨界電流依存性

と電圧振動が起こる。この減衰時間は誤動作を避けるために、メモリ回路の動作の一周期よりも短くする必要がある。したがって、適当なダンピングが必要である。そのためのダンピング条件は必ずしもクリティカルダンピングである必要はないが、接合のサブギャップ抵抗のみでは不十分である。したがって、適当なダンピング抵抗を使用する必要がある。シミュレーションによればクリティカルダンピングの条件に抵抗を設定してもセンス接合のバイアスマージンの低下は小さかった。

このことを確かめるために、ダンピング抵抗値を変えた5種類のセルを作製した。抵抗は1.6Ωから9.5Ωと抵抗の無いもの（抵抗値=∞）である。図3.17に示すように、抵抗が無いときのセンス接合のバイアスマージン±24%は、1.6Ωのダンピング抵抗（ややアンダーダンピング）を付加することにより±17%に減少した。シミュレーションから予想されたように、ダンピング抵抗のバイアスマージンに与える影響は比較的小さい。これらの結果から、ダンピング抵抗はクリティカルダンピング（臨界制動条件）からややアンダーダンピングになる値が適切である。

3) 結合コンデンサ

結合コンデンサは、1接合-SQUIDとセンス接合をDC的に分離し、周波数の比較的低いセンス接合のバイアス電流が1接合-SQUID側に流れるのを防止し、磁束量子遷移に伴う時間幅の狭いパルスのみ、この結合コンデンサを通過させるためのものである。結合に方向性はない。したがって、この容量をあまり大きくすると結合が強すぎ、誤動作の原因になる。逆に、小さすぎるとモード遷移に伴うパルス電流の振幅が小さくなる。標準的には0.6pFとして、結合コンデンサの値とセンス接合のマージンを調べた。通常のメモリセルでは、結合コンデンサは2個使用している。この構造のもので標準値と、その1/2、1/4の3種類を作製した。また、セルのレイアウトを変化せずに結合容量を2倍にしたときの効果を調べるために、結合コンデンサを1個（もう一つのコンデンサは無くショート）としたものを作製した。図3.18に示すように、結合容量の値によりセンス接合のバイアスマージンは大きく変わることが分かった。誤動作を避け適切な動作マージンを得るためには、結合容量は0.6pFから1.2pFの値が適切である。

4) その他のパラメータの影響、および考察

以上の結果から、センス接合の臨界電流と結合コンデンサの値がセンス接合の動

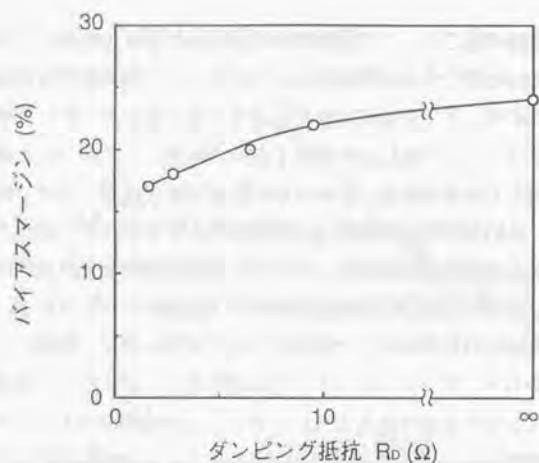


図3.17 センス接合のバイアス電流の動作範囲のダンピング抵抗依存性

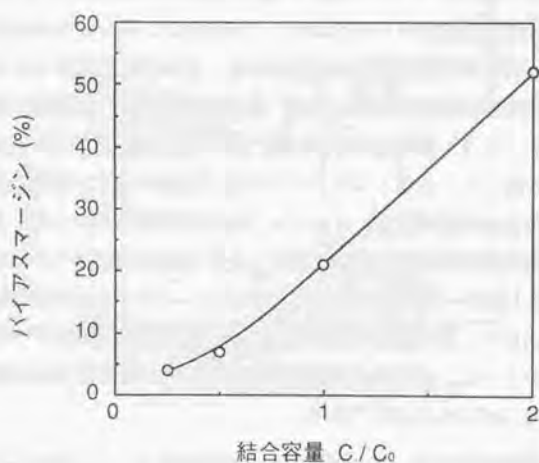


図3.18 センス接合のバイアス電流の動作範囲の結合容量依存性

作マージンに大きな影響を与えることが分かった。上記回路パラメータ以外にもセンス接合のバイアスマージンに影響を与える要因がある。たとえば、センスループの寄生インダクタンス、1接合SQUIDのバイアス端子のアイソレーション抵抗（インピーダンス）等である。しかし、これらの影響はさほど大きくないことを実験で確かめた。その結果から、センスループのインダクタンスはできる限り小さくし、セル間のアイソレーションはできるだけ大きくするべきであると言える。

容量結合型のジョセフソンメモリセルのセンス接合の動作マージンを決めている要因を実験的に調べた。このメモリセルは磁束モードの遷移の際発生するインパルスを検出するために、過渡応答を十分考慮する必要がある。これを調べるために種々の回路パラメータを変えたテストセルを作製、評価した。その結果、センスマージンは主としてセンス接合の臨界電流と結合コンデンサの値により影響されることが分かった。

3.5 むすび

本章では、ヘンケルス型、2接合SQUID型および新たに提案した容量結合型の3種類のメモリセルについて設計、実験を含め検討し問題点を明らかにした。ヘンケルス型では、蓄積量子数の変動やセンスゲートの入力感度の不足等により動作マージンが減少することを明らかにした。また書込みゲートとセンスゲートの電流レベルを正確に合わせる必要があり、設計や素子作製を困難にしていることが分かった。ヘンケルス型を基本としてこれらの問題点を改善したメモリセルの設計し実験を行なった。安定な動作は得られたものより多くのゲートを用いたためにセル寸法は大きくなり、汎用性のあるRAMに適用するのは困難であると考えられた。次に、2接合SQUID型メモリセルの設計法を述べた後、磁界制御線の位置とSQUIDループとの磁界結合度の関係や磁気的な結合によるセル間干渉、さらにグレイゾーンの定量的な評価を行なった。セル間隔が $2\mu\text{m}$ では10%以上のセル間干渉があり、むやみに微細化できないことが確かめられた。またグレイゾーンの存在により約10%動作マージンが減少することが分かった。次に、ヘンケルス型、2接合SQUID型それぞれの問題点を解決するために容量結合型のメモリセルを提案した。このメモリセルを設計し、実験でその動作を確認した。さらに、このメモリセルの動作マージン等について詳しく検討した結果、ジョセフソンメモリとして有望であるという見通しを得た。

第4章 デコーダ回路

4.1 はじめに

メモリ回路を構成する際、少ないアドレス信号数でアレイ状の一つのメモリセルを選択するためにデコーダ回路が用いられる。デコーダ回路の構成法として、2つの方法がある。その一つは、ANDゲートを用いる方法であり^{3) 17) 39) 40)}、他はOR(NOR)ゲートを用いる方法である^{41) 42)}。前者は、インバータが不要なので、タイミング信号が不要であるという長所があるが、ファンイン(F/I)、ファンアウト(F/O)の数が小さいと論理ゲートの段数が増加する欠点がある。一方、後者は、インバータが必要であるが、論理ゲートの段数が少なくなるという長所がある。半導体メモリでは、多入力のNORゲートが用いられている。しかし、ジョセフソン素子は半導体素子と異なり、多入力の論理ゲートやインバータが構成しにくいのでジョセフソン素子特有の回路構成をする必要がある。ここでは、電流転送回路を用いたOR論理によるデコーダと2種類(磁界結合型と電流注入型)のラッチゲートを用いたデコーダについて述べる。

4.2 電流転送型ORデコーダ

ジョセフソンメモリ回路の周辺回路を電流転送回路(電流フリップフロップ回路、または超伝導ループロジックとも呼ぶ)で構成する方法は、比較的大容量のメモリ回路用として研究されてきた。それは、この回路は直流電流バイアスで動作し、電力消費は接合が過渡的にスイッチしている時間だけ行なわれ、定常状態では殆ど電力を消費しないので消費電力が小さいためである。これは、丁度、半導体回路におけるCMOSの動作に類似している。また、電流フリップフロップ回路では、タイミング信号を与えることにより比較的容易に否定回路を構成できるという特徴を持つ。ここでは、ORゲートと否定回路を電流フリップフロップ回路(以下では電流FFと呼ぶ)で構成したORデコーダについて述べる。

4.2.1 電流転送回路(電流フリップフロップ)の検討

電流転送回路は、複数の超伝導線を並列に接続し、超伝導線にスイッチ素子としてジョセフソンゲートを設け、電流の流れるパスを切り換えるものである。特に図4.1に示したように2本の超伝導のそれぞれにセットゲート J_S とリセットゲート J_R

を設けた回路を、ここでは電流フリップフロップ(電流FF)と呼ぶ。 L_1 、 L_2 はそれぞれの超伝導配線のインダクタンスであり、 J_S 、 J_R 、 L_1 、 L_2 は超伝導ループを形成している。したがって、バイアス電流 I_B (J_S 、 J_R の臨界電流以下に与える)は最初 L_1 、 L_2 の逆数に比例した割合で流れる。 $L_1 < L_2$ を選べば、 I_B は殆ど J_S (L_1)側に流れる。そこで、 I_S を与えると J_S が一時的に電圧状態にスイッチし、電流は殆ど J_R (L_2)側に転送される。電流の転送が終わった時点で J_S はゼロ電圧状態に復帰する。次に、 I_R を与えると J_R が一時的に電圧状態にスイッチして電流は再び J_S 側へ戻すことができる。すなわち、入力電流 I_S (セット信号)、 I_R (リセット信号)によってRSフリップフロップとして動作する。

この電流FFでは、動作上注意しなければならないことがある。それは、 I_S と I_R を同時に与えると、 J_S 、 J_R とも電圧状態にスイッチしてしまい(ラッチアップ)、電流の切り換えができなくなってしまうことである。また、設計時の重要なパラメータとして、電流転送動作時のダンピングの問題がある。電流転送時のオーバーシュートをなくし、転送率を100%近くするためには、接合のコンダクタンスおよび接合と並列に接続するダンピング抵抗のコンダクタンスの和 G_c を次式の値程度に設定する必要がある⁴³⁾。

$$G_D = (1/1.6) \cdot (4 \cdot C_J / L)^{1/2} \quad (4-1)$$

$G_c < G_D$ の場合にはアンダーダンピングであり、転送電流はオーバーシュートする。逆に $G_c > G_D$ の場合にはオーバードンピングとなり、オーバーシュートは起きないが電流の転送率が悪くなる。図4.2はセットゲートとリセットゲートに2接合SQUIDを用いた電流FFのリセット側の電流を6.3.2節で述べる超伝導ループの電流測定法で測定した結果である。ダンピング抵抗はほぼ適性値であるにも拘らずセット、リセット動作毎に転送電流が変動する。ダンピング抵抗の値が適切でないとその変動はさらに大きい。ゲートにSQUID素子を用いるとダンピング抵抗の値の許容範囲は狭く、鉛合金接合やAuIn₂合金の薄膜抵抗で再現性良く作ることは困難であった。しかし、サイン型、六角形等の形状の接合(Shaped Junctionと呼ぶ)では、接合自身のトンネルコンダクタンスがダンピング抵抗として働き、またしきい値特性のサイドローブを抑えることができるので電流の転送率を改善できることが知られている。したがって、Shaped Junctionをセット及びリセットゲートとして用いること

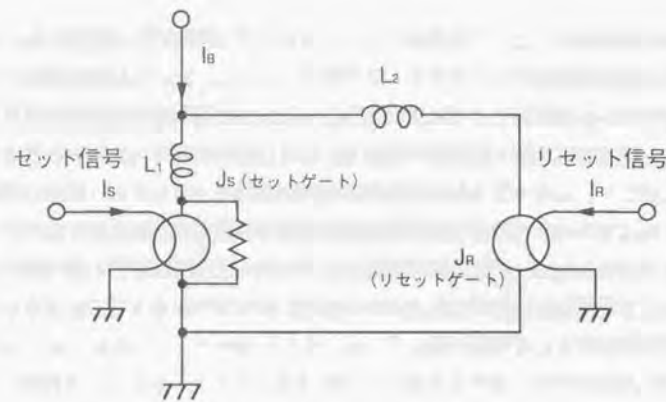


図4.1 電流フリップフロップの等価回路

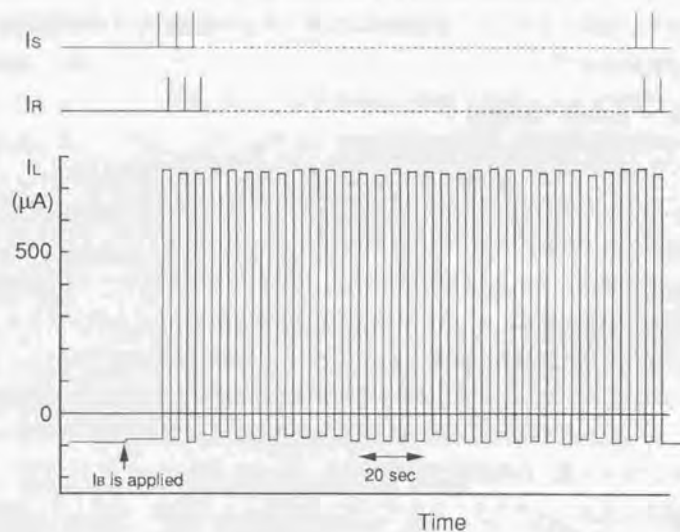


図4.2 2接合SQUIDを用いた電流フリップフロップの転送電流の測定例

で動作電流やダンピング条件が比較的緩やかになるので、ここでは六角形の接合を用いて電流FF回路を構成した。

電流FFのスイッチング時間は負荷インダクタンスLを励磁する時間で決まる。すなわち、負荷インダクタンスが $L=L_1+L_2$ 、転送電流がI、接合がスイッチしたときの発生電圧が V_J のときのスイッチング時間 t_{FF} は近似的に

$$t_{FF} = L \cdot I / V_J \quad (4-2)$$

で与えられる。ここで V_J は通常、接合のギャップ電圧 V_g に等しい。

また、消費電力は電流FF両端の電圧を V_{FF} として、

$$P = \left(\int_0^{t_{cycle}} I \cdot V_{FF} dt \right) / t_{cycle} \quad (4-3)$$

であり、近似的には、

$$P = L \cdot I_B^2 / t_{cycle} \quad (4-4)$$

で求まる。ここで、 t_{cycle} はセット、リセット動作の一サイクルの時間である。接合がスイッチしている間だけ、電力を消費するので消費電力が小さい。実際の回路ではバイアス電流を安定化するための電力を消費するが、回路を直列接続することで低電力化が可能である。

図4.3は負荷インダクタンスを1.4nH ($L_1 \cong 0$ nH、 $L_2 \cong 1.4$ nH)に設計した電流FFの(a)セット時の転送電流波形(6.3.1節で述べる直流サンプリング法で測定)と(b)電流FF両端の電圧波形を測定した一例である。セットおよびリセットゲートは、ORデコーダで用いたのと同じ形状のものであり、素子は鉛合金プロセスで作製した。転送電流(≡バイアス電流)1.8mAに対して転送時間が0.95nsであり、式(4-2)から算出した値0.97ns ($V_J = V_g = 2.6$ mVとした)と良く一致する。また、図4.3(b)の電圧波形から消費電力の実験値を計算すると、サイクル時間を40nsに仮定して 0.12μ Wとなった。ここで電圧波形は測定した波形の半値幅1nsをパルス幅とした矩形で考え、電圧 V_J は $V_g = 2.6$ mVとした。式(4-4)から計算した消費電力は 0.11μ Wであり、実験値と良く一致した。

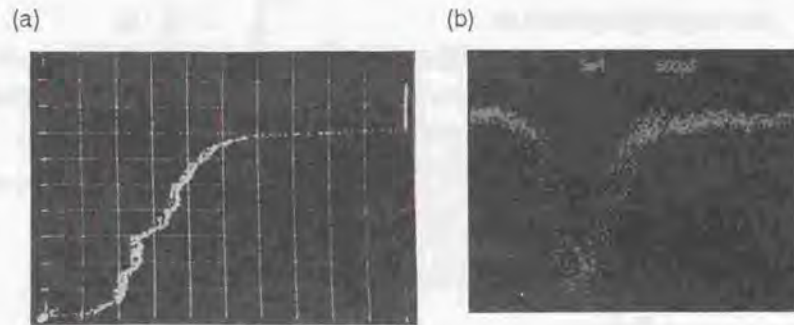


図4.3 電流フリップフロップの測定例
 (a)転送電流 (たて軸: 0.25mA/div, よこ軸: 310ps/div),
 (b)端子電圧 (たて軸: 0.5mV/div, よこ軸: 500ps/div)

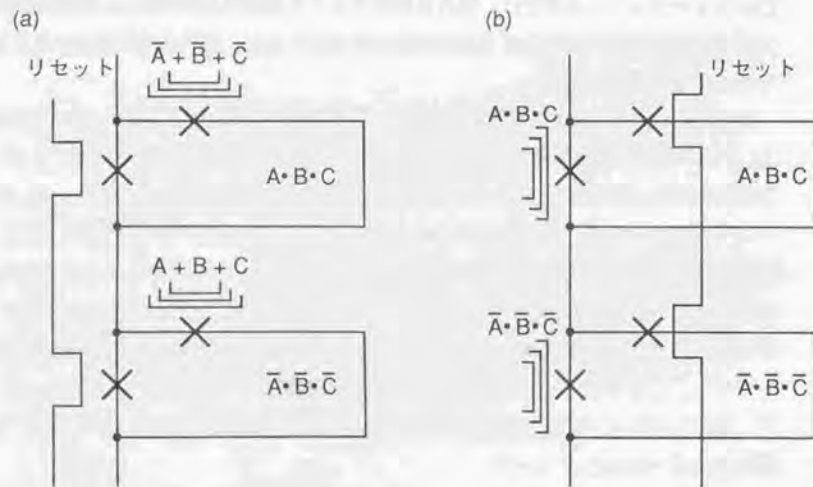


図4.4 デコーダの構成法 (a)OR型デコーダ, (b)AND型デコーダ

4.2.2 ORデコーダの回路構成および動作原理・特徴

これまで、ジョセフソン素子を用いたデコーダ回路は、ANDゲートを用いていた。AND論理を実現するには、しきい値論理で実現する方法や⁴⁴⁾、電流転送回路で複数のループを用いる方法がある⁹⁾。しかし、前者では、動作マージンがさほど大きくなく、後者では複数のループでの電流転送率やダンピング抵抗の設計が難しい等の問題があった。これらの問題を解決する一つの方法として、ORゲートを用いたデコーダを検討した。

図4.4 (a)が、電流FFを用いたORデコーダの構成である。同図 (b)は従来のANDゲートを用いたデコーダの構成である。AND型のデコーダではアドレス信号A、B、Cの論理積 $A \cdot B \cdot C$ を用いているが、ORデコーダではA、B、Cの補信号の論理和 $\bar{A} + \bar{B} + \bar{C}$ を用いている。そしてアドレス信号の入力先をデコーダの出力ブランチ側のゲートとしている。こうすることによって、出力ブランチの電流は、

$$\bar{A} + \bar{B} + \bar{C} = A \cdot B \cdot C$$

となり、この回路を基本としてデコーダ回路を構成できる。

この回路方式の特徴は次のようになる。

- ① ORゲートを使うことによって原理的には入力信号の大きさの上限がなくなるので、動作マージンが大きい。
- ② 多入力のORゲートを使うことによって、動作マージンを小さくすることなく、多ビットのデコーダを少ない段数で構成できる。その結果、動作速度を向上できる。

4.2.3 実験・検討結果

用いるゲートとしては、磁界制御線に与える電流に対してしきい値特性が急峻であり、サイドロブが小さいことが望ましい。そのような観点で六角形接合を設計した。ORゲートは図4.5に示す六角形の接合を2個直列接続したものをを用いた(図中には寸法も示した)。接合を2個用いたのはゲートの出力電圧を高めて高速化をはかるためである。磁界制御線は4本設けている。六角形接合はSQUID素子に比べて大きな接合容量を有し、接合自身のスイッチング速度は遅い。しかし、ここでのテスト回路では、nHオーダーの比較的大きな負荷インダクタンスを有する電流FFを試験

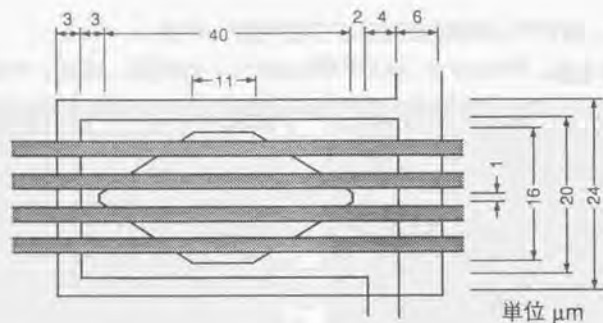


図4.5 設計したOR型デコーダ回路に用いた六角形接合の構造

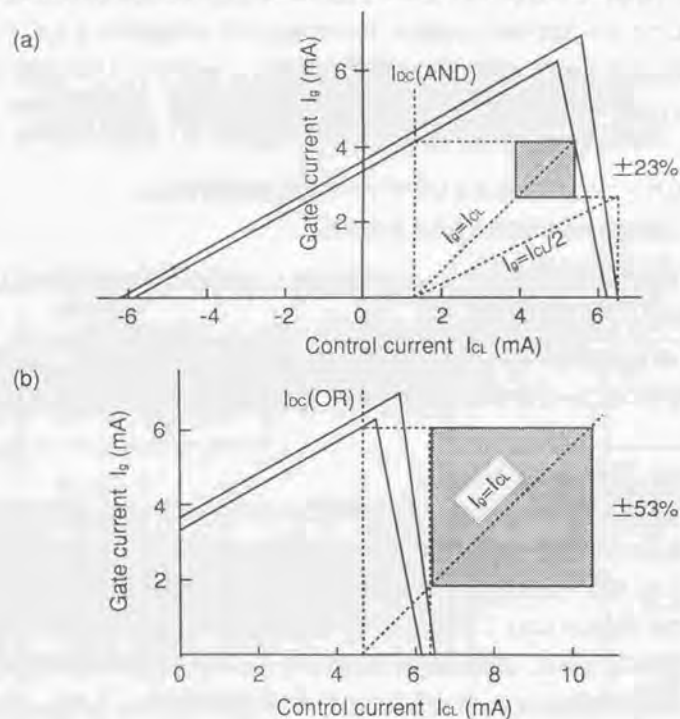


図4.6 六角形接合のしきい値特性と
(a)ANDゲート、(b)ORゲートとして用いた場合の動作マージン

したので接合のスイッチング速度は無視できる。六角形接合を用いる利点として、電流FFのダンピング抵抗値の許容範囲が緩やかであることが挙げられる。ここで用いた鉛接合プロセスで作製した場合には、接合自身でダンピングされ、外付けのダンピング抵抗は不要であった。

設計したゲートは磁界制御線の1本に直流のオフセット電流を与えることにより、ANDゲートとしてもORゲートとしても適切な動作が可能である。図4.6に(a)ORゲートとして用いた場合と、(b)ANDゲートとして用いた場合のしきい値特性と動作マージンを示す。臨界電流密度として $2000\text{A}/\text{cm}^2 \pm 10\%$ を仮定した場合に、ORゲートの動作マージンは $\pm 53\%$ 、ANDゲートでは $\pm 23\%$ であり、ORゲートの動作マージンが大きいことが分る。

図4.4(a)の原理に基づき、電流FF一段から構成される3-8デコーダを鉛接合プロセスを用いて作製した。臨界電流密度は設計値通りであり、約 $2000\text{A}/\text{cm}^2$ であった。デコーダは動作マージン $3.2\text{mA} \pm 46\%$ で正常に動作することが確かめられた。デコーダの遅延時間を測定した結果、 2ns であった。負荷インダクタンス 4750pH と次段をスイッチさせるのに必要な電流 1.8mA から計算した値は 1.7ns であり、ほぼ実験値と一致した。

ORデコーダは動作マージンが大きく、実験でも $\pm 46\%$ を得た。しかし問題は、ジョセフソン素子では不得手な否定ゲートが必要なことである。電流FFを用いた場合には比較的容易に否定ゲートを実現できる。しかし、高速動作を考えると、電流FFを用いることは適切ではないと思われる。ORデコーダ(またはNORデコーダ)に関して、ほぼ同時期にラッチゲートを用いた実験例が報告されている。しかし、ジョセフソン素子で否定動作を行う場合には何らかのタイミング信号が必要である。このタイミング信号を時間精度良く作ることは、さほど容易ではなく、必ずタイミングマージンをとる必要があり、高速動作を阻害する。最近になって多相のクロックハイアスでラッチゲートを用いたORデコーダに関する報告がある^{(45) (46)}。これを用いたRAMチップ、ROMチップと演算回路チップや制御回路チップと組合わせてマイクロプロセッサを構成したものである。このように、他の回路チップの動作を考慮してデコーダへのクロックを巧く与えた専用回路では、ORデコーダの特徴を活かせると考えられる。

4.3 磁界結合型ゲートを用いたラッチ型デコーダ

前節で述べた電流FF回路は、バイアス電流は直流であり、また消費電力が小さく、タイミング信号を与えることによって比較的容易に否定ゲートを実現できるのでORゲートを用いたデコーダを容易に構成できた。しかし、電流伝送の時間がさほど速くなく、否定動作のためのタイミング信号のタイミングマージンを必要とするために、動作速度がさほど速くならない。また電流FF回路はダンピング抵抗値によって出力電流が変化し、ダンピング抵抗値を厳しく制御する必要があった。

本節では、3接合SQUIDをラッチゲートとして用いたラッチ型デコーダ回路を設計、作製し、その動作試験をおこなった結果を述べる³⁹⁾。

4.3.1 回路および動作原理・特徴

設計したラッチ型デコーダは、ラッチ動作するANDゲートを組合わせたデコーダである。図4.7は2本の磁界制御線をもつ磁界結合型素子を、2入力ラッチ型ANDゲートとして用いた3-8ビットデコーダの回路例である。ここでは、アドレス信号として A_0, A_1, A_2 及びそれらの補数 $\bar{A}_0, \bar{A}_1, \bar{A}_2$ を与えている。また、デコード開始信号としてS入力を与えている。まず、バイアス電流 I_B を与える。次にアドレス信号を与える。例として $A_0 = "1", A_1 = "0", A_2 = "1"$ ($\bar{A}_0 = "0", \bar{A}_1 = "1", \bar{A}_2 = "0"$)を与える。 A_0 に信号"1"が与えられ、デコーダ開始信号Sが加わると素子 J_{11} は電圧状態になり、負荷抵抗 R_{11} に電流が流れ、 J_{21}, J_{22} の磁界制御線に電流が流れる。この時、 $\bar{A}_1 = "1"$ であるので素子 J_{22} の二つの制御線に電流が流れ、 J_{22} は電圧状態にスイッチし、負荷抵抗 R_{22} に電流が流れる。その結果、 J_{33}, J_{34} の制御線に電流が流れ、 $A_2 = "1"$ であるので、素子 J_{33} が電圧状態になり、負荷抵抗 R_{33} に出力電流が流れる(出力信号が"1"に相当する)。この時、 $J_{31}, J_{32}, J_{34}, J_{38}$ は入力信号が二つないためゼロ電圧状態のままであり、出力は"0"である。このようにして、3ビットのアドレス信号により8本の出力線のうちの1本だけに選択的に出力電流を得ることが可能である。すなわち、デコーディングができる。

4.3.2 実験結果

1) 設計

ここでは、磁界制御線2本を有する2入力の3接合SQUID素子をANDゲートとして

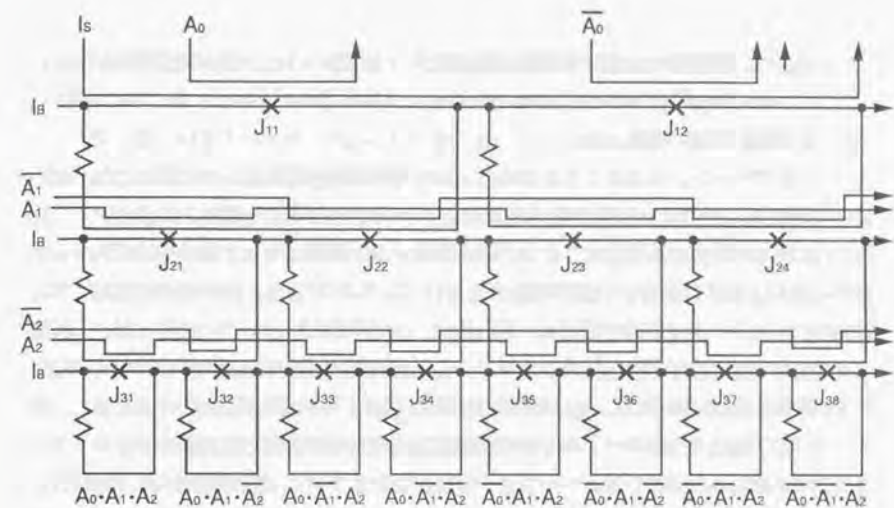


図4.7 磁界結合型ゲートを用いたラッチ型ゲート

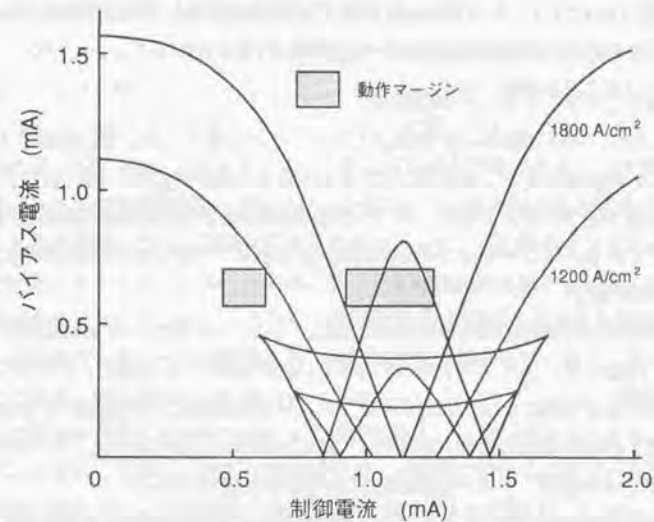


図4.8 磁界結合型ゲート(3J-SQUID)のしきい値特性と動作マージン

用いた。制御線へ入力信号が無い場合及び一つの場合には、ゼロ電圧状態を保持し、二つの入力信号が共に“1”であるときに、電圧状態にスイッチするようにしきい値特性を適切に設計した。

動作マージンを大きくするために、 $L \cdot I_0 / \Phi_0$ が0.16になるように設計した。3接合SQUIDにはブリッジ型を用いた。Lは隣接する接合間のループインダクタンス、 I_0 は左右の接合の臨界電流である。最小線幅および間隔は $4 \mu\text{m}$ 、接合寸法は $5 \times 5 \mu\text{m}^2$ 、 $5 \times 10 \mu\text{m}^2$ 、 $5 \times 5 \mu\text{m}^2$ （臨界電流の比は $I_0:2I_0:I_0$ ）である。臨界電流密度 J_0 は 1500 A/cm^2 で、 $I_0=0.375 \text{ mA}$ である。その結果、Lは 8.8 pH になるように設計した。上部電極と下部電極間の絶縁層の厚み $=0.5 \mu\text{m}$ 、上部電極の幅 $=16 \mu\text{m}$ として、ブリッジ長 $=20 \mu\text{m}$ になった。また、下部電極と制御線の幅は、それぞれ $20 \mu\text{m}$ と $4 \mu\text{m}$ とした。図4.8に設計したANDゲートのしきい値特性と動作領域を示す。臨界電流のばらつきとして $\pm 20\%$ を考慮して二つのしきい値特性を示している（臨界電流密度 J_0 が 1200 と 1800 A/cm^2 ）。図中ハッチングで示すように入力信号の“1”が一つの場合は、動作点は $J_0=1200 \text{ A/cm}^2$ のしきい値特性の内側にある必要がある。また、入力信号が二つ共“1”の場合は、 $J_0=1800 \text{ A/cm}^2$ の外側で動作する必要がある。その結果、バイアス電流は $0.63 \text{ mA} \pm 11\%$ 、入力電流は $0.55 \text{ mA} \pm 14\%$ で動作する。負荷抵抗は 0.55 mA の出力電流を得るために代表的な接合のI-V特性より 3Ω に設計した。

2) 計算機シミュレーションと実験結果

設計したデコーダの動作の計算機シミュレーションを行った。出力線は、 $F/0=2$ を仮定して 45 pH を与えた。図4.9にシミュレーション結果を示す。図に示すようにアドレス信号を予め与えておき、デコード開始信号を与えた後の各段の出力電流波形を示している。デコーディング時間は 100 ps であり一段当たりの遅延時間は 33 ps と見積もられた。

ラッチ型デコーダの動作を確かめるために、3-8ビットデコーダを鉛合金プロセスにより作製した。チップ寸法は $3 \times 3 \text{ mm}^2$ で14個のANDゲートを含む。バイアス電流は、抵抗により並列に3つに分配した後、デコーダの各段ごとで直列に与えた。作製した素子の臨界電流密度は 1800 A/cm^2 、負荷抵抗は 2.8Ω であった。デコーダの動作試験を行った結果、テスト回路の正常な動作が確認できた。

ここで述べたANDゲートのように2本の磁界制御線でAND機能を実現する方式では、

バイアス電流を変えることにより入力信号電流の許容値も変化する。また、ANDゲートとしての動作範囲を決めるしきい値特性は臨界電流とSQUIDのインダクタンス等、多くの素子パラメータのばらつきによって変化する。その結果、ANDゲートとしての動作マージンは比較的小さくなってしまふ。

また、ここでの実験ではブリッジ型の3接合のSQUID素子を用いた。ブリッジ型素子では接合を含む超伝導ループを立体的に構成するので素子寸法が小さくなる特長がある。しかし、SQUID素子ではSQUIDのインダクタンスと接合容量により共振現象が起る⁴⁷⁾。そして、接合がスイッチする際、共振周波数で決まるギャップ電圧以下の共振電圧にスイッチしてしまうことがある。今回の実験でもこの共振の影響により動作マージンが小さくなっていることが分った。この共振の影響を避けるにはインダクタンスと並列にダンピング抵抗を接続することが有効である。しかし、そのためには超伝導ループを平面的に構成するプレーナ型で3接合SQUID素子を構成する必要がある⁴⁸⁾。この場合、素子寸法が大きくなる欠点がある。これら二つの問題点から次に述べる電流注入型ゲートでデコーダを構成することを検討した。

4.4 電流注入型ゲートを用いたラッチ型デコーダ

4.3節のラッチ型デコーダでは磁界結合型の2入力ANDゲートを用いた。しかし、このゲートは、動作マージンが小さい。その上、しきい値特性の設計値からのずれやばらつきは、ANDゲートの動作マージンに強く影響を与える。また、SQUID素子では、接合容量とSQUIDのインダクタンスによる共振現象が問題であることが分った。これを避けるためにはSQUIDループをブリッジ型のように縦方向に作る構造に代え、SQUIDループを平面的に作り、共振を抑えるためのダンピング抵抗をインダクタンスと並列に設ける必要がある。この構造では、磁界制御線を複数本設けた場合には、ゲートサイズが大きくなってしまふ。これら、磁界結合型SQUID素子の欠点を解決するために多くの電流注入型ゲートが提案され、論理回路に適用されている^{49) 50) 51) 52)}。たとえば、MVTL (Modified Variable Threshold Logic) ゲートは、磁界結合と電流注入の両方を利用しているために入力感度が良く、 $F/0$ 数も3とジョセフソンゲートとしては大きい。しかし、メモリ回路のデコーダ回路に用いるにはゲート寸法は大きく（最小寸法 $2.5 \mu\text{m}$ の接合を用いた際のANDゲートの寸法は $82 \times 132 \mu\text{m}^2$ ）、 $F/0=3$ も中途半端である。デコーダ回路用には $F/0$ 数が2ⁿのものが使いやすい。また従来報告

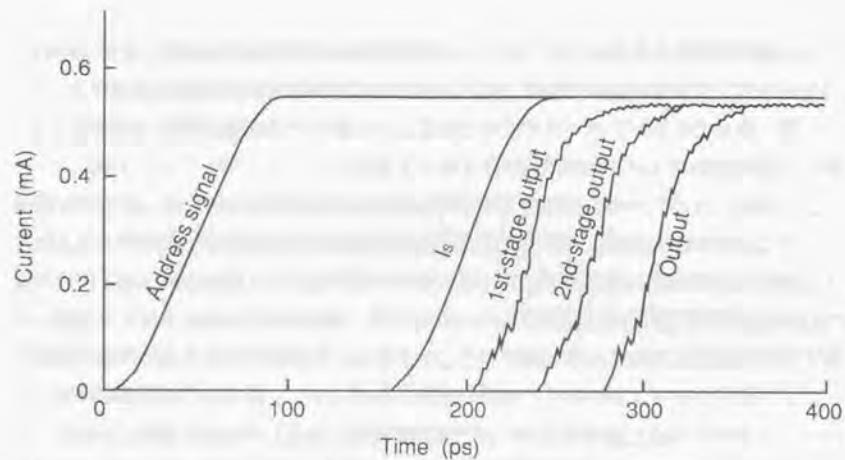


図4.9 ラッチ型デコーダのシミュレーション結果

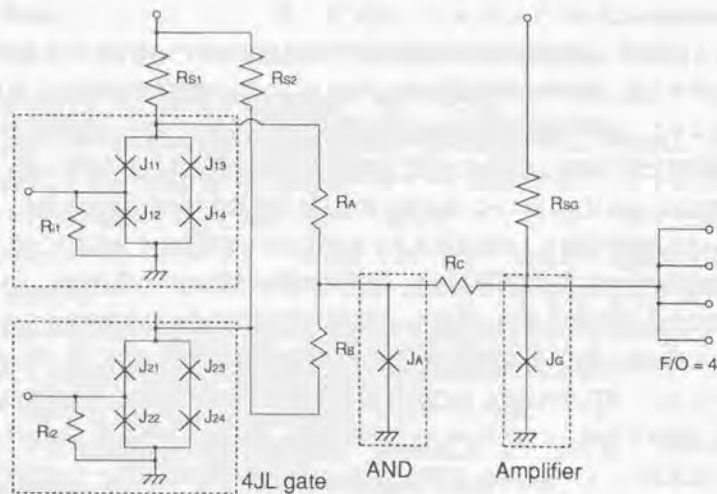


図4.10 4JL&単接合ANDゲートの等価回路

されている4JL ANDゲート (4JL: Four Junction Logic) もゲート寸法が大きい等の問題があり、デコーダへの応用には適切であるとは言い難い。そこで、4JLゲートと単接合による新たな構成のANDゲートを提案し、その構成、特長および実験結果を述べる。

4.4.1 4JLと単接合を用いたANDゲート

容量結合型ジョセフソンメモリセルと組合わせて用いるデコーダ回路として適切なANDゲートを検討した。2入力ANDゲートで6-64ビットデコーダをできる限り少ないゲート段数で構成することを考えると、ゲート段数は3で $F/O=4$ が必要である。さらにメモリ回路のレイアウトを考えると、無駄な配線スペースをなくすためには、メモリセルと周辺回路のゲートそれぞれを多数配置する際のピッチを等しくする必要があった。これらの問題を解決する為の新しいゲートを提案し、目的を達成した。それは、4JLゲートと単接合の組合せによるANDゲートである。

1) 構成および動作

図4.10が今回設計した4JL&単接合ANDゲートの等価回路である。メモリ回路の周辺回路、特にデコーダに適用するために4JLゲートを入出力分離および増幅用に使用した2入力ANDゲートになっている。AND機能は単接合を用いて行っており、さらにその後段に電流増幅用の単接合を付加し、ファンアウト (F/O) 数4を実現している。4JLゲートは大きなゲインを持ち且つ不感領域が広がらないように、臨界電流を $I_0:3I_0$ に設計した (この時、理論的にはしきい値特性の傾斜すなわちゲインとして約2.5、実験では寄生インダクタンスの影響で2.0程度が得られた)。最小接合径は $2.5\mu\text{m}$ で I_0 を 0.1mA に設定したので、4JLゲートの臨界電流 I_m は 0.4mA である。 R_A と R_B は共に 4Ω 、 R_C は 0.75Ω である。また、AND用単接合の臨界電流 I_{0A} は 0.33mA である。入力抵抗 R_i は、 $F/O=4$ を考慮して 12Ω にし、入出力分離用の抵抗は 2Ω に選んだ。増幅用単接合の臨界電流は、ANDゲートの臨界電流の96%が転送されるとして 0.63mA に選んだ。図4.11 (a)に4JLゲート、(b)にAND用単接合と増幅用単接合の負荷線を示した。図4.11 (a)には、2つのバイアス電流に対する負荷線を描いている ($0.8I_m$ と $0.5I_m$)。ORゲートのバイアス電流を $0.5I_m$ にしても、ANDゲートをスイッチできる。図4.11 (b)はANDゲートと増幅ゲートの負荷線であり、どちらもサブギ

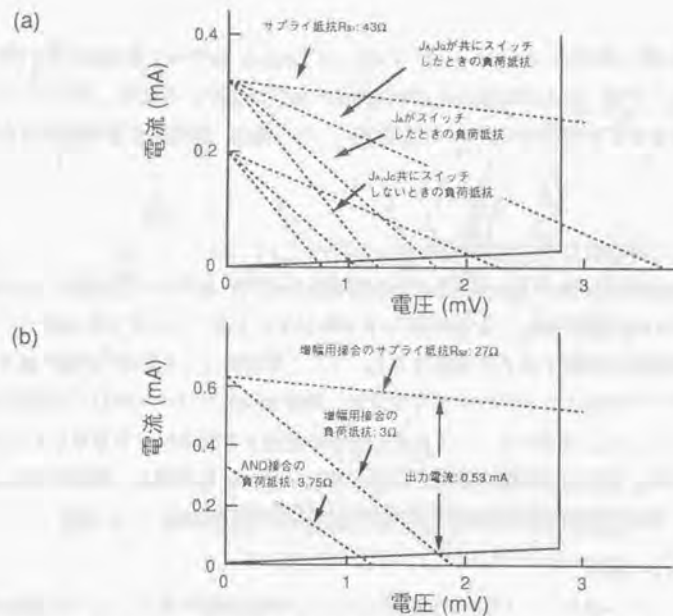


図4.11 論理ユニットの負荷線 (a) ORゲート、(b) ANDと増幅接合

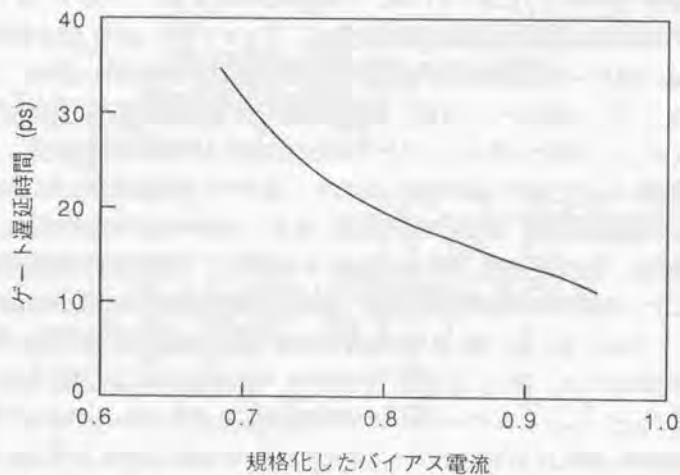


図4.12 シミュレーションで求めたANDゲートの遅延時間

ギャップ領域に動作点がある。出力電流として0.53mAが得られ、 $F/O=4$ をとっても各出力端子に0.13mA流せる。この値は、4JLゲートの入力として充分である。 F/O 数を更に増加するには、図4.10に示した回路で二つある4JLゲートの一つをなくしてANDゲートの入力の一つをバイアス端子から与えることにより電流増幅用のバッファゲート ($F/O=4$) を構成することができる (図7.4参照)。

提案したANDゲートの動作を計算機シミュレーションを行ないゲートの遅延時間を求めた。臨界電流密度を $3000\text{A}/\text{cm}^2$ 、 $F/O=4$ とした時の結果を図4.12に示す。ANDゲートのゲート遅延は、バイアス電流がその最大値の70%から95%に対して32psから11ps変化する。80%バイアス時の値で19psである。ANDゲートは、4JLゲート、単接合AND、増幅段から構成され、また F/O 数も多いために比較的ゲートの遅延時間が大きい。

2) 実験結果

図4.13 (a) は、作製したANDゲートの顕微鏡写真である。最小接合径 $2.5\mu\text{m}$ 、最小線幅 $4\mu\text{m}$ を用いたゲート寸法は、 $78 \times 83\mu\text{m}$ である。高シート抵抗の抵抗材料の使用や、接合径や線幅の微細化により、ゲート寸法は、さらに小さく出来る。作製した素子の臨界電流密度は、設計値の $2000\text{A}/\text{cm}^2$ よりもやや低く、約 $1600\text{A}/\text{cm}^2$ であった。AND用及び増幅用の接合の臨界電流は、直列接続した接合の結果からそれぞれ 0.31mA 、 0.60mA であった。図4.13 (b) に4JLゲートのI-V特性と、(c) しきい値特性を示す。しきい値特性の傾斜、即ちゲインは約2であった。ここに示したI-V特性は、入出力分離のために入力端子に抵抗値の小さなシャント抵抗を入れているので、I-V特性で接合一つのギャップ電圧以上の所での電流が持ち上がっている。このI-V特性は、ジョセフソン接合と抵抗の直並列回路を考えると容易に理解できる。また、シャント抵抗が小さいために図4.10に於ける J_{12} または J_{22} がセルフリセットモードとなっており、しきい値特性に不感領域が見られない。この場合入力電流が J_3 、 J_4 側に洩れることにより、図4.13 (c) に示したしきい値特性を説明できる。 J_1 がセルフリセットか、そうでないかは、論理動作を行う際には問題にならない。作製した素子の各部分の抵抗値は、ほぼ設計値通りであった。

図4.14にANDゲートの機能試験を行った結果を示す。ORゲートと増幅用接合へのバイアス電流は共通に与えた。従って、各バイアス電流値はサプライ抵抗値によ

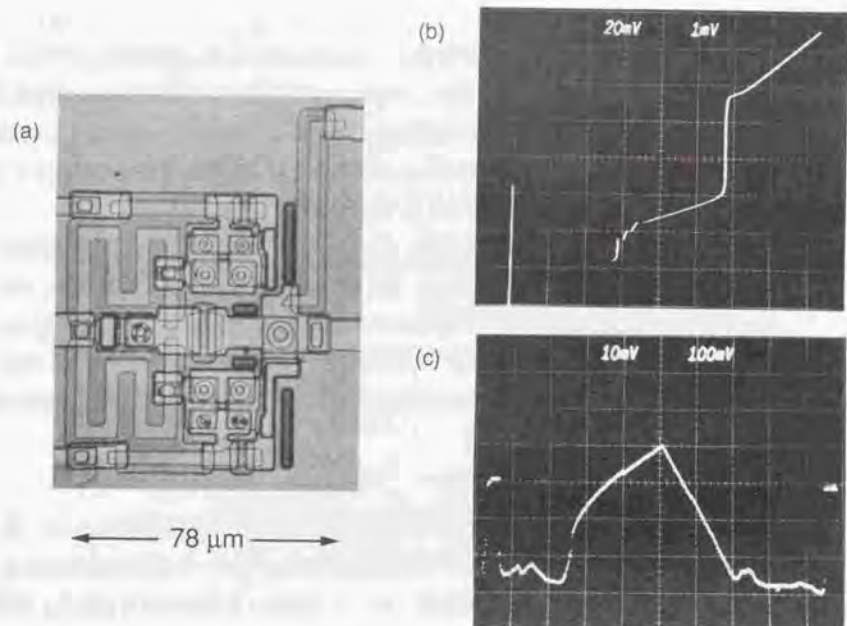


図4.13 作製したANDゲートの (a) 顕微鏡写真と、
 (b) I-V特性 (たて軸: 0.1mA/div, よこ軸: 1mV/div) ,
 (c) しきい値特性 (たて軸: 0.1mA/div, よこ軸: 0.1mA/div)

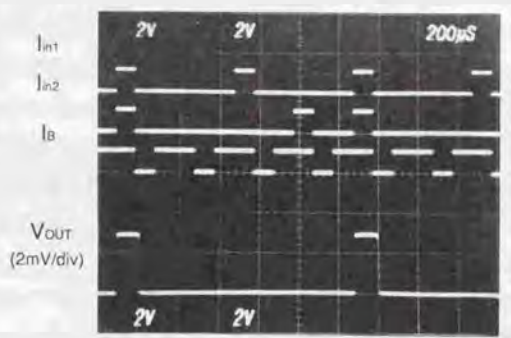


図4.14 ANDゲートの機能試験結果

て決まる。入力電流 I_{in1} と I_{in2} の両方が与えられたときだけ、出力が“1”となっており、正しく動作していることが分かる。実験で得られたバイアスマージンは、入力電流として0.12mAを与えた時には $1.00\text{mA} \pm 22\%$ であった。また、入力電流を0.10mA、0.14mAとした時にはそれぞれ $1.04\text{mA} \pm 17\%$ 、 $0.96\text{mA} \pm 27\%$ であった。原理的には、単接合ANDで決まるバイアスマージンとして $\pm 33\%$ であるが、ORゲートのゲインが予想値よりやや小さいこと、臨界電流値やサブライ抵抗値の設計値からのずれやばらつき等により多少バイアスマージンが減少したものと考えられる。

4.4.2 4JL&単接合ANDゲートによるラッチ型デコーダ

ANDゲートを用いてデコーダを構成する際、2種類の方式が考えられる。図4.15は6-64ビットデコーダの一つのパスについて (a) 直列方式と (b) 並列方式による構成を示した図である。直列方式の場合、各ゲートは $F/0=2$ であるがゲート段数は5段になる。また、後段のアドレス信号には大きな $F/0$ 数が要求される。一方、並列方式の場合はゲート段数は3段であるが、 $F/0$ 数は4 (1段目) あるいは16 (2段目) と増大する。並列方式では、 $F/0$ バッファゲート ($F/0=4$) を用いると全て $F/0=4$ のゲートでゲート段数を増加せず3段のまま6-64ビットデコーダを構成できることが分った。したがって、高速化に適しているので並列方式のデコーダを設計した。図4.16 (a) に設計したデコーダの等価回路と、(b) 作製した回路の顕微鏡写真を示す。 $F/0$ 数が4以上必要などところには $F/0$ 数を1から4に増加するバッファゲートを使用している。設計したデコーダは、4JL&単接合ANDゲートの3段構成である。真、補、両方のアドレス信号は、1段目の12個のANDゲートに与えた。2段目は16個のANDゲートと16個の増幅ゲート、3段目は64個のANDゲートで構成されている。

作製した6-64ビットデコーダの機能試験の結果を図4.17に示す。全てのアドレス信号の組み合わせに対して、正しく動作することが確かめられた。次に、デコーディング時間を測定した。図4.18の●印はバイアス電流に対するデコーディング時間の実験結果である。この結果は、最も伝搬距離の長い出力ラインに対する結果である。測定したデコーディング時間は、バイアス電流の上限で90psである。この値は、それまでに報告されている結果のうち最高速の値であった。図4.18の実線はシミュレーションで求めたデコーディング時間である。実験結果は、このシミュレーション値よりも大きい。臨界電流等のばらつきを考慮して○印のように実験値をシフト

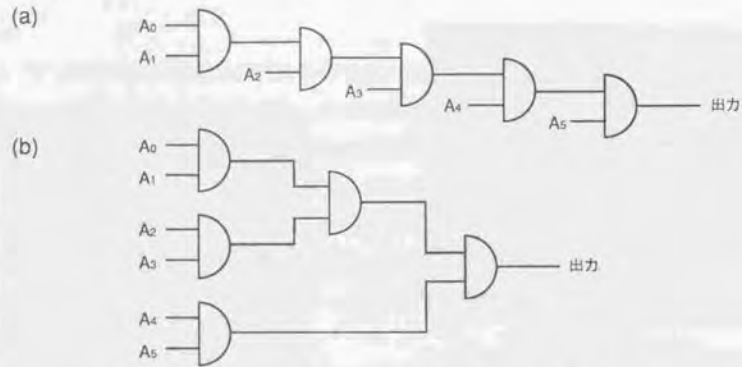


図4.15 デコーダの構成法 (a)直列方式、(b)並列方式

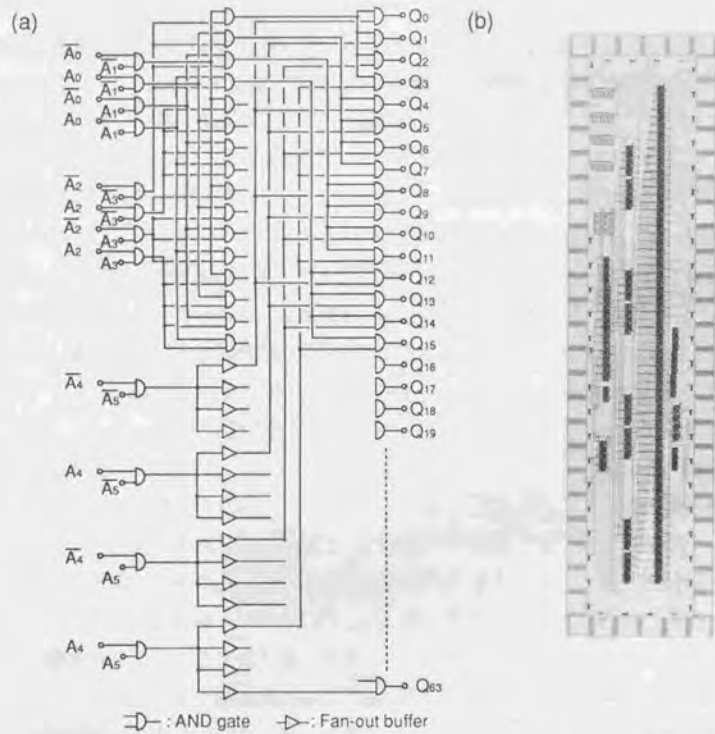


図4.16 (a)設計したデコーダの等価回路と、(b)試作した回路の顕微鏡写真

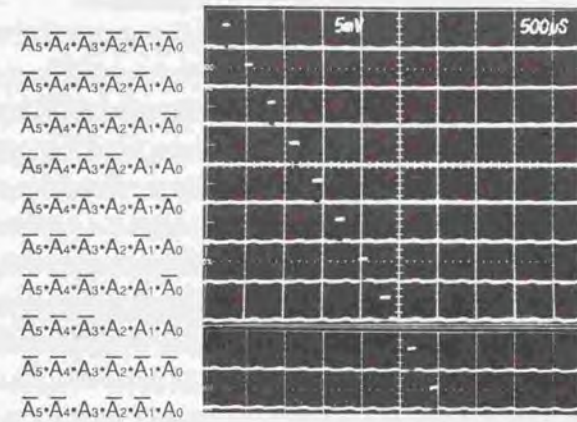


図4.17 作製した6-64ビットデコーダの機能試験結果

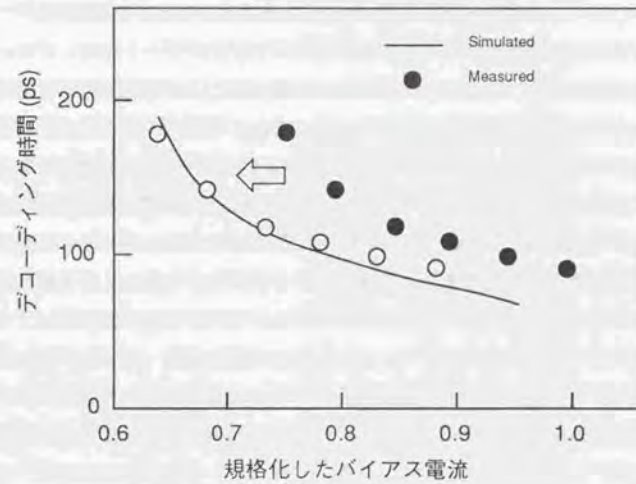


図4.18 デコーディング時間の測定およびシミュレーション結果

するとシミュレーション結果とほぼ一致する。したがって、両者の違いは臨界電流等素子パラメータのばらつきに起因していると考えられる。

4.5 むすび

メモリ回路に用いる周辺回路として3種類のデコーダを設計・作製し、その評価を行なった。初めに、否定ゲートが比較的容易に構成できることから電流FFを用いたORデコーダを設計した。作製したORデコーダは±46%と大きな動作マージンで動作することが確かめられた。この回路は比較的動作速度の遅いメモリ回路には適していると考えられた。しかしタイミング信号が必要であること等の理由で高速のメモリ回路に適用することは困難であると考えられた。

次に、高速動作のメモリ回路を構成するためにラッチング動作のANDゲートを用いたデコーダを設計した。まず、磁界結合型の3接合SQUIDゲートを用いたデコーダの実験を行なった。3接合SQUIDゲートはブリッジ型であり、SQUIDループにダンピング抵抗は設けられなかった。そのために接合容量とSQUIDのインダクタンスによる共振が起り、バイアスマージンが小さくなった。これを避けるためにはSQUIDループをブリッジ型のように立体的な構造からプレーナ型と呼ばれる平面構造に換える必要があった。しかし、入力信号線（磁界制御線）を2本有するプレーナ型SQUIDはゲート寸法が大きくなってしまふ。ゲート寸法その他、動作マージンやゲート遅延、デコーダの構成法等を総合的に考え、電流注入型ゲートで構成することが適切であると結論した。しかし従来のゲートでは、ゲート寸法が大きすぎた。そこでゲート構成を検討した結果、4JLゲートと単接合を用いてゲート寸法の小さなANDゲートが構成できることを見出した。この新たに提案したANDゲートを用い、またデコーダの構成法を検討して6-64ビットのデコーダを設計・作製した。その結果、デコーディング時間90psと高速な動作を実験で確かめることができた。高速のメモリ回路には電流注入型を用いたラッチ型ANDデコーダが適していると結論し、第7章で述べる4K RAMに適用した。

第5章 ドライバ回路

5.1 はじめに

デコーダによって選択されたビット線あるいはワードにはドライバゲートによって電流が供給される。従来のジョセフソンメモリではドライバゲートはデコーダの一部の機能を分担したり、単に電流レベルを変換する役割を担っていた⁶⁾。しかし、ドライバゲートには多数のメモリセルが負荷として接続されており、通常は直列E/Oになるので、その遅延時間が問題になる。したがって、ドライバゲートは負荷駆動能力が大き必要がある。半導体メモリでは遅延時間は負荷容量Cとドライバトランジスタの出力インピーダンスRとのCR時定数で決まるので、Rが小さく大きな電流駆動能力のあるトランジスタが必要であった。一方、ジョセフソンメモリでは遅延時間は負荷インダクタンスLとドライバゲートの出力インピーダンスRとのL/R時定数で決まるのでRが大きい、すなわち大きな出力電圧を発生できるゲートが必要である。しかし、通常のジョセフソンゲートの出力電圧は使用する超伝導材料のギャップ電圧で決まっており、電圧を増加することはできないと考えられていた。本章では、新たなアイデアにより電圧を増加させることが可能な高電圧ドライバゲートについて述べる。

5.2 ドライバ回路に要求される性能と従来技術

ジョセフソンゲートの出力電圧は、接合のギャップ電圧で決まるので、Nb/AlOx/Nb接合を用いた場合、約3mVと小さい。また電流も1mA以下と小さいので、半導体デバイスと比べて消費電力が数桁も小さいという特徴を持つ。また、ジョセフソン集積回路チップ内では、グランドプレーン（接地面）を配線下に設けて配線によるインダクタンスを小さくし、遅延時間を小さくしている。しかし、集積回路チップの出力バッファやメモリセルなどのように出力ラインのインダクタンスが大きい場合は、負荷の駆動能力が不足となる。配線はストリップライン構造となっているので理想的にはこのインピーダンスとドライバゲートの負荷抵抗とでインピーダンス整合をとることが望ましい。その場合、出力電流は接合のギャップ電圧とストリップ線路の特性インピーダンスで決まる。ジョセフソン素子は電流によってそのスイッチング動作が制御され、比較的大きな出力電流を得ようとするとギャップ電圧の数倍の出力電圧が必要である。

しかし、通常のジョセフソンゲートの出力電圧は使用している超伝導材料で決まっ

ており、電圧を増加することはできない。たとえば、Nb/AlOx/Nb接合では約3mVである。出力電圧を増加するにはジョセフソン接合を直列接続すればよいが、単に直列接続してもそれらを全てスイッチさせることはできない。これまでに出力電圧を増加した例としては、二つの磁界制御型ゲートを単に直列接続した構成であった^{53) 54) 55)}。この場合、磁界制御線も2個直列接続する。この構成では、入力信号線のインダクタンスや専有面積がゲート数に比例して増加する。そして動作的には、第一のゲートがスイッチしてバイアス電流が出力の負荷抵抗に流れる去る前に入力電流によって第二のゲートがしきい値を越えなければスイッチしない。したがって、入力信号電流の立上がりは速く、出力電流の立上がりは遅い必要がある。これは、複数のゲートを直列に接続した場合に入力信号線のインダクタンスが増加することと相いれない。この複数のゲートのスイッチのし易さはゲートのしきい値特性のばらつきとも関係している。これらのことから、ジョセフソンメモリのドライバゲートとして用いるには2個以上の直列接続は現実的でないと考えられる。

入力端子のインダクタンスやゲート寸法も小さく、ギャップ電圧以上の出力電圧を発生するドライバゲートが要求される。そのため、直列接続したジョセフソン接合のうちのいずれかの接合をスイッチさせたときに、他をスイッチさせる必要がある。その一つの解が以下に述べる複数のジョセフソン接合を直並列に接続したゲート構造である。

5.3 高電圧ドライバゲートの動作原理

本節では、複数個の直列接続したジョセフソン接合を、同期してスイッチし、複数倍のギャップ電圧を得る事が可能なゲート構造を提案した。出力電圧として、ギャップ電圧の4倍を得ることに成功した⁵⁶⁾。このゲートのシミュレーション結果および実験結果を中心に述べる。

5.3.1 構成と動作原理

図5.1が提案する高電圧ドライバゲートの等価回路である。このゲートは基本的には抵抗と複数個のジョセフソン接合を直並列接続した構成である。単なる直列接続した接合では、プロセスによる臨界電流のばらつきにより全ての接合を同時にスイッチさせるのは困難であった。それは、単なる直列接続接合では臨界電流の低い

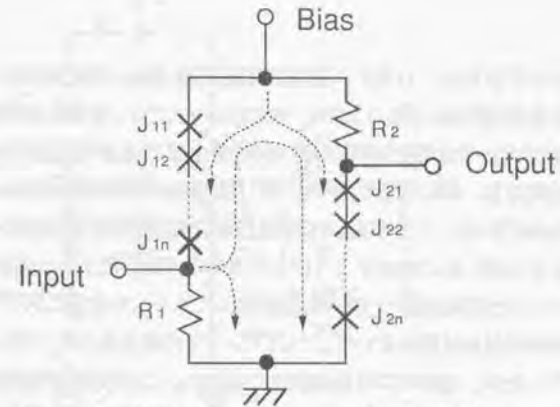


図5.1 高電圧ドライバゲートの等価回路

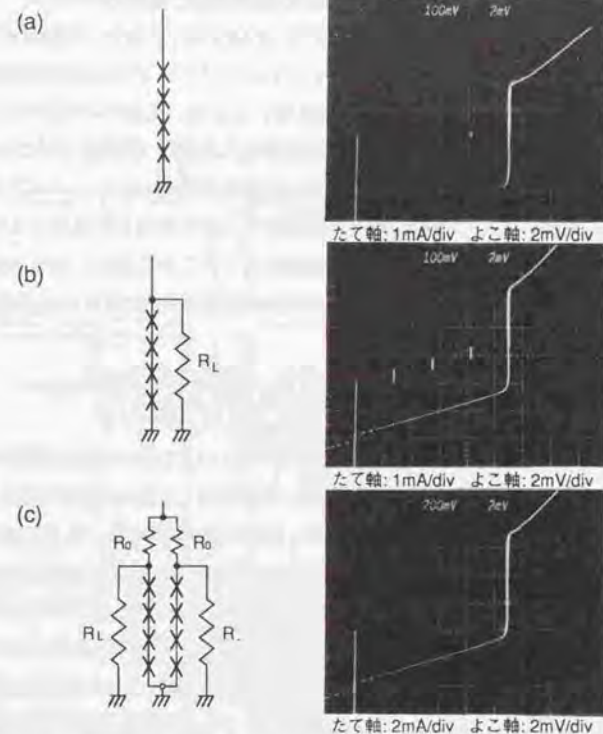


図5.2 3種類の構造の素子の電流 - 電圧特性

接合がスイッチすると、バイアス電流は負荷抵抗に流れて接合を流れる電流が減少してしまうためである。図5.2(a)は、4つのジョセフソン接合を直列接続した素子のI-V特性である。3つの接合は同時にスイッチしているように見える。しかし負荷抵抗を接続すると、図5.2(b)に示すようにどの接合も同時にはスイッチしていないことが明らかになる。ところが、4つの接合を直列接続したものを二つ並列に接続することにより図5.2(c)に示すように全ての接合が同時にスイッチする。図5.2(c)や図5.1に示した構成では、どれかの接合がスイッチした直後においては、バイアス電流は負荷抵抗には流れないで二つのブランチの間でやり取りされ、全ての接合がスイッチした後、最終的には負荷抵抗に流れる。この様な動作原理から、この高電圧ドライバゲートが広い動作マージンで動作するためには左右の接合数が等しく、また全ての接合の臨界電流と左右2つの抵抗を同値に設計する必要がある。

このゲートのしきい値特性は、DCLゲート⁵⁷⁾とほぼ同じであり、電流ゲイン(しきい値特性の傾き)は1であるが、電圧ゲインおよびパワーゲインは直列接続した接合数に等しくなる。バイアス電流は R_1, R_2 を等しくして、左右のブランチに等しく流れるようにする。バイアス電流を流した状態で入力信号(電流)を与えると右側ブランチの接合で最も小さな臨界電流を持った接合がスイッチし、バイアス電流のほとんどは、左側のブランチを流れ、左側のブランチの接合全てをスイッチすると電圧がアンバランスになり、今度は電流は右ブランチに流れ、全ての接合すなわちゲートがスイッチする。この時、出力電圧は接合数 N に比例した出力電圧 NV_g (V_g は接合のギャップ電圧)が得られる。

5.3.2 シミュレーション

この高電圧ゲートの動作を計算機シミュレーションにより確かめた。図5.3は用いた回路モデルおよびパラメータの値である。直列接続した接合数は4であり、配線による浮遊インダクタンスも考慮している。接合の臨界電流は、 I_0 を最も小さな臨界電流とし、そのばらつきを与えるパラメータを B とした。 B を0.04として、直列接続した4つの接合の臨界電流値をそれぞれ、 I_0 (J_{11}, J_{21})、 $(1+B)I_0=1.04I_0$ (J_{12}, J_{22})、 $(1+2B)I_0=1.08I_0$ (J_{13}, J_{23})、 $(1+3B)I_0=1.12I_0$ (J_{14}, J_{24})で与えた。各ブランチの抵抗は、 $R_1=R_2=1.0\Omega$ とした。また、配線による寄生インダクタンスを考慮して、 $L_{11}=L_{21}=4.0\text{pH}$ 、 $L_{12}=L_{22}=0.1\text{pH}$ 、 $L_L=10\text{pH}$ とした。臨界電流 $I_0=$

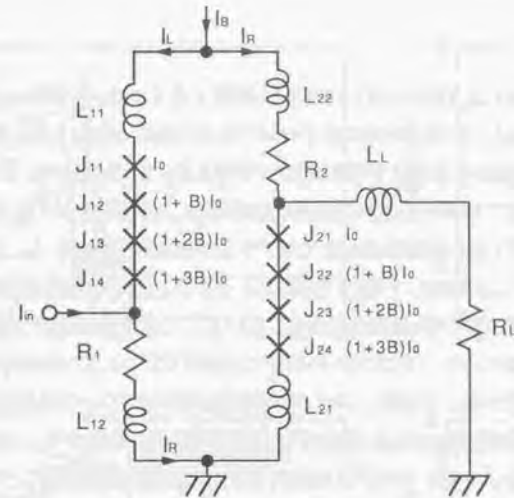


図5.3 シミュレーションに用いた回路モデル

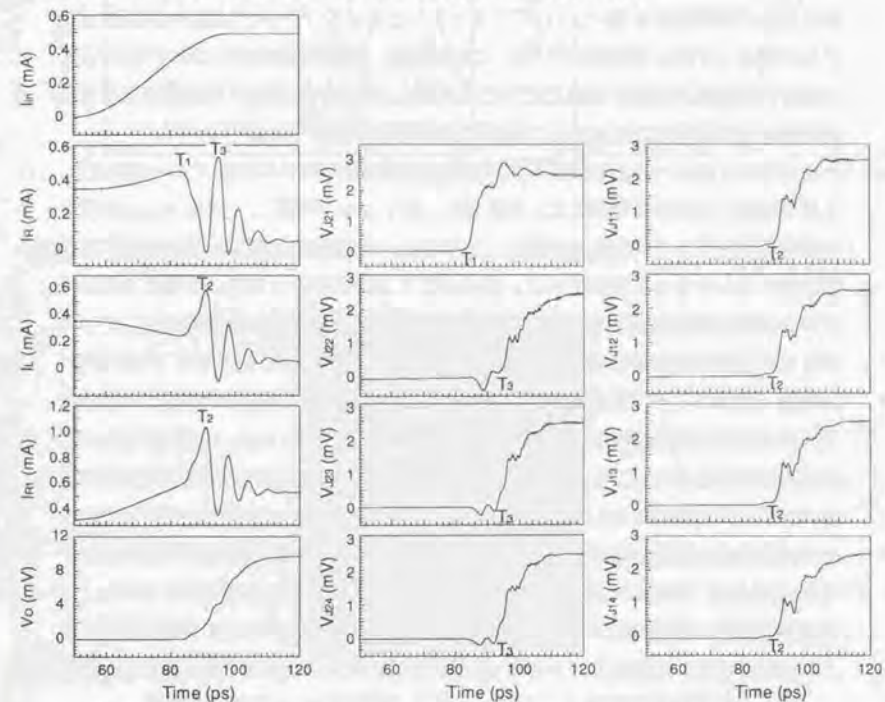


図5.4 高電圧ドライバゲートのシミュレーション結果

0.43mA、負荷抵抗は $R_L=17.3\Omega$ である。バイアス電流 $I_B=0.8\times 2I_0=0.69\text{mA}$ 、入力電流 $I_{1n}=0.6\times 2I_0=0.52\text{mA}$ 、を与えた時のシミュレーション結果を図5.4(a)-(c)に示す。バイアス電流は0psから立ち上がり時間50psで与えた。 $R_1=R_2$ なので、右ブランチに流れる電流 I_R と左ブランチを流れる電流 I_L は等しい。図に示すように入力電流 I_{1n} を与えると、右ブランチの電流が増加(左ブランチの電流は減少)し、最も小さな臨界電流の接合 J_{21} が時間 T_1 で電圧状態にスイッチする。その結果電流は左ブランチに転送され、左ブランチの電流が増加している。この電流は左ブランチの接合の臨界電流より充分大きく、左ブランチの全ての接合($J_{11}\sim J_{14}$)は時間 T_2 で電圧状態にスイッチしている。その後、バイアス電流は再び右ブランチに転送され、右ブランチの残りの接合($J_{22}\sim J_{24}$)をスイッチさせていることが分る。このように、動作原理で述べたように、バイアス電流及び信号電流が2つのブランチ間を遣り取りして、最終的に全ての接合がスイッチしている。電流の遣り取りは往復一回であるので動作速度も速い。 J_{21} がスイッチした後に左ブランチに流れる電流 I_L は、ピーク値として約0.6mA流れている。この電流は、臨界電流のばらつきを考えた時の最も大きな臨界電流0.48mAと比べても大きく、オーバードライブ効果により多数の接合を電圧状態にスイッチしていることが明らかになった。

ここで、このゲートの2つのブランチ間の電流の遣り取りの時間(ゲートの立ち上がり時間)について検討した。図5.5は、(a) $L_{11}=L_{21}=4\text{pH}$ と、(b) $L_{11}=L_{21}=60\text{pH}$ 、の場合の右ブランチに流れる電流 I_R と左ブランチを流れる電流 I_L 、及び出力電圧波形のシミュレーション結果である。明らかにインダクタンスを増加することにより、ブランチ間の電流の遣り取りの時間およびゲートの立ち上がり時間も増加している。ブランチ間の電流の遣り取りの時間は、接合容量と2つのブランチのインダクタンスの和(総ブランチインダクタンス $L_1=L_{11}+L_{12}+L_{21}+L_{22}$)と接合の等価インダクタンスによるLC共振回路の共振周期によって決まると考えられる。接合径 $4.25\mu\text{m}\phi$ のNb/AlOx/Nb接合では、1接合あたりの接合容量は0.85pFである。Cを1個の接合容量の1/8とし、Lは図5.5のシミュレーションで用いた L_1 の値を使用して定常状態でのLC共振周期を計算すると、図5.5(a)の場合($L_1=8.1\text{pH}$)は6ps、図5.5(b)の場合($L_1=120.1\text{pH}$)は22psとなる。この値は、シミュレーション結果における立ち上がりの後半部分の振動周期と良く一致する。このゲートのスイッチング動作で(立ち上がりの前半部)最初にスイッチするのは右ブランチの接合の一つ(図5.5では J_{21})

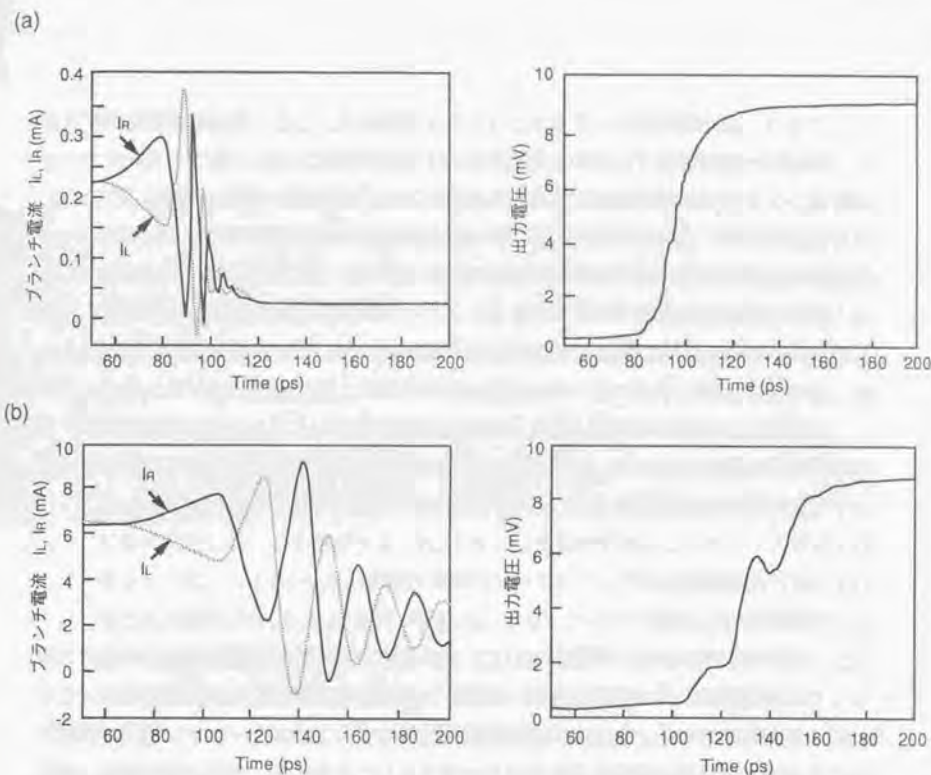


図5.5 高電圧ドライバゲートの動作 (a) $L_{11}=L_{12}=4\text{pH}$, (b) $L_{11}=L_{12}=60\text{pH}$

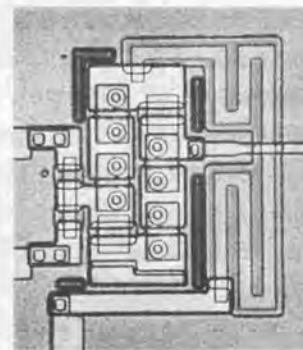


図5.6 試作した高電圧ドライバゲートの顕微鏡写真

であり、他の接合はインダクタンスとして見做せる。この、接合の等価インダクタンスは一接合当たり 0.77pH と見積れる。インダクタンスとして総ブランチインダクタンスと接合の等価インダクタンスを考えると、LC共振の周期は(a)の $L_1=8.1\text{pH}$ に対して 22ps 、(b)の $L_1=120.1\text{pH}$ に対して 65ps である。右ブランチから左ブランチへの電流転送時間は、この周期の $1/2$ にほぼ一致する。続く左ブランチから右ブランチへの電流転送時間を同様に考える。このときのLC共振の周期は、(a)の $L_1=8.1\text{pH}$ に対して 12ps 、(b)の $L_1=120.1\text{pH}$ に対して 44ps となり、この $1/2$ がほぼ転送時間と一致する。このように、ゲートの立ち上がり時間は、接合容量、総ブランチインダクタンスおよび接合の等価インダクタンスで決まるといえる。接合の等価インダクタンスを無視すると、ゲートの立ち上がり時間は総ブランチインダクタンスの平方根に比例すると考えられる。

5.3.3 メモリ回路用ドライバゲートの設計と実験結果

1) 設計

ジョセフソンメモリ回路において、メモリセルは磁界結合線あるいはバイアス線により選択される。このときワードラインおよびビットラインには多数個のメモリセルが接続される。ジョセフソン集積回路ではグラウンドプレーン上に回路が形成されるので、これらのラインはストリップラインとみなせる。ライン幅を $4\mu\text{m}$ 、絶縁膜(SiO_2)の厚みを 400nm とすると、その特性インピーダンスは 18Ω になる。

高速に信号を伝えるために終端抵抗(ゲートの負荷抵抗)をこれと同値に選び、インピーダンス整合をとることが望ましい。我々が設計したキャパシタンス結合メモリセルにおいて、ワードラインおよびビットラインに必要なドライブ電流は約 0.5mA であり、インピーダンス整合を考えた時に必要なドライブ電圧は約 10mV になる。 $\text{Nb}/\text{AlOx}/\text{Nb}$ 接合のギャップ電圧は約 3mV であり、無反射で流せる電流はゲートの出力電圧 V_0 をストリップラインのインピーダンス Z_0 で割った値であり、約 0.15mA である。従って、ビットライン及びワードラインに必要な 0.5mA を流すためにはギャップ電圧の4倍程度が必要となる。そのため、4倍の出力電圧を発生する高電圧ゲートを設計した。

2) 実験結果

今回、キャパシタンス結合メモリセルのドライバゲートとして用いるために、出力 $4V_0$ の高電圧ゲートを設計した。設計、作製した高電圧ドライバゲートの顕微鏡写真を図5.6に示す。ゲート寸法は、 $68\mu\text{m}\times 83\mu\text{m}$ であり、ANDゲートおよびメモリセルと同ピッチ($83\mu\text{m}$)である。臨界電流密度は $3000\text{A}/\text{cm}^2$ として、臨界電流は 0.56mA 、各ブランチの抵抗は共に 1.0Ω 、負荷抵抗は 20Ω に設計した。作製した高電圧ゲートのI-V特性としきい値特性を、図5.7に示す。I-V特性から明らかなように、全ての接合が同時にスイッチし、4倍の電圧(約 12mV)が得られている。接合径は $4.25\mu\text{m}$ である。しきい値特性の傾き(即ち電流ゲイン)は1である。

次に、図5.8に示す64個の容量結合型メモリセルをドライブするテスト回路を作製し、その終端での電圧波形の観測および電流の立ち上がり波形を直流サンプリング法で測定した。その結果を図5.9に示す。最大値の80%以上のバイアス電流ではギャップ電圧 V_0 の4倍の出力が得られた(図5.9(a))。バイアス電流を70%に下げると出力電圧は $4V_0$ と $3V_0$ の両方が現れた。さらにバイアス電流を60%に下げると、出力電圧は $2V_0$ と V_0 となった(図5.9(b))。これは、バイアス電流を下げたことにより、I-V特性上の負荷線が下がり、動作点での電圧が減少したことによる。ここで観測した電圧波形の立ち上がり時間は測定器具で制限されており、回路内の負荷抵抗の電圧波形とは異なっている。正しい立ち上がり時間を調べるために、この負荷抵抗を流れる出力電流を直流のサンプリング法で測定した結果が図5.9(b)である。サンプリングゲートには2接合SQUIDを用いている。作製した素子の負荷抵抗値は約 16Ω であり、この値と出力電流の積は出力電圧となる。約 0.5mA の電流が約 60ps で立ち上がっており、高電圧ドライバゲートの高い駆動能力が確かめられた。

5.4 高電圧ドライバゲートの素子パラメータと動作マージン・動作速度

高電圧ドライバゲートを最適設計するためには、素子パラメータと動作マージン・動作速度等の関係を詳細に調べる必要がある。そこで、素子パラメータとこれらの関係をシミュレーションおよび実験により調べた。シミュレーションに用いた回路モデルは図5.3に示した $4V_0$ ゲートである。ただし、臨界電流のばらつきを与える係数 B は $\text{Nb}/\text{AlOx}/\text{Nb}$ 接合作製技術を考慮して $B=0.02$ とした。したがって、直列接続した4つの接合の臨界電流は、 I_0 、 $1.02I_0$ 、 $1.04I_0$ 、 $1.06I_0$ とした。

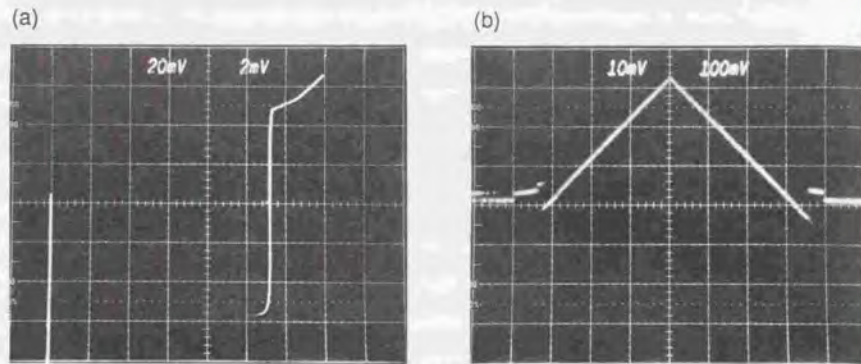


図5.7 試作した高電圧ドライバゲートの
(a) I-V特性 (たて軸: 0.2mA/div, よこ軸: 2mV/div)、
(b) しきい値特性 (たて軸: 0.1mA/div, よこ軸: 0.1mA/div)

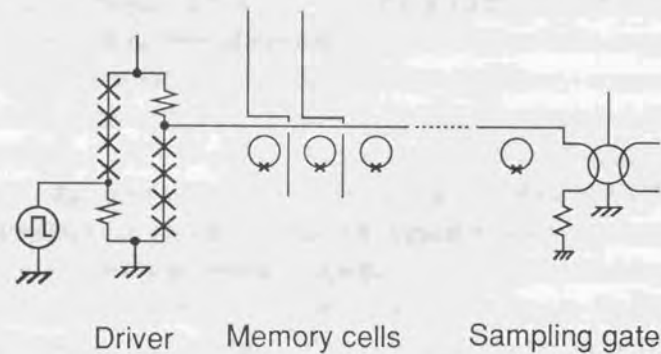


図5.8 高電圧ドライバゲートによるメモリセルアレイの駆動実験回路

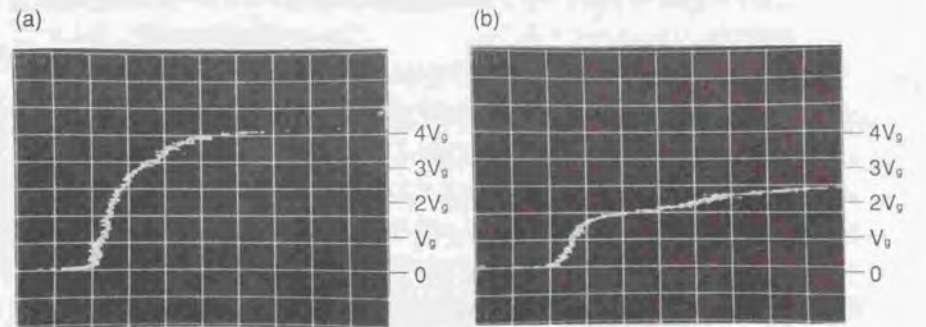


図5.9 直流サンプリング法で測定した試験回路の出力電流波形
(a) 80%バイアス、(b) 60%バイアス
(たて軸: 0.1mA/div, よこ軸: 30ps/div)

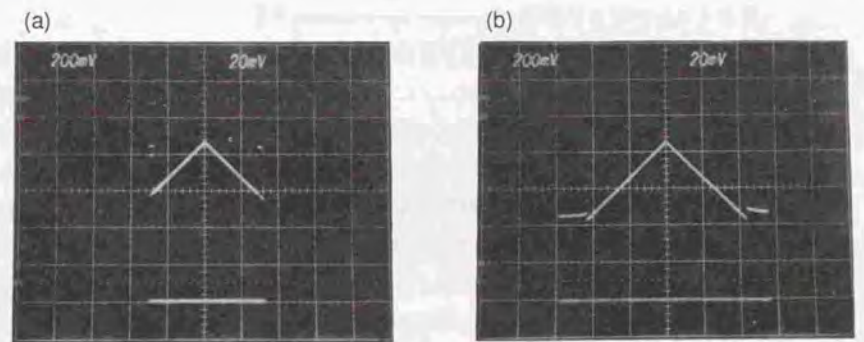


図5.10 負荷抵抗の違いによるしきい値特性の違い
(a) $R_L=25\Omega$, (b) $R_L=\infty$
(たて軸: 0.2mA/div, よこ軸: 0.2mA/div)

5.4.1 負荷抵抗値

このゲートのバイアスマージンと負荷抵抗値の関係をシミュレーションと実験により調べた。

1) 実験結果

高電圧ドライバゲートのバイアスマージンは負荷抵抗値に依存すると考えられるので、負荷抵抗付の $4V_g$ ゲートを作製した。負荷抵抗 R_L は設計値で 50Ω のものを並列に2つ設け、作製後それぞれをレーザーでカットできるようにした。接合寸法は $4.25\mu\text{m}\phi$ 、 R_1 、 R_2 は共に 1Ω である。

作製したゲートのしきい値特性を測定した結果を図5.10に示す。(a)は負荷抵抗値は 25Ω 、(b)は無負荷のときの特性である。ここでしきい値特性はギャップ電圧の3~4倍($4V_g$)の電圧が発生したときの特性であり、負荷抵抗値が小さいほどバイアス電流に対する動作範囲が小さい。さらに、作製した素子を 180°C で30分アニールして相対的な負荷抵抗条件を変え負荷特性を調べた。この場合、スイッチした後の動作点は $4V_g$ 以下となり、もはや全ての接合はスイッチしなかった。これらの結果を纏めたのが図5.11である。図中の黒丸印(●)は $4V_g$ の出力を発生できるバイアス電流の最小値と負荷抵抗の関係(両方とも規格化して示している)である。

2) シミュレーション結果

次に、シミュレーションにより負荷特性を調べた。二つのブランチのそれぞれ4つの接合のばらつきを I_0 、 $1.02I_0$ 、 $1.04I_0$ 、 $1.06I_0$ と与えた。臨界電流 I_0 は 0.43mA であり、トータルのばらつきは約 $\pm 3\%$ になる。負荷抵抗値を変化させたとき、ドライバの全ての接合がスイッチするバイアス範囲を求めた結果を実験結果と同じ図5.11に示した。図中の点線は、理想的な接合のI-V特性に対する負荷特性から定電圧領域($4V_g$)で出力を得るための動作範囲を示している。直線の内側ではギャップ電圧の4倍の出力電圧($4V_g$)が得られる。図中の実線がシミュレーションでの結果である。接合が全てスイッチする動作範囲 $(I_m - I_{Bmin})/I_m$ は、負荷抵抗を小さくするとともに減少するが、その割合は小さい。ここで $I_m (=2I_0)$ はバイアス電流の上限値、 I_{Bmin} は接合全てがスイッチするバイアス電流の下限値である。シミュレーション結果と実験値の一致は良い。シミュレーションの結果から、出力電圧 $4V_g$ を発生するのに最適な負荷抵抗を選んだ場合のバイアス電流範囲は $0.36I_m$ であるこ

とが分かった。このときのバイアスマージンは $\pm 22\%$ である。

5.4.2 ブランチ抵抗値

次に、ブランチ抵抗(R_1 、 R_2)に対してバイアスマージンとターンオン時間(ゲートがスイッチし始める時間)がどう影響するかをシミュレーションにより調べた。図5.12にバイアス電流の最大値 $I_m (=2I_0)$ で規格化したバイアス電流の許容範囲 Δi_B のブランチ抵抗依存性を示す。バイアスマージンは、 $\Delta i_B / (2 - \Delta i_B)$ で計算できる。図中白抜き丸印(○印)はゲートがスイッチした点、クロス印(×印)はスイッチしなかった点を示す。図からブランチ抵抗を小さくするほど、バイアスマージンは大きくなる結果が得られた。その原因を検討した結果、次のことが分かった。高電圧ドライバゲートのスイッチング過程における二つのブランチ間の電流の遣り取りの際、電流の一部は負荷抵抗に分流する。その割合は、負荷抵抗側のインピーダンスと電流が転送する側のインピーダンスの逆数の比で決まる。したがって、ブランチの抵抗が小さいほうが、負荷抵抗側に漏れる電流は少ない。

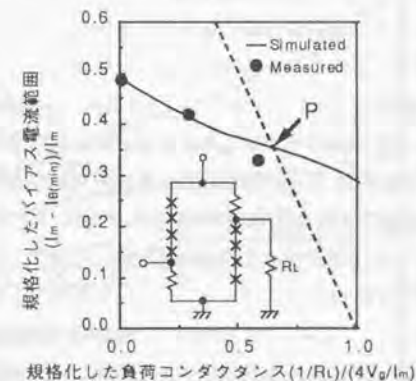


図5.11 高電圧ドライバゲートの負荷特性

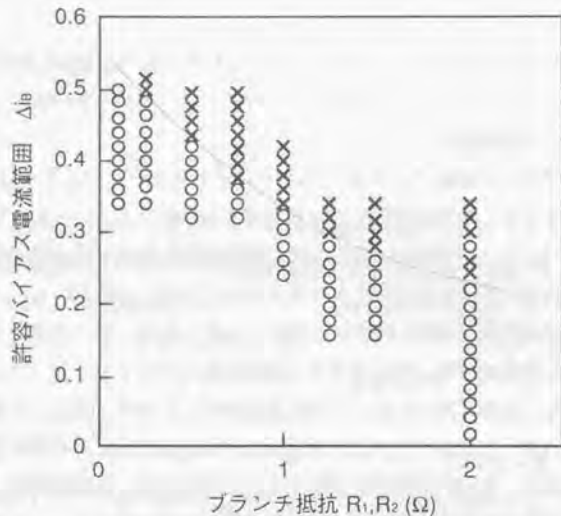


図5.12 ブランチ抵抗(R1,R2)と許容バイアス電流範囲の関係

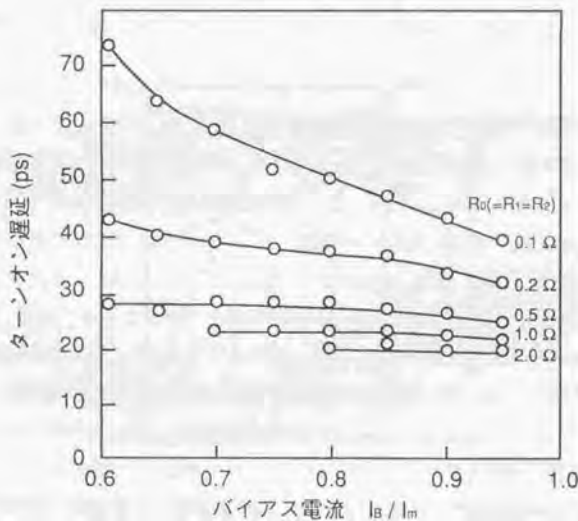


図5.13 ブランチ抵抗(R1,R2)、バイアス電流とターンオン時間の関係

しかし、むやみにブランチ抵抗を小さくすると他に問題が生じることが分った。それは、ゲートがスイッチする時のターンオン遅延が増加することである。図5.13はターンオン遅延に対する、 I_m で規格化したバイアス電流 $i_b (=I_b/I_m)$ とブランチ抵抗の関係を示したものである。ブランチ抵抗を 0.1Ω と小さくすると、ターンオン遅延はバイアス電流の上限でも約 40ps と大きくなる。またバイアス電流依存性が強くなり 60% バイアスでは 70ps 以上にもなってしまふ。ブランチ抵抗を小さくするとターンオン遅延が増加する原因は以下の様に説明できる。入力電流は最初インピーダンスの低い R_1 へのパスに流れてしまい、多くの接合やインダクタンスを含む R_2 側には流れない。 R_2 側に入力電流が流れてはじめてゲートはスイッチ仕始めるので、 R_1 を小さくするとターンオン遅延が増加する。

したがって、バイアス電流の動作マージンとターンオン遅延の兼ね合いでブランチ抵抗が決まる。バイアス電流の動作マージンはブランチ抵抗の増加と共にほぼ直線的に減少している。一方、ターンオン遅延はブランチ抵抗を 0.5Ω 以下にすると急激に増加する。ターンオン遅延の増加を適度に抑え、バイアスマージン $\pm 20\%$ 程度を確保すると考えると、ブランチ抵抗は 0.5Ω から 1Ω 程度が適切である。

5.4.3 ブランチインダクタンスと臨界電流のばらつき

高電圧ドライバゲートのように複数の接合を同時にスイッチさせる動作では、接合の臨界電流のばらつきがどれくらい許容されるかは、実用上重要である。図5.14(a)は臨界電流のばらつきを与えるパラメータ B (5.3.2節参照)とバイアス電流の許容範囲の関係をシミュレーションにより調べた結果である。ブランチインダクタンス、抵抗など他のパラメータは5.2.2節で示した標準値である。臨界電流のばらつき B の増加とともにバイアス電流の動作範囲は徐々に減少し、 $B=0.07\sim 0.08$ で動作しなくなる。この値は、臨界電流のばらつきで考えると $\pm 10\%$ 以上になり、かなり大きな値であると言える。このシミュレーションでは左右のブランチインダクタンスは共に設計の際の標準値 4.1pH を用いている。

この臨界電流のばらつきの効果を実際に素子を作製して測定した。左右ブランチのそれぞれの接合径を微妙に変えた。4つの接合径を、 $4.25\mu\text{m}\phi$ 、 $(4.25-\Delta D)\phi$ 、 $(4.25+2\cdot\Delta D)\phi$ 、 $(4.25+3\cdot\Delta D)\phi$ として、 $\Delta D=0.05, 0.10, 0.15, 0.20\mu\text{m}$ の4種類のゲートを作製し、バイアス電流の動作範囲を測定した。その結果を、図5.14(a)

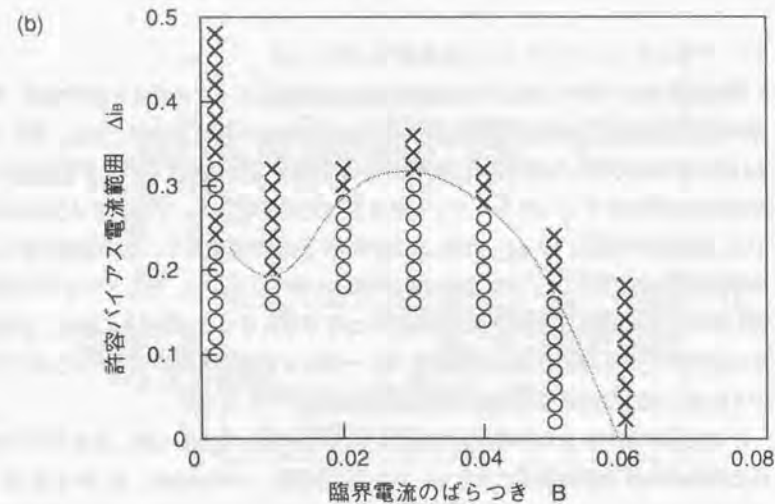
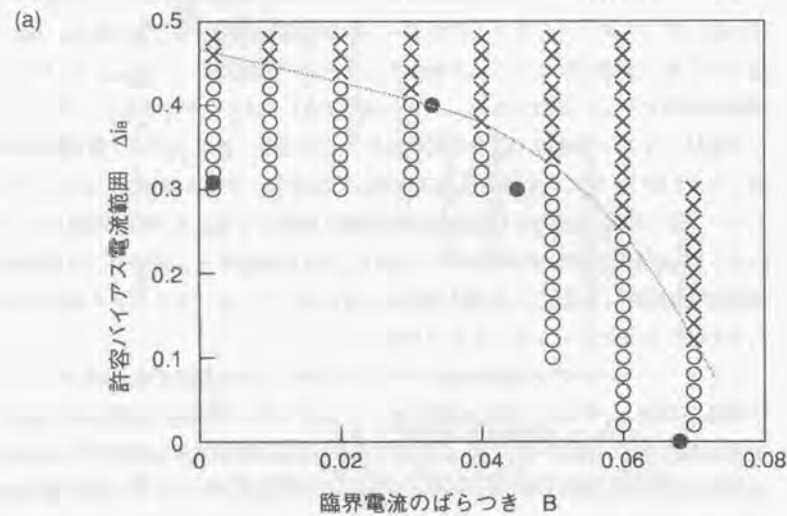


図5.14 臨界電流のばらつきと許容バイアス電流範囲の関係
 (a) $L_{11}=L_{21}=4.0$ pH, $L_{12}=L_{22}=0.1$ pH, (b) $L_{11}=L_{21}=0$ pH, $L_{12}=L_{22}=0.1$ pH

に黒丸印 (●) で示す。実験結果は、シミュレーションの結果と良く一致した。実験では、もともと接合間で寸法などのばらつきがあり、同寸法の接合ですら臨界電流値のばらつきがあるはずである。しかし、高電圧ドライバゲートのように、ごく近傍にある接合間のばらつきは、かなり小さいと考えられる。

図5.14 (a) に示したシミュレーションは、左右2つのブランチのインダクタンスを標準の値 4.1 pH ($L_{11}=L_{21}=4.0$ pH, $L_{12}=L_{22}=0.1$ pH) としている。この値はゲートを実際に設計した場合には、妥当な値である。提案した高電圧ドライバゲートの動作において、ブランチインダクタンスは重要な働きをしている。図5.14 (b) は、ブランチインダクタンスを極端に小さく 0.1 pH ($L_{11}=L_{21}=0$ pH, $L_{12}=L_{22}=0.1$ pH) としたときの臨界電流のばらつきのパラメータ B とバイアス電流の動作範囲の関係をシミュレーションにより求めた結果である。図5.14 (a) の結果に比べてバイアス電流の動作範囲が狭い。特に臨界電流のばらつきが小さいときに動作範囲が狭い。

5.2.2節で述べたように左右のブランチ間の電流の遣り取りの時間は、接合容量と二つのブランチの総ブランチインダクタンスおよび接合の等価インダクタンスによるLC共振回路の共振の周期で決まると考えられる。ブランチインダクタンスがほぼ 0 pH では、LC共振の周期は極端に短くなり、接合の応答時間と同等あるいはそれより短くなってしまふ。事実、シミュレーションで得られる両ブランチを流れる電流の振動周期は短く、二つのブランチ間で非常に激しい電流の遣り取りが起る。このような場合には、ゲートを構成している接合のスイッチング動作は接合の位相と振動波形の位相関係により複雑になるので不安定性を生じ、このような結果になったと考えられる。接合の応答時間はジョセフソンのプラズマ振動の周期と関係しているため、LC共振の周期がこれと同等あるいは大きくなるように設計すれば良いと考えられる。しかし、限られたパターンルール (たとえば最小接合寸法が $2.5 \mu\text{m}$ のルール) でゲートのレイアウト設計を行うと、各ブランチの寄生のインダクタンスの値は 4 pH 程度になる。したがって、このようなブランチインダクタンスが小さすぎるという問題は実際の素子では起らないと考えられる。

5.4.4 その他のパラメータ

シミュレーションでは、高電圧ドライバゲートと負荷抵抗の間に配線によるインダクタンスとして 10 pH の負荷インダクタンスを接続した。この、ゲートの動作の基

本原理は2つのブランチ間の電流の遣り取りであり、全ての接合がスイッチし終えるまでは、他に電流が漏れないことが望ましい。出力電流をとりだすために負荷抵抗を接続すると、電流の遣り取りの際に電流の一部が漏れる。定量的な評価はしなかったが、それを低減するために負荷インダクタンスの接続は効果がある。実際の素子では、出力の配線の一部のグランドプレーンに穴を開け、その特性インピーダンスを上げる（負荷インダクタンスを大きくする）ことができる。実験的にも、出力線の一部にグランドプレーンに穴を開けた場合のほうが開けない場合の動作マージンより広いことが確かめられた。

5.5 むすび

ジョセフソン集積回路の特徴の一つは、素子インピーダンスが低いのでゲート間はインピーダンス整合したストリップラインで配線でき、高速の信号伝達が可能な事である。しかし、通常のジョセフソンゲートの出力電圧はギャップ電圧で決まる約3mVと低いために、配線のインピーダンスが高いと無反射で流せる電流値の上限が制限されてしまう。メモリセルのビット線およびワード線には多数のメモリセルが接続されるので高速に信号を伝えるためには負荷駆動能力の大きな（出力電圧の大きな）ドライバゲートが必要である。これらの要求に答えるために新たなアイデアによる高電圧ドライバゲートを提案し、その設計を行った。

作製した高電圧ドライバゲートでギャップ電圧の4倍の出力電圧が得られることが実験的に確かめられた。ギャップ電圧の複数倍の出力電圧を得るドライバの実証は初めてである。その成功理由として、今回提案したゲートが目的とする複数個の接合をスイッチさせるのに適した構造であることによると考えられる。本章ではこの高電圧ゲートの特性、設計方法についても詳細に述べた。この新しいアイデアのゲートは、8.2.1節や8.3.1節に述べるようにジョセフソン集積回路の電源回路におけるレギュレータやギャップ電圧の100倍程度の出力電圧（約300mV）を得て、半導体デバイスとのインターフェイスへの応用も可能である。

第6章 集積回路作製プロセスおよび測定技術

6.1 はじめに

本論文で述べたテスト回路は、①鉛合金接合プロセスと^{9) 10) 11)}、②Nb/A10x/Nb接合を用いたプロセスにより作製した。Nb/A10x/Nb接合では、鉛合金接合で問題となった熱サイクルでの劣化や経時変化もなく、また、リーク電流の少ない優れた特性の接合を再現性良く作製することができるようになった^{12) 58)}。その結果、ジョセフソン集積回路技術が飛躍的に向上した。本章の前半では、このNb/A10x/Nb接合を中心に、抵抗、絶縁層の形成⁵⁹⁾等を含むNb接合作製プロセスを述べる。また、集積回路チップを作製する過程で生じた問題点およびその解決法についても述べる。

また後半では、メモリ回路の研究に用いた測定技術として、まず、簡便にジョセフソン集積回路内の信号波形を観測できる直流サンプリング法や新たに提案した超伝導ループの電流測定法、そして回路測定に用いた専用の治具およびパッケージに関して述べる。

6.2 Nb系ジョセフソン集積回路作製プロセス

図6.1にジョセフソン集積回路の断面図を示す。基板は、表面の平坦性や熱伝導率が良く、また取扱の容易さからSiウエハー（2インチ径、厚み約400 μ m）を用いた。Nb/A10x/Nb接合を用いた作製プロセスは成熟化しつつある。ここでは、標準的な作製プロセスを簡単に記載し、容量結合型メモリセルで用いたキャパシタの作製方法と、集積回路作製時に起った問題点とその解決方法についても述べる。

6.2.1 作製工程

以下のような工程で素子作製を行った。マスク層数は10、このうち2層はキャパシタ作製のためのものである。各工程における薄膜形成条件やエッチング条件については表6.1に纏めた。

1) グランドプレーン

基板（Si）表面の吸着物や酸化膜等の汚染物を除き、密着性を高めるためにArでスパッタクリーニングを行った後、Nbを全面にスパッタにより成膜する。この層は集積回路下のほぼ全面に敷かれ、超伝導配線（ストリップライン）の接地面として

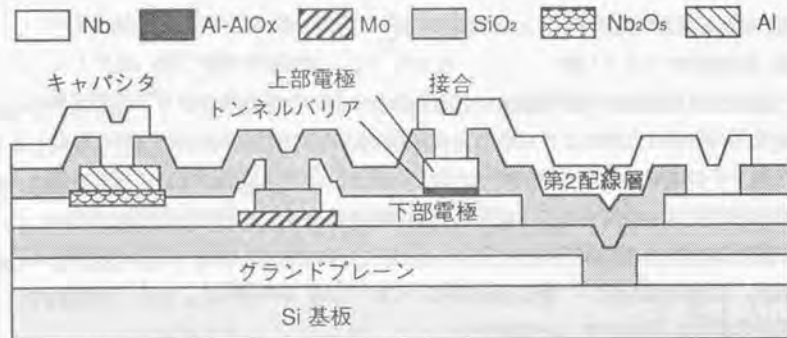


図6.1 ジョセフソン集積回路の断面構造図

表6.1 ジョセフソン集積回路の作製プロセス

No.	レイヤー名	材料	厚み (nm)	成膜条件 (Pa, nm/min)	パターン加工条件	
1	グラウンドプレーン	Nb	250	DC マグネトロンスパッタ (2.3, 200)	RIE (CF ₄ +30%O ₂)	
2	絶縁層 (I ₁)	SiO ₂	300	RF マグネトロンスパッタ (1.3, 8)	RIE (CHF ₃ +20%O ₂)	
3	抵抗膜	Mo	100	RF マグネトロンスパッタ (0.67, 130)	RIE (CF ₄ +5%O ₂)	
4	抵抗保護層	SiO _x	200	抵抗加熱蒸着	リフトオフ	
5	JJ	下部電極	Nb	200	DC マグネトロンスパッタ (1.3, 200)	RIE (CF ₄ +15%O ₂)
		バリア	Al-AIOx	5	DC マグネトロンスパッタ (1.3, 8)	スパッタエッチ (Ar)
		上部電極	Nb	80	DC マグネトロンスパッタ (1.3, 200)	RIE (CF ₄ +5%O ₂)
6	C	誘電体	Nb ₂ O ₅	33	陽極酸化	陽極酸化
		電極	Al	100	抵抗加熱蒸着	リフトオフ
7	絶縁層 (I ₂)	SiO ₂	400	RF マグネトロンスパッタ (1.3, 8)	RIE (CHF ₃ +20%O ₂)	
8	第2配線層 (WR)	Nb	800	DC マグネトロンスパッタ (1.3, 200)	RIE (CF ₄ +5%O ₂)	

はたらく。また、一部に穴をあけ、磁束のトラップを低減するためのモートを形成する。そのためのパターンを形成後RIEで加工する

2) 絶縁層 (I₁層)

SiO₂膜をスパッタにより成膜する。パターン形成後、RIEで加工する。

3) 抵抗層

Moをスパッタにより成膜する。パターン形成後、RIEで加工する。

4) 抵抗保護層

パターン形成後、SiOを蒸着により成膜し、リフトオフ法により所定のパターンを得る。

5) ジョセフソン接合層 (Nb/AlOx/Nb接合層)

①下部電極のNb、②接合のバリアとなるAlOx/Al、③上部電極のNb、の順序で真空を破らずに連続的にスパッタにより成膜する。この際、②の接合のバリアとなるAlOxは成膜したAlの表面を真空装置内に酸素を導入し、酸化 (45分~60分) することにより形成する。導入ガスは (Ar+10%O₂) であり、圧力0.8~1.0Torrで臨界電流密度2000~3000A/cm²が得られる。

6) キャパシタの誘電体層 (Nb₂O₅)

パターンを形成後、選択的に下部電極の表面を電解液中 (硼酸アンモニウム:エチレングリコール:水=156g:1124ml:760ml) で陽極酸化する (酸化電圧15V、最大電流10mA)。

7) キャパシタの電極 (Al)

キャパシタンスの電極パターンを形成後、Alを蒸着により成膜し、リフトオフ法により所定のパターンを得る。

8) 絶縁層 (I₂層)

SiO₂膜をスパッタにより成膜する。接合のコンタクト穴等のパターン形成後、RIEで加工する。

9) 第2配線層 (WR層)

Nb膜をスパッタによりやや厚めに成膜する。磁界制御線や第2配線層等のパターン形成後、RIEで加工する。また、この層で外部電極取り出し用の電極パッドを形

成する。

6.2.2 キャパシタの作製

キャパシタの誘電体としては誘電率が28と比較的大きなNbの陽極酸化膜 (Nb_2O_5) を用いた。キャパシタの作製は、まず標準プロセスで上部電極と AlO_2/Al バリアの加工が終了したウェハを、パターニングした後、下部電極の表面を部分的に陽極酸化した。酸化膜の厚みは陽極酸化電圧に比例する (2.2nm/V)。ここでは、15Vで酸化したので、33nmの厚みに相当する。次に、キャパシタとなる部分のパターニングをした後にキャパシタ電極となるAlを蒸着し、リフトオフ法により所望のパターンを得た。最後に、標準プロセスの絶縁層と第2配線層の工程を用いて、キャパシタ電極ともう一方の電極となる下部電極にコンタクトをとった。この工程で、Alのキャパシタ電極の表面はArによりスパッタクリーニングされるので、そのエッチング速度を考慮して100nm蒸着した。試験的にAl電極のないものも作製したが、このキャパシタはショートであり、この電極の必要性が確かめられた。

テスト素子として、 $100 \times 100 \mu\text{m}$ と $100 \times 200 \mu\text{m}$ の寸法のキャパシタを作製し、静電容量と絶縁抵抗を測定した。2種類の素子の測定値は、

キャパシタの寸法	4.2Kでの容量 (抵抗)	室温での容量 (抵抗)
① ($100 \times 100 \mu\text{m}$)	68pF (>100K Ω)	142~196pF (1~26K Ω)
② ($100 \times 200 \mu\text{m}$)	138pF (>100K Ω)	275pF (1.3K Ω)

であった。室温での静電容量と抵抗のばらつきは大きかったが、4.2Kに冷却すると静電容量は面積に比例し、絶縁抵抗は全て100K Ω 以上で良い絶縁性を示した。また、4.2Kでの耐圧は図6.2に示すように約6Vあり実用上充分大きな値であった。単位面積当たりの静電容量 (4.2K) は、 $0.0069\text{pF}/\mu\text{m}^2$ である。陽極酸化電圧から予想した Nb_2O_5 の厚みから計算した比誘電率 ϵ_r は26となり、文献値とほぼ一致した。以上述べたように、ここで採用したプロセスにより良好な特性のキャパシタが得られた。

6.3.3 作製工程での問題点と対策

Nb/ AlO_x /Nb接合を用いた作製プロセスを用いて、まず、メモリセルや周辺回路など小規模な回路を作製しその特性や性能を評価してきた。このような小規模な回路

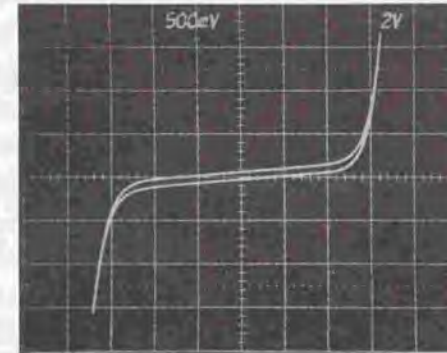


図6.2 試作したキャパシタの4.2KでのI-V特性
($100 \times 200 \mu\text{m}$ の素子、たて軸: 0.05mA/div, よこ軸: 2V/div)

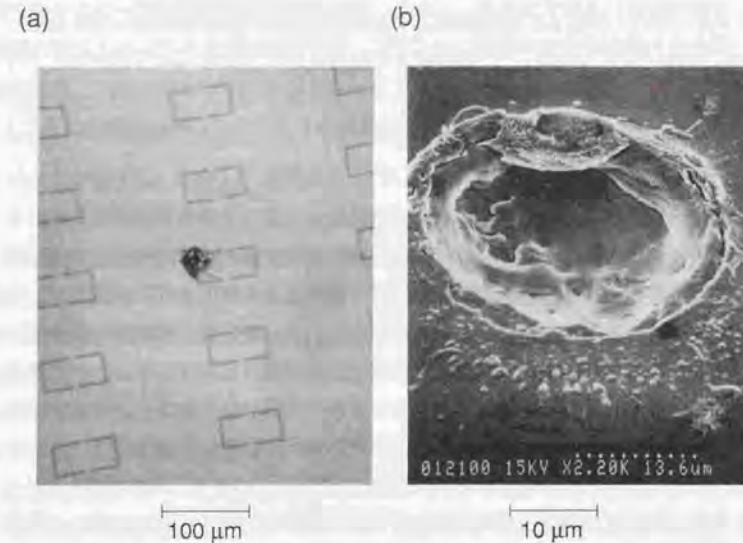


図6.3 スパッタクリーニング工程で生じた欠陥の(a)顕微鏡, (b)SEM写真

ではチップの一部の欠陥はさほど問題ではなかったが、4Kメモリ程度の規模になるとこれを無視できなくなった。その欠陥の原因を調べ、対策を施すことにより性能評価できるチップが得られた。ここでは、主に4Kメモリを作製する過程で解決できた2つの問題点について述べる。

1) 陽極酸化工程での抵抗層のエッチング問題

6.2.2節で述べたように、現在、陽極酸化工程では、フォトレジストでパターンを形成し、選択的に陽極酸化を行っている。本研究でキャパシタを作製し始めた時点では、第2配線層とその下部との絶縁性を向上させるために、上部電極と AlO_2/Al バリアを加工後、全面陽極酸化していた。このプロセスでは、抵抗層または抵抗保護層に剥がれとみえる欠陥が時々生じていたが、どの工程で生じたのかも特定できていなかった。詳しくその原因を追求した結果、剥がれてはならず、陽極酸化工程で抵抗材料であるMoが電解エッチングされていることが分った。Moは電解液に浸しただけではエッチングされないが、電圧を加えると100nm厚のMo膜は数10秒で融けてしまう。通常の作製プロセスでの陽極酸化工程では、抵抗表面は下部電極であるNbで覆われているはずである。しかし、抵抗保護層や抵抗層パターンエッジでのバリがあると表面を完全には覆いつくせず、電解液がしみ込んでいたことが欠陥が時々生じる原因であった。現在のプロセスのように抵抗層の上部を避け、必要な箇所（キャパシタを形成する部分と第2配線層の下部部分）のみ陽極酸化することにより、この欠陥は解消できた。

2) スパッタクリーニング工程での問題

チップ上の他の欠陥として、図6.3(a)に示す欠陥が時々見られた。SEMによりこの部分を拡大して見ると図6.3(b)のように、まるで月のクレータのような欠陥であった。この欠陥が現われる工程を追求した結果、抵抗層の形成後であることが分った。さらに詳しく調べた結果、抵抗層形成前のスパッタクリーニング時に起ることが判明した。抵抗層形成前のスパッタクリーニングは、標準でArガス圧:5mTorr、カソード電圧:200V (rfパワー:100W) で3分間であった。試験的にSiウエハの全面に SiO_2 をスパッタしたサンプルをArガス圧:5mTorrでカソード電圧を変えて(50V, 100V, 150V, 200Vの4種類) 10分間スパッタクリーニングした。通常のクリーニング時間に比べて長く行ったので、カソード電圧200Vでは多数の欠陥を生じた。カソー

ド電圧が100V以下のサンプルでは、特に欠陥は見つからなかった。従来、各工程でMo、Nb、 SiO_2 等を成膜する際、下地との密着性を高めるためにArによるスパッタクリーニングを行っていた。クリーニング条件は、第2配線層を成膜する前の条件とさほど変わらない。それにも拘らず、抵抗層形成前でのみ起るのには原因があった。抵抗層形成前のウエハはスパッタクリーニングの試験に用いたサンプルと同様、全面が SiO_2 で覆われている。このような状態ではカソード電圧が高い場合に SiO_2 が絶縁破壊し、これが欠陥の原因であった。カソード電圧を100V以下に下げることにより、この欠陥を無くせることが確かめられた。下地との密着性を向上させる方法として O_2 によるアッシングがある。この場合には、カソード電圧を200Vにして10分間処理しても問題がなかった。そこでArでのスパッタクリーニングを止め、 O_2 によるアッシングに変更(カソード電圧も100V以下に下げた)した結果、この問題は解決した。

6.3 測定技術

6.3.1 直流サンプリング法

ジョセフソン素子を用いたサンプリングには2種類ある。その一つは、S. M. Farisによって提案されたジョセフソンサンプリング法⁶⁰⁾、他は、H. H. Zappeによって提案された直流サンプリング法である⁶¹⁾。前者は、パルス波形上にジョセフソン素子で発生した非常に時間幅の短いパルスを用いて任意の波形を時間精度よく測定することが出来る。しかし、測定チップ内にパルス発生器やサンプリングゲートを作り込みにする必要があり、厄介さを伴う。一方後者の場合、サンプリングゲート(磁界結合線を2本有するのジョセフソン素子)を被測定チップ内に一つ設けるだけで良く、簡便な測定法である。しかし、測定波形としては単調に増加あるいは減少する場合だけ観測が可能である。この方法は、波形の立ち上がりか立ち下りのどちらかだけの波形の測定が可能であり、振動波形など複雑な波形観測はできない。本報告で示しているような、回路のスイッチング波形の観測や、遅延時間の測定などの測定では単調に増加する立ち上がり波形を観測できれば充分である。

図6.4に直流サンプリング法のブロック図を示す。被測定回路(DUT)はパルス発生器からの入力信号により動作が開始する。DUT内の観測する信号電流 $I_x(t)$ をサンプリングゲート J_{sp} の一方の磁界制御線に与え、他方の制御線には直流電流 I_{DC} を与

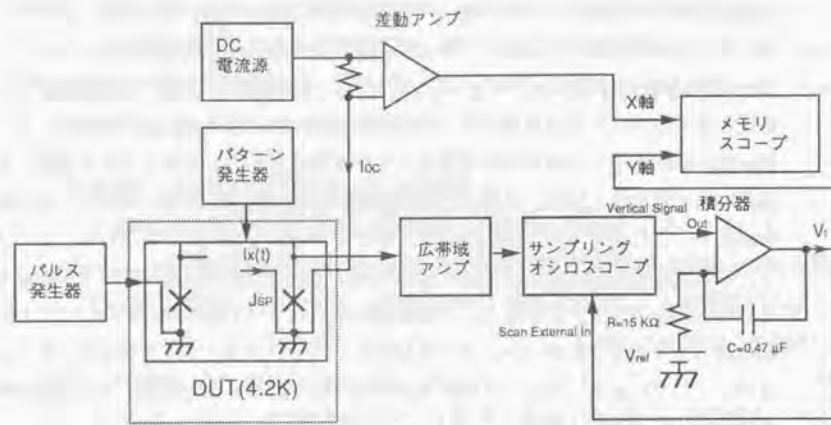


図6.4 直流サンプリング法の測定回路のブロック図

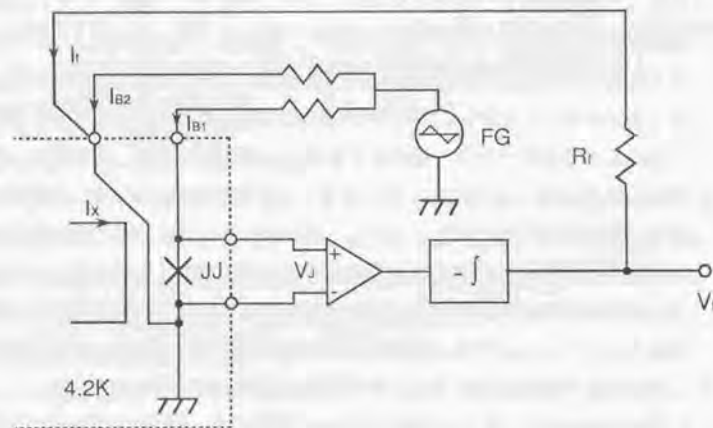


図6.5 超伝導電流測定法のブロック図

える。 J_{SP} の出力電圧波形は増幅後サンプリングオシロで観測する。水平軸を内部掃引から外部掃引に切り換えることにより図のようなフィードバックループが形成される。サンプリングオシロの垂直出力 (Vertical signal out) は直流の基準電圧 V_{ref} とで差動増幅され、外部掃引端子にフィードバックされる。たとえば、 V_{ref} をサンプリングゲートの50%の立上がり部分に相当する電圧 $V_{0.5}$ に設定すると、外部掃引端子には、サンプリングゲートが50%立上がった時間に対応する電圧 V_t が出力されている。サンプリングゲートは信号電流と直流電流の和がサンプリングゲートをスイッチさせるのに必要な制御電流 I_{ctrl} に等しくなった時間、すなわち $I_x(t) + I_{DC} = I_{ctrl}$ になった時間、にスイッチする。したがって、直流電流 I_{DC} を変化することにより $I_x(t)$ が変化し、 t の変化は V_t に比例する。 I_{DC} を変化しながら横軸 (X軸) に V_t 、縦軸 (Y軸) に I_{DC} を表示することにより、被測定波形を表示できる。

6.3.2 超伝導ループの電流測定法

電流FFのように超伝導ループを流れる電流は通常の方法では測定できない。超伝導ループに磁界結合した検出素子を設け、そのしきい値特性の移動量から電流を測定する方法が最も単純であるが、精度が悪く、自動測定も困難である。そこで、簡便で精度良く測定する方法を提案した⁹¹⁾。

その基本回路を図6.5に示す。電流検出素子として2本の制御線を有する磁界制御線を用い、その一方に被測定電流 I_x を与える。接合部と他の制御線には同相の三角波電流 I_{B1} 、 I_{B2} をバイアス電流として加え、電流検出素子の動作状態を決定する。接合の両端の電圧は増幅後、積分回路により平滑され直流に変換される。これを制御線に帰還して自動制御系を構成する。電流検出素子にはしきい値電流を越えるような三角波電流 I_{B1} 、 I_{B2} を与える。ジョセフソン素子を用いた検出素子のしきい値特性は必ず点対称なので、被測定電流 I_x がゼロの場合には、直流の出力電圧 V_{out} はゼロである。 $I_x > 0$ の時は接合両端には平均的には正の出力電圧が発生する。これを反転増幅、積分した後、電圧-電流変換して制御線に I_r の電流をフィードバックする。フィードバック電流は $I_x = -I_r$ でバランスするので、 $-V_{out}/R_f$ から被測定電流を求めることができる。 $I_x < 0$ の時にも符号が逆であるが同様な動作により被測定電流を求めることができる。

図6.7は、図6.6に示す電流フリップフロップのバイアス線にインパルスを加え、

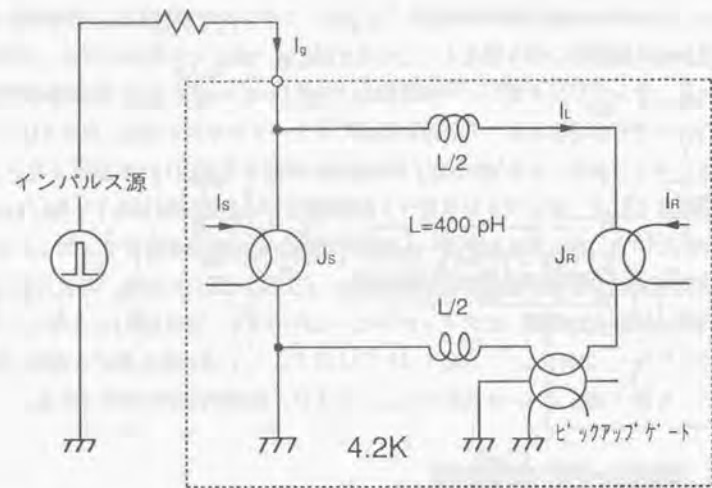


図6.6 微小な超伝導電流測定の実験回路

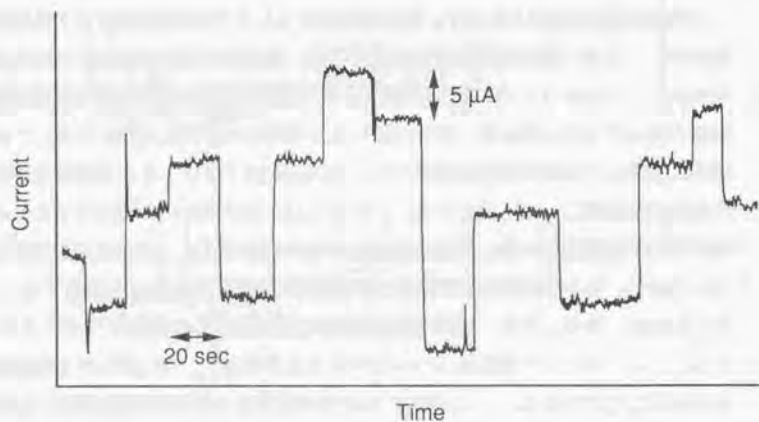


図6.7 微小な超伝導電流の測定結果の一例

超伝導ループ内の電流の微小変化を測定した一例である。インパルスが加わるたびに電流が変化し、その最小ステップは約 $4.6 \mu A$ である。ループインダクタンスは設計値で 400 pH であり、この電流ステップが一磁束量子に相当する。このように、磁束量子一個の出入りに相当するような微小電流変化も測定可能であることが確かめられ、電流フリップフロップの動作測定などに有用である。

6.3.3 測定用治具およびパッケージ

測定用のパッケージは、大きさ 19.05 mm (0.75 インチ)角、厚み 0.65 mm のセラミック基板にスクリーン印刷により銅の厚膜配線を設けたものである。表面には配線幅 0.65 mm 、配線ピッチ 1.27 mm (0.05 インチ)で 44 端子の配線を設けた。裏面は全面に銅厚膜を設け、ストリップライン構成になっている。 44 端子のうち 2 端子はグランド端子で、スルーホールを通して裏面と接続している。このパッケージは市販のチップキャリアと同寸法で配線ピッチも同じであり、低速での測定では市販のチップキャリアソケットが使用可能である。

図6.8は、試験回路の動作速度を評価するために製作した高速測定用の治具およびこれにセットしたパッケージの写真である。パッケージの交換がワンタッチでできるように設計している。パッケージをセットした後、治具の両脇から少しはみ出した昇降用のリングを回すことによりパッケージが上昇しセミリジッドの同軸ケーブルと接触するようになっている。同軸ケーブルの先端部はそのほぼ半分を削り取り、内導体を露出させてパッケージの端子と接触するように加工した。残りの半分は上部から各同軸ケーブルごとに押さえており、ねじによって各同軸ケーブルの高さが調整できる。また板ばね機構も持っており、微妙な高さの違いは自己調整できる。この治具ではパッケージの2辺から、計 22 本の信号線を取り出せる。この治具とパッケージを用いて約 200 ps の立ち上がりの信号を伝えることができる。したがって、ジョセフソンメモリ回路の動作速度を測定するには十分な性能であった。

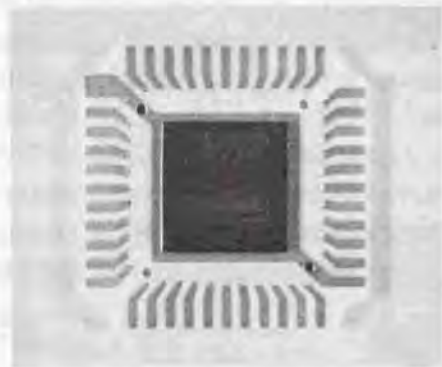


図6.8 回路動作の評価用に用いた高速測定用治具およびパッケージの写真

第7章 4Kメモリ (RAM)

7.1 はじめに

これまでの章でメモリセル、デコーダ、ドライバ等ジョセフソンメモリ回路に必要な個々の要素技術の研究結果を述べた。従来の課題を明らかにし、これを改善する新たなメモリセル、ゲートを提案した。また、Nb/AlO_x/Nb接合作製技術の開発により接合径が2.5 μ mのジョセフソン接合が安定に作製できるようになり、高速のRAMを設計し作製できる状況が揃ってきた。そこで、4K \times 1ビット構成の高速ジョセフソンRAMを設計・作製し、その動作実験を行なった。新たに提案した回路技術を用いることにより、アクセス時間の最高速値として590psを得た^{60) 62)}。この値は、発表した1988年の時点で世界最高速の値であった。本章では、この4K RAMの回路構成法(アーキテクチャー)、メモリセルや周辺回路の設計と実験結果について報告する。

7.2 回路構成の検討

7.2.1 アーキテクチャー

高速のRAMを設計する際、第8章に述べるようにメモリ・セル・アレイをマクロセルと呼ぶブロックに多分割して高速化する手法がハイボラRAMやSRAMでは使用されている。またRAMのビット構成を如何にするかの問題がある。多ビット構成にすると特にジョセフソンRAMではデコーダの段数が減る等の理由で高速化できる。しかし設計する回路規模は4Kビットであり、半導体RAMと比較するとまだ小規模である。実際のシステムに应用する際には、4Kチップを16~64個程度用いた4K \times 16~64ビット程度のメモリシステムは要求されると考えられる。また目的がジョセフソンRAMの性能評価することであることから、最も一般的である4K \times 1ビットでセルの分割をしない構成にした。図7.1に設計したRAMのブロックダイアグラムを示す。

ジョセフソン素子は、インバータがタイミング信号なしで実現できないので、ジョセフソン論理回路では2相あるいは3相の電源を与え、それらの立上がり時点を否定(補)信号を作り内部は正信号と補信号のデュアルルールで論理回路を構成する。インバータ回路は臨界電流など素子パラメータの設計値からのずれに敏感であるので、RAMへの全ての信号は正信号と補信号の両方を入力し、回路内ではインバータ回路を一切使用することを避けた。

回路は、これまでに述べた4JLゲートと単接合を用いたラッチデコーダ、高電圧

一クロック内の前半で行い、再書き込みをその後半で行っている。このシーケンスでは、一つのタイミング信号も使わないので、記憶内容を高速にアクセスすることができる。ここで用いているバイアス電流は、メモリ動作の1サイクルの周期の正弦波およびその1/2倍の周期の正弦波の電源を用い、回路内にレギュレータを設けることにより容易に作る事ができる。

このような動作を制御するための読出し/書き込み (R/W) 制御回路およびその真理値表を図7.3及び表7.1に示す。図中の各ゲートには使用する相 ($\phi_1 \sim \phi_4$) を記載した。ここで、 Q_n はデコーダの出力信号であり、点線で囲った二つのANDゲートはメモリスルアレイの各X (ワード)、Y (ビット) 線ごとに設ける。それぞれの出力信号 (OUT_1, OUT_2) をドライバゲートに与えることにより、メモリスルの選択信号 (ドライバの出力電流) を制御できる。また、再書き込み信号 (Rew) はメモリスルの読出しデータ (Read data) を与えており、読出し信号が“1”であった場合に一クロック内の後半で“1”が再書き込みされる。したがって、メモリチップを外部から見た場合には非破壊読出し (NDRO) と見做せる。

したがって、ここで述べた電源方式を採用することによりタイミング信号が不要なRAMを構成することができる。

7.3 回路設計

7.3.1 レイアウト設計

図7.4に設計した4K×1ビットRAM内に使用した全てのゲートおよびメモリスルの等価回路を示す。ANDゲートはデコーダとR/W制御回路に、ORゲートはセンス回路とR/W制御回路に用いた。メモリ回路をレイアウトする場合、メモリスルと周辺回路に用いるゲートは同一ピッチで並べることが望ましい。そのためには寸法を同じにする必要がある。従来報告されていたジョセフソンメモリ回路では周辺回路のゲートが大きくこのようなレイアウトはされていなかった。この場合、配線が複雑になるとともに余分な配線領域を専有する。4K-RAMの設計ではこのことを充分考慮し周辺回路のゲートを小さくし、ゲートをレイアウトするピッチをメモリスルの寸法に合わせた。メモリスルは、縦横比が1になるようにレイアウトした。図7.5(a)にメモリスル4つ分の顕微鏡写真を示す。セル寸法は $83\mu\text{m} \times 83\mu\text{m}$ であり、周辺回路のゲートもこの寸法に合わせて配置した (図7.5(b))。

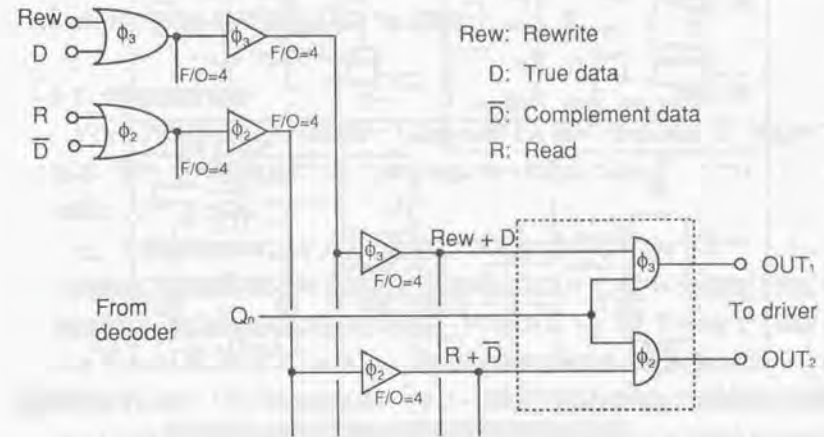


図7.3 読出し/書き込み(R/W)制御回路の等価回路

表7.1 読出し/書き込み(R/W)制御回路の真理値表

Mode	Q_n	D	\bar{D}	R	Rew	OUT ₁	OUT ₂
Write 0	1	0	1	0	0	0	1
Write 1	1	1	0	0	0	1	0
Read	1	0	0	1	0	0	1
Rewrite	1	0	0	0	1	1	0

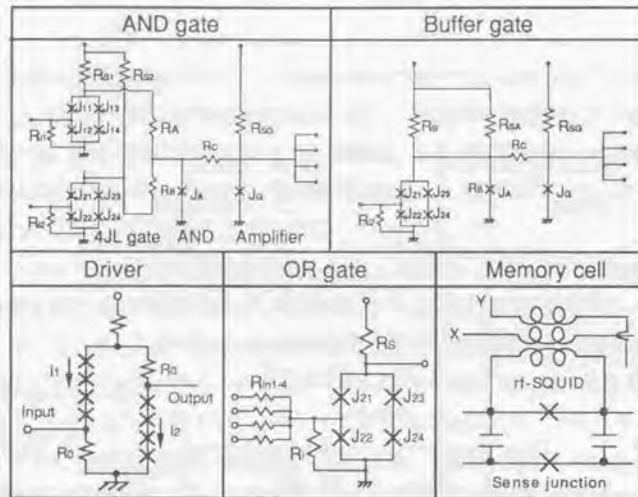


図7.4 設計した4K RAMに使用したゲートおよびメモリセルの等価回路

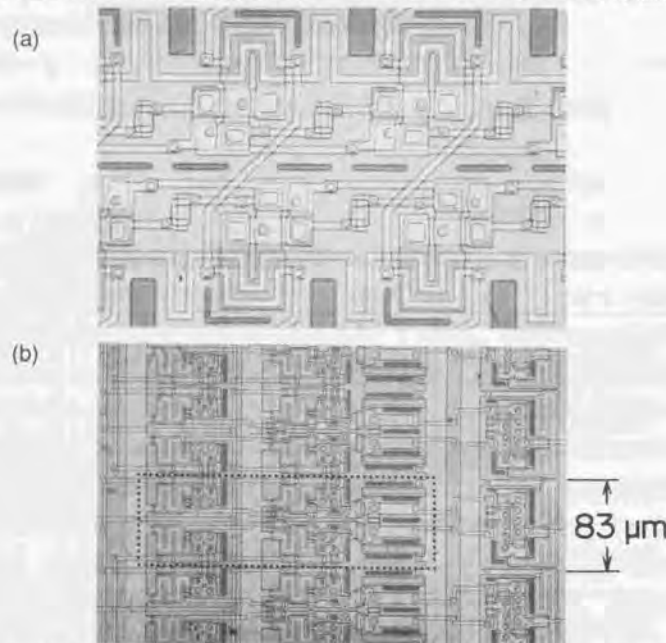


図7.5 試作した4K RAMの (a)メモリセル部, (b)周辺ゲート部の顕微鏡写真

図7.6にNb/AlOx/Nb接合作製技術で作製した4K RAMのチップ写真を示す。また、設計ルール等の仕様を表7.2に示す。最小接合寸法 $2.5\mu\text{m}$ 、配線幅 $4\mu\text{m}$ 、配線間隔 $6\mu\text{m}$ を用いてチップ寸法は $7.7\times 7.7\text{mm}$ である。

7.3.2 周辺回路の設計

デコーダ回路とドライバ回路はそれぞれ4.4節と5.3節に述べたのと同一の回路である。また、R/W制御回路については7.2節に述べた構成である。ここでは、センス回路について述べる。

センス回路は図7.7に示すように高速動作が可能な抵抗負荷型である⁶⁴⁾。センス回路は4入力の4JL-ORゲート3段により64本のセンスラインのからの出力を読み出す構成である。これに加えて最終段のORゲートの出力はバッファゲートにより増幅し、チップ外部に出力する (Read data) と共に、再書込み信号 (Rew) として用いている。まず、ORゲートの遅延時間をシミュレーションにより求めた (図7.8)。実線で示したのは入出力分離抵抗 R_i が 2Ω のときの結果であり、バイアス電流をその最大値の80%に設定したときの遅延時間は 4.7ps である。ORゲートは4JLゲートのみで構成されているのでANDゲート (80%バイアスでのゲート遅延は 19ps) に比べて遅延時間が短い。他の理由としてORゲートのF/0数が本来2であるものを1で用いていることによる。図に示すようにF/0=2にすると 7.6ps (80%バイアス) に増加する。また、入出力分離抵抗 R_i を 2Ω から 1Ω にするとゲート遅延は 6.2ps (80%バイアス) に増加する。 R_i を大きくするとゲートがスイッチした時に前段へ逆流する電流が大きくなり、場合によっては誤動作を起こす。設計したセンス回路では初段のORゲートからメモリセルのセンスラインに逆流する電流が問題になるので、この入出力分離抵抗 R_i だけは 1Ω とし、他の2段に関しては 2Ω にして高速化をはかった。

7.3.3 アクセス時間の検討

図7.9 (a)に設計した4K RAMのアクセス時間を決める信号のパスを示す。デコーダ (ANDゲート3段) とR/Wセクタでデコーディング後、ドライバゲートがスイッチしてメモリセルのX線に選択電流が流れる。Y線には予め選択電流を与えておく。一本のセンス線には64のセンス接合を直列に接続している。選択したメモリセルのセンス接合がスイッチすると電流はセンス回路 (ORゲート3段) に流れ、その信号

表7.2 設計した4KジョセフソンRAMの主な仕様

Organization	4K words × 1 bit
Minimum junction size	2.5 μmφ
Minimum line width	4 μm
Cell size	83 × 83 μm
Chip size	7.7 × 7.7 mm
Number of junctions	14,468

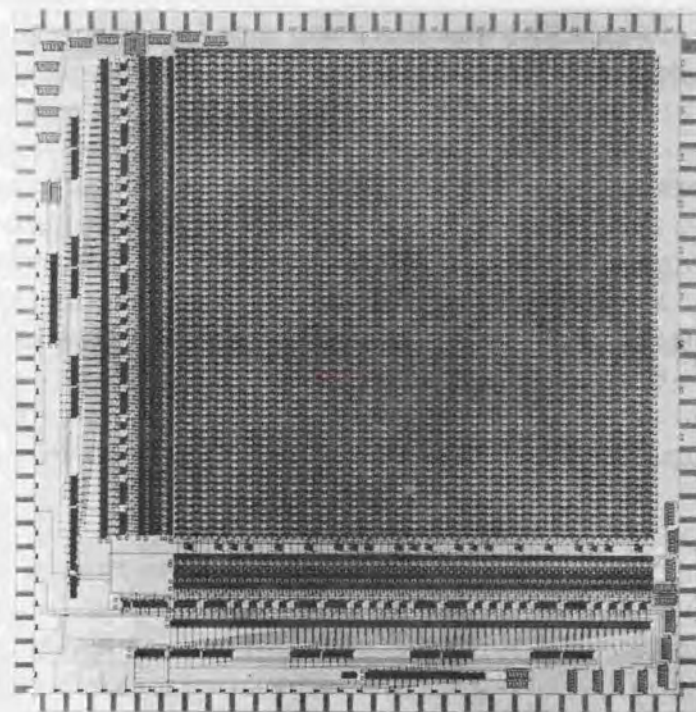


図7.6 試作した4K RAMチップの顕微鏡写真

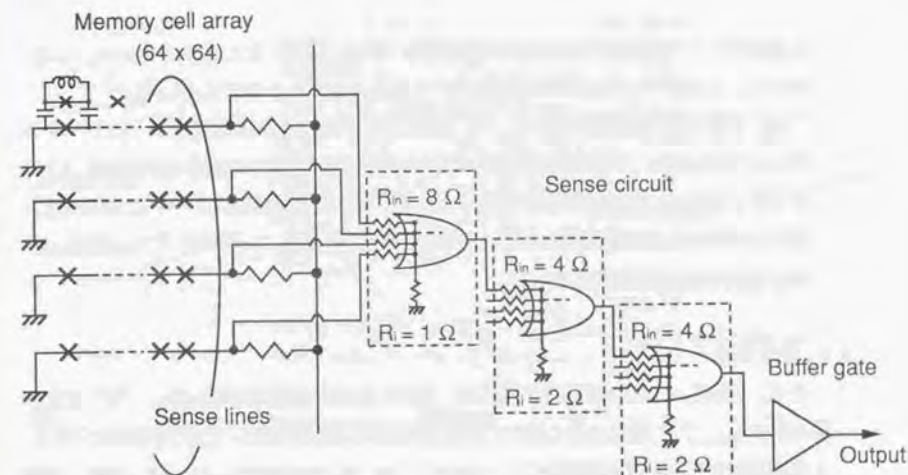


図7.7 センス回路の等価回路

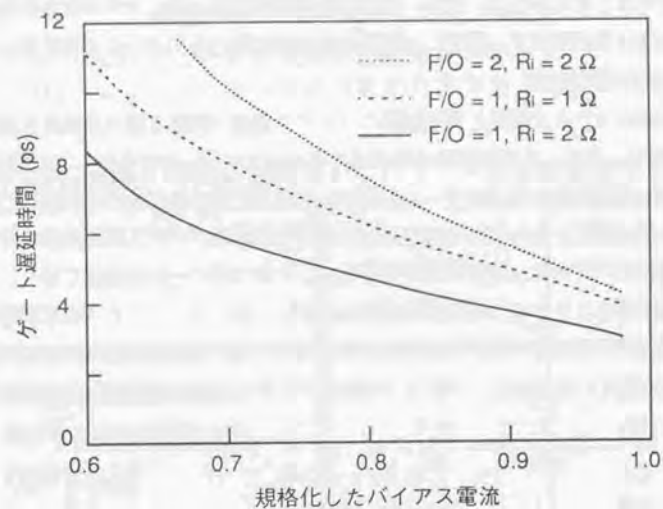


図7.8 シミュレーションで求めたORゲートの遅延時間

は増幅ゲートで増幅された後、読出し信号 (Read data) として出力される。したがって、このアクセスパスには9個のゲートとメモリセルを含んでいる。

図7.9 (a) に示す回路を用いて、4K RAMのアドレスアクセス時間をシミュレーションにより求めた。バイアス電流をその最大値の80%に設定した際の結果を図7.9 (b) に示す。アクセス時間は380psであった。アクセス時間の60%はゲートによる遅延、残りの40%は各周辺回路間およびメモリセルのX-選択線、Y-選択線 (ワード線、ビット線) の信号伝搬遅延である。

7.4 動作実験

まず、作製したRAMの基本的な書込み、読出し動作の試験を行なった。“0” 書込み後の読出し、“1” 書込み後の読出しで正常な動作を確認した。チップ内にはアクセス時間を測定するための回路が入っており、次にその測定を行った。図7.10は、実験で得られた最小アクセス時間を示す。二つのトレースの間隔が最小アクセス時間を示し、590psであった。実験値がシミュレーションで求めたアクセス時間 (80%バイアスで380ps) に比べて遅いのは、臨界電流等のばらつきおよび4JLゲートの入力感度がやや悪いためと考えられる。また、消費電力は19mWであった。メモリセル自身は定常状態では電力を消費せず、読出し/書込み動作時の電力も小さいので消費電力の殆どは周辺回路で消費する。

4K RAMのアクセス時間と周辺回路のバイアス電流の関係を調べた結果を図7.11 (a) - (d) に示す。また、各周辺回路の消費電力とバイアスマージンを表7.3に纏めて示す。デコーダ回路は最も多くのゲートを使用しているために±11%と最もバイアスマージンが小さかったと考えられる。また、アクセス時間のバイアス電流依存性が最も大きいのもデコーダであった。デコーダでは、 $F/O=4$ のANDゲートを用いており、バイアス電流を下げることで入力信号電流も減少し、オーバードライブ効果が急激に小さくなるためと考えられる。他の回路では F/O 数が少なく比較的大きめの入力信号電流が与えられているために、アクセス時間のバイアス電流依存性は小さいと考えられる。

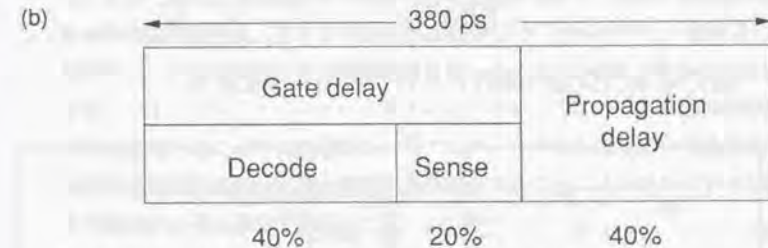
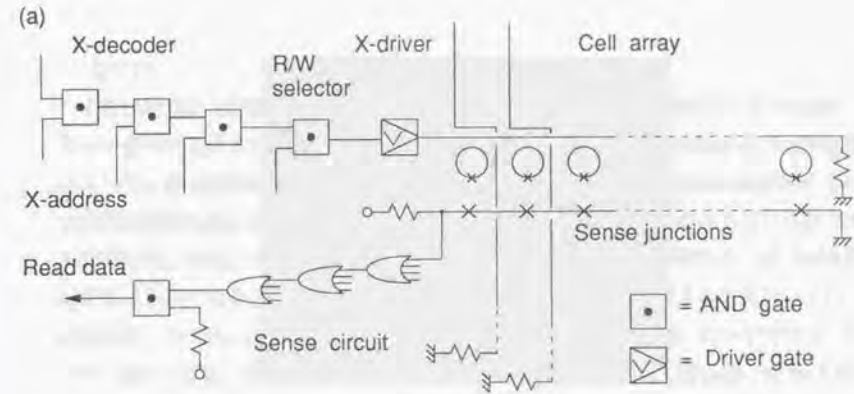


図7.9 4K RAMの (a)アクセス時間を決める信号パス、
(b)シミュレーションにより求めたアクセス時間の内訳

表7.3 試作した4K RAMの消費電力とバイアス電流の動作マージン

Circuit	Power dissipation (mW)	Bias margin (%)
Decoder	6.2	11
R/W control circuit	7.9	17
Cell driver	4.7	15
Sense circuit	0.1	15

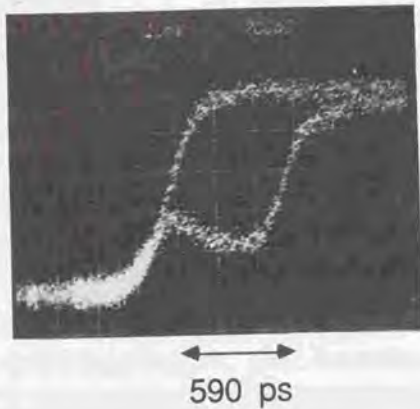


図7.10 4K RAMの最小アクセス時間の測定結果

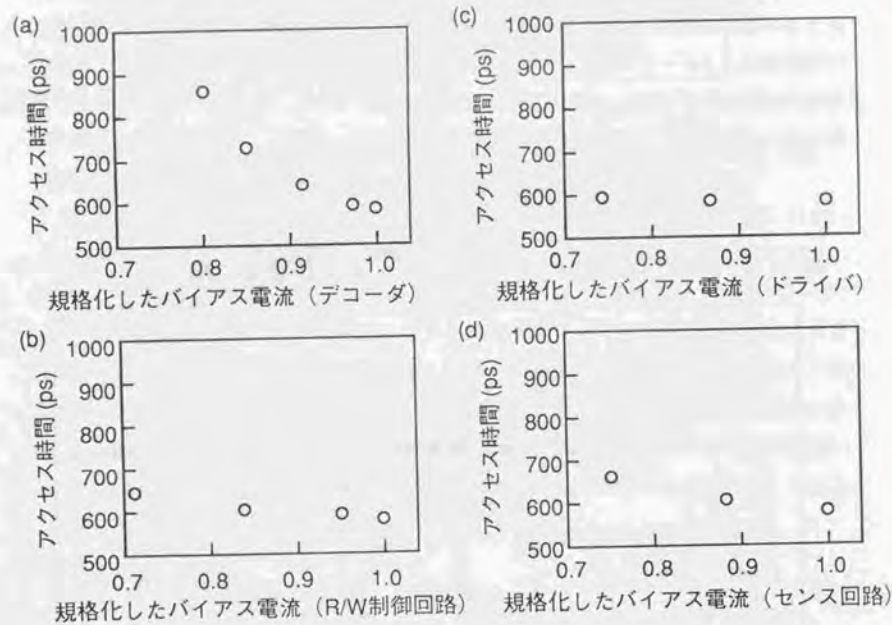


図7.11 4K RAMのアクセス時間と周辺回路のバイアス電流の関係

7.5 むすび

本研究を進める過程で提案した新しいゲートおよび回路である4JLゲート&単接合ゲートを用いたラッチデコーダ、高電圧ドライバゲート、容量結合型メモリセルを基本として、4K×1ビット構成のRAMを設計した。これらの回路は従来の回路が抱えていた課題を解決した。これらに加えて、特別なタイミング信号を必要としない電源方式を提案した。また、センス回路やR/W（読出し/書込み）制御回路を加えて、4K RAMを設計することができた。最小接合径 $2.5\mu\text{m}$ φ、配線幅/配線間隔がそれぞれ $4\mu\text{m}/6\mu\text{m}$ の設計ルールでNb/AlO_x/Nb接合作製技術により4K RAMを作製した。チップ寸法は、 $7.7\times 7.7\text{mm}^2$ である。作製したRAMのアクセス時間を測定した結果、最小値で590psを得ることができた。この値はこの時点での最高速値であり、提案した回路技術が有効であったと考えられる。アクセス時間の約40%はメモリセルのワード線あるいはビット線やデコーダの配線等による配線遅延であった。これを小さくするためにはメモリセルやゲートの寸法をさらに小さくする必要がある。たとえばより抵抗率の高い Zr などの材料を用いることで同じ設計ルールでもゲートやメモリセルの寸法を小さくでき、高速化が可能である。また、微細化や多層化することによりジョセフソンRAMはさらに高速化できると期待できる。

第8章 周辺技術

8.1 はじめに

前章で述べたように4K RAMでアクセス時間590psの高速動作を実証した。しかし、ジョセフソンメモリを実用化するには、まだ解決しなければならない問題がある。高速クロック動作や全ビットの安定動作などである。さらに、メモリ回路や論理回路を組合わせたデジタルシステムを構築するには、ジョセフソン素子と半導体素子を結合するためのインターフェイス回路や、冷却実装システムが必要である。本章では、実用的なメモリ回路およびシステムを構築するための周辺技術の基礎実験結果を示す。

8.2 メモリ回路技術

新たに考案したメモリセルや周辺回路を用いて4K×1ビットのジョセフソンRAMを設計し、アクセス時間として590psと高速な実験結果を得た。次章に述べるように、加工技術を微細化すると共にメモリセルを分割化することにより、さらにアクセス時間の高速化や大容量化が期待できる。しかし、高速動作するデジタルシステムに適用するには、まだ解決しなければならない課題も多い。たとえば1GHz以上の高速クロックでの動作や全ビットの安定動作などである。ここでは、これらの課題を解決するために有効な回路技術として電源回路(チップ内のバイアス電流の安定化法)と、欠陥ビットを救済するための冗長回路について述べる。

8.2.1 電源回路(レギュレータ)技術

1) レギュレータとしての条件および従来技術

ジョセフソンゲートはラッチング動作をするので各クロック周期ごとにバイアス電流をゼロに下げるような交流電流を与える必要がある。また、ゲートの動作状態では、バイアス電流は一定電流を与えることが望ましい。ジョセフソン集積回路ではチップ内に電源ラインを設けてその電圧を安定化(定電圧化)することにより、これから各ゲートのサプライ抵抗を通して供給されるゲートのバイアス電流を安定化(定電流化)させる。このバイアス電流の安定化によりゲートの動作マージンを大きくすることができる。特にメモリ回路(RAM)においては、セルの駆動電流の安定化は誤選択を避けるために重要である。また、ジョセフソンゲートはラッチング動作をするので安定化の他に、一周期内で回路が実際に動作する割合、すなわち

デューティー比をできるだけ大きくする必要がある。

従来は、この電源ラインの定電圧化には複数個の(通常は4個)直列接続したジョセフソン接合に正弦波の電流を供給することによって行なわれている。直列接続した接合のギャップ電圧の定電圧特性が利用されており、レギュレータと呼ばれている。得られる電源の波形は台形状になる。この台形状の波形の上の平らな部分がゲートの動作時間であり、この時間と一周期の時間の比がデューティー比であり、これを大きくすることが重要である。通常レギュレータとして用いる場合には、臨界電流を抑圧して直列接続した接合を同時にスイッチさせるか⁸⁵⁾、さもなければ何らかの方法により臨界電流を残したままで直列接続した接合を同時にスイッチさせる手段がとられる。前者の場合、臨界電流を完全に抑圧することは困難であり、接合は同時にはスイッチしない。したがって、デューティー比が小さくなる。またジョセフソン素子特有のパンチスルーの問題を考えると、むしろ後者の方が適切である。後者の方法の一例として、レギュレータ用の接合としてSQUIDを用いる、その出力電流をSQUIDの磁界制御線にフィードバックする方法が提案されていた⁸⁶⁾。しかしこの方法では占有面積や磁界制御線の比較的大きなインダクタンス等を考えると問題点があった。

2) 新方式のレギュレータ

第5章で述べたゲートを図8.1のように変形して用いると、単接合を用いた場合に比べてさほど専有面積を増加せず複数個の接合が同時にスイッチするレギュレータを構成できる⁸⁷⁾。高電圧ドライバゲート(図5.1)と異なるのは抵抗の位置による違いと、入力端子が無い点である。また、二つのブランチに対する負荷を均等にするために両ブランチから出力を取り出している。このレギュレータも先に述べた高電圧ドライバゲートと同様の機構で、全ての接合が同時にスイッチする。

この新方式のレギュレータの動作および性能を評価するためにNb/AlOx/Nb接合作製技術によりテスト素子を作製した(図8.2)。接合総数は8個、接合寸法は $10 \times 25 \mu\text{m}^2$ 、各ブランチの抵抗 R_0 は 0.3Ω 、負荷抵抗 R_L は 3.6Ω 、臨界電流 I_0 は 4mA である。性能を比較するために接合を4個直列接続した従来のレギュレータ(図8.2(a))と新方式のもの(図8.2(b))を同時に作製した。図8.3に、正弦波でバイアスしたときの両者の出力波形を示す。単なる直列接続では、階段状にスイッチするのに対し

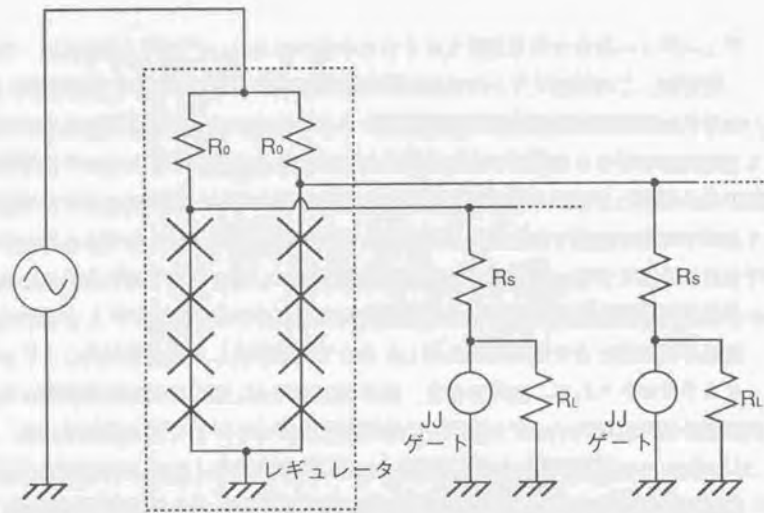


図8.1 提案した新方式のレギュレータの構成図

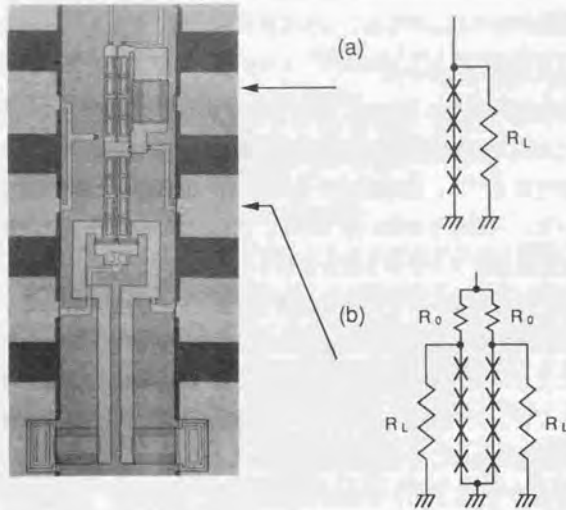


図8.2 試作したレギュレータのテストチップの顕微鏡写真
(a)従来方式, (b)新方式

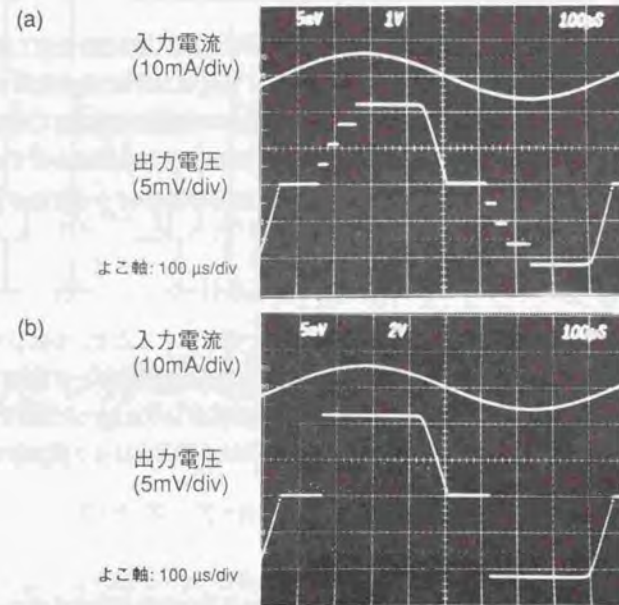


図8.3 (a)従来方式と(b)新方式のレギュレータの出力電圧波形の一例

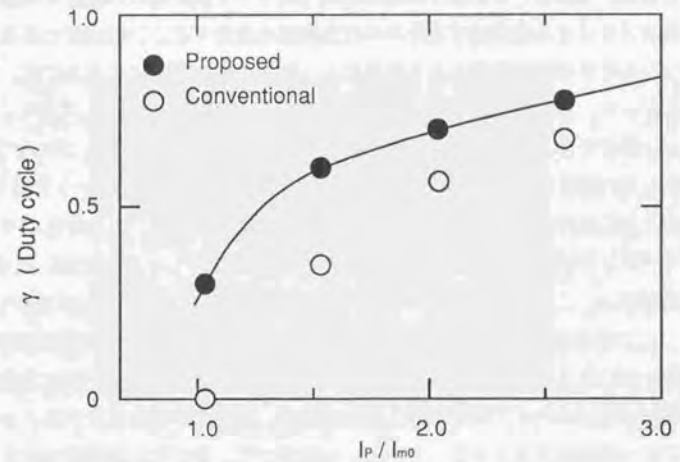


図8.4 レギュレータのデューティ比の測定結果

(図8.3(a))、新方式のレギュレータではほぼ同時に8個の接合全てがスイッチし、約11mVの出力が得られている(図8.3(b))。図8.4に接合の臨界電流で規格化した正弦波のピーク電流に対するデューティ比 γ の実験値を示す。○は従来のレギュレータ、●印は新方式のレギュレータの実験結果を示す。明らかにデューティ比が改善されている。実線は直列接続した接合が同時にスイッチすると思ったときに、理論的に求まる、

$$\gamma = 1/\pi \cdot \{\cos^{-1}(V_s/R_{SL}/I_p) + \cos^{-1}(I_{m0}/I_p)\} \quad (8-1)$$

から計算した結果であり、実験結果と良く一致する。ここで、 V_s はレギュレータの出力電圧(11mV)、 I_p はレギュレータに入力する正弦波のピーク電流であり、また、 $R_{SL}=R_L/2$ 、 $I_{m0}=2I_0$ である。このように、新方式のレギュレータではデューティ比を大きくできるので、ジョセフソン集積回路の動作クロック周波数を高め、高速化に寄与すると期待できる。

8.2.2 メモリセルの冗長設計

これまでジョセフソンメモリ回路では、メモリセルを選択するデコーダ回路は論理回路と同様に2入力のANDゲートと2~4入力のORゲートを基本ゲートとして設計してきた。しかし、このような回路構成ではゲート数が増大し配線も複雑になり、不良のメモリセルを救済するための冗長回路を設計することは困難である。ジョセフソンメモリの回路設計をより容易にし、冗長設計を可能にする為には、多入力の論理ゲート、特に多入力のANDゲートを用いることが有効である。しかし、ジョセフソン素子で多入力のANDゲートを構成することは困難であった。ジョセフソン素子のしきい値を単に利用したしきい値論理による多入力のANDゲートでは入力数の増加と共に動作マージンは減少する欠点があった。そこで、入力数を増やしても動作マージンが減少しない多入力ANDゲートを提案する⁸⁹⁾。ここでは、このゲートの設計法と、これを用いたデコーダおよび冗長回路の構成法を中心に述べる。

ここで述べる多入力ANDゲートは、図8.5に示すように、基本的には3接合SQUID(3J-SQUID)と単接合をペアとしたジョセフソン素子のラダー回路で構成している。3接合SQUIDのバイアス電流は、初段を除き、前段の単接合(SJ)がスイッチすることによって供給するようにしている。したがって、全ての入力信号が与えられたとき

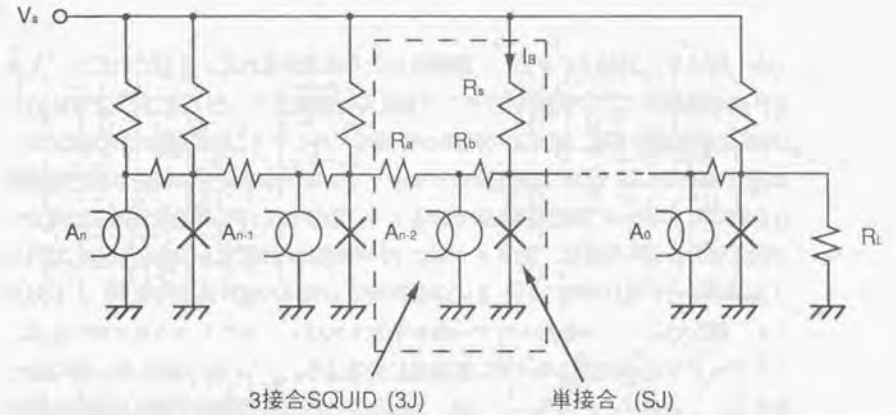


図8.5 多入力ANDゲートの等価回路

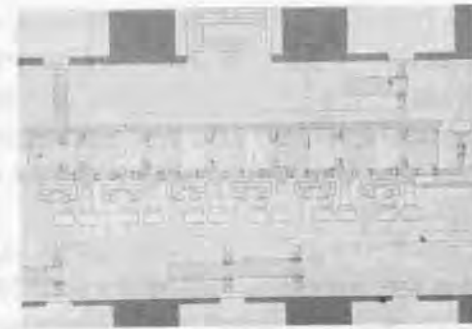


図8.6 試作した6入力のANDゲートの顕微鏡写真

のみ、順次ゲートがスイッチし、最終段に出力電流が流れる。それに対して、入力信号のどれかが“0”の場合にはそこで信号の伝達は止り、出力は“0”となるのでAND機能が実現できる。またこの回路の特長は、バイアスした単接合から与えられる3接合SQUIDへのバイアス電流値はジョセフソン素子のギャップ電圧での定電圧特性を利用してギャップ電圧と抵抗で決るように設計している。また、接合のギャップ電圧での定電圧特性は、各ラダー間における電流を分離する役割を果たしている（各段の接合の電圧が等しいときには各段間での電流の流れ込みはない）。したがって、3接合SQUIDと単接合のペア数を増加すればいくらかでも入力数を増やせる。このゲートの入力信号のマージンは容易に分るように、3J-SQUIDのしきい値特性で決まる。一方のバイアスマージンは、各段の3J-SQUIDと単接合を流れる電流を計算することにより求める。接合特性や設計パラメータが設計値通りである理想的な場合には、初段の3J-SQUIDが単接合をスイッチさせる能力がバイアスマージンを決める。シミュレーションによれば、バイアス電流のマージンは±30%である。このゲートは比較的多くの段数を有するが、シミュレーションによれば、最小接合径として1.5 μm を用いると4入力のANDゲートの最小遅延時間として19psが期待できる。

この多入力ANDゲートの動作を試験するために4入力と6入力のANDゲートを設計した。3J-SQUIDの一つのループのインダクタンス値 $L=3.4\text{pH}$ 、臨界電流値 $I_0=0.11\text{mA}$ (LI_0/Φ_0 積は0.18)である。また、単接合の臨界電流 $I_m=0.4\text{mA}$ であり、 $R_n=8\Omega$ 、 $R_b=2\Omega$ である。図8.6に作製した6入力AND素子のチップ写真を示す。使用した最小接合径は2.5 μm で、作製は標準的なNb接合プロセスで行なった。作製したチップの臨界電流密度 J_c は約2500A/cm²である。得られたバイアスマージンは、4入力と6入力のANDゲートとも約±20%であった。この値は、接合のリーク電流や、臨界電流や抵抗値のパラッキおよび設計値からのずれを考えると妥当な結果と考えられる。また、報告したANDゲートは入力数を増加しても動作マージンは基本的には減少せず、多入力化に適していると言える。

提案した多入力ANDゲートを用いたデコーダの構成法を図8.7(a)に示す。メモリセルのX、Y-選択線（ワード線又はビット線）毎にアドレス信号数に等しい入力数を有するANDゲートを設ける。アドレス信号は3接合SQUIDの磁界制御線に与えるので多数のゲートに直列に与えることが可能である。このデコーダでは、アドレス信号の真信号と補信号をペアーとして、どちらかの信号をANDゲートの同一段にお

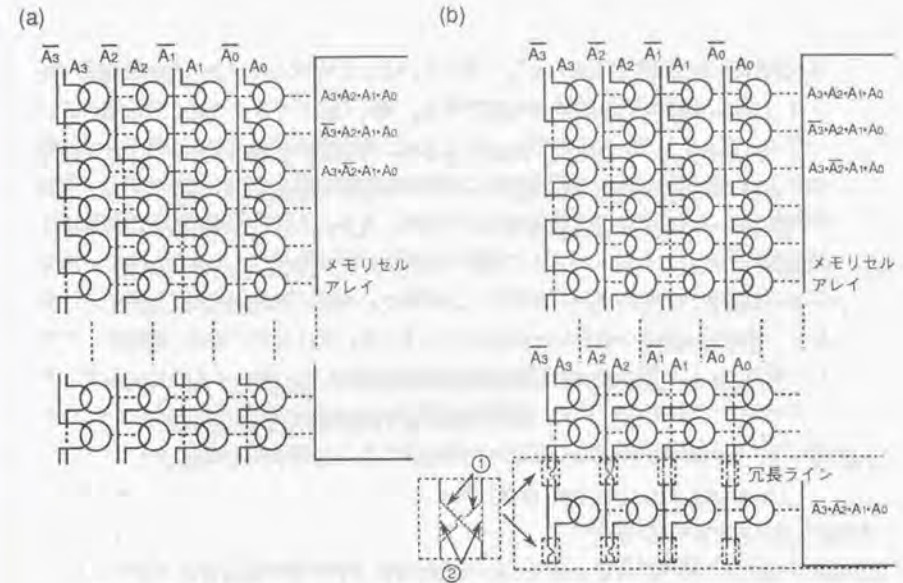


図8.7 多入力ANDゲートを用いたデコーダ回路の構成
(a)冗長回路を含まない回路、(b)冗長回路を含む回路

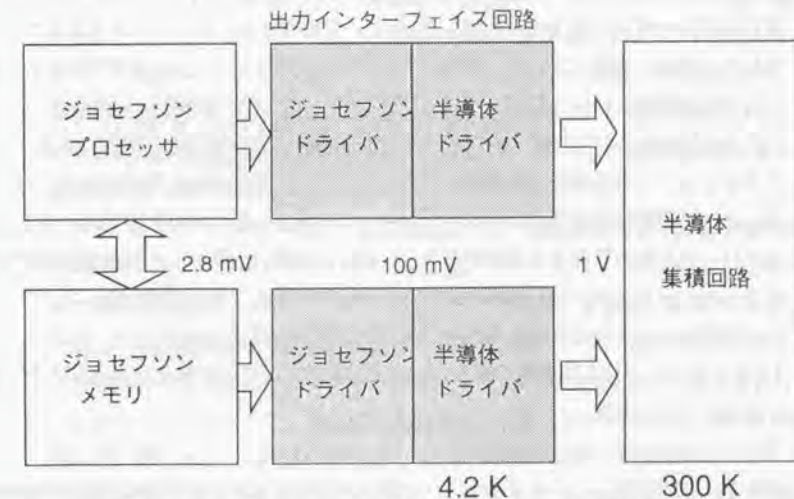


図8.8 ジョセフソンデジタルシステムの構成

る3接合SQUIDの磁界制御入力として与えている。この方式のデコーダ回路を用いたメモリでは、容易に冗長回路が実現できる。図8.7(b)に示すように、冗長用のデコーダおよびメモリセル列を設ける。たとえば、冗長用のデコーダの真信号と補信号のアドレス信号線はチップ製造直後には電気的には接続しておく。この場合、磁界制御線のインダクタンスは比較的大きいので、アドレス信号電流は磁界制御線には殆ど流れない。したがって、この電流では3接合SQUID素子はスイッチしない。あるビット線やワード線のセルに欠陥ビットがあった場合には、冗長ラインのデコーダにレーザーによる加工を用いて不良アドレスを書込むことができる。図では、アドレス信号0011に欠陥があった際の欠陥救済の例を示している。このようにして、多入力ANDゲートを用いたデコーダ回路を採用することによりジョセフソンメモリ回路でも冗長回路が構成でき、欠陥セルを救済することができる。

8.3 デジタルシステム技術

ジョセフソン集積回路は、Nb/AlOx/Nbジョセフソン接合技術を用いて、4ビットマイクロプロセッサや本研究で述べた4Kメモリ等、数千ゲート規模の試作ができる段階になっている^{56) 60) 70) 71) 72) 73) 74)}。今後これらを組み合わせたシステムレベルでの研究が重要になってきた。たとえば、ジョセフソンコンピュータシステムを想定したブロックダイアグラムを図8.8に示す。主要部品であるプロセッサとメモリは既にその試作に成功している。直径2.5 μm の接合技術を用いて4ビットプロセッサはクロック周波数1.1GHzで動作し、4K RAMはアドレスアクセス時間590psで動作した。これらの結果から1GHz程度のクロック周波数で動作するシステムが期待できる。このようなシステムでは高速演算処理はジョセフソンプロセッサにより実行する。そして、データは低温環境にあるジョセフソンプロセッサあるいはメモリと室温側にある入出力デバイスと取り取りする必要がある。しかしこの際、半導体ICの論理振幅は数Vであるので、ジョセフソンICの出力振幅約3mVを約3桁増幅する必要がある。

このようなシステムを構築するための重要な技術的課題として

(1) ジョセフソンICと半導体IC間のインターフェイス (特にジョセフソンICの出力インターフェイス)

(2) ジョセフソンシステムの冷却、

がある。本節では、これらジョセフソンデジタルシステムを実現するための基礎技

術を検討する。

8.3.1 半導体回路とのインターフェイス回路

第1の課題で問題となるのはジョセフソン回路から半導体回路への出力インターフェイス回路である。それは、ジョセフソン集積回路内の信号レベルが数ミリボルトと小さいことに起因している。逆にこのことは、ジョセフソン素子が高速かつ低消費電力である特長を発揮する要因である。たとえば、Nb/AlOx/Nb接合の信号レベルは約3mVであり、これまでジョセフソン接合で半導体ICを直接駆動することは不可能と考えられてきた。半導体ICの論理振幅は1Vから5V程度であるので、ジョセフソンICの出力振幅を約3桁増幅する必要がある。

この問題を解決するために、第5章で述べたジョセフソン素子を用いた高電圧ドライバゲートの技術を応用し、出力電圧を約50倍増幅することに成功した。しかし、このジョセフソンドライバのみでインターフェイス回路を実現するのは、動作マージンと占有面積から考えて得策ではない。100mV程度の信号レベルでは、半導体素子で増幅したほうが良いと考えられる。そこで、ジョセフソンドライバと半導体トランジスタを組み合わせたハイブリッド構成のインターフェイス回路を構成した。その結果、室温の半導体デバイスを駆動するためのインターフェイス回路の動作を行なわせることができた⁷⁵⁾。この最初の実験では半導体トランジスタとしてHEMTを用いて実験を行なった。設計したジョセフソンドライバは、片側に52個づつ計104個の接合を用いた。プラチ抵抗 R_0 は0.5 Ω 、ジョセフソン接合の直径は4.25 μm であり、素子は、Nb/AlOx/Nb接合技術で作製した。得られた臨界電流は0.52mA (臨界電流密度: 3700A/cm²) である。

作製したドライバのI-V特性上には電圧ステップは見られず全ての接合が同期してスイッチし、その電圧は約150mVであった。このジョセフソンドライバの立ち上がり時間を室温のサンプリングオシロスコープで観測した結果、約200psであった。ただし、この値は室温へ信号を取り出している同軸ケーブルを含む測定系の立ち上がり時間と一致しており、ドライバ自身はもっと高速で動作していると考えられる。

このジョセフソンドライバとHEMTを組み合わせたインターフェイス回路の実験を試みた。図8.9にその等価回路を示す。使用したHEMTはゲート長が1 μm 、ゲート幅が50 μm のデプレッション形のものであり、4.2Kでの g_m は300mS/mmであった。実験に

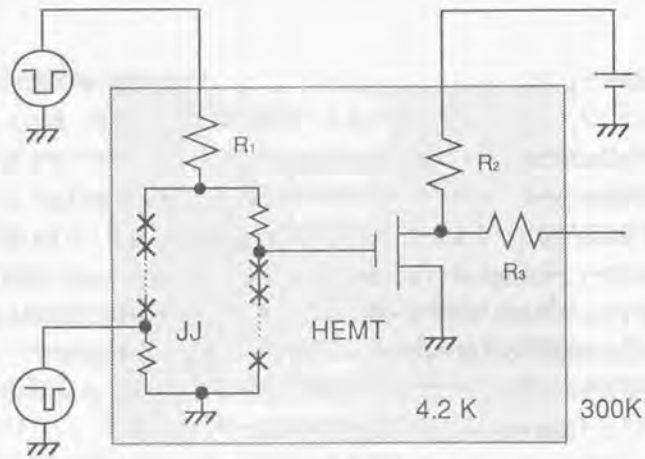


図8.9 ジョセフソン-半導体インターフェイスのテスト回路

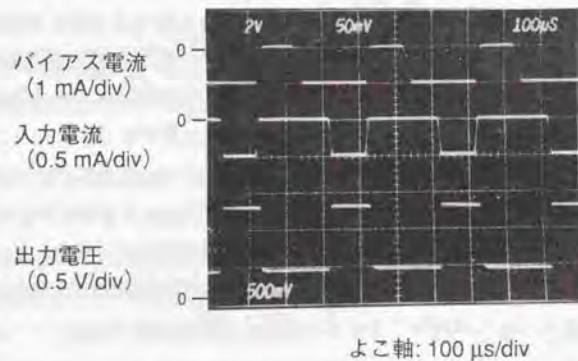


図8.10 インターフェイス回路の実験結果の一例

使用したジョセフソンドライバ、HEMT、抵抗はそれぞれ独立のチップであり、これらを $25\mu\text{m}$ 径のボンディングワイヤで接続し、液体ヘリウムで冷却した。この実験結果を図8.10に示す。ジョセフソンドライバに負のバイアス電流を与えた後、負の入力電流を与えている。HEMTには+4VのDCバイアスを与え、出力電圧として約0.9Vが得られた。この時の消費電力は9mWであった。但し、使用したHEMTは単体のトランジスタであり負荷駆動能力がないので、出力は高インピダンスで測定している。出力電圧の立ち上がり時間は500psであった。シミュレーションによれば、図8.11に示すように、ジョセフソンドライバは約50psで動作し、HEMTを含む出力インターフェイス回路は約100 psで動作する。

2) 高速動作

HEMTを用いた最初の実験ではHEMTの負荷駆動能力が小さく、実際の入出力線路を通して高速クロックで動作させることは出来なかった。第2段階の実験として50Ω負荷を駆動し、高速のクロック動作の実験を行なった⁷⁶⁾。50Ωの負荷を駆動でき入手が容易な半導体ドライバとして市販のGaAs-IC (MES-FET) のペアーチップを用いた。規格上の性能の保証値は、クロック周波数1.5GHz、入出力のディレイ500psである。消費電力は標準値で225mWである。しかし、このGaAsコンパレータの最小コンパレートレベルに関しては、使用条件によって変化するため明確な規格は示されていない。このコンパレータの最小コンパレートレベルを300Kと4.2Kで測定した。温度による差は殆ど見られなかった。クロック周波数で800MHzまでは約100 mV前後でコンパレート可能であったが、それ以上の周波数では急激に必要なコンパレートレベルが増大した。

以下、通常のジョセフソンゲート (4JLゲート)、ジョセフソンドライバとGaAsコンパレータICを組み合わせた実験結果について述べる。最初の実験に用いたジョセフソンドライバでは接合形状が円であったことや設計ルールが緩やかであった等の理由で二つのブランチ間の寄生インダクタンスが大きく、またドライバ全体の寸法が大きかった。接合形状を長方形に変え、専有面積を小さくしたドライバを設計した。出力電圧、即ち接合数は各ブランチに52個づつで最初のものと同じである。また、このドライバを出力電圧が2.8 mVの通常のジョセフソンゲート (4JLゲート) で駆動するようにした。作製したジョセフソンドライバとジョセフソンゲートから

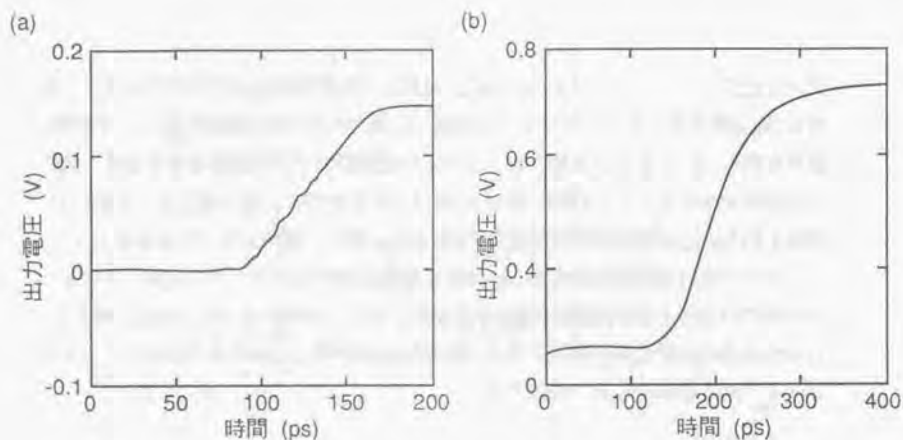


図8.11 インターフェイス回路のシミュレーション結果
(a)ジョセフソンドライバの出力、(b)インターフェイス回路の出力

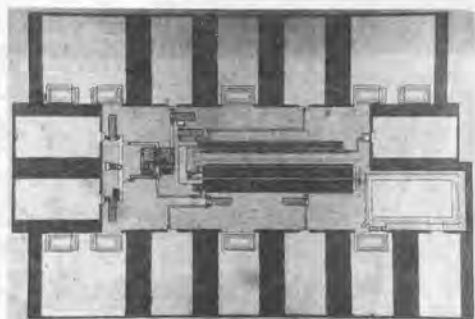


図8.12 インターフェイス回路のテスト回路の顕微鏡写真

成るテストチップの写真を図8.12に示す。接合寸法は $2.5\mu\text{m}\times 7\mu\text{m}$ でジョセフソンドライバの寸法はサブライ抵抗を含めて $80\mu\text{m}\times 400\mu\text{m}$ になり、ジョセフソンICの出力バッファとして使える程度の寸法であると考えられる。これら4JLゲート、ジョセフソンドライバ、GaAsコンパレータを液体ヘリウムで4.2Kに冷却しその動作実験を行った。その結果、クロック周波数800MHzまでの動作を確認した。この周波数はGaAsコンパレータの入力識別レベルが増大し始める周波数と一致する。したがって、実験での最大周波数は使用したコンパレータの性能で制限されたと考えられる。

8.3.2 閉サイクルジョセフソンデジタルシステム

高速のデジタルシステムを開発するための第2の課題は、ジョセフソン集積回路に適した冷却実装システムを構築することである。Nb系のジョセフソン素子では液体ヘリウム温度(4.2K)で動作する。このため、実験的な性能試験は液体ヘリウム容器内に置いた回路チップから1m程度と同軸ケーブル等を経て、室温側の回路と接続している。このような方式でジョセフソンデジタルシステムを実現すると、配線遅延時間が10ns程度になるので、高速デジタル処理するのに必要な全要素を全て低温環境に設けて処理する必要がある。

しかし、ジョセフソン集積回路の現状技術では、数Kゲート/チップの論理回路、数Kビット/チップ程度のメモリ回路が実現可能な範囲である。また、DRAMに匹敵するような大容量のメモリをジョセフソン素子を用いて開発するのは技術的にもコスト的にも困難であると思われる。したがって、ジョセフソン素子が得意な高速処理回路と、半導体素子が得意な大容量のメインメモリや比較的低速な処理回路を使い分けてシステムを構築する必要がある。ジョセフソンICと半導体ICとのインターフェイスは、8.2.1節で述べた回路で実現できる見通しを得た。

次の要求項目として、低温動作の高速ジョセフソンメモリや論理回路チップと室温動作の半導体チップ間で高速で信号の受け渡しをするとともに、閉サイクルの冷凍機を用いた実用的な実装システム技術を研究開発する必要がある。その目的のために図8.13に示すシステムを考えた。ジョセフソン集積回路チップ(JJチップ)は真空断熱したクライオスタット内にセットして閉サイクルのHe冷凍機で冷却する。信号線はその配線長を短くするために真空断熱の側壁を貫通するようにした。この

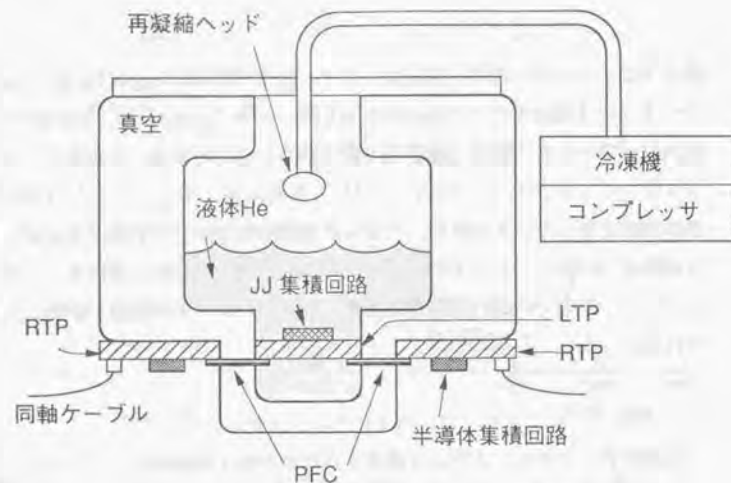


図8.13 実装システムの断面構造図

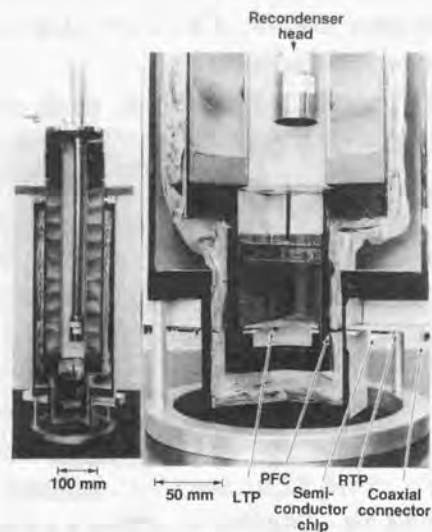


図8.14 試作した実装システムの断面写真

低温側と室温側の接続には熱流入を小さくするために長さ24mmのポリイミドフィルムケーブル (PFC) を用いた。また、低温側と室温側のパッケージ (LTPおよびRTP) はセラミック製のものを用いた。このような方式を採用することにより、信号の遅延時間を小さくしながら熱流入を小さくできた。冷却は閉サイクルのHe冷凍機を用いることによりHeの供給なしに連続運転を可能にした。

実際にこのような閉サイクルの実装システムの実験機を試作した^{77) 78)}。図8.14がそのクライオスタットの断面図である。PFC、LTPおよびRTPの信号線は全て特性インピーダンス50Ωのマイクロストリップライン構造になっている。この実装システムの性能を評価するために図8.15に示すテスト回路を構成した。path-selective信号の有無によって信号経路を切り換え、その時間差から伝送遅延を測定した。低温側と室温側を往復する信号は、5.3節および8.2.1節で述べた高電圧ドライバゲートによる出力バッファ (OB) を用いてジョセフソンゲートの出力電圧 3mVを100mVまで増幅した。測定された遅延時間は図8.16に示すように570psであった。これから出力バッファ (OB) の遅延時間90psを差引き、信号は往復しているので2等分すると240psが得られる。配線長からLTP、PFCそれぞれの遅延時間が110ps、130psであることが分った。PFCの遅れ130psという値は、クロック1GHzを想定した場合のクロックピッチ1nsの13%となり、充分小さいと言える。

また、試作した閉サイクルの実装システムを用いて、ジョセフソン集積回路の動作試験を行なった。2.5μmφのNb/AlO_x/Nb接合技術で作製した4ビットのマイクロプロセッサ²⁴⁾をクロック周波数1.1GHzで動作させることができた。したがって、提案した実装方法により、低温で動作するジョセフソン素子と室温で動作する半導体素子を組合わせたシステムを構築することが可能であると思われる。

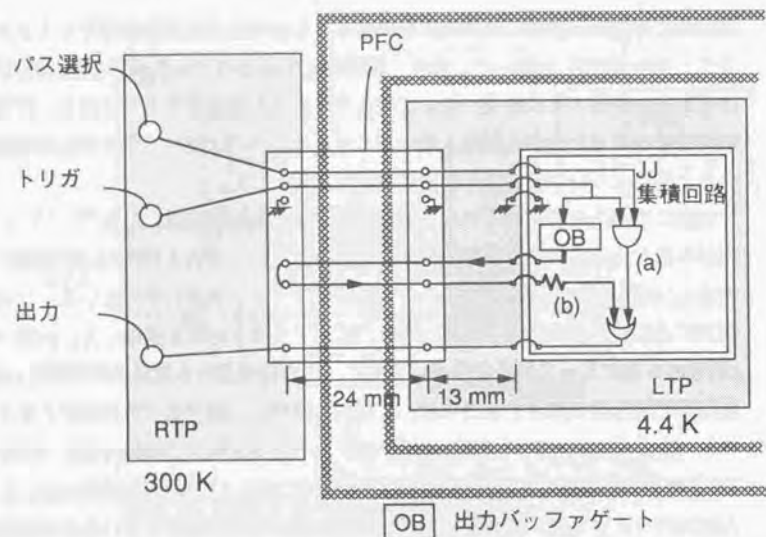


図8.15 実装システムの性能評価のために設計したテスト回路構成図

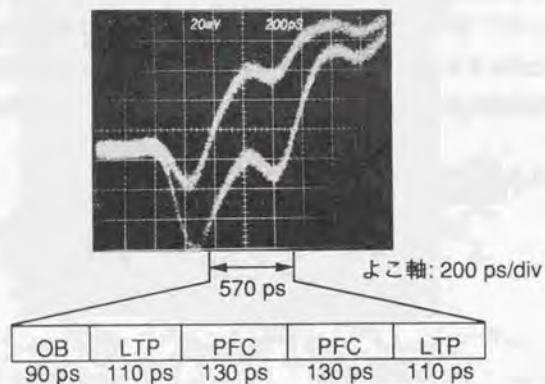


図8.16 実装システムの性能評価 (信号伝搬時間の測定結果)

8.4 むすび

本章では、ジョセフソンメモリを実用化するために有効な技術として、電源回路におけるレギュレータの新方式や冗長回路の一つの構成方法を示した。さらに、ジョセフソンメモリと半導体素子で信号の受け渡しを行なうためのインターフェイス回路や閉サイクルのジョセフソンデジタルシステムの基礎実験をおこなった。前者に関してはジョセフソン素子と半導体素子を用い、クロック周波数800MHzでジョセフソンゲートの信号レベル(約3mV)を半導体の信号レベル(約1V)に変換することが確かめられた。また、後者に関しては閉サイクルの冷凍機で冷却したジョセフソンゲートと室温素子間で240psと高速に信号を伝えることができた。このようにジョセフソンメモリとこれを用いたジョセフソンデジタルシステムを実現するために有効な基礎技術はほぼ確立できたと考えられる。

第9章 将来展望

9.1 はじめに

新たに考案したメモリセルや周辺回路を用いた4K×1ビットのジョセフソンRAMで、アクセス時間590psの高速動作を実証した。最小接合径が $2.5\mu\text{m}$ ／配線幅 $4\mu\text{m}$ と比較的緩い加工技術を用いたにも拘らず、アクセス時間として590psと高速な実験結果を得た。加工技術を微細化するとともにメモリセルを分割化することにより、さらにアクセス時間の高速化や大容量化が期待できる。本章では、まずセルアレイの分割化の重要性を述べた後、微細化とメモリセルの分割化によりアクセス時間がどの程度高速化できるかを予想する。

次に、ジョセフソンメモリの応用に関して将来の見通しを述べる。半導体素子の進歩に伴い、ジョセフソン素子との動作速度の差が急速に縮まった。特に、メモリ回路では配線による遅延時間などゲート自身のスイッチング時間以外の要因が動作速度に影響を与えるためにさらにその差は小さくなった。このような背景のもとで今後ジョセフソンメモリおよび論理回路がどのような応用に期待できるかの将来展望について考察する。

9.2 加工技術の微細化による高速化・大容量化

9.2.1 セルアレイの分割化

半導体素子を用いたバイポーラRAMやCMOS RAMではメモリ容量の増加に伴いワード線やビット線での信号遅延が増加してきている。そこでメモリセルアレイをマクロセルと呼ぶブロックに多分割して高速化する方法が使われている。たとえば、スーパーコンピュータ VP200 ではバイポーラ (ECL) 技術を用いてRAM (64K) と論理LSI (3472ゲート) を同一チップ内に搭載したLSIチップを用いている。そのRAM部では、4KのRAMマクロ (256ワード×16ビット構成) を16個用いた構成で高速化をはかっている⁷⁹⁾。

ジョセフソンメモリでも同様な手法で高速化できると予想される。本研究で設計、試験を行なった4K RAMは、最小接合径 $2.5\mu\text{m}$ 、配線幅／配線間隔は $4\mu\text{m}/6\mu\text{m}$ と半導体RAMに比べて緩いパターンルールで設計した。セルアレイの分割化が有効になるのは、これよりも微細化および大容量化した場合であると考えられる。微細加工

技術によりメモリセルや周辺回路のゲートを微細化することによって、ゲートのスイッチング時間が速くなると共に配線長を短くすることができる。しかし、配線幅が狭くなることによりそのインピーダンス (インダクタンス) も高くなる。負荷抵抗とインピーダンス整合をとるためにはメモリセルを駆動するドライバゲートの出力電圧をキャップ電圧の4倍 ($4V_c$) よりさらに大きくする必要がある。しかし、ドライバゲートの寸法や動作マージンを考慮すると無制限には出力電圧は増加できない。したがって、微細化した場合にはインピーダンス整合は困難であるが、配線長を短くできるので信号の伝搬時間は短くなる。この際、セルアレイの分割化が有効である。図9.1に示すように、マクロセル内では微細化によりゲートのスイッチング時間や信号の伝搬時間を速くできる。各マクロセル間は、配線幅の広い信号線と高電圧ドライバゲートを用いてインピーダンス整合をとることができる。このようなセルアレイを分割化した構成によりトータルの配線遅延時間が短くでき、ジョセフソンメモリの高速化が実現できると期待できる。

9.2.2 4K RAMのアクセス時間の高速化の予想

ジョセフソンゲートのスイッチング時間は接合を微細化することにより速くなるので、RAMのアクセス時間も接合寸法を小さくすることにより高速化できると期待できる。しかし、第7章に述べたように、最小接合径 $2.5\mu\text{m}$ で設計した4K RAMのアクセス時間の約40%は配線による遅延である。この配線遅延はゲートの遅延時間のようには微細化による効果はさほどない。配線遅延は、近似的には配線のインダクタンス (L)、出力電流 (I)、ゲートの出力電圧 (V) により LI/V で決まる。ジョセフソン集積回路のスケーリングルールでは、接合面積とジョセフソン素子の臨界電流密度の積、すなわち臨界電流は一定になるように微細化するので I は一定になる。また、配線幅と配線長は同一比率で縮小するので、インダクタンスも一定に保たれる。したがって、 V を一定にすると設計ルールを微細化しても配線遅延は小さくならない。しかし、ゲートの出力電圧を大きくすることにより高速化が可能である。

次に具体例として、第7章で述べた4K×1ビットRAMを微細化した場合のアクセス時間を予想する。ここでは、接合径と配線ルールは同一比率で縮小することを考える。また、配線遅延は高電圧ドライバゲートの出力電圧を増加することや、メモリセルのセンス接合の配線幅を広くすることにより、接合径に比例して減少すると仮

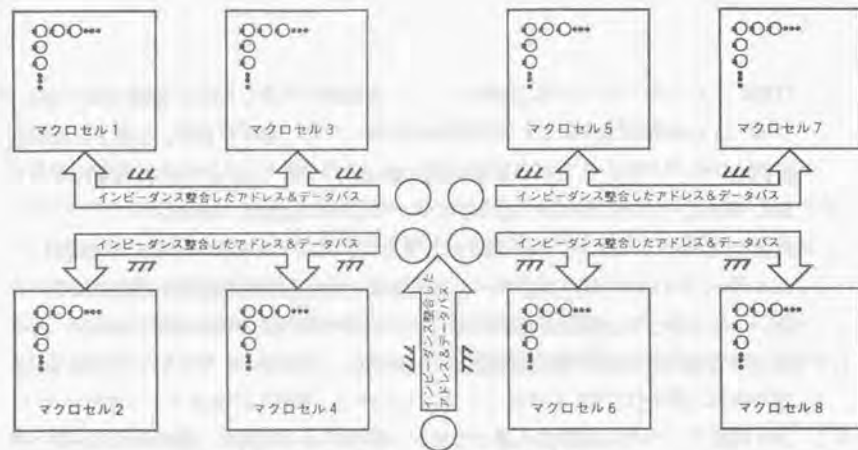


図9.1 メモリセルアレイの分割化

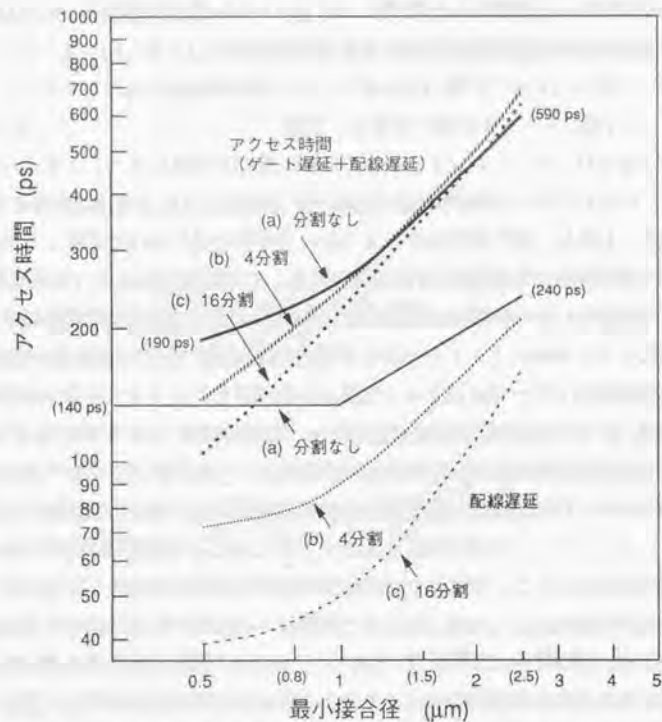


図9.2 微細化したときの4K RAMのアクセス時間の予想値

定する。ただし、負荷抵抗の値を考慮した際の実用的な高電圧ドライバゲートの出力電圧の最大値は $10V_{DD}$ であり、配線遅延の縮小もこれで制限されると仮定した。また、これまでに報告されている結果からゲートの遅延時間 τ_g は接合径 D の1.2乗に比例すると仮定した⁸⁰⁾。

最小接合径が $2.5\mu m$ ルール、配線幅が $4\mu m$ での実験結果(アクセス時間: $590ps$)を基にして最小接合径が $0.5\mu m$ から $2.5\mu m$ の範囲でアクセス時間を計算した。まず(a)セルアレイを分割化しない場合について、最小接合径に対するアクセス時間を予想した結果を図9.2に太い実線で示す。細い実線は配線遅延による寄与分であるが、ドライバゲートの出力電圧の制限から $1\mu m$ 以下の接合径では一定の値となる。したがって、アクセス時間の減少も飽和傾向になる。最小接合径が $0.5\mu m$ の場合のアクセス時間として $190ps$ が予想された(このときの臨界電流密度は、 $75,000A/cm^2$ である)。この場合はアクセス時間の約70%が配線遅延となっている。このようにセルアレイを分割しない場合には、配線による遅延時間(言い換えれば、インダクタンス負荷の駆動時間)の割合が増加し、アクセス時間の高速化が制限される。そこで、セルアレイを4分割および16分割し、高速化をはかった場合のアクセス時間の予想を行なった。接合径が $2.5\mu m$ の設計ルールでは、分割化によりむしろアクセス時間は幾分遅くなってしまふ。これは分割化のためのゲート段数の増加によるが、加工技術を微細化することにより分割化の効果が現れる。図9.2には、セルアレイを(b)4分割、(c)16分割した場合のアクセス時間の予想結果を示した。最小接合径 $0.5\mu m$ で16分割することにより約 $100ps$ のアクセス時間が達成できると予想された。この場合、アクセス時間のうちの配線遅延の割合は約35%と小さくなっている。したがって、さらに分割数を増やしてもアクセス時間の大幅な高速化は望めない。Nb接合技術を用いて作製可能なジョセフソン素子の臨界電流密度等を考えると、最小接合径 $0.5\mu m$ でアクセス時間約 $100ps$ の4K RAMが高速化の限界であると考えられる。

9.2.3 大容量化およびアクセス時間の予想

まず、微細化によりどの程度の規模のRAMが実現可能であるかを検討する。集積回路チップの面積は一定で大容量化することを想定した。専有面積は主として線幅によって決まっているので、最小線幅はメモリ容量の $-1/2$ 乗に比例し、接合径は M

メモリ容量の $1/4$ 乗に比例して縮小すると仮定する。設計・作製した最小接合径 $2.5\mu\text{m}$ ／配線幅 $4\mu\text{m}$ の 4K RAMを基準として考えると、接合径 $0.44\mu\text{m}$ ／配線幅 $0.13\mu\text{m}$ を用いれば 4M RAMが実現できると考えられる（臨界電流密度： $97,000\text{A}/\text{cm}^2$ ）。

大容量化とともにそのアクセス時間がどのように増加するかを検討した結果を図9.9に示す。大容量化およびこれに伴う微細化によるゲートの遅延時間と配線の遅延時間の変化は、先程の 4K RAMの微細化と同様に考えた。(a)セルアレイを分割しない場合と、(b)4分割、(c)8分割、(d)16分割および、(e)32分割した場合の5つのケースについてアクセス時間を予想した。大容量化やセルの分割化に伴い周辺回路のゲート段数や配線長が増加する。特に大容量化に伴い配線のインダクタンスが増加する。高電圧ドライバゲートの出力電圧の制限から遅延時間の増加が顕著になり、 4M RAMではメモリセルを分割しない場合のアクセス時間は 4.4ns となり半導体CMOS技術を用いたSRAMと変わらなくなってしまう。しかし、メモリセルを8分割化することにより 1.2ns のアクセス時間が期待できる。8分割の場合には、メモリ容量が 1M ビット以上の場合にアクセス時間は急激に増加する。さらに分割数を32にして同様なルールで大容量化した場合について検討した。この場合には 4M 程度まで大容量化しても配線遅延が減少することにより、メモリ容量を増加してもアクセス時間はさほど増加しない。その結果 4M RAMでのアクセス時間として 740ps と高速な値が期待できる。

9.2.4 メモリ回路に関する総括的展望

Nb/ AlOx /Nb接合作製技術が開発されたことにより、ジョセフソン集積回路技術は飛躍的に進歩した。論理回路では、動作速度が速く動作マージンの大きなゲートを開発する努力がなされ、複数のジョセフソン接合、抵抗を用いて動作マージンの大きな電流注入型のゲートを開発することに成功した。しかし、動作マージンを優先したために、ゲート寸法は比較的大きなものになった。しかし、その動作速度の高速性から半導体論理回路に対抗できる性能を発揮でき、半導体回路に比べて一桁以上高速な 4 ビットマイクロプロセッサや 8 ビットDSP (Digital Signal Processor) の動作試験に成功している。これに比べてジョセフソンメモリ回路技術の研究は、ジョセフソン素子をメモリ回路に適用する際に多くの課題があったためにあまり進歩していなかった。本研究では、これらの課題を解決するための新たなメモリセル

や周辺回路・ゲートを提案し、これらの技術を用いて設計・作製した 4K RAMでアドレスアクセス時間として 590ps と高速な値を得ることができた。この回路では、最小接合径は $2.5\mu\text{m}$ 、配線幅／配線間隔はそれぞれ $4\mu\text{m}/6\mu\text{m}$ と比較的緩やかな設計ルールを用いたので、微細化やセルアレイの分割化によりさらに高速化できる。

一方、CMOS技術を用いた半導体メモリ (SRAMやDRAM) は、驚異的な勢いで記憶容量、動作速度共に進歩 (記憶容量は4倍/3年のペースで増加) した。これに伴い、デジタルシステムでは、安価な大容量のメモリをたくさん用いたアーキテクチャが採用されるようになった。これがメモリ開発に一層の拍車を駆けた。現在DRAMの世界では 16M が製品化され、 256M が開発中である。また、半導体回路での超高速メモリであるバイポーラメモリもその高速性能では優位を保っている。しかし、実装上の遅延時間が長くなりメモリチップ本来の高速性能を引出せなくなってきた。そのために、ベアチップを直接実装したり、チップ内に論理回路とメモリを搭載し、信号の伝搬時間の短縮をはかっている。その結果、バイポーラRAMでは、 $36\text{K}\sim 64\text{K}$ ビット規模で、アドレスアクセス時間が $1.4\sim 2.0\text{ns}$ という高速性能が達成されている^{81) 82) 83)}。最近、開発レベルでは 18K ビット (256 ワード $\times 9$ ビット $\times 8$ ブロック構成) で 1ns 以下のアクセス時間のRAMが発表されている⁸⁴⁾。一方、プロセスドライバとしてのDRAMの進歩は急速であり、これに対抗して同規模あるいはそれ以上に大容量なジョセフソンRAMを作ることは困難である。また、ジョセフソンメモリはその高速性能では半導体メモリと比較して現時点でも優れているが、その差は小さくなっている。冷却の問題や製品の開発・製造のリスクやコストなどを考えると、ジョセフソンメモリはそれ自身の性能だけで半導体メモリと競争できるほどの性能差はなくなってしまった。しかし、ジョセフソン素子を用いたデジタルシステムを構築する場合には、高速なジョセフソン論理回路に対応するジョセフソンメモリは不可欠である。その際、微細化や多層化による高速化の他に半導体LSIで行われているように論理回路とメモリを同一チップ上に設けるか、ベアチップ実装で信号伝搬遅延を極力減らす方式が必要である。

また、今後ジョセフソンメモリを実際のシステムに応用していく際には、その使い分けが必要であると考えられる。メモリ容量は小さいがとにかく高速性を重視した設計や、ある程度のメモリ容量と高速性が要求される場合には冗長回路を考慮した設計技術などが必要になると思われる。これら高速性が要求される場合のメモリ

回路はジョセフソン素子で実現する必要がある。しかし、ある程度大きなシステムで必要な大容量メモリには、DRAMやSRAMなどの半導体メモリを採用したシステムが有望である。この際、ジョセフソン素子と半導体素子とのインターフェイスや実装技術、ハイブリッド技術が重要になると考えられる。

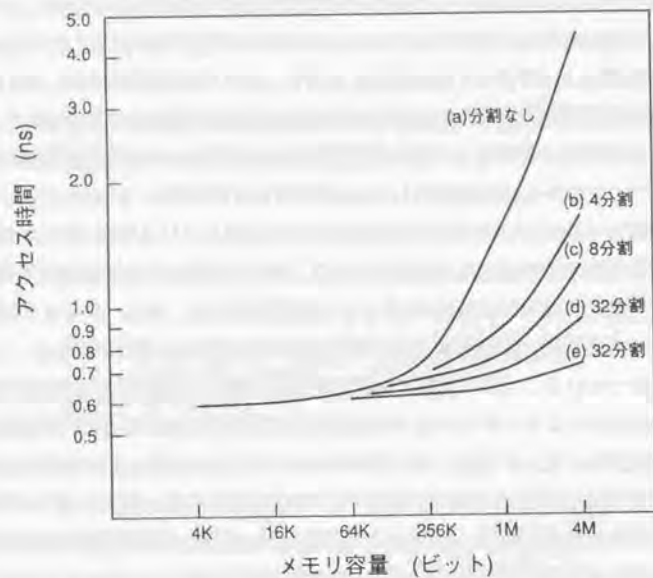


図9.3 大容量化したときのRAMのアクセス時間の予想値

9.3 ジョセフソンディジタルシステムの展望

本研究を始めた15年前には、ジョセフソン素子のスイッチング時間は半導体素子に比べて二桁以上高速であり、コンピュータ素子への応用が有望であると考えられた。しかし、半導体集積回路技術の進歩により、現在ではその差は一桁程度に縮まっている。メモリ回路に関しては高速化とともに配線遅延など素子自身のスイッチング時間以外の要因が強くなってきた。本研究では、ジョセフソンメモリで高速性能を実現するための回路技術を中心に研究し、半導体メモリより高速なジョセフソンメモリを実現できた。一方、コンピュータ応用の技術の流れをみると、メインフレーム中心の流れからワークステーションを用いた分散処理、ネットワーク化といった方向へ移行している。それでも、大規模な模擬実験等ではメインフレームやスーパーコンピュータなどの高性能化の要望は依然として存在するが、システムの並列化によって高速化をはかろうとしている。したがって、このような背景では極低温に冷却が必要なジョセフソンコンピュータが実用化される可能性は極めて小さいといわざるを得ない。より小規模で極低温に冷却することが不可欠な超伝導センサなどと組合せたシステムへの応用が現実的であると考えられる。

ジョセフソン素子は高感度なセンサとして有望である。特に医療分野での高感度な生体磁気計測のためのセンサとしてのSQUIDは、その実用化が大いに期待されている。現在、脳磁界の分布を測定する多チャンネルのSQUIDシステムの開発が精力的に行なわれている。外部フィードバックが不要でデジタル出力を有するワンチップSQUIDは、必要な信号線数が少なく多チャンネル化に適しているが、それでも100チャンネルを超えるようなシステムでは総信号線数が膨大になってしまう。ワンチップSQUIDでは外部に取り出す必要のある信号のビットレートはチップ内部のビットレートの1/1000程度で良い。そこで図9.4に示すメモリ回路を含むデータ圧縮用のジョセフソンプロセッサを用いることで比較的小規模な回路で大幅なデータ圧縮を実現できる⁸⁵⁾。たとえば256チャンネルのシステムでは1200ゲート規模(RAM容量300ビット)のプロセッサを8個並列に320MHzで動作させることにより、データ圧縮率1.75%が達成できる。以下にこのプロセッサの構成を簡単に述べる。

このSQUIDプロセッサの入力部は n チャンネルのSQUIDからの正負両極性のパルスをラッチして順次デコーダに送り出す2系統の n ビットシフトレジスタで構成される。デコーダではシフトレジスタからの信号を解読してカウントアップかカウントダウンか

の演算モードを決めて、メモリから読み出された多チャンネルの計数値に演算を行ない、再びもとのアドレスに格納する。以上のような処理を全てのチャンネルについて行ない、必要なタイミングでデータをI/Oポートに読み出してデータをリセットする。このプロセッサのクロック周波数はSQUIDからのデータのビットレート（SQUIDのバイアス周波数 f_b ）の n 倍であり n 個のセンサを1ブロックとしてこれを m 個並列に動作させ、さらにその出力をマルチプレクサを用いた多重化回路により多重化することが有効である⁸⁶⁾。この方法により $N = n \times m$ チャンネルのSQUIDシステムが、 $n \times f_b$ のクロック周波数で実現できる。

また、ミリ波帯の電波を検出するためのSIS (Superconductor-Insulator-Superconductor) 素子は、低雑音のミキサ (周波数混合器) としてすぐれた性能を示す。多くの電波天文の観測のための望遠鏡にはこのSISミキサが用いられている^{87) 88)}。電波天文以外でも成層圏のオゾン量の測定などにおいてミリ波の技術は有望であると考えられる⁸⁹⁾。これらのシステムでは測定データはスペクトル分析される。これまで多くの場合には音響光学的あるいはアナログ回路による分光装置により分析されている⁹⁰⁾。その一方ではデジタル分光装置の開発も行なわれており、小型化や処理能力の向上が期待されている。この際、中心となる技術はFFTに代表されるデジタルフーリエ変換技術である。図9.5は、CMOS技術により画像用に開発されたFFT専用プロセッサのブロック図である⁹¹⁾。 2^n ポイントのFFT演算には、 $2^n/2 \times n$ 個のバタフライ演算が必要であるが、このプロセッサでは、基数2の複素バタフライ演算部にデータRAMと係数ROMからのデータをバス (A-BUS、B-BUS、C-BUS) を通して与えることにより256ポイント \times 256ポイントの2次元FFTを実現している。ここでRAMやROMのアドレスをそれぞれのアドレス発生器から与えて所望の組合わせのバタフライ演算を次々に実行している。このような比較的汎用的なもの他に、電波天文用に特別に開発された高速のデジタル分光装置もある⁹²⁾。これは、並列演算などのようなアーキテクチャーの工夫などにより信号処理速度を向上させているが、さらに高速化することが望まれている。これらデジタル分光計にジョセフソン素子を用いれば、その性能向上が期待できる。

以上述べたようにジョセフソンメモリおよび論理回路の動作速度は半導体素子を用いたものに比べて依然として高速である。その性能を有効に活かすためには超伝導センサと組合せた専用プロセッサとしての応用が最も有望であると考えられる。

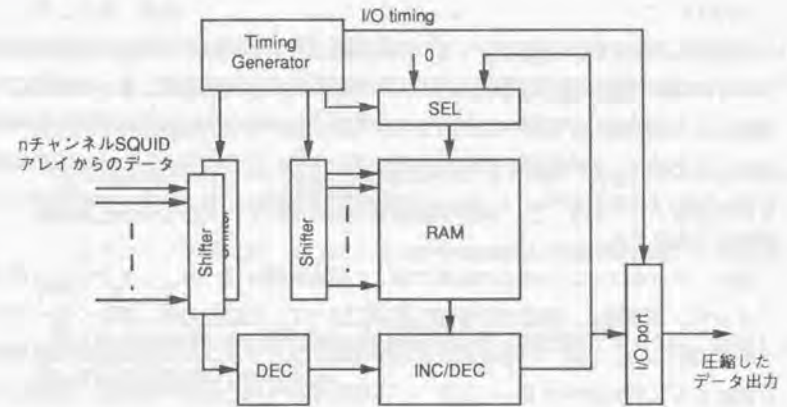


図9.4 ジョセフソンメモリの応用例
(データ圧縮用のジョセフソンプロセッサ)

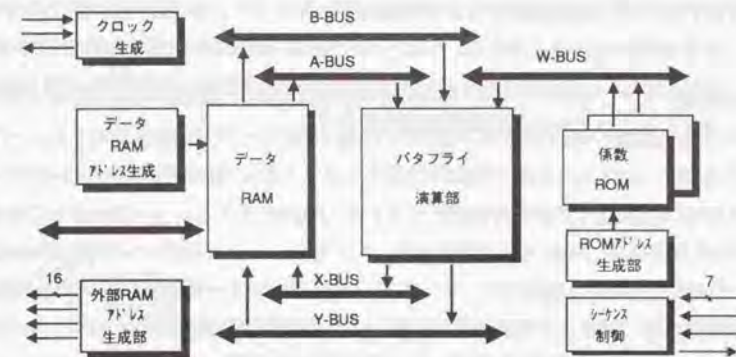


図9.5 FFTプロセッサのブロック図 (宮永氏らによる⁹¹⁾)

9.4 むすび

本章では、まずジョセフソンメモリ回路が接合径や配線幅などの加工技術を微細化することによりどの程度高速化・大容量化が可能であるかを予想した。微細化に伴い配線による遅延時間が顕著になり、これを低減するにはセルアレイの分割化が有効であることを述べ、その効果の定量的評価を行なった。その結果、 $0.5\mu\text{m}$ の接合技術を用いた4K RAMで約100ps、 $0.44\mu\text{m}$ の接合技術を用いた4M RAMで740psのアクセス時間が予想できた。

次に、ジョセフソンメモリの実用に関して将来展望を述べた。ジョセフソン素子のスイッチング時間は、現在では半導体素子に比べて一桁程度の差しかなくなっている。メモリ回路に関しては、配線遅延など素子自身のスイッチング速度以外の要因が強いためにさらにその差が小さい。しかし、本研究で得られた結果や微細化・分割化による性能予想では、実用化の問題はさておき依然として半導体メモリより高速なメモリが実現できると期待できる。しかし、現在のコンピュータの技術的な流れからは、極低温冷却が必要なジョセフソンコンピュータが実用化される可能性は極めて小さい。また、コンピュータ以外の汎用のデジタルシステムではより大規模で安価なメモリチップが要求されるので、半導体メモリを置き換えることは難しい。したがって、今後の発展方向としては、比較的小規模なジョセフソンメモリや論理回路を用いてジョセフソン素子の特性を生かしたシステムを実現化することが有望である。特に、ジョセフソン素子を高感度なセンサとして用いたシステムの信号処理回路への応用が期待できる分野であると考えられる。その一例として、生体磁気計測のための多チャンネルのSQUIDシステムにおけるデータ圧縮のための専用プロセッサやSISミキサと組合わせたデジタル分光計への応用等が期待できる。

第10章 結論

本論文では、コンピュータなど高速のデジタルシステムへの応用が期待されているジョセフソンメモリ（とくにRAM）に関する回路技術の研究開発について述べてきた。以下に各章で得られた成果を要約し、結論とする。

第1章ではジョセフソン素子の研究の背景を述べた後、高速スイッチング特性や低消費電力性などのジョセフソン素子の特徴を説明した。さらに、本研究の背景となるジョセフソンメモリに関するこれまでの研究経過および成果を整理し、本研究の目的を明らかにした。

第2章では従来のメモリセルとその周辺回路の主な回路方式について説明した後、それぞれの課題を明らかにした。

第3章では新たに提案したものを含めて3種類のメモリセルについて設計、実験を行ない検討した。まず、代表的なメモリセルであるヘンケルス型と2接合SQUID型メモリセルの設計、動作実験を行なった。ヘンケルス型では蓄積する磁束量子の量子化に伴う永久電流の変化による動作マージンの減少や、書き込みゲートと読み出しゲートの動作電流レベルを合わせることの困難性を指摘した。また、2接合SQUID型では高集積化したときのメモリセル間の干渉やグレイゾーンなどが原因して動作マージンを減少させることを明らかにした。これら、従来のメモリセルの欠点を解消した容量結合型メモリセルを提案した。その設計方法を明らかにするとともに、その動作を実験で確かめ、このメモリセルの特長を明らかにした。

第4章では周辺回路の一つであるデコーダ回路に関して、ORデコーダと磁界結合型ゲートおよび電流注入型ゲートを用いたラッチ型デコーダについて検討した。ORデコーダは回路構成が簡単であるがタイミング信号が必要であることから、現時点では高速用には不適切であると考えられた。タイミング信号が不要で、高速性が期待できることからANDゲートを用いたラッチ型デコーダを提案した。まず、磁界結合型ゲート（3接合SQUID）をANDゲートに用いたラッチ型デコーダを設計し実験を行なったが、動作マージンが小さい等の問題があった。高速動作や動作マージン、専有面積等を検討した結果、4JLゲートと単接合による電流注入型ANDゲートによるデコーダが有望であると考えられた。この方式による6-64ビットデコーダでデコーディング時間として

90psを得、その高速性を実験で確かめた。

第5章ではドライバ回路について述べた。ジョセフソンメモリ回路の高速化を阻害している一つの要因は多くのメモリセルを駆動するドライバゲートの駆動能力(出力電圧)の不足であった。これまで、ジョセフソンゲートの出力電圧を増加させることは困難であると考えられていた。しかし、新しいアイデアによる構成の高電圧ドライバゲートを考案することで出力電圧を増加することに成功した。これにより、メモリセルのドライバの駆動能力を飛躍的に改善できるようになった。

第6章では第7章で述べる4Kメモリ等の試作に用いたNb/AlOx/Nb接合作製プロセスおよび測定技術について説明した。素子作成プロセスでは、標準的なプロセスに加え、メモリセルに用いたキャパシタの作成プロセスを開発した。またテスト回路作製時に生じた作製プロセス上の問題点の原因を明らかにし、対策を施した。測定法に関しては超伝導ループを流れる電流の測定法を開発した。また回路測定に用いた直流サンプリング法や回路の動作測定に用いる測定治具やパッケージを開発した。

第7章では、これらメモリセルおよび周辺回路の研究を踏まえ、サブナノ秒クロックのジョセフソンデジタルシステムを実現するためのフィージビリティスタディーとして、4Kジョセフソンメモリ(RAM)を設計、動作試験を行った結果を述べた。アクセス時間として、発表した1988年の時点で世界最高の590ps(消費電力19mW)を得ることができた。設計した回路では、新たに提案した容量結合型メモリセル、4JLゲートと単接合によるANDゲートによるデコーダ、ギャップ電圧の4倍の出力電圧を発生する高電圧ドライバゲートを用いており、これらの有効性を実証することができた。

第8章では、今後ジョセフソンメモリを発展させ、これを用いたジョセフソンデジタルシステムを実用化するために有効な周辺技術を述べた。メモリ回路に関しては、レギュレータの改良や回路を工夫することでジョセフソンメモリにおいても冗長設計が可能であることを示した。また、ジョセフソンメモリを用いたデジタルシステムに関しては、高電圧ドライバゲートと半導体素子を組合わせたジョセフソン回路-半導体回路間のインターフェース回路や閉サイクル冷凍機を用いたジョセフソン実装システムの基礎実験結果を示した。

第9章ではまず、加工技術の微細化による高速化・大容量化の限界を予想した。メ

メモリセルを分割しない通常の設計では配線遅延が減少せず、動作の高速化を阻害してしまうことが明らかになった。しかし、セルアレイをブロック化し、これを高電圧ドライバゲートで駆動することにより半導体メモリより高速なメモリ回路を実現することが可能であることを述べた。

次に、将来展望としてジョセフソンメモリおよび論理回路の応用が期待される分野に関して考察した。生体磁気計測のための多チャンネルSQUIDシステムやSIS素子を用いたミリ波測定装置など、超伝導センサと組合わせた専用プロセッサとしての応用が最も有望な分野であることを述べた。

本研究によって提案した新たな回路技術を用いることにより、従来困難であったサブナノ秒で動作するジョセフソンメモリ(RAM)の動作を実験的に確かめた。さらに、今後ジョセフソンメモリを用いたデジタルシステムを実用化するための、ジョセフソン回路-半導体回路間のインターフェース回路や閉サイクルの実装システムに関してもその見通しを得ることができた。

ジョセフソンメモリは単独で半導体メモリと対抗できるものではない。あくまで、システムの中でその特長を活かすべきものである。今後は、ジョセフソンメモリおよびジョセフソンデジタルシステムに適したターゲットを見定め、実用的なシステムに適用していく努力が重要であると考ええる。今後の最も有望な分野は、ジョセフソン素子を用いてしか実現できないSQUID磁束計や、SISミキサなどの高感度・低雑音のセンサと組合わせた専用プロセッサへの応用であると考ええる。たとえば、生体磁気計測における多チャンネルSQUIDのデータをジョセフソンメモリおよび論理回路による専用プロセッサによりデータ圧縮等の処理を行なった後、室温側へデータを転送し処理する方式への応用である。

付録

付録 A1 インダクタンス、磁界結合度の計算

1) インダクタンスの計算式

2接合SQUIDの等価回路は、超伝導電子の運動エネルギーに起因するカイネティックインダクタンスも含めると図A1.1のように表せる。 L_A は相互インダクタンス、 L_B 、 L_C はそれぞれ下部電極と上部電極で磁的に結合しない分のインダクタンスである。これらの値は、フリッジング係数と薄膜効果を考慮して、

$$L_A = \mu_0 \{ (d_{12} + \lambda_{eff}) l + \lambda_{eff} l_j \} / (K W_c) \quad (A1-1)$$

$$L_B = \mu_0 \lambda_B (1 + l_j) / \{ (K W_c \sinh(d_B/\lambda_B)) \} \quad (A1-2)$$

$$L_C = \mu_0 \lambda_C (1 + l_j) / \{ (K W_c \sinh(d_C/\lambda_C)) \} \quad (A1-3)$$

により計算できる⁹³⁾。ここで l はブリッジ長、 l_j は接合長、 W_c は上部電極の幅、 d_{12} は絶縁層の厚み、 K はフリッジング係数である。また μ_0 は真空中での透磁率である。

(A1-1)式で用いた λ_{eff} は上部と下部の両電極のロンドンの侵入長の和であり、

$$\lambda_{eff} = \lambda_B \tanh(d_B/\lambda_B/2) + \lambda_C \tanh(d_C/\lambda_C/2) \quad (A1-4)$$

である。 L_A が磁界結合に関与する、相互インダクタンスである。これらの式から、接合2個を含む超伝導ループ (SQUIDループ) のインダクタンス L は

$$L = L_A + L_B + L_C = \mu_0 \{ (d_{12} + \lambda_{loop}) l + \lambda_{loop} l_j \} / (K W_c) \quad (A1-5)$$

と表せる。ただし、ここで

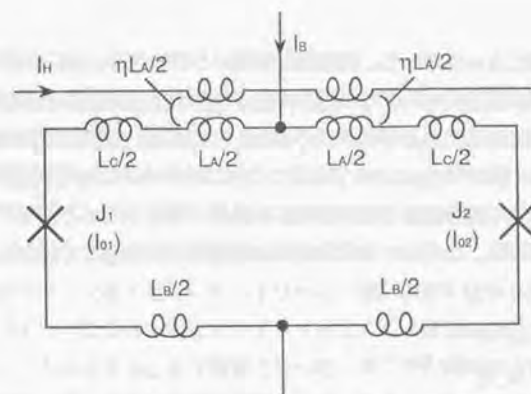
$$\lambda_{loop} = \lambda_B \coth(d_B/\lambda_B) + \lambda_C \coth(d_C/\lambda_C) \quad (A1-6)$$

を用いた。この λ_{loop} を用いると、相互インダクタンス L_A を表す式(A1-1)の λ_{eff} を λ_{loop} に置き換えるとループインダクタンス L の式(A1-5)になる。

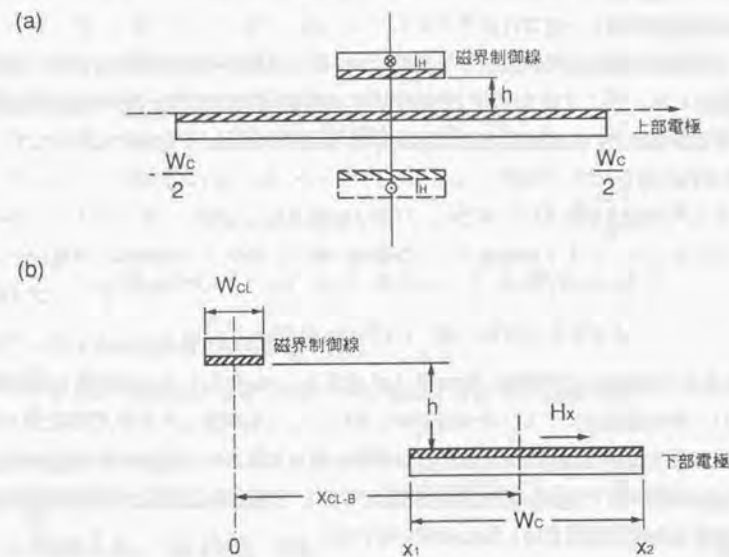
自己インダクタンスと相互インダクタンスを測定するためのテスト素子を作製し評価した結果、2接合SQUIDのループインダクタンスは±2%以内で理論値と一致した⁹⁴⁾。したがって、2接合SQUIDのループインダクタンスは、式(A1-5)～(A1-6)で計算できることが確かめられた。

2) 磁界結合係数および干渉率の計算

3.3.2節で述べたように、2接合SQUIDの磁界制御線とSQUIDループ間の磁界結合係数



図A1.1 2接合SQUIDの等価回路



図A1.2 (a)磁界結合係数 および、
(b)隣接するメモリセル間の干渉率の計算モデル

は制御線の位置によって異なる。実効的な相互インダクタンスは、結合係数 η を用いて ηL_A で表せる。本論文では、この結合係数の磁界制御線の位置依存性を鏡像法とアンペアの周回積分の法則およびビオサハールの法則を用いた簡便な方法により計算をした。すなわち、図A1-2(a)に示すように、マイスナー効果による磁場のシールド効果を上部電極下部に鏡像電流を導入することによって表した。このモデルで制御電流 I_H によって上部電極上に作られる磁場 H_x を上部電極の幅の範囲で積分し、 I_H との比を結合係数 η_{cal} とした。すなわち、

$$\eta_{\text{cal}} = \int_{-W_c/2}^{+W_c/2} H_x \cdot dx / I_H \quad (\text{A1-7})$$

$$H_x = (I_H/\pi/W_{CL}) \cdot \{\tan^{-1}(-x/h+W_{CL}/2/h) - \tan^{-1}(-x/h-W_{CL}/2/h)\} \quad (\text{A1-8})$$

を用いて計算した。図3.7(b)に示したように、制御線の位置に対する結合係数の変化は実験値と良く一致した。

同様な方法により、隣接するメモリセル間での磁界の漏れに起因するセル間干渉を計算した。図A1.2(b)に示すような構造に鏡像法を適用して、セル1の制御線がセル2の下部電極上に作る磁場を上部電極の幅(W_c)である x_1 から x_2 まで積分して、

$$\begin{aligned} IR &= \int_{x_1}^{x_2} H_x \cdot dx / \eta \cdot I_H \\ &= (h/\eta/\pi/W_{CL}) \cdot \left[-\tan^{-1}(-x/h+W_{CL}/2/h) \cdot \tan^{-1}(-x/h+W_{CL}/2/h) \right. \\ &\quad \left. + \tan^{-1}(-x/h-W_{CL}/2/h) \cdot \tan^{-1}(-x/h-W_{CL}/2/h) \right. \\ &\quad \left. + 1/2 \cdot \log_e \left[\frac{\{(-x/h+W_{CL}/2/h)^2+1\}}{\{(-x/h-W_{CL}/2/h)^2+1\}} \right] \right] \quad (\text{A1-9}) \end{aligned}$$

として干渉率 IR を計算した。ここで η はメモリセルとその制御線との結合係数、 W_{CL} は制御線の幅である。 h は磁界制御線の下部と下部電極の上部との距離であり、図3.8に示した計算結果では $1.5\mu\text{m}$ を用いている。

付録 A2 ジョセフソン接合のインパルス応答⁹⁵⁾

容量結合型のジョセフソンメモリセルの読出し動作では、磁束量子の出入りの際に発生する時間幅の狭いパルスを容量結合した単接合で検出する必要があった。このパルスは時間幅が数psと狭い電流パルスであり、かつ、このパルスの前後で電流値が異なる。さらに、パルス印加後の電流には振動電流が重畳する。このようなパルスをいかにうまく検出するかによって読出し用の接合(センス接合)のバイアスマージンが決まる。ジョセフソン素子を用いたメモリセルでは、一般的にセンス接合のバイアスマージンがメモリ回路全体の動作マージンを決定する。容量結合型のメモリセルでもこのマージンを大きくすることが重要であった。そこで、容量結合型メモリセルの読出し動作を想定して、非常に時間幅が狭く、その前後での電流値が異なるようなパルス電流を与えた際の単接合の応答を検討した。

具体的には、あらかじめジョセフソン素子には臨界電流 I_m 以下の電流 i_1 にバイアスしておき、それに幅 Δt 、振幅 ΔI のインパルスを重畳してピーク電流値として i_2 を与える(図A2.1参照)。また、インパルス印加後のバイアス電流として i_3 を与える(従来の報告では $i_1=i_3$ であったが、 $i_1 \neq i_3$ の場合に適用した)。 i_2 、 i_1 、 i_3 をパラメータとして、ジョセフソン素子がスイッチするのに必要な最小パルス幅 τ を中心に調べた。この τ の計算には、S. H. Dong と T. Van Duzerが報告している接合の結合エネルギーから解析的に求める方法を適用した⁹⁶⁾。また、パルス印加後のバイアス電流に正弦波状の振動波形を重畳した際の影響について計算機シミュレーションにより検討した。

1) ポテンシャルエネルギーからの解析法

解析法は基本的には S. H. Dong and T. V. Van Duzerによるポテンシャルエネルギーを用いた解析式である。彼等は、インパルス印加前後のバイアス電流値が等しい場合($i_1=i_3$)について解析したが、これらが異なる場合($i_1 \neq i_3$)について適用した。

基礎方程式は、1.2節に示したジョセフソンの回路モデルから、

$$C \frac{dV}{dt} = i_g - I_m \sin \phi - V/R_L \quad (\text{A2-1})$$

$$V = K \cdot d\phi/dt \quad (K = \Phi_0/2\pi) \quad (\text{A2-2})$$

によって表される。

ここで、 C は接合のキャパシタンス、 i_g はバイアス電流、 I_m は接合の臨界電流、 V

は接合両端の電圧、 R_L は負荷抵抗、 Φ_0 は磁束量子 [2.07×10^{-15} (Wb)] である。

①接合にバイアス電流を与えると接合の位相が変化しエネルギーを得る。素子を電圧状態にスイッチするのに必要なエネルギー値となる接合の位相を計算する。

ジョセフソン接合の結合エネルギー (ポテンシャルエネルギー) は、 $R_L = \infty$ とすると、

$$F(\phi) = -K \cdot (I_m \cos \phi + \phi \cdot i_g - I_m) \quad (A2-3)$$

であり、このポテンシャルの谷 (local minimum) と山 (local maximum) は、

$$\phi_0 = \sin^{-1}(i_g/I_m) \quad \text{local minimum} \quad (A2-4)$$

$$\phi_{\max} = \pi - \sin^{-1}(i_g/I_m) \quad \text{local maximum} \quad (A2-5)$$

である。ここで、 $\sin^{-1}(i_g/I_m)$ は $0 \sim \pi/2$ の範囲の値であるので、 $0 \leq \phi_0 \leq \pi/2$ 、 $\pi/2 \leq \phi_{\max} \leq \pi$ である。

ジョセフソン接合に図A2.1に示すバイアス電流を与えた時のポテンシャル曲線の山と谷、および位相が ϕ のときのエネルギーを求める。

時刻 $t=t_0$ でバイアス電流として i_2 を与えた時のポテンシャルの谷 (local minimum) は、

$$\begin{aligned} U(\phi_0) &= K \cdot [-i_2 \phi_0 + I_m - I_m \cos \phi_0] \\ &= K \cdot [-i_2 \sin^{-1}(i_1/I_m) + I_m - (I_m^2 - i_1^2)^{1/2}] \end{aligned} \quad (A2-6)$$

バイアス電流として i_2 を与え、時刻 $t=t_0$ 後で位相が ϕ_t まで変化した後のポテンシャルは、

$$U(\phi_t) = K \cdot [-i_2 \phi_t + I_m - I_m \cos \phi_t] \quad (A2-7)$$

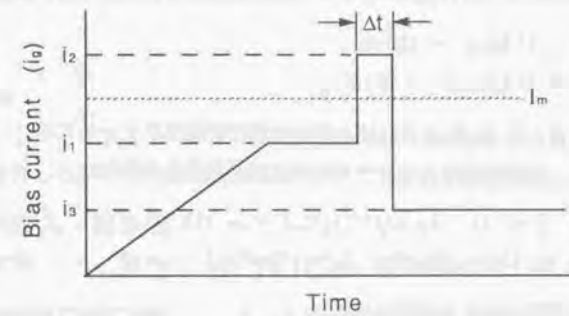
ここで、バイアス電流を i_3 に変化した時のポテンシャルは、

$$U(\phi_{t+}) = K \cdot [-i_3 \phi_t + I_m - I_m \cos \phi_t] \quad (A2-8)$$

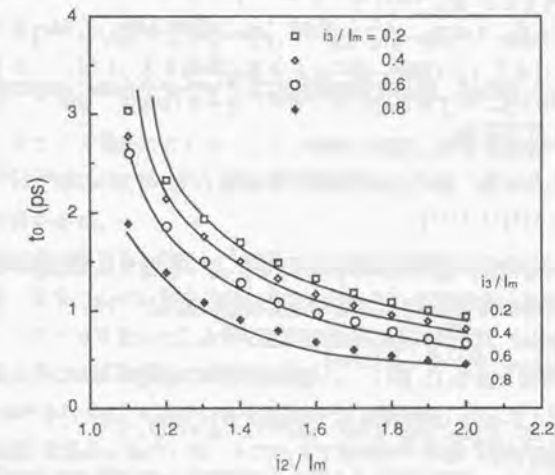
となる。さらに、このときの次のポテンシャルの山の頂上は、

$$U(\phi_{\max}) = K \cdot [-i_3 \{\pi - \sin^{-1}(i_3/I_m)\} + I_m + (I_m^2 - i_3^2)^{1/2}] \quad (A2-9)$$

である。バイアス電流 i_2 で初期位相 ϕ_0 から ϕ_t まで変化した時に得られる (運動エネルギー) ΔE_1 、およびバイアス電流を i_3 (位相は ϕ_t) としたときのポテ



図A2.1 インパルス応答の解析に用いたバイアス電流波形



図A2.2 ポテンシャルエネルギーを用いた最小パルス幅 t_0 の計算結果 ($i_1/I_m = 0.8$, 負荷抵抗 $= \infty$)

ンシャルエネルギーから次のポテンシャルの山の頂上とのエネルギー差 ΔE_2 は、

$$\Delta E_1 = U(\phi_0) - U(\phi_{t-}) \quad (A2-10)$$

$$\Delta E_2 = U(\phi_{max}) - U(\phi_{t+}) \quad (A2-11)$$

であり、 $\Delta E_1 \geq \Delta E_2$ になれば、接合は電圧状態にスイッチする。

これから、電圧状態にスイッチするのに必要な接合の位相は、

$$\phi_t = [-\pi i_3 + i_2 \sin^{-1}(i_1/I_m) + i_3 \sin^{-1}(i_3/I_m) + (I_m^2 - i_3^2)^{1/2} + (I_m^2 - i_1^2)^{1/2}] / (i_2 - i_3) \quad (A2-12)$$

より大きな値に変化する必要がある。

また、時間 t と接合の位相 ϕ の関係は、 $R=\infty$ として、 $\sin \phi$ を ϕ_0 のまわりでテーラー展開して、 $\sin \phi = \sin \phi_0 + (\phi - \phi_0) \cos \phi_0$ で近似すると、(A2-1)、(A2-2)式から、

$$t = 2 \{ C \cdot K / (I_m^2 - i_1^2)^{1/2} \}^{1/2} \cdot \sin^{-1} [\{ (\phi - \phi_0) (I_m^2 - i_1^2)^{1/2} / (i_2 - i_1) / 2 \}^{1/2}] \quad (A2-13)$$

ここで $\phi = \phi_t$ とおけば、接合を電圧状態にスイッチさせるのに必要な最小パルス幅 t_0 が得られる。すなわち、

$$t_0 = 2 \{ C \cdot K / (I_m^2 - i_1^2)^{1/2} \}^{1/2} \sin^{-1} \{ (\phi_t - \phi_0) (I_m^2 - i_1^2)^{1/2} / (i_2 - i_1)^{1/2} \} \quad (A2-14)$$

負荷抵抗 R_L の効果は、接合の位相が ϕ_0 から ϕ_t まで変化する間における抵抗による損失を考え、この損失を補償するために必要な位相変化、

$$\phi_x = E_{10xt} / -dU(\phi_{t-}) / d\phi_t \Big|_{\phi_t = \phi_t} \\ = -K/R_L \cdot \{ (\phi_t - \phi_0)^2 / t_0 \} \{ 1 / (-i_2 + I_m \sin \phi_t) \} \quad (A2-15)$$

により補正できる。負荷抵抗による損失を補償するための最小パルス幅の増加分 t_1 は、

$$t_1 = \phi_x / (d\phi/dt) = K \cdot (\phi_0 - \phi_t) / R_L (-i_2 + I_m \sin \phi_t) \quad (A2-16)$$

となる。したがって、負荷抵抗による損失を含めたときに接合が電圧状態にスイッチするのに必要な最小パルス幅は、

$$\tau = t_0 + t_1 \quad (A2-17)$$

となる。

2) 解析結果

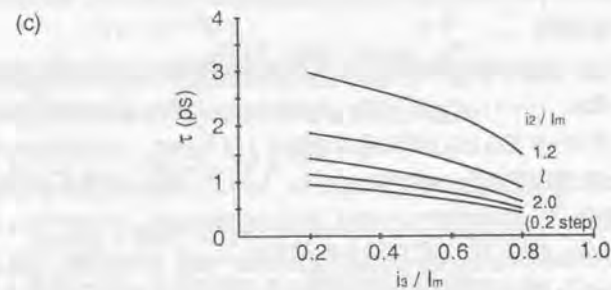
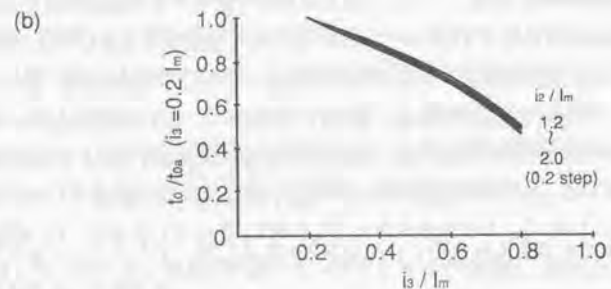
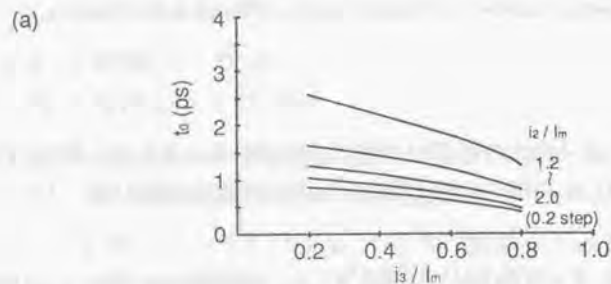
接合のパラメータを以下のように与え、単接合のパルス応答を式(A2-12)、(A2-14)を用いて計算した。バイアス電流は図A2.1に示した波形を仮定した。

$$\text{臨界電流 } I_m = 0.29 \text{ mA}$$

$$\text{接合容量 } C = 0.58 \text{ pF} \quad (\text{接合径 } 3.5 \mu\text{m}, \text{ 臨界電流密度 } 3000 \text{ A/cm}^2 \text{ を想定})$$

i_1 を臨界電流の80%に固定し、 i_2 と i_3 を変化させて最小パルス幅を求めた。図A2.2は、負荷抵抗の効果を考えずに i_3 をパラメータとして i_2 に対する最小パルス幅 t_0 を求めた結果である。実線は解析式から得られた結果、 \blacklozenge \square \triangle は数値解析(ルンゲクッタ・シル法)で得られた結果である。両者の一致は良く、用いた解析式が $i_1 \neq i_3$ のときにも有効であると考えられる。 i_2 、 i_3 に対する t_0 依存性は以下のような特徴を持つ。最小パルス幅 t_0 は、 i_2 が臨界電流 I_m の1.5倍位までは i_3 の大小に拘らず i_2 の大きさに強く依存する。 i_2 を I_m より充分大きく (I_m の約1.5倍以上) すると、 t_0 の i_2 依存性は弱くなる。これは、通常のラッチングモードで動作するジョセフソンゲートにおけるオーバードライブ効果によるターンオン時間の短縮と同様な効果であると考えられる。また、 i_3 を変化しても t_0 の i_2 依存性の曲線の形はさほど変わらず、曲線全体がシフトした依存性を示す。

容量結合型のメモリセルのセンス動作ではパルス印加後のバイアス電流が印加前より低くなる。即ち、 $i_3 < i_1$ となる。この i_3 の変化と t_0 の関係をより明確にするために横軸を i_3 、パラメータを i_2 とした時の結果を図A2.3(a)に示す。 i_2 の値に依らず、 t_0 は i_3 の増加と共にほぼ直線的に緩やかに減少し、 i_2 ほど t_0 に強く影響を与えない。 $i_3 = 0.2I_m$ における t_0 (t_{0a}) を基準として図A2.3(a)の縦軸を t_0/t_{0a} としてプロットしたのが図A2.3(b)である。 t_0/t_{0a} は、 i_2 に依らずほぼ同一の線(ほぼ直線)に載る。そして、定量的には i_3 が $0.2I_m$ から $0.8I_m$ に増加することにより、 t_0/t_{0a} は約1/2に減少することが分った。したがって、容量結合型のメモリセルの場合のように $i_3 < i_1$ のときでも最小パルス幅 t_0 の顕著な増加は起らないと言える。ただし、センス動作におけるバイアスマージンを大きくするためには、 $i_3 = i_1$ の理想的な場合よりパルスの振幅



図A2.3 解析式を用いた最小パルス幅の計算結果

値 i_2 やパルス幅 Δt をやや大きくする必要はある。

次に、負荷抵抗の効果 t_1 を含めた $\tau = t_0 + t_1$ を計算した。 $R_L = V_g / I_m$ としたときの値 $\tau = t_0 + t_1$ を図A2.3(c) に示す。今回与えた接合のパラメータでは負荷抵抗による最小パルス幅の増加分 t_1 は t_0 に比べて無視できる程小さかった ($t_1 < 0.5$ ps)。

これらの結果から、狭い時間幅のパルスでジョセフソン接合をスイッチさせる際には、パルスの振幅 i_2 を I_m の約1.5倍以上になるように与え、パルス幅 Δt を図A2.2および図A2.3で与えられる最小パルス幅より大きくすることが有効であると言える。

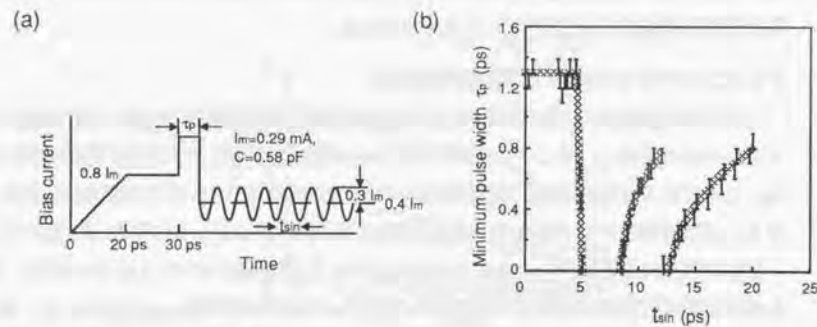
次に、素子パラメータを変化させた時のジョセフソン素子の応答時間がどう変化するかをスケールリング則を適用して検討する。ジョセフソン接合のスケールリング則では、接合面積を $1/n$ にしたときに臨界電流密度を n 倍に増加して、臨界電流値を一定に保つように設計する。そして、接合容量 C は接合面積に比例する。 t_0 は、式(A2-1) から明らかのように接合容量 C の平方根 (\sqrt{C}) に比例するので、接合形状を円とすると t_0 は接合の直径 D に比例する。一方、負荷抵抗による効果は、通常、負荷抵抗を $R_L = V_g / I_m$ のように設計するので、式(A2-16) から増加分 t_1 はスケールリングによらず一定になる。接合径 $3.5 \mu\text{m}$ 、臨界電流密度 3000 A/cm^2 を想定した解析結果では $t_0 > t_1$ なので、最小パルス幅 τ はほぼ接合の直径 D に比例する。接合径を $1 \mu\text{m}$ 以下にし、それに応じて臨界電流密度を極端に大きくした際には t_1 が無視できなくなるので負荷抵抗の効果を検討する必要があると考えられる。

3) シミュレーション結果 (振動電流の効果)

これまで理想的な矩形のパルスを与えた時の応答を考えてきたが、容量結合型のメモリスルの読出し (センス) 動作ではパルス印加後のバイアス電流が振動波形になる。ここではこの振動電流の影響を調べるために矩形のパルス印加後に正弦波を与え、これが最小パルス幅 τ に与える影響を計算機シミュレーションにより調べた。

図A2.4(a) に示すように、パルス印加前のバイアス電流値やパルスのピーク値、パルス印加後の正弦波の振幅と平均値は一定にして正弦波の周期 t_{s1n} を変化させ、素子がスイッチするのに必要なパルスのパルス幅 τ_p を求めた。図A2.4(b) に得られた結果を示す。パルス幅を 0.1 ps ステップで変化し、素子がスイッチするかしないかの境界値をエラーバー (縦の棒印) で示す。正弦波を与えなかったときの境界値が 1.2 ps ~ 1.3 ps の間である。しかし、正弦波を与えると、素子をスイッチさせるのに必要なパ

パルス幅の最小値 τ_p は約0から約1.3psまで変化し、その値は与える正弦波の周期によって周期的に変化した。ジョセフソン素子自身のプラズマ振動との共振と関係していると考えられる。得られた結果の範囲では、正弦波を与えた時の最小パルス幅 τ_p は正弦波を与えない時の値 τ_{p0} よりも常に低い。図A2.4においては τ_p の時間幅のパルス印加後の正弦波は、 $-\sin\omega t$ ($\omega=2\pi/t_{sIN}$)の形で与えた。正弦波の位相を丁度 180° ずらして $\sin\omega t$ で与えると τ_p と t_{sIN} の関係は変化するが、 τ_p は τ_{p0} よりも常に低いことを確かめた。正弦波の位相が接合をスイッチさせるのに適切になったときにスイッチングが開始すると考えれば、最小パルス幅は正弦波の初期位相にはさほど影響されないとと言える。これらの結果から、容量結合型メモリセルの読み出し動作において、パルス電流発生後の振動が悪影響を及ぼして、センス接合のバイアスマージンを減少することはないと言える。むしろ振動波形の周期を適切にコントロールすることでより大きなバイアスマージンが得られる可能性がある。



図A2.4 正弦波を重畳したときの最小パルス幅の計算結果
(a)バイアス電流波形,(b)シミュレーション結果

4) 検討

容量結合型メモリセルの読み出し動作として単体のジョセフソン接合に非常に短い時間幅のパルス（インパルス）を与えた時の応答を検討した。接合に蓄えられる結合エネルギーを用いた従来の解析式を、容量結合型メモリセルの動作のようにパルス印加後のバイアス電流 i_s がパルス印加前のバイアス電流 i_1 より小さい場合に適用した。容量結合型メモリセルに用いる代表的な接合のパラメータを与えて、パルスのピーク電流値およびパルス印加前後のバイアス電流値と接合が電圧状態にスイッチするための最小パルス幅 τ の関係調べ以下のことが明らかになった。パルスのピーク電流値が臨界電流値を少し越えた程度の値では接合をスイッチさせるのに必要な最小パルス幅 τ はピーク電流値に強く依存し、その値自身も大きい。それを避けるためには、ピーク電流値は臨界電流の約1.5倍以上与えることが望ましい。また、容量結合型のメモリセルのように i_s を i_1 より小さくすると τ は増加するが、その割合はさほど大きくない。

また、パルス印加後に正弦波状の振動を重畳したときの最小パルス幅 τ_p の変化を計算機シミュレーションにより調べた。正弦波の振幅は一定で周期を変化すると τ_p の値も周期的に変化した。その値は常に正弦波を与えないときに比べて小さかった。したがって、この振動電流が容量結合型のメモリセルのバイアスマージンを減少することはないと言える。

これらの結果から、容量結合型メモリセルの読み出し動作で磁束量子遷移に伴って発生する時間幅の狭いパルスは、単接合ジョセフソン素子で充分検出可能であることが確かめられた。

謝辞

本論文を纏めるにあたって格別のご指導と御尽力を賜った東京大学・岡部洋一教授に心からお礼申し上げます。また、熱心に御指導下さった同学 多田邦雄教授、羽鳥光俊教授、神谷武志教授、斎藤忠夫教授、田中英彦教授に深く感謝致します。

本研究は筆者が(株)富士通研究所において行なったものであり、本研究および纏める機会を与えて下さった(株)富士通研究所顧問・輪の瀧智之博士、同副社長・黒川兼行博士、同取締役・石川元氏に心から感謝するとともに、本研究を行なった間の上司であり御指導・御援助下さった、元先行技術研究部長・太宰浩一氏(現在光技術研究開発(株)研究開発管理本部長)、元デバイス研究部長・山岡豊氏(現在ULSI研究部門担当部長)、元化合物半導体研究部長・小林正明氏(現在富士通(株)常任顧問)、元機能デバイス研究部長・柴富昭洋博士(現在電子デバイス海外統括・化合物半導体販売推進部長)、現機能デバイス研究部長・横山直樹博士に深く感謝します。

また、本研究を行なった期間、直接の上司であった蓮尾信也博士(現在パーソナルシステム研究所デバイス研究部門長代理)には、公私に渡り格別の御指導・御激励をしていただきました。本研究は、博士の力なくしては成しえなかったものであり、深く感謝します。

さらに、ジョセフソン素子の研究を始めるきっかけを与えて下さった元芝浦工大教授兼富士通研究所所長付・磯部豊作博士、そして日頃から心暖まる御激励をいただきました富士通(株)第一LSI設計統括部主席部長・中村哲夫博士、(株)富士通研究所システムLSI研究部長・後藤源助博士、富士通(株)LCD・第一試作課長代理・石割秀敏氏、ならびに放送大学・東千秋助教授に心から感謝します。

おわりに、本研究を進める際に御討論・御協力をいただいた現機能デバイス研究部のメンバーである主任研究員・今村健博士、主任研究員・諸橋信一氏、主任研究員・田村泰孝博士、主任研究員・小谷誠剛博士、吉田晃氏、後藤公太郎氏、塩田哲義氏、高内英規氏、および旧ジョセフソン素子の研究グループのメンバーであった主任研究員・藤巻則夫博士、富士通(株)基礎プロ第一開発課長・羽入勇氏、五十嵐武司氏、鉾宏真氏、梶井清氏、小原史朗氏、井上淳樹博士、原田直樹氏、中村智弘氏に心より感謝します。

参考文献

- (1) B. D. Josephson, "Possible new effects in superconductive tunneling," *Phys. Lett.*, vol. 1, no. 7, pp. 251-253, 1962.
- (2) P. W. Anderson, J. M. Rowell, "Probable observation of the Josephson superconducting tunneling," *Phys. Rev. Lett.*, 10, 6, pp. 230-232, 1963.
- (3) E. P. Harris, "Turn-on delay of Josephson interferometer logic devices," *IEEE Trans. Magn.*, MAG-15, 1, pp. 562-565, 1979.
- (4) D. G. McDonald, R. L. Peterson, C. A. Hamilton, R. E. Harris, and R. L. Kauts, "Picosecond applications of Josephson junctions," *IEEE Trans. Electron Devices*, ED-27, 10, pp. 1945-1964, 1980.
- (5) W. Anacker, "Potential of superconductive Josephson tunneling technology for ultrahigh performance memories and processors," *IEEE Trans. Magn.*, MAG-5, pp. 968-975, 1969.
- (6) H. H. Zappe, "A subnanosecond Josephson tunnelling memory cell with non-destructive readout," *IEEE J. Solid-State Circuits*, SC-10, 1, pp. 12-19, 1975.
- (7) W. H. Henkels, and H. H. Zappe, "An experimental 64-bit decoded Josephson NDRO random access memory," *IEEE J. Solid-State Circuits*, SC-13, 5, pp. 591-600, 1978.
- (8) R. F. Broom, P. Gueret, W. Kotyczka, T. H. Mohr, A. Moser, A. Oosenbrug, and P. Wolf, "Model for a 15 ns 16K RAM with Josephson junctions," *IEEE J. Solid-State Circuits*, SC-14, 4, pp. 690-698, 1979.
- (9) J. H. Greiner, C. J. Kircher, S. P. Klepner, S. K. Lahiri, A. J. Warnecke, S. Basavaiah, E. T. Yen, J. M. Backer, P. R. Brosious, H.-C. W. Huang, M. Murakami, and I. Ames, "Fabrication process for Josephson integrated circuits," *IBM J. Res. Dev.*, 24, pp. 195-205, 1980.
- (10) 鈴木秀雄, 今村健, 蓮尾信也, 太宰浩一, "エリブソメータを用いたジョセフソン接合酸化膜の形成過程の測定" *真空*, 22, 4, pp. 148-157, 1979.
- (11) T. Imamura, H. Hoko, H. Tamura, A. Yoshida, H. Suzuki, S. Morohashi, S. Ohara, S. Hasuo, and T. Yamaoka, "Fabrication technology for lead-alloy Josephson devices for high-density integrated circuits," *J. Appl. Phys.*, 59, 5, pp. 1720-1748, 1986.

- (12) M. Gurvich, W.A. Washington, and H.A. Huggins, "High quality refractory Josephson tunnel junction utilizing thin aluminum layers," *Appl. Phys. Lett.*, 42, pp.472-474, 1983.
- (13) W.H. Henkels, "Fundamental criteria for the design of high performance Josephson NDRO RAM cells and experimental confirmation," *J. Appl. Phys.*, 50, 12, pp.699-707, 1979.
- (14) P. Wolf, "Two junction Josephson memory," *IBM Tech. Disc. Bull.*, 16, p.214, 1973.
- (15) P. Gurret, "Experimental observation of the switching transients resulting from single flux quantum transitions in superconducting Josephson devices," *Appl. Phys. Lett.*, 25, 7, pp.426-428, 1974.
- (16) H.H. Zappe, "A Single flux quantum Josephson junction memory cell," *Appl. Phys. Lett.*, 25, 7, pp.424-426, 1974.
- (17) M. Yamamoto, and A. Ishida, "An improved Josephson interferometer memory cell for nondestructive read out," *Proc. Intl. Conference on Solid-State Devices*, Tokyo, Japan, pp.109-111, 1980.
- (18) H. Beha, "High-density NDRO SFQ Josephson interferometer memory cell," *IEEE Trans. on Magnetics.*, MAG-17, 6, pp.3426-3428, 1981.
- (19) I. Kurosawa, H. Nakagawa, S. Kosaka, M. Aoyagi, and S. Takada, "A high speed 1-kbit variable threshold Josephson RAM chip," *Proc. 20th (Int.) Conf. Solid State Devices and Mater.*, Tokyo, pp.605-606, 1988.
- (20) K. Kojima, T. Noguchi, and K. Hamakawa, "An inductively coupled single-flux quantum NDRO memory cell," *IEEE Electron Device Letters*, EDL-4, 8, pp.264-266, 1983.
- (21) M. Yamamoto, Y. Yamauchi, K. Miyahara, K. Kuroda, F. Yanagawa, and A. Ishida, "An experimental nanosecond Josephson 1K RAM using 5- μ m Pb-alloy technology," *IEEE Electron Device Lett.*, EDL-4, 5, pp.150-152, 1983.
- (22) P. Bradley, and T. Van Duzer, "A dense voltage-mode Josephson memory cell insensitive to systematic variations in critical current density," *IEEE Trans. Magnetics*, MAG-21, 2, pp.729-732, 1985.
- (23) A. Moser, "Logic gates with shaped Josephson junctions," *IEEE J. Solid-State Circuits*, SC-14, 4, pp.672-679, 1979.

- (24) S.M. Faris, "Loop decoder for Josephson memory arrays," *IEEE J. Solid-State Circuits*, SC-14, 4, pp.699-707, 1979.
- (25) W.H. Henkels, and J.H. Greiner, "Experimental single flux quantum NDRO Josephson memory cell," *IEEE J. Solid-State Circuits*, SC-14, 5, pp.794-796, 1979.
- (26) W.H. Henkels, L.M. Geppert, J. Kadlec, P.W. Epperlein, H. Beha, W.H. Chang, and H. Jaeckel, "Josephson 4K-bit cache memory design for a prototype signal processor, II. Cell array and drivers," *J. Appl. Phys.*, 58, 6, pp.2379-2399, 1985.
- (27) N. Fujimaki, H. Hoko, H. Shibayama, and S. Hasuo, "Variable threshold logic with superconducting quantum interferometers," *IEEE Trans. Magn.*, MAG-19, pp.1234-1237, 1983.
- (28) N. Fujimaki, S. Kotani, T. Imamura, and S. Hasuo, "Josephson modified variable threshold logic gates for use in ultra-high-speed LSI," *IEEE Trans. Electron Devices*, ED-36, 2, pp.433-446, 1989.
- (29) S. Kotani, N. Fujimaki, T. Imamura, and S. Hasuo, "A Josephson 4b micro-processor," *Dig. Tech. Papers Int. Solid-State Circuits Conf.*, pp.150-151, 1988.
- (30) P. Gueret, Th.O. Mohr, and P. Wolf, "Single flux-quantum memory cells," *IEEE Trans. Magn.*, MAG-13, 1, pp.52-55, 1977.
- (31) R.F. Broom, and Th.O. Mohr, "Studies on arrays of Josephson tunnel junction interferometers," *J. Vac. Sci. Technol.*, 15, pp.1166-1174, 1978.
- (32) H. Suzuki, and S. Hasuo, "A diagonal address generator for a Josephson memory circuit," *IEEE J. Solid-State Circuits*, SC-22, 1, pp.92-97, 1987.
- (33) 鈴木秀雄, 芝山彦右, 小杉真人, 羽入勇, 五十嵐武司, 鉾宏真, 中村智弘, 蓮尾信也, 山岡豊, "64ビットジョセフソン記憶回路の設計" *超伝導エレクトロニクス研究会資料 SCE82-15*, pp.57-60, 1982.
- (34) H. Suzuki, H. Shibayama, M. Kosugi, I. Hanyu, T. Igarashi, H. Hoko, T. Nakamura, S. Hasuo, and T. Yamaoka, "A 64-bit Josephson memory circuit," *Proc. 14th (Int.) Conf. Solid State Devices*, Tokyo, pp.601-602, 1982.
- (35) P. Gueret, Th.O. Mohr, and P. Wolf, "Single flux-quantum memory cells," *IEEE Trans. Magnetics*, MAG-13, 1, pp.52-55, 1977.

- (36) N. Harada, H. Suzuki, S. Hasuo, and T. Yamaoka, "Measurement of grey zone of a Josephson SFQ memory cell," *Jpn. J. Appl. Phys.*, 23, 11, pp. L830-L832, 1984.
- (37) S. Hasuo, and H. Suzuki, "Analysis on the gray zone of a Josephson single-flux quantum memory cell," *J. Appl. Phys.*, 59, 3, pp. 866-839, 1986.
- (38) H. Suzuki, and S. Hasuo, "A capacitively coupled SFQ Josephson memory cell," *IEEE Trans. Electron Devices*, 35, 7, pp. 1137-1142, 1988.
- (39) H.H. Zappe, and B.S. Landman, "Experimental investigation of resonances in low-Q Josephson interferometer devices," *J. Appl. Phys.*, 49, 7, pp. 4149-4154, 1978.
- (40) I. Hanyu, H. Suzuki, S. Hasuo, and T. Yamaoka, "A Josephson latch-decoder," *Proc. 13th Conf. Solid State Devices*, Tokyo, pp. 307-310, 1981.
- (41) Y. Wada, S. Nagasawa, and I. Ishida, "280-ps 6-bit RCJL decoder using high-drivability AND unit circuit for a 1-kbit Josephson cache memory," *IEEE J. Solid-State Circuits*, SC-22, 5, pp. 892-898, 1987.
- (42) T. Nakanishi, and S. Fujita, "Josephson NOR decoder circuit for Josephson memory arrays," *Japan J. Appl. Phys.*, 23, 8, pp. 1002-1006, 1984.
- (43) T. Igarashi, H. Suzuki, S. Hasuo, T. Yamaoka, "A decoder with OR gates for a Josephson high-density memory circuit," *IEEE J. Solid-State Circuits*, SC-22, 1, pp. 85-91, 1987.
- (44) S.M. Faris, W.H. Henkels, E.A. Valsamakis, and H.H. Zappe, "Basic design of a Josephson technology cache memory," *IBM J. Res. Develop.*, 24, 2, pp. 143-154, 1980.
- (45) Y. Hatano, Y. Harada, K. Yamashita, Y. Tarutani, and U. Kawabe, "A 4-bit \times 4-bit multiplier and 3-bit counter in Josephson threshold logic," *IEEE J. Solid-State Circuits*, SC-22, pp. 606-612, 1987.
- (46) I. Kurosawa, H. Nakagawa, M. Aoyagi, S. Kosaka, and S. Takada, "A fully operational 1-kb variable threshold Josephson RAM," *IEEE J. Solid-State Circuits*, 26, 4, pp. 572-577, 1991.
- (47) S. Takada, H. Nakagawa, I. Kurosawa, M. Aoyagi, S. Kosaka, Y. Okada, and Y. Hamazaki, "A multichip superconducting microcomputer ETL-JC1," *IEEE Trans. Magn.*, 27, 2, pp. 2610-2617, 1991.

- (48) H.H. Zappe, and B.S. Landman, "Analysis of resonance phenomena in Josephson interferometer devices," *J. Appl. Phys.*, 49, 1, pp. 344-350, 1978.
- (49) L.M. Geppert, J.H. Greiner, D.J. Herrell, and S. Klepner, "Damped three-junction interferometers for latching logic," *IEEE Trans. Magn.*, MAG-15, 1, pp. 412-415, 1979.
- (50) T.R. Gheewala, "Design of 2.5-micrometer Josephson current injection logic (CIL)," *IBM J. Res. Dev.*, 24, pp. 130-142, 1980.
- (51) S. Takada, S. Kosaka, and H. Hayakawa, "Current injection logic gate with four Josephson junctions," *Japan J. Appl. Phys.*, 19, pp. 607-611, 1980.
- (52) K. Hohkawa, M. Okada, and A. Ishida, "A novel current injection Josephson logic gate with high gain," *Appl. Phys. Lett.*, 39, pp. 653-655, 1981.
- (53) J. Sone, T. Yoshida, and H. Abe, "Resistor coupled Josephson logic," *Appl. Phys. Lett.*, 40, pp. 741-744, 1982.
- (54) Y. Wada, M. Hidaka, S. Nagasawa, and I. Ishida, "AC- and DC-powered subnanosecond 1-kbit Josephson cache memory design," *IEEE J. Solid-State Circuits*, 23, 4, pp. 923-932, 1988.
- (55) S. Nagasawa, Y. Wada, M. Hidaka, H. Tsuge, I. Ishida, and S. Tahara "570-ps 13-mW Josephson 1-kbit NDRO RAM," *IEEE J. Solid-State Circuits*, 24, 5, pp. 1363-1371, 1989.
- (56) H. Suzuki N. Fujimaki, H. Tamura, T. Imamura, and S. Hasuo, "A 4K Josephson memory," *IEEE Trans. Magn.*, 25, 2, pp. 783-788, 1989.
- (57) T.R. Gheewala, and A. Mukherjee, "Josephson direct coupled logic (DCL)," *Tech. Dig. IEDM*, pp. 482-484, 1979.
- (58) S. Morohashi, F. Shinoki, A. Shoji, M. Aoyagi, and H. Hayakawa, "High-quality Nb/Al-AlO_x/Nb Josephson junction," *Appl. Phys. Lett.*, 46, pp. 1179-1181, 1975.
- (59) H. Hoko, T. Imamura, S. Ohara, and S. Hasuo, "Application of sputtered SiO₂ insulator to Nb/AlO_x/Nb Josephson junctions," *J. Appl. Phys.*, 62, pp. 3432-3435, 1987.
- (60) S.M. Faris, "Generation and measurement of ultrashort current pulses with Josephson devices," *Appl. Phys. Lett.*, 36, pp. 1005-1007, 1980.

- (61) I. Hanyu, H. Suzuki, H. Tamura, and S. Hasuo, "New current probing method for superconducting integrated circuits," *J. Appl. Phys.*, 57, 11, pp. 5078-5080, 1985.
- (62) H. Suzuki, and S. Hasuo, "Design of $4K \times 1$ -bit Josephson RAM using capacitively coupled cells," *IEICE Trans.*, E74, 4, pp. 859-867, 1991.
- (63) S. Tahara, I. Ishida, Y. Wada, "Wide-margin polarity-convertible Josephson drivers," *Electronics letters*, 24, 19, pp. 1220-1221, 1988.
- (64) S. Fujita, M. Yamamoto, K. Miyahara, and T. Nakanishi, "Resistor-loaded high-speed sense circuit for Josephson memory," *IEEE Trans. Electron Devices*, ED-32, 3, 1985.
- (65) P. C. Arnett, and D. Herrell, "Regulated ac power for Josephson interferometer latching logic circuits," *IEEE Trans. Magn.*, MAG-15, pp. 554-557, 1979.
- (66) 大畑正信, "タイミング機能を有するジョセフソンレギュレータ" *電子通信学会論文誌*, J69-C, 5, pp. 629-635, 1986.
- (67) H. Suzuki, T. Imamura, and S. Hasuo, "Applications of synchronized switching in series-parallel-connected Josephson junctions," *IEEE Trans. Electron Devices*, 37, 11, pp. 2399-2405, 1990.
- (68) H. Suzuki, K. Gotoh, T. Imamura, and S. Hasuo, "Multi-input Josephson AND gate with ladder structure," *IEEE Trans. Electron Devices*, 40, 3, pp. 661-665, 1993.
- (69) S. Kotani, T. Imamura, and S. Hasuo, "A sub-nanosecond clock Josephson 4-bit processor," *IEEE J. Solid-State Circuits*, 25, pp. 117-124, 1990.
- (70) Y. Hatano, S. Yano, H. Mori, H. Yamada, M. Hirano, and U. Kawabe, "A 4b Josephson data processor chip," *IEEE J. Solid-state Circuits*, 24, pp. 1312-1316, 1989.
- (71) S. Kotani, A. Inoue, T. Imamura, and S. Hasuo, "An 8-b Josephson digital signal processor," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1518-1525, 1990.
- (72) H. Nakagawa, S. Kosaka, H. Kawamura, I. Kurosawa, M. Aoyagi, Y. Hamazaki, Y. Okada, and S. Takada, "A Josephson 4-bit RALU for a prototype computer," *IEEE J. Solid-State Circuits*, vol. 24, pp. 1076-1084, 1989.

- (73) S. Tahara, I. Ishida, S. Nagasawa, M. Hidaka, H. Tsuge, and Y. Wada, "4-kbit Josephson nondestructive read-out RAM operated at 580ps and 6.7mW," *IEEE Trans. Magnetics*, 27, 2, pp. 2626-2633, 1991.
- (74) I. Kurosawa, K. Takashima, H. Nakagawa, M. Aoyagi, and S. Takada, "Design of a 16-kbit variable threshold Josephson RAM," *IEEE Trans. Applied Superconductivity*, 3, 1, pp. 2675-2678, 1993.
- (75) H. Suzuki, A. Inoue, T. Imamura, and S. Hasuo, "A Josephson driver to interface Josephson junctions to semiconductor transistors," *Tech. Dig. Int. Electron Devices Meet.*, San Francisco, pp. 290-293, 1988.
- (76) H. Suzuki, T. Imamura, and S. Hasuo, "Josephson semiconductor interface circuit," *Cryogenics*, 30, pp. 1005-1008, 1990.
- (77) S. Kotani, A. Inoue, H. Suzuki, S. Hasuo, T. Takenouchi, K. Fukase, F. Miyagawa, S. Yoshida, T. Sano, and Y. Kamioka, "A Sub-ns clock cryogenic system for Josephson computers," *Dig. Tech. Papers Int. Solid-State Circuits Conf.*, pp. 32-33, 1991.
- (78) S. Kotani, A. Inoue, H. Suzuki, S. Hasuo, T. Takenouchi, K. Fukase, F. Miyagawa, S. Yoshida, T. Sano, and Y. Kamioka, "A Subnanosecond clock cryogenic system for Josephson computers," *IEEE Trans. Applied Superconductivity*, 1, 4, pp. 164-169, 1991.
- (79) 大野健一, 大網和夫, 伊藤英朗, "FUJITSU VPシリーズ用半導体技術" *FUJITSU*, 41, 1, pp. 20-26, 1990.
- (80) S. Kotani, T. Imamura, and S. Hasuo, "A 1.5-ps Josephson OR gate," *Tech. Dig. Int. Electron devices Meet.*, San Francisco, pp. 884-885, 1988.
- (81) M. Kimoto, H. Shimizu, Y. Ito, K. Kohno, M. Ikeda, T. Deguchi, N. Fukuda, K. Ueda, S. Harada, and K. Kubota, "A 1.4ns/64Kb RAM with 85ps/3680 logic gate array," *Proc. CICC89*, pp. 15.8.1-15.8.4, 1989.
- (82) Y. Takahashi, T. Ishii, H. Kanda, M. Arimura, M. Sugiyama, T. Tashiro, and T. Shimizu, "A 1.6ns 64Kb ECL RAM with 1KG/150ps logic gate," *Dig. Tech. Papers Symposium on VLSI Circuits*, pp. 73-74, 1989.
- (83) S. Isomura, A. Uchida, M. Iwabuchi, K. Ogiue, K. Matsumura, T. Nakamura, K. Yamaguchi, "A 36Kb/2ns RAM with 1KG/100ps logic gate array," *Dig. Tech. Papers Int. Solid-State Circuits Conf.*, pp. 26-27, 1989.

- (84) M. Usami, M. Iwabuchi, M. Kashiyama, T. Oomori, S. Murata, T. Hiramoto, T. Hashimoto, Y. Nakajima, "A 1.5ns cycle-time 18kb pseudo-dual-port RAM," Dig. Tech. Papers Symposium on VLSI Circuits, pp.109-110, 1993.
- (85) A. Inoue, private communication.
- (86) K. Gotoh, N. Fujimaki, H. Suzuki, T. Imamura, S. Hasuo, and A. Shibatomi, "Multichannel single-chip SQUID with a Josephson multiplexer," Supercond. Sci. Technol., 4, (Proc. ISEC'91, 1991), pp. 610-612, 1991.
- (87) H. Ogawa, A. Mizuno, H. Hoko, H. Ishikawa, and Y. Fukui, "A 110GHz SIS receiver for radio astronomy," Int. J. Infrared and Millimeter Waves, 11, pp.717-726, 1990.
- (88) R. Blundell, and D. Winkler, "The superconductor insulator superconductor mixer receiver," Nonlinear Superconductive Electronics and Josephson Devices, Edited by Costabile et al., Plenum Press, New York, pp.55-72, 1991.
- (89) A. Parrish, B.J. Connor, J.J. Tsou, I.S. McDermid, and W.P. Chu, "Ground-based microwave monitoring of Stratospheric ozone," J. Geophys. Res., 97, D2, pp.2541-2547, 1992.
- (90) 赤羽賢司, 海部宣男, 田原博人, "宇宙電波天文学" 共立出版, 1988.
- (91) 宮永博史, 山内寛紀, 松田和浩, "250 MFLOPS 2次元FFTプロセッサ VLSIアーキテクチャー" 信学技報, ICD89-188, pp.23-30, 1989.
- (92) 近田義広, "天体観測用の信号解析スーパープロセッサ" 科学, 54, 10, pp.619-628, 1984.
- (93) W.H. Chang, "Measurement and calculation of Josephson junction device inductances," J. Appl. Phys., 52, 3, pp.1417-1426, 1981.
- (94) H. Suzuki, "Characteristics of single flux quantum Josephson memory cells," FUJITSU, Sci. Tech. J., 19, 4, pp.475-496, 1983.
- (95) 鈴木秀雄, 今村健, 蓮尾信也, "容量結合形ジョセフソンメモリセルのセンス接合の応答解析" 電子情報通信学会論文誌, C-II, J76-C-II, 4, pp.131-139, 1993.
- (96) S.H. Dong, and T. Van Duzer, "Minimum-width control-current pulse for Josephson logic gates," IEEE Trans. Electron Devices, ED-27, 10, pp.1965-1973, 1980.

本研究に関する発表論文

- (1) H. Suzuki, "Characteristics of single flux quantum Josephson memory cells," FUJITSU, Sci. Tech. J., 19, 4, pp.475-496, 1983.
- (2) I. Hanyu, H. Suzuki, H. Tamura, and S. Hasuo, "New current probing method for superconducting integrated circuits," J. Appl. Phys., 57, 11, pp.5078-5080, 1985.
- (3) S. Hasuo, and H. Suzuki, "Analysis on the gray zone of a Josephson single-flux quantum memory cell," J. Appl. Phys., 59, 3, pp.866-839, 1986.
- (4) T. Igarashi, H. Suzuki, S. Hasuo, T. Yamaoka, "A decoder with OR gates for a Josephson high-density memory circuit," IEEE J. Solid-State Circuits, SC-22, 1, pp.85-91, 1987.
- (5) H. Suzuki, and S. Hasuo, "A diagonal address generator for a Josephson memory circuit," IEEE J. Solid-State Circuits, SC-22, pp.92-97, 1987.
- (6) H. Suzuki, and S. Hasuo, "A capacitively coupled SFQ Josephson memory cell," IEEE Trans. Electron Devices, 35, 7, pp.1137-1142, 1988.
- (7) H. Suzuki, N. Fujimaki, H. Tamura, T. Imamura, and S. Hasuo, "A 4K Josephson memory," IEEE Trans. Magn., 25, 2, pp.783-788, 1989.
- (8) H. Suzuki, T. Imamura, and S. Hasuo, "Applications of synchronized switching in series-parallel-connected Josephson junctions," IEEE Trans. Electron Devices, 37, 11, pp.2399-2405, 1990.
- (9) H. Suzuki, T. Imamura, and S. Hasuo, "Josephson semiconductor interface circuit," Cryogenics, 30, pp.1005-1008, 1990.
- (10) H. Suzuki, and S. Hasuo, "Design of 4K×1-bit Josephson RAM using capacitively coupled cells," IEICE Trans., E74, 4, pp.859-867, 1991.
- (11) H. Suzuki, K. Gotoh, T. Imamura, and S. Hasuo, "Multi-input Josephson AND gate with ladder structure," IEEE Trans. Electron Devices, 40, 3, pp.661-665, 1993.
- (12) 鈴木秀雄, 今村健, 蓮尾信也, "容量結合形ジョセフソンメモリセルのセンス接合の応答解析" 電子情報通信学会論文誌, C-II, J76-C-II, 4, pp.131-139, 1993.

