

高速・低消費電力サブミクロン
CMOSデバイス技術の研究

井田 次郎



①

高速・低消費電力サブミクロン

CMOS デバイス技術の研究

井田 次郎

目次

第1章 序論	1
1.1 研究の背景	1
1.2 研究の目的	4
1.3 本論文の構成と概要	6
第1章の参考文献	9
第2章 MOSFET 縮小化の課題と寄生抵抗・容量の顕在化	11
2.1 序	11
2.2 MOSFET 縮小化の課題	12
2.2.1 短チャネル効果	12
2.2.2 比例縮小則	14
2.2.3 駆動力向上率の劣化	16
2.2.4 ホットキャリア効果と MOSFET 構造の変遷	18
2.3 寄生抵抗・容量の顕在化	22
2.4 まとめ	26
第2章の参考文献	27

第3章 MOSFETの縮小化による高速・低消費電力化の検討	31
3.1 序	31
3.2 LDD構造MOSFETにおける実効ゲート長の新しい測定法の提案	31
3.3 新しい実効ゲート長による各種LDD構造MOSFETの性能評価	39
3.3.1 条件を変えた通常型LDD構造MOSFETへの応用	39
3.3.2 オーバーラップ型LDD構造MOSFETへの応用	42
3.4 低電圧高速ハーフミクロンCMOSの設計	52
3.5 まとめ	69
第3章の参考文献	70
第4章 ソース・ドレイン寄生抵抗・容量の低減の検討	73
4.1 序	73
4.2 サリサイドプロセスのサブハーフミクロンCMOSへの適用	73
4.2.1 サリサイド・プロセス	73
4.2.2 不純物の再分布の解析	79
4.2.3 2重ソース・ドレイン構造の提案	88
4.3 ローカル配線プロセスのサブハーフミクロンCMOSへの適用	95
4.3.1 ローカル配線プロセス	95
4.3.2 不純物の相互拡散の解析	99
4.3.3 高速・低消費電力化の実証	106
4.4 まとめ	117
第4章の参考文献	118

第5章 配線負荷の低減の検討	123
5.1 序	123
5.2 LSI中での配線抵抗と配線容量の重要性の比較	124
5.3 低誘電率SiOF膜のサブハーフミクロンCMOSへの適用	130
5.3.1 デバイス特性への影響	130
5.3.2 回路性能向上の実証と比例縮小則からの必要性の検討	141
5.4 まとめ	147
第5章の参考文献	148
第6章 総括	151
謝辞	155
発表論文一覧	157

1章 序論

1-1 研究の背景

シリコン半導体大規模集積回路 (Si-LSI: Silicon-Large Scale Integrated Circuit)は、今日、あらゆる電子機器の基幹構成要素として広く使用される様になっている。その発展は、汎用 Si-LSI であるマイクロプロセッサと DRAM (Dynamic Random Access Memory)に代表される。マイクロプロセッサは、1971年に世界初のプロセッサ (intel4004) がインテル社より発表され、それ以降、おおよそ1.5年で2倍のペースで1チップに集積される素子数が増大し高性能化している¹⁻²⁾。DRAMも同じくインテル社により1970年に1Kbit DRAMが発表され³⁾、それ以降、3年で4倍のペースで集積度が増大している。

図1-1に、マイクロプロセッサの1チップあたりに集積される素子数の推移、及び、クロック周波数の推移を示す。約3000トランジスタが集積された intel4004 から始まり、intel860において1チップあたり始めて100万トランジスタを超えた。さらに、最新の Pentium II では、750万トランジスタが集積されるに至っている⁴⁾。一方、クロック周波数も命令セットが CISC (Complex Instruction Set Computer)から RISC (Reduced Instruction Set Computer)になるに従いその向上のスピードが加速した。最新の RISC プロセッサでは600MHzが達成され⁴⁾、さらに、最新の Pentium II では CISC ながら300MHzの動作が確認されている⁵⁾。

DRAMにおいても、現在64Mbit DRAMの量産出荷が始まり、また、1996年の ISSCC (International Solid State Circuit Conference)においては10億以上の素子からなる1Gbit DRAMが発表されるに至っている⁶⁾。

これらの高集積化の進展を支えたのは、微細加工技術、特に、フォトリソグラフィ技術の進展である。図1-2にフォトリソグラフィ技術の開発動向、及び、DRAMの開発動向を示す⁷⁾。より微細な加工を実現するため、最小加工寸法が $2\mu\text{m}$ を切る256Kbit DRAMの時代に、露光方式が1:1投影露光方式から縮小投影露光方式に変わった。また、4Mbit DRAMが出荷された1985年頃から、最小加工寸法が $1\mu\text{m}$ を切るサブミクロン時代となった。また、この頃、露光機で使用される光源の波長も水銀ランプのg線(436nm)

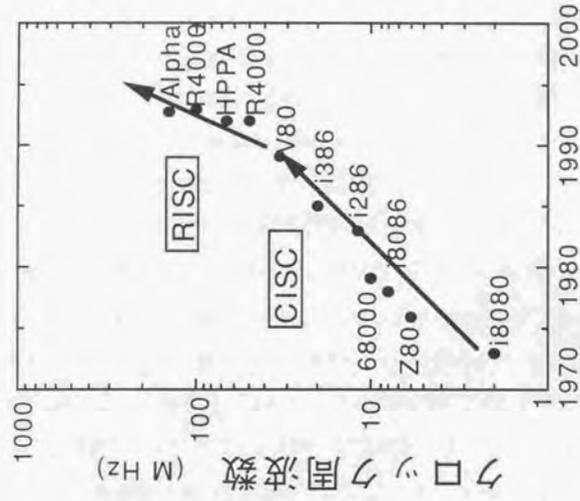
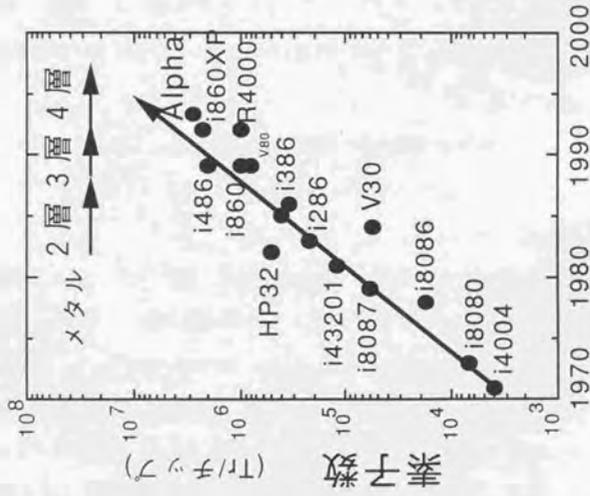


図1-1 マイクロプロセッサの集積度とクロック周波数の推移

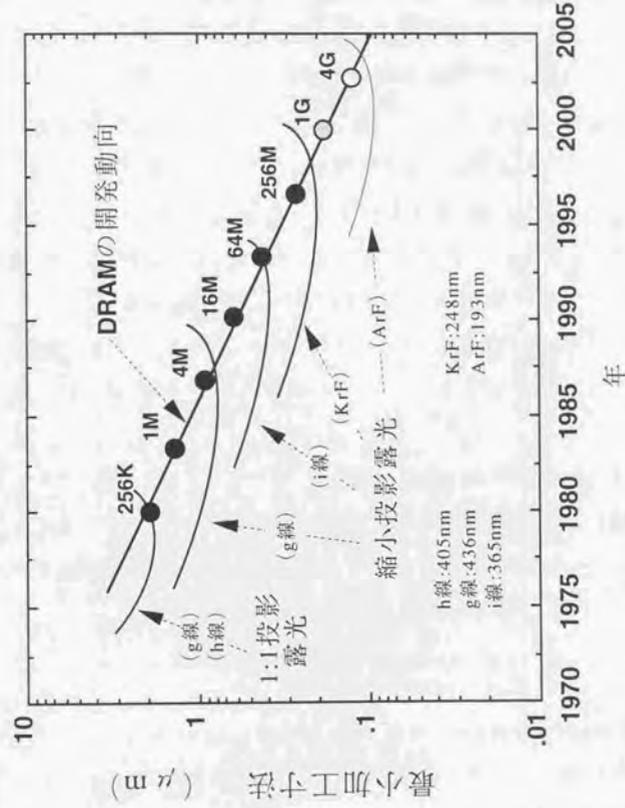


図1-2 リソグラフィ技術とDRAMの開発動向

から1線(365nm)へと移った。現在では64Mbit DRAMを実現する $0.35\mu\text{m}\sim 0.25\mu\text{m}$ の微細加工が先端の量産技術である。特に、 $0.25\mu\text{m}$ の微細加工を実現するにあたっては、KrFエキシマレーザー(波長=248nm)がその光源として、いよいよ量産工場に導入されるに至っている。

大規模集積回路の構成要素となるデバイスは、縮小化に適したMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 8-9)である。一般には、そのゲート長が微細加工の最小寸法に対応する。ゲート長が $1\mu\text{m}$ を切るサブミクロン時代となり、設計の容易さ、及び、低消費電力化の観点よりNMOS (N-Channel MOS)に変わりCMOS (Complementary MOS) 10)がデバイスの主流となった。CMOS回路は、負荷素子と駆動側素子の抵抗比で出力電圧が決まるわけではなく入力と同じ電圧の出力が出るため (Ratioless Logic) 設計が容易である 11)。また、電源からグランドへの直流電流パスがなく静止時に電力を消費しないため低消費電力となる。しかしながら、1990年代に入り、集積度の増大、さらには、動作周波数の向上に見られる高速化によりCMOSと言えども消費電力の増大が再び深刻な問題となって来た 12-14)。図1-3に、これまでに発表されたプロセッサの消費電力の推移を示す。既に、70ワット(W)を超えるものまで現れている 15)。

この様にサブミクロン時代のCMOSプロセス・デバイスを検討するにあたっては、高速化と低消費電力化に注力した検討が非常に重要である。さらに、近年のマルチメディア化で要求される3次元画像処理、並びに、情報機器の携帯化は、CMOSプロセス・デバイスに今以上の高速・低消費電力化を要求している。

1-2 研究の目的

以上の背景をもとに、本研究の目的は、ゲート長が $1\mu\text{m}$ を切るサブミクロン時代のCMOSプロセス・デバイス技術での高速・低消費電力化の追究である。

LSIの動作速度と消費電力は、一般的に以下の様に記述される 14)。

$$\text{tpd (動作速度)} \propto \text{Load (負荷容量)} / \text{Id (ドレイン電流)}$$

$$P \text{ (消費電力)} \propto f \text{ (動作周波数)} \times \text{Load} \times (\text{Vdd (電源電圧)})^2$$

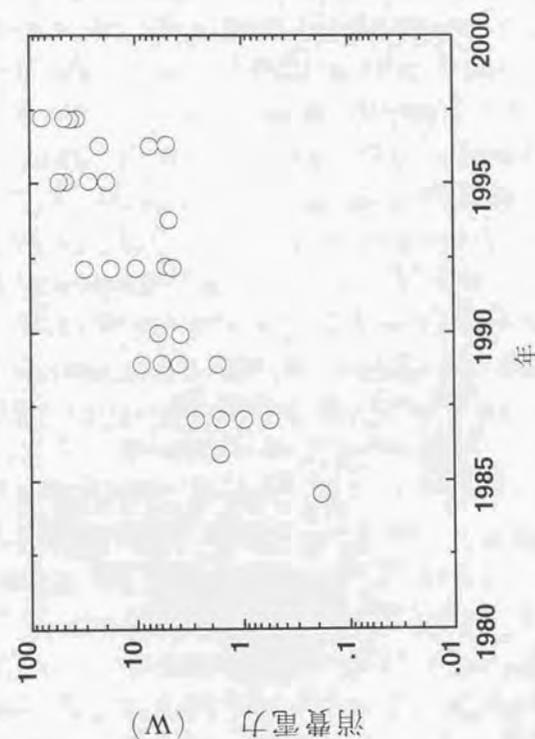


図1-3 マイクロプロセッサの消費電力の推移

ここで、負荷容量とは、MOSFETのゲート容量、接合容量、及び、LSI中での配線容量である。

MOSFETの駆動電流(I_d)は、ゲート長の逆数に比例する。また、負荷容量も、MOSFETのゲート長を中心とした全体の寸法の縮小化により低減する。従って、CMOSプロセス・デバイスで高速・低消費電力化を図るには、MOSFETの縮小化による高駆動力化がまずその基礎となる。

ゲート長が $1\mu\text{m}$ 以上であった時代は、ゲート容量が負荷容量として支配的であった。また、ドレイン電流も小さくその逆数に対応するMOSFETのオン抵抗が大きく、他の抵抗成分は無視できた。サブミクロン時代になると、ゲート容量もMOSFETのオン抵抗も減少するため、それ以外の寄生抵抗・容量の低減が重要になって来た。すなわち、MOSFETのソース・ドレイン領域の寄生抵抗・容量の低減、さらには、配線抵抗・容量の低減が、高速・低消費電力化のための重要課題として追加される様になった。

本論文では、以上のことを勘案の上、ゲート長が $1\mu\text{m}$ を切るサブミクロン時代のCMOSプロセス・デバイス技術について、その高速化・低消費電力化に注力して研究を行ってきた内容を述べる。すなわち、MOSFETの縮小化、ソース・ドレイン領域の寄生抵抗・容量の低減、さらには、配線の寄生抵抗・容量の低減の観点より、サブミクロン時代のCMOSプロセス・デバイスでの高速・低消費電力化について具体的に検討した内容を述べる。

1-3 本論文の構成と概要

第1章の序論に続き第2章では、本論文の基礎的事項として、MOSFETを縮小化する上での課題、及び、寄生抵抗・容量が顕在化した背景をまとめる。

まず、微細MOSFETの設計にあたって一番重要な課題である短チャネル効果を説明する。それを抑制しながら微細なMOSFETを設計しても、駆動力増大率の低下、寄生抵抗・容量の顕在化、さらには、ホットキャリア効果の問題が発生することを述べる。特に、サブミクロン時代となりホットキャリア効果が重大な問題となったこと、及び、その対応としてのMOSFET構造の変遷を述べる。さらには、サブミクロン時代にLDD(Lightly Doped Drain)構造MOSFETが主流になったことを述べる。以上により次の第3章での検

討の位置付けを明確にする。

また、各世代のCMOS技術におけるMOSFETのオン抵抗、ソース・ドレイン領域のシート抵抗、さらには、配線抵抗のトレンドを示す。さらに、各世代におけるゲート容量、拡合容量、配線容量の値も概観する。これらの値からサブミクロン時代となり寄生抵抗と容量が顕在化したこと、及び、その低減が重要項目となったことを示す。これらを述べる中で、第4章と第5章での検討の位置付けを明らかにする。

次の第3章から第5章では、サブミクロン時代のCMOSプロセス・デバイス技術で高速・低消費電力化に主眼を置いて具体的に検討した内容を述べる。

第3章では、高速・低消費電力化の基礎となるMOSFETの縮小化について具体的に検討した内容を述べる。各種のMOSFET構造間でその性能を比較検討しようとする、そのチャネル長に対応する実効ゲート長の評価が不可欠である。しかし、サブミクロン時代に主流となったLDD構造MOSFETにおいては、その測定法がまだ知られていなかった。そこで、まず、LDD構造MOSFETにおいてもチャネル長に正確に対応する実効ゲート長が求まる新しい測定法を提案する。さらに、その測定法に基づく各種LDD構造MOSFETの性能比較の結果を示す。また、高速化のためには、この測定法で得られるゲートとドレインとのオーバーラップ容量が非常に重要であることを示す。 $0.8\mu\text{m}$ 時代に提案されたオーバーラップ型LDD構造では、このオーバーラップ容量の増大がドレイン電流の増大効果を上回り高速化につながらない事を示す。さらには、これらの見知を基に、低消費電力でなおかつ高速なハーフミクロンCMOSデバイス構造(=Narrow Sidewall型LDD構造)を提案し実用化したことを述べる。

第4章では、MOSFETのソース・ドレイン領域の寄生抵抗・容量の低減について述べる。ソース・ドレイン領域を低抵抗化するには、そこに選択的に低抵抗な金属珪化物を成長させるSelf Alignment Silicidation、いわゆるサリサイドプロセスが知られている。このプロセスの必要性とその詳細を述べる。特に、このサリサイドプロセスをサブハーフミクロンCMOSへ適応する場合、不純物の再分布が重大な問題となることを示す。さらに、それを解決する方法として新たに2重ソース・ドレイン構造を提案する。

次に、サリサイドプロセスの発展型として、抵抗ばかりでなくソース・ドレイン領域の寄生容量も低減可能なローカル配線プロセスについて述べる。不純物の相互拡散によ

る接合の破壊という新たな現象を示し、その解決法を示唆する。さらには、この技術が今後の低消費電力化のための低電源電圧下において、消費電力をさらに低減するために非常に重要であることを示す。基本回路、及び、通信用 LSI の SRAM (Static Random Access Memory) マクロにこの技術を活用し実際にその効果を実証したことを述べる。

第5章においては、近年、その重要性が高まっている配線負荷の低減について述べる。まず、配線抵抗と配線容量の LSI 中での重要性を比較検討した内容を述べ、特に、配線容量低減の重要性を指摘する。さらに、低誘電率絶縁膜であるフッ素添加の酸化膜 (SiOF 膜) を実際の LSI に適用し、そこで現われたデバイス特性の変動現象の解析結果を述べる。その結果からより正確な評価が可能となり、低誘電率 SiOF 膜によって回路スピードが向上することを始めて実証できたことを述べる。また、回路シミュレーションによる解析も併用し、比例縮小側のトレンド通り LSI の性能を高速・低消費電力にするには、低誘電率膜が必要不可欠であることを明らかにする。

最後に、第6章において、論文全体の総括を行う。

第1章の参考文献

- 1) 嶋正利：“マイクロコンピュータの誕生”、岩波書店、1987年
- 2) G.E. Moore: “Progress in Digital Integrated Electronics,” Technical Digest of International Electron device Meeting, p11, 1975
- 3) W.M.Regitz and J.A.Karp: “Three -transistor-cell 1024bit 500ns MOS RAM,” IEEE J. Solid State Circuits, Vol.SC-5,p181-186, 1970
- 4) B.A. Gieseke et. al.: “A 600 MHz Superscalar RISC Microprocessor with Out-Of-Order Execution,” Technical Digest of International Solid-State Circuits Conference, p176, 1997
- 5) M. R. Choudhury and J.S. Miller: “A 300MHz CMOS Microprocessor with Multi-Media Technology,” Technical Digest of International Solid-State Circuits Conference, p170, 1997
- 6) Y. Nitta et. al.: “A 1.6GB/s Data-Rate 1Gb Synchronous DRAM with Hierarchical Square-Shaped Memory Block and Distributed Bank Architecture” Technical Digest of International Solid-State Circuits Conference, p376, 1996
- 7) 伊藤清男：“超 LSI メモリー”、倍風館、1994年
- 8) C. T. Sah: “Evolution of the MOS transistor - From Conception to VLSI,” Proceeding of the IEEE, vol.76, p1280, 1988
- 9) J. S. Kilby: “Invention of the Integrated Circuit,” IEEE Transaction on Electron Devices, vol. ED-23, p648, 1976
- 10) F.M. Wanless and C.T. Sah: “Nanowatt Logic Using Field Metal,” IEEE International Solid-State Circuits Conference Digest of Technical Papers, p32, 1963
- 11) N. H. E. Weste and K. Eshraghian: “Principles of CMOS VLSI design A System Perspective,” Addison-Wesley Publishing Company, 1985
- 12) A.P. Chandrakasan, S Sheng, and R. W. Bordersen: “Low-Power CMOS Digital Design,” IEEE J. Solid-State Circuits, vol.27, p473-484, 1992
- 13) 日経マイクロデバイス編：“低電力 LSI の技術白書 1 ミリ・ワットへ挑戦”、日経 BP 社、1994年

- 14) T. Kuroda and T. Sakurai: "Overview of low-power ULSI circuit techniques," IEICE Trans. Electron., p334-344, 1995
- 15) E. T. Cohen, J. Ballard, J. Blomgren, C. S. Brashears, V. Moldenhauer and J. Patten, "A 533Mhz BiCMOS Superscaler Microprocessor," Technical Digest of International Solid-State Circuits Conference, p164, 1997

第2章 MOSFET 縮小化の課題と寄生抵抗・容量の顕在化

2.1 序

本章では本論文の基礎として、MOSFET を縮小化する上での課題とサブミクロン時代となり寄生抵抗・容量が顕在化した概要をまとめる。これらにより、第3章からの具体的な検討の位置付けを明確にする。

微細な MOSFET の設計にあたって一番重要な課題は短チャネル効果の抑制である。それを抑制しながら微細な MOSFET を設計するため比例縮小則と呼ばれる設計指針が提案された。しかしながら、この設計指針に従って MOSFET の設計をしても、微細化に従い数々の問題が発生した。すなわち、駆動力増大率の低下、寄生抵抗・容量の顕在化、ホットキャリア効果の発生である。特に、ゲート長が $3\mu\text{m}$ を切るあたりから、ホットキャリア効果が深刻な問題となった。その対応として、これまで数々の MOSFET 構造が提案されてきた。さらに、サブミクロン時代となり LDD (Lightly Doped Drain) 構造 MOSFET が主流になった。これらを概説する中で次の3章での検討の位置付けを明確にする。

次に、各世代の CMOS 技術における MOSFET のオン抵抗、ソース・ドレイン領域のシート抵抗、さらには、配線抵抗のトレンドを示す。また、各世代におけるゲート容量、接合容量、配線容量の値も概観する。これらの値からサブミクロン時代となり寄生抵抗と容量が顕在化し、その低減が重要項目となったことを明確化する。さらに、これらを説明する中で第4章と第5章での検討の位置付けを明確にする。

2.2 MOSFET 縮小化の課題

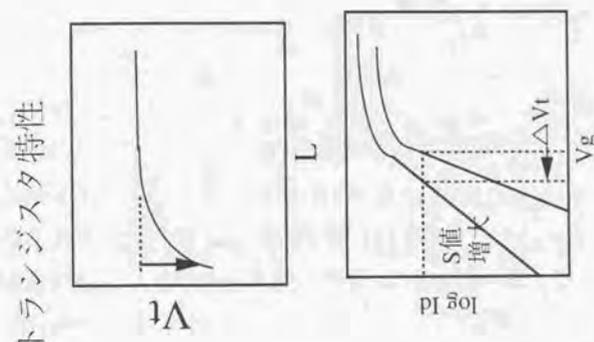
2.2.1 短チャネル効果

MOSFET の動作原理は、ゲート酸化膜を介したゲート電界によりソースとドレインの間の半導体表面にチャネル電荷を誘起し、さらに、ソースとドレインの間に電圧を与えそのチャネル電荷を流すことでドレイン電流を得ることである。

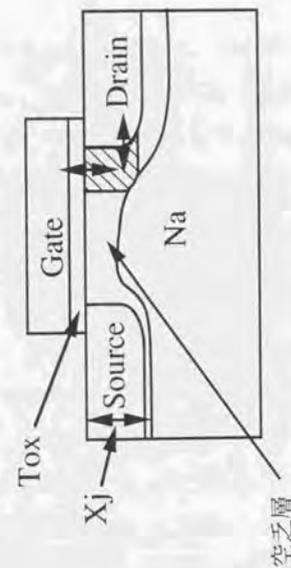
ゲート長が長い場合、チャネル電荷はゲート電界のみで決まる。従って、MOSFET の動作はゲート電界とソース・ドレイン電界をそれぞれ独立に取り扱う古典的な解析式で記述できた。特に、ドレイン電流が流れ出すしきい値となるゲート電圧(しきい値電圧: V_{th}) は、1次元の MOS (Metal Oxide Semiconductor) 構造の特性で記述できた¹⁾。しかしながら、ゲート長が短くなるとチャネル電荷がドレイン電界の影響をも受けるようになり、いわゆる短チャネル効果が現れるようになる²⁻⁴⁾。MOSFET を縮小化する場合、まず問題となる MOSFET 設計上の課題はこの短チャネル効果の抑制である。

短チャネル効果の原因、及び、トランジスタ特性に現れる現象を図 2-1 に模式的に示す。短チャネル効果とは、ゲート電界だけで制御すべきチャネル電荷がドレイン電界の影響をも受けるようになることから生じる 2次元効果である⁵⁾。ゲート電圧を上げるとゲート酸化膜下の半導体表面にそれに対応した空乏層が伸びる。この空乏層による電荷が MOSFET のしきい値電圧を決める。図の斜線領域は、ゲート電界のみでなくドレイン電界によっても形成される空乏層領域である。ゲート長が短くなると、ゲート下の空乏層領域全体にしめるこの斜線領域の割合が大きくなる。すなわち、ドレイン電界により一部があらかじめ空乏化されていることになる。従って、ゲート下全体を空乏化するゲート電圧はゲート長が短くなる程小さくてすむようになる。これが、トランジスタ特性に現れる一番基本的な短チャネル効果である。すなわち、図に示す様に、しきい値電圧 (V_{th}) がゲート長が短くなるに従い低下する。これは、製造ばらつきによりゲート長の寸法がばらついた場合にしきい値電圧もばらつくことになり回路設計を困難にする。

また、短チャネル効果は、しきい値電圧以下での MOSFET のオフ特性 (サブスレショルド特性: S 値) の傾きが増大する現象としても現れる。これは、同じくドレイン側の空乏層電界がソース側まで影響し、そこでの表面ポテンシャルを下げ電流を流しやすくす



トランジスタ特性



Tox: ゲート酸化膜厚
Xj: ソースドレイン接合深さ
Na: 基板濃度

空乏層

図 2-1 短チャネル効果の原因とトランジスタ特性に現れる現象

るためと説明される(いわゆる DIBL: Drain Induced Barrier Lowering)⁶⁾。この S 値の増大は、ゲート電圧が零の時に流れる電流(オフリーク電流)が増大することを意味し、回路動作が停止している時の消費電流を増大させてしまう。また、ゲート容量に電荷を保持することを動作原理とするダイナミック回路の動作を困難にしてしまう。

2.2.2 比例縮小則

この短チャネル効果を抑制するための MOSFET 設計指針として、1974 年に IBM の R.H. Dennard らによりいわゆる比例縮小則が提案された(7-8)。この比例縮小則は、微細 MOSFET の設計指針にとどまらず、寸法の微細化が MOS-LSI 全体の性能向上につながることも示した。このことにより、この比例縮小則は今日までの大規模集積回路の発展の指導原理ともなった。表 2-1 に、一般的な比例縮小則を示す。ゲート酸化膜厚、ソース・ドレインの接合深さ、電源電圧をそれぞれゲート長に比例して縮小し、基板濃度を比例して増大させる。これらにより、動作速度、消費電力等の MOS-LSI の性能が向上することが解る。

ドレインと基板間の接合にできる空乏層幅は基本的な階段接合の式(1)で近似される。従って、上記の比例縮小則における電源電圧の縮小、基板濃度の増大は、ドレイン電界による空乏層幅を比例縮小することに対応する。すなわち、比例縮小則では、ゲート酸化膜厚、ソース・ドレイン接合の深さとともに、基板側の空乏層幅をゲート長に比例して縮小することになる。これにより、MOSFET を縮小しても図 2-1 に示したドレイン電界の影響を受けるチャネル下の空乏層を一定の割合に保つことができ短チャネル効果を防止できる。

しかしながら、この比例縮小則に従って基板濃度を増大させると、短チャネル効果は抑制されるが次に述べる好ましくない現象が起こる。すなわち、MOSFET の駆動力増大率の劣化⁸⁾、ホットキャリアによるデバイス特性の変動⁹⁾である。これらは、MOSFET のゲート長が $1\mu\text{m}$ を切るサブミクロン時代となって、ますます深刻化した問題¹⁰⁻¹³⁾である。さらに、2.2.4 節でも示す様に電源電圧は、外部機器の要請で決まり MOSFET の縮小化とともに変えられるわけではない。従って、電源電圧が一定の条件で空乏層幅を比例縮小するには、表 2-1 にも示す様に基板濃度を 2 乗で濃くする必要がある。この

表 2-1 一般的な比例縮小則 (電圧も縮小する場合としない場合)

物理パラメータ	表記	スケールリングゲファクター	
		電界一定	電圧一定
チャネル長	L	1/k	1/k
チャネル幅	W	1/k	1/k
ゲート酸化膜厚	Tox	1/k	1/k
接合深さ	Xj	k	k ²
基板不純物濃度	Na	1/k	1
電圧	V	1/k	1/k
空乏層幅 (階段接合近似)	Wd	1/k	1/k
容量	C	1/k	k
電流	I	1/k	1/k ²
遅延時間	τ	1/k	k
消費電力	P	1/k ²	1/k ²
デバイス面積	A	1/k ²	1/k ²

ことが、サブミクロン時代において上記の好ましくない現象をさらに加速した。

以下では、第3章で述べる MOSFET 単体での高速化・低消費電力化の位置付けを明確にするため、駆動力向上率の劣化とホットキャリア効果への対応としての MOSFET 構造の変遷の歴史に焦点をあてさらに述べる。

2.2.3 駆動力向上率の劣化

MOSFET の駆動力は、相互コンダクタンス (Gm)、もしくは、ドレイン電流 (Ids) そのもので代表される。これは、以下の式で記述される 1)。

$$G_m(I_{ds}) \propto \mu_{eff} \times C_{ox} \times W/L \times V_d$$

すなわち、駆動力は、反転層中でのキャリアの実効移動度 (μ_{eff})、ゲート酸化膜容量 (C_{ox})、ゲート幅(W)/ゲート長(L)、及び、ドレイン電圧(V_d)の各パラメータに比例する。従って、その他のパラメータが一定なら比例縮小則によって約束される様に、駆動力はゲート長に逆比例して増大する。しかしながら、短チャネル効果を抑制するために行う基板の不純物濃度の増大は、 μ_{eff} をも低下させてしまう。こうなると、MOSFET の駆動力はゲート長に逆比例して増加しなくなる。これに代表される様に駆動力が $1/L$ で増加しなくなるのが駆動力向上率の劣下の問題である 8)。

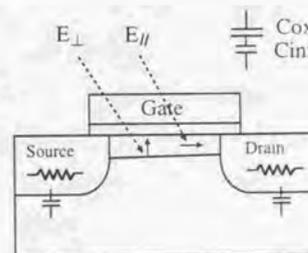
図 2-2 に、MOSFET 縮小化による駆動力向上率の劣化の問題をまとめる。MOSFET に内在する問題と寄生する問題に分けられる。

まず、内在する問題として次の3項がある。

- 1) 反転層中の垂直電界増大による μ_{eff} の低下 14-15)：基板濃度の増大は、反転層中の垂直電界を増加させキャリアの実効移動度を低下させる。基板濃度の増大は、クーロン散乱による実効移動度の低下を想起させるが、A.G. Sabnis & J.L. Clements らにより、そうでなく反転層中での垂直電界の増大が原因であることが明確にされた 14)。
- 2) ゲート方向電界増大による速度飽和 16-17)：基板濃度の増大により、ゲート方向の電界が速度飽和の臨界電圧を超えキャリアが飽和速度に達する。これも、実効移動度を低下させることに対応する。速度飽和が起こると、MOSFET の飽和電流はゲート電圧の2乗でなく1乗で増加する様になる 18)。
- 3) 反転層有限の効果によるチャネル電荷の減少 19-20)：反転層が有限の厚みを持つ、

Intrinsic

- 反転層中の垂直電界 (E_{\perp}) 増大による μ_{eff} の低下
- ゲート方向電界 (E_{\parallel}) 増大による速度飽和
- 反転層有限 (C_{inv}) の効果によるチャネル電荷の減少



Extrinsic

- ソース・ドレインの寄生抵抗の影響の増大
- ソース・ドレインの寄生容量の影響の増大
- 配線抵抗・容量の影響の増大

図 2-2 MOSFET 縮小化による駆動力向上率の劣化の問題

縮小化による基板濃度の増大

ドレイン近傍での電界増大

インバクトイオン化による e, h の発生

ゲート酸化膜への e, h の注入

トランジスタ特性の変動

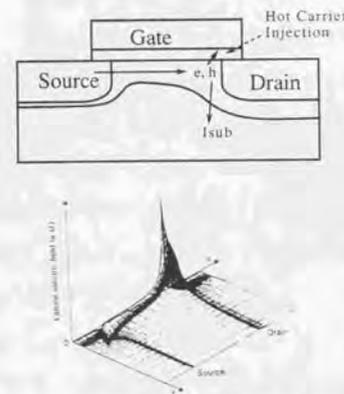


図 2-3 ホットキャリア効果によるデバイス特性の変動の概念

すなわち、反転層が容量 (C_{inv}) を持つことがゲート酸化膜が薄くなると無視できなくなる。上の式の C_{ox} が C_{inv} との直列容量となり、その値が低下することに対応する。これは、基板濃度増大とは直接関係しないが、駆動力向上率の劣化の問題としてその重要性が指摘されている。

これらは、本論文の3章のテーマである MOSFET 単体での高速化を検討する上で重要な項目である。特に、1) 項については、3.4 節で、MOSFET の基板の濃度プロファイルを工夫して設計することで改善した事例を示す。

さらに、寄生する問題として、次の2項がある。

1) ソース・ドレインの抵抗と容量の影響の増大 (10-11)

2) 配線抵抗と容量の影響の増大

この寄生抵抗については、駆動力向上率の低下としてとらえた場合、本来のソース・ドレイン間にかかる電圧 (上記の式の V_d) の低下に対応すると考えてよい。本論文のテーマであるサブミクロン時代となり、これらの寄生抵抗と容量の影響が顕在化した。これについては、2.3 節で改めて述べる。

2.2.4 ホットキャリア効果と MOSFET 構造の変遷

基板濃度の増大は、もう一つの課題であるホットキャリアの問題を引き起こす⁹⁾。この概念を図 2-3 に示す。MOSFET の縮小化、及び、基板濃度の増加によってドレイン近傍の電界が著しく強くなる。高電界で加速されたキャリアは、インバクトイオン化によりホットキャリアを発生するようになる。このホットキャリアがゲート酸化膜に注入されると、しきい値電圧やドレイン電流等のトランジスタ特性を変化させる。トランジスタの静特性を1回測定するだけでもドレイン電流が数10%低下する場合もある。このホットキャリア効果は、ゲート長が $3 \mu\text{m}$ 以下の MOSFET 設計において非常に深刻な課題となり、これまで多くの研究がなされてきた²¹⁾。この問題を回避するために、それを主眼に置き $3 \mu\text{m}$ 以降、現在のサブミクロン時代に至るまで数々の MOSFET 構造の研究がされて来たとも言える。

ホットキャリア効果によるトランジスタ特性の変動を抑えるため、これまで実用化された代表的構造の変遷を図 2-4 に示す。電源電圧、ゲート長の変化とともに示した。ゲ

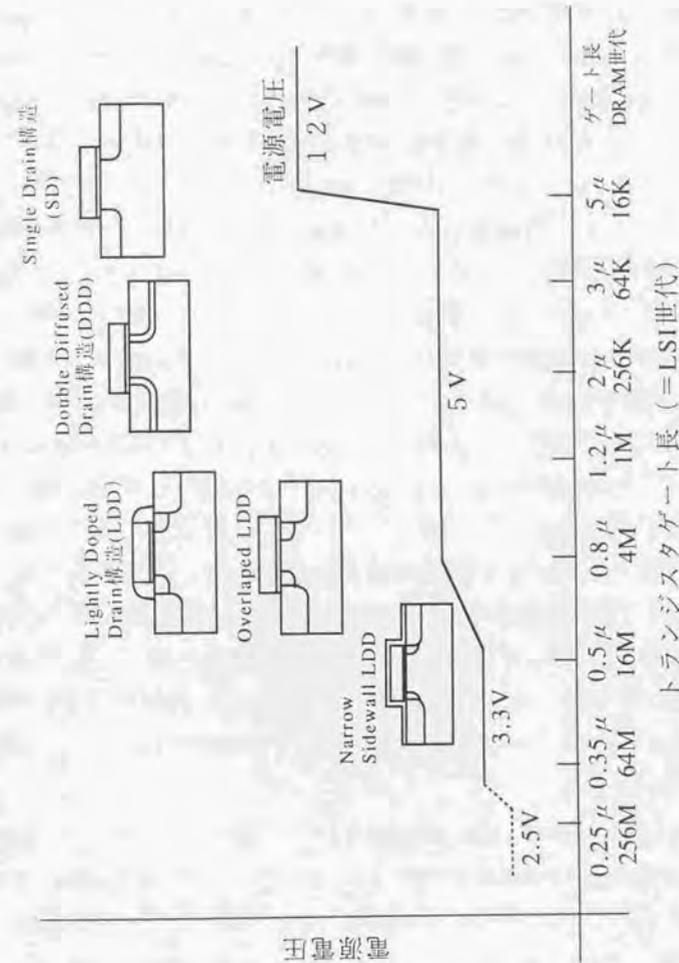


図 2-4 トランジスタ構造の変遷

ート長が $3\mu\text{m}$ の時代まではホットキャリア効果はまだ問題ではなく、MOSFET 構造はシンプルなシングルドレイン (Single Drain) 構造であった。これは、ソース・ドレインを高濃度不純物層で形成するのみの構造である。

ゲート長が $3\mu\text{m}$ を切るあたりからホットキャリア効果が顕在化し、まず、高濃度層の外側に低濃度ソース・ドレイン層を拡散させる2重拡散ドレイン (Double Diffused Drain) 構造が実用化された²²⁾。低濃度層を導入することで、ドレイン端の空乏層をドレイン領域にも伸ばしドレイン近傍の電界を弱め、ホットキャリアの発生を抑制したわけである。

ゲート長が $1.2\mu\text{m}$ 以下になると、ドレイン電界の緩和と短チャネル効果の抑制が、この構造では両立しなくなった。そこで、ゲート側壁酸化膜の形成を利用し、形成前に低濃度層をイオン注入し、形成後に側壁酸化膜をマスクとして位置をずらして高濃度層を注入するLDD構造が導入された²³⁾。このLDD構造は、ゲート側壁酸化膜の長さの調整により低濃度層の長さを自由に定めることができる。また、低濃度層もイオン注入で形成でき、その濃度、さらには、深さを自由に設定できる。これらが短チャネル効果の抑制とも整合し $1.2\mu\text{m}$ での導入以降、現在に至るまで、サブミクロン時代の主流のMOSFET構造となっている。

さらに、LSIの電源電圧は、それが使用される機器の電源電圧で決まりLSIからの要求のみでは決まらない。機器の一般的な電源電圧は、 $5\mu\text{m}$ 時代に12ボルトより5ボルトに下がって以来、 $0.8\mu\text{m}$ までは5ボルトのまま不変であった。よって、ゲート長の縮小化に伴いMOSFETの内部の電界は上がる一方であった。従って、このLDD構造の最適化によるホットキャリア効果の抑制が、サブミクロン時代のMOSFET構造設計の最大の課題であった²⁴⁾。

高駆動力化に視点を移すと、LDD構造で導入された低濃度ソース・ドレイン層は、一方では、MOSFET単体の寄生抵抗を増加させる。従って、ドレイン電界の緩和と寄生抵抗の低減というトレードオフがLDD構造設計上の要点となる。この点に関して $0.8\mu\text{m}$ 時代に、両者をうまく取り扱ったオーバーラップ型LDD構造が提案された²⁵⁻²⁷⁾。これは、低濃度層を斜めイオン注入する等してゲート電極とオーバーラップさせ、動作時にはゲート電界により低濃度層にキャリアを誘起させ寄生抵抗を低減するというもので

ある。

これらのLDD構造MOSFETの性能を比較検討する場合、ソース・ドレイン間の接合・接合間の距離に対応する実効ゲート長 (=チャネル長)の評価が必要となる。チャネル長を同一にして構造比較をしないと、LDD層の導入により現れるMOSFET構造自体での寄生抵抗の評価が正確にできないためである。しかしながら、LDD構造が導入された後も、実効ゲート長の測定法はシングルドレイン構造時代に提案された方法を使っておりその正確な評価法がなかった。次の3章では、LDD構造でも正確に接合・接合間の距離に対応する実効ゲート長が求まる新しい測定法の提案を行い、それを使用した各種LDD構造MOSFETの性能評価について述べる。

$0.5\mu\text{m}$ 時代になり、消費電力の低減とホットキャリア効果の抑制から、ようやく、電源電圧を5ボルトから3.3ボルトに下げることが一般的になった²⁸⁾。ここにおいて、低消費電力化と高速化の両立という新たな課題がMOSFETの設計に付け加わった。低電圧化は前述の式で解るとおり (V_d の低下に対応する) 駆動電流の低減につながり、トランジスタの高速性を従来トレンド通り維持することを困難にするためである。3章では、両立を図る最適解のひとつとして提案したNarrow Sidewall型LDD構造 $0.5\mu\text{m}$ CMOSについても述べる。

以上は、本論文のテーマである高速・低消費電力化について、その基礎となるMOSFET構造単体での課題と第3章で扱う具体的に検討した事項の位置付けである。サブミクロン時代になり、MOSFET単体の高性能化はもちろんのこと、それ以外の寄生抵抗・容量の低減が重要課題として追加された。

2.3 寄生抵抗・容量の顕在化

第1章と前節で述べた様に、サブミクロン時代になるとCMOSの高速化・低消費電力化を追究するにあたってMOSFET単体はもちろんのこと、それ以外の寄生抵抗・容量の低減が重要課題となって来た(10-11)。微細化に伴いMOSFETのオン抵抗と負荷容量となるゲート容量が小さくなり、それ以外の抵抗・容量が顕在化するためである。この寄生抵抗・容量は、ソース・ドレイン領域の寄生抵抗・容量と配線の寄生抵抗・容量から成る。以下では、各世代のCMOSにおけるトランジスタのオン抵抗とゲート容量の値を示し、さらに、上記の寄生抵抗と寄生容量の値とを対比して示すことでその重要性を概観する。また、本論文の第4章と第5章での検討の位置付けを明確にする。

1.2 μm CMOSから0.18 μm CMOSまでの各世代でのN型チャネル(Nch)MOSFETのオン抵抗、ソース・ドレイン領域のシート抵抗、配線の抵抗の代表的な値を図2-5に示す。簡単化のためNch MOSFETのオン抵抗は、各世代の電源電圧を単位幅(1 μm 幅)あたりのドレイン電流で割り求めている。一般的に、寄生効果を考慮すべき尺度としてMOSFETのオン抵抗の10%をとる場合がある。図中には、その値も示した。配線抵抗は、各世代で長さ1mmあたりの抵抗として示している。

この図から、微細化に伴いMOSFETのオン抵抗が減少することが解る。一方、ソース・ドレインの寄生抵抗は、微細化に伴いその接合深さが浅くなるためその値が増大する。また、配線抵抗は、その配線幅が微細化するため徐々に増大している。従って、これらの寄生抵抗の低減がMOSFETの微細化に伴い相対的に重要になっているのが解る。

ソース・ドレインの寄生抵抗は、この図では0.25 μm においてMOSFETのオン抵抗の10%と同等になる。これは、ソース・ドレインの寄生抵抗をシート抵抗で考えた場合である。この寄生抵抗については、さらに、回路パターンのレイアウトを考慮する必要がある。その場合にはレイアウトにもよるがシート抵抗の10倍から100倍の寄生抵抗となり得る。こうなると、1.0 μm を切るサブミクロン時代において、その寄生抵抗は常にMOSFETのオン抵抗の10%以上になり問題が深刻である。

さらに、第1章の図1-1で示した様にMOSFETの微細化と併にその動作周波数が向上して来た。特に、高性能プロセッサなどはこの高速化の要求から寄生抵抗による駆動力の低下をなるべく回避したい。

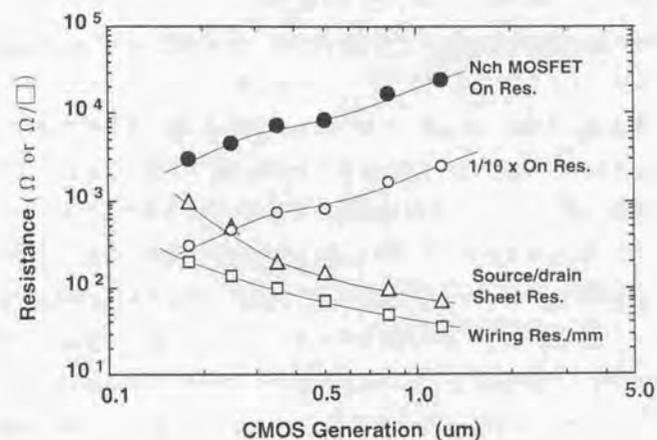


図2-5 各世代CMOSのオン抵抗とソース・ドレイン領域のシート抵抗と配線の抵抗のトレンド

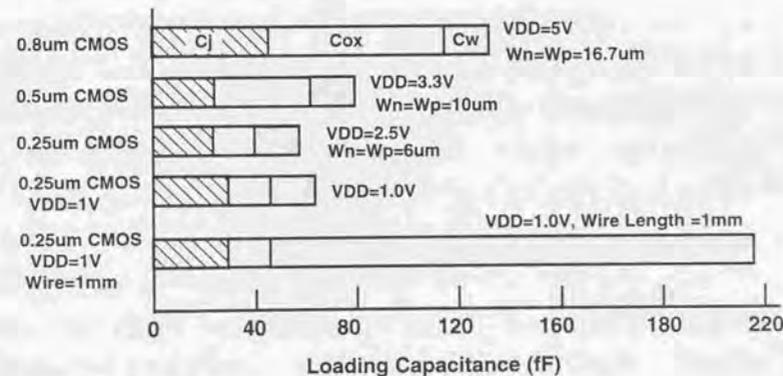


図2-6 各世代CMOSの負荷(寄生)容量のトレンド

これらの要求から、このソース・ドレイン領域の寄生抵抗を低減できるサリサイド化技術の実用化がサブミクロン時代に強く要請される様になった。サリサイド化技術を使えば、その寄生抵抗を数 Ω/\square にでき、回路レイアウトを自由に設計してもその抵抗が無視できるようになる。

本論文の第4章においては、このサリサイド化技術の必要性を回路パターンを例にとり再度論じる。さらに、そのプロセス技術の詳細について述べ、特に、サブハーフミクロン CMOS へ適用する上での新たな課題とその解決法を述べる。

一方、寄生容量もサブミクロン時代となり顕在化して来た。CMOS 回路の負荷容量は、駆動側の MOSFET のドレイン接合容量、次段回路との接続のための配線での配線容量、さらには、次段のゲートのゲート容量からなる。この接合容量と配線容量を一般には寄生容量と定義づける。基本となる CMOS 回路であるインバーターを例にとり $0.8 \mu\text{m}$ 世代、 $0.5 \mu\text{m}$ 世代、及び、 $0.25 \mu\text{m}$ 世代 CMOS の負荷容量の代表的な値を図 2-6 に示す。次段ゲートは駆動側ゲートと同一のゲート幅として、ゲート容量 (C_{ox}) とドレイン接合容量 (C_j) を示した。ゲート酸化膜厚とドレイン接合不純物分布は、各世代のものを C_{ox} と C_j を求めている。また、電源電圧は、各世代の電圧を採用し C_j を算出している。配線は、内部論理回路を構成する場合を想定し $100 \mu\text{m}$ として配線容量 (C_w) を求めている。また、 $0.25 \mu\text{m}$ においては、電源電圧を 1 ボルトと低くした場合、及び、配線を 1mm と長くした場合も示した。

この図から、まず一般的に、微細化が進むにつれ C_{ox} に対して、 C_j と C_w の比率が上がりそれらの寄生容量が顕在化することが解る。従って、これらの寄生容量の低減はサブミクロン時代の CMOS プロセスデバイス技術での高速化・低消費電力化のための重要項目となることが理解できる。

接合容量は、本来微細化によりその面積が減るためゲート容量と同率で小さくなるはずである。そうならないのは、微細化に伴って基板濃度が増大しその単位面積あたりの接合容量が増大するためである。特に、第1章の図 1-3 でも示した様に 1990 年代に入り CMOS と言えどもその高速化と集積度向上から低消費電力化が再度重要項目として注目される様になった。また、今日の携帯機器の進展によりさらにその要請が強まっている。この場合、第1章でも述べた様に電源電圧を下げるのが一番効果があり、機

器の一般的な電源電圧以下での使用が増える様になっている。 $0.25 \mu\text{m}$ の場合で示す様に、この電源電圧の低下は、特に接合容量を増大させることになる。第4章においては、この点に着目しソース・ドレインの寄生抵抗ばかりでなくその容量も低減可能なローカル配線プロセスについても述べる。そのプロセスの詳細を述べ、サブハーフミクロン CMOS へ適用する上での課題を述べる。さらに、実際の LSI において高速化・低消費電力化の効果を実証した結果を述べる。

1 チップに集積される素子数が 100 万を超えるようになりその複雑さから、一般的にはゲート間をつなぐ配線長が長くなる。また、今日の大規模 LSI の内部機能を分類すると、制御系であるランダムロジック部、演算系であるアレイロジック部、さらに、メモリ部に分けることができる。特に、このランダムロジック部で配線負荷が問題となる。このランダムロジック部のみを専用に集積化するゲートアレイ形式の LSI の平均配線長は、現在、 $1\text{mm} \sim 2\text{mm}$ と言われる。0.25 μm CMOS において、 1mm の配線負荷を付けた場合も図 2-6 に示す。この場合、配線寄生容量が負荷容量として 70% 以上を占めその寄生容量の重大さが解る。

この様に、1 チップに 100 万以上の素子を搭載でき、一つのシステムが 1 チップに搭載できる (System On Chip 時代) 様になると、その配線が LSI 全体の性能を決める様になる。これらの点から 1994 年頃より“配線の危機 (Interconnect Crisis)” とよばれ²⁹⁾、設計手法の改善はもちろんのこと、プロセス・デバイスの観点からも配線の問題への取組が活性化している。この配線負荷の問題については第5章において詳細に述べる。配線抵抗と配線容量の LSI 中での重要性を対比して検討した結果を述べ、低誘電率膜の適用の重要性を指摘する。さらに、具体的に低誘電率膜を CMOS デバイスに適用し、その結果現れた現象を述べる。さらには、比例縮小則のトレンドに沿ってサブハーフミクロン CMOS の高速化・低消費電力化をはかるために必要不可欠であることを実証する。

2.4 まとめ

本章では本論文の基礎として、MOSFETを縮小化する上での課題とサブミクロン時代となり寄生抵抗・容量が顕在化した背景をまとめた。これらを述べる中で、本論文の第3章以降で扱うテーマの位置付けを明確にした。

まず、微細なMOSFETの設計にあたって一番重要な短チャネル効果を説明し、それを抑制しながら微細なMOSFETを設計するための比例縮小則を説明した。しかしながら、この設計指針に従ってMOSFETを設計しても、微細化に従い数々の問題が発生することを述べた。すなわち、駆動力増大率の低下、寄生抵抗・容量の顕在化、ホットキャリア効果の発生である。その対応として、これまで数々のMOSFET構造が提案されてきた。さらに、サブミクロン時代となりLDD (Lightly Doped Drain)構造MOSFETが主流になった。これらを概説する中で次の3章での検討の位置付けを明確にした。

また、各世代のCMOS技術におけるMOSFETのオン抵抗、ソース・ドレイン領域のシート抵抗、さらには、配線抵抗のトレンドを示した。さらに、各世代におけるゲート容量、接合容量、配線容量の値も示した。これらの値からサブミクロン時代となり寄生抵抗と容量が顕在化し、その低減が重要項目となったことを明確化した。これらにより、第4章と第5章での検討の位置付けを明確にした。

第2章の参考文献

- 1) S.M. Sze : "Physics of Semiconductor Devices" A Wiley-Interscience publication John Wiley & Sons, 1981
- 2) T. N. Nguyen and J.D. Plummer : "Physical Mechanisms Responsible for Short Channel Effects in MOS Devices," Technical Digest of International Electron Device Meeting, p596-599, 1981
- 3) K.N. Ratnakumar, J.D. Meindl and D.L. Scharfetter : " New IGFET Short-Channel Threshold Voltage Model," Technical Digest of International Electron Device Meeting, p204, 1981
- 4) T. Toyabe and S. Asai : "Analytical Models of Threshold Voltage and Breakdown Voltage of Short-channel MOSFET's Derived from Two-dimensional Analysis," IEEE Trans. Electron. Dev. Vol ED-26, p453-461, 1979
- 5) P.K. Chatterjee and J.E. Leiss : "An Analytic Charge-sharing Predictor model for submicron MOSFET's," Technical Digest of International Electron Device Meeting, p28, 1980
- 6) R.R. Troutman : "VLSI Limitation from Drain Induced Barrier Lowering," IEEE Trans. Electron Devices, Vol ED-26, p461-469, 1979
- 7) R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, E. Bassous, and A.R. LeBlanc : " Design of ion-implanted MOSFET's with very small physical dimension," IEEE J. Solid-State Circuits, Vol SC-9, p256, 1974
- 8) G. Baccarani, M.R. Wordeman, and R.H. Dennard : "Generalized Scaling Theory and Its Application to a 1/4 Micrometer MOSFET Design", IEEE Trans. Electron Devices, Vol ED-31, p452-462, 1984
- 9) C. Hu : "Hot-electron effects in MOSFET's" Technical Digest of International Electron Device Meeting, p176-179, 1983
- 10) Y.A. El-Mansy : " MOS device and technology constraints in VLSI," IEEE Trans. Electron Devices, Vol ED-29, p567, 1982
- 11) H. Shichijo : " A Re-Examination of Practical Performance Limits of Scaled n-Channel and p-Channel MOS Devices for VLSI" , Solid State Electronics Vol 26, p969-986, 1983

- 12) T.H. Ning, P.W. Cook, R.H. Dennard, C.M. Osburn, S.E. Schuster, and H.N. You: "1um MOSFET VLSI Technology: Part IV-Hot-Electron Design Constrains," IEEE Trans. Electron Devices. Vol ED-26, p346, 1979
- 13) E. Takeda, G. A.C. Jones, and H. Ahmed: "Contraimts on the Application of 0.5-um MOSFET's to ULSI Systems," IEEE Trans. Electron Devices. Vol ED-32, p322-327, 1979
- 14) A.G. Sabnis and J.T. Clements: "Charaterization of the electron mobility in the inverted <100> Si surface," Technical Digest of International Electron Device Meeting, p18-21, 1979
- 15) S.C. Sun and J. Plummer: "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces" IEEE Trans. Electron Devices. Vol ED-27, p1497-1508, 1980
- 16) J.A. Cooper, Jr, and D.F. Nelson : "Measurement of the high field drift velocity of electrons in inversion layers on silicon," IEEE Electron Device Lett., Vol. EDL-2, p171, 1981
- 17) R.W. Coen and R.S. Muller: "Velocity of surface carriers in inversion layers on silicon," Solid-State Electron, vol 25, p35-40, 1980
- 18) C. G. Sodini, P.K. Ko and J.L. Moll : "The Effect of High Fields on MOS Device and Circuit Performance," IEEE Trans. Electron Devices. Vol ED-31, p1386-1393, 1984
- 19) H.C. Pao and C.T. Sah : "Effects of diffusion current on characteristics of metal oxide (insulator) semiconductor transistor." Solid-State Electronics, Vol 9, 927-937, 1966
- 20) G. Baccarini and M.R. Wordeman: "Transconductance degradation in thin-oxide MOSFET's," IEEE Trans. Electron Devices. Vol ED-30, p1295-1304, 1983
- 21) C. Hu, S.C. Tam, F.-C.Hsu, P.K. Ko, T. -Y. Chan, and K.W. Terrill : " Hot electron-induced MOSFET degradation - model, monitor, and improvement," IEEE Trans. Electron Devices. Vol ED-32, p375-385, 1985
- 22) E. Takeda, H.Kume, Y. Nakagome, T. Makino, A. Shimizu and S.Asai: "An As-P(N⁺-N⁻) double diffused drain MOSFET for VLSI's," IEEE Trans. Electron Devices. Vol ED-30, p652-657, 1983

- 23) S. Ogura, P.J. Tsang, W.W. Critchlow, and J.F. Shepard: "Design and Characteristics of Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor," IEEE Trans. Electron Devices. Vol ED-27, p1359, 1980
- 24) M. Kinugawa, M.Kakumu, S. Yokogawa, and K. Hashimoto : "Sub-micron MLDD NMOSFETs for 5V operation," Proc. VLSI Symp., p116-117, 1985
- 25) T.Huang, W.W. Yao, R.A. Martin, A.G. Lewis, K. Koyanagi, and J.Y. Chen: "A novel submicron LDD transistor with inverse-T gate structure," Technical Digest of International Electron Device Meeting, p742-745, 1986
- 26) T. Hori, K. Kurimoto, K. Yabu and G.Fuse: " A New Submicron MOSFET with LATID (Large-Tilt-Angle Implanted Drain) Structure," Proc. VLSI Symp., p15-16, 1988
- 27) R. Izawa, T. Kure, S. Iijima and E. Eakeda: "The Impact of gate-drain overlapped LDD (GOLD) for deep submicron VLSI's," Technical Digest of International Electron Device Meeting, p87-90, 1987
- 28) M. Kakumu and M. Kinugawa : " Power-Supply Voltage Impact on Circuit Performance for Half and Lower Submicrometer CMOS LSI," IEEE Trans. Electron Devices. Vol ED-37, p1902-1908, 1990
- 29) Symp. on VLSI Technology, Rump Session, 1994, 1995, 1997 年等

3.1 序

本章では前章の基礎を受け、高速・低消費電力化の基礎となる MOSFET の縮小化について具体的に検討した内容を述べる。2.2.4 節で述べた様に、サブミクロン時代となり LDD 構造 MOSFET が主流となった。ところが、その LDD 構造 MOSFET において、性能評価の基礎となる実効ゲート長の測定法がまだ確立されていなかった。そこで、まず、LDD 構造 MOSFET での正確な実効ゲート長が測定できる新しい方法を提案する。さらに、その測定法を使用して各種 LDD 構造 MOSFET の性能の比較検討を行なった結果を示す。条件の異なる LDD 構造 MOSFET での正確な性能比較がこの測定法の使用で始めて可能になったことを示す。また、 $0.8 \mu\text{m}$ 時代に提案されたオーバーラップ型 LDD の性能評価へも応用した結果を示す。通常型 LDD とオーバーラップ型 LDD の高速性の比較においては、この測定法で得られるゲートとドレインとのオーバーラップ容量の見積もりが非常に重要であることを示す。さらには、その見地を基に、低消費電力でなおかつ高速なハーフミクロン CMOS デバイス構造を提案し実用化したことを述べる。

3.2 LDD 構造 MOSFET における実効ゲート長の新しい測定法の提案

MOSFET の構造を比較検討し、高速な構造、さらには、ホットキャリア耐性の高い構造を設計しようとする、ソース・ドレイン間の接合・接合間の距離に対応するチャンネル長を正確に知る必要がある。チャンネル長が変わるとチャンネル抵抗も変わり、LDD 層で導入される寄生抵抗の効果を正確に理解できないためである。

チャンネル長は、ソースとドレインの拡散層がゲート下にも拡散した各接合のエッジ間の距離である。そこで、これを冶金学的距離とも呼ぶ。この冶金学的距離を物理分析で直接測定するのは、十分に感度のある分析手段がないため現状では不可能である。従って、MOSFET のモデル式を仮定し電氣的測定法で求めることになる。電氣的測定法によって得られるチャンネル長を実効ゲート長 (Leff: Effective Channel Length) と呼ぶ。

実効ゲート長の測定法には、抵抗の測定による方法¹⁻³⁾と容量の測定⁴⁾による方法とがある。測定の簡便さ、及び、物理的イメージとの整合性の良さから前者が一般的に使

用される。一番よく引用され、一般的に使用されている測定法の基本式と原理を図 3-1 に示す。これは、MOSFET 構造がまだシングル・ドレイン構造であった 1979 年に NEC の寺田らにより提案されたものである 1)。

図 3-1 の(1)式に示す MOSFET のリニア動作領域での電流電圧式を変形した (2) 式が、この L_{eff} 測定法の基礎になる。異なるゲート電極長 (L_{mask} : 既知の値) のトランジスタを準備し、ゲート電圧、すなわち、チャネル抵抗 (ρ_{chan}) を変えておのおののソース・ドレイン間の抵抗 (R_{meas}) を測定する。 R_{meas} を縦軸に、 L_{mask} を横軸にそれらをグラフ化すると、(2)式からも解る様に、ソース・ドレインの横方向拡散長に対応する ΔL 、及び、ソース・ドレインの寄生抵抗に対応する R_{ext} を交点とする直線が複数書ける。この交点より ΔL を求め、 L_{mask} より引いたものが、ソース・ドレイン間の接合・接合間距離に対応する実効ゲート長 (L_{eff}) になる。

シングルドレイン構造では、本方法により正確に L_{eff} が求まった。しかしながら、LDD 構造では、以下の理由により非常に不正確となる。LDD 構造で導入された低濃度拡散層の抵抗は、ゲート電圧によってもその抵抗が変調される 5-6)。従って、LDD 層の抵抗を含む寄生抵抗にあたる(2)式の R_{ext} が各ゲート電圧によっても変化し、各直線は一点で交わらなくなる。LDD 構造での実際の測定例を、図 3-1 に合わせて示す。実際には、複数の交点の平均値より ΔL は求まるが、ソース・ドレインの横方向拡散長にはまったく対応せず、値がマイナスになることもある。これは、ゲート電極長よりチャネル長の方が長いことを意味しソース・ドレインの横方向の拡散を考慮した物理的イメージと決定的に乖離する。

そこで、LDD 構造でも正確に L_{eff} を測定できる新たな方法を提案した 7-9)。それを、図 3-2 に示す。これは、以下の 2 段階のステップから成る。

1) まず、あるゲート電圧近傍 (Closely Separated V_g) で、その中心電圧に対応する $\Delta L(V_g)$ を求める。近接したゲート電圧では、LDD 層の抵抗変化が無視できるためそのゲート電圧での正確な $\Delta L(V_g)$ が求まる 10)。実際の測定例も図に示す。各直線は、正確に 1 点で交差し、あるゲート電圧での正確な $\Delta L(V_g)$ となる。

2) 次に、各ゲート電圧で求めた $\Delta L(V_g)$ を、しきい値電圧 (V_{th}) にリニアに外挿する。

$$I_{ds} = \mu_{eff} \cdot C_{ox} \cdot W_{eff} / L_{eff} \cdot (V_{gs} - V_{th} - 0.5 \cdot V_{ds}) \cdot V_{ds} \quad \dots \dots \dots (1)$$

$$R_{meas} = \rho_{chan} \cdot (L_{mask} - \Delta L) + R_{ext} \quad \dots \dots \dots (2)$$

$$\rho_{chan} = 1 / (\mu_{eff} \cdot C_{ox} \cdot W_{eff} \cdot (V_{gs} - V_{th} - 0.5 \cdot V_{ds}))$$

$$L_{eff} = L_{mask} - \Delta L$$

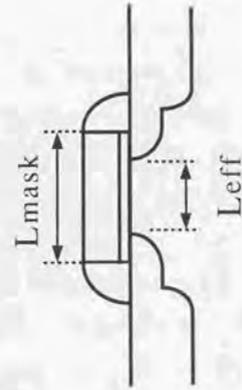
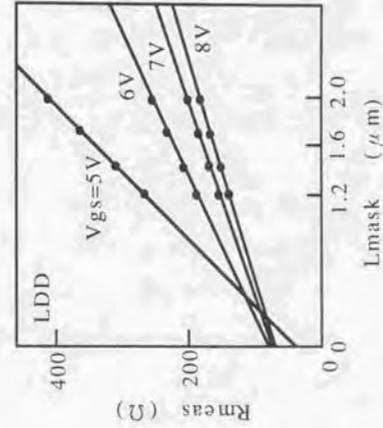
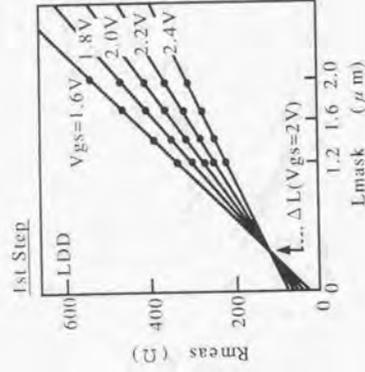


図 3-1 実効ゲート長 (L_{eff}) 測定の基本式と従来法の LDD 適用時の問題

1st Step

$\Delta L(Vg)$'s at middle-level- Vg , obtained
by closely separated Vg



2nd Step

Linear extrapolation of $\Delta L(Vg)$'s
to threshold voltage

$$L_{\text{eff}} = L_{\text{mask}} - \Delta L_{\text{new}}$$

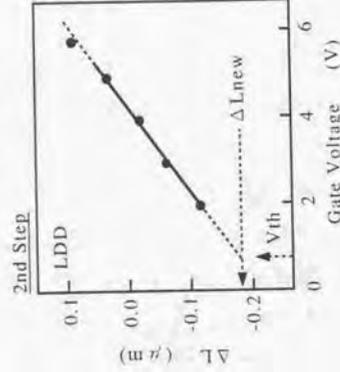


図 3-2 新たに提案した実効ゲート長 (L_{eff}) 測定法

ここで使用するゲート電圧は、後でも述べる様にしきい値電圧近傍、及び、高電圧領域を避けた中間レベル電圧とする。この外挿点を新たな L_{eff} とすることで、LDD 構造においても、接合・接合間の距離に対応した正確な L_{eff} を求める。

まず、シミュレーション上でこの方法が正確であることを調べた。シミュレーションは、沖電気で開発されたプロセス・デバイスシミュレーション“UNISAS”¹⁾を使用した。プロセスシミュレーションにより LDD 構造を作り、シミュレーション上での接合・接合間の距離（冶金学的距離 L_{met} : Metallurgical Length) を求める。次に、デバイスシミュレーションにその構造を持ち込み、そこで従来法と本方法の電気的手法をシミュレーション上で実行し実効ゲート長 (L_{eff}) を求める。その L_{met} と L_{eff} を比較したのが図 3-3 である。ゲート酸化膜厚=16nm、サイドウォール長=0.2 μm で、LDD 層のイオン注入条件を変えた場合の LDD 構造でシミュレーションした結果である。本方法による L_{eff} はプロセスシミュレーションで求めた L_{met} に正確に対応し、この方法が LDD 構造においても正確な L_{eff} の測定法であることが解る。

さらに、本方法の物理的背景を同じくシミュレーションにより検討した。ドレイン近傍での電子電流密度分布のゲート電圧による変化を図 3-4 に示す。LDD 層の注入ドーズ量が薄い場合、及び、濃い場合の結果であり接合の不純物プロファイルも点線で示す。電子電流密度は、リニアスケールで描画した。その分布が集中している領域をチャンネル領域と等価的に見なし、そのピーク濃度の 1/2 になる点を矢印で示した。電子電流密度の高い領域がゲート電圧の上昇にともない LDD 領域に伸びるのが解る。これが、第 1 ステップで使用する各ゲート電圧での $L_{\text{eff}}(Vg)$ に対応する。また、ゲート電圧を低くし、しきい値電圧に近づけると、電子電流密度の高い領域が接合位置に近づく。しかし、しきい値電圧近傍では、前述のリニア動作領域の電流電圧式が成り立たない。従って、一旦、しきい値以上のゲート電圧で $L_{\text{eff}}(Vg)$ を求め、それをしきい値に外挿する。また、この図から、LDD 層の注入ドーズ量が薄い場合、 $L_{\text{eff}}(Vg)$ の変化が大きいことも解る。これは、ゲート電圧による LDD 層の抵抗変調が大きいためであり、次に説明する実測結果とも一致する。

しきい値電圧へのリニアな外挿が、ゲート電圧範囲を選べばどの LDD 構造でも成り立

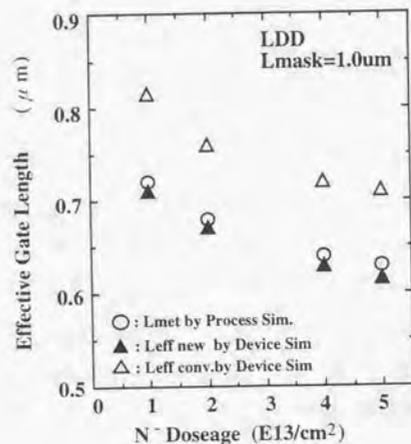


図 3-3 プロセス・デバイスシミュレーションによる従来法と新手法の比較

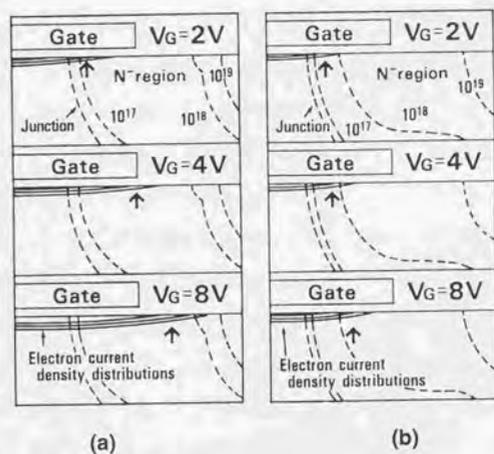


図 3-4 ドレイン近傍での電子電流密度分布のゲート電圧による変化。
 (a) LDD注入ドーズ量=0.7E13/cm²
 (b) LDD注入ドーズ量=3.0E13/cm²

つ点については実証的に示した。ゲート酸化膜厚、及び、LDD層への注入条件を変えた各種のLDD構造MOSFETで、各ゲート電圧で測定される $\Delta L(V_g)$ を測定した結果を図3-5に示す。これらの構造では、ゲート電圧が2ボルト~6ボルトまではゲート電圧に比例して $\Delta L(V_g)$ が変化し、そのリニアリティーが成り立つことが解る。特に、ゲート酸化膜が薄い程、また、LDD層への注入ドーズ量が低い程、その傾きが大きくなっている。これらは、ともにその条件の方がLDD層抵抗のゲート電圧による変調が大きくなるため、図3-4のシミュレーション結果とも一致する。

測定の精度を調べるため各ゲート電圧で使用する電圧の振れ幅を変え、さらに、ウエハー内35ポイントでの $L_{eff}(V_g)$ の測定をした結果を図3-6に示す。しきい値電圧近傍では、前に述べた理由で測定値が大きくばらつく。また、6ボルト~8ボルトとゲート電圧が高い領域でも測定値がばらつく。これは、ゲート電圧が高い場合にはその近傍での電圧変化による電流の変化が小さく、それが測定の精度を低下させるためである。逆に、ゲート電圧が2ボルト~6ボルトの中間レベルを選ぶことで、ここで使用した電圧の振れ幅を使えば、ばらつきも少なく正確な測定ができることが解る。

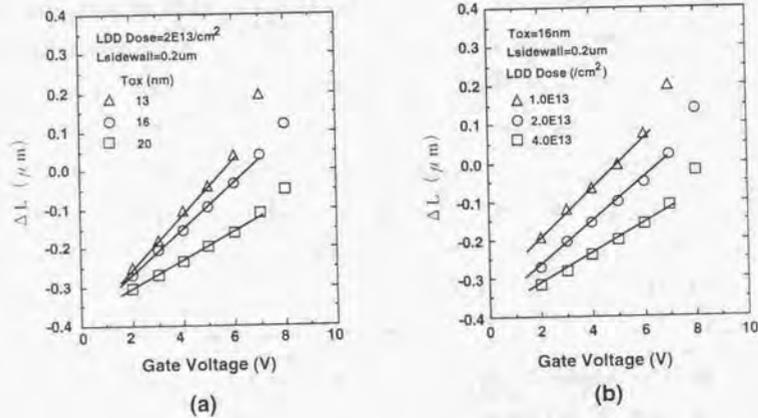


図 3-5 ゲート酸化膜厚 (a) と LDD 層への注入条件 (b) を変えた LDD 構造 MOSFET での ΔL のゲート電圧依存性

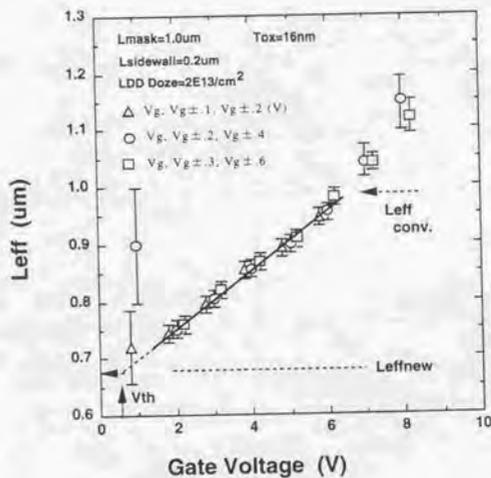


図 3-6 各ゲート電圧近傍で求めた ΔL より算出した $Leff$

3.3 新しい実効ゲート長による各種 LDD 構造 MOSFET の性能評価

3.3.1 条件を変えた通常型 LDD 構造 MOSFET への応用

まず、この測定法を通常型 LDD 構造に適用し、デバイス特性を解析した結果を示す。

図 3-7 は、LDD 構造は同一でゲート酸化膜厚のみ変えた場合の LDD 構造 MOSFET で、従来法、及び、新しい方法で $Leff$ を測定した例である。プロセスシミュレーションにより求めた接合・接合間の冶金学的距離も点線で示す。従来法では、ゲート酸化膜厚により $Leff$ が大きく変化する。特に、ゲート酸化膜厚が 13nm と薄い場合にはゲート電極長より長くなっている。ソース・ドレインの横方向の拡散長 ($=1/2 \times \Delta L$) は、LDD 層の注入条件が同一ならゲート酸化膜厚には依存しない。従って、この従来法による $Leff$ は、物理的イメージとは決定的に乖離する。それに対して、新しい $Leff$ はゲート酸化膜厚によって値が変わらず、ほぼプロセスシミュレーションによる冶金学的距離にも対応し、物理的イメージに合う $Leff$ となっていることが解る。

次に、異なる条件で試作した通常型 LDD 構造のドレイン電流、及び、短チャネル効果の解析結果を示す。ゲート酸化膜厚とサイドウォール長は同一で、LDD 層の注入ドーズ量を、 $1.0E13/cm^2$ 、及び、 $5.0E13/cm^2$ とした構造間での比較である。両構造でのドレイン電流としきい値電圧を、従来法 ($Leff_{conv.}$) と新方法 ($Leff_{new}$) で求めた各実効ゲート長によりグラフ化した結果を図 3-8 に示す。接合・接合間のチャネル長が同一なら LDD 層の注入ドーズ量が低い程、LDD 層の寄生抵抗は大きくなりドレイン電流は小さくなるはずである。しかしながら、 $Leff_{conv.}$ をベースにした結果では両構造でのドレイン電流は、同一 $Leff$ では同じという結果になっている。それに対して、 $Leff_{new}$ を使うと始めて両者のドレイン電流が物理的イメージに従って差があることが解る。

同じく、短チャネル効果の現われ方が両者で逆になっている。プロセスシミュレーションの結果では、LDD 層のドーズ量が低い場合と高い場合の接合深さ (X_j) は、おおよそ $0.15 \mu m$ 、及び、 $0.18 \mu m$ であった。 $Leff_{new}$ の結果では、接合深さの深い条件でより長いゲート長よりしきい値電圧が低下している。これは、チャネル長が同一なら深い接合を持つ構造で短チャネル効果が現れやすいという物理的イメージと合う。

以上の様に、新方法の実効ゲート長を使うことにより、異なる LDD 構造間で物理的イ

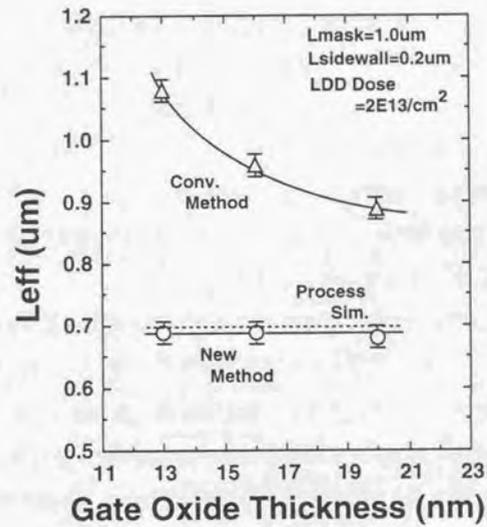
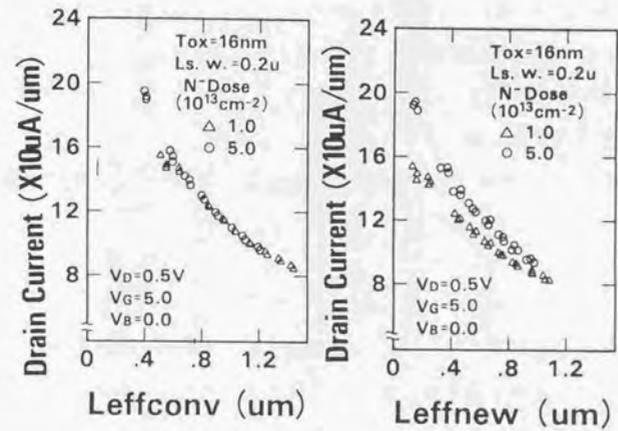
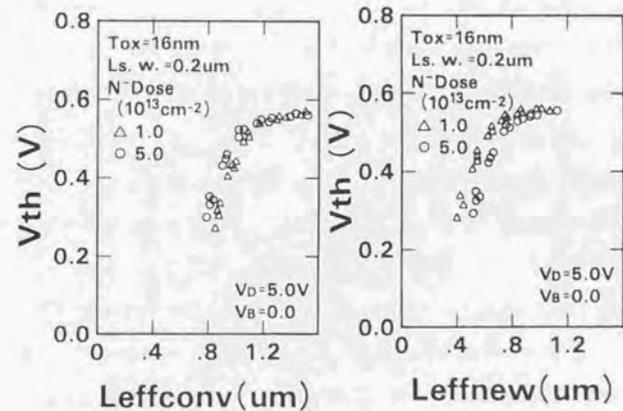


図 3-7 ゲート酸化膜厚のみ変えた場合のLDD構造MOSFETで測定した従来法と新しい方法の L_{eff}



ドレイン電流の比較



短チャネル効果の比較

図 3-8 2つのLDD構造でドレイン電流と短チャネル効果を従来法($L_{effconv}$)と新しい方法(L_{effnew})でグラフ化した結果

メージに合うトランジスタ特性の解析が可能になったと言える。これはまた、物理的イメージと合うソース・ドレインの横方向拡散長(=1/2 x ΔL)が抽出できる様になったことを意味する。この横方向拡散長は、ゲートとドレイン間のオーバーラップ容量を形成する。この容量はトランジスタのAC動作を遅くし、サブミクロン領域では、その値が無視できなくなるため特に注意すべきである。

次に、そのオーバーラップ容量が特に問題となるオーバーラップ型LDD構造への応用結果を述べる。

3.3.2 オーバーラップ型LDD構造MOSFETへの応用

2.2節でも述べた様に、LDD層の導入で発生する寄生抵抗の増大を低減し、なおかつ、ホットキャリア耐性を通常型LDDより向上できる構造としてオーバーラップ型LDD構造が提案された。1986年のT. Huangらによる最初の提案は、ゲート電極の加工方法を工夫し逆T字型にすることでLDD層全体もゲート電極で覆うというインバースT型であった¹²⁾。これを受け1988年に、より簡単にした製造方法の提案が堀らにより発表されている¹³⁾。これは、ゲート電極を加工後にLDD層のイオン注入を斜めにして行うことでLDD層を完全にゲート電極とオーバーラップさせる方法である。その後、その性能評価と構造の最適化が研究されて来た¹⁴⁾。しかし、当時、LDD構造での正確な実効ゲート長の測定法がなかったためオーバーラップ型LDD構造にしたことによるドレイン電流の向上率の解析は、はなはだ不正確であった。さらにAC動作を考えた場合、同一チャンネル長で比較してこの構造が高速かはまったく不明であった。

AC動作を考えるとMOSFETのゲート容量は、図3-9に示す様に3つの部分に分けられる。すなわち、チャンネル領域との容量である本来のゲート容量、ソース領域とのオーバーラップ領域に形成されるゲート・ソースオーバーラップ容量、さらに、ドレインとのオーバーラップした領域に形成されるゲート・ドレインオーバーラップ容量である。特に、このゲート・ドレインオーバーラップ容量は、回路動作においてミラー効果によりその容量が2倍となり伝搬遅延時間を遅くする¹⁵⁾。従って、このオーバーラップ容量の見積もりは、回路動作の正確な解析にとっても非常に重要となる。オーバーラップ型LDD構造ではこのオーバーラップ容量が増大することになるが、このことを考慮した

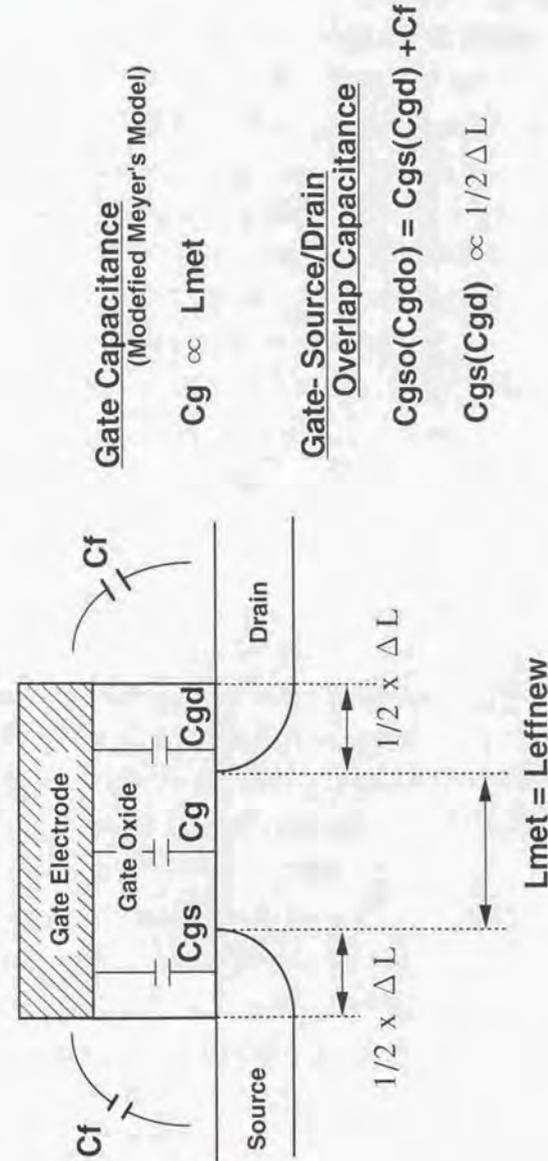


図3-9 MOSFETのゲート容量の構成

場合、この構造が本当に高速かは検討されていなかった。

そこで、オーバーラップ型 LDD を試作し、新しい実効ゲート長をベースに、ドレイン電流の向上率、及び、基本回路の伝搬遅延時間 (tpd) を解析した¹⁶⁾。比較に使用した MOSFET 構造を図 3-10 に示す。シングルドレイン構造、通常型 LDD 構造、及び、オーバーラップ型 LDD 構造である。ゲート酸化膜厚は、全ての構造で 13nm とした。また、しきい値電圧も、全ての構造で 0.5 ボルトに成るようチャンネル領域にしきい値調整用のイオン注入を行っている。通常型 LDD 構造は、磷イオンをエネルギー 30keV でドーズ量 $2.0E13/cm^2$ で注入し、 $0.2 \mu m$ の酸化膜サイドウォールを形成し作成した。オーバーラップ型 LDD 構造は、斜めイオン注入を使用して作成した。ゲート電極形成後に磷イオンをエネルギー 100keV、ドーズ量 $2.0E13/cm^2$ 、角度 60° で互いに直行する 4 方向より注入し形成した。斜め注入であるため平面でのドーズ量に換算すると $1.0E13/cm^2$ 注入したことになる。さらに、ヒ素イオンのみを注入したシングルドレイン構造もこれらと比較するため準備した。

両者の LDD 構造のドーズ量は、ホットキャリアによる劣化が一番少なくなる様に最適化した上で設定した。両 LDD 構造でドーズ量を変えた場合でのホットキャリアによる相互コンダクタンス (Gm) の低下を調べた結果も図 3-10 に示す。ゲート電極長 $1.0 \mu m$ で注入ドーズ量を変えたそれぞれの LDD 構造 MOSFET に、最大劣化が発生する条件、すなわち、ゲート電圧がドレイン電圧の 1/2 の条件で電圧を印加した。一定時間電圧 (ドレイン電圧 = 5.5V) を掛けた後の Gm の劣化率を調べた。その結果を、平面ドーズ量を横軸にして図示している。通常型 LDD 構造では、ドーズ量が $2.0E13/cm^2$ のとき、また、オーバーラップ型 LDD 構造では、 $1.0E13/cm^2$ のとき劣化が最小になることが解る。

この最適値の違いは、通常型 LDD 構造 MOSFET に特有の劣化モードによる。ゲート長が $1.0 \mu m \sim 0.8 \mu m$ クラスの通常型 LDD においては、サイドウォール長を $0.2 \mu m$ 以上とすればドレイン電界を最小にする LDD 層の注入ドーズ量は $1.0E13/cm^2$ になる。しかし、このドーズ量では、ドレイン近傍の電界のピーク位置がサイドウォール下になってしまう、これが LDD 構造特有のサイドウォール下へのキャリア注入による Gm 劣化を引き起こすことが報告されている¹⁷⁾。これを防止するには、ドレイン電界をそれよ

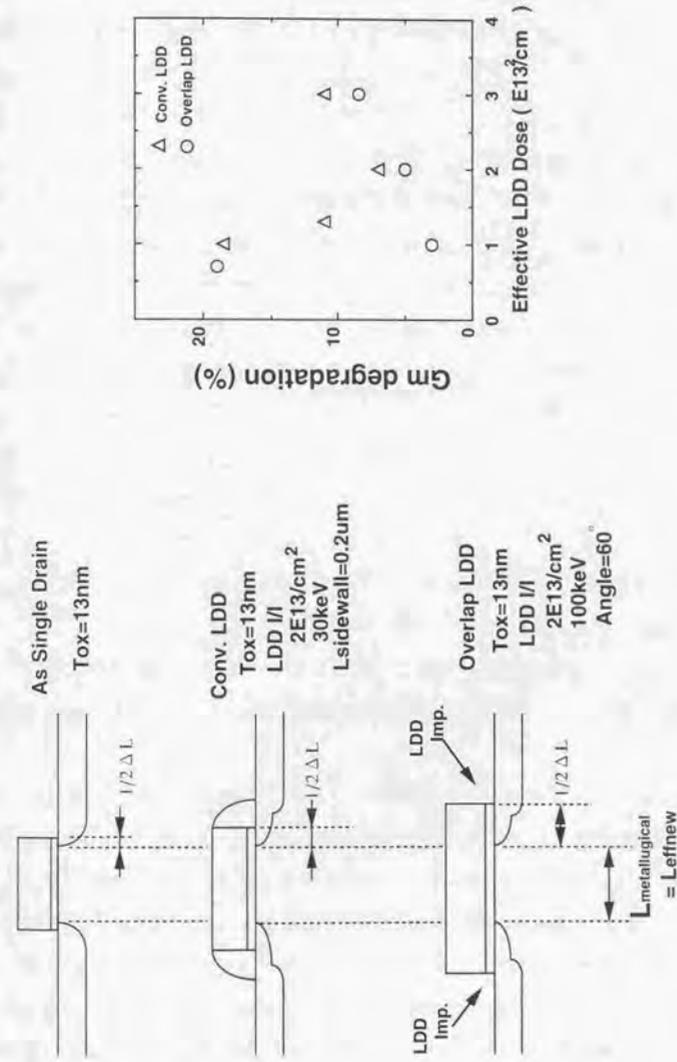


図 3-10 評価に使用したシングルドレイン、通常型 LDD、オーバーラップ型 LDD 構造の条件と通常型 LDD、オーバーラップ型 LDD 構造のホットキャリア劣化の LDD ドーズ量依存

り高めることにはなるが、LDD 注入ドーズ量を上げピーク電界の位置をゲート電極下にする必要がある¹⁸⁾。従って、 $2.0E13/cm^2$ が最適値となる。オーバーラップ型 LDD では、この LDD 特有の Gm 劣化を気にする必要がなくドレイン電界を最小にするドーズ量がそのままホットキャリア劣化を最小にする。これが、オーバーラップ型 LDD 構造の優位性の理由の一つでもある。

上記の3つの MOSFET 構造に新しい実効ゲート長の測定法を適用するため、まず、各ゲート電圧近傍で求めた ΔL (V_g) のゲート電圧依存性を測定した。結果を図 3-11 に示す。3.2 節でも述べた様に、通常型 LDD 構造ではゲート電圧が 2 ボルト～6 ボルトの範囲でリニアに変化する。また、シングル・ドレイン構造では、ゲート電圧による寄生抵抗の変化がなく各ゲート電圧において求まる ΔL (V_g) は一定である。オーバーラップ型 LDD 構造では、ゲート電圧が 2 ボルト～5 ボルトまでは通常型 LDD 構造と同じくゲート電圧とリニアに変化する。しかし、5 ボルト以上においてはシングル・ドレイン構造に近い振るまいを示し、ゲート電圧に関係なく一定となる。3.2 節の図 3-4 で示した電子電流密度分布のシミュレーションを想起すれば、これは以下の様に理解できる。すなわち、2 ボルト～5 ボルトまでは、その密度の高い領域がゲート電極とオーバーラップした LDD 領域に伸びていき ΔL (V_g) がリニアで変化する。また、5 ボルト以上では、その伸びが高濃度ドレイン領域に達しそれ以上伸びなくなる。

この測定結果より、新しい実効ゲート長の測定法をオーバーラップ型 LDD に適用するためには、その第 1 ステップのゲート電圧範囲として 2 ボルト～5 ボルトを選べば良いことが解る。

プロセスシミュレーションにより各構造のドレイン不純物プロファイルを求めた結果、及び、新しい実効ゲート長測定法により求めた ΔL_{new} 、さらには、従来法で求めた ΔL_{conv} を図 3-12 に示す。おのおのの ΔL に対応する点をドレイン不純物プロファイル中に矢印で示した。 ΔL_{new} は 3 つの構造の MOSFET でともにほぼ接合位置に対応していることが解る。よって、この ΔL_{new} から正確にゲート・ドレインオーバーラップ容量を計算できる。その結果も図 3-12 の表に示す。オーバーラップ容量は、この重なり容量にゲート電極の側面からのフリンジング容量を加えた値となる。フリンジング容量は、配線容量の近似式である桜井の式を使い算出した¹⁹⁾。これらを、次に述べる伝搬

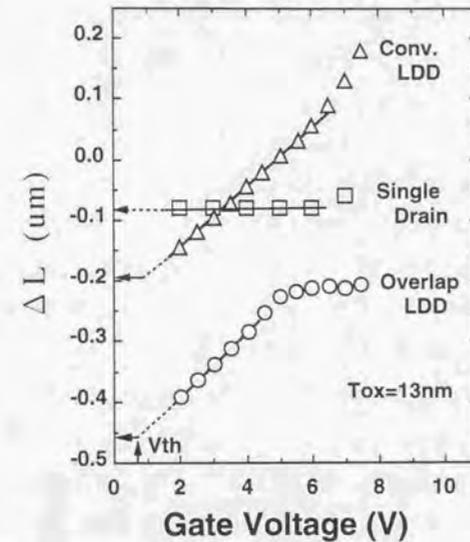
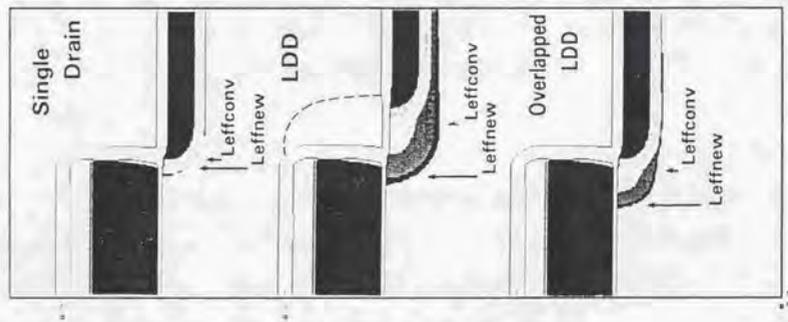


図 3-11 3つのMOSFET構造で求めた ΔL (V_g) のゲート電圧依存性



Structure	ΔL_{conv} (μm)		$C_{gso} \cdot C_{gdo}$ (F/m)	
	ΔL_{new} (μm)	$C_{gso} \cdot C_{gdo}$ (F/m)	ΔL_{new} (μm)	$C_{gso} \cdot C_{gdo}$ (F/m)
As Single	0.03	1.34×10^{-10}		
Drain	0.08	1.96×10^{-10}		
Conventional	-0.12	0.97×10^{-10}		
LDD	0.19	3.78×10^{-10}		
Overlap	0.26	4.90×10^{-10}		
LDD	0.46	8.03×10^{-10}		

※Fringing Capacitance



図 3-12 プロセスシミュレーションにより求めた各構造のドレイン不純物プロファイルと測定した ΔL_{new} と ΔL_{conv} 、及び、それから求めたオーバーラップ容量

遅延時間 (tpd) の解析に使用した。

まず、伝搬遅延時間 (tpd) の正確な解析が新しい実効ゲート長の測定法の応用で可能になることを示す。

N 型チャネル (Nch) MOSFET がオーバーラップ型 LDD である CMOS リングオシレーターを試作し、一段あたりの tpd を実測した。その結果を図 3-13 に示す。ゲート長/ゲート幅が $1.0 \mu\text{m}/8 \mu\text{m}$ の Nch MOSFET、また $1.2 \mu\text{m}/20 \mu\text{m}$ の P 型チャネル (Pch) MOSFET からなるインバーター回路を 51 段接続したリングオシレーターを使用した。発振周波数を 300MHz のオシロスコープで測定し、段数の 2 倍で割ることで 1 段あたりの tpd とした。

また、使用した Nch MOSFET と Pch MOSFET から回路シミュレーション (SPICE) 用のトランジスタパラメータを抽出した。抽出には、市販の TCAP ソフトウェアを使用した。ゲート容量とオーバーラップ容量の分離には ΔL_{conv} と ΔL_{new} を使用し、オーバーラップ容量は、図 3-12 に示した値を用いた。以上により、回路シミュレーション上で同じく tpd を計算した。その結果も図 3-13 に示す。

従来法による ΔL_{conv} では、LDD 層のオーバーラップ長は短く抽出されるため計算の tpd は実測より速くなる。一方、新方法での ΔL_{new} によれば、正確なオーバーラップ容量が求まり、計算の tpd が実測値とほぼ一致することが解る。従って、伝搬遅延時間の正確な解析のためには、ソース・ドレインの横方向拡散長が正確に導出できる実効ゲート長の新しい測定法が非常に有効であることが解る。

さらに、通常型 LDD 構造と、オーバーラップ型 LDD 構造でのドレイン電流、及び、伝搬遅延時間の比較検討を行なった。

図 3-14 の (a) と (b) は、新しい実効ゲート長 ($L_{eff\ new}$) を横軸にして、図 3-10 に示した通常型 LDD 構造、オーバーラップ型 LDD 構造、さらには、シングル・ドレイン構造 MOSFET でのドレイン電流、及び、tpd を比較したものである。

ドレイン電流は、ゲート電圧とドレイン電圧をともに 5 ボルトとした飽和領域での実測値である。同じ $L_{eff\ new}$ 、すなわち、同じチャネル長で比較すると、確かにオーバーラップ型 LDD 構造の方が通常型 LDD 構造に比べてドレイン電流は大きくなる。従って、MOSFET の動作時にはゲート電界によりゲート電極とオーバーラップした LDD 層にキ

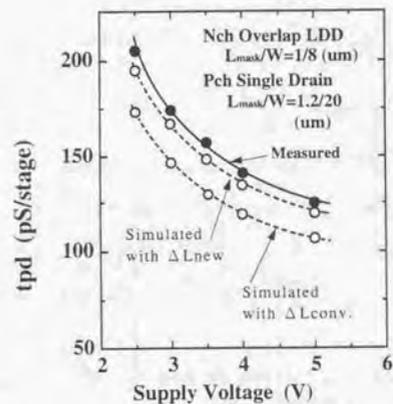


図 3-13 オーバーラップ型LDDの実測tpdと回路シミュレーションとの比較

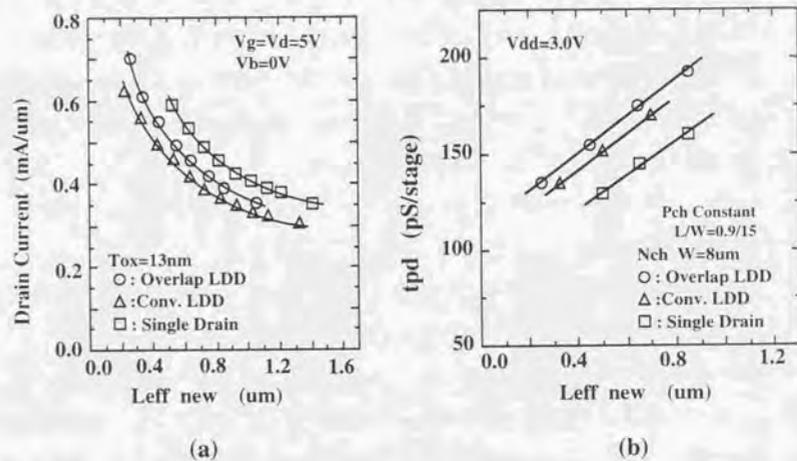


図 3-14 オーバーラップ型LDD、通常LDDの同一Leffによるドレイン電流 (a) と tpd (b) の比較

キャリアが誘起されLDD層の寄生抵抗を低減するというオーバーラップ型LDD構造の優位性は確かめられたことになる。ただ、その増大率は、 $L_{\text{eff new}}=0.8 \mu\text{m}$ で見ると5%程度であり、これまで報告13-14)されて来た15%~50%程は大きくないことが解る。また、シングル・ドレイン構造と比較すると、 $L_{\text{eff new}}=0.8 \mu\text{m}$ ではその電流値が10%程度小さいことが解る。従来、オーバーラップ型LDD構造はシングル・ドレイン構造と同等の電流駆動力があると報告13)されたが、同一チャネル長では低くなることになる。動作時に寄生抵抗が低減されるといっても、やはりLDD層の導入は寄生抵抗となり電流駆動力を低下させる。

図3-14の(b)は、両構造でのtpdを前述の回路シミュレーションにより求めた結果である。Pch MOSFETは、ゲート長/ゲート幅 $=0.9 \mu\text{m}/15 \mu\text{m}$ と一定にし、Nch MOSFETとして図3-10の3構造を使用し、そのゲート幅を一定としゲート長を変化させた場合である。横軸はそのNch MOSFETの $L_{\text{eff new}}$ である。オーバーラップ容量も、図3-12で示した値を使用している。この図から明かな様に、同一チャネル長(= $L_{\text{eff new}}$)で比較すると、オーバーラップ型LDD構造の方が、通常型LDD構造よりtpdは大きくなること解る。

この図の(a)と(b)の結果から以下の様に結論できる。すなわち、ホットキャリアによる劣化を最小にする様に最適化した通常型LDD構造とオーバーラップ型LDD構造とを比較すると、後者においてはゲート・ドレインオーバーラップ容量の増大の方が電流の増大の効果を上回り、伝搬遅延時間(tpd)はかえて遅くなる。

以上の様に、これまで明確に議論されていなかったオーバーラップ型LDD構造の正確な伝搬遅延時間の比較検討が、実効ゲート長の新しい測定法の応用により可能となった。また、その測定により算出されるオーバーラップ容量の正確な見積もりが、MOSFET構造間での高速性を議論する上で非常に重要であることが解った。

3.4 低電圧高速ハーフミクロン CMOS の設計

第2章で述べた MOSFET 縮小化の課題、さらに、前節のオーバーラップ容量の知見を基にして、低電圧下で高速なハーフミクロン ($0.5 \mu\text{m}$) CMOS の設計を行った²⁰⁾。

$0.5 \mu\text{m}$ 時代になり、消費電力の低減とホットキャリア効果の抑制の観点から、ようやく電源電圧を5ボルトから3.3ボルトに下げることが一般的になった。この低電圧化によりホットキャリア耐性の確保は容易になると推定される。一方、MOSFET の駆動電流であるドレイン電流は、第2章で述べた様にサブミクロンとなり速度飽和が支配的になった後も、電圧に比例して増加する。従って、この低電圧化は、電流駆動力を低減してしまい、従来トレンド通りの高速性を維持するのを困難にする。それまで、 $0.5 \mu\text{m}$ 以下の MOSFET 構造の報告²¹⁻²²⁾は多々あったが、低電圧下での高速性に具体的に言及した報告はなかった。また、 $0.5 \mu\text{m}$ 時代、3.3ボルトに電源電圧を下げて、これまでのトレンド通り MOSFET の高速性の向上が維持されるか明確にされていなかった。

そこで、3.3ボルトの電源電圧で、十分なホットキャリア耐性を持ちながら高駆動力であること、さらには、短チャネル効果も抑制しつつ高駆動力であることを目指し $0.5 \mu\text{m}$ CMOS 構造の検討を行った。その結果、新たな $0.5 \mu\text{m}$ CMOS 構造として図3-15に示す Narrow Sidewall 型 LDD 構造 CMOS を提案した²⁰⁾。さらに、この構造は、3.3ボルトの低電圧下でも従来トレンド通りの高速性を維持することを実証した。

この構造の特徴は、以下の2点である。

- 1) Narrow Sidewall 型 LDD 構造：従来の LDD 構造で採用されていた異方性エッチングによるサイドウォールの形成をやめ、代わりに 50nm 程度の薄い酸化膜を全面に堆積しそれをサイドウォールとした。すなわち、ゲート電極形成後に LDD 層形成用のイオン注入を行う。その後、 50nm 程度の薄い酸化膜を全面に堆積しその膜を残したままその膜を通して高濃度ソース・ドレイン層のイオン注入を行う。Pch MOSFET は、 50nm の膜を通して高濃度ソース・ドレイン層のイオン注入を行うのみのシングル・ドレイン構造とした。
- 2) Retrograde 型チャネルプロファイル：Nch MOSFET と Pch MOSFET の両者とも、

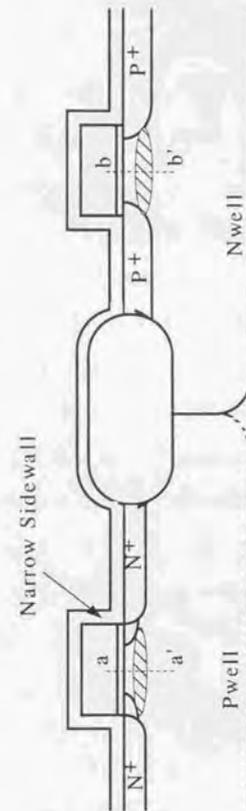


図 3-15 Narrow Sidewall 型 LDD 構造 $0.5 \mu\text{m}$ CMOS. a-a', b-b': Retrograde Channel Profile.

基板の下方向に行くに従い基板不純物濃度が濃くなる Retrograde 型チャンネルプロファイルを設計し採用した。

この Narrow Sidewall 型 LDD 構造の断面の透過電子顕微鏡写真を図 3-16 に示す。50nm のサイドウォールを見えやすくするため、その上にダミーのポリシリコンを堆積し観察した。50nm と薄い CVD (Chemical Vapor Deposition) 酸化膜を、段差被覆性良くゲート電極に堆積するため従来の SiH_4 でなく TEOS (Tetraethoxysilan) を原料ガスとした CVD を使用した²³⁾。ゲート電極は、150nm のポリシリコンと 100nm の WSi_2 を重ねたポリサイドゲートである。また、ゲート酸化膜厚は、0.5 μm 時代のロジック用トランジスタとして比例縮小則から予測される 12nm を採用した。

この構造の製造工程をプロセスシミュレーション¹¹⁾で再現し、Nch MOSFET のドレイン不純物プロファイルを出力した結果を図 3-17 に示す。ゲート電極形成後、LDD 層形成用に磷イオンをエネルギー 30KeV、ドーズ量 $4.0\text{E}13/\text{cm}^2$ で垂直に注入した。また、50nm の TEOS-CVD 酸化膜を堆積後、その膜を通して高濃度ソース・ドレイン形成用にヒ素イオンをエネルギー 150keV、ドーズ量 $4.0\text{E}15/\text{cm}^2$ で注入した。その後、不純物の活性化アニールとして 850℃、20 分の熱処理をしている。

図 3-17 では、その磷イオン (P^+)、及び、ヒ素イオン (As^+) のプロファイルを分離して示している。通常の LDD 層の濃度は $1.0\text{E}18/\text{cm}^2$ のオーダーである。そこで、高濃度ソース・ドレインを $1.0\text{E}19/\text{cm}^2$ と仮定すると、 As^+ の $1.0\text{E}19/\text{cm}^2$ のプロファイルがゲート電極のエッジの位置にきていることが解る。従って、この構造は、LDD の低濃度層が完全にゲート電極とオーバーラップしたオーバーラップ型構造ともなっていることが解る。ただし、そのオーバーラップ長は、LDD 層のイオン注入を垂直で行っており通常型 LDD 構造と同等で前述のオーバーラップ型 LDD 程大きくはない。

後でも示す様にサイドウォール長を 50nm と狭くできたことが、従来の異方性エッチングによるサイドウォール形成工程を省略できた理由である。通常の高ドーズ・イオンインプランテーション装置の最大注入エネルギーは 200keV である。その場合、ヒ素の注入飛程は最大 0.1 μm である。従って、従来の 0.2 μm 程度のサイドウォールでは、

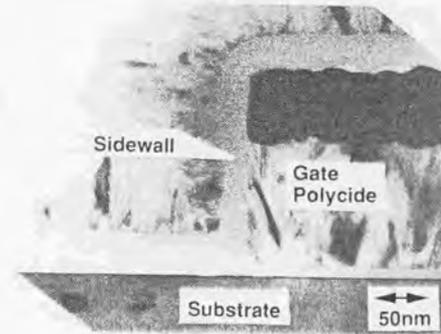


図 3-16 Narrow Sidewall型LDD構造の断面の透過電子顕微鏡写真

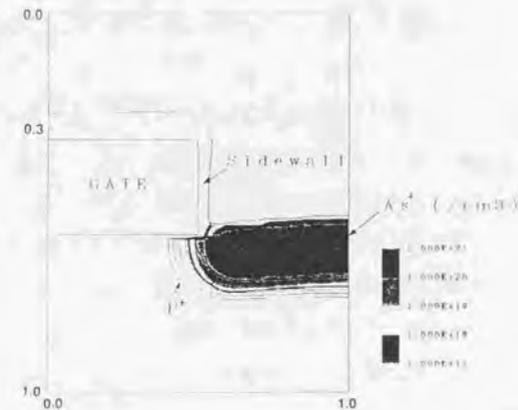


図 3-17 Nch MOSFETのドレイン不純物プロファイルのプロセスシミュレーション結果

その膜を通してヒ素をシリコン中に注入するのは実用化の観点から困難であった。

また、Pch MOSFETはサイドウォール形成後、 BF_2 イオンをエネルギー100keV、ドーズ量 $4.0\text{E}15/\text{cm}^2$ で注入するのみのシングル・ドレイン構造としている。従って、Pch MOSFETのソース・ドレインの不純物拡散の起点は、この50nmのサイドウォールエッジである。この構造では、異方性エッチング工程を省略しているため、その分、拡散の起点の位置のばらつきを小さくできる。従って、この構造はより簡単に製造ができ特性ばらつきも小さい構造であると言える。

以上の50nmというNarrow Sidewall型LDD構造は、駆動力の向上と十分なホットキャリア耐性の維持という設計のトレードオフを考慮して設定した。さらに、ゲート酸化膜が薄くなるに従い顕在化するGIDL (Gate Induced Drain Leakage) ²⁴⁾も考慮し決定した。

まず、そのホットキャリア耐性を以下に示す。ゲート酸化膜厚と基板濃度プロファイル、さらに、熱処理は同じにして、ドレイン構造のみ異なるゲート長 $=0.5\ \mu\text{m}$ のNch MOSFETでホットキャリア寿命を調べた。シングル・ドレイン構造、従来と同じ $0.2\ \mu\text{m}$ のサイドウォールを形成した通常型LDD構造、さらに、50nmのNarrow Sidewall型LDD構造である。通常型LDD構造のLDD層は、3.3.2節で述べた様に劣化が最小になる様にドーズ量 $2.0\text{E}13/\text{cm}^2$ (リンイオン)の条件で注入している。サイドウォール長がそれより短くなると、さらに濃いドーズ量でドレイン電界が小さくなりホットキャリア劣化も減少する。これを考慮し、Narrow Sidewall型LDDではドーズ量 $4.0\text{E}13/\text{cm}^2$ とした。

ホットキャリアによる劣化試験は、最大劣化の起こるゲート電圧がドレイン電圧の1/2の条件で行った。各電圧条件で電流を流し、一定時間ごとに飽和電流値を読み取る。さらに、その飽和電流値の劣化量が初期値の10%となった時間をその電圧での寿命とする。各電圧で求めた寿命をドレイン電圧の逆数を横軸にしてグラフ化したのが図3-18である。このグラフから、電源電圧である3.3ボルトに外挿することで電源電圧でのホットキャリア寿命を求める²⁵⁾。

ホットキャリア寿命は、10年(3.0E8秒)が一般的な規格である。図より明らかな様に、3.3ボルトと電源電圧を下げたため通常型LDDではホットキャリア寿命に余裕ができる。よって、その分をLDD層を短くして寄生抵抗を下げ駆動力の向上に振り向ける

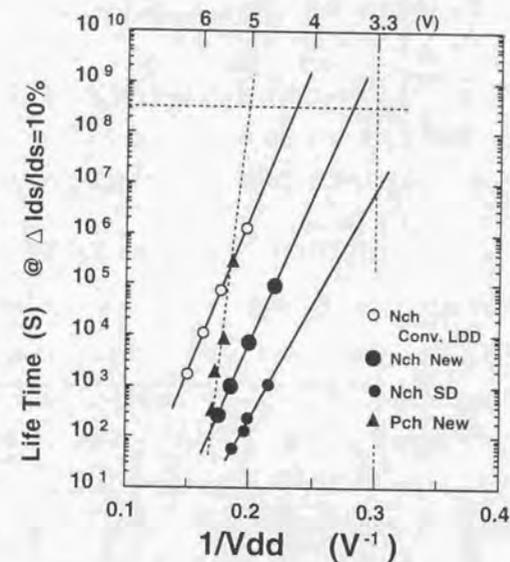


図3-18 各構造MOSFETのホットキャリア寿命

ことができる。しかしながら、最も寄生抵抗が小さいシングル・ドレイン構造では、3.3ボルトでもホットキャリア寿命の規格を満たさない。50nmのNarrow Sidewall構造は、3.3ボルトの電源電圧でほぼ10年のホットキャリア寿命を持つ。

図中には、Pch MOSFETのホットキャリア寿命も示す。50nmのサイドウォールを形成した後に、高濃度ソース・ドレイン用のイオン注入をしたのみのシングル・ドレイン構造である。Pch MOSFETでは、そのキャリアであるホールの衝突イオン化係数が小さいためホットキャリア寿命が問題になることはない。ここでも、まったく問題のないことが確認される。

Narrow Sidewall型にすることによって向上するドレイン電流の割合を図3-19に示す。上で述べた各構造での飽和領域とリニア領域とでのドレイン電流を示した。Narrow Sidewall型のNch MOSFETでは、従来型LDD構造に比べ飽和領域で20%、リニア領域で30%それぞれ向上している。Pch MOSFETでは、それぞれ30%、35%向上することが解る。

MOSFETが縮小化されゲート酸化膜が薄膜化すると、新たにGIDL (Gate Induced Drain leakage)が問題となることが指摘されている²⁴⁾。これは、ゲート電界によりドレイン表面のポテンシャルが曲げられ、そこでドレイン・基板間にトンネル電流が発生し、それがドレイン・リーク電流となるものである。このリーク電流は、ゲート電界が同じならゲートとドレインとのオーバーラップした長さによって決まる。また、その後の研究でこのリーク電流はゲートの縦方向の電界のみでなく、ドレインからの横方向電界にも依存することが明らかとなった²⁶⁾。すなわち、オーバーラップ長が同じならドレイン電界が小さい程、GIDLも小さくなる。

上で述べた3つのNch MOSFETでGIDLを測定した結果を図3-20に示す。GIDLは、ゲート電圧と基板電圧を零にしてドレイン電圧を変えることにより測定した。3.3節の新しい実効ゲート長の測定法を使用して求めることで、ゲートとドレインのオーバーラップ長は、3構造とも同程度(=0.1 μ m)であることを確認している。従って、シングル・ドレイン構造でGIDLが一番大きく、次にNarrow Sidewall型、そして、通常型LDD構造で一番小さいのは、上記の様にドレイン電界によっている。シングル・ドレイン構造では、3.3ボルトで1.0E-12A/ μ mと問題となるリークが発生する。それに対して、Narrow

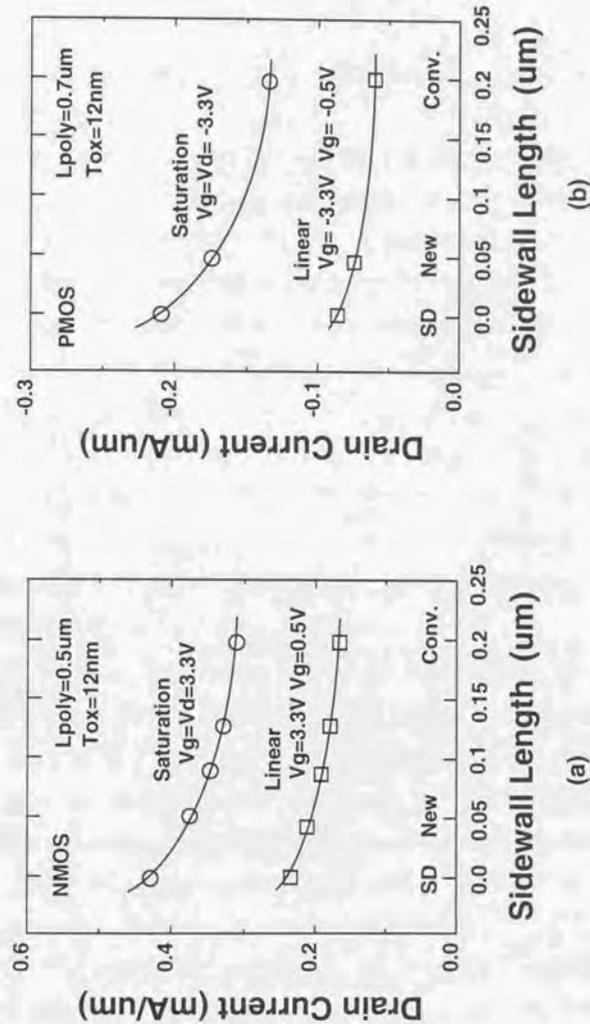


図3-19 各構造MOSFETでの線形領域と飽和領域のドレイン電流。(a) Nch MOSFET, (b) Pch MOSFET

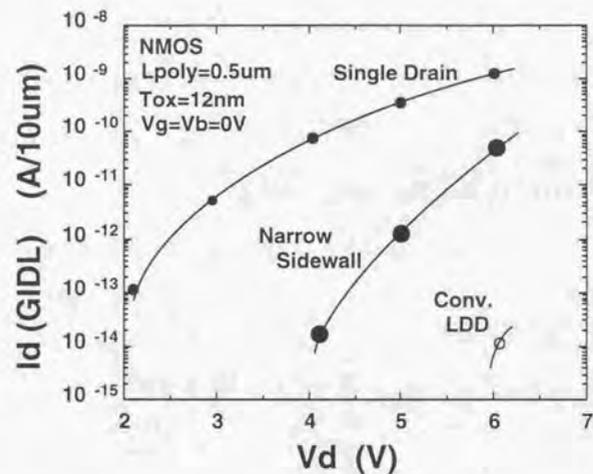


図 3-20 各Nch MOSFET構造で測定したGIDL

Sidewall 型では、電源電圧 3.3 ボルトで $1.0E-17A/\mu m$ 程度である。このレベルのリークは、ほとんどの用途においてまったく問題とならない。

次に、この CMOS 構造のもうひとつの特徴である Retrograde 型チャネルプロファイルについて述べる。

2.2.3 節で述べた様に、MOSFET が微細化すると短チャネル効果を抑制するため基板濃度を濃くする必要がある。この基板濃度の増大は、垂直電界をも増大させ反転層中のキャリアの実効移動度を低下してしまう。この事を考慮し、短チャネル効果を抑制しつつ、垂直電界の増大を抑えるチャネルプロファイルの検討をした。

この検討にあたっては、それまで知られていた SOI (Silicon On Insulator) 上での MOSFET における短チャネル効果の解析²⁷⁾、デルタドーピング MOSFET での解析²⁸⁾などを参考にした。前者においては、ゲート酸化膜とシリコン界面での不純物濃度を高くしなくとも、その界面近傍はゲート電界によって十分制御されるため短チャネル効果が抑制されると報告されている。また、後者では、酸化膜とのシリコン界面でなくそれより下を MBE (Molecular Beam Epitaxy) を使用してデルタ関数的に高濃度化し短チャネル効果を抑制している。すなわち、短チャネル効果抑制のためには、界面でなくそれより下で基板濃度を濃くすれば良いことになる。

また、チャネルプロファイルの検討にあたっては、所望のしきい値電圧を得ることを前提に考える必要がある。Brews の解析²⁹⁾を参考にすると、平均的に濃くするのではなく基板下方向に行くに従い濃度を濃くすることでも同じしきい値電圧を得ることが可能である。空乏層の伸びは後者の方が大きくなり、よって垂直電界を弱めることが可能と推測される。これらの知識と推測を背景に、さらに、実用化の観点から通常のイオン注入技術を使用して Nch MOSFET、Pch MOSFET とともに基板の下側にいく程基板濃度が濃くなる Retrograde 型チャネルプロファイルを設計した。

まず、Pch MOSFET での設計例から述べる。Pch MOSFET の場合、しきい値調整のため以下の要素が短チャネル効果抑制のための項目として追加される。

Pch MOSFET では、通常そのゲート電極に隣がドーピングされた N^+ Polysilicon が使用される。その場合、しきい値制御として基板には基板と逆の極性のイオンを注入する必

要がある。この事により、チャンネル表面に接合が出来た埋め込みチャンネル型 PMOS (Buried Channel PMOS) となる³⁰⁾。この埋め込みチャンネル型 PMOS では、チャンネル領域の接合を浅くすることで短チャンネル効果を抑制できるとされてきた。しきい値制御のために注入されるボロンのすぐ下に、接合を浅くするためヒ素イオンを注入していた³¹⁾。質量が大きく拡散も遅いため、ヒ素によってできるチャンネルプロファイルは急峻である。従って、所望のしきい値を得るには、それを補償するボロンも多く注入し、結果として基板表面付近の濃度を高くせざるを得なかった。

そこで、ヒ素より緩やかなプロファイルとなりうる磷イオンの注入によりしきい値の調整と短チャンネル効果の抑制を試みた。同じしきい値電圧 (= -0.7V) にでき、短チャンネル効果も同程度に抑制したチャンネルプロファイルの例を図 3-21 に示す。磷イオンを使った場合とヒ素イオンを使った場合をプロセスシミュレーションで求めた結果である。0.1 μm 以下の基板表面近傍で比較すると、磷イオンを使った新しいプロファイルの方が濃度が薄くなっているのが解る。

両者のイオンでそのドーズ量を増大し、さらに、しきい値電圧が同一になるようボロンイオンの注入量も調整し、短チャンネル効果の抑制と駆動力への影響を対比して調べた。これらのイオン注入条件のみを変えた PMOS を試作し、そのしきい値電圧、リニア領域での相互コンダクタンス (Gm)、さらには、短チャンネル効果を調べた。飽和領域のしきい値電圧がロングチャンネル領域での値より 10% 低くなるゲート長を使用可能な最小ゲート長 (= Lpolymin) とすることで短チャンネル効果抑制の度合を定義した。

両者のイオンを使った場合の Gm と Lpolymin の測定結果を図 3-22 に示す。Gm は全てゲート電極長 = 0.7 μm で測定しており、完全に短チャンネル効果を抑制した状態で測定しているわけではない。図中の Conv. とは、磷イオンもヒ素イオンも注入せず基板濃度のみ濃くして同一のしきい値電圧を得た場合である。また、各イオンのドーズ量も図中に記入した。短チャンネル効果を抑制するため、両イオンのドーズ量を増大していくと Lpolymin が小さくなり使用可能な最小ゲート長が短くなる。また、それとともに Gm も減少してしまう。しかし、その減少の度合が磷イオンの方がヒ素イオンより小さいことが解る。0.5 μm 時代に必要ゲート長 = 0.7 μm が使用可能となる点で両者を比較すると、磷イオンでは Conv. の 13% の低下ですむのに、従来のヒ素イオンを使用した設

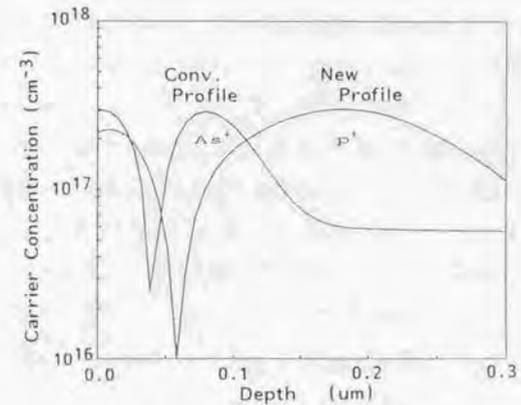


図 3-21 新条件と従来条件のPch MOSFETのチャンネルプロファイルの例

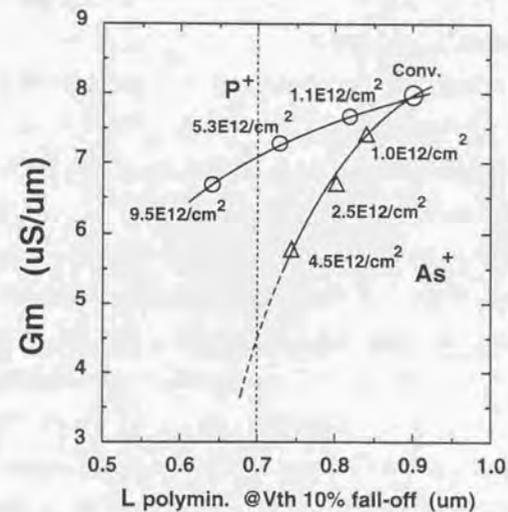


図 3-22 新条件と従来条件チャンネルプロファイルでの短チャンネル効果の制約を満たすLpolyminでのGm劣化の測定結果

計では 50% も低下することが解る。

この G_m の低下が、前述の垂直電界の増大による反転層中での実効移動の低下によっていることを確かめるため、2次元デバイスシミュレーションにより反転層中でのモビリティ (μ_{eff}) とその平均電界を求めた。このシミュレーションは古典的電界の方程式を前提としており界面での量子効果を厳密にとり扱ってはいないが、近似としては使用可能である。反転層は、誘起された電荷が基板不純物濃度と同程度になる点で定義した。そこでの電界とゲート酸化膜界面での電界の和の 1/2 をとり反転層中の平均電界 (E_{eff}) とした。結果を図 3-23 に示す。この結果の様に、この平均電界でモビリティを整理すると一つの曲線となる。これは、モビリティの低下が反転層中での平均電界で決まることの証差であり、モビリティのユニバーサリティーとも呼ばれる効果³²⁾ である。また、この結果からヒ素イオンを使った場合、 E_{eff} が強くなり μ_{eff} が低下するため図 3-21 で見られた様に G_m が大きく低下することが確認できる。

Nch MOSFET でも、Pch MOSFET と同様に基板の下にいくほど濃度が濃くなる様にプロファイル在设计した。基板のみ濃くし短チャネル効果を抑制する場合と、基板は薄いままできい値制御用に酸化膜界面よりすこし下で濃度を濃くする場合を比較検討した。基板のみの濃度調整でもボロンの酸化膜界面での偏析により界面での濃度は低下する。従って、実現された濃度プロファイルの差はわずかであった。プロセスシミュレーションでもとめた両者のプロファイルの差を図 3-24 に示す。0.1 μm 以下でわずかながら新しいプロファイルで濃度が薄くなっている。

この差はサブスレシヨルト特性と基板バイアス効果の差として顕著に出た。図 3-25 にその結果を示す。両者のプロファイルを共に高濃度化した場合での $L_{polymin}$ 、しきい値電圧以下のオフ特性にあたる Subthreshold Slope、さらには、基板にバイアスを掛けた時のしきい値電圧の上昇効果にあたる Body Effect を測定した。図より、0.5 μm 時代に必要な $L_{polymin}=0.5 \mu m$ で比較すると、新しいプロファイルの方が Subthreshold Slope と Body Effect とともに小さくできることが解る。Subthreshold Slope の値を小さくできれば、オフ時のリーク電流を小さくできる。逆に利用すれば、同一のリーク電流ならしきい値電圧を小さくできる。また、小さな Body Effect は、アース電極にソースが固定されていない NMOS のしきい値電圧を小さくできる。これは、NAND ゲート等で使われる

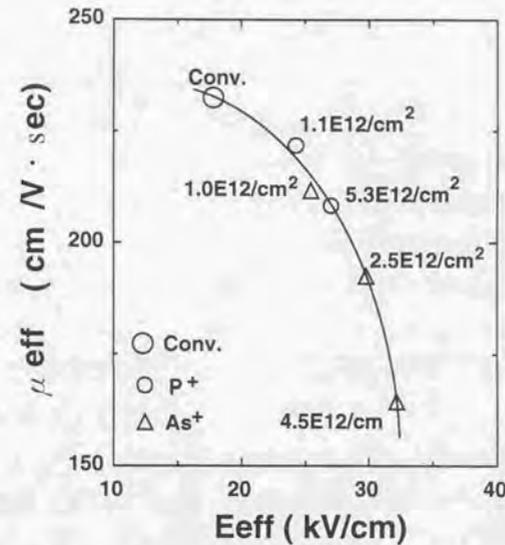


図 3-23 反転層中の平均電界 (E_{eff}) で整理した μ_{eff} の低下

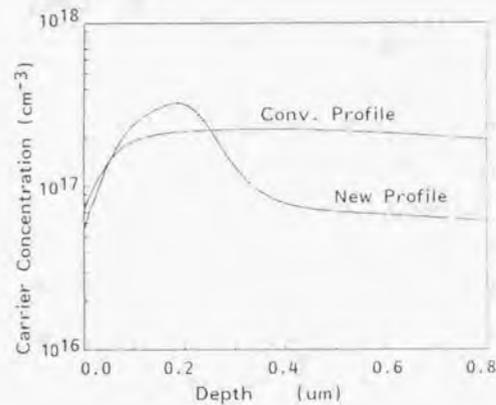


図 3-24 新条件と従来条件のNchチャネルプロファイルの例

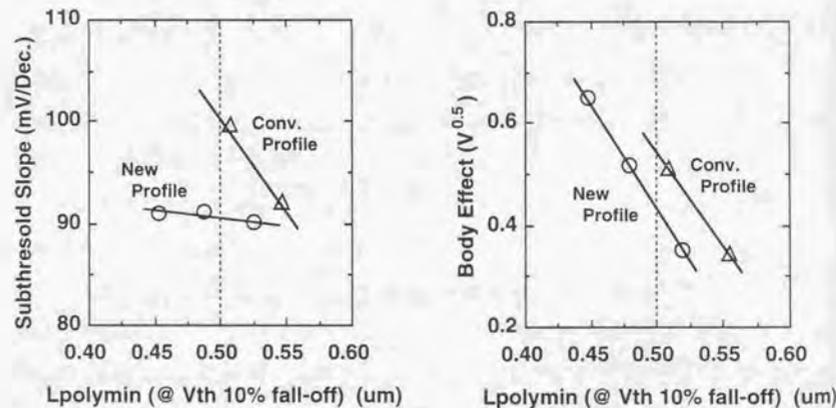


図 3-25 新条件と従来条件でのNch MOSFETのサブシレショルド特性と基板バイアス効果の測定結果

縦積み NMOS ゲートのしきい値を小さくできることに対応する。従って、両者ともしきい値電圧を小さくできることにつながり、低電圧下での回路スピードの高速化に貢献する。

最後に、この新構造 CMOS と従来型 LDD 構造 CMOS で実際に回路スピードを比較検討した結果を述べる。また、 $0.8 \mu\text{m}$ までの 5 ボルト電源下でのスピード向上のトレンドを 3.3 ボルトでも維持可能かを調べた結果を述べる。

前世代のデバイスとして、実際に試作したシリコンウエハーより抽出した $1.2 \mu\text{m}$ CMOS と $0.8 \mu\text{m}$ CMOS のトランジスタパラメータを準備した。また、 $0.8 \mu\text{m}$ 世代と同じ設計思想で試作した従来型 $0.5 \mu\text{m}$ CMOS (Conv. CMOS: サイドウォール長 = $0.2 \mu\text{m}$) と Narrow Sidewall 型 $0.5 \mu\text{m}$ CMOS (New CMOS) から回路シミュレーション (SPICE) 用トランジスタパラメータを抽出した。各トランジスタ構造の詳細は、図 3-26 に示す。これらのパラメータを使い、基本回路である負荷なしのインバーター (INV) と負荷付きの 2NAND (配線負荷 = 2mm , ファンアウト (F/O) = 2) での伝搬遅延時間 (tpd) を回路シミュレーションで求めた。前世代の $1.2 \mu\text{m}$ CMOS と $0.8 \mu\text{m}$ CMOS については電源電圧 5 ボルトと 3.3 ボルトで tpd を求め、 $0.5 \mu\text{m}$ CMOS では 3.3 ボルトで求めた。その結果を図 3-26 に示す。

電源電圧を 5 ボルトから 3.3 ボルトに下げると $1.2 \mu\text{m}$ と $0.8 \mu\text{m}$ の世代で tpd は約 1.6 倍となり遅くなる。従来型 $0.5 \mu\text{m}$ CMOS は、前世代の 3.3 ボルト電圧下でのスピード向上のトレンドには乗るが 5 ボルト電圧下のスピード向上のトレンドには乗らない。それに対して Narrow Sidewall 型 $0.5 \mu\text{m}$ CMOS は、3.3 ボルト電圧でも前世代の 5 ボルト電圧下でのスピード向上のトレンドに乗ることが解る。

以上により、この Narrow Sidewall 型 $0.5 \mu\text{m}$ CMOS は、3.3 ボルト電圧下にもかかわらず $0.8 \mu\text{m}$ までの 5 ボルト電圧下での tpd 向上のトレンドに乗ることが実証できた。

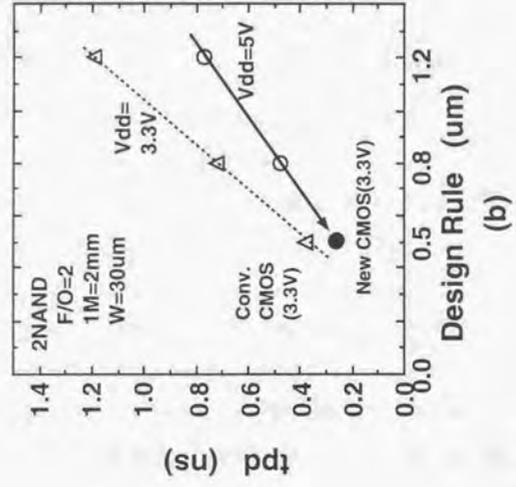
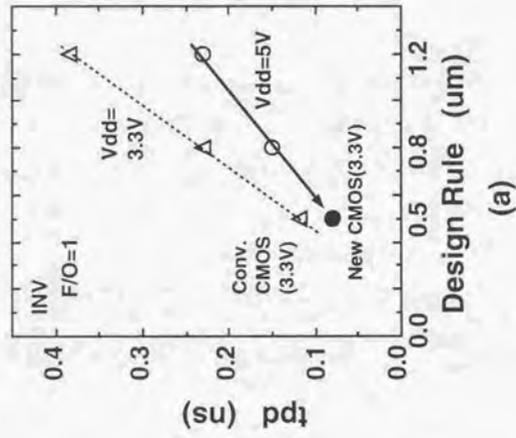


図 3-26 各世代 CMOS の伝搬遅延時間 (tpd) のシミュレーション結果。(a) INV, (b) Loaded 2NAND
 0.5um CMOS (New) : Tox=12nm, L_y/L_p=0.5/0.7um, Narrow Sidewall LDD
 0.5um CMOS (Conv.) : Tox=12nm, L_y/L_p=0.5/0.7um, Nch/Pch=LDD/LDD, Sidewall=0.2um
 0.8um CMOS : Tox=20nm, L_y/L_p=0.8/1.0um, Nch/Pch=LDD/LDD, Sidewall=0.2um
 1.2um CMOS : Tox=25nm, L_y/L_p=1.2/1.2um, Nch/Pch=LDD/SD, Sidewall=0.3um

3.5 まとめ

サブミクロン時代に主流となった LDD 構造 MOSFET について、その性能評価の基礎となる実効ゲート長の新しい測定法の提案を行った。条件の異なる LDD 構造間でも、物理的イメージと合うデバイス性能の比較がこの方法により初めて可能となった。特に、サブミクロン MOSFET の AC 動作解析で重要なオーバーラップ容量の導出が正確に行えることを示した。0.8 μ m 時代に提案されたオーバーラップ型 LDD 構造は、オーバーラップ容量の増大がドレイン電流の増大を上回り、通常型 LDD 構造に比較して伝搬遅延時間が遅くなることを明確にした。

ここで提案した実効ゲート長の測定法は、現在でも国内外で評価・検討されている。さらに、これらの検討を踏まえて、低電圧下で高速な 0.5 μ m CMOS デバイス構造である Narrow Sidewall 型 CMOS の提案を行った。この構造は、Narrow Sidewall 構造と Retrograde チャンネルプロファイルの2つの特徴を持つ。前者の特徴により、オーバーラップ型 LDD 構造にもなっており、ホットキャリア耐性を維持しつつも駆動電流を大きくしている。また、製造法が簡単で特性ばらつきも小さくしている。後者の特徴により、短チャンネル効果を抑制しつつも反転層の垂直電界を小さくでき、結果として駆動電流を大きくしている。さらに、この構造は低電圧下でも十分高速であり、0.8 μ m までの 5 ボルト電圧下でのスピード向上のトレンドに 3.3 ボルト電圧下でも乗ることを実証した。

この Narrow Sidewall 型 0.5 μ m CMOS は、0.5 μ m 時代の最適解の一つとして現在、実用化量産されている。

第3章の参考文献

- 1) K. Terada and H. Muta : "A New Method to Determine Effective MOSFET Channel Length," Jap. J. Appl. Phys., 18(5), p953, 1979
- 2) J.G.J. Chern, P. Chang, R.F. Motta and N. Godinho : "A New Method to Determine MOSFET Channel Length," IEEE Elect. Dev. Lett., EDL-1(9), p170, 1980
- 3) D.J. Mountain : " Application of Electrical Effective Channel Length and External Resistance Measurement Techniques to Submicrometer CMOS Process," IEEE Trans. Elect. Dev., ED-36, p 24, 1989
- 4) B. J. Sheu and P.K.Ko: "A Capacitance Method to Determine Channel Lengths for Conventional and LDD MOSFET's," IEEE Elect. Dev. Lett., EDL-5(11), p491, 1984
- 5) J. Y.-C. Sun, M.R. Worderman, and S.E. Laux : " On the Accuracy of Channel Length Characterization of LDD MOSFET's," IEEE Trans. Elect. Dev., ED-33, p 1556, 1986
- 6) K.K. Ng and W.L. Lynch : "Analysis of the Gate-Voltage-Dependant Series Resistance of MOSFET's," IEEE Trans. Elect. Dev., ED-33, p 965, 1986
- 7) Jiro Ida, Akio Kita, and Fumio Ichikawa: "A New Extraction Method for Effective Channel Length on Lightly Doped Drain MOSFET's," IEEE International Conference on Microelectronic Test Structures, Tech Dig. 1990, pp117-122
- 8) 井田、北、福田、市川 : "LDD MOS FET における実効ゲート長の測定法" 電子情報通信学会、信学技報 SDM90-12, pp17-23, 1990
- 9) 井田、北、市川 : "LDD 実効ゲート長のゲート電圧依存性" 電子情報通信学会、春季全国大会 5-209, 1989
- 10) G.J. Hu, C. Chang, and Y.T. Chia : "Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's," IEEE Trans. Elect. Dev., ED-34, p 2469, 1987
- 11) K. Nishi, K. Sakamoto, S. Kuroda, J. Ueda, T. Miyoshi, and S. Ushio : " A General-Purpose Two-Dimensional Process Simulator - OPUS- for Arbitrary Structures," IEEE Trans. Computer-Aided Design, Vol CAD-8, p 23-32, 1989
- 12) T.Huang, W.W. Yao, R.A. Martin, A.G. Lewis, K. Koyanagi, and J.Y. Chen: "A novel submicron LDD transistor with inverse-T gate structure," Technical Digest of International Electron Device Meeting, p742-745, 1986
- 13) T. Hori, K. Kurimoto, K. Yabu and G.Fuse: " A New Submicron MOSFET with LATID (Large-Tilt-Angle Implanted Drain) Structure," Proc. VLSI Symp., p15-16, 1988
- 14) M. Inuishi et al : Proc. VLSI Symp., pp33-34, 1989
- 15) N. H. E. Weste and K. Eshraghian : "Principles of CMOS VLSI design A System Perspective," Addison-Wesley Publishing Company, 1985
- 16) Jiro Ida, Satoshi Ishii, and Fumio Ichikawa: "Accurate Characterization of Gate-N⁺ Overlapped LDD with the New Leff Extraction Method," IEEE International Electron Device Meeting, Tech. Dig. 1990, pp219-222
- 17) F.-C Hsu et. al : "Structure-Enhanced MOSFET Degradation due to Hot Electron Injection," IEEE Elect. Dev. Lett., EDL-5, p71, 1984
- 18) M. Kinugawa, M.Kakumu, S. Yokogawa, and K. Hashimoto : "Sub-micron MLDD NMOSFETs for 5V operation," Proc. VLSI Symp., p116-117, 1985
- 19) T. Sakurai and K. Tamaru : "Simple formulas for two- and three- dimensional capacitances," IEEE Trans. Elect. Dev., ED-30, p183-185, 1983
- 20) Jiro Ida, Satoshi Ishii, Youko Kajita, Tomonobu Yokoyama and Masayoshi Ino : "A Highly Drivable CMOS Design with Very Narrow Sidewall and Novel Channel Profile for 3.3V High Speed Logic Application," IEICE Transaction on Electronics, Vol. E76-C No.4, pp525-531, 1993
- 21) W. H. Chang, B. Bavari, M.R. Wordeman, Y. Taur, C.C.H. Hsu, and M.D. Rodrigues : " A High Performance 0.25um CMOS Technology: I - Design and Characterization," IEEE Trans. Elect. Dev., ED-39, p959-966, 1992
- 22) Y. Okazaki, T. Kobayashi, M. Miyake, T. Matsuda, K. Sakuma, Y. Kawai, and M. Takahashi : "A High Performance 0.22um CMOS Technology," Proc. VLSI Symp., p13-14, 1989

- 23) Y. Nishimoto, N. Tokumasu, F. Fukuyama and K. Maeda : "Low Temperature Chemical Vapor Deposition of Dielectric Films using Ozone and Organosilane," Proc. 19th Conf. SSDM, p447-450, 1987
- 24) T.Y. Chan, J. Chen, P.K. Ko, and C. Hu : "The impact of gate-induced drain leakage on MOSFET scaling," IEEE International Electron Device Meeting, Tech. Dig., p714-717, 1987
- 25) E Takeda and N. Suzuki : " An empirical model for device degradation due to hot-carrier injection," IEEE Elect. Dev. Lett., EDL-4(11), p111-113, 1983
- 26) S.A. Parke, J.E. Moon, H.C. Wann, P.K. Ko, and C. Hu : "Design for Suppression of Gate-induced Drain Leakage in LDD MOSFET's Using a Quasi-Two-Dimensional Analytical Model," IEEE Trans. Elect. Dev., ED-39, p1694-1703, 1992
- 27) M. Yoshimi, M. Takahashi, S.Kambayashi, M.Kemmochi, T.Wada, and K. Natori : "Analysis of Drain Breakdown and Evaluation of Operation Speed in Ultra-Thin SOI MOSFETS," Proc. VLSI Symp., p15-16, 1989
- 28) K. Nakamura, H. Noda, and A. Kimura : "Superior Performance of ALD (Atomic Layer Doped) MOSFETs in 0.1um Regime," Proc. SSDM, p29-31, 1993
- 29) J.R.Brews : " Threshold Shifts Due to Nonuniform Doping Profiles in Surface Channel MOSFET's," IEEE Trans. Elect. Dev., ED-26, p1696, 1979
- 30) T.N. Nguyen and J.D. Plummer : "A Comparison of Buried Channel and Surface Channel MOSFET's for VLSI," IEEE Trans. Elect. Dev., ED-29, p1663, 1982
- 31) K.M. Cham and S. Chiang : " Device Design for Submicrometer p-Channel FET with N⁺ Polysilicon Gate," IEEE Trans. Elect. Dev., ED-31, p964-968, 1984
- 32) S. Takagi, M. Iwase, and A. Toriumi : " On the Universality of Inversion-Layer Mobility in N- and P-channel MOSFET's," IEEE International Electron Device Meeting, Tech. Dig., p398-401, 1988

第4章 ソース・ドレイン寄生抵抗・容量の低減の検討

4.1 序

本章では、MOSFETのソース・ドレイン領域の寄生抵抗・容量の低減について述べる。サブミクロン時代には、MOSFETのオン抵抗、及び、ゲート容量が小さくなりこの寄生抵抗・容量の低減が高速・低消費電力化のための重要課題として追加された。

ここでは、まず、ソース・ドレイン領域を選択的に金属珪化物 (=シリサイド)で低抵抗化するシリサイドプロセスについて述べる。シリサイドプロセスの必要性を実際の回路パターンを例にとり再度、明確化する。さらに、TiSi₂のシリサイドプロセスの詳細を述べる。特に、ゲート長が0.5 μm以下のいわゆるサブハーフミクロン CMOSへ適用した場合の新たな課題とその解決法を述べる。

次に、シリサイドプロセスの発展型として、抵抗ばかりでなくソース・ドレイン領域の寄生容量も低減可能なローカル配線プロセスについて述べる。検討に使用したローカル配線プロセスの詳細を述べ、特に、シリサイド層を通した不純物の相互拡散の解析結果を述べる。さらに、この技術が今後の低電圧低消費電力 CMOS技術として重要であることを示し、通信用LSIに実際に適用しLSI中での消費電力低減の効果を実証したことを述べる。

4.2 サリサイドプロセスのサブハーフミクロン CMOS への適用

4.2.1 サリサイド・プロセス

MOSFETのソースとドレイン、さらには、ゲート電極を選択的に低抵抗化するシリサイド・プロセスは、1981年頃より多くの研究がされて来た¹⁻²⁾。それ以前からも、高融点金属とシリコンを熱的に反応させ金属珪化物 (=シリサイド)とするシリサイド化反応について多くの研究がされている³⁾。白金 (Pt)、タングステン (W)、モリブデン (Mo)、チタン (Ti)、コバルト (Co)、ニッケル (Ni) など多くの高融点金属でそのシリサイド化反応が検討されて来た。シリサイド化反応のメカニズム⁴⁻⁶⁾、各反応温度での結晶構造⁷⁾、抵抗値、さらには、その後の熱処理過程での耐熱性⁸⁻⁹⁾などが調べられた。表4-1

表 4-1 各シリサイドの抵抗率

Material	Resistivity ($\mu \Omega \text{cm}$)
TiSi ₂	13~16
CoSi	17~20
PtSi	28~35
ZrSi ₂	35~40
NiSi ₂	50~60
WSi ₂	70
MoSi ₂	~100

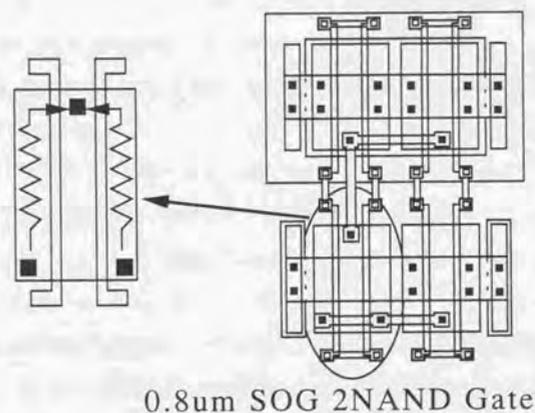


図 4-1 ロジック系デバイスであるゲートアレイの2NANDゲートのレイアウト例。0.8um CMOSの設計基準で書かれたもとを基に模式図化した。

に代表的なシリサイドの抵抗率を示す。中でも、TiSi₂が抵抗率が一番低く実用化をめざし精力的に検討されて来た10)。

2.3節でも述べた様に、シリサイド・プロセスはプロセッサを始めとするロジック系デバイスで特に重要である。MOSFETの微細化はそのオン抵抗を低減し、且つ、ソース・ドレインの浅接合化はそのシート抵抗を増大させる。この2項による電流駆動力の低下が特に問題となるのは、トランジスターのゲート幅方向に沿ってソース・ドレインと配線層とのコンタクトを多くとれない場合である。ロジック系デバイスでは、配線の設計をCAD (Computer Aided Design)によって自動におこなう様になっている(自動配置配線)。この場合、ゲート幅方向にコンタクトを多くすると第1層目の配線層がこの自動配置配線用の配線層としてほとんど使えなくなり、結局、集積度が下がることになる。

図4-1に、ロジック系デバイスであるゲートアレイでの2NANDゲートのレイアウト例を示す。拡大図に示す様にゲート幅方向にコンタクトが一個しかとれない箇所がある。さらに、ソースとドレインのコンタクトがゲートに対して対角に配置されている。電流経路を考えるとこのケースで、ソース・ドレインのシート抵抗による電圧降下が特に顕著になる。Nch MOSFETのオン抵抗は、ゲート長が0.5 μm でゲート幅が10 μm とすると約1k Ω である。これに対して、ソース・ドレインの抵抗もゲート幅方向に約1k Ω 付くことになる。従って、コンタクト遠端での電圧は、ソース・ドレイン領域での電圧降下により寄生抵抗がない場合の50%にまで低下することになる。

逆にDRAMに代表されるメモリー系デバイスでは、メモリーセルの領域が集積度を決め、その制御系の論理回路の領域は集積度にほとんど影響しない。この場合、ワード線ドライバ回路に代表される様にそのゲート幅が大きくても幅方向に多くのコンタクトがとれる。ゲート幅方向に多くのコンタクトがとれば、ソース・ドレインのシート抵抗による駆動力の低下は上記に示した程深刻な問題とはならない。

この様に、シリサイド・プロセスはサブミクロン時代に入り米国のプロセッサメーカーからその実用化が始まった。ゲート長が0.8 μm の時代には、そのソース・ドレイン接合深さも0.3 μm 程度と深く、シリサイド・プロセスの適用は比較的容易であった。しかし、ゲート長が0.5 μm を切るサブハーフミクロン時代にはその接合深さも浅くなる。そこで、シリサイド・プロセスの適用にあたっては接合リーク電流の解析、デバイ

ス特性への影響等再検討が必要になる。ここでは、 $0.35\ \mu\text{m}$ 以下の CMOS への適用を想定し、浅接合のもとでのサリサイド・プロセスの再検討を行った。

検討の対象としたのは TiSi_2 のサリサイド・プロセスである。そのサリサイド・プロセスフローを図4-2に示す。このフローに従って、 TiSi_2 のサリサイド・プロセスの詳細を述べる。

N型にドーブされたゲート電極を形成後、 SiH_4 ガスをベースにした CVD 酸化膜を堆積し異方性エッチングによりサイドウォールを形成する。その後、ソース・ドレイン形成用のイオン注入を行い、引き続きその活性化と CVD 酸化膜の緻密化を兼ねたアニールを行う。ここでは、 800°C 30分の窒素雰囲気中でのアニールを行っている。

ソース・ドレインの表面とゲート電極の表面の自然酸化膜を取り除くため希フッ酸 (Diluted HF) による洗浄を行う。その後、スパッタリングにより Ti を 40nm 全面に堆積する。このスパッタリングの前にも同じ装置内で逆スパッタリングを実行し、搬送過程でつく自然酸化膜を除去する。この自然酸化膜の除去は、形成される TiSi_2 の抵抗値のばらつきの低減、接合リーク電流のばらつきの低減、さらに、その後の熱処理過程での耐熱性の維持などのために非常に重要である 11)。

次に、ランプ加熱を使用した短時間熱処理である RTA (Rapid Thermal Annealing) により Ti とシリコンが接触した面でシリサイド化反応を起こさせる。その後、サイドウォール上、及び、フィールド酸化膜上に残った未反応 Ti を薬液を使用した選択エッチングにより除去する。これにより、ソース上とドレイン上、及び、ゲート上のみ選択的にシリサイドを形成する。ホトリソグラフィとエッチングを使わず、選択的にシリサイドを形成できるため Self Alignment Silicidation、すなわち、サリサイド (Salicide) と呼ぶ。

同異体を使用した原子マーカーの実験から TiSi_2 のシリサイド化反応では、Si が移動して反応が進むことが解っている 12)。従って、 TiSi_2 のシリサイド化ではその反応時にソース・ドレインから Si がサイドウォール上へも移動しゲートとつながってしまうことが問題であった 13)。その対応として、通常の炉アニールでなく RTA の使用、その RTA を使った 2 ステップアニール法の開発 14)、さらには、窒素雰囲気での RTA 処理 15) が検討されてきた。

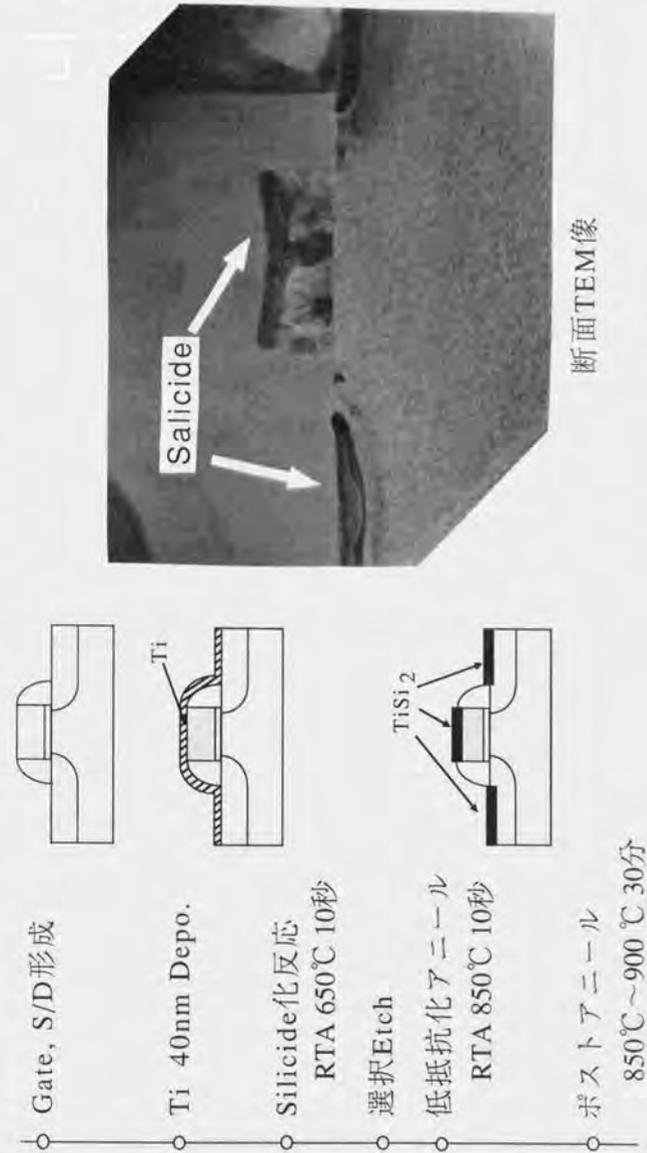


図 4-2 本研究で使用した TiSi_2 のサリサイド・プロセスとプロセス後の断面透過電子顕微鏡 (TEM) 写真

まず、数十秒でのアニールが可能な RTA で Si の移動を抑える。通常の炉アニールでは、数十秒のアニールは不可能である。この RTA 処理のみでもまだゲートとのショートが起こり得る。そこで TiSi_2 の各温度での結晶構造を勘案し、一旦、低温でシリサイド化反応を行い、その後、選択エッチをして未反応 Ti を除去した後、低抵抗化のための高温アニールをする 2 ステップアニール法が開発された。これにより、ゲートとのショートはさらに抑制された。

TiSi_2 のシリサイド化反応では、温度領域により 2 つの安定な結晶構造があることが知られている (4.7)。650°C~700°C では C49 であり、750°C 以上で C54 である。40nm の Ti により形成される C49 でのシート抵抗は 10 Ω/\square 程度と高いが、C54 では 2~3 Ω/\square 程度と低くなる。また、C49 も C54 も選択エッチャントであるアンモニア過水、もしくは、硫酸過水に対して不溶である。2 ステップアニールでは、これらの TiSi_2 の性質を利用している。すなわち、一旦低温アニールで C49 にする。低温であるため Si の移動は十分抑制さゲートとのショートを防止できる。その後、選択エッチを行い酸化膜上の未反応 Ti を除去する。これによりシリサイド化反応による Si の移動を気にする必要がなくなり、次の高温アニールによる低抵抗化を図れる。

さらに、これらのアニール雰囲気を窒素中とすることが重要であることも指摘されている (5)。不活性ガスであるアルゴン (Ar) 中でのアニールだと酸化膜上の Ti は、そのままであり Si の移動によりシリサイド化が起こり得る。窒素雰囲気でのアニールを使うと、酸化膜上の Ti は雰囲気中の窒素と反応し TiN となる。このことにより酸化膜上で TiSi_2 ができるのを防止する。この TiN は、選択エッチング時に未反応 Ti とともに除去できる。

ここでも、これらの知識に基づいて工程設定をしている。まず、650°C、30 秒、窒素雰囲気中の RTA 処理で C49 とする。その後、アンモニア過水でサイドウォール上とフィールド酸化膜上の TiN と未反応 Ti を除去する。その後、さらに 850°C、30 秒、窒素雰囲気中の RTA 処理で C54 とし低抵抗化する。

このシリサイド化反応で出来る TiSi_2 の厚さは約 70nm で、シート抵抗は 2.5 Ω/\square 程度である。図 4-2 にサリサイド・プロセスを経た MOSFET の断面透過電子顕微鏡写真も合

わせて示す。70nm の TiSi_2 が出来ていることが解る。結晶構造を考慮した反応式 (16) による計算では、40nm の Ti から出来る TiSi_2 の膜厚は約 100nm である。70nm 程度と薄くなるのは、窒素雰囲気中のためソース・ドレイン領域でも表面に TiN ができ、それが選択エッチ時に除去されるためである。

また、結晶構造を考慮した反応式 (16)、および、図 4-2 の写真で確認される通り TiSi_2 は、元の Si 面より下に形成される。この事が次に述べる浅接合 MOSFET への TiSi_2 の応用を考えた場合の問題となる。さらに、一般的な Si-LSI プロセスではシリサイドを形成後、CVD により酸化膜を堆積しメタル配線工程へと進む。この CVD 酸化膜は、堆積したままでは非常に吸湿性に富み、その上に形成される配線層の腐食の原因となる。また、段差被覆性も悪く表面の凹凸が大いため、配線層の形成を困難にする。これらを防止するため CVD 酸化膜を堆積後、850°C~900°C のアニールを行う。サリサイドの議論の中では、このアニールのことをシリサイド化の後で行うためポストアニールと呼ぶ。

以上述べた浅い接合に TiSi_2 を適用する場合、さらに、ポストアニールがある場合に発生する新たな課題を次に述べる。

4.2.2 不純物の再分布の解析

サブハーフミクロン CMOS では、短チャネル効果を抑制するためソース・ドレインの接合深さ (X_j) を浅くする必要がある。 X_j として、0.2 μm ~0.1 μm が必要となる。この様な浅い接合に TiSi_2 のサリサイド・プロセスを適用する場合の懸念点を図 4-3 に模式的に示す。

接合の不純物分布は、通常ガウス分布で近似できる (17)。すなわち、表面では濃く、深さ方向に行くに従って薄くなる。また、前節の TEM 写真でも見た様に TiSi_2 は、元のシリコン面より下に形成される。従って、 TiSi_2 のサリサイド・プロセスをこの不純物分布を持つ接合に適用すると、接合の上層の濃度の高い領域をシリサイド層として消費してしまうことになる。そうすると接合の不純物分布の形から想定される様に、シリサイド層とシリコンとの界面での不純物濃度は低くならざるを得ない。この界面での濃度低下は、模式図にも示す様に接合深さが浅くなるとより顕著になると推定される。

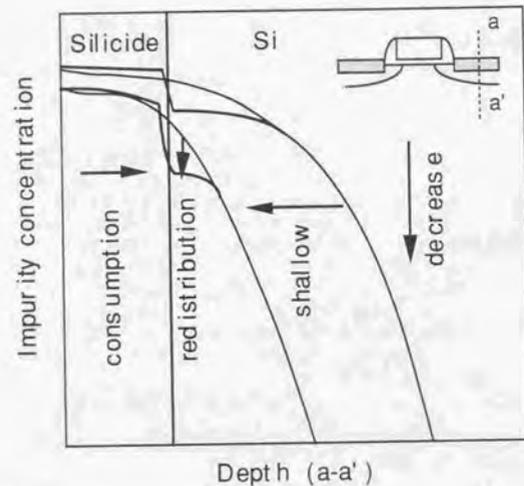


図 4-3 浅い接合にTiSi₂のサリサイド・プロセスを適用する場合の懸念点を示す模式図

さらに、前節で述べた様にシリサイド形成後には通常ポストアニールが入る。このポストアニール時に酸化膜とシリコンとの界面でも見られる様に不純物の再分布が起こったとすると、シリサイド層とシリコンとの界面での不純物濃度はますます低くなり得る。このシリサイド層とシリコンとの界面での不純物の再分布現象については、これまでも材料の観点からの研究がされてきた¹⁸⁻¹⁹⁾。しかし、実際のデバイス特性への影響についてはこれまで報告されていない。

ここではサブハーフミクロン CMOS 対応の浅い接合を持つ MOSFET にサリサイド・プロセスを適用し、デバイス特性への影響をまず調べた。その解析結果から、不純物の再分布がトランジスタ特性を劣化させることを始めて明確にした²⁰⁻²¹⁾。さらに、これらの実験結果のデータを参考にサリサイド・プロセスをプロセス・シミュレーションに組み込んだ。そのシミュレーションでの解析を通して、不純物の再分布がトランジスタ特性の劣化につながることをさらに明確にした²²⁾。

3.4 節で述べた Narrow Sidewall 型 MOSFET を 0.35 μm に縮小化した CMOS 構造をベースに TiSi₂ のサリサイド・プロセスを構築した。Nch MOSFET は、Narrow Sidewall 型 LDD 構造、Pch MOSFET はシングル・ドレイン構造で、ゲート酸化膜厚は 7nm である。ソース・ドレインのイオン注入は、全面に堆積した酸化膜（ここでは 70nm を使用）を通して注入した。接合の深さを変化させるため、その注入ドーズ量、及び、ポストアニールの温度を変えている。Nch MOSFET のソース・ドレインには As⁺イオンをエネルギー 110keV、ドーズ量 5.0E14/cm²~5.0E15/cm² の条件で、Pch MOSFET には BF₂⁺イオンをエネルギー 60keV、ドーズ量 2.0E14/cm²~4.0E15/cm² の条件で注入した。その後、200nm の CVD 酸化膜を再度堆積し、異方性エッチングにより 0.25 μm のサイドウォールを形成するとともに、ソース・ドレイン、及び、ゲート電極のシリコン面を露出している。ソース・ドレイン不純物の活性化とサイドウォール酸化膜の緻密化を兼ねた 800℃、30 分のアニールを入れた後、前節で述べた TiSi₂ のサリサイド工程を適用した。さらに、ポストアニールとしては、850℃~900℃、30 分のアニールを行っている。プロセス・シミュレーションによると以上の条件でシリコン表面から 0.1 μm ~0.2 μm の深さに接合ができる。また、前節でも述べた様に形成された TiSi₂ の膜厚は 70nm である。

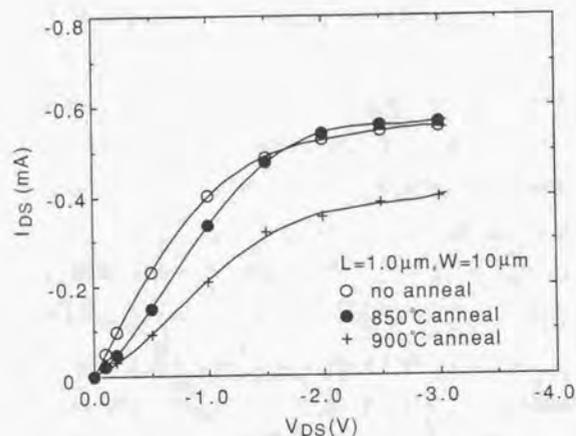


図 4-4 浅いシリサイド化接合を持つPch MOSFETでのポストアニールによるドレイン電流の劣化。ゲート長/ゲート幅は1.0μm/10μm。ポストアニール：無し、850℃、900℃。

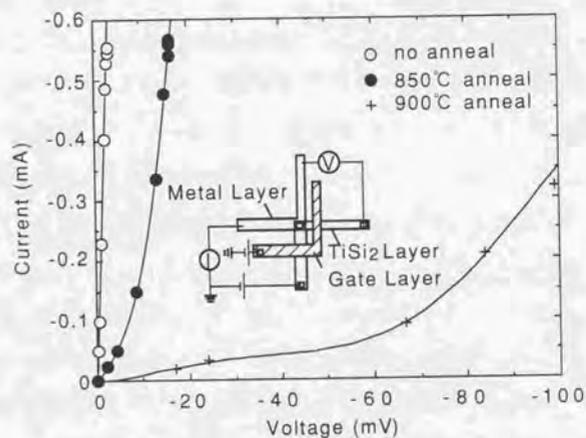


図 4-5 K. Lenchのパターンで測定したシリサイドとシリコン間でのコンタクトの電流電圧特性。K. Lenchのパターンの平面模式図も示す。

まず、浅い接合の Pch MOSFET に、特に顕著に現れた現象を述べる。

ソース・ドレインのドーザ量が $1.0E14/cm^2$ でポストアニールの条件を変化させた場合の Pch MOSFET での電流電圧特性を図 4-4 に示す。ゲート長/ゲート幅は $1.0 \mu m/10 \mu m$ で、ゲート電圧 $= -3V$ を印加して測定した。ポストアニールは、 $850^\circ C$ 、 $900^\circ C$ 、さらには、行わない場合での結果である。プロセス・シミュレーションによる接合深さは、ポストアニール $850^\circ C$ の場合でシリコン表面から $0.14 \mu m$ の位置である。図から $850^\circ C$ のポストアニールを加えると、まずリニア領域のドレイン電流がアニールなしの場合に比べて低下することが解る。 $900^\circ C$ になると、さらに飽和領域でも低下する。このドレイン電流の低下の原因としてまず想定されるのは、コンタクト抵抗の変動である。次にそれを調べた。

サリサイドを適用した MOSFET でのソース・ドレインとメタルとのコンタクト抵抗はメタルとシリサイドとの間、及び、シリサイドとシリコンとの間でのコンタクト抵抗から成る。通常、コンタクト抵抗はケルビンパターンを使用して測定される。MOSFET プロセスにサリサイドを適用しこのケルビンパターンを作成すると、測定できるコンタクト抵抗はメタルとシリサイドの間の抵抗となる。ここでは、さらにシリサイドとシリコンとの間でのコンタクト抵抗を測定するため、K. Lench らによって提案されたケルビンパターン²³⁾を同時に作成している。このパターンの平面模式図を図 4-5 中に示す。このパターンでは、ソース・ドレイン領域となるアクティブ層の途中でゲート電極を配置し、一旦、電流をシリサイド層からシリコン層へ流すことで、シリサイドとシリコンとの間でのコンタクト抵抗を測定できる様になっている。それに対して、通常のケルビンパターンでは、このゲート電極がないためシリサイド層からメタル層にしか電流が流れない。このため測定されるのは、メタルとシリサイドとの間の抵抗となる。

通常のケルビンパターンによるコンタクト抵抗の測定では、図 4-4 に対応したどのポストアニール条件でも $3 \Omega/\text{個}(0.7\mu m \text{ 径})$ と抵抗値は変化していなかった。図 4-5 は、K. Lench のパターンで測定したシリサイドとシリコンとの間でのコンタクトの電流電圧特性である。この図から、電流電圧特性がポストアニールを加えることで非線形となっていることが確認できる。特に、 $900^\circ C$ の場合は、非線形の程度が激しくコンタクト抵抗が高くなっている。この結果から、図 4-4 のドレイン電流の低下は、シリサイドとシリ

コンとの間 (TiSi₂/Si 界面) でのコンタクト特性が、非線形、すなわち、非オーミックになっているためであることが解る。

この非オーミック性は、界面での不純物濃度の低下が原因であると推定される。それを確認するため SIMS (Secondary Ion Mass Spectroscopy) 分析を使用して不純物 (= ボロン) 濃度分布を測定した。測定にあたっては TiSi₂ を沸酸で一旦除去した。また、より正確な分布を得るため TiSi₂ 中に存在し沸酸でも除去できない TiB の積出物をアンモニア過水で除去した。さらに、界面での不純物濃度を正確に測定するため、これらの処理を行った上で一旦低温 (≦700°C) でポリシリコンを堆積した後、SIMS 分析を行った²⁴⁾。ポストアニールなしの場合と 900°C のポストアニールを行った場合との測定結果を図 4-6 に示す。ポストアニールを行うことで TiSi₂/Si 界面で、濃度が低下しているのが確認できる。この低下は、ポスト熱処理中にボロンが TiSi₂ に再分布したことによると推定される。

この再分布現象を SIMS 分析で直接確認するのは困難である。TiSi₂ 中と Si 中でのボロンのイオン化率の差が正確に見積もれない。また、TiSi₂/Si 界面にある凹凸で、界面での正確な濃度測定ができないためである。そこで、上記の再分布現象が実際に起こり得ることをプロセス・デバイスシミュレーションによる解析を通してさらに明確にした。

サリサイド・プロセスを始めて 2 次元プロセス・デバイスシミュレーションに総合的に組み込んだ²²⁾。まず、前説で述べた TiSi₂ の成長モデルをプロセス・シミュレーションに取り込み 2 次元で各界面が移動するようにした。Si の拡散でシリサイド化が起こり TiSi₂/Si 界面が移動することをモデル化した。さらに、窒素雰囲気のアニールで Ti が消費される効果を Ti/TiSi₂ の界面が移動することでモデル化した。モデル中のフィッティングパラメータを実際の断面 TEM 観察結果を使用して調整することでサリサイド化反応を再現した。また、過去の文献^{3, 25-26)}に示された多くの実験結果から、TiSi₂ 中での不純物の拡散係数、さらに、TiSi₂/Si 界面での偏析係数を導出し、プロセス・シミュレーションに組み込んだ。これらのパラメータは、図 4-6 の実験結果とも比較検討しその整合性を確認した。

このプロセス・シミュレーションの結果をデバイス・シミュレーションに持ち込みコ

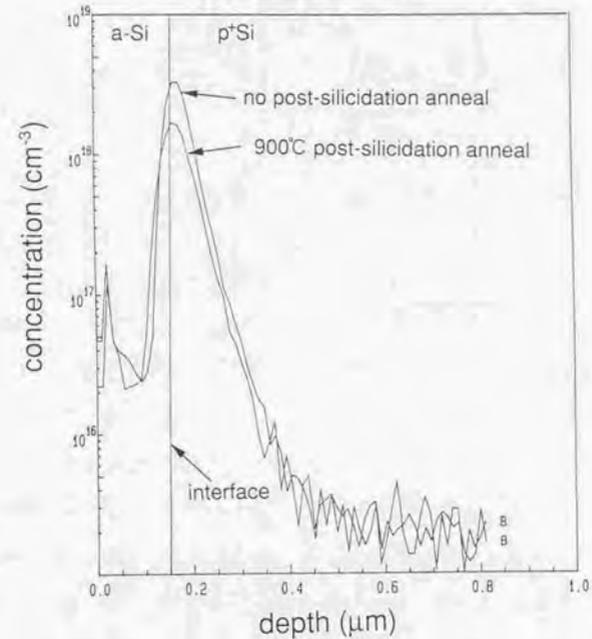


図 4-6 ポストアニール有/無しでのボロン分布の SIMS 分析。TiSi₂, TiB を一旦除去し a-Si を堆積した後測定。

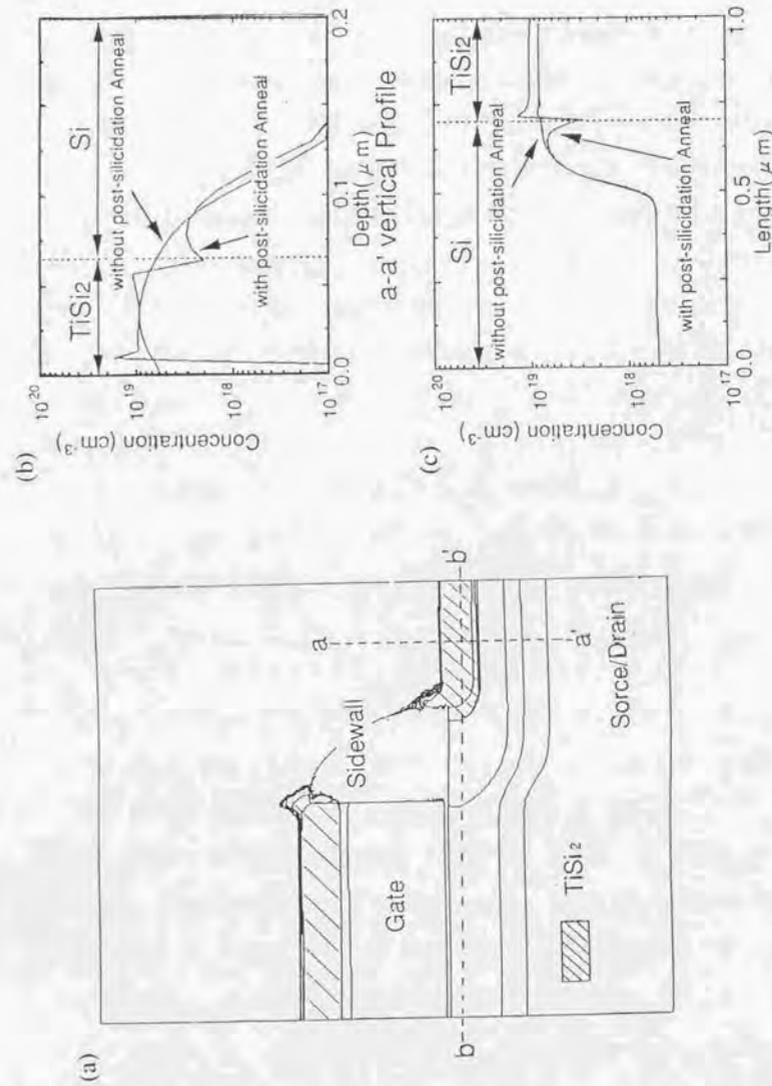


図4-7 2次元プロセス・シミュレーションにより導出した不純物分布。(a)：2次元断面構造。(b)：(a)のa-a'線に対応する深さ方向のボロン濃度分布。(c)：(a)のb-b'線に対応する水平方向のボロン濃度分布。

ンタクトの電気特性を再現した。TiSi₂/Si 界面でのバリアハイトも、文献の値²⁷⁾を参考にした。TiSi₂/Si 界面のショットキー接合の特性の再現には、界面電荷をさらに正確に見積もる必要がある。ここでは、図4-5の実験結果とフィティングさせることで、この界面電荷をバリアハイトの修正値として取り込んだ。

以上により、実験結果を包括的に再現し、過去の文献のデータとも整合を持たせたTiSi₂のプロセス・デバイスシミュレーションを構築した。

この2次元プロセス・シミュレーションにより導出した不純物分布を図3-7(a)~(c)に示す。(a)は、導出した2次元断面構造である。シリサイドの形状が、図4-2の断面TEMによる観察結果と良く一致しているのが確認できる。(b)は、(a)中に示した a-a'線に対応する深さ方向のボロン濃度分布である。(c)は、同じく b-b'線に対応する水平方向でのボロン濃度分布である。(b)、(c)では、850℃、20分のポストアニールを行なった場合と行なわなかった場合の結果を示した。この結果からもポストアニールを行うとTiSi₂/Si 界面でボロン濃度が急激に低下することが確認できる。特に、この分布形状は、SiからTiSi₂に向かうに従い濃度が急激に低下する形となっている。これは、過去の文献²⁶⁾でも示された様にTiSi₂/Si 界面でのボロンの偏析係数が非常に小さいことを反映している。水平方向でも同様に濃度の低下が見られる。これはMOSFETの動作を考えた場合、非常に重要である。MOSFETが動作している時には、このb-b'に沿った領域を電流が流れる。従って、この水平方向で確認される不純物濃度の低下、それによる非オーミック性が、図4-4で見られたMOSFETのドレイン電流の低下の原因と言える。

以上の実験とシミュレーションの結果から次の様に結論づけることができる。サブハーフミクロンMOSFETにおいては、その接合が浅くシリサイド直下の不純物濃度が始めから低い。その場合、ポスト熱処理における不純物の再分布が界面での濃度をさらに低下させ、TiSi₂/Si 界面のコンタクト特性を非オーミックとし、さらに、MOSFETの電流を劣化させる。

次に、この非オーミック性が現われない最低濃度について考察し、その結果として考察した2重ソース・ドレイン構造MOSFETについて述べる。

4.2.3 2重ソース・ドレイン構造の提案

上記のプロセス・デバイスシミュレーションを使用して、非オーミックとならない TiSi_2/Si 界面での最低濃度を検討した。前説で述べた各条件で試作した TiSi_2/Si 界面でのコンタクト特性からコンタクト抵抗を求めた。また、プロセスシミュレーションを使用してその時の界面でのボロン濃度を求めた。この実験の抵抗値とシミュレーションの濃度を関係づけたのが図4-8である。さらに、デバイスシミュレーションにより非オーミックとならない限界の濃度を算出し図中に示した。ポストアニール (850°C、20分) による偏析が起こる前での TiSi_2/Si 界面での濃度を明確にするためポストアニール有りと無しの場合で分けて示した。非オーミックとならない濃度はポストアニール後で $3.0 \times 10^{19}/\text{cm}^3$ である。実験結果もこの濃度を境に非オーミック性が確認できている。この $3.0 \times 10^{19}/\text{cm}^3$ は偏析を考え無い場合、すなわち、ポストアニール前では $6.0 \times 10^{19}/\text{cm}^3$ に対応する。

シリコン基板面より TiSi_2 の厚さ(70nm)分下でこの濃度を維持し、さらに、接合深さを $0.1 \mu\text{m}$ レベルとするのは通常のイオン注入技術では非常に難しい。イオン注入の注入エネルギーを下げ、さらに、その後の熱処理を RTA のみとしても困難と思われる。従って、至近的な現実解としては MOSFET の構造を工夫することが有効である。

そこで、サブハーフミクロン時代に、この浅い接合とサリサイドプロセスを両立させる新たな構造として図4-9に示す2重ソース・ドレイン構造を提案した(20-21,28)。この構造は、以下の工程から成る構造である。まず、1回目の側壁酸化膜を形成後に浅いソース・ドレイン形成用に最適化した条件でソース・ドレインの不純物を注入する。ここでは、3.3節で示した Narrow Sidewall 構造を使用している。次に、2回目の側壁酸化膜を形成しサリサイド工程によりソース・ドレイン上面をシリサイド化する。その後、シリサイド層の下のみ高濃度にするため、新たに不純物を追加注入する。以上の様に高濃度不純物注入を微細 MOSFET 用とサリサイド用にそれぞれ最適化し2回行うのが2重ソース・ドレイン構造である。

2回目の注入は、シリサイド化前に行うか、後に行うかは選択の余地がある。当初はシリサイド化反応で出来る TiSi_2/Si 界面の凹凸に沿って界面の濃度を上げることを想定してシリサイド化後とした。以下ではその結果である。

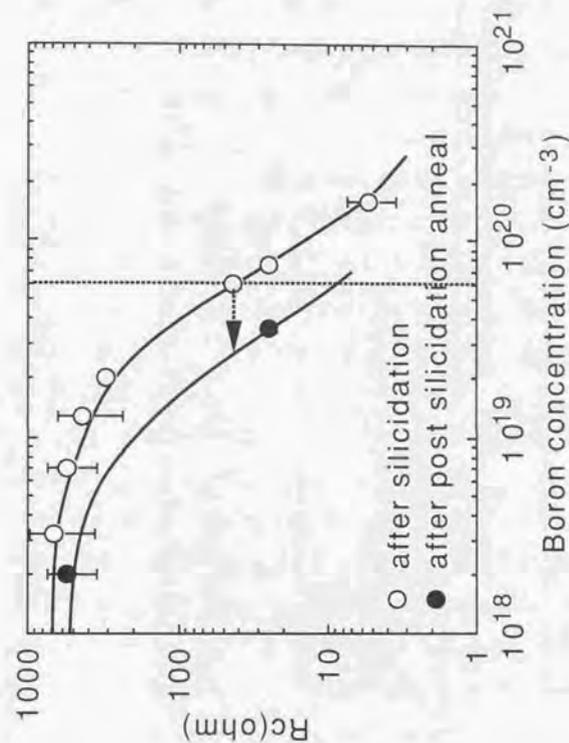
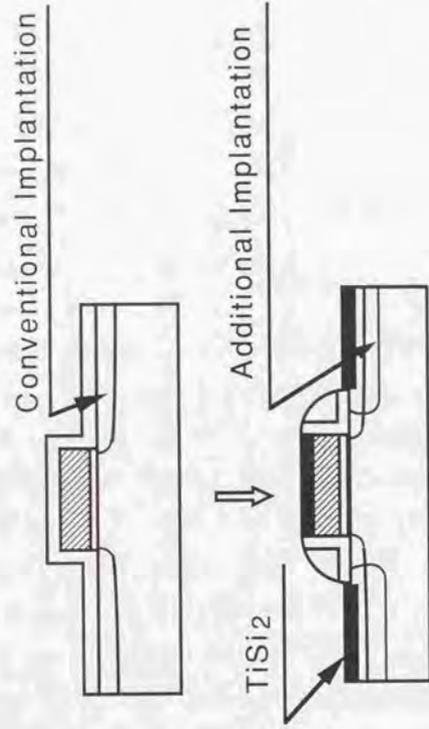


図4-8 非オーミックとならない最低濃度、実験の抵抗値とシミュレーションで求めた濃度の関係。ポストアニール前後の場合。



Cross section of "DIS" : Doubly source/drain Ion implanted SALICIDE

図 4-9 提案した2重ソース・ドレイン構造MOSFET

図 4-10 に2重ソース・ドレイン構造を適用した Pch MOSFET と通常の構造の Pch MOSFET でのドレイン電流の測定結果を示す。ゲート電圧=3.0V でゲート長/ゲート幅=1.0 $\mu\text{m}/10 \mu\text{m}$ での結果である。一回目のソース・ドレイン注入は、70nm のサイドウォールを通して BF_2^+ 、 $2.0\text{E}14/\text{cm}^2$ の条件で行い、2回目は0.25 μm のサイドウォールを形成後に BF_2^+ を $4.0\text{E}15/\text{cm}^2$ で注入した。TiSi₂/Si 界面での濃度をなるべく濃くするため2回目の注入の飛程距離(Rp)は TiSi₂/Si 界面に合わせた。通常構造はこの一回目の注入のみ行った場合であり、その接合深さは0.14 μm である。また、両構造とも、850℃、20分のポストアニールを行なっている。この結果から2重ソース・ドレイン構造を採用することで、ドレイン電流が大幅に向上することが解る。しかし、詳細に見るとまだドレイン電圧の小さい線形領域でわずかに非オーミック性の痕跡が見られる。その後の解析で、これは不純物の活性化が不十分であったことによると解っている。

トランジスタの短チャネル効果の抑制の観点からは、2重ソース・ドレイン構造には次の特徴がある。すなわち、短チャネル効果の抑制は1回目の浅いソース・ドレイン層の注入条件で最適化可能である。2回目の濃く深いソース・ドレイン層は2回目のサイドウォール形成(ここでは0.25 μm)によりチャネル部より離れているため短チャネル効果には影響しない。従って、2回目のソース・ドレイン注入によって、シリサイド界面はオーミックコンタクトに十分な濃度に最適化できる。

この事を検証した結果を図 4-11 に示す。Nch MOSFET と Pch MOSFET とも2重ソース・ドレイン構造と通常構造を作成し短チャネル効果を測定した。通常構造のソース・ドレインは、2重ソース・ドレイン構造の1回目の注入条件と合わせてある。Pch MOSFET での2回目の注入は、上記の通り0.25 μm のサイドウォールを形成した後 BF_2^+ 、 $4.0\text{E}15/\text{cm}^2$ で、また、Nch MOSFET の条件は As^+ 、 $5.0\text{E}15/\text{cm}^2$ である。図から2回目の注入を追加した2重ソース・ドレイン構造でのしきい値(V_{th})のゲート長依存性は、通常構造のそれと良く一致しているのが確認できる。すなわち、2重ソース・ドレイン構造の2回目の注入は短チャネル効果に影響を及ぼさない。

さらに、シリサイドを適用した接合の基本特性である逆方向リーク電流を測定した結果を図 4-12 に示す。前節で述べた様にイオン注入の条件を変えいろいろな接合深さ(シ

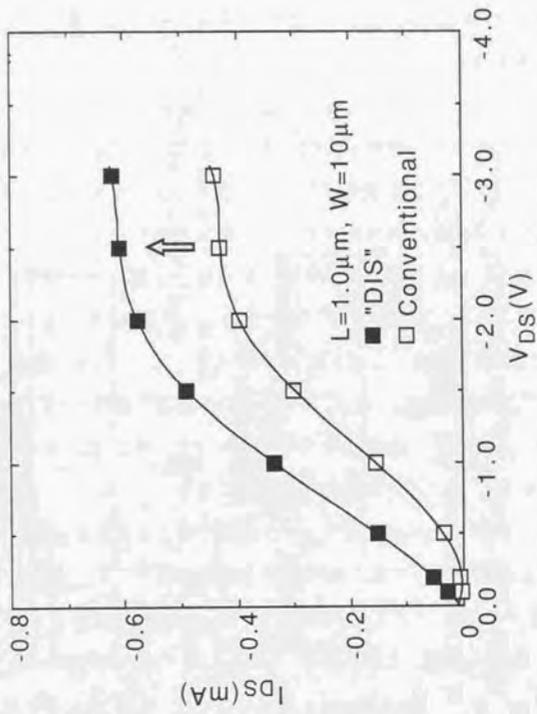


図4-10 2重ソース・ドレイン構造を適用したPch MOSFETと通常の構造MOSFETでのドレイン電流の測定結果

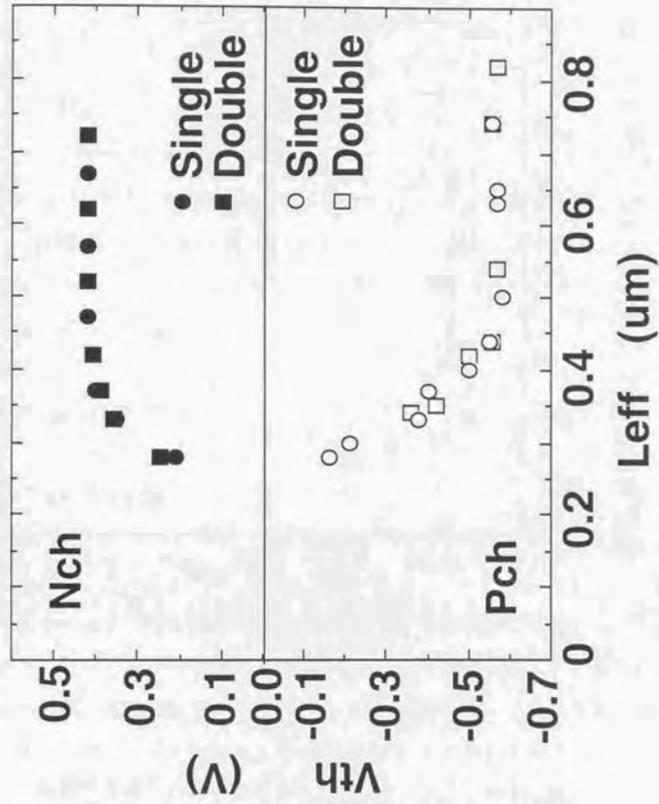


図4-11 2重ソース・ドレイン構造と通常構造を形成しNch MOSFETとPch MOSFETでの短チャネル効果の比較。

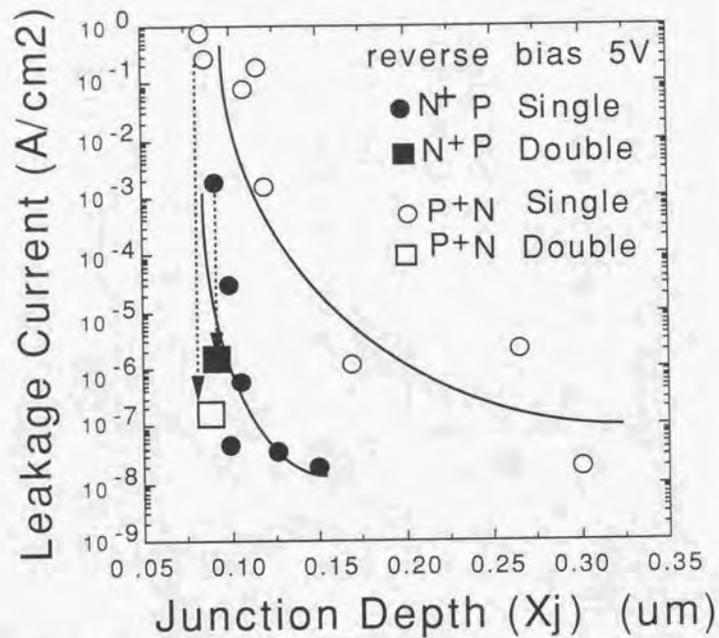


図 4-12 2重ソース・ドレイン構造と接合深さを変えた通常型構造での接合の逆方向リーク電流の測定結果。

リコン表面からの深さ)のN⁺/PとP⁺/Nの接合を作りサリサイド・プロセスを適用し、そのリーク電流を測定した。また、その各場合での接合深さをプロセス・シミュレーションで求めた。このサリサイドを適用した接合では、その深さが浅くなるとリーク電流が大幅に増える。これは、接合が浅くなると接合の空乏層が欠陥の多いTiSi₂/Si界面に到達し生成・消滅電流(Generation - Recombination Current: G-R 電流)が増えるためと推定される。2重ソース・ドレイン構造の接合では、トランジスタにとっての接合深さを浅く維持しながら、シリサイドにとっての深さを深くすることが可能で、図にも示す様にそのリーク電流を低減することが可能となる。

以上、2重ソース・ドレイン構造は、サブハーフミクロン以下のMOSFETにサリサイドを適用する場合、微細MOSFET用のソース・ドレイン構造とサリサイド用のソース・ドレイン構造を別々に最適化でき極めて設計自由度の高い構造と言える。一回目をNarrow Sidewall型とすれば、サイドウォールエッチングを1回ですますことができ、製造工程の複雑化も大きな問題とはならない。

4.3 ローカル配線プロセスのサブハーフミクロンCMOSへの適用

4.3.1 ローカル配線プロセス

前節で述べたサリサイド・プロセスは、ソース・ドレインの寄生抵抗の低減には極めて有効だが、その寄生容量の低減には寄与しない。ソース・ドレインの寄生容量を低減しようとする、基板濃度の低減、もしくは、その面積の低減が方法として考えられる。前者は、短チャネル効果の抑制の要求と合い反するため難しい。後者に対しては、ここで述べるローカル配線プロセスの採用がその候補となる。ここで言うローカル配線プロセスとは、サリサイドプロセスを一部修正し、シリサイドをフィールド酸化膜上にも連続して伸ばしトランジスタ間をつなぐプロセスのことである。

ローカル配線プロセスの最初の提案は、アモルファスシリコン(a-Si)を使ったものであり、1985年にHP社より提案された²⁹⁾。他にTiSi₂の形成中にできるTiNを使う方法等が提案されている³⁰⁻³¹⁾。ここでは、a-Siを使ったローカル配線プロセスを検討する。a-Siを使う方法では、以下の様に通常のTiSi₂のサリサイド・プロセスを発展させ

る。まず、Tiを堆積後に引き続きa-Siを堆積する。そのa-Siのみを配線層としてパターンニングする。その後、シリサイド化反応をさせることで、フィールド酸化膜上では、a-SiとTiとのシリサイド化反応によりTiSi₂を形成しソース・ドレインから連続してTiSi₂を伸ばす。このTiSi₂をトランジスタ間をつなぐローカルな配線とする。提案された当初は、主に基本回路のレイアウト面積の低減がその目的とされた²⁹⁾。特に、SRAM (Static Random Access Memory)の単位セルの面積縮小の効果などが議論された³⁰⁾。

a-Siを使用したローカル配線プロセスは、TiSi₂のサリサイド・プロセスを発展させたものであり、サリサイド・プロセスで問題になる課題を良く検討する必要がある。前節でも述べた不純物の振るまいを良く考慮すべきである。特に、SRAMセルのレイアウトの縮小化で見られる様にN⁺/P接合とP⁺/N接合を直接つなぐ場合には、不純物の相互拡散についての検討が重要となる。この不純物の相互拡散については、N⁺ poly ゲートとP⁺ poly ゲートをつなぐ場合の検討³²⁻³³⁾はあったが、接合をつなぐ場合の検討はこれまでなかった。

また、ゲート長がサブハーフミクロンと成るに従いCMOSと言えども消費電力の低減が重要な課題となって来た。低消費電力化のためには、第1章で述べた様に電源電圧の低減が一番効果がある。このような状況でローカル配線プロセスでの接合容量の低減の効果を再度見直す価値がある。

以下では検討の対象としたプロセスの詳細を述べ、次の節以降でその相互拡散の解析結果³⁴⁻³⁷⁾、さらには、接合容量の低減の効果を実際のLSIに適用した結果を基に述べる³⁷⁻³⁸⁾。

本研究で使用したローカル配線のプロセスフローを図4-13に示す。Nch MOSFETとPch MOSFETのソース・ドレインをローカル配線で接続する例である。まず図(a)に示す様に、P型シリコン基板にN型ウェルとP型ウェルをイオン注入と熱拡散により形成する。LOCOS(Local Oxidation of Silicon)法によりフィールド酸化膜を形成した後、ゲート電極を加工する。ここでは、ゲート電極の上層に酸化膜を形成するため、CVD酸化膜を堆積してからゲート電極を加工している。さらに、通常型LDDと同様に側面にサイドウォール酸化膜を形成する。以上によりゲート電極を酸化膜で完全に覆う様にしている。

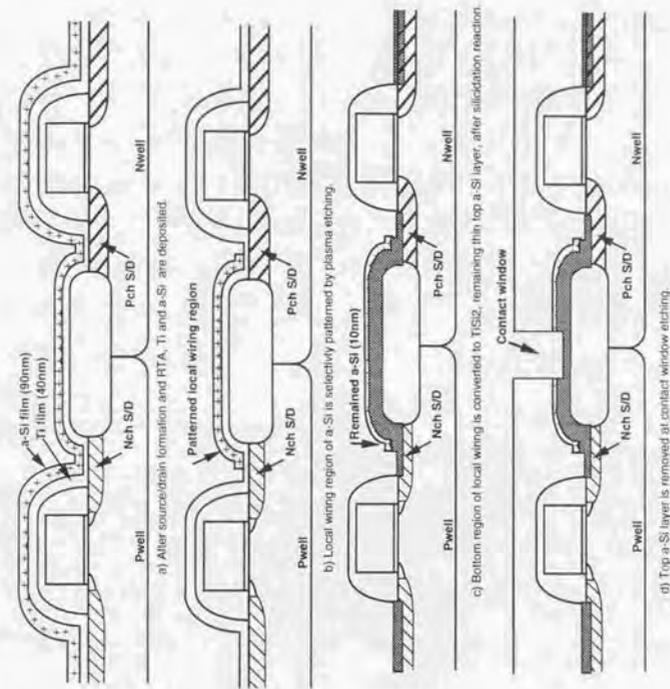


図4-13 本研究で使用したローカル配線のプロセスフロー

こうすることで、後のローカル配線の加工時に、マスク合わせずれによるソース・ドレインとゲート電極とのショートを防ぐことができる。また、ローカル配線がフィールド酸化膜上のゲート電極を乗り越えて配線できるようになる。ゲート電極は、抵抗を下げるため $\text{WSi}_2/\text{Polysilicon}$ のポリサイド構造としている。その抵抗は、 $9.5 \Omega/\square$ である。次に、Nch MOSFET と Pch MOSFET にソース・ドレインのイオン注入をする。ここでは、 As^+ 、 $5.0\text{E}15/\text{cm}^2$ と BF_2^+ 、 $5.0\text{E}15/\text{cm}^2$ の条件で注入している。不純物の活性化アニールとして 1050°C 10 秒の RTA を行った後、図の(b)と(c)で示すローカル配線の形成工程に入る。

ローカル配線工程は、4.2.1 節で述べたポリサイド工程を一部修正したものである。希薄酸洗浄と逆スパッタリングによるシリコン面の洗浄を行なった後、Ti を 40nm、さらに、同じ DC マグネトロンスパッタ装置の別のチャンパーで a-Si を 90nm 堆積する。次に、この a-Si のみフォトリソグラフィとエッチングにより加工し、必要な箇所のみ後で配線層となる様に残す。この a-Si のエッチングは、下層の Ti が見えた時に確実に止まる様に SF_6 と CH_2F_2 の混合ガスによる RIE (Reactive Ion Etching) でのエッチングとした。その後、4.2.1 節で述べた 2 ステップアニールと選択エッチングを実施する。

このシリサイド化工程により、図の(c)に示す様にフィールド酸化膜上では a-Si と Ti が反応し TiSi_2 のローカル配線が形成される。また、その a-Si はソース・ドレインと一部オーバーラップしているためソース・ドレイン上にできた TiSi_2 と連続してつながる。a-Si で覆われたローカル配線の領域には 100nm の TiSi_2 ができる。一方、a-Si で覆われていないソース・ドレイン領域には 4.2.1 節で述べた様に 70nm の TiSi_2 ができる。a-Si で覆われた領域はシリサイド化反応中に、その雰囲気ガスである窒素と Ti が直接振れることがない。従って、40nm の Ti から理論的に予測されるのと同じ 100nm の TiSi_2 が形成されることになる。

また、図の(c)にも示す様に、ここでは故意的にシリサイド化反応後にローカル配線の TiSi_2 の上に a-Si を 10nm 残す様に Ti と a-Si の膜厚を設定している。これにより、フィールド上でも化学糧論的に正確な TiSi_2 が常にできる様にしている。これは、フィールド上での TiSi_2 のシート抵抗の安定化、さらに、メタルとのコンタクト抵抗の安定化に寄与する。

次に図の(d)で示す様にメタル配線工程に移る。まず、全面に CVD 酸化膜を堆積する。その後その CVD 膜の緻密化のため、4.2.1 節でも述べたポストアニールを行う。ここでは、 800°C 、20 分の条件で行なっている。さらに、メタル配線との接続をするためのコンタクトホールを開口する。このコンタクトホールの開口時にローカル配線の上層に残った a-Si も除去する。a-Si が 10nm と薄いため酸化膜のオーバーエッチングで十分に除去可能である。

この図で見られる様に TiSi_2 のローカル配線により N+/P 接合と P+/N 接合を直接つなぐことが可能である。従って、次にのべる不純物の相互拡散現象を詳細に調べる必要がある。また、この図で見られる様にメタルとのコンタクトは、ソース・ドレイン領域にとる必要がなく、フィールド酸化膜上で取れるようになる。これは逆に、ソース・ドレインの領域に本来必要であったコンタクト領域分の面積を減らせることになる。この事によりローカル配線は、同じ微細加工技術を用いる同世代の CMOS デバイスにおいて、そのソース・ドレインの面積を減らせ、また、その意味で接合容量の低減が可能となる。これについては、4.3.3 節で詳細を述べる。

4.3.2 不純物の相互拡散の解析

このローカル配線プロセスで N+/P 接合と P+/N 接合をつなぐ場合、P+/N 接合のみ特性が劣化する現象を評価用のテストパターンを工夫することにより見出した。さらに、この現象を説明するモデルを提示した (34-37)。

まず、N+/P 接合と P+/N 接合の間隔を変えそれらを TiSi_2 のローカル配線で接続したパターンを使用し、それぞれの接合リーク電流を測定した。使用したパターンの模式図とその測定結果を図 4-14 に示す。両方の接合とも $10 \mu\text{m} \times 350 \mu\text{m}$ の長方形とし、長辺側で $5 \mu\text{m}$ オーバーラップする様にローカル配線で接続した。N+/P 接合と P+/N 接合の間隔は、 $1.5 \mu\text{m}$ と $3 \mu\text{m}$ を準備し、また、参考としてローカル配線でつながらないパターンも準備した。これを複数個並べ、おのおの接合リーク電流を測定した。リーク電流は、逆方向に 3.3 ボルトかけた状態で測定している。

N+/P 接合ではローカル配線で接続してもリーク電流の増大はほとんどない。詳細に見

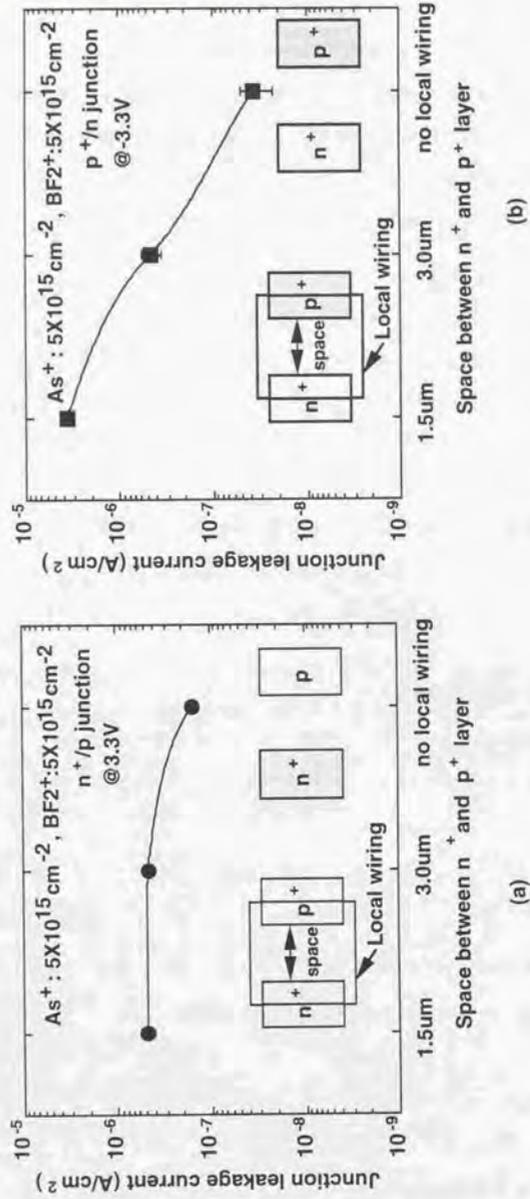


図 4-14 TiSi₂のローカル配線で接続したN⁺/P⁺接合とP⁺/N⁺接合の模式的図とその測定結果。(a) : N⁺/P⁺接合のリーク電流。(b) : P⁺/N⁺接合のリーク電流。

ると接続しない場合の2倍程度になっている。この原因は膜ストレスの差と考えている。ローカル配線で接続した接合パターンでは、その半分がa-Siで覆われた状態でシリサイド化している。前節で述べた様にその場合TiSi₂の膜厚が100nmと厚くなっている。従って、この膜厚の差に起因したTiSi₂の膜ストレスの差がこのリーク電流の差と想定している。一方P⁺/N⁺接合では、ローカル配線で接続するとリーク電流が大幅に増大する。また、このリーク電流の増大は接合間の距離が短くなる程大きくなる。

シリサイド化反応が、P⁺/N⁺接合でのみ異常に起こるとは考えにくい。また、後で述べる様に実際にTiSi₂を除去した後のシリコン面に異常は見られない。むしろこの接合リークで見られる距離依存性に注目すると、この結果は不純物の相互拡散がその原因と想定される。すなわち、N型不純物であるヒ素はローカル配線であるTiSi₂を通してP⁺/N⁺接合へと拡散する。P⁺/N⁺接合へ拡散したヒ素は、その接合を形成する不純物であるボロンの濃度と同程度となり接合を反転させる。そのため接合が基板とショートし過大なリーク電流を発生させる。一方、P型不純物であるボロンは、ローカル配線を通して拡散しないためN⁺/P⁺接合では過大なリーク電流を発生しない。

次に、接合の面積とそれを覆うローカル配線の面積との比を変えた評価パターンで、それぞれのリーク電流を測定した。評価パターンの模式的図と測定結果を図4-15に示す。ローカル配線の面積は変えず、接合を小さな長方形に分割することでローカル配線と接合の面積比を変えた。ローカル配線で完全に接合を覆うパターンとし、その面積比は、1~10³と変化させた。この場合では、ローカル配線の面積比を10³と大きくするとN⁺/P⁺接合でもP⁺/N⁺接合でも、ともにその接合リーク電流が大幅に増大する。

シリサイド化反応による接合面の異常を調べるためTiSi₂を除去しシリコン面の状態を電子顕微鏡(SEM)で調べた。また、a-Siで覆われた領域とそうでない領域を持つパターンの断面SEM観察も実施した。これらの結果から、a-Siで覆われた領域ではTiは下地のシリコンよりもむしろ上層のa-Siと反応しているのが解っている。この原因は、両者の界面を比較するとa-Si/Ti界面の方が真空を解除せず連続で形成しているので清浄であるためと考えている。従って、図4-15の結果もやはり図4-14の結果と同様に不純物の振るまいがその原因であると想定される。

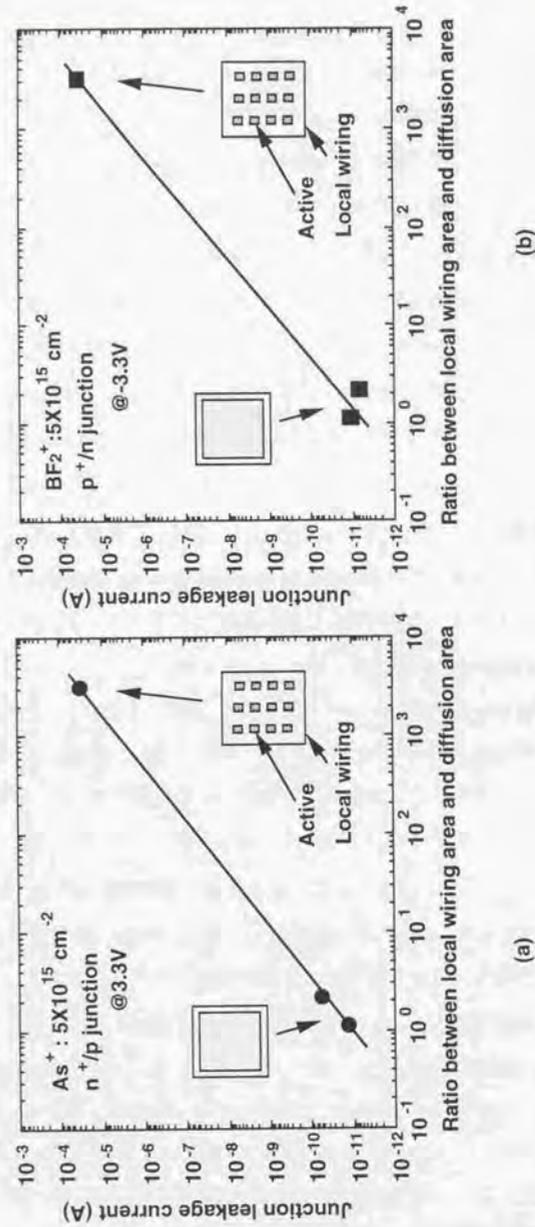


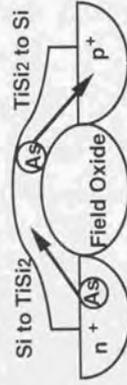
図 4-15 接合の面積とそれを覆うローカル配線の面積との比を変えた評価パターンの模式図とその測定結果。
(a): n^+/p 接合のリーク電流 (b): p^+/n 接合のリーク電流

図 4-15 の結果を不純物の振るまいに関係づけると以下の様に想定される。すなわち、N 型不純物であるヒ素も、P 型不純物であるボロンもシリコンから $TiSi_2$ ローカル配線中に十分拡散することを示唆する。特に、ローカル配線の面積比が 10^3 と大きい場合、拡散により接合の不純物濃度が極端 ($\sim 1/10^3$) に低くなる。その場合、接合の空乏層が欠陥の多い $TiSi_2/Si$ 界面に近接し、その結果としてリーク電流の大幅な増加につながったと考えられる。

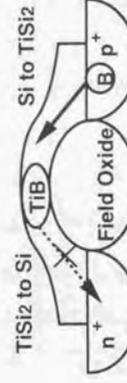
これらの結果を統一的に説明するため相互拡散のモデルを考えた。図 4-16 にそのモデルを示す。 N^+/P 接合と P^+/N 接合をつないだ $TiSi_2$ ローカル配線における不純物の相互拡散は、以下の二つの過程から成ると考えることができる。第 1 の過程は、シリコンからの $TiSi_2$ への拡散であり、第 2 の過程は $TiSi_2$ から Si への拡散である。図 4-15 の結果は、ヒ素もボロンもこの第 1 の過程は十分に起こることを示唆する。一方、図 4-14 の結果は、面積比が 2 以下と小さい場合であり、 Si 側から $TiSi_2$ 中への拡散でなく、一旦、 Si 側から $TiSi_2$ 中へと拡散した不純物の $TiSi_2$ 側から Si 中への拡散が関与していると考えられる。すなわち、ヒ素は $TiSi_2$ 側から Si 中へ拡散し P^+/N 接合特性を劣化させるが、ボロンではそれが起こらず N^+/P 接合は劣化しない。言い換えると、ヒ素では、相互拡散の第 2 の過程が起こるがボロンでは起こらないと言える。

この推定は、 $TiSi_2$ 中での不純物の振るまいの差として既に報告されている事項とも矛盾しない。すなわち、ヒ素とボロンの $TiSi_2$ 中での拡散は、 Ti とその元素との化合物形成との競合関係にある。特に、ボロンの場合、 $TiSi_2$ 中でチタンボライド (TiB) が容易に形成され、 $TiSi_2$ 中で不動になると言われている²⁶⁾。従って、ボロンは、 Si より $TiSi_2$ 中に拡散するが、 $TiSi_2$ 中で TiB を形成し不動になり $TiSi_2$ から Si へは拡散しないと推定される。

このモデルを検証するため物理分析により相互拡散した不純物の検出を試みた。しかし、パターンの面積が小さく分析の検出感度から考えて満足な結果が得られなかった。そこで再度、電気的測定による実験を行なった。図 4-17 にその結果を示す。ローカル配線で接続した図 4-14 のパターンを使用し、測定する接合につながっている逆の極性の接



(a) As in $n^+Si/TiSi_2/p^+Si$



(b) B in $p^+Si/TiSi_2/n^+Si$

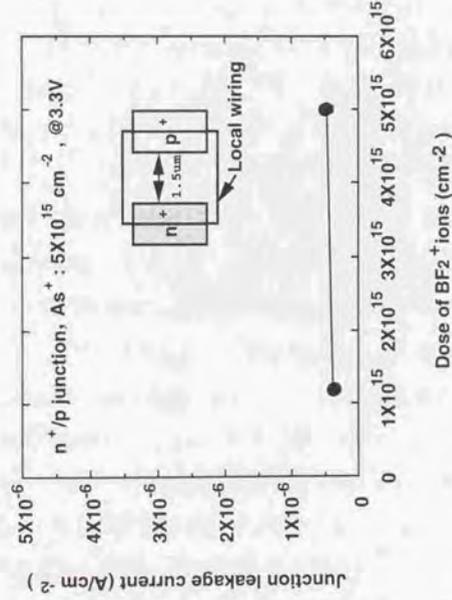


(c) As in $TiSi_2/n^+Si$

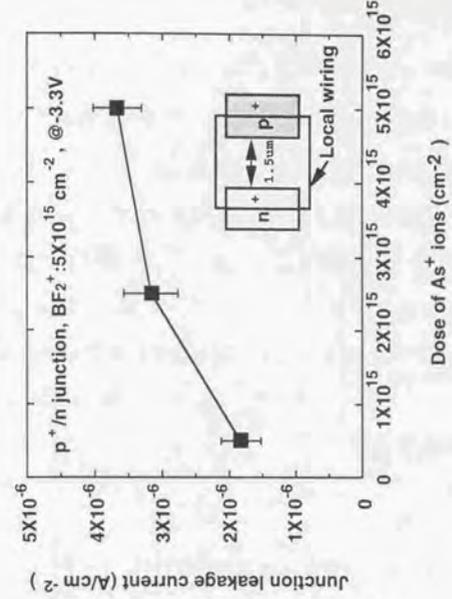


(d) B in $TiSi_2/p^+Si$

図 4-16 実験結果を統一的に説明する相互拡散のモデル



(a)



(b)

図 4-17 相互拡散モデルの検証実験結果。ローカル配線で接続したN+/P接合とP+/N接合の逆の極性の接合の不純物濃度を変化させ場合のリーク電流。(a) : N+/P接合のリーク電流 (b) : P+/N接合のリーク電流。

合の不純物濃度を変化させリーク電流を測定した。この結果から明かな様に、N+層の濃度を低くすると TiSi₂ で接続された P+/N 接合のリーク電流が低減する。また、N+/P 接合のリーク電流は、P+層の不純物濃度には影響しない。

この結果は、逆の極性の不純物濃度が P+/N の接合リークにのみ影響を及ぼしていることを再現しており、上記モデルの検証となる。また、この実験結果は、この相互拡散による接合劣化を回避する方法を示唆する。すなわち、N+層の濃度を P+層の濃度より低く設定し、N 型不純物(ヒ素)が P+層に入っても接合特性に影響を与えないようにする方法である。ただ、接合リーク電流の改善はここでの結果でも 1/2 程度でありまだ不十分で、今後さらに検討する必要がある。

4.3.3 高速・低消費電力化の実証

4.3.1 節でも述べた様に TiSi₂ ローカル配線プロセスでは、ソース・ドレイン上の TiSi₂ を連続してフィールド酸化膜上へ伸ばすことが可能である。よって、メタル配線とソース・ドレインとのコンタクトは、そのフィールド酸化膜上に配置することが可能となる。逆に言えば、ソース・ドレイン領域にコンタクトを置く必要がなくなり、同じ微細加工技術を用いる同世代の CMOS デバイスにおいて、そのソース・ドレインの面積をより小さくできる。

まず簡単な計算によりこの効果を明確にしローカル配線での低消費電力化が今後重要であることを指摘する(35-38)。また、基本回路、さらには、実際の LSI である SRAM マクロに適用し具体的にその寄生効果の低減を実証する。さらに、この検討のなかで付随的に出てきた新たな SRAM セル構造の提案について述べる(37-38)。

まず、0.35 μm CMOS の設計基準に従い、ローカル配線を使った場合と使わなかった場合とで、基本回路であるインバーターをレイアウトし、おのおのの接合容量を見積った。使用したトランジスターの平面模式図と断面模式図、及び、おのおのの接合容量の電源電圧依存を図 4-18 に示す。ローカル配線を使うと接合面積は約 1/3 と縮小可能であり、インバーター一個あたりの接合容量は約 1/2 となる。この、接合容量の低減は、回路スピードの向上と消費電力の低減に有効である。

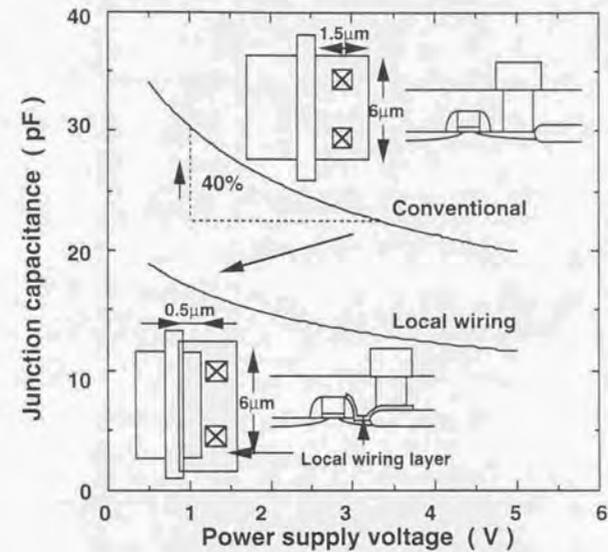


図 4-18 ローカル配線構造有/無しでの0.35umCMOS インバーターの接合容量の電源電圧依存. トランジスターの平面模式図と断面模式図も図中に示す

特にこのローカル配線による消費電力の低減効果はこれまであまり注目されていなかった。しかし、前にも述べた様に、サブミクロン時代となり CMOS と言えども低消費電力化が再度重要なテーマとなって来た。低消費電力化を考えた場合、第1章に示した式で解るように電源電圧の低減は2乗で消費電力の低減に寄与し、今後、非常に重要となる。しかし、この電源電圧の低減は、逆に接合の空乏層幅を狭め接合容量を増大させる。図 4-18 にも示す様に、ローカル配線を使わない従来の構造のままでは電源電圧を 3.3 ボルトから 1.0 ボルトに下げると接合容量が 40%も増大する。一方、通常構造からローカル配線の変えたと電源電圧を 1.0 ボルトにしても、接合容量は通常構造での 3.3 ボルトでの値以下にできる。従って、接合容量を低減できるローカル配線プロセスは、今後ますます重要となる低電源電圧下での LSI を、さらに高速・低消費電力にする上で非常に重要であると言える。

次に、基本回路であるリング発振器を試作しこの高速・低消費電力化の効果を検証した。図 4-18 で示したトランジスタ構造を使いローカル配線構造と従来構造で 101 段の CMOS リング発振器を試作した。ゲート長は $0.35 \mu\text{m}$ 、ゲート幅は、 $Nch/Pch=5 \mu\text{m}/10 \mu\text{m}$ でゲート酸化膜厚は 7nm である。ローカル配線構造のみゲート長 $0.25 \mu\text{m}$ の発振器も試作した。ドレイン接合領域の幅は、ローカル配線構造で $0.4 \mu\text{m}$ 、従来構造で $1.8 \mu\text{m}$ である。各電源電圧で測定した発振周波数を、段数分で割り一段あたりの伝搬遅延時間 (tpd) を求めた。図 4-19 にその結果を示す。 $0.35 \mu\text{m}$ で比較すると、ローカル配線構造の採用によりスピードが向上しているのが解る。電源電圧が 3.3 ボルトでは 15%の向上である。また、 $0.25 \mu\text{m}$ CMOS では、3.3 ボルトで $\text{tpd}=32\text{ps}$ と高速な値が得られた。

CMOS インバーターの負荷容量は、ゲート容量とドレイン接合容量から成る。その比率を簡単に見積もるとおおよそ 6:4 程度となる。よって、ローカル配線で接合容量が 1/2 になると全体の負荷容量は 20%程度低減する。従って、上記の tpd の向上はローカル配線構造の採用による接合容量の低減でほぼ決まっていると言える。

消費電流の低減効果についても測定した。リング発振器に流れる電源電流を測定し、その時に印加した電圧を掛けることで消費電力を求めた。 $0.35 \mu\text{m}$ CMOS のローカル配線構造と従来構造の発振器で各電圧での消費電力を求め、その比を示したのが図 4-20 であ

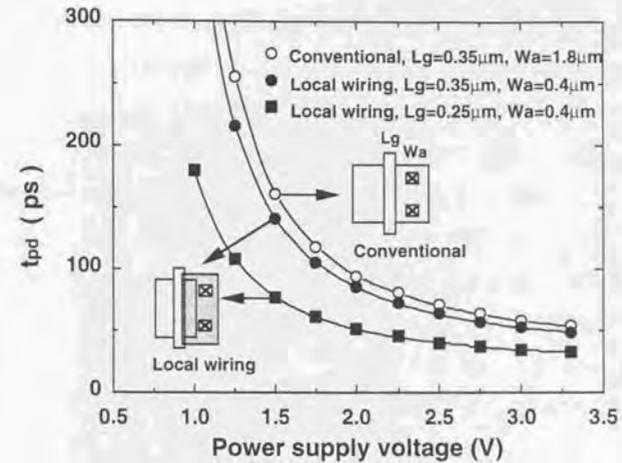


図 4-19 ローカル配線構造と従来構造での 101 段の CMOS リング発振器で測定した一段あたりの伝搬遅延時間 (tpd)。ゲート長 = $0.35 \mu\text{m}$ 、 $0.25 \mu\text{m}$ 、ゲート幅 $Nch/Pch=5 \mu\text{m}/10 \mu\text{m}$ 。ドレイン接合領域の幅はローカル配線構造で $0.4 \mu\text{m}$ 、従来構造で $1.8 \mu\text{m}$ 。

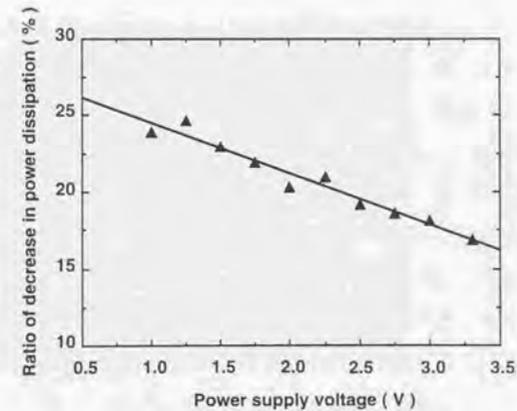


図 4-20 ローカル配線構造と従来構造の $0.35 \mu\text{m}$ CMOS 発振器の消費電力の比の電圧依存性。

る。図4-18に示した接合容量の電圧依存性を反映して、低い電圧になるほどローカル配線構造による消費電力低減の効果が顕著になる。電源電圧が1ボルトでは、25%程度の改善効果がある。すなわち、ローカル配線構造は、低電源電圧下でさらに低消費電力化をめざす場合、非常に有効な構造であると言える。

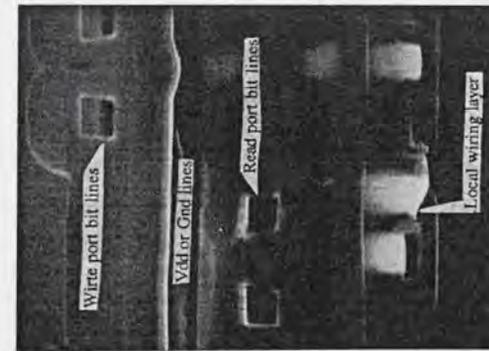
さらに、大規模なLSIにローカル配線を適用しその寄生効果削減の効果を調べた。実際の通信用LSIの回路マクロである2K word x 54bitのSRAMマクロに通常構造とローカル配線構造を適用することでその効果を比較検討した。通常の0.35 μm CMOSの設計基準を使用し作成したSRAMマクロを元に、ローカル配線版のSRAMマクロをレイアウトした。まず、SRAMの基本メモリーセルを書き換えた。また、図4-18に示した平面模式図の形式で、周辺回路であるデコーダー、ドライバー、センスアンプ、バススイッチ等もローカル配線方式に書き換えた。これらの書き換えにあたっては、各トランジスタのゲート長とゲート幅は変えていない。負荷容量が小さくなるため、本来、ゲート幅も小さくすることが可能だがそこまでは行っていない。タイミング回路のみは、レイアウト後にゲート長とゲート幅の見直しを行なっている。

試作に使用したプロセスは0.35 μm CMOSの4層メタル配線プロセスである。TiSi₂ローカル配線プロセスとしては、4.3.1節で示したプロセスを適用した。試作したSRAMの基本セルの断面と平面の電子顕微鏡写真を図4-21に示す。平面は、ローカル配線層形成が終了した時点でウエハーを抜き取り観察したものである。このSRAMセルは、読み出し(read)動作と書き込み(Write)動作が独立にできる2ポートのSRAMセルである。従って、8個のトランジスタで一つのSRAMセルを形成している。断面は、すべての試作工程を経たウエハーで観察した。断面写真の中でローカル配線がフィールド上にまで伸び、そこで上層のメタル配線とのコンタクトをとっている箇所を見ることができる。このコンタクト形式により、セルサイズはローカル配線を使わない場合に比べて38%小さくなっている。

この様にローカル配線を採用しSRAMセルの面積が小さくなると、ビット線どうしの干渉による誤動作が問題となる。この誤動作は、読み込み動作と書き込み動作が独立にできる2ポートSRAMセルで特に深刻な問題となる。書き込み動作においては、ビット線が0ボルトから3.3ボルトまでフルスイングする。一方、読み込み動作ではビット線



平面



断面

図4-21 試作したDivided Layer Dual Port SRAMの基本セルの断面と平面の電子顕微鏡写真

に微小信号が現れた段階で次のセンスアンプの動作が始まる。従って、その動作が独立な2ポートSRAMでは、微小信号の読み込みをしているすぐ隣のビット線でフルスイングする書き込み動作が起こり得る。この場合そのビット線間のカップリング容量を通して、読み込みビット線に大きなノイズが乗りセンスアンプ動作のスタート時点での信号を反転してしまい誤動作に至ることが起こり得る。

ここでは、それを避けるため Divided Layer Bitline Dual Port 方式を提案し、それを採用している [37]。この方式は、それぞれのビット線を異なるメタル層で形成し、さらに、その間に電源・グランド線のメタル層を配置し、ビット線間の干渉を問題のないレベルにまで低減するというものである。図4-22に Divided Layer Bitline Dual Port 方式のコンセプトを、これまでの通常的方式と対比して示す。これまでの様に、読み出しと書き込みのビット線対を同じ層の配線で形成すると、そのビット線間のカップリング容量はセルサイズの縮小化とともに大きくなる。そこで、縦方向にビット線対を配置し、その間に互いのビット線をシールドするため電源・グランド線を挿入した。図4-21の断面写真においてもこの構造が確認できる。

実際に2次元容量解析シミュレーターでそのカップリング容量を算出し、その値を使って回路シミュレーションでノイズの影響を調べた。その動作波形も図4-22に示す。従来の構造では、書き込み動作により最大0.18ボルトのノイズが隣接する読み出しビット線に現れる。これによりセンスアンプの動作時に、読み出し信号が実際に逆転していることが確認できる。Divided Layer Bitline Dual Port 方式では、カップリング容量は約1/10に低減した。電源・グランド線は、ビット線対を完全にシールドするわけでないためこの様にまだカップリング容量が残る。この場合、ノイズは最大で0.04ボルトであった。このノイズレベルは、図にも示す様に動作に支障がない。

図4-23は、2K word x 54bit のSRAMマクロの光学顕微鏡写真である。ローカル配線を使用した場合と使用しなかった場合との同一マクロを比較している。マクロサイズとしては、前に述べた様に周辺回路にもローカル配線を使うことで31%小さくなった。

この実際の回路マクロより各種負荷容量を抽出し、ローカル配線の採用による大規模LSIでの消費電力削減の効果を見積もった。ローカル配線の採用により、接合容量の低減とともに、マクロサイズの縮小から配線長が短くなり配線容量も低減される。これら

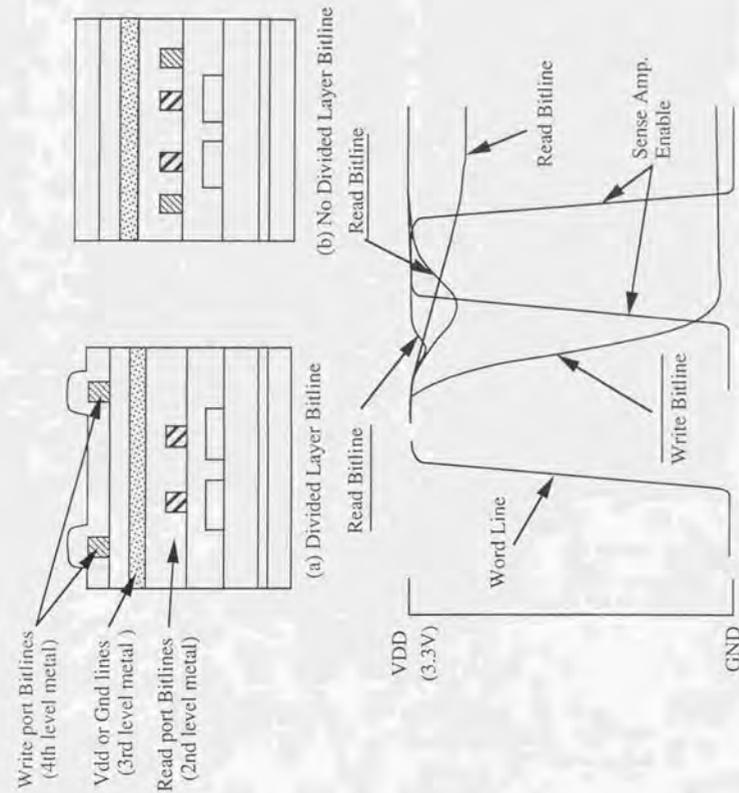
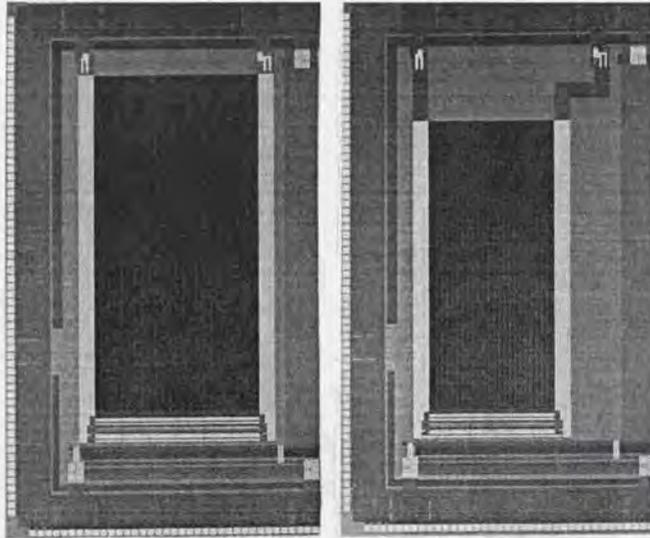


図4-22 Divided Layer Bitline Dual Port 方式SRAM Cellのコンセンプトとその動作波形



Non-Local Wiring

Macro Size: 2503um x 4724um
Cell Size: 8.4um x 8.3um

Local Wiring

Macro Size: 2002um x 4084um
Cell Size: 6.2um x 7.05um

図 4-23 2K word x 54bitの SRAMマクロの光学顕微鏡写真。
ローカル配線を採用したマクロと採用しなかったマクロの
サイズの比較

を分けて評価するため、ゲートと接合と配線の各容量成分を別々に抽出した。各種容量の抽出には、実際の回路レイアウトデータを入力すれば各種容量成分を抽出できる市販の LPE (Layout Parameter Extraction) software を使用した。書き込み動作での消費電流を回路シミュレーションで求め電圧を掛けることで消費電力とした。また、配線容量、接合容量を順次取り除くことで、各成分で消費される電力を見積もった。

その結果を図 4-24 に示す。メモリーセルが並んだ部分であるセルアレイで見ると、ローカル配線の採用により接合負荷で消費する電力 (図中の C_j) は 42% 低減した。また、ローカル配線の適用でマクロサイズが小さくなったことにより配線が短くなり、配線負荷で消費する電力 (図中の C_w) も 15% 低減した。これらを含めてトータルでは、13.6% の電力が低減した。

以上は、電源電圧が 3.3 ボルトでの結果である。さらに、ローカル配線を採用した時の特徴である低電圧下での電力削減の効果を調べた。電源電圧を変えて動作時における消費電力を求めた。ローカル配線を使った場合と使わなかった場合とでその消費電力を求め、その比の電源電圧依存性を調べた。結果を図 4-25 に示す。タイミング回路を詳細に調整していないため 2.5 ボルトまでしか動作していないが、それでも低電圧になるほど、ローカル配線を適用したことによる消費電力の低減が顕著となることが確認できる。1 ボルトに外挿すると、25% 程度の削減と成り得る。

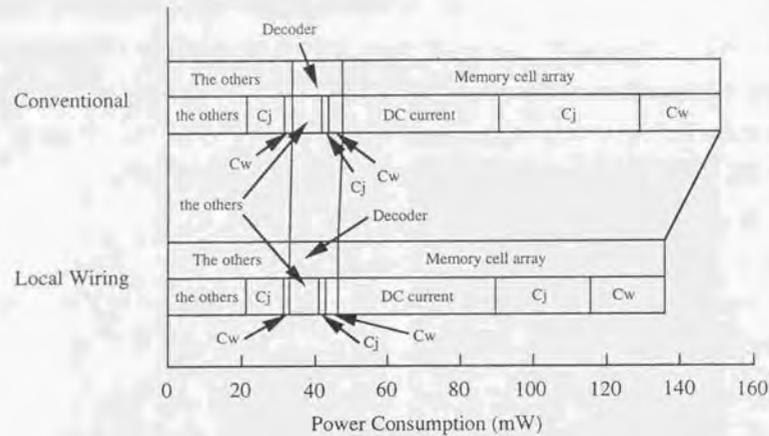


図 4-24 ローカル配線構造と通常構造での書き込み動作時の消費電力。配線容量、接合容量を順次取り除くことで各成分に分離してを見積もった。

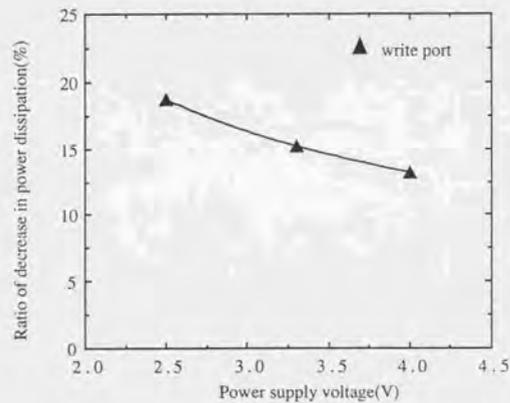


図 4-25 ローカル配線を使った場合と使わなかった場合との消費電力の比の電源電圧依存性。

4.4 まとめ

サブミクロン時代となり、CMOS プロセス・デバイスでの高速・低消費電力化を追究するために、その重要性が増して来たソース・ドレインの寄生抵抗・寄生容量の低減について検討した内容を述べた。

まず、寄生抵抗の低減として非常に有効なサリサイドプロセスについてその詳細を述べた。このサリサイドプロセスをサブハーフミクロン CMOS に適用する場合、不純物の再分布が重大な課題となることを示した。サリサイド化した浅い接合を持つ Pch MOSFET でさらにポストアニールを追加すると、実際にドレイン電流が大幅に低下することを試作を通して明かにした。この原因が不純物の再分布によっていることを、電気的な測定、物理分析、さらには、プロセス・デバイスシミュレーションに新たにサリサイドプロセスを組み込むことで検証した。

さらに、その解決法であり設計自由度の高い 2 重ソース・ドレイン構造を提案した。この構造によりサリサイド化した浅い接合を持つ Pch MOSFET でもドレイン電流が低下しないこと、短チャネル効果が劣化しないこと、また、接合リーク電流が増大しないことを実際に実証した。

次にサリサイドプロセスを発展させ、接合容量も低減可能な TiSi_2 のローカル配線プロセスについてその詳細を述べた。ローカル配線層で接続された N+/P 接合と P+/N 接合では、P+/N 接合でのみ特性が劣化することを見出し、それを説明するモデルを提示した。さらに、この技術が、今後の低電圧低消費電力 CMOS 技術として重要であることを示し、実際に、基本回路、及び、SRAM マクロに適用し LSI 中での消費電力低減の効果を実証した。

また、ローカル配線の適用で実現される小さな 2 ポート SRAM で問題となるビット線間の干渉による誤動作を防止する方式として、Divided Layer Bitline Dual Port 方式を提案した。

第4章の参考文献

- 1) T. Shibata, K. Hieda, M. Sato, M. Konaka, R.L.M. Dang, and H. Iizuka : " An optimally designed process for submicron MOSFETs," IEEE International Electron Device Meeting, p 647-650, 1981
- 2) C.K. Lau, Y.C. See, D.B. Scott, J.M. Bridges, S.M. Perna, and R.D. Davies : "Titanium disilicide self-aligned source/drain+gate technology," IEEE International Electron Device Meeting, p 714-717, 1982
- 3) S.P. Murarka : " Silicides for VLSI Applications" Academic Press, New York, 1983
- 4) A. Guldan, V. Schiller, A. Steffen, and P. Balk : " Formation and Properties of TiSi₂ Films," Thin Solid Film, 100, p1-7, 1983
- 5) H. K. Park, J. Sachitano, M. McPherson, T. Yamaguchi, and G. Lehman : "Effects of Implantation doping on the formation of TiSi₂," J. Vac. Sci. Technol, A2(2), p264-268, 1984
- 6) R. Beyers : " Thermodynamic considerations in refractory metal-silicon-oxide systems," J. Appl. Phys., 56, p 147, 1984
- 7) R. Beyers and R. Sinclair : "Metastable formation in titanium-silicon thin films," J. Appl. Phys. 57(12), p5240-5245, 1985
- 8) C.Y. Wong, L.K. Wang, P.A. McFarland, and C.Y. Ting : "Thermal Stability of TiSi₂ on Mono- and Polycrystalline Silicon," J. Appl. Phys., 60, p243-246, 1986
- 9) J.B. Lasky, J.S. Nakos, O.B. Cain, and P.J. Geiss : "Comparison of Transformation to Low Resistivity Phase and Agglomeration of TiSi₂ and CoSi₂," IEEE Trans. Electron Devices, Vol. ED-38, p 262, 1991
- 10) M. E. Alperin, T.C. Hollaway, R.A. Haken, C. D. Gosmeyer, R.V. Karnaugh, and W.D. Parmantie : "Development of the Self-Aligned Titanium Silicide Process for VLSI Applications," IEEE Trans. Electron Devices, Vol. ED-32, p 141-149, 1985
- 11) H. Kotaki, et. al. : "Novel Oxygen Free Titanium Silicidation (OFS) Processing for Low Resistance and Thermally Stable SALICIDE in Deep Submicron Dual Gate CMOS," Extended Abs. Inter. Conf. Solid State Devices and Materials, p628-630, 1994

- 12) W.K. Chu, S.S. Lau, J.W. Mayer, and H. Muller : " Implanted Noble Gas Atoms as Diffusion Markers in Silicide Formation," Thin Solid Films, 25, p 393-402, 1975
- 13) P. Revesz, J.Gyimesi, L. Pogany, and G. Peto : "Lateral growth on titanium silicide over a silicon dioxide layer," J. Appl. Phys., 54(4), p 2114-2115, 1983
- 14) T. Brat, C.M. Osburn, T. Finstad, J.Liu, and B. Ellington : "Self-Aligned Ti Silicide Formed by Rapid Thermal Annealing," J. Electrochem. Soc. p1451-1458, 1986
- 15) S.S. Iyer, C.-Y. Ting, and P.Fryer : "Ambient Gas Effects on the Reaction of Titanium with Silicon," J. Electrochem. Soc.132, p2240, 1985
- 16) H. Okabayashi, M. Morimoto, and E. Nagasawa : "Low-resistance MOS technology using self-aligned refractory silicidation," IEEE Trans. Electron Devices, Vol. ED-33, p 1329-1344, 1984
- 17) A.S. Grove : "Physics and Technology of Semiconductor Devices," John Wiley & Sons, 1967
- 18) M. Witter : " Dopant Diffusion in Self-Aligned Silicide / Silicon Structures," J. Electrochem. Soc. p2049-2053, 1988
- 19) L.R. Zheng, L.S. Hung, J.R. Phillips, and J.W. Mayer : "TiSi₂/polycrystalline silicon : Arsenic distribution and Si grain growth," J. Appl. Phys. 62(11), p4426-4432, 1987
- 20) A. Ohtomo, J. Ida, K. Yonekawa, K. Kai, I. Aikawa, A. Kita and K. Nishi : "Dopant Redistribution Effect on Post-Junction Silicide Scheme Shallow Junction and a proposal of Novel Self-Aligned Silicide Scheme," Jpn. J. Appl. Phys. Vol.33, pp475-479, 1994
- 21) A. Ohtomo, J. Ida, K. Kai, K. Yonokawa, A. Kita and K. Nishi : "Impact of Dopant-Redistribution at TiSi₂/Si Interface and a Doubly-S/D-Ion-Implanted-Silicide Structure for Subhalfmicron CMOS," International Conferance on Solid State Devices and Materials, Extended Abst. pp. 564-566, 1993

- 22) K. Kai, H. Sakakura, K. Fukuda, S. Kuroda, A. Ohtomo, J. Ida and K. Nishi: "Impact of Drain Profiles on Ti-Salicydized pMOSFET Characteristics analyzed by a First Comprehensive Coupled Process/Device Simulator for Salicydized MOSFETs," IEEE International Electron Device Meeting, Tech. Dig. 1993
- 23) W.T. Lynch and K.K. Ng: "A Tester for the Contact Resistivity of Self-Aligned silicides," IEEE International Electron Device Meeting, Tech. Dig. p 352-355, 1988
- 24) I. Aikawa, H. Uchida, and T. Ajioka: "A Development of Polysilicon Encapsulation SIMS (PC-SIMS) analysis," Tech. Report IEICE, SDM90-158, p87, 1990
- 25) P. Gas, V. Deline, F.M. d'Heurle, A. Michel, and G. Scilla: "Boron, phosphorus and arsenic diffusion in TiSi₂," J. Appl. Phys., 60, p1634-1639, 1986
- 26) V. Probst, H. Schaber, A. Mitwalsky, H. Kabza, and B. Hoffmann: "Metal-dopant-compound formation in TiSi₂ and TaSi₂: Impact on dopant diffusion and contact resistance," J. Appl. Phys., 70, p693-707, 1991
- 27) S.M. Sze: "Physics of Semiconductor Devices, 2nd edition," Wiley New York, 1981 (for example)
- 28) 井田、大友、米川、梶田、北: "2重ソースノドレイン・インプラ法を使用した0.3um サリサイド化 CMOS" 電子情報通信学会、春季全国大会 5-551 1993
- 29) D. Chen, S. Wong, P. Van de Vorde, P. Merchant, T. Cass, J. Amano, and K.Y. Chin: "A New Device Interconnection Scheme for Submicron VLSI," IEEE International Electron Device Meeting, Tech. Dig. p 352-355, 1988
- 30) T. E. Tang, C.C. Weu, R.A. Haken, T.C. Holloway, L.R. Hite, and T.G.W. Blake: "Titanium Nitride Local Interconnect Technology for VLSI," IEEE Trans. Electron Devices, Vol. ED-34, p 682-688, 1987
- 31) S. P. Jeng, J. A. West, and D. Wyke: "A Novel TiSi₂/TiN Clad Local Interconnect Technology," Proc. in VLSI Tech. Symp., p105-106, 1993

- 32) S.J. Hillenius, R.Liu, G.E. Georgious, R.L. Field, D.S. Williams, A.Kornblit, D.M. Boulton, R.L. Johnston, and W.T. Lynch: "A symmetric submicron CMOS technology," IEEE International Electron Device Meeting, Tech. Dig. p 252-255, 1986
- 33) C.L. Chu, K. Saraswat, and S.S. Wong: "Measurement of Lateral Dopant Diffusion in Thin Silicide Layers," IEEE Trans. Electron Devices, Vol. ED-30, p 2333-2340, 1992
- 34) 井田、佐々木、味岡: "a-Si/Ti/SiO₂系のサリサイド化反応" 応物学会、春季全国大会 29p-B-11 1987
- 35) Jiro Ida and Atsushi Ohtomo: "Characterization of Dopant Interdiffusion and Power Reduction on TiSi₂ Local Wiring Technology in Sub Half Micron CMOS," Jpn. J. Appl. Phys. Vol.37, pp1674-1679, 1998
- 36) A. Ohtomo, J. Ida, N. Ozawa, M. Kagayama, and H. Onoda: "New Characterization of TiSi₂ Local Wiring Technology and Its Impact on Low Power /High Speed Quarter Micron CMOS," International Conference on Solid State Devices and Materials, Extended Abst. pp321-323, 1995
- 37) Jiro Ida, Atsushi Ohtomo, Kouichi Morikawa and Hiroshi Onoda: "Analysis of Dopant Interdiffusion and Parasitics Reduction on a-Si/Ti Local Wiring Scheme" International Conference on Advanced LSI, Korea, 1997
- 38) Kouichi Morikawa and Jiro Ida: "Power Reduction of New Divided Layer Bitline Dual Port SRAM with an advanced a-Si/Ti Local Wiring Scheme," IEICE Transaction on Electronics, Vol. E79-C No-12, pp1713-1719, 1996

第5章 配線負荷の低減の検討

5.1 序

第2章でも述べた様に、LSIの比例縮小が進みサブハーフミクロン時代になると、配線負荷の低減がLSIの高速化・低消費電力化に向けてますます重要になってくる。全体の遅延と消費電力に占める配線負荷の割合が大きくなっているためである。最近では、配線の危機 (Interconnect Crisis) と呼ばれその問題がクローズアップされている (1-3)。

本章においては、その配線負荷の低減についてプロセス・デバイスの観点から具体的に検討した事を述べる。

配線負荷は、配線抵抗と配線容量からなる。配線抵抗の低減については、従来のアルミニウム合金に変わり低抵抗である銅配線の研究が材料的側面を中心にこれまでもなされてきた⁴⁾。しかし、配線容量低減については一部で検討されているとは言え⁵⁾、1994年の段階ではあまり注目されていなかった。そこでまず、配線抵抗と配線容量のLSI中での重要性を対比して検討した。その結果として、配線容量の低減の方がLSIの性能向上に大きく寄与することを明確に示す。また、そのための低誘電率膜開発の重要性を指摘する。

さらに、低誘電率膜の具体例として至近的応用の期待できる無機系低誘電率膜に注目しフッ素添加の酸化膜 (SiOF膜) を開発し、これをLSIに適用した結果を述べる。デバイス特性に与える影響を調べ、相互コンダクタンスの変動現象を見出し、それを解析した結果を述べる。また、これを勘案の上でトランジスタ特性が変動しない条件を使用し、低誘電率SiOF膜による回路スピードの向上の効果を正確に測定した結果を述べる。さらに、回路シミュレーションの解析も併用し比例縮小側のトレンドの中で、低誘電率膜の必要性をさらに明確化する。すなわち、比例縮小側のトレンド通りに回路性能を高速化し、また、低消費電力化するためには、 $0.35\ \mu\text{m}$ CMOS世代で既にSiOF膜が不可欠であること示す。

5.2 LSI 中での配線抵抗と配線容量の重要性の比較

実際のデバイスパラメータを考慮して回路の伝搬遅延式を解析することで、配線抵抗と配線容量の LSI 中での重要性を対比して検討した⁶⁾。

検討に使用した回路のモデル図と、一般的な LSI 中での配線長の分布の模式図を図 5-1 に示す。今日の一般的な大規模 LSI は、階層化設計で作られている。すなわち、演算器やコントロール系等の、ある塊の機能をもつマクロなユニットから構成されている。従って、LSI 内の配線は、そのマクロユニット内の配線であるローカルな配線と、そのユニット間をつなぐグローバルな配線に分けられる。LSI 内で使われる配線長の分布には、このローカルな配線とグローバルな配線に対応して 2 つのピークがある。さらに、その平均的な配線長は、それぞれチップ長の 1/10 と 1/2 になると報告されている⁷⁾。

ここでは、そのローカルな配線とグローバルな配線を負荷とした時の回路遅延時間 (tpd) を、配線負荷を分布定数として取り扱った桜井の遅延式⁸⁾を使用して検討した。桜井の遅延式は、駆動トランジスターで配線負荷とその遠端にある次段ゲートを駆動する回路をモデル化したものである。これは、LSI に現れる最も一般的な回路形式である。配線負荷は分布定数として取り扱っている。また、回路応答の微分方程式をテーラー展開することで非常にシンプルな多項式を導いている。以下にその遅延式とノーテーションを示す。

$$tpd_{90\%} = 1.02R_w \times C_w + 2.3 \times (R_{tr} \times C_w + R_w \times C_{fo} + R_{tr} \times C_{fo})$$

tpd_{90%}: 信号振幅が 90% に達した時点の伝搬遅延時間

R_{tr}: 駆動トランジスターのオン抵抗

C_{fo}: 次段のゲート容量 = ファンアウト負荷 (Fanout (F/O) 負荷)

R_w: 配線抵抗 C_w: 配線容量

この式に実際のデバイスパラメータを当てはめ、上記のローカルな配線、及び、グローバルな配線を負荷とした時の遅延時間 (tpd) を計算した。チップ寸法は、現状の最大クラスである 20mm 角を想定した。従って、ローカルな配線は 2mm、グローバルな配線は 10mm となる。配線抵抗と配線容量には、以下の 3 つの場合を想定した。

$$Tpd_{90\%} = 1.02R_w \times C_w + 2.3(R_{tr} \times C_w + R_w \times C_{fo} + R_{tr} \times C_{fo})$$

from Sakurai ED-40 '93

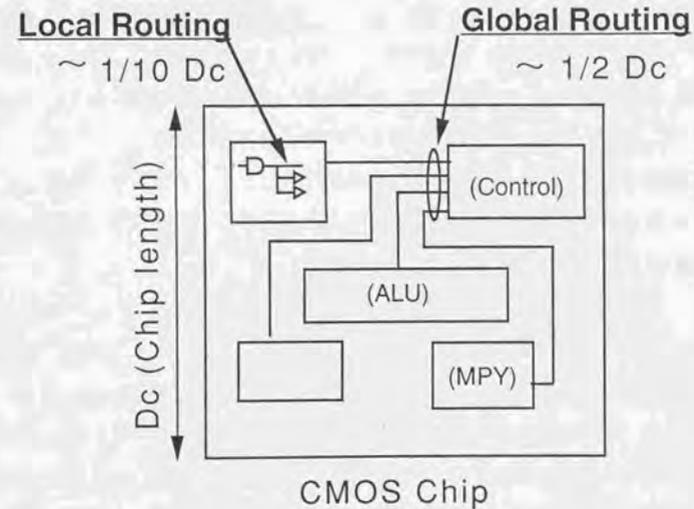
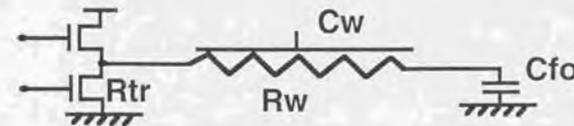


図 5-1 検討に使用した回路のモデル図と、一般的な LSI 中での配線長の分布の模式図

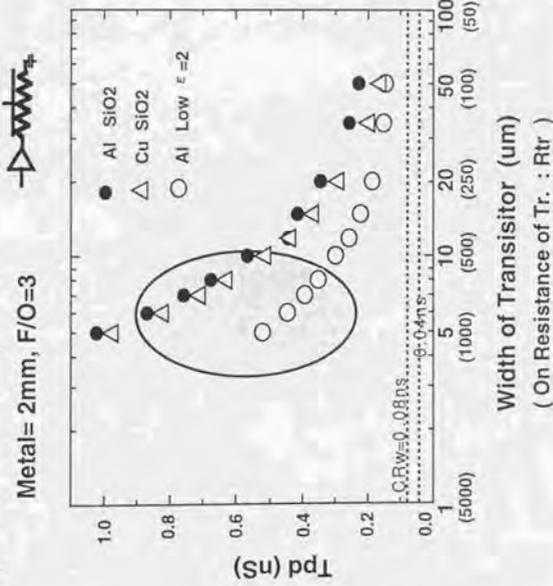
すなわち、1) 一般的なアルミ配線での抵抗 (=100 Ω/mm) と一般的な CVD (Chemical Vapor Deposition) 層間膜での容量 (=0.2pF/mm) を想定した場合、2) 抵抗のみ 1/2 となる銅配線を想定した場合、及び、3) 誘電率が 1/2 となる層間膜を想定した場合である。1) の配線抵抗と容量は 0.3 μm CMOS での実際の値である。トランジスタのオン抵抗と次段のゲート容量 (Funout 負荷) にも 0.3 μm CMOS の値を使用した。以上の想定で tpd を計算した結果を図 5-2 に示す。横軸にはトランジスタのゲート幅をとった。これはトランジスタのオン抵抗の逆数に対応する。また、ローカルな配線での Funout 負荷は F/O=3 を想定し、グローバルな配線では F/O=20 を想定している。これらも、LSI 中で使われる最も一般的な値である。

集積度向上の要請から、ローカルな配線を駆動するトランジスタに大きなゲート幅を使用することができない。0.35 μm CMOS クラスでは、一般的に 3 μm から大きくて 10 μm ぐらいが使用される。その領域を図 (a) に楕円で示す。この場合、図から解るように、低誘電率膜による配線容量の低減は遅延時間向上に効果があるが、低抵抗材料による配線抵抗の低減は遅延時間の向上にはほとんど寄与しない。これは、上述の桜井の式に戻って各項の大小を見ると以下の様に理解できる。すなわち、配線容量 (Cw) とトランジスタのオン抵抗との積 (Rtr×Cw) が遅延時間を律速し、配線抵抗が関係する他の項は無視できるためである。

一方、グローバルな配線を駆動する場合には、図中にも示す様に数段の増幅回路を入れることによりその最終段のトランジスタのゲート幅を大きくする。目標とする動作周波数にもよるが最終段のトランジスタ幅は一般的に 100 μm 程度のものが使われる。その領域を同じく図 (b) の楕円で示す。この場合にはトランジスタのオン抵抗は小さくなり、遅延時間は配線の時定数 (Rw×Cw) そのもので決まるようになる。図中には、配線の時定数も点線で示した。従って、グローバルな配線領域では、配線容量と配線抵抗の低減は同等の効果を持つ。

しかしながら、LSI 中で必要になる配線数を考えるとグローバルな配線はローカルな配線に比べて、その必要配線数は圧倒的に少ない。従って、このグローバルな配線については、上層の配線層で形成しその配線を太くすることで抵抗を下げ配線の時定数を下げられる⁵⁾。すなわち、低抵抗材料の導入によらない対応が可能である。

a) Local Routing



b) Global Routing

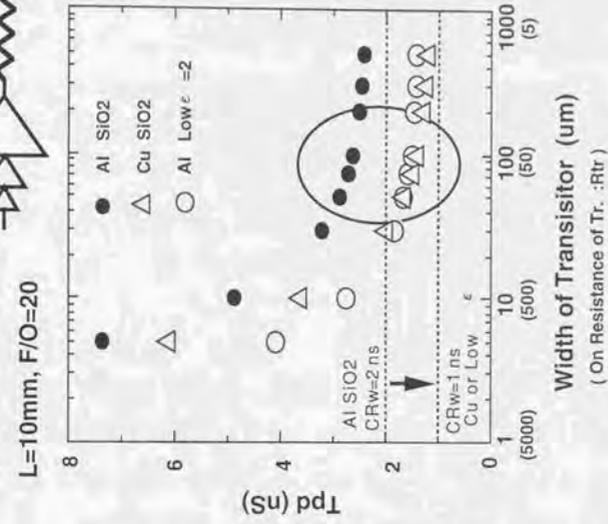


図 5-2 ローカルな配線、及び、グローバルな配線を負荷とした時の遅延時間(tpd)を計算結果、3つの場合を想定、1)アルミ配線での抵抗 (=100Ω/mm) とCVD層間膜での容量 (=0.2pF/mm) の場合、2)抵抗のみ1/2となる銅配線の場合、3)誘電率が1/2となる層間膜の場合

以上のことを勘案すると LSI 内においては、低誘電率膜による配線容量の低減は LSI 内の全ての配線領域で有効でありスピード向上に寄与する。低抵抗材料による配線抵抗の低減はグローバルな配線領域でのみ有効であるが、その配線数を考えると低抵抗材料の導入以外の対応が可能である。従って、LSI 中においては、配線容量の低減の方が配線抵抗の低減よりその重要性が高いと言える。

配線容量については、さらに、隣接容量の寄与による配線容量の増大が重大な問題となる⁹⁾。サブミクロン時代となり、配線の幅と間隔の寸法もサブミクロンとなりこの問題が深刻化してきた。

単独配線、両隣りにも配線が並んだ場合の 3 隣接配線、さらに、その両隣りの配線に逆相の信号が走ったとしたワーストケースの場合での、単位長さあたりの配線容量を計算した結果を図 5-3 に示す。計算には、同じく桜井により定式化された配線容量の近似式⁸⁾を使った。シリコン面からの高さ ($H=1.0\mu\text{m}$) と配線の高さ ($T=0.7\mu\text{m}$) を一定として、配線の幅 (Line) と間隔 (Space) のみ変えた場合の結果である。

間隔がサブミクロンになると、隣接容量の寄与により配線容量は急激に増加する。配線の厚さを薄くしても隣接容量の低減には効果的である。しかし、配線のストレス・マイグレーション (Stress Migration)¹⁰⁾ とエレクトロ・マイグレーション (Electronic Migration)¹¹⁾ への耐性を考えた場合、現状のアルミ配線を使う限りあまり薄膜化はできない。

これらの点を踏まえると、低誘電率膜の LSI への適用研究は、低抵抗材料以上に今後ますます重要であると言える。

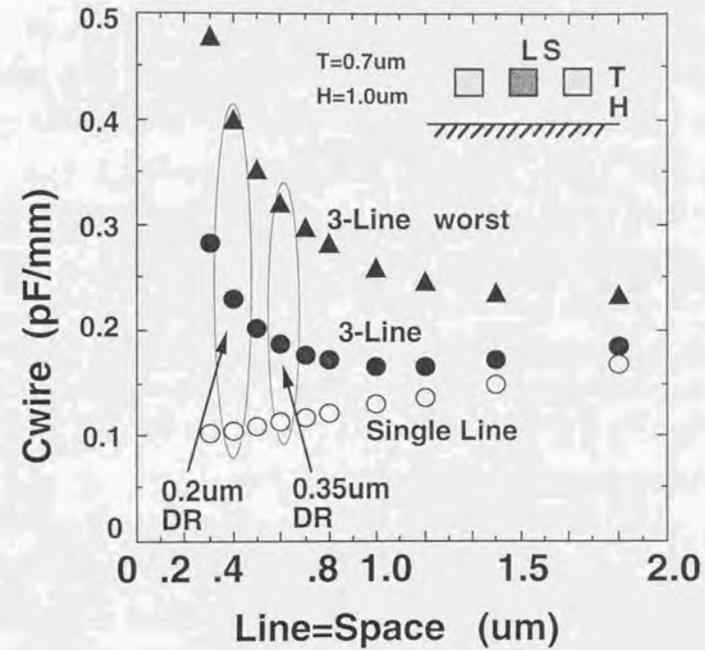


図 5-3 単独配線、両隣りにも配線が並んだ場合の 3 隣接配線、その両隣りの配線に逆相の信号が走るワーストケースの 3 隣接配線での単位長さあたりの配線容量

5.3 低誘電率 SiOF 膜のサブハーフミクロン CMOS への適用

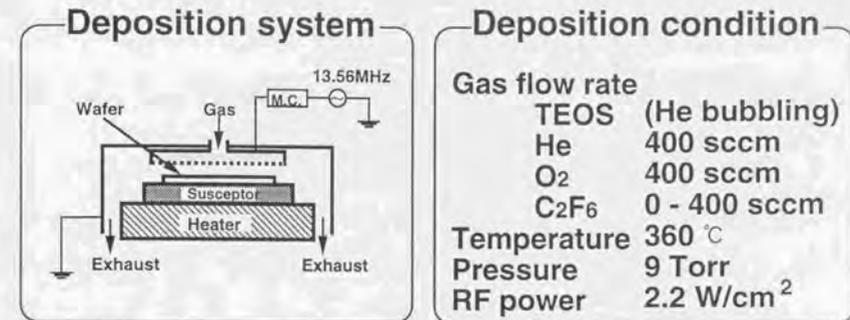
5.3.1 デバイス特性への影響

低誘電率膜としては、ポリイミドやシロキサンポリマー等の有機系材料が材料的側面から一部で検討されている⁵⁾。その比誘電率は3~2と低く有望ではあるが、耐熱性、加工性等の点で LSI への適用にはまだ研究が必要である。また、塗付系の膜 (Spin on Glass) に CH₃ 基を添加する、または、沸素を添加するなどにより低誘電率をめざすことも研究されているが、これも耐熱性、加工性等の問題が未解決である¹²⁻¹³⁾。

これに対して無機系の材料の研究は、より至近の実用化の観点から重要と言える。これは、既にある形成装置を使用した CVD 酸化膜の改良であり、耐熱性、加工性についてはベース材料そのものの検討まで戻る必要が無いためである。無機系材料としては、酸化膜にボロンと窒素を添加した SiOBN 膜¹⁴⁾とフッ素を添加した SiOF 膜¹⁵⁾が知られている。従来の CVD 酸化膜は膜中の水分の影響で比誘電率 $\epsilon = 4.2 \sim 5.0$ の値をとるのに対して、これらの膜では比誘電率 $\epsilon = 3 \sim 3.6$ の値が得られている。近年、製法技術の改良が進み、この SiOF 膜が注目されている¹⁶⁻¹⁷⁾。

我々もそのシンプルな形成方法を提案した¹⁷⁾。一般的な平行平板型プラズマ CVD 装置を使用し TEOS (tetraethoxysilane) 系原料ガスに C₂F₆ を添加して形成する方法である。使用した CVD システムの模式図とその製造条件を図 5-4 に示す。13.56MHz (RF: Radio Frequency) でプラズマを印加する一般的な平行平板型プラズマ CVD 装置である。ヘリウム (He) を使用したバブリングにより TEOS ガスと酸素 (O₂) をチャンバー内に導入し CVD 酸化膜を形成する。He と O₂ は、ともに 400sccm のフローレートとした。さらに、沸素の添加剤として新たに C₂F₆ を導入した。このフローレートを変えることで膜中の沸素濃度を変えている。RF パワーは 2.2W/cm² とし、チャンバーの温度と圧力はそれぞれ 360℃ と 9 Torr とした。

この膜を使用して MOS キャパシターを作成しその容量を求めた。また、電子顕微鏡によりその膜厚を測定した。この2つのデータから膜の誘電率を求めた。また、蛍光 X 線分光 (X-ray photoelectron spectroscopy) により膜中の沸素濃度を測定した。図 5-5 に、



Key Concept (ISSDM93 by T.Usami et al.)

Simple technique: adding C₂F₆ to conventional TEOS based PE-CVD

図 5-4 SiOF 形成に使用した CVD システムの模式図とその製造条件

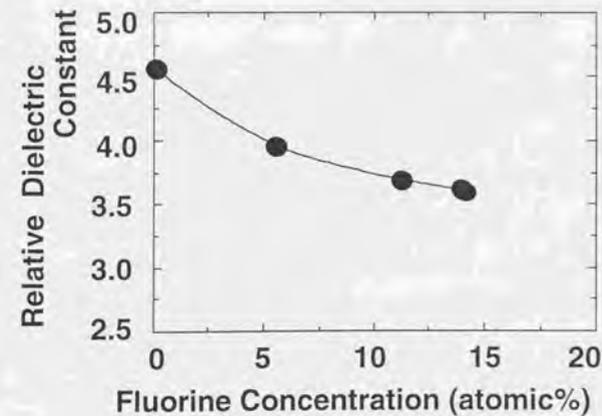


図 5-5 SiOF 膜の比誘電率と膜中の沸素濃度との関係

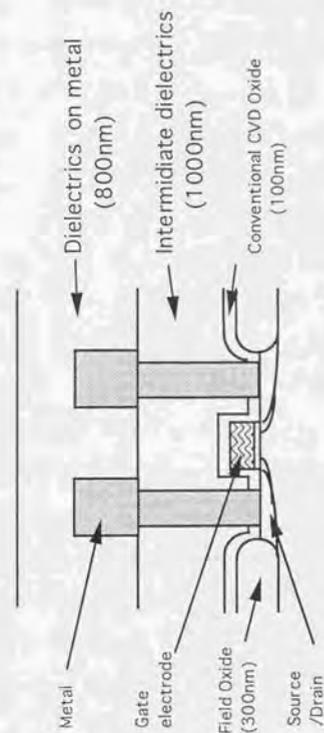
C₂F₆ 添加濃度を変えることにより得られた SiOF 膜の比誘電率と膜中の沸素濃度との関係を示す。沸素濃度が上がるに従い比誘電率が下がり、沸素濃度が 14% において $\epsilon=3.6$ の値が得られている。沸素添加による比誘電率の低下は SiO₂ 中に F が入ることで電子分極率とイオン分極率が変わり、その結果として誘電率が変わると説明されている 18)。

さらに、図を詳細に見ると沸素濃度が 10% を超えると比誘電率の低下が飽和傾向を示すことが解る。これは、沸素濃度の増加にともなって SiOF 膜も膜中に水分を取り込み安くなるためである 19)。以下では、この膜をデバイスに適用しデバイス特性への影響をまず調べた 20)。

上記の SiOF 膜を 0.35 μ m CMOS プロセスに適用した。使用したプロセスは、ゲート酸化膜厚が 7nm で、Nch MOSFET は通常型の LDD 構造、Pch MOSFET はシングル・ドレイン構造である。ソース・ドレインのイオン注入を行なった後、通常の CVD 酸化膜を 100nm 堆積し、その後 850℃、20 分のアニールを行なっている。SiOF 膜とソース・ドレイン領域のシリコンとが直接接触するのを避けるため、この 100nm の CVD 酸化膜をあらかじめ堆積した。また、SiOF 膜そのものには 850℃ 以上の耐熱性がある 18) が、ここでは念のため SiOF 膜の堆積前にアニールを行なっている。その後、メタル層の下の中間絶縁膜とメタル層の上の層間絶縁膜として、図 5-6 に示す 4 つの組み合わせのサンプル構造を作った。これらの絶縁膜の膜厚は、メタル下で 1000nm、メタル上で 850nm とし、全てのサンプルで同じ膜厚にしている。

サンプル A は、1 層メタル配線の LSI を想定しメタルの下を SiOF (沸素濃度=14%) 膜とし、メタルの上をプラズマ CVD (PE-CVD) による窒化膜としたものである。PE-CVD の窒化膜は通常、最上層メタルの上でその保護膜 (passivation film) として使われる。サンプル B は、多層メタル配線を想定しメタルの上も SiOF (沸素濃度=14%) 膜としたものである。比較のために、SiOF 膜を従来の CVD 酸化膜で置き換えたサンプル C と D も準備した。全てのサンプルで、メタルの下の中間膜を堆積後に 400℃ の水素シンター、メタルの上の層間膜を堆積後に 350℃ のアニールを加えている。

これら 4 つのサンプルでトランジスタ特性の変化を調べた。ゲート長=0.35 μ m の Nch MOSFET の相互コンダクタンス (gm) を測定した結果を図 5-7 に示す。ドレイン電圧を 0.1 ボルトとした線形領域で測定した結果である。これら 4 つのサンプルの測定結果



Sample	A	B	C	D
Dielectrics on metal	Si ₃ N ₄ (PECVD)	SiOF (F 14%)	Si ₃ N ₄ (PECVD)	SiO ₂ (CVD)
Intermediate dielectrics	SiOF (F 14%)	SiOF (F 14%)	SiO ₂ (CVD)	SiO ₂ (CVD)

図 5-6 SiOF 膜がトランジスタ特性に及ぼす影響を調べるため作成したサンプル構造

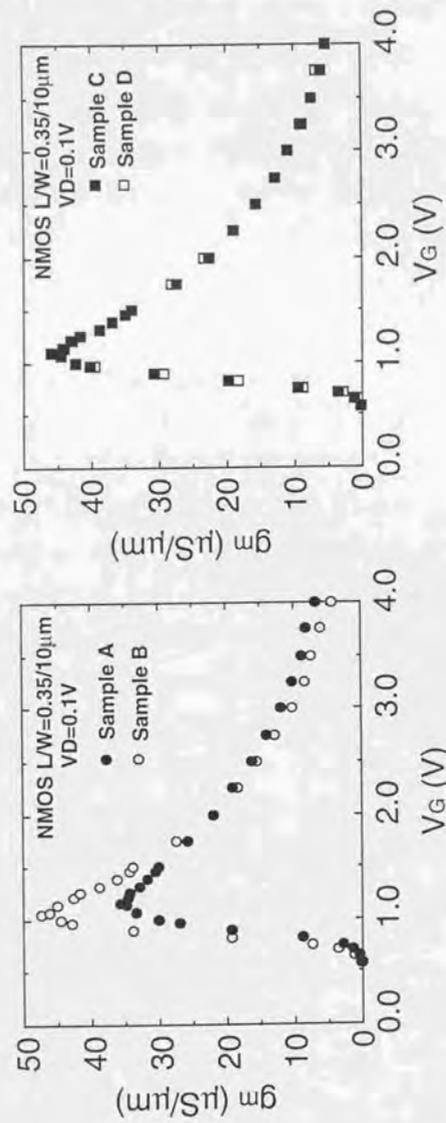


図 5-7 ゲート長=0.35μmのNch MOSFETの相互コンダクタンス (gm) の測定結果

を比較すると、サンプル A でのみ gm が大きく低下しているのが解る。すなわち、メタル下層の中間膜として SiOF 膜を使い上層に窒化膜を使用した場合のみ、gm が大きく低下する現象が見られる。サンプル C と D の gm はまったく同じで B はわずかに大きい。しかし、この差はごくわずかであり試作でのばらつきとしてここでは無視する。

この現象をさらに調べるため gm のゲート長依存性を評価した。その結果を図 5-8 に示す。サンプル A と B と D を使用し、各ゲート長で gm のピーク値をまず求めた。ここでのゲート長はゲート電極長 (ポリシリコン長) である。各ゲート長で求めたサンプル A と B での gm をサンプル D の gm (= gm 0) で割ることで各ゲート長での gm の低下率とした。図から明かな様に、サンプル A ではゲート長が 0.8 μm を切るあたりから gm の低下が始まる。また、ゲート長が 0.5 μm 以下では、その低下が大きく、データのばらつきも大きくなっている。一方、サンプル B では測定したゲート長の範囲で gm の低下が見られない。従って、この SiOF 膜はメタル上に窒化膜を堆積した場合のみトランジスタの gm を低下させ、しかも、その低下にはゲート長依存性があり 0.8 μm を切るあたりから低下することが解る。

このゲート長依存を勘案し、他のトランジスタ特性についても調べた。しきい値電圧 (Vth)、オフ特性の傾き (S 値: Subthreshold 特性) を調べた結果を図 5-9 に示す。サンプル A, B, D を使用しゲート長 0.35 μm と 0.8 μm の Nch MOSFET で測定した。ともに、ドレイン電圧が 0.1 ボルトの線形領域での値である。この結果からも、まず 0.8 μm とゲート長が長い場合には、SiOF 膜の適用により Vth と S 値ともその値は変化しないことが確認できる。また、0.35 μm とゲート長が短くなるとサンプル A に置いて Vth と S 値が大きくなるのが解る。サンプル B にもいても若干その値が大きくなるが、これも試作でのばらつきの範囲内である。

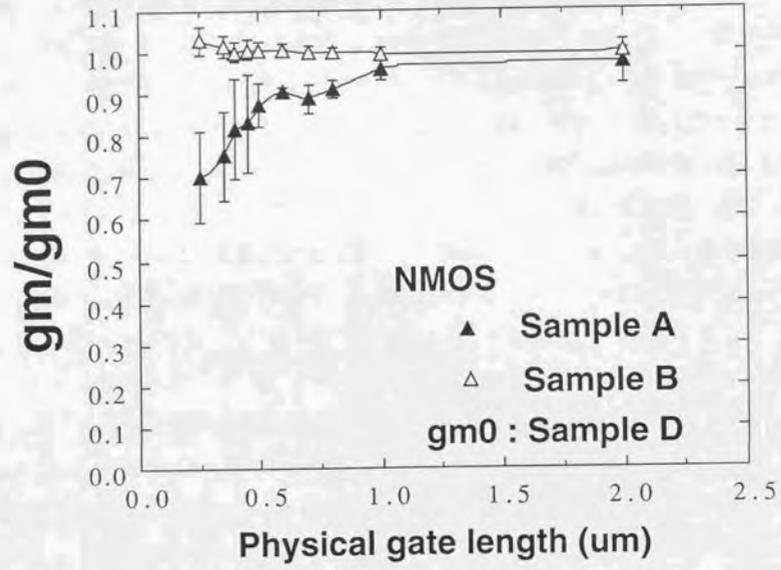


図 5-8 gmのゲート長依存性. サンプルAとBの各ゲート長でのピークgm値をサンプルDのgm値で割って規格化した.

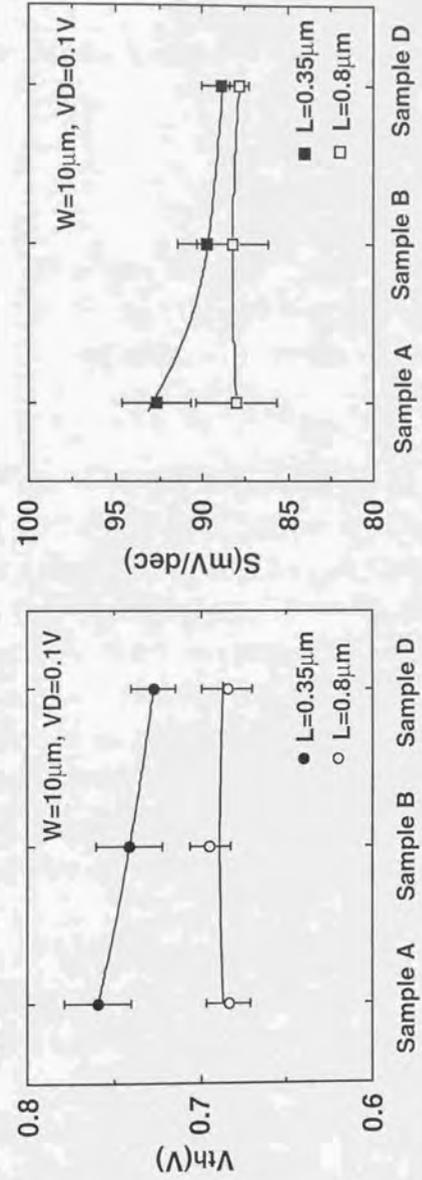


図 5-9 SiOF膜がその他のトランジスタパラメータに与える影響. (a) しきい値電圧 (V_{th}) (b) オフ特性の傾き (S値; Subthreshold特性)

これらのトランジスタ特性の変化を、各パラメータの基本式に立ち返って考察する。
 g_m 、 V_{th} 、 S 値は以下の様に記述される²¹⁾。

$$g_m = \mu_{eff} \times C_{ox} \times W/L \times V_d$$

$$V_{th} = \phi_{ms} + 2\psi + D_{it}/C_{ox} + Q_d/C_{ox}$$

$$S = \ln(kT/q \times (1 + (C_d + qD_{it})/C_{ox}))$$

μ_{eff} : 実効移動度 C_{ox} : ゲート容量 W/L : ゲート幅/ゲート長

V_d : ドレイン電圧 ϕ_{ms} : メタルワークファンクション

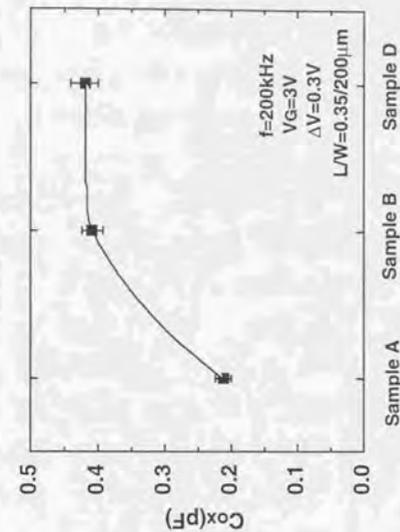
ψ : フラットバンド電圧 D_{it} : 界面準位 Q_d : 空乏層電荷

T : 絶対温度 q : 電荷量 C_d : 空乏層容量

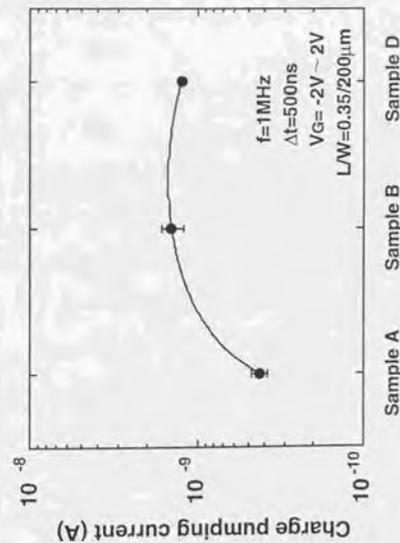
これらの式から、 g_m が低下し、 V_{th} と S 値が増大する上記現象の想定原因としては、 D_{it} の増加と C_{ox} の低減が考えられる。 D_{it} の増加は、実効移動度を低下させるため g_m の低下につながる。さらに、式で解るとおり D_{it} の増加は、 V_{th} と S 値を増大する。また、 C_{ox} が低下すると、式で解るとおり g_m は低下し、 V_{th} と S 値は増加する。

この2つの想定原因をさらに調べるため、界面準位 (D_{it}) の測定とゲート容量 (C_{ox}) の測定を行なった。上記のパラメータ変動がゲート長の短い場合にのみ起こることを考慮して、ゲート長 = $0.35 \mu m$ でゲート幅 = $200 \mu m$ の MOSFET を使用して測定した。界面準位の測定には、短いゲート長を持つ MOSFET 構造そのもので測定可能な Charge Pumping 法²²⁾を使用した。これは、ゲートにパルス電圧を加え界面準位に電荷を出し入れすることで、その結果として流れる基板電流から界面準位を求める方法である。また、ゲート容量は一般的な C-V 法で求めている。

その測定条件の詳細と測定結果を図 5-10 に示す。測定は同じくサンプル A と B と D で実施した。図の (a) は、界面準位密度に対応する Charge Pumping 電流を示す。この結果からサンプル A では界面準位が増加するのではなく、逆に低下することが解る。従って、界面準位の増加がトランジスタ特性の変動の原因ではない。沸素は、ゲート酸化膜界面の未結合手 (dangling Bond) を終端することが知られている²³⁾。従って、SiOF 膜の沸素がゲート酸化膜中に拡散したとすると、この界面準位の低下を理解することができる。



(b)



(a)

図 5-10 Charge Pumping 法による電流の測定 (a) とゲート容量 (b) の測定結果。Charge Pumping 電流は、界面準位密度に対応する。

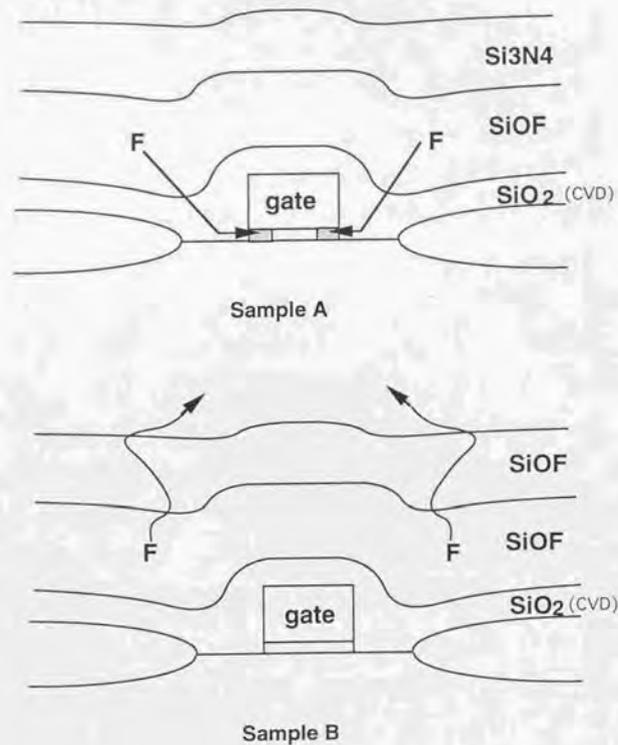


図 5-11 実験結果を统一的に説明するSiOF膜のF拡散モデル

一方、ゲート容量はサンプル A において大幅に小さくなっていることが解る。従って、図 5-7~図 5-9 で示したトランジスタ特性の変動の原因は、このゲート容量の低下であると言える。このゲート容量の低下も SiOF 膜中の沸素がゲート酸化膜中に拡散し、その誘電率を下げたためと推定される。

これらの実験結果を统一的に説明するモデルを図 5-11 に示す。SiOF 膜中の沸素は、ゲート酸化膜へも拡散し、しかも、ゲート電極端の位置から横方向に拡散すると想定される。従って、各パラメータはゲート長が短い場合でのみ変動した。さらに、これは SiOF 膜の上に窒化膜を付けた場合でのみ起こった。上層を窒化膜とすると、その緻密性から沸素が外方拡散せず内部に閉じ込められる。従って、この場合のみ沸素がゲート酸化膜に到達しその誘電率を下げる。逆に窒化膜で覆わない場合には、SiOF 膜中で動き得る沸素はそのほとんどが外方拡散で外に出ていくと推定される。この拡散は、350℃の最終アニールで起こったと推定される。実際、窒化膜をつけない SiOF 膜の熱昇華分析 (thermal desorption spectroscopy) において、300℃以上で HF の脱離が見られており¹⁹⁾、この推定を裏づけている。

5.3.2 回路性能向上の実証と比例縮小則からの必要性の検討

前節の検討により、メタル上も SiOF 膜とすればトランジスタ特性が変化しないことが解った。従って、通常の CVD 酸化膜を使用した場合とで回路特性を比較すれば、SiOF 膜による回路性能向上を実証できることになる。

メタル配線の下とその上に SiOF 膜(沸素濃度 14%、 $\epsilon = 3.6$)を使用したサンプル A の構造と、同一膜厚で通常の CVD 酸化膜($\epsilon = 4.3$)を使用したサンプル D の構造でゲート遅延時間 (tpd)を実測した^{20,24)}。結果を図 5-12 に示す。Nch MOSFET も Pch MOSFET もともにゲート長が $0.35 \mu\text{m}$ でゲート幅が $5 \mu\text{m}$ の単位ゲートを使用した。使用した回路は、1 層目の配線で構成した 2mm のメタル配線負荷と自己のゲート容量の 2 倍のゲート容量負荷 (=ファンアウト負荷 = F/O) を付けた 2NAND 回路 (2NAND, Metal=2mm, F/O=2) である。この回路を複数段つなぎ、段数の異なる 2 つの回路チェーンの遅延時間を測定し、その差から 1 段あたりの遅延時間を求めた。試作プロセスは、前節で述べた $0.35 \mu\text{m}$ CMOS プロセスである。測定結果から明かな様に、SiOF

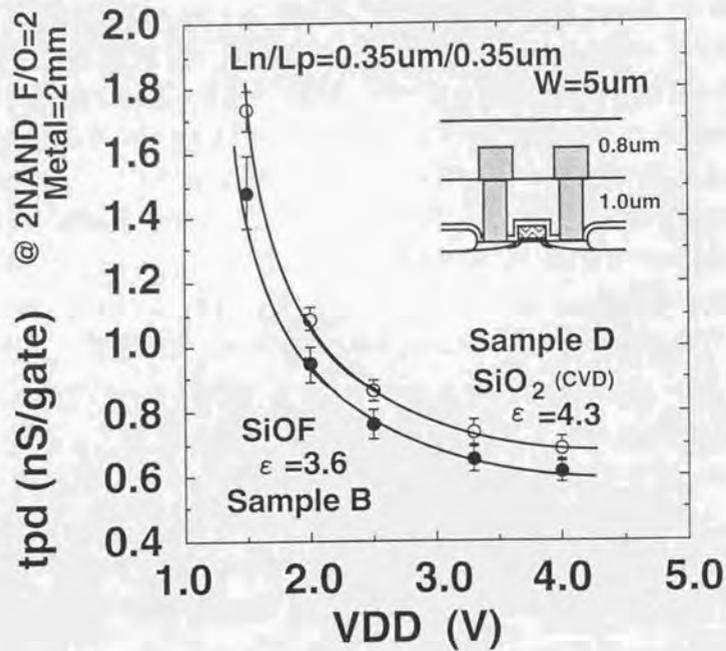


図 5-12 SiOF膜(沸素濃度14%、 $\epsilon = 3.6$)によるゲート遅延時間 (tpd)の改善。1層目の配線2mmで構成したメタル配線負荷付き2NANDチェーンでの実測結果。

膜を適用することで遅延時間が短くなり向上している。電圧が3.3ボルトの時、SiOF膜を使用することで13%の向上が得られた。サンプルAとDは、その膜厚が同一であり、また、メタル上もSiOF膜とした場合にはトランジスタ特性は変化しないことも確認している。従って、この遅延時間の向上はSiOF膜により誘電率が下がり配線容量が低減したためと言える。

さらに、SiOF膜が比例縮小則に沿った回路性能の向上のために不可欠であることを、回路シミュレーションによる解析も併用することで明確にした(20,24)。

各CMOS世代におけるゲート遅延時間を、実際のデバイスから導出したパラメータを使いシミュレーションした結果を図5-13に示す。ゲート遅延は、ゲートアレイの性能尺度としても使われる前述の2NAND, Metal=2mm, F/O=2の条件で求めた。各世代のデバイス構造、配線の幅と間隔、電源電圧を図上の表に示す。配線負荷としては前述の3隣接配線での容量を使用し、通常のCVD酸化膜($\epsilon = 4.3$)とSiOF膜($\epsilon = 3.0$ or 3.6)の場合を示した。

図より明らかな様に、3隣接配線を負荷として想定した場合、通常のCVD酸化膜を使い続けると0.35 μ m CMOSにおいては、前世代よりスピードが遅くなるのが解る。これはトランジスタ性能の向上より、隣接容量の寄与増大による配線容量の増大の方が上回ってしまうためである。従って、ゲート遅延時間を比例縮小則のトレンド通り前世代より2~3割高速にしようとする時、0.35 μ m CMOSにおいて既に低誘電率SiOF膜の採用が必要となる。さらに、その次の世代を考えた場合さらに低誘電率な膜が必要と言える。

図5-14は、同じく消費電力を計算した結果である。配線負荷、ファンアウト負荷を順次除いていくことによりトータルの消費電力を各成分に分離して示した。0.8 μ m世代に比べ0.5 μ m世代は、トータルの消費電力が大幅に低減している。これは、第3章でも述べた様に電源電圧が5ボルトより3.3ボルトに下がったことによる。しかしながら、0.35 μ mで通常のCVD酸化膜を使い続けた場合、消費電力においても前世代の0.5 μ mより悪化し増大してしまうことが解る。各成分で見ると、2NANDとF/Oの成分は0.5 μ mより0.35 μ mに縮小化されることにより減少している。しかしながら、配線で消

費される分が大きく増大していることが解る。従って、消費電力についても前世代より低減するためには0.35 μm CMOSにおいて低誘電率 SiOF 膜の採用が必要である。

また、この図には全体の消費電力に占める配線での消費電力の割合も付記している。0.8 μm 時代は、53.7%が配線で占められた。0.5 μm 世代では、67.5%となり、0.35 μm 世代では、70%を上回る。

これらの結果は、回路のスピードと消費電力を低減するには、低誘電率膜の採用が非常に重要であることを示している。さらに、LSI でのスピードと消費電力がともに、既に配線負荷によりそのほとんどが決まっている証左にもなる。

Design Rule (um)	Tr. Ln/Lp (um/um)	Tr. W (um)	Tox (nm)	Wiring L/S (um/um)	VDD (V)
0.8	0.8/1.0	16.7	15	1.2/1.2	5
0.5	0.5/0.6	10	10	0.8/0.8	3.3
0.35	0.35/0.35	6	7	0.6/0.6	3.3

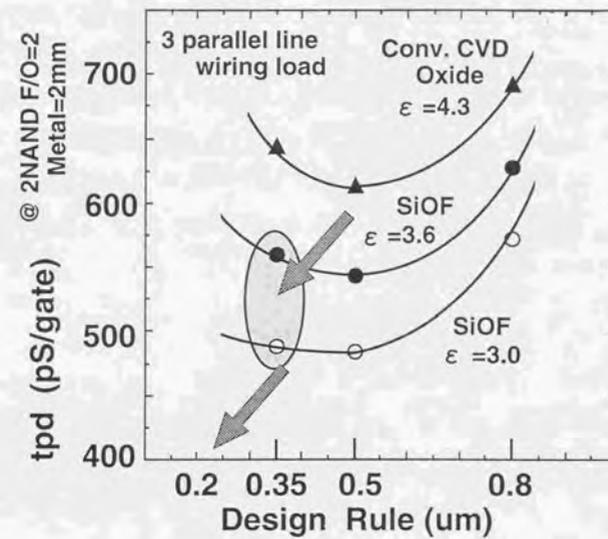


図 5-13 各CMOS世代におけるゲート遅延時間のトレンド。通常CVD膜とSiOF膜を使用した場合の結果。各世代のCMOS構造を表に示す。

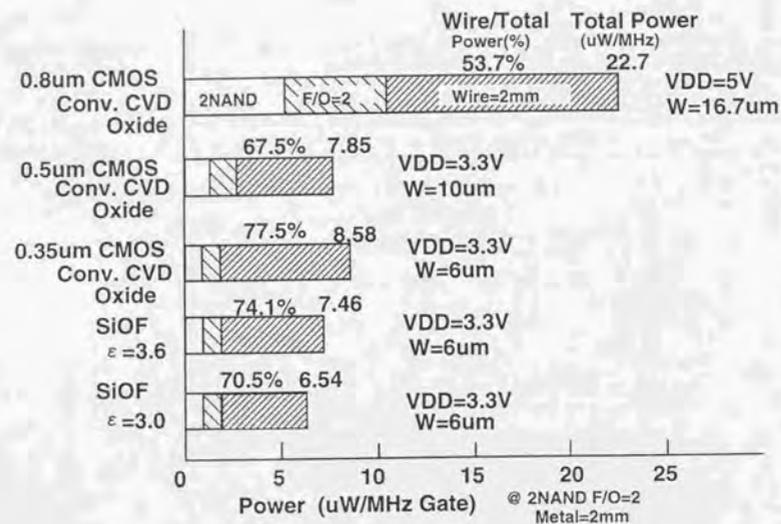


図 5-14 各世代CMOSでの消費電力のトレンドとSiOF膜による低減。配線負荷、ファンアウト負荷の各成分に分離して示す。

5.4 まとめ

近年その重要性が高まっている配線負荷の低減についてプロセス・デバイスの立場から検討した。まず、配線抵抗と配線容量のLSI中での重要性を対比して検討した。その結果、グローバルな配線領域でのみ遅延時間改善に効果のある低抵抗材料に対して、低誘電率膜はLSI中のローカル、及び、グローバルの両配線領域で効果があることを示し、低誘電率膜の開発の重要性を指摘した。

低誘電率絶縁膜であるフッ素添加の酸化膜をLSIに適用し、デバイス特性に与える影響を調べた。SiOF膜の上層に窒化膜を堆積した場合のみ相互コンダクタンスをはじめトランジスタ特性が大きく変動する現象を見出した。その原因は、SiOF膜中の沸素がゲート酸化膜に到達し、その誘電率を下げるためであることを突き止めた。

また、この結果を基に、トランジスタ特性の変化の無い条件でSiOF膜を0.35 μm CMOSに適用し遅延時間の改善効果を正確に実証した。さらに、回路シミュレーションでの解析も併用することで、隣接容量の寄与増大による配線容量の増加が、トランジスタ性能の向上を上回り、縮小化しても回路スピードと消費電力が向上しなくなることを明かにした。以上により、比例縮小則に沿って遅延時間と消費電力を低減するには、SiOF膜が0.35 μm CMOSで既に不可欠であることを明確にした。

第5章の参考文献

- 1) M. T. Bohr : "Interconnect Scaling - The Real Limiter to High Performance ULSI," International Electron Device Meeting, p241-244, 1995
- 2) K. Rahmat, O.S. Nakagawa, S-Y. Oh, and J. Moll : "A Scaling Scheme for Interconnect in Deep-Submicron Process," International Electron Device Meeting, p245-248, 1995
- 3) K. Banerjee, A. Amerasekera, G. Dixit, and C. Hu : "The Effect of Interconnect Scaling and Low-k Dielectric on the Thermal Characteristics of IC Metal," International Electron Device Meeting, p65-68, 1996
- 4) T. Igarashi, T. Yamanobe, and T. Ito : "Thermal Stability of Copper Interconnects Fabricated by Dry Etching Process," Thin Solid Films, Vol.262, p124-128, 1995 (For example)
- 5) J. Paraszczak, D.Edelstein, S. Cohen, E. Babich, and J. Hummel : "High performance dielectrics and processes for ULSI interconnection technologies," International Electron Device Meeting, p261-264, 1993
- 6) 井田、大友、宇佐見、吉丸、下川、北、おのだ、伊野 : "低誘電率 SiOF 膜の 0.35um CMOS への適用" 電子情報通信学会、信学技報 SDM94-168, pp35-40, 1994
- 7) B.H. Bakoglu : "Circuits, Interconnections, and Packaging for VLSI," Addison-Wesley, 1990
- 8) T. Sakurai : "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's," IEEE Trans. Electron Devices, Vol. ED-40, p118-124, 1993
- 9) Y. Ushiku, H. Kushibe, H.Ono, and A. Nishiyama : "Design Guidelines for Deep-Sub-Micrometer Interconnection," Internafinal VLSI Multilevel Interconnection Conference, p431-415, 1990
- 10) K. Koubuchi, J. Onuki, S. Fukuda, and M. Suwa : "Stress migration resistance of Al-Si=Pd alloy interconnects, Internafinal VLSI Multilevel Interconnection Conference, p419-426, 1989 (for exmaple)
- 11) J.B. Black : "Electromigration - A brief survey and some recent results," IEEE Trans. Electron Devices, Vol. ED-4, p338-347, 1969 (for exmaple)

- 12) P. Singer : "Challenges of Developing Low Dielectric Constant Materials," Semiconductor Internafinal, October, 34p, 1994
- 13) 田中、他 : "低誘電率層間膜としての有機 SOG 評価" 応用物理学会、春期全国大会、p720, 1994
- 14) M. Maeda, T. Makino, E. Yamamoto, and S. Konaka : "A Low-Permittivity Interconnection Using an SiBN Interlayer," IEEE Trans. Electron Devices, Vol. ED-36, p1610-1613, 1989
- 15) T. Homma and Y. Murao : "A Room Temperature CVD Technology for Interlayer in Deep-Submicron Multilevel Interconnection," International Electron Device Meeting, p289-292, 1991
- 16) T. Fukuda and T. Akahori : "Preparation of SiOF Films with Low Dielectric Constant by ECR Plasma Chemical Vapor Deposition," International Conference on Solid State Devices and Materials, p158-160, 1993
- 17) T. Usami, K. Shimokawa, and M. Yoshimaru : "Low Dielectric Constant Interlayer Using Fluorine Doped Silicon Oxide," International Conference on Solid State Devices and Materials, p161-163, 1993
- 18) 中崎、早坂 : "フッ素添加 CVD-SiO₂ 膜の低誘電率化メカニズム" 応用物理学会、春期全国大会、p719, 1994
- 19) M. Yoshimaru, S. Koizumi, K. Shimokawa, and J. Ida : "Interaction between water and fluorine doped silicon oxide film deposited by PECVD," IEEE Internafinal Reliability Physics Symposium, 1997, pp234-341
- 20) Jiro Ida, Atsushi Ohtomo and Masashi Yoshimaru : "Influence of Low Dielectric SiOF Film on MOSFET Characteristics and Its Impact on Circuit Performance" to be appeared on Jpn. J. Appl. Phys. in 1998
- 21) S.M. Sze : "Physics of Semiconductor Devices, 2nd edition," Wiley New York, 1981
- 22) G. Groeseneken, H. E. Maes, N. Beltrain, and R. F. Dekeersmaecker : "A Reliable Approach to Charge-Pumping Measurements in MOS Transistor," IEEE Trans. Electron Devices, ED-31, p42-53, 1984

- 23) D. N. Kouvatso, F. A. Stevie, and R.J. Jaccodine : " Interface State Density Reduction and Effect of Oxidation Temperature on Fluorine Incorporation and Profiling for Fluorinated Metal Oxide Semiconductor Capacitors," J. Electrochem. Soc. Vol. 140, p1160-1164, 1993
- 24) Jiro Ida, Masashi Yoshimaru, T. Usami, A. Ohtomo, K. Shimokawa, A. Kita and M. Ino : "Reduction of Wiring Capacitance with New Low Dielectric SiOF Interlayer Film for High Speed/Low Power Sub-half Micron CMOS," Symposium on VLSI Technology, Tech Dig. pp59-60, 1994

第6章 総括

本論文はゲート長が $1\mu\text{m}$ を切るサブミクロン CMOS プロセス・デバイス技術において、高速化・低消費電力化の追究に主眼を置き具体的に検討した内容をまとめたものである。サブミクロン時代において高速・低消費電力化のために重要な以下の3項目の観点から検討を行なった。すなわち、MOSFETの縮小化の検討、ソース・ドレイン領域の寄生抵抗と容量の低減の検討、さらには、配線負荷の低減の検討である。

第1章で研究の背景と目的、さらに、論文の構成と概要を述べた。第2章では、第3章以降の具体的な検討の基礎として、MOSFETを縮小化する上での課題と寄生抵抗・容量が顕在化した理由をまとめた。第3章では、MOSFETの縮小化について具体的に検討した内容を述べた。第4章では、ソース・ドレインの寄生抵抗・容量の削減について、それを実現する TiSi_2 のサリサイドプロセスとそれを発展させた TiSi_2 のローカル配線プロセスの検討を通して述べた。第5章においては、近年その重要性が高まっている配線負荷の低減について検討した内容を述べた。

本研究で得られた成果を要約すると以下の様になる。

(1) MOSFETの縮小化の検討

- a. サブミクロン時代には、ホットキャリア効果の抑制のためLDD構造MOSFETが主流となった。そのLDD構造MOSFETの性能評価の基礎となるソース・ドレイン間の距離に正確に対応する実効ゲート長の測定法の提案を行った。
- b. この方法を使うことにより、異なるLDD構造MOSFET間でのデバイス性能の比較を、物理的イメージと合う形で初めて可能とした。特に、サブミクロンMOSFETのAC動作解析で重要なオーバーラップ容量の解析を可能とした。
- c. 同一実効ゲート長で比較すると、 $0.8\mu\text{m}$ 時代に提案されたオーバーラップ型LDD構造MOSFETではオーバーラップ容量の増大がドレイン電流の増大を上回ってしまう。その結果、通常型LDD構造MOSFETに比べて伝搬遅延時間が遅くなることを初めて明確に示した。

d. 以上の検討を基礎として、低電圧でも高速なハーフミクロン CMOS デバイス構造である Narrow Sidewall 型 CMOS 構造の提案を行った。この構造は、Narrow Sidewall と Retrograde チャネルプロファイルの2つの特徴を持つ。前者は、ホットキャリア耐性を維持しつつ駆動電流を大きくでき、後者は、短チャネル効果を抑制しつつ垂直方向の電界を弱めることで駆動電流を大きくできる。さらに、この構造が比例縮小則のトレンドに沿った高速性を持つことを実証した。

ここで提案した測定法は、現在も国内外で広く使用・検討されている。また、Narrow Sidewall 型 CMOS は、 $0.5 \mu\text{m}$ 時代の最適解のひとつとして実用化・量産されている。

(2) ソース・ドレイン寄生抵抗・容量の低減の検討

a. サリサイドプロセスについて、不純物の再分布がサブハーフミクロン MOSFET では重大な課題であることを示した。浅い接合を持つ Pch MOSFET において、さらに、ポストアニールを行なうとドレイン電流の劣化が起こることを見出した。物理分析と、新たに構築したプロセス・デバイスシミュレーションの解析により TiSi_2 中への不純物の再分布がその原因であることを明確にした。

b. この問題の解決法であり、かつ、設計自由度の高い2重ソース・ドレイン構造を提案した。

c. TiSi_2 ローカル配線プロセスについて、ローカル配線層で接続された N+P 接合と P+N 接合では、P+N 接合の特性のみ劣化することを見出した。また、評価用のテストパターンを工夫することで、これが不純物の相互拡散によっていることを示した。さらに、この現象を説明する相互拡散モデルを提示した。

d. このローカル配線技術が、今後の低電圧下でのさらなる低消費電力 CMOS 技術として重要であることを示した。基本回路に適用し電源電圧=1 ボルトで 25%も低消費電力化が達成されることを示した。さらに、SRAM マクロにも適応して大規模 LSI 中での消費電力低減の効果も具体的に実証した。

e. ローカル配線の適用で実現される小さな 2 ポート SRAM で問題となるビット線間の干渉による誤動作を防止する方式として、Divided Layer Bitline Dual Port 方式 SRAM を提案した。

(3) 配線負荷の低減

a. 配線抵抗と配線容量の LSI 中での位置づけを対比して検討し、低抵抗材料はグローバルな配線領域のみで遅延時間改善に効果があるのに対して、低誘電率膜は LSI 中のローカル、及び、グローバルの両配線領域で効果があることを示し、低誘電率膜開発の重要性を指摘した。

b. 低誘電率絶縁膜であるフッ素添加の酸化膜 (SiOF 膜) を LSI に適用し、デバイス特性に現れる新しい現象を見出した。また、その解析結果から正確な評価を可能とし、SiOF 膜による遅延時間改善の効果を $0.35 \mu\text{m}$ CMOS で実証した。

c. さらに、回路シミュレーションでの解析も併用して、比例縮小則に沿って回路の遅延時間と消費電力を低減するには、SiOF 膜が $0.35 \mu\text{m}$ CMOS で既に不可欠であることを明確にした。

本研究が契機のひとつとなり、低誘電率膜の研究が近年盛んになっている。また、SiOF 膜の形成装置も装置メーカーより発表される様になった。

謝辞

本論文をまとめるにあたり、御指導・御助言をいただいた主査である東京大学工学部伊藤良一教授に心より御礼申し上げます。また、東京大学工学部 白木靖寛教授、尾鍋研太郎教授、鳳紘一郎教授、岡部洋一教授にも、御指導・御助言をいただきました。ここに、深く感謝いたします。

本研究は筆者が、1986年から1998年の間、沖電気工業株式会社電子デバイス事業本部超LSI研究開発センターにおいて、サブミクロンCMOSプロセス・デバイス技術の研究開発を行ってきた成果をまとめたものです。

本研究を遂行するにあたり大きな励ましと御指導をいただきました沖電気工業株式会社超LSI研究開発センター長伊野昌義取締役、宮城沖電気生産技術部市川文雄部長、沖エンジニアリング信頼性技術部岡恒夫部長、超LSI研究開発センターデバイス研究第1部鉄田博部長、吉丸正樹部長、北明夫課長、同第2部西謙二部長、上田潤部長に心から感謝いたします。

本研究の遂行にあたり協力していただいた超LSI研究開発センターの大友篤氏、梶田陽子氏、石井聡巳氏、森川剛一氏、李典洪氏、米川清隆氏、甲斐和彦氏の各氏に心から感謝いたします。

さらに、本研究の遂行にあたり数々の協力をしていただいた超LSI研究開発センターの各位、また、プロセス技術センターの各位に心から感謝いたします。

末筆ではありますが、筆者が研究開発に専心できるのも、両親、並びに、妻清子の協力があればこそです。改めて感謝します。

発表論文一覧

- (1) Jiro Ida, Satoshi Ishii, Youko Kajita, Tomonobu Yokoyama and Masayoshi Ino : "A Highly Drivable CMOS Design with Very Narrow Sidewall and Novel Channel Profile for 3.3V High Speed Logic Application," IEICE Transaction on Electronics, Vol. E76-C No.4, pp525-531, 1993
- (2) Jiro Ida, Satoshi Ishii, and Fumio Ichikawa: "Accurate Characterization of Gate-N- Overlaped LDD with the New Leff Extraction Method," IEEE International Electron Device Meeting, Tech. Dig. 1990, pp219-222
- (3) Jiro Ida, Akio Kita, and Fumio Ichikawa: "A New Extraction Method for Effective Channel Length on Lightly Doped Drain MOSFET's," IEEE International Conference on Microelectronic Test Structures, Tech Dig. 1990, pp117-122

以上 第3章

- (4) Jiro Ida and Atsushi Ohtomo : "Characterization of Dopant Interdiffusion and Power Reduction on TiSi₂ Local Wiring Technology in Sub Half Micron CMOS," Jpn. J. Appl. Phys. Vol.37, pp1674-1679, 1998
- (5) Kouichi Morikawa and Jiro Ida : " Power Reduction of New Divided Layer Bitline Dual Port SRAM with an advanced a-Si/Ti Local Wiring Scheme," IEICE Transaction on Electronics, Vol. E79-C No-12, pp1713-1719, 1996
- (6) Atushi Ohtomo, Jiro Ida, Kiyotaka Yonekawa, Kazuhiko Kai, Izumi Aikawa, Akio Kita and Kenji Nishi : "Dopant Redistribution Effect on Post-Junction Silicide Scheme Shallow Junction and a proposal of Novel Self-Aligned Silicide Scheme," Jpn. J. Appl. Phys. Vol.33, pp475-479, 1994
- (7) Jiro Ida, Atsushi Ohtomo, Kouichi Morikawa and Hiroshi Onoda : " Analysis of Dopant Interdiffusion and Parasitics Reduction on a-Si/Ti Local Wiring Scheme" International Conference on Advanced LSI, Korea, 1997

(8) A. Ohtomo, J. Ida, K. Kai, K. Yonokawa, A. Kita and K. Nishi: "Impact of Dopant-Redistribution at TiSi₂/Si Interface and a Doubly-S/D-Ion-Implanted-Salicide Structure for Subhalfmicron CMOS," International Conference on Solid State Devices and Materials, Extended Abst. pp. 564-566, 1993

(9) K. Kai, H. Sakakura, K. Fukuda, S. Kuroda, A. Ohtomo, J. Ida and K. Nishi: "Impact of Drain Profiles on Ti-Salicydized pMOSFET Characteristics analyzed by a First Comprehensive Coupled Process/Device Simulator for Salicydized MOSFETs," IEEE International Electron Device Meeting, Tech. Dig. 1993

(10) A. Ohtomo, J. Ida, N. Ozawa, M. Kagayama, and H. Onoda: "New Characterization of TiSi₂ Local Wiring Technology and Its Impact on Low Power /High Speed Quarter Micron CMOS," International Conference on Solid State Devices and Materials, Extended Abst. pp321-323, 1995

以上 第4章

(11) Jiro Ida, Atsushi Ohtomo and Masashi Yoshimaru: "Influence of Low Dielectric SiOF Film on MOSFET Characteristics and Its Impact on Circuit Performance" to be appeared on Jpn. J. Appl. Phys. in 1998

(12) Jiro Ida, Masashi Yoshimaru, T. Usami, A. Ohtomo, K. Shimokawa, A. Kita and M. Ino: "Reduction of Wiring Capacitance with New Low Dielectric SiOF Interlayer Film for High Speed/Low Power Sub-half Micron CMOS," Symposium on VLSI Technology, Tech Dig. pp59-60, 1994

(13) M. Yoshimaru, S. Koizumi, K. Shimokawa, and J. Ida: "Interaction between water and fluorine doped silicon oxide film deposited by PECVD," IEEE International Reliability Physics Symposium, 1997, pp234-341

以上 第5章

その他の関連発表

(14) 井田、北、福田、市川: "LDD MOS FETにおける実効ゲート長の測定法" 電子情報通信学会、信学技報 SDM90-12, pp17-23, 1990

(15) 井田、北、市川: "LDD 実効ゲート長のゲート電圧依存性" 電子情報通信学会、春季全国大会 5-209, 1989

(16) 井田、梶田、西: "プロセス・デバイスシミュレーションシステム UNISAS のハーフミクロン MOSFET 設計への応用" 沖研究開発 1992年1月号 153号 Vol.59, No.1 pp65-68 1992

(17) Jiro Ida, Youko Kajita and Kenji Nishi: "An Application of Process/Device Simulation System, UNISAS, to Half-Micron MOSFET Design," OKI Technical Review 145 Vol.58, pp27-30, 1992

(18) 井田、大友、森川、鉄田: "a-Si/Ti ローカル配線での相互拡散、寄生容量低減の解析" 電子情報通信学会、信学技報 SDM97-45 pp13-18, 1997

(19) 井田、大友、米川、梶田、北: "2重ソース/ドレイン・インプラ法を使用した0.3μm サリサイド化 CMOS" 電子情報通信学会、春季全国大会 5-551 1993

(20) 井田、佐々木、味岡: "a-Si/Ti/SiO₂系のサリサイド化反応" 応物学会、春季全国大会 29p-B-11 1987

(21) 井田、大友、宇佐見、吉丸、下川、北、おのだ、伊野: "低誘電率 SiOF 膜の0.35μm CMOSへの適用" 電子情報通信学会、信学技報 SDM94-168 pp35-40, 1994

(22) 井田、大友、吉丸: "低誘電率層間膜のサブハーフミクロン CMOSへの応用" 沖研究開発 1996年1月号 169号 Vol.63, No.1 pp87-90 1996

(23) Jiro Ida, Atsushi Ohtomo and Masaki Yoshimaru: "Application of Low Dielectric Interlayer Film on Sub Half Micron CMOS," OKI Technical Review 155 Vol.62, pp47-50, 1996

(24) H. Uchida, Y. Kajita, K. Fukuda, J. Ida, N. Hirashita and K. Nishi: "A New Capacitance Measurement Method for Lateral Diffusion Profiles in MOSFET's with Extremely Short Overlap Regions," Symposium on VLSI Technology, Tech Dig. 1993

(25) 馬場、井田、内山、西、上田: "サブミクロン P-MOSFET のホットキャリア効果についての検討" 電子情報通信学会、信学技報 SDM88-109 pp41-46 1988

(26) 吉野、井田、佐々木: "薄い酸化膜を通したボロンの拡散" 応物学会、春季全国大会 30p-C-9 559p 1987

- (27) 梶田、井田、北、伊野：“埋め込みチャネル型 PMOS におけるチャネルプロファイルの検討” 応物学会、秋季全国大会 9a-SF-22 649p 1991
- (28) 米川、井田、伊野：“Ti サリサイド構造における Latch up 耐性評価” 応物学会、秋季全国大会 17p-ZS-16 659p 1992
- (29) 大友、米川、井田、梶田、北：“Ti サリサイド MOSFET 動作に及ぼす TiSi₂/Si コンタクト抵抗の影響” 応物学会、春季全国大会 17p-ZS-16 659p 1993
- (30) 梶田、井田、北、伊野：“低エネルギー-LDD 層イオン注入を用いた 0.3um NMOS のホットキャリア特性” 応物学会、春季全国大会 1993
- (31) 坂倉、甲斐、大友、井田、福田、西：“サリサイド MOSFET のプロセス・デバイス一貫シミュレーションの開発” 応物学会、秋季全国大会 1993
- (32) 大友、宇佐見、井田、下川、北、吉丸：“SiOF 層間絶縁膜のトランジスタ特性に及ぼす影響の検討” 応物学会、春季全国大会 1994
- (33) 甲斐、坂倉、大友、井田、黒田、福田、西：“プロセス・デバイス一貫シミュレーションによるサリサイド MOSFET ドレイン内部電流分布の解析” 応物学会、春季全国大会 1994
- (34) 大友、井田、米川、小沢、若松、北：“TiSi₂ ローカル配線プロセスを用いた低接合容量クォータミクロン CMOS” 応物学会、秋季全国大会 1994
- (35) 吉丸、下川、井田：“低誘電率絶縁膜としてのフッ素添加 CVD シリコン酸化膜” 電気学会 1995
- (36) 篠原、甲斐、合川、伊藤、福田、内田、井田：“補償法による浅接合エクステンション構造をもつ 0.2um BC PMOSFET の検討” 応物学会、秋季全国大会 1997

その他の研究発表

- (37) K. Namba and J. Ida：“Copper Vapor Laser Pumped Dye Amplifier of a CW Dye Laser,” Jap. J. Appl. Phys., Vol. 23, p1330-1335, 1984
- (38) Y. Kawai, E. Uchida, M. Itoh, M. Yoshimaru, and J. Ida：“The Effect of Capacitor Electrode Contaminant on High Density DRAM's Device Characteristics,” Extended Abst. of International Conference on Solid State Devices and Materials, p34-35, 1997
- (39) 李、井田、村上、北：“インプラでのチャージアップによるゲート酸化膜破壊のゲート面積依存性” 応物学会、秋季全国大会 1994

- (40) 影山、梶田、橋本、原田、井田、吉丸、おのだ：“多層配線における埋め込み Via Hole 形成技術” 電子情報通信学会、秋季全国大会 1995
- (41/42) 梶田、影山、山内、小沢、井田、吉丸、おのだ：“多層配線における埋め込み Via Hole 形成技術 1&2” 応物学会、秋季全国大会、1995
- (43) 李、渋沢、井田：“ゲート酸化膜膜質の RTA 処理による回復” 応物学会、秋季全国大会、1995
- (44) 河合、山内、高瀬、内田、吉丸、井田：“Ru 汚染によるデバイス特性への影響” 応物学会、春季全国大会、1997

