

1 はじめに

1.1 研究背景

1947年のバイポーラトランジスタの発明以来、半導体産業は人々の仕事や生活に非常に大きな影響を与えた。経済的な面から、半導体産業の世界全体の売り上げは去年ですでに2550億ドルになった。

半導体産業では、complementary-metal-oxide-semiconductor (CMOS) very-large-scale-integrated-circuits (VLSI)と呼ばれる技術を基盤として成り立っている。そして、VLSIにおいては、silicon(metal)-oxide-semiconductor field-effect-transistor (MOSFET)が基本のデバイスとなっている。

MOSFETは1960年にD.KahngとM.Atallaにより提案されて[1]以来48年が過ぎた。過去数十年の間に、スケーリング則によるMOSFETの微細化を通じて、VLSIの消費電力はより小さく、動作速度はより速く、そして製造コストはより安く、といった性能向上が図られてきた。

スケーリング則にはいくつかの種類があるが、その中で主流となるのは表1.1に示した定電界スケーリング則と定電圧スケーリング則である[2]。

定電界のスケーリング則はデバイスの横方向寸法、縦方向寸法、及び電圧を同時に $1/K$ ($K > 1$)で縮小するとデバイスの内部電界を一定に保ちつつ回路の遅延時間、消費電力を少なくできるというものである。定電界のスケーリング則にしたがって、デバイスをスケーリングする場合、スケーリングされたデバイスの信頼性がもとのデバイスよりも悪くないことを保証する。

一方、電源電圧を決める一番重要な要素はデバイスの閾値電圧である。閾値電圧の一般的に式(1.1)で表す。材料に関連しているパラメータ(仕事関数、エネルギーギャップ)はスケーリングとともに変化しないので、閾値電圧は比例縮小することができず、電源電圧はスケーリング則にしたがって比例縮小することができない。

$$V_t = V_{fb} + 2\phi_B + \frac{\sqrt{2\epsilon_{si} q N_a (2\phi_B + V_{bs})}}{C_{ox}} \quad (1.1)$$

電圧を一定にして、デバイスの横方向寸法、縦方向寸法を同時に $1/K$ ($K > 1$)で縮小するのは定電圧スケーリング則である。表1.1から、単純に定電圧スケーリング則にしたがって、デバイスをスケーリングすると、消費電力密度が急激に増大するので、チップ上で生成される過剰な熱を放散させるという極めて重い課題を負わせる。したがって、現在までCMOSテクノロジーの発展は定電界スケーリングと定電圧スケーリングを組み合わせた段階にしたがっている。

Table 1.1 Scaling rules (Long channel devices) .

デバイスパラメータ	電界一定	電圧一定
デバイス寸法 L_g, W, t_{ox}	$1/K$	$1/K$
電圧 V	$1/K$	1
電界 E	1	K
電流 I	$1/K$	K
負荷容量 C	$1/K$	$1/K$
遅延時間 VC/I	$1/K$	$1/K^2$
消費電力 IV	$1/K^2$	K
消費電力密度 VI/L_gW	1	K^3

しかし、ゲート長が数十 nm の時代に入ると、定電界スケーリング則と定電圧スケーリング則を組み合わせたスケーリングはできなくなる。その理由としては、ゲート長が短くなることとともに、Sファクタが劣化することである。

Sファクタは式(1.2)で表している。式②から、Sファクタはドレイン電流が10倍増大する時、ゲート電圧が増大すべき量を表している。つまり、Sファクタが低いほど、ドレイン電流のオンオフ比が大きく取れる。Sファクタをできる限り低くする必要がある。

$$S = \left(\frac{d(\log_{10} I_{ds})}{dV_g} \right)^{-1} = 2.3 \frac{kT}{q} \left(1 + \frac{C_{dm}}{C_{ox}} \right) \quad (1.2)$$

しかし、ゲート長が十 nm の時代に入ると、短チャネル効果によって、Sファクタが劣化する(増大する)。Sファクタが劣化すると、同じオン電流を得る場合、Sファクタが劣化しない場合と比べて、デバイスの閾値電圧を増大する必要がある。つまり、Sファクタが劣化することによって、閾値電圧が完全にスケーリングできなくて、電源電圧もスケーリングできなくて、完全な定電圧スケーリング則にしたがってスケーリングが進むしかない。しかし、表 1.1 で示したように、完全な定電圧スケーリング則にしたがってスケーリングが進むと、極めて大きい消費電力になる。したがって、MOSFET デバイスをさらなるスケーリングできるため、Sファクタを低減できるための研究が極めて重要な研究である。

一方、同じオン電流が得られた場合、Sファクタが劣化するデバイスのほうが、ゲート電圧が0Vの時のオフ電流が増大する。ゲート長が数十 nm になる時代では、S値の劣化と閾値電圧の低下によって、ゲート電圧0Vの時オフ電流 I_{off} が増大するという問題(図 1.1)がさらなる微細化によって消費電力が増大する主要な要因になっている。

MOSFET デバイスをさらなるスケーリングできるため、さらなる微細化によって消費電力が増大する問題を解決できるため、Sファクタを低減するための研究が極めて重要な研究となっている。

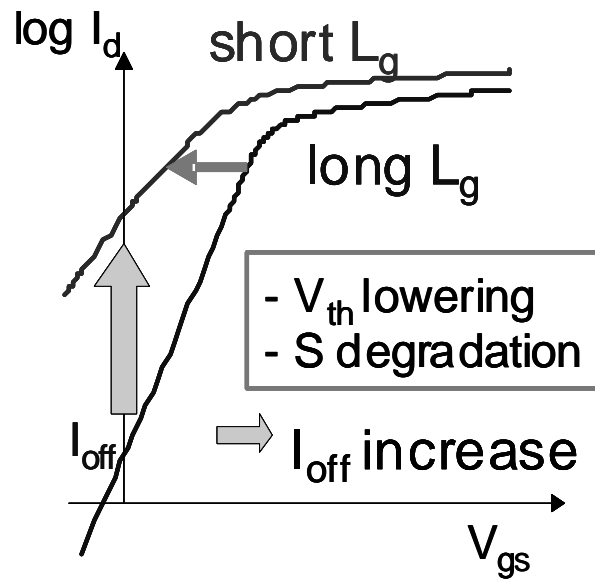


Fig. 1.1 The results of short channel effect in Id-Vg curves.

1.2 本研究の目的

1.1 で述べたように、S ファクタを減らすための研究が極めて重要な課題となっている。S ファクタを減らすために、さまざまな研究が行われた。図 1.2 はさまざまな構造/原理が違うデバイスで得られた最小の S ファクタを示したグラフである[3-7]。

図 1 を見ると S ファクタを低減する点から micro electro-mechanical systems (MEMS)技術と従来の MOSFET と融合した可動ゲート MOSFET という方法は、一番有力な方法であるということがわかる。したがって、S 値を低減できるため、(MEMS)技術と従来の MOSFET と融合した可動ゲートトランジスタの研究が極めて重要な研究だと考える。

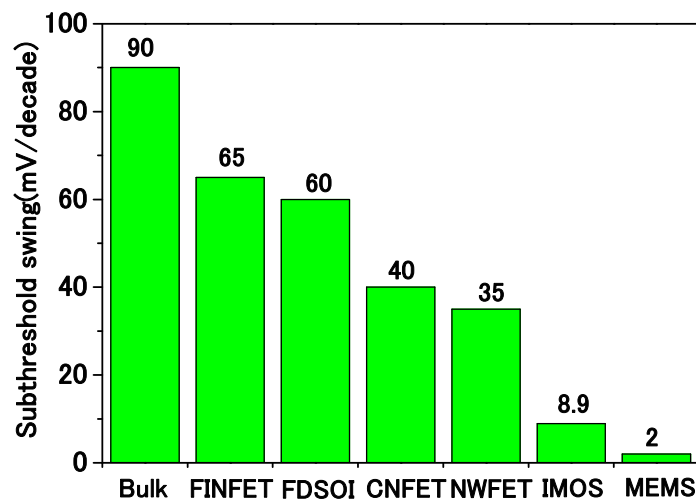


Fig. 1.2 Minimum subthreshold swings reported in the literature for various emerging device structures.

現在まで、反転型可動ゲートトランジスタのシミュレーションと試作の研究が行われていた[7-10]。反転型可動ゲートトランジスタのみで構成するインバータ回路[11-13]と現在の技術で試作することが不可能の蓄積型可動ゲートトランジスタに関するシミュレーションの研究も行った[14-15]。以上述べたような背景から本研究の目的を次に示す。

①現在の技術で作製可能になる蓄積型可動ゲートトランジスタ(AMG-MOSFET)を提案して、シミュレーション上で実証する。さらに、提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)を成功に作製し、作製したデバイスを測定する。提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)では、シミュレーション上と実測で小さい S ファクタが得られるかどうかを調査する。

②共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路を提案して、シミュレーション上で実証する。小さい S ファクタを持つ可動ゲートトランジスタで構成するインバータ回路の消費電力が従来の CMOS インバータ回路より低減できるかどうかを調べる。提案したインバータ回路の消費電力を低減するための条件を考察する。

1.3 本論文の構成

本論文の構成を示す

1 章では、LSI デバイスの微細化に伴うゲートリーク電流及びトランジスタがオフ状態のスタンバイ消費電力増大の問題を背景として述べた。そして、この問題を解決ために、可動ゲートトランジスタ及び可動ゲートトランジスタで構成するインバータ回路の研究の重要性を述べた。

2 章では、今まで提案した 2 種類の可動ゲートトランジスタの原理を述べた後に、本研究で提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)の原理を紹介する。さらに提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)のシミュレーション結果を報告する。

3 章では、提案した共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路を原理を述べた後に、回路動作をシミュレーション上で実証する。そして、二つのモデルで提案したインバータ回路の性質を比較してから、提案したインバータ回路の最適化する方法を考察する。

4 章では、提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)の作製プロセス及び実測結果を紹介する。

5 章では、本論文全体のまとめと今後の課題を述べる。

第2章 可動ゲートトランジスタ

2.1 可動ゲートトランジスタの基本原理

図 2.1 で MOSFET デバイスの断面図と可動ゲート MOSFET の断面図を示している。一般の MOSFET では、ゲートがチャネル絶縁膜の上に固定され、機械的には動くことができない。それに対して、可動ゲート MOSFET ではゲートとチャネル絶縁膜の間に空気ギャップを形成して、ゲートに印加する電圧で発生する静電引力によって、ゲートが機械的に動くことができる。ゲートがチャネル絶縁膜と離れる状態からチャネル絶縁膜と接触する状態に変わるとは pull-in と呼ばれ、ゲートがチャネル絶縁膜と接触する時の電圧は pull-in 電圧と呼ばれる。それに対して、ゲートがチャネル絶縁膜と接触する状態からチャネル絶縁膜と離れる状態に変わると pull-out と呼ばれ、ゲートがチャネル絶縁膜と離れる時の電圧は pull-out 電圧と呼ばれる。

ゲートが機械的に動くことによって、一つの MOSFET が二つの閾値電圧が違う MOSFET として働くことが実現できる。ゲートがゲート絶縁膜と離れる時、このトランジスタが air-gap MOSFET(図 2.2)となり、閾値電圧が一般の MOSFET より大幅に増加する。一方、ゲートがゲート絶縁膜と接触する時、このトランジスタが一般の MOSFET(図 2.2 の中の normal MOSFET)に相当する。air-gap MOSFET の閾値電圧を V_{tA} に仮定して、normal MOSFET の閾値電圧を V_{tB} に仮定する。Pull-in 電圧が V_{tA} と V_{tB} の間になると、可動ゲートトランジスタでは一般の MOSFET より非常に急峻なドレイン電流の立ち上がりが見られる。従来の MOSFET 理論上で最小 S ファクタ(60mv/decade)より小さい S ファクタが実現できるので、可動ゲートトランジスタがスタンバイ時消費電力を下げるため、非常に有力な方法である。可動ゲートトランジスタの研究が、非常に魅力ある研究だと考える。

可動ゲートトランジスタで非常に小さい S ファクタが得られる一番重要な条件が Pull-in 電圧が V_{tA} と V_{tB} の間になることである。Pull-in 電圧が V_{tB} より小さくなると、可動ゲートトランジスタが一般の MOSFET となる。Pull-in 電圧が V_{tA} より大きくなると、可動ゲートトランジスタが一般の MOSFET より S ファクタがもっと悪い MOSFET となる。したがって、可動ゲートトランジスタの Pull-in 電圧の制御が非常に重要である。

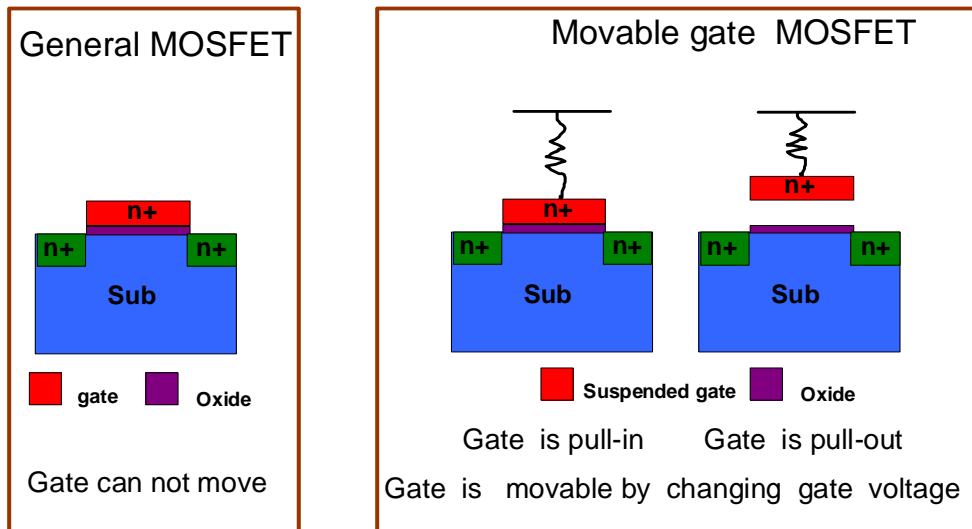


Fig. 2.1 The cross section of general MOSFET and movable gate MOSFET.

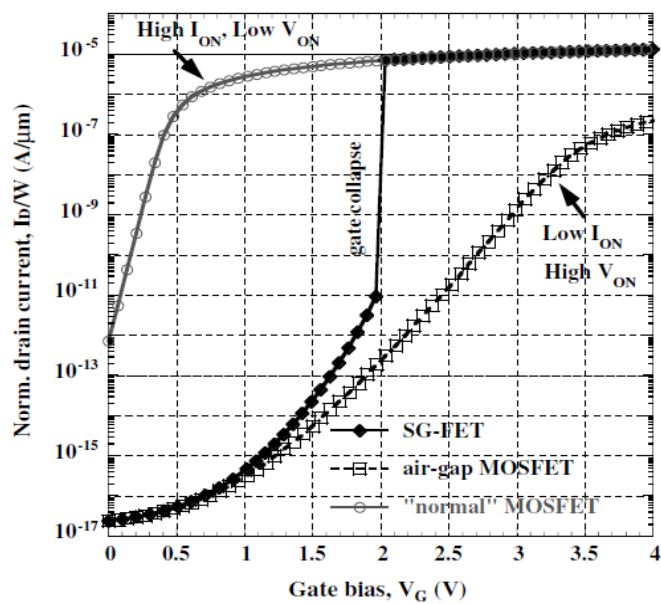


Fig. 2.2 Transfer characteristic $I_D(V_G)$ of a SG-FET showing the two stable states with two different “onset” voltages: one with high V_{on} when the suspended gate is up, resulting in an extremely low “off” current and a second state with low V_{on} when the gate is snapped on the gate dielectric(after collapsing),providing a very high “on” current [12].

現在まですでに 2 種類の可動ゲートトランジスタが研究された。2 種類の可動ゲートトランジスタのさまざまな重要な特性をまとめたものが表 2.1 である。ゲートがチャネル絶縁膜と接触する時、トランジスタが on 状態になるのは Suspended-Gate MOSFET と呼ばれるトランジスタである；ゲートがチャネル絶縁膜と接触する時、トランジスタが off 状態になるのは NEMFET と呼ばれるトランジスタである。次に、この 2 種類の可動ゲートトランジスタの性質を詳しく紹介する。

Table 2.1 The summary of two different kinds of movable gate transistors.

	SG-MOSFET	NEMFET
On State	Gate is down	Gate is up
Off State	Gate is up	Gate is down
Type	Inversion	Accumulation
Driving Force	Electrostatic force caused by the electric potential difference (caused by gate voltage)	Electrostatic force caused by the work function difference
Research progress	Simulation and device fabrication	Only Simulation

2.2 反転型可動ゲートトランジスタ

2.2.1 反転型可動ゲートトランジスタの原理

反転型可動ゲートトランジスタに関しては 2005 年の IEDM で始めて試作結果に関する報告があった[7]。その報告では、反転型の可動ゲートトランジスタは Suspended-Gate MOSFET で呼ばれている。

Suspended-Gate MOSFET[7]とはゲートに電圧を印加することで、ゲートとチャネルの間に静電気力を発生させて、ゲートを動かす、ゲートに十分大きい電圧を印加することで、ゲートがチャネル絶縁膜と接触するようになる可動ゲート MOSFET である。

図 2.3 は n チャネルの SG-MOSFET の断面図になる。ゲート電圧が 0V の時、SG-MOSFET のゲートの位置が図 2.3(a) のようになる。そして、ゲートにプラスの電圧を印加して行くと、あるゲート電圧 ($V_{\text{pull-in}}$) まではゲートにかかる静電気力、重力と弾性力が平衡を保つようにゲートが動く。そして V_g が $V_{\text{pull-in}}$ に達すると、静電気力、重力と弾性力の平衡状態が破れの非平衡状態になって、ゲートが急速に落ちて、最終的にゲートとチャネル絶縁膜が接触する。この現象は pull-in と呼ばれる。この時のゲート電圧は pull-in 電圧と呼ばれる。式 (2.1) は可動ゲートのバネ定数を、式 (2.2) に pull-in 電圧を示す。

$$k = \frac{16Elh^3}{w^3} \quad (2.1)$$

$$V_{pi} = \sqrt{\frac{8kt^3_{gap}}{27\epsilon_0 A}} \quad (2.2)$$

k はゲートの厚さ、長さ、材料など複数のパラメータから決まるバネ定数である。k は式

(2.1)で表される。式(2.1)の中の E はヤング率、 l はゲート幅、 W はゲート長、 h はゲート高さを意味している。 $V_{\text{pull-in}}$ 電圧は可動ゲートトランジスタの中で非常に重要な性質である。 $V_{\text{pull-in}}$ は式(2.2)で表させる。式(2.2)の A はゲート面積、 k はバネ定数、 t_{gap} はギャップ高さを意味している。

SG-MOSFET の実際の試作の研究が始まる前に、式(2.1)と式(2.2)に基づいたシミュレーションの研究結果は図 2.4、図 2.5、図 2.6 となる。図 2.4 はギャップの高さ t_{gap} のみを変えて、 pull-in 電圧とギャップの高さの関係を示すシミュレーションの研究結果である。図 2.5 はバネ定数 k のみを変えて、 pull-in 電圧とバネ定数の関係を示すシミュレーションの研究結果である。図 2.6 はゲート面積 A のみを変えて、 pull-in 電圧とゲート面積の関係を示すシミュレーションの研究結果である。そして、図 2.4 から図 2.6 までの3つの図での縦軸がギャップ高さを意味している。ギャップの高さが急峻に変化する所の横軸に対応する電圧の値が pull-in 電圧になる。

図 2.4、図 2.5、図 2.6 を見ると、式(2.2)で書いたように、ギャップ高さ t_{gap} 、バネ定数 k を減らし、ゲート面積 A を増加させれば、 pull-in 電圧 $V_{\text{pull-in}}$ を低減できるということがわかる。

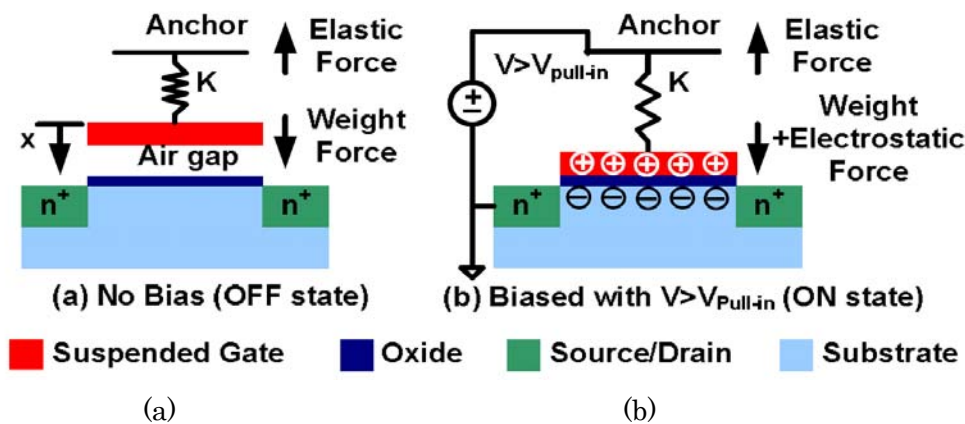


Fig. 2.3 Basic operation of suspended gate transistor in On and Off states[6].

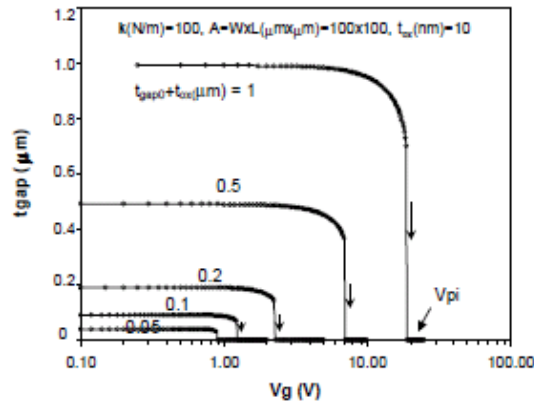


Fig. 2.4 SG-MOSFET actuation for various t_{gap0} [8].

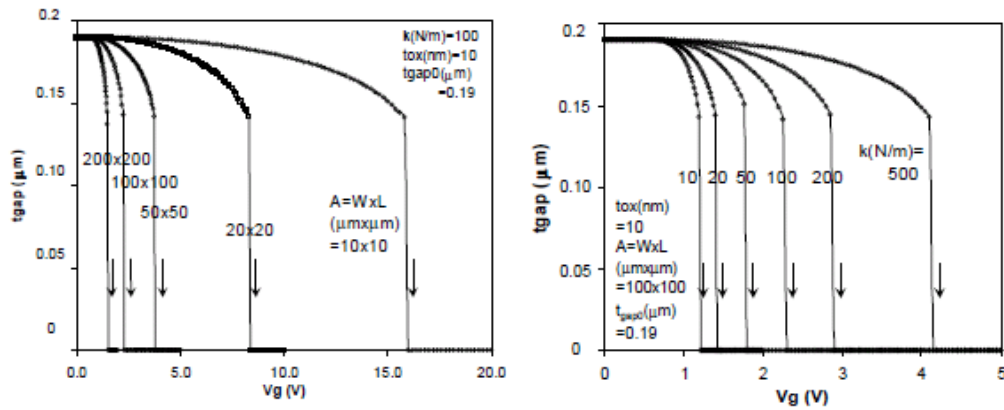


Fig. 2.5 SG-MOSFET actuation for various k [8]. Fig. 2.6 SG-MOSFET actuation for various A [8].

2.2.2 反転型可動ゲートトランジスタの作製

世界最初に報告された可動ゲートトランジスタ(SG-MOSFET)の簡略なプロセスを紹介する[10]。

(a) シリコン基板を用いて、可動ゲートトランジスタ(SG-MOSFET)を作製する。先に二つの隣接するトランジスタを分離するためのシリコン酸化膜と Si_3N_4 膜を形成した後に、熱酸化によって、シリコン基板の上にゲート酸化膜を形成する。

(b) イオン注入のためのレジストマスクを形成させた後、ソース、ドレイン、下部電極形成するためのリンイオン注入を行う。その後、イオン活性化するためのアニールを行う。

(c) 犠牲層と CMP するための LTO 層を形成させる。犠牲層はプロセスの最後にエッチングされて、可動ゲートが動けるためのギャップを一時的に埋める役割を果たす。この研究では、犠牲層をポリシリコンと polyimide2 種類にした。

(d) CMP(Chemical Mechanical Polishing)プロセスを通じて、犠牲層を平坦化した後に、可動ゲートのアンカーのためのホールとソース、ドレイン、下部電極のコンタクトホール

を形成する。

(e) 可動ゲート部分の材料(Si が 1% を含めた AlSi 合金)になる膜を形成させる。

(f) ゲート膜のパターニングを行った後、犠牲層をエッチングを行ってギャップを形成して、可動ゲートトランジスタを完成する。

上で述べたプロセスで作製した SG-MOSFET の SEM 像が図 2.8 と図 2.9 である。図 2.9 は SG-MOSFET を上から見た面であり、図 2.8 は可動ゲート部分の断面図である。

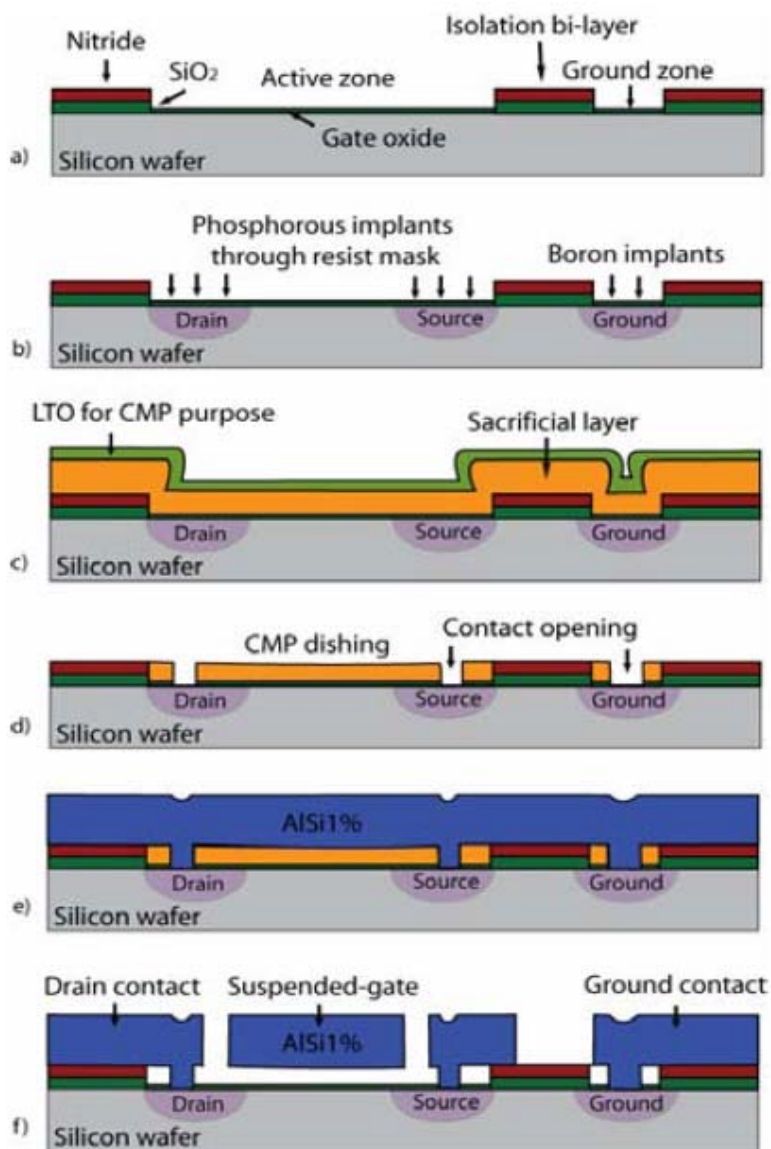


Fig. 2.7 Schematic of the fabrication process steps of an AlSi-based SG-MOSFET [10].

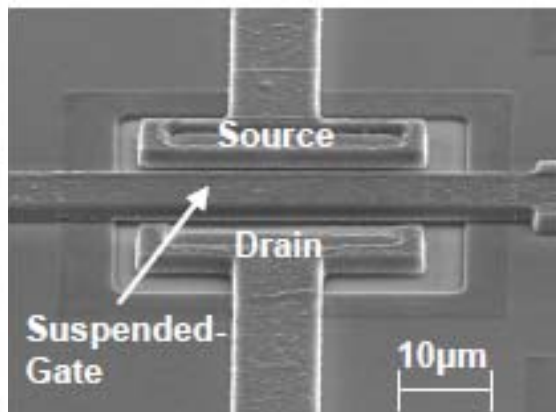
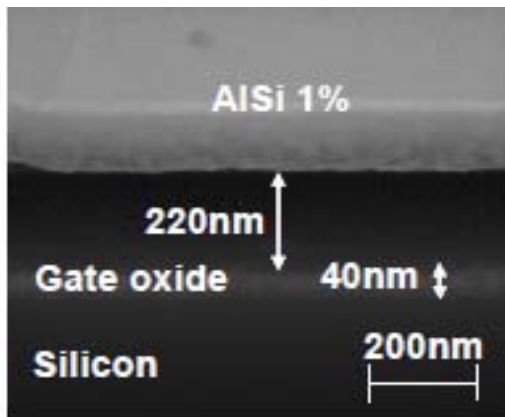


Fig. 2.8 the cross section SEM picture [7]. Fig. 2.9 SEM picture of the movable gate [7].

SG-MOSFET の測定結果

図 2.10 は作製した SG-MOSFET のドレイン電流とゲート電圧(I_d - V_g)の測定結果である。左側の縦軸はドレイン電流である。ドレイン電流とゲート電圧の関係から、この SG-MOSFET の pull-in 電圧が約 7V であることがわかる、また S 値が 2mV/dec という各種類のトランジスタの中で一番低い値が得られている。この実験結果から、可動ゲートトランジスタは S 値を減らすという観点から他のタイプのトランジスタに対して優位性を確立した。

一方、右側の縦軸はゲートリーク電流の値になる。空気ギャップが存在することによって、ゲート電圧が pull-in 電圧より低い時、ゲートリーク電流の値が非常に低く抑えられていることがわかる。

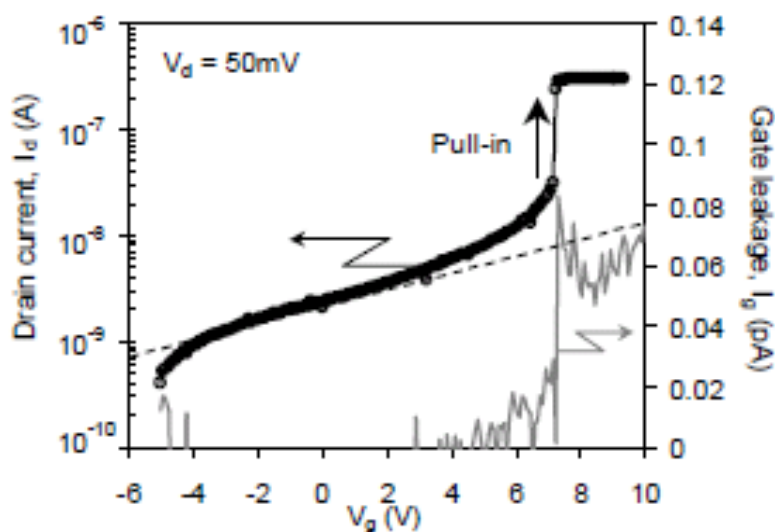


Fig. 2.10 I_d - V_g characteristic of SG-MOSFET [7].

2.3 蓄積型可動ゲートトランジスタ

2.3.1 NEMFET の動作原理

2.2 節で紹介したように、SG-MOSFET はゲートがチャネル絶縁膜と接触した時にトランジスタが on 状態で、ゲートがチャネル絶縁膜と接触していない時にトランジスタが off 状態になるトランジスタである。それに対して、NEMFET はゲートがチャネル絶縁膜と接触した時にトランジスタが off 状態で、ゲートがチャネル絶縁膜と接触していない時にトランジスタが on 状態になるトランジスタである。

2005 年の IEDM で、蓄積型可動ゲートトランジスタに関する研究が始めて発表された。このタイプのトランジスタのシミュレーションの研究はすでに行われているが[14]、実際に製作した報告はまだないのが現状である。このタイプのトランジスタは NEMFET(Nano-Electro-Mechanical Field Effect Transistor)と呼ばれている。

まず NEMFET の on と off の原理を簡単に述べる。UC-Berkeley グループが行う NEMFET に関する研究では、ソース、ドレインが n^+ ポリシリコン、チャネルが n 型シリコン、ゲートが p^+ ポリシリコンで構成するトランジスタである。NEMFET の断面図を図 2.11 に示す。ゲート電圧が 0V の時、ゲート材料とチャネルの間の仕事関数の差で発生する電圧差でゲートとチャネルの間に引力が発生し、ゲートがチャネル絶縁膜と接触する状態になる。つまり、ゲートが pull-in 状態になる。その時のエネルギーバンド図を図 2.12(a)に示す。この時チャネルは空乏するので電流は流れず、トランジスタは off 状態となる。

一方、ゲートに対して正の電圧を印加していくと、ゲート材料とチャネルの間の仕事関数の差で発生する電圧差が小さくなって、ゲートとチャネルの間の引力も小さくなるからゲートがチャネル絶縁膜と離れる状態になる。この時、バンド図は図 2.12(b)で表される。チャネルとソース、ドレインは全て n 型シリコンであるから、ドレインに電圧を印加すると電流が流れる。この時、トランジスタは on 状態になる。

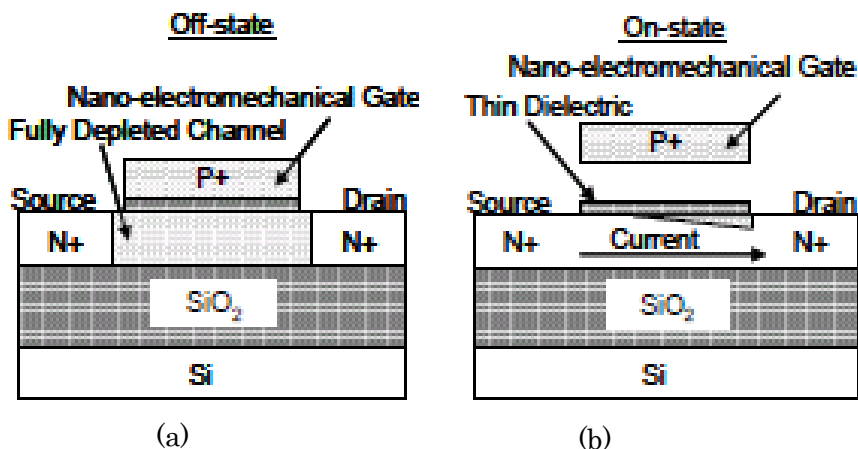


Fig. 2.11 Off-state(a) and On-state(b) of NEMFET[14].

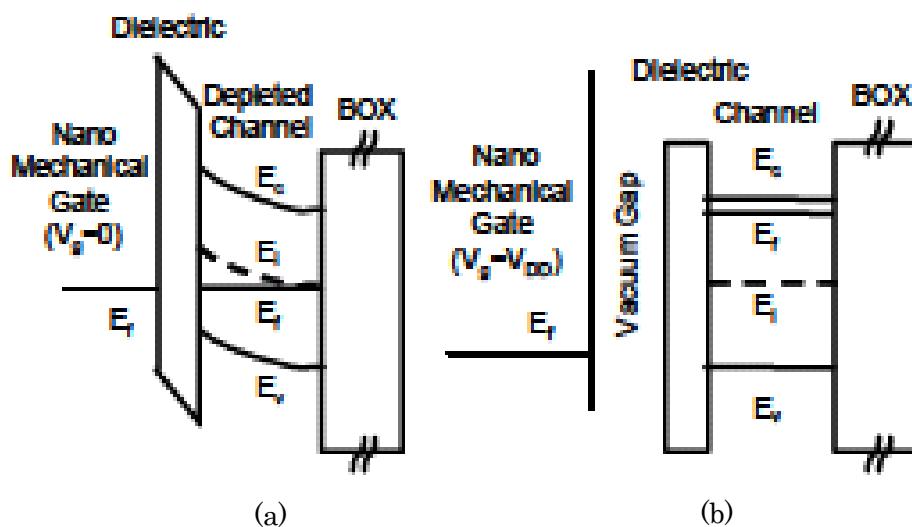


Fig . 2.12 Energy-band diagram of NEMFET in the Off-state (a) and On-state (b) [14].

図 2.13 と図 2.14 は NEMFET の I_d-V_g 及び I_d-V_d 特性のシミュレーション結果である。図 2.13 を見ると、SG- MOSFET と同様に、ゲートが機械的に動くことによって、ゲート電圧が pull-in 電圧になる時にドレイン電流が急峻に変化するため、NEMFET も S 値が小さい値を持つ可動ゲートトランジスタであることがわかる。一方、図 2.14 から、一般の蓄積型 MOSFET と同じオフ電流の条件で、NEMFET の on 電流が 30% 上昇する利点がある。図 2.13 ではドレイン電流でヒステリシスが見えた。その理由は、ゲートがチャネル絶縁膜と接触する時及び離れる時、ギャップの高さの違うことで、ゲートを動かすための力が違うから、ゲートを動かす時のゲート電圧も違うから、トランジスタをオフ状態からオン状態に変わる時のゲート電圧とトランジスタをオン状態からオフ状態に変わる時のゲート電圧も違うことになることによって、ドレイン電流でヒステリシスが起こる。ゲートが pull-in させる時及び pull-out させるゲート電圧が違う理由は 2.4 で詳しく分析する。

図 2.15 は NEMFET のシミュレーションで用いた主なシミュレーションパラメータをまとめたものである。注目すべきなのは、このシミュレーションはギャップ高さが 1nm の NEMFET で行った。

しかし、図 2.15 のようなパラメータで実際の可動ゲートトランジスタを作製するのは現在の技術では非常に難しいため、NEMFET の製作や測定結果についてはまだ報告がされていない。特に現在のプロセス技術では、高さが 1nm のギャップを作るのが不可能である。現在のプロセス技術を用いて、蓄積型可動ゲートトランジスタを試作できるために、本研究では NEMFET と違う原理で動作する蓄積型可動ゲートトランジスタを提案した。

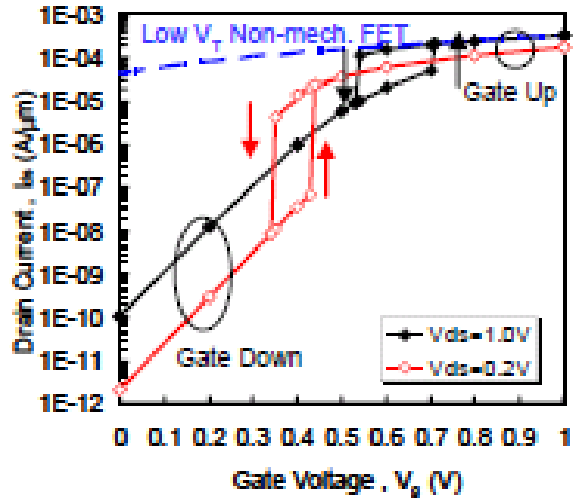


Fig. 2.13 Id-Vg characteristic of NEMFET[14].

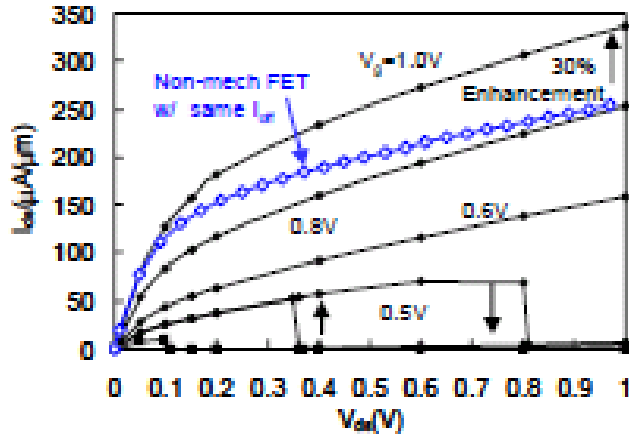


Fig. 2.14 Id-Vd characteristic of NEMFET[14].

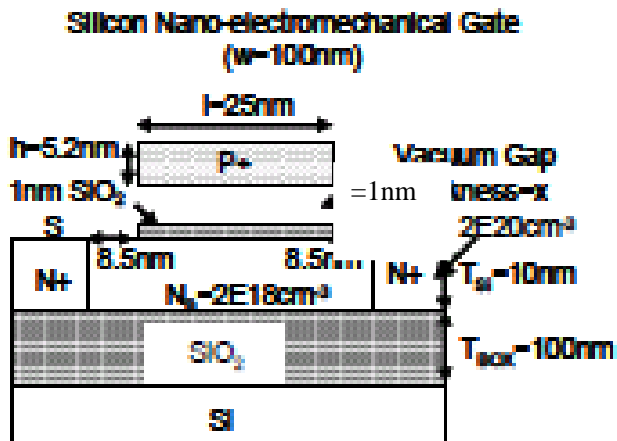


Fig. 2.15 Cross-section of transistor structure used in device simulations[14].

2.3.2 提案した蓄積可動ゲートトランジスタの動作原理

本研究ではゲートがチャネル絶縁膜と接触する時、トランジスタが off 状態になり；ゲートがチャネル絶縁膜と離れる時、トランジスタが on 状態になり、かつ現在の技術で試作可能な可動ゲートトランジスタを提案した。簡単に理解できるため、本研究で提案したトランジスタは Accumulation type movable gate MOSFET (AMG-MOSFET)を呼ぶ。日本語では蓄積型可動ゲートトランジスタを呼ぶ。本研究で提案したトランジスタ(AMG-MOSFET)と従来研究された SG- MOSFET 及び NEMFET の重要な特性をまとめたものが表 2.2 である。

Table 2.2 The summary of three different kinds of movable gate transistors.

	SG-MOSFET	NEMFET	AMG-MOSFET
On State	Gate is down	Gate is up	Gate is up
Off State	Gate is up	Gate is down	Gate is down
Type	Inversion	Accumulation	Accumulation
Driving Force	Electrostatic force caused by the electric potential difference	Electrostatic force caused by the work function difference	Electrostatic force caused by the electric potential difference
Research progress	Simulation and device fabrication	Only Simulation	Simulation and device fabrication
Gap Height	Several hundred nm	1nm	dozens of nm

本研究で提案した蓄積型可動ゲートトランジスタでは、ソース、ドレインが p^+ シリコン、チャネルが p 型シリコン、ゲートが n^+ ポリシリコンの仕事関数を持つ材料で構成する。提案した蓄積型可動ゲートトランジスタの断面図が図 2.16 である。ゲート電圧 V_g が pull-in 電圧より小さい時、ゲートがチャネル絶縁膜と離れて、その時のバンド図が図 2.17(a)になる。チャネルとソース、ドレインは全て p 型シリコンであるから、ドレイン電圧を印加すると電流が流れる。この時、トランジスタは on 状態になる。

一方、ゲート電圧 V_g が pull-in 電圧より大きい時、ゲートがチャネル絶縁膜と接触して、その時のバンド図が図 2.17(b)になる。ゲートがチャネル絶縁膜と接触した瞬間にトランジスタの p 型シリコンチャネルが反転して、 n 型シリコンチャネルになる。トランジスタの p^+ シリコンソースと p^+ シリコンドレインの間に n 型シリコンチャネルになることで、トランジスタがオフ状態になる。一つ注意すべきことは、上で述べたゲート電圧 V_g が従来の MOSFET のゲートソース間の電圧 V_{gs} と同じ意味ではなくて、ゲートとチャネルの間或いはゲートと基板の間の電位差を表す。つまり、ゲート電圧 V_g が 5V である場合、MOSFET の

ゲートソース間の電圧 V_{gs} が(-1)V になることが可能である。そして、本研究で提案した蓄積型可動ゲートトランジスタではチャンネル部分のシリコンを反転させることによって、デバイスをオフさせるので、バルクシリコン基板上では実現することが極めて難しいである。その理由はゲート電圧の影響で反転できるシリコン層の厚さは限られているが、バルクシリコン基板のチャンネル部分のシリコン層が非常に厚いである。ゲート電圧の影響でゲート絶縁膜に近い上部のシリコンが反転するが、下部のシリコン基板が反転できないので、下部のシリコンを通じて、電流が流れることによって、トランジスタが完全にオフさせない。

本研究で提案した蓄積型可動ゲートトランジスタはバルクシリコン基板上では実現ないが、シリコン厚さが数十 nm 以下の SOI(Silicon on insulator)基板では実現することが可能になる。その理由は SOI(Silicon on insulator)基板でトランジスタを作製する場合、Box 層が存在することで、ドレイン電流が上部のシリコン部分のみを通じて流れる。ゲート電圧の影響で、厚さが数十 nm 以下のシリコンを完全に反転させることが可能である。以上述べたことから、本研究で提案した可動ゲートのシミュレーションと作製両方とも SOI 基板を用いて、研究を行う。

蓄積型可動ゲートトランジスタでは、ゲート材料とチャンネルの間の仕事関数の差で発生する小さい電圧差ではなくて、ゲートに印加した pull-in 電圧より大きいゲート電圧でゲートを pull-in させるので、ギャップ高さは数十 nm 或いは数百 nm でも実現できるから、現在のプロセス技術で試作することが可能になる。

ここまでは 3 種類の可動ゲートトランジスタの原理を紹介した。第三章では、本研究で提案した蓄積型可動ゲートトランジスタと反転型可動ゲートトランジスタを用いて構成した可動ゲートトランジスタインバータ回路の研究を紹介する。

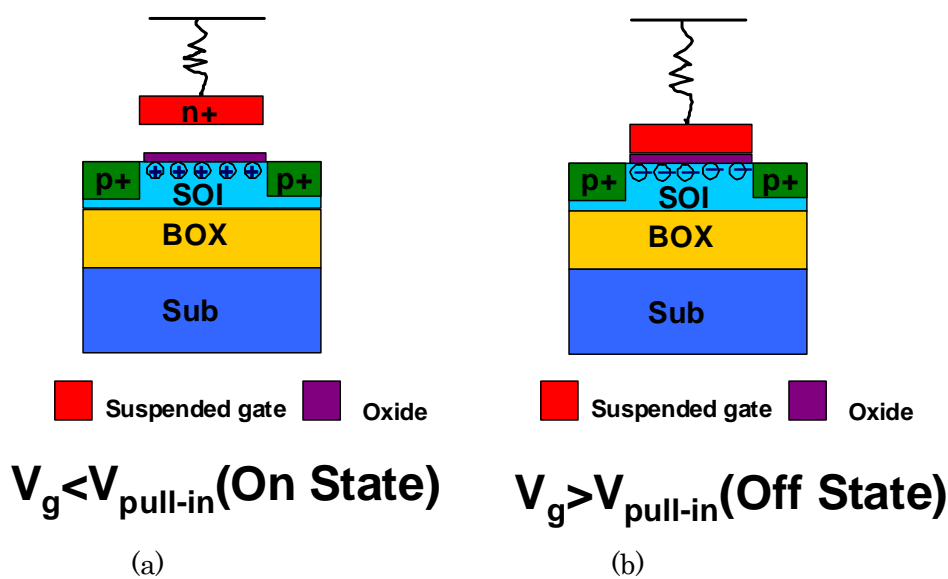


Fig. 2.16 On-state (a) and Off-state (b) of Accumulation type movable gate transistors.

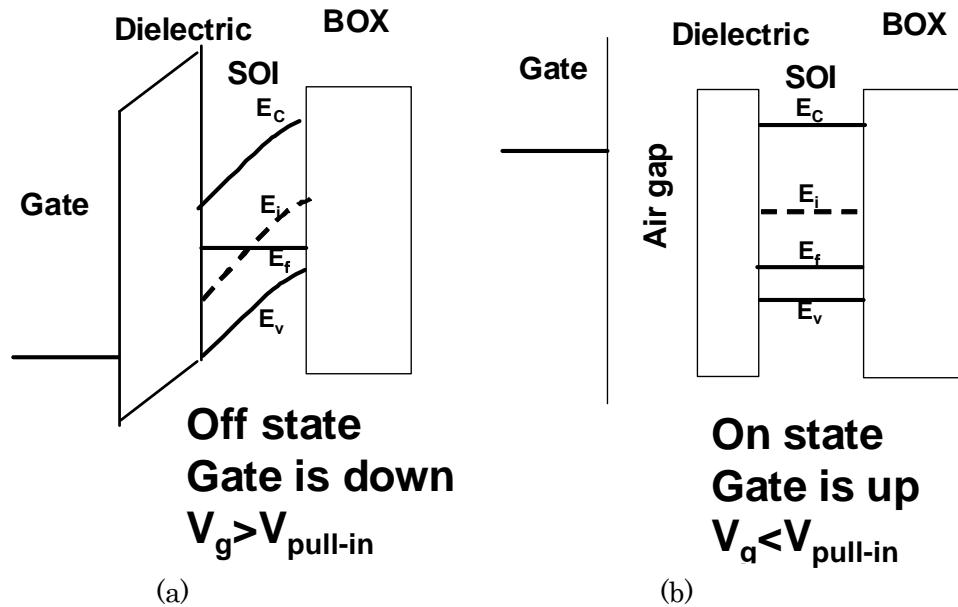


Fig. 2.17 Energy-band diagram of in the Off-state (a) and On-state (b) Accumulation type movable gate transistors.

2.4 pull-in と pull-out 電圧に関する計算

可動ゲートトランジスタの性質を決める極めて重要な要素が pull-in 電圧と pull-out 電圧である。現在まで、pull-in 電圧と pull-out 電圧は主に計算上のみ研究されている。現在のプロセス技術では、pull-in 電圧と pull-out 電圧が 5V 以下の可動ゲートトランジスタを試作することがまだ実現されていない。pull-in 電圧と pull-out 電圧が 5V 以下の領域では、pull-in 電圧と pull-out 電圧に関する研究は主に実験からの証明なしの条件で行った計算になる。

本研究では、可動ゲートトランジスタ及び可動ゲートトランジスタを用いたインバータ回路の特性を求めめるため、論文[11]を参考しながら、pull-in 電圧と pull-out 電圧の計算を行った。

今回の計算は主に[11]の計算方法を使った。今回求めたのは図 2.18 に示すような理想な長方形ゲートの pull-in 電圧と pull-out 電圧である。pull-in 電圧は式(2.3)と式(2.4)を連立することで求められる。式(2.3)はゴム係数 k を求める式である。 E はゲート材料のヤング率を表す。図 2.18 で示したように、 L はゲート長、 W はゲート幅、 h はゲート高さを表す。式(2.4)は pull-in 電圧を求める式である。 $T_{\text{gap}0}$ はギャップ高さ、 t_{ox} はゲート絶縁膜厚さを表す。 ϵ_r はゲート絶縁膜部分の誘電率、 $\epsilon_{\text{gap}0}$ はギャップ部分の誘電率を表している。

$$K = \frac{32ELh^3}{W^3} \quad (2.3)$$

$$V_{pi} = \sqrt{\frac{8k(t_{gap0} + t_{ox} / \epsilon_r)^3}{27\epsilon_{gap}WL}} \quad (2.4)$$

一方、pull-out 電圧の計算は pull-in 電圧の計算より複雑になる。最初に、式(2.5)を使って、 F_a を求める。 F_a は surface adhesion force を意味する。式(2.5)の τ は単位面積の interface adhesion energy を表し、 D_0 は平均表面ラフネスを表す。式(2.5)で求めた F_a を式(2.6)に代入して、 V_{OX} を求める。一方、式(2.7)で Ψ_{po} を求める。式(2.7)での N_A はチャネル部分の不純物濃度を意味している。式(2.7)で求めた Ψ_{po} と式(2.6)で求めた V_{OX} を式(2.8)代入すれば、pull-out 電圧が求められる。式(2.8)の V_{FB} がフラットバンド電圧である。

$$F_a \cong 2WL \frac{\tau}{D_0} \quad (2.5)$$

$$\frac{WL\epsilon_{OX}V_{OX}^2}{2t_{OX}^2} + F_a = kt_{gap0} \quad (2.6)$$

$$\Psi_{po} = \frac{\epsilon_{ox}}{\epsilon_{Si}qN_A} \left(\frac{kt_{gap0}}{WL} - \frac{2\tau}{D_0} \right) \quad (2.7)$$

$$V_{PO} = V_{FB} + V_{OX} + \Psi_{po} \quad (2.8)$$

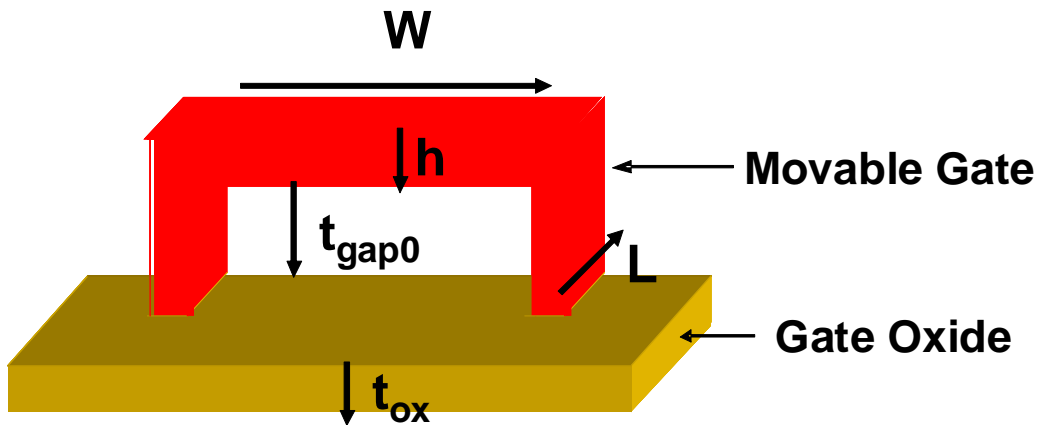


Fig . 2.18 Cross-section of movable gate.

図 2.19、図 2.20 と図 2.21 は計算で求めた可動ゲートトランジスタの pull-in と pull-out 電圧のまとめである。この計算は上に述べた計算方法を確認するための計算である。この

計算は[11]で使ったパラメータを使って、シミュレーションを行った。pull-in と pull-out 電圧の計算で使った一番重要なパラメータを pull-in 電圧と pull-out 電圧計算結果図の中に示す。それ以外の主なパラメータを表 2.3 に示す。

ゲートが pull-in された後に、surface adhesion force もゲートとチャネル絶縁膜の引力になる。したがって、ゲートが pull-out する前より必要な静電気引力が小さくなり、ゲートが pull-out する瞬間のゲート電圧は pull-in する瞬間より小さくなる。つまり、一般的には、ゲートの pull-out 電圧がゲートの pull-in 電圧より小さくなる。

そして、デバイスのゲート幅を増大し、ゲート高さを減らし、ギャップ高さを低減することによって、pull-in 電圧と pull-out 電圧を低減することができる。一方、式(2.6)から、ギャップ高さが小さくなるにつれて、もし surface adhesion force F_a が kt_{gap0} より大きくなると、式上では pull-out 電圧は求められるが、実際にはゲートが永遠的に pull-out する状態になる。その理由は F_a が kt_{gap0} より大きくなると、ゲートに電圧を印加しなくても、ゲートとチャネルの間の引力 F_a がゲートとチャネル間の反発力 kt_{gap0} より大きくなるので、ゲートが永遠的に pull-out できなくなる。この現象も sticking と呼ばれている。

ゲートが永遠的に pull-out できなくなることは起こらない条件でデバイスを作製しないと行けない。式 2.6 から見ると、ギャップ高さが減らすとともに、 kt_{gap0} が小さくなるので、可動ゲートが sticking しやすくなる。そして、 k が小さい材料もよりやすく sticking しやすくなる。

可動ゲートトランジスタの研究では、ゲートの pull-in 電圧と pull-out 電圧が非常に重要なパラメータである。本研究ではこの節に述べた方法に基づいて pull-in 電圧と pull-out 電圧の計算を行った。この節では論文[11]に使ったパラメータを使ったが、2.5 節及び第 3 章では、このパラメータと違うパラメータで計算を行った。詳細は 2.5 節及び第 3 章で述べる。

Table 2.3 The summary of major parameters used in pull-in/out voltage calculation.

パラメータの名前	ゲート長 L	ゲート絶縁膜厚さ t_{ox}	チャネル部分不純物濃度 N_A	Interface adhesion energy τ	平均表面ラフネス D_0	フラットバンド電圧 V_{FB}
パラメータの値	100nm	2nm	10^{18} cm^{-3}	20 mJ/m^2	0.2nm	0.12V

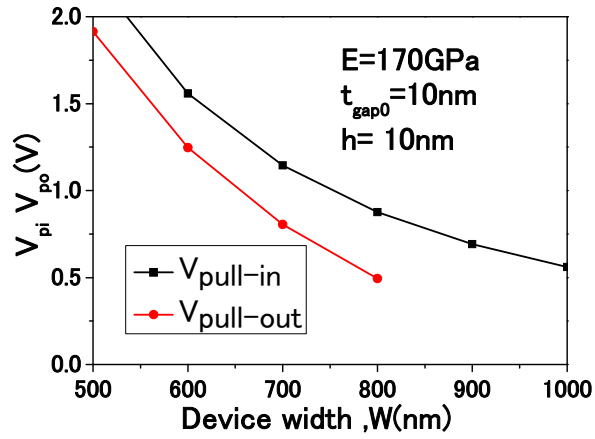


Fig. 2.19 Movable gate transistor actuation for various W .

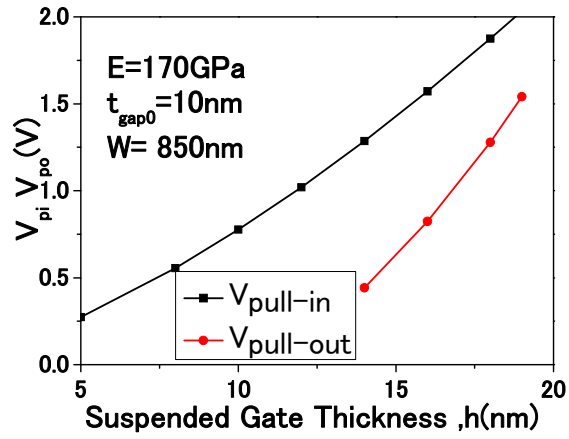


Fig. 2.20 Movable gate transistor actuation for various h .

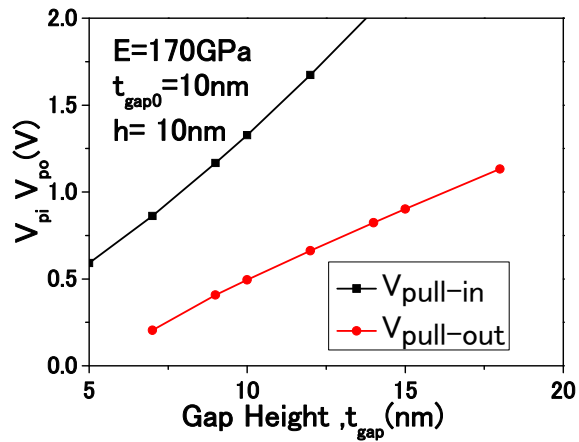


Fig. 2.21 Movable gate transistor actuation for various t_{gap} .

2.5 AMG 可動ゲートトランジスタのシミュレーション

シミュレーション方法

本研究でのシミュレーションは2つの部分に分けて行った。一つ目の部分は MOSFET トランジスタ特性のシミュレーションである。MOSFET トランジスタ特性のシミュレーションは2次元シミュレータ Medici を用いて行った。二つ目の部分は pull-in 電圧と pull-out 電圧の計算になる。pull-in 電圧と pull-out 電圧の計算は2.4節に述べた方法で行った。

シミュレーションは二つのモデルで行った。一つ目のモデルは本研究で提案したインバータ回路を実証するためのシミュレーションである。このモデルではより理想条件に近いゲート長が 100nm、ギャップ高さが 10nm のモデルで行った。二つ目のモデルは平本研究室の設備で実際 AMG 可動ゲートトランジスタを作製することが可能であるかどうかを確認するためのシミュレーションである。このモデルでは、平本研の設備で作られる条件でシミュレーション用のパラメータを決める、ゲート長が 6 μ m、ギャップ高さが 40nm になる。二つのモデルで使ったパラメータを表 2.4 にまとめる。

Table 2.4 The summary of major parameters used in AMG-MOSFET simulation.

	ゲート長 L	ゲート絶縁膜厚さ t_{ox}	チャンネル部分不純物濃度 N_A	ギャップ高さ	SOI 厚さ	ゲート高さ
理想条件	100nm	2nm	$10^{18} cm^{-3}$	10nm	10nm	10nm
作製向け	6 μ m	30nm	$10^{16} cm^{-3}$	50nm	20nm	560nm

理想条件に近いシミュレーション

シミュレーションの手順としては、まず 2次元シミュレータ Medici を用いて、air-gap MOSFET と normal MOSFET の特性を求める。次に、計算を通じて pull-in 電圧と pull-out 電圧を求める。最後に、air-gap MOSFET と normal MOSFET の特性を pull-in 電圧と pull-out 電圧のところに合成することによって、AMG 可動ゲートトランジスタの特性が得られる。

図 2.22 は air-gap MOSFET と normal MOSFET の特性をまとめたものである。図 2.22 の緑線で示した AMG-MOSFET の特性を求めるため、最初に 2次元シミュレータ Medici を用いて air-gap MOSFET(赤い線)と normal MOSFET(青い線)の特性を求める。その後、計算で pull-in 電圧が-0.4V を求める。最後に、赤い線と青い線の部分を pull-in 電圧(-0.4V)のところで合成することによって、AMG-MOSFET の特性を求めた。図 2.22 から、本研究で提案した AMG-MOSFET はシミュレーション上で実証された。そして、SG-MOSFET、NEMFET と同様に、本研究で提案した AMG-MOSFET も小さい S ファクタが得られることがわかる。

本研究で提案した AMG-MOSFET は SG-MOSFET と同様に、ゲートを動けることによって、二つの違う閾値電圧を持つトランジスタを一つのトランジスタにすることによって、小さい S ファクタが得られる。

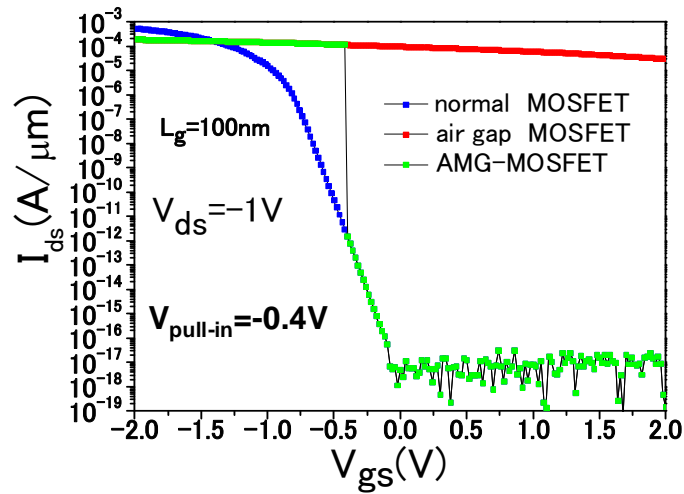


Fig. 2.22 Transfer characteristic $I_D(V_G)$ of a AMG-MOSFET showing the two stable states with two different “onset” voltages: one with high V_{off} when the suspended gate is up, resulting in an extremely high “on” current and a second state with low V_{ff} when the gate is snapped on the gate dielectric(after collapsing),providing a very low “on” current.

AMG-MOSFET を作製するためのシミュレーション

表 2.4 に示したパラメータを用いて、理想モデルと同じ方法で求めた結果を図 2.23 に示す。図 2.23 から、平本研究室が持つ設備で、小さい S ファクタが得られる AMG-MOSFET を作ることが可能である。

AMG-MOSFET はインバータ回路の中の PMOS に相当するので、ゲートソース間の電圧がマイナスの条件でトランジスタが動作する。小さい S ファクタが得られたため、normal MOSFET がオフ状態になる前に、ゲートを pull-in させる必要がある。さらにゲートソース間の電圧がマイナスの時 normal MOSFET がオフ状態になることが AMG-MOSFET で小さい S ファクタが得られ、かつインバータ回路中の PMOS の役割をすることの条件である。normal MOSFET の閾値電圧の調整するためのシミュレーションを行った。図 2.24 はゲート材料の仕事関数を変えるシミュレーション結果であり、図 2.25 は SOI(Silicon on insulator)厚さを変えるシミュレーション結果である。図 2.24 から、ゲート材料の仕事関数が 4.5eV より小さい時、 V_{gs} がマイナスでトランジスタがオフ状態になることを実現できる。一方、図 2.25 から、同じ仕事関数のゲート材料の場合、SOI 厚さを減らすことによって、ゲート材料の仕事関数を減らすと同じ効果が得られることがわかった。

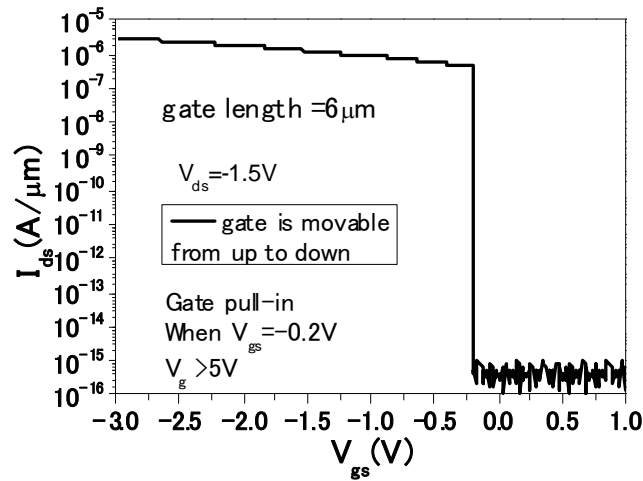


Fig. 2.23 Id-Vd characteristic of AMG-MOSFET.

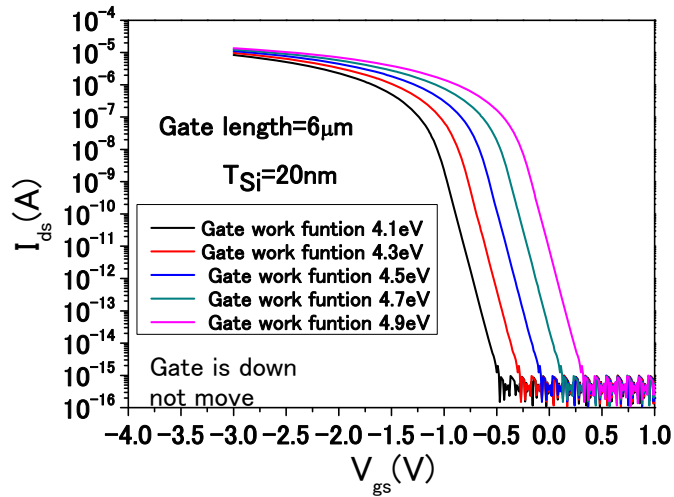


Fig. 2.24 Simulation Id-Vg characteristic by change the work function of gate materials.

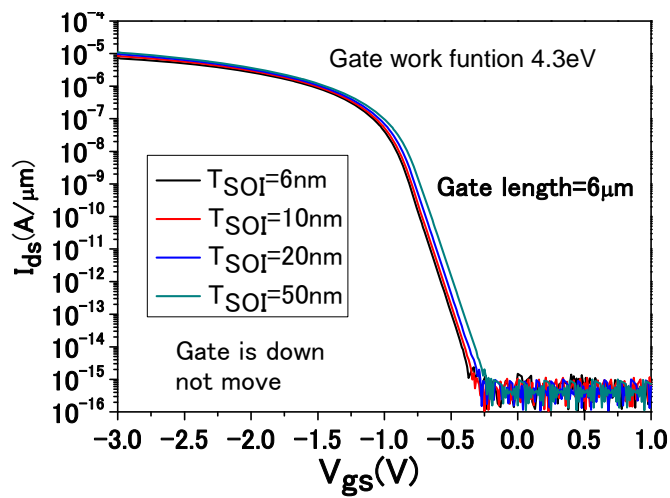


Fig. 2.25 Simulation Id-Vg characteristic by change SOI(Silicon on insulator) thickness.

第3章 可動ゲートトランジスタを用いたインバータ回路

3.1 研究された可動ゲートトランジスタインバータ回路の動作原理

可動ゲートトランジスタを用いたインバータ回路はすでに提案されて、シミュレーション上で実証された。提案したインバータ回路の回路図を図 3.1 に示す。提案されたインバータ回路はともに反転型の可動ゲート NMOS と可動ゲート PMOS を必要とし、これら 2 つの可動ゲートは動作時には別々に逆方向に動く回路となっている。

$V_{in}=V_{DD}$ の時、可動ゲート NMOS のゲートソース間の電圧が V_{DD} となり、可動ゲート NMOS のゲート電圧は pull-in 電圧より大きいのであるので、可動ゲート NMOS が pull-in される。一方、可動ゲート PMOS のゲートソース間の電圧が 0 となり、可動ゲート PMOS の pull-out 電圧より小さいのであるので、可動ゲート PMOS が pull-out される。この状態では、NMOS がオン状態になり、PMOS がオフ状態になるので、インバータ回路の出力が Low になる。

$V_{in}=0$ の時、回路の動作原理が完全に逆となっている。この時、可動ゲート PMOS が pull-in され、NMOS が pull-out される。この状態では、PMOS がオン状態になり、NMOS がオフ状態になるので、インバータ回路の出力が Low になる。以上述べた動作原理に基づいて、この回路がインバータ回路として動作することができる。

提案されたインバータ回路を構成する二つのトランジスタの閾値電圧の絶対値が 0.3V であり、 V_{DD} が 1.5V である。二つのトランジスタの pull-in 電圧が pull-out 電圧より大きいである。pull-in 電圧と pull-out 電圧の間にヒステリシスが約 0.2V である。

二つのトランジスタの pull-in 電圧の絶対値が閾値電圧の絶対値より小さい ($|V_{pull-in}| < |V_{T,MOS}|$) 条件が成立した時の Id-Vg を図 3.2(a) に示し、インバータ回路の特性を図 3.2(b) に示す。 $|V_{pull-in}| < |V_{T,MOS}|$ が成り立つ時、インバータの出力が High から Low になる範囲では(図 3.2(b)の V_{in} が 0.5V~1.0V)、二つのトランジスタが同時に pull-in されている。したがって、インバータの出力が High から Low になる時、可動ゲートトランジスタで構成する回路は普通の CMOS インバータ回路とは完全に同じになるので、このインバータの出力が普通の CMOS インバータ回路の出力とは完全に同じになる。インバータの出力が High から Low になる時にも、二つのトランジスタが同時に pull-in されているので、動作原理は変わらず、インバータ回路の出力でヒステリシスが発生しない。

二つのトランジスタの pull-in 電圧の絶対値が閾値電圧の絶対値より大きい ($|V_{pull-in}| > |V_{T,MOS}|$) 条件が成立した時の Id-Vg を図 3.3 に示し、インバータ回路の特性を図 3.4 に示す。

$|V_{pull-in}| > |V_{T,MOS}|$ の時、インバータの入力が Low から High になる時、NMOS が pull-in する前に、PMOS のみがオンになっているので、回路の出力が High になる。NMOS が pull-in

すると、NMOS と PMOS が同時に pull-in される。この時、NMOS が pull-in される時の電圧が $V_{DD}/2$ より大きいので、一瞬に NMOS の電流が PMOS より数桁大きくなるように変化する。NMOS が pull-in される瞬間にインバータ回路の出力が High から Low に変わる。インバータの入力が High から Low に変わる時、回路の動作原理が逆になっている。 $|V_{pull-in}| > V_{DD}/2$ の時、インバータ回路では、ヒステリシス幅($2V_{pull-in} - V_{DD}$)を持つ出力が得られる。

以上述べた原理に基づいて、このインバータ回路はシミュレーション上で実証した。インバータ出力が Low 及び High の時、必ず一つの可動ゲートトランジスタが pull-out 状態になる、そのトランジスタのゲートが pull-out されることより、小さい S ファクタを持ち、トランジスタのオフ電流を大幅に下げることによって、従来の CMOS インバータ回路の消費電力を下げるができる。

しかし、この回路では、二つの可動ゲートトランジスタのゲートの動きを別々に制御する必要がある。[11]で述べてないが、この回路でインバータ動作を実現するためゲートの動く速度を制御しないと行けない。例えば、ゲート電圧が 0 から V_{DD} に変化する時、ゲート電圧が $V_{DD}/2$ になる前に、ゲートが pull-in されないと行けない。そうでないと、出力が $V_{DD}/2$ 付近で変化できるわけではなく、ゲートが pull-in される時に対応するゲート電圧の付近で変化するようになる。つまり、この回路を正常動作するために、ゲートの動く時に対応するゲート電圧の範囲の精密な制御が必要となっている。二つの可動ゲートを同時に目標 pull-in/out 電圧で動くように制御するのは非常に難しいである。かつ現在のプロセス技術では、pull-in/out 電圧が 1V 以下の可動ゲートトランジスタを作製するのも極めて難しいため、可動ゲートトランジスタを用いたインバータ回路の作製はまだ報告されてない。

可動ゲートトランジスタで構成するインバータ回路の可動ゲートをより簡単に制御できるため、本研究では NMOS/PMOS に共通の可動ゲートで動作するインバータ回路を提案し、シミュレーションにより動作を実証した。

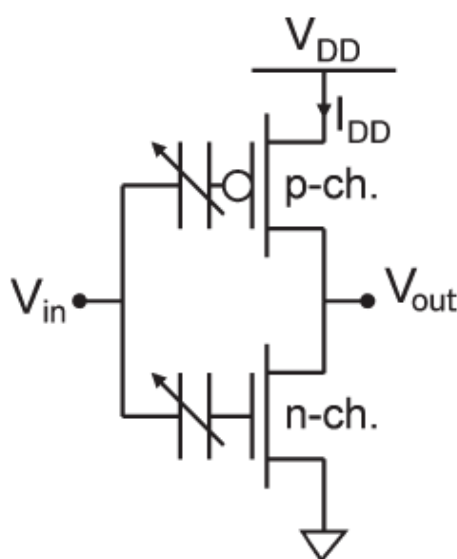
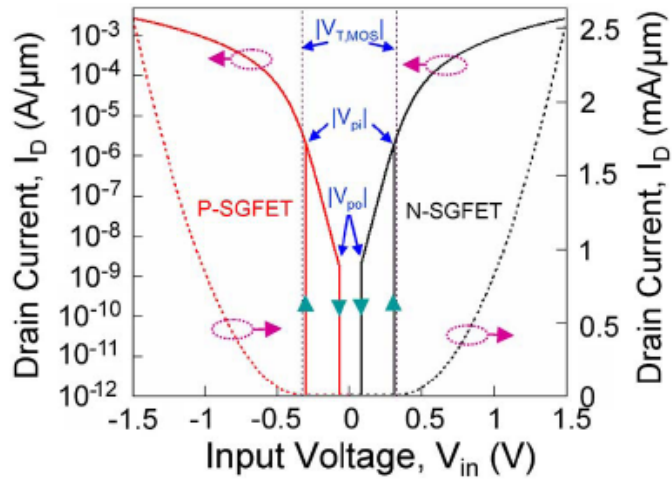
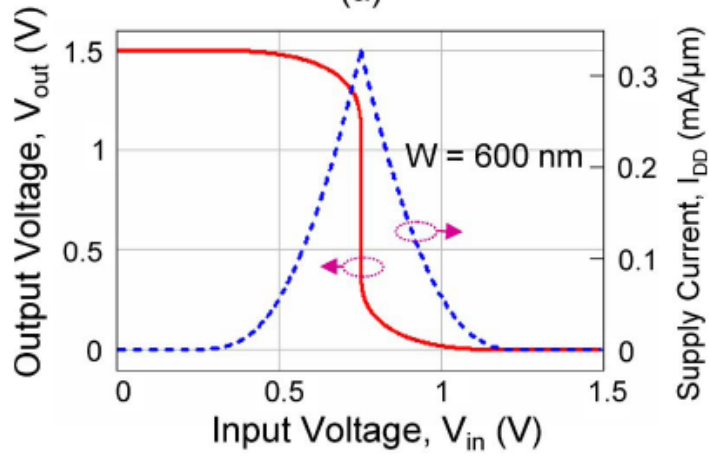


Fig. 3.1 Schematic of the complementary SGFET inverter.



(a)



(b)

Fig. 3.2 $|V_{\text{pull-in}}| < |V_{T,\text{MOS}}|$ case. (a) N- and p-channel SGFET transfer characteristics in linear and logarithmic scales (b) Complementary SGFET inverter static characteristics.

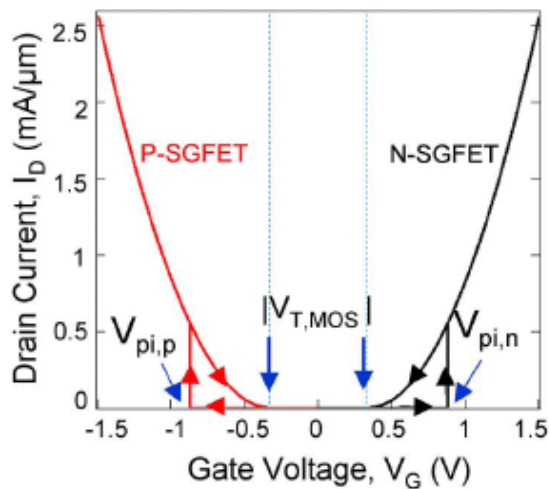


Fig. 3.3 $|V_{\text{pull-in}}| > |V_{T,\text{MOS}}|$ case N- and p-channel SGFET transfer characteristics in linear scale.

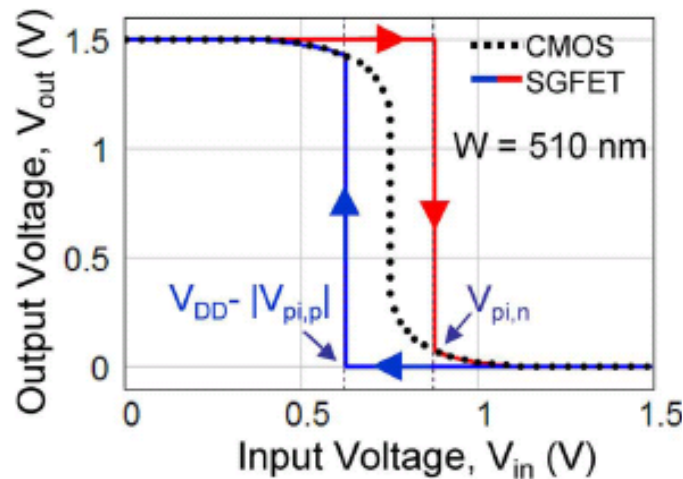


Fig3.4 $|V_{\text{pull-in}}| > |V_{T,\text{MOS}}|$ case Voltage transfer characteristic of the complementary SGFET inveter(comparison with the conventional CMOS inveter)

3.2 提案した可動ゲートトランジスタインバータ回路の動作原理

本研究で提案したインバータ回路は反転型可動ゲート MOSFET(SG-MOSFET)と本研究で提案した蓄積型可動ゲート MOSFET(ASG-MOSFET)で構成している。反転型可動ゲート MOSFET(SG-MOSFET)と本研究で提案した蓄積型可動ゲート MOSFET(ASG-MOSFET)の主な性質を表 3.1 にまとめる。

本研究で提案したインバータ回路の回路図は図 3.5 に示す。本研究で提案したインバータ回路の layout 図は図 3.6 に示す。

図 3.5 で示したように、本研究で提案したインバータ回路は二つの可動ゲートトランジスタで構成する。従来の CMOS の PMOS 部分に相当するのは、ソースとドレインが p 型ポリシリコン(p+で表す)、チャンネル部分も p 型シリコンの蓄積型可動ゲートトランジスタ(p+pp+で表す)になる。一方、従来の CMOS の NMOS 部分に相当するのは、ソースとドレインが n 型ポリシリコン(n+で表す)、チャンネル部分が p 型シリコンの反転型可動ゲートトランジスタ(n+pn+で表す)になる。そして、二つのトランジスタが一つの動けるゲートで制御して、ゲートは n 型ポリシリコンの仕事関数に相当する材料である。

ゲート電圧が 0V の時、ゲートがチャンネル絶縁膜と離れて、pull-out 状態になり、CMOS の PMOS 部分に相当する蓄積型可動ゲートトランジスタがオン状態になり(詳細は表 3.1)、CMOS の NMOS 部分に相当する反転型可動ゲートトランジスタがオフ状態になる(詳細は表 3.1)、この時、出力電圧が V_{dd} になる。つまり、入力信号が Low の時出力信号が high になる。

それに対して、ゲート電圧が V_{dd} の時、ゲートがチャンネル絶縁膜と接触して pull-in 状態になり、CMOS の PMOS 部分に相当する蓄積型可動ゲートトランジスタがオフ状態になり(詳細は表 3.1)、CMOS の NMOS 部分に相当する反転型可動ゲートトランジスタがオン状態になり(詳細は表 3.1)、この時、出力電圧が 0V になる。つまり、入力信号が High の時出力信

号が Low になる。

以上述べた原理に基づいて、この回路がインバータの動作を実現できる。第二章で紹介したように、本研究で提案した蓄積型可動ゲートトランジスタがオフ状態を実現できるため、SOI 基板上で作製しないといけない。したがって、本研究で提案したインバータ回路も必ず SOI 基板上で作ることになる。

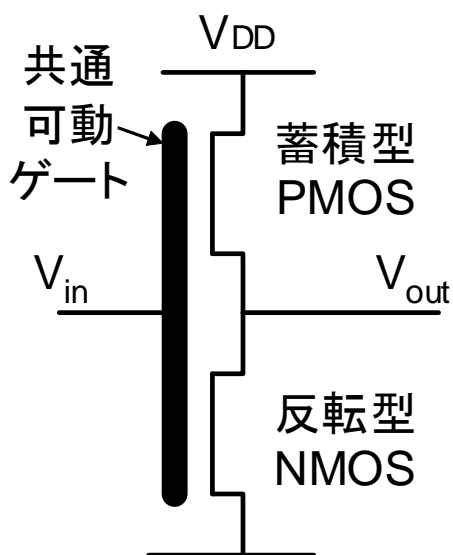


Fig. 3.5 Schematic of the inverter composed of inversion type NMOS and accumulation type PMOS with common movable gate.

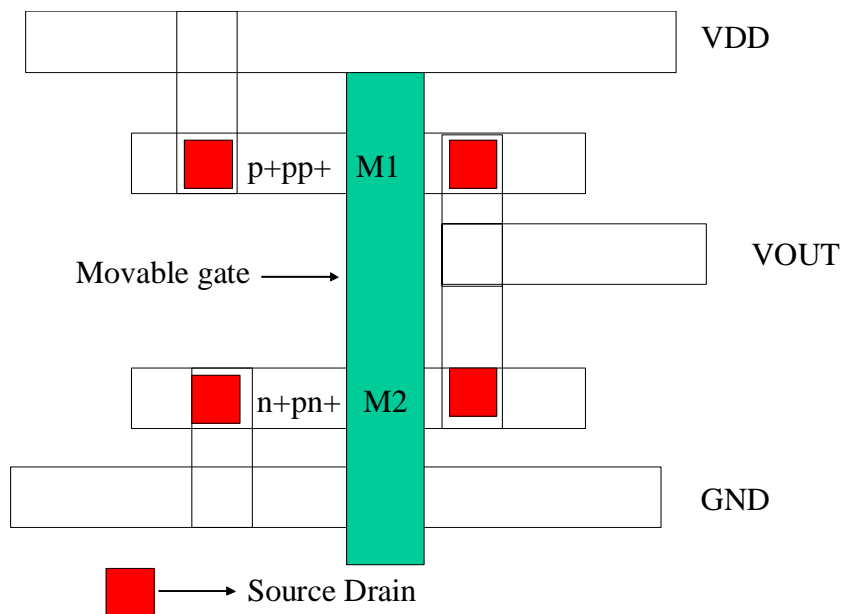


Fig. 3.6 the layout of the inverter composed of inversion type NMOS and accumulation type PMOS with common movable gate.

Table3.1 The summary of SG-MOSFET and AMG-MOSFET

	SG-MOSFET n ⁺ (S)p(channel)n ⁺ (D)	AMG-MOSFET (proposed) p ⁺ (S)p(channel)p ⁺ (D)
On State	Gate is down	Gate is up
Off State	Gate is up	Gate is down
Type	Inversion	Accumulation
Driving Force	Electrostatic force caused by the electric potential difference	Electrostatic force caused by the electric potential difference
Research progress	Simulation and device fabrication	Simulation and device fabrication
Gap Height	Several hundred nm	dozens of nm

3.3 提案した可動ゲートトランジスタインバータ回路に関する検討

3.3.1 P型可動ゲートトランジスタとN型可動ゲートトランジスタの閾値電圧の絶対値が等しいモデルの検討

現在まで研究された一般のCMOSインバータ回路では、インバータ回路の出力 V_{out} が急峻な変化を得るため、PMOSとNMOSの閾値電圧の絶対値が等しくなるようにする。そして、PMOSとNMOSの閾値電圧の絶対値が約インバータ回路の V_{dd} の0.25~0.3倍になる[16]。短チャネル効果によって、閾値電圧が更なるスケールアップすると、消費電力が急激に増大するので、すでに閾値電圧がスケールアップできない時代に入った。PMOSとNMOSの閾値電圧の絶対値がスケールアップできないので、インバータ回路の V_{dd} もスケールアップできなくなる。低消費電力を実現するため、PMOSとNMOSの閾値電圧の絶対値が変わらなくてもインバータ回路の V_{dd} をスケールアップできることが実現できる回路が必要になる。

本研究で提案した可動ゲートトランジスタを用いたインバータ回路はPMOSとNMOSの閾値電圧を低減しなくても、インバータ回路の V_{dd} をスケールアップできる回路になる。そして、本研究で提案した回路では、PMOSとNMOSの閾値電圧の絶対値が等しい及び等しくない二つの条件どれにしても、インバータ回路の動作は実現できる。

本研究では、まず従来のCMOSインバータ回路と同じく、P型可動ゲートトランジスタとN型可動ゲートトランジスタの閾値電圧が等しい条件で、インバータ回路のシミュレーションを行い、その後にP型可動ゲートトランジスタとN型可動ゲートトランジスタの閾値電圧が等しくない条件でインバータ回路のシミュレーションを行った。したがって、本

論文の 3.2 節では、3.2.1 で P 型可動ゲートトランジスタと N 型可動ゲートトランジスタの閾値電圧の絶対値が等しいモデルについて検討する；3.2.2 で P 型可動ゲートトランジスタと N 型可動ゲートトランジスタの閾値電圧の絶対値が等しくないモデルについて検討する。ここで定義した可動ゲートトランジスタの閾値電圧とは、ゲートが pull-in された状態で定電流法によって、求めた閾値電圧を意味している。つまり、ゲートが pull-in された状態でドレイン電流が $10^{-7} \text{ A} / \mu\text{m}$ の時に対応するゲート電圧が閾値電圧にする。

シミュレーションで用いたパラメータは表 3.2 に示す。最初に設計したモデルは P 型可動ゲートトランジスタの閾値電圧が -0.5V 、N 型可動ゲートトランジスタの閾値電圧が 0.5V になる。インバータ回路の V_{dd} は 1.5V である。

P 型可動ゲートトランジスタのシミュレーション結果が図 3.7 になる；N 型可動ゲートトランジスタのシミュレーション結果が図 3.8 になる。本論文の 2.4 節で紹介したように、可動ゲートトランジスタでは pull-in 電圧と pull-out 電圧の間にヒステリシスが存在している。そして、pull-in 電圧が pull-out 電圧より大きいである。

最初に計算で pull-in 電圧と pull-out 電圧を求めて、その後 Medici シミュレータを使ってトランジスタの特性を求めて、最後に合成した図は図 3.7 と図 3.8 である。

Table 3.2 The summary of major parameters used in the same threshold voltage model simulation.

P 型可動ゲートトランジスタ		N 型可動ゲートトランジスタ	
ゲート長	100nm	ゲート長	100nm
チャンネル部分の不純物濃度	$10^{18} / \text{cm}^3$	チャンネル部分の不純物濃度	$10^{18} / \text{cm}^3$
ソース、ドレイン部分の不純物濃度	$10^{20} / \text{cm}^3$	ソース、ドレイン部分の不純物濃度	$10^{20} / \text{cm}^3$
Box 厚さ	200nm	Box 厚さ	200nm
ゲート高さ	10nm	ゲート高さ	10nm
チャンネル部分のシリコン(SOI)厚さ	6nm	チャンネル部分のシリコン(SOI)厚さ	6nm
ゲート絶縁膜厚さ	2nm	ゲート絶縁膜厚さ	2nm
ゲート材料の仕事関数	4.5eV	ゲート材料の仕事関数	4.5eV

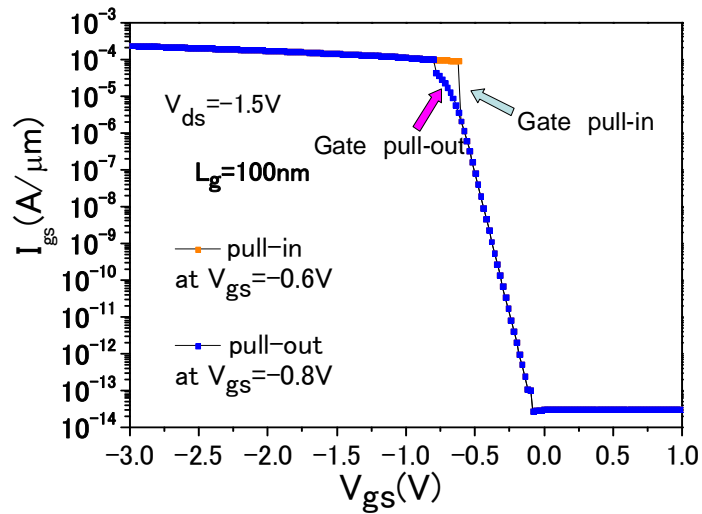


Fig. 3.7 I_d - V_g characteristic of n-type movable gate transistor simulated by the same threshold voltage model.

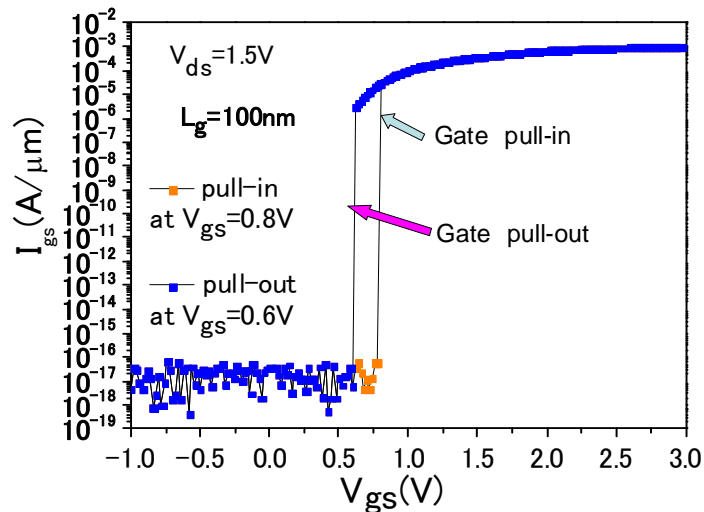


Fig. 3.8 I_d - V_g characteristic of p-type movable gate transistor simulated by the same threshold voltage model.

ゲートの pull-in 電圧と pull-out 電圧がインバータ回路の出力電圧に影響する。本研究では、インバータ回路の入力電圧 V_{in} が 0.48V の時ゲートが pull-in、0.28V の時ゲートが pull-out；入力電圧 V_{in} が 0.78V の時ゲートが pull-in、0.58V の時ゲートが pull-out2 種類のモデルでシミュレーションを行った。

インバータ回路の入力電圧 V_{in} が 0.48V の時ゲートが pull-in、0.28V の時ゲートが pull-out するモデルでのインバータ回路の特性を図 3.9 に示す；インバータ回路の入力電圧 V_{in} が 0.78V の時ゲートが pull-in、0.58V の時ゲートが pull-out するモデルでのインバータ回路の特性を図 3.10 に示す。図 3.9 で示す入力電圧と出力電圧が A、B、C、D、E5 点になる時、

二つのトランジスタの詳しい動作を表 3.3 にまとめる。一方、図 3.10 で示す入力電圧と出力電圧が A、B、C、D、E5 点になる時、二つのトランジスタの詳しい動作を表 3.4 にまとめる。

図 3.9 で示すように、ゲートの pull-in 電圧が $V_{dd}/2$ より小さい時、ゲートが pull-in した後、p 型可動ゲートトランジスタがオン状態になり、n 型可動ゲートトランジスタがオフ状態となる、つまり一般の CMOS の動作原理とほぼ同じになる。その後インバータ回路の動作原理も一般の CMOS とほぼ同じになる。

V_{in} が $V_{dd}/2$ を越えた時、n 型可動ゲートトランジスタの電流が p 型可動ゲートトランジスタの電流を超えて、出力電圧が急速に低減して、0V に近づいて、回路がインバータ動作をする。一方、 V_{in} が 1.5V から 0V に戻る時にも、出力の急速な変化は V_{in} が $V_{dd}/2$ 付近の時が発生する。つまり、ゲートが pull-in した状態で出力の急峻な変化が発生する。この方面では、 V_{in} が 0V から 1.5V に変化する時とは完全に同じになるので、インバータ回路の出力電圧では、ヒステリシスが発生しない。

そして、ゲートの pull-in 電圧が $V_{dd}/2$ より大きいモデル($V_{pull-in}=0.78V$ 、 $V_{pull-out}=0.58V$)では、 V_{in} が 1.5V から 0V に戻る時回路の動作原理は $V_{pull-in}=0.48V$ のモデルと同じになる。しかし、 V_{in} が 0V から 1.5V に変化する時、ゲート電圧が $V_{dd}/2$ になる時、ゲートが pull-in されてないので、この時 P 型可動ゲートトランジスタのみがオン状態になり、インバータの出力が Low にはならない。ゲートが pull-in する瞬間に、P 型可動ゲートトランジスタがオフ状態になり、N 型可動ゲートトランジスタがオン状態になり、インバータ回路の出力が Low になる。このモデルでは出力電圧では、わずかなヒステリシスが発生する。

まとめて説明すると、P 型可動ゲートトランジスタと N 型可動ゲートトランジスタの閾値電圧の絶対値が等しいモデルでは、インバータ回路の特性は一般の CMOS とほぼ同じになる。出力電圧が High(この回路では 1.5V)の時、ゲートが pull-out することによって、NMOS のオフ電流を大幅に低減できる。しかし、出力電圧が Low(この回路では 0V)の時、この回路は一般の CMOS とは同じになるので、PMOS のオフ電流を低減できない。そして、このモデルでは、p 型可動ゲートトランジスタの閾値電圧がスケールリングされると、オフ電流が増大するので、このモデルでは CMOS インバータ回路と同じく電源電圧 V_{dd} がスケールリングできないモデルであるので、消費電力を下げる目的に適切なモデルとは言えない。

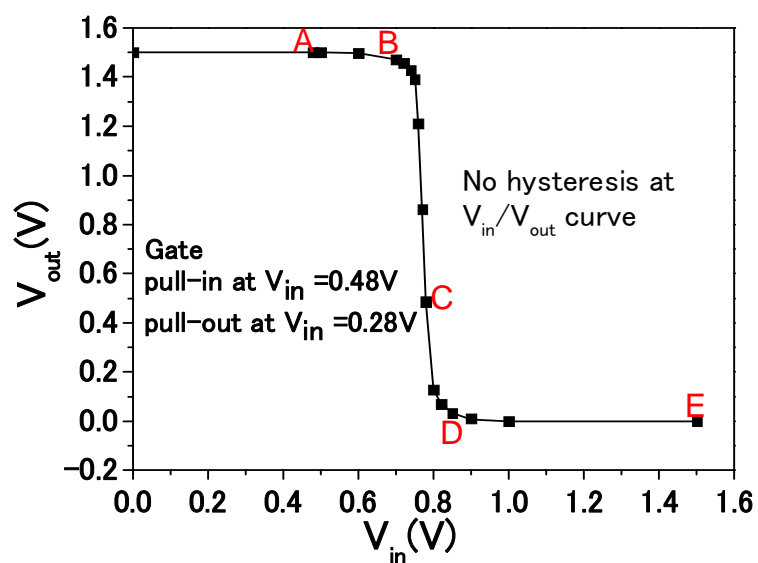


Fig. 3.9 characteristic of the proposed inverter circuit ($V_{\text{pull-in}}=0.48\text{V}$ and $V_{\text{pull-out}}=0.28\text{V}$ model).

Table 3.3 The summary of the characteristic of two movable gate transistors ($V_{\text{pull-in}}=0.48\text{V}$ and $V_{\text{pull-out}}=0.28\text{V}$ model)

	A	B	C	D	E
N 型可動ゲートトランジスタ	pull-out	pull-in	pull-in	pull-in	pull-in
	Off	Off	On	On	On
P 型可動ゲートトランジスタ	pull-out	pull-in	pull-in	pull-in	pull-in
	On	On	On	Off	Off
V_{in}	0.46V	0.7V	0.78V	0.85V	1.5V
V_{out}	1.5V	1.47V	0.49V	0.03V	0V
N 型トランジスタの電流	5.00E-14	4.00E-06	2.60E-05	2.00E-05	3.80E-04
P 型トランジスタの電流	1.00E-04	4.80E-05	1.95E-05	7.00E-06	3.00E-14

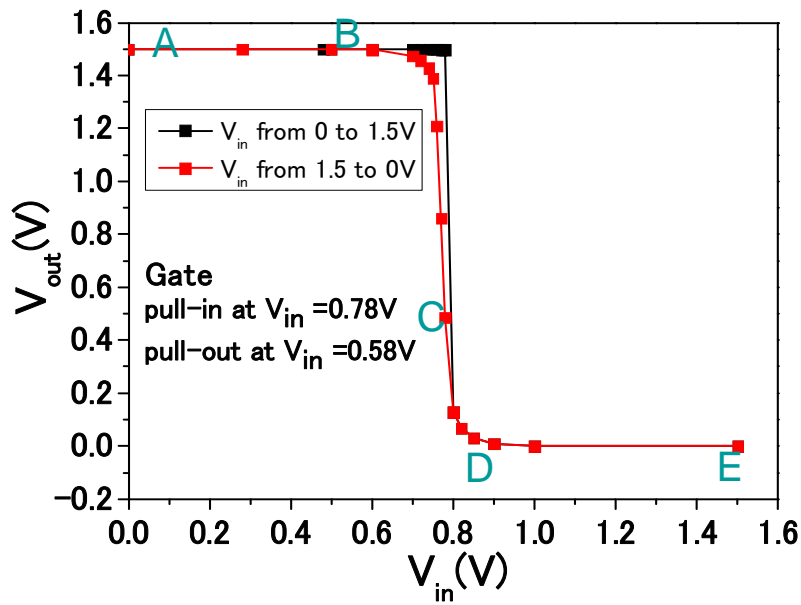


Fig. 3.10 characteristic of the proposed inverter circuit ($V_{\text{pull-in}}=0.78\text{V}$ and $V_{\text{pull-out}}=0.58\text{V}$ model).

Table3.4 Table 3.3 The summary of the characteristic of two movable gate transistors

($V_{\text{pull-in}}=0.78\text{V}$ and $V_{\text{pull-out}}=0.58\text{V}$ model).

A から E まで	A	B	C	D	E
n MOS	pull-out	pull-out	pull-in	pull-in	pull-in
	Off	Off	On	On	On
pMOS	pull-out	pull-out	pull-in	pull-in	pull-in
	On	On	On	Off	Off
Vin	0V	0.6V	0.78V	0.85V	1.5V
Vout	1.5V	1.5V	0.49V	0.03V	0V
nMOS の電流	5.00E-14	5.00E-14	2.60E-05	2E-5	3.80E-04
pMOS の電流	1.4E-04	4.80E-05	1.95E-05	7E-6	3.00E-14
E から A まで	A	B	C	D	E
n MOS	pull-out	pull-in	pull-in	pull-in	pull-in
	Off	Off	On	On	On
pMOS	pull-out	pull-in	pull-in	pull-in	pull-in
	On	On	On	Off	Off
Vin	0.48V	0.7V	0.78V	0.85V	1.5V
Vout	1.5V	1.47V	0.49V	0.03V	0V
nMOS の電流	5.00E-14	4.00E-06	2.60E-05	2E-5	3.80E-04
pMOS の電流	1.00E-04	4.80E-05	1.95E-05	7E-6	3.00E-14

3.3.2 P型可動ゲートトランジスタとN型可動ゲートトランジスタの閾値電圧の絶対値が等しくないモデルの検討

3.3.1 で述べた通り、閾値電圧の絶対値が等しい N 型可動ゲートトランジスタと P 型可動ゲートトランジスタで構成したインバータ回路は消費電力を下げる目的に不適切なモデルになるので、閾値電圧が絶対値が等しくない N 型可動ゲートトランジスタと P 型可動ゲートトランジスタで構成したインバータ回路の特性に関するシミュレーションを行った。

本研究で提案したインバータ回路では、一つの弱点としては、P 型可動ゲートトランジスタはゲートがチャンネル絶縁膜と接触した時、トランジスタがオフ状態になるので、閾値電圧が低減すると、デバイスオフ時の消費電力が上がる。したがって、閾値電圧の絶対値が等しくないモデルを設計する時、P 型可動ゲートトランジスタの閾値電圧を大きくすることにした。一方、N 型可動ゲートトランジスタの場合、ゲートがチャンネル絶縁膜と離れる時トランジスタがオフ状態になるので、トランジスタの閾値電圧が小さくにしても、トランジスタオフ時の消費電力に影響なく、かつトランジスタのオン電流が増大できるので、N 型可動ゲートトランジスタの閾値電圧を小さくすることにした。

以上述べた理由から、P 型可動ゲートトランジスタの閾値電圧が $-0.7V$ 、N 型可動ゲートトランジスタの閾値電圧が $0V$ でのモデルで、シミュレーションを行った。インバータ回路の電源電圧を下げる目的で、 V_{dd} を $1.0V$ にした。シミュレーションで使ったパラメータは主に表 3.5 にまとめる。図 3.11 で閾値電圧が $-0.7V$ の P 型可動ゲートトランジスタの電流電圧特性を示す。図 3.12 で閾値電圧が $0V$ の N 型可動ゲートトランジスタの電流電圧特性を示す。Pull-in と pull-out 電圧は計算で求めた値になる。

図 3.13 でインバータ回路の入力電圧と出力電圧の関係を示す。このシミュレーションモデルでは、インバータ回路の入力電圧 V_{in} が $0.6V$ の時ゲートが pull-in、 $0.4V$ の時ゲートが pull-out する。インバータ回路の動作をわかりやすくするため、図 3.13 で示す入力電圧と出力電圧が A、B、C、D、E の 5 点になる時、二つのトランジスタの詳しい動作を表 3.6 にまとめる。そして P 型可動ゲートトランジスタと N 型可動ゲートトランジスタの電流とインバータ回路の入力電圧の関係を図 3.14 に示す。このモデルでは、ゲートの pull-in 電圧が $\frac{V_{dd}}{2}$

より大きく、pull-out 電圧が $\frac{V_{dd}}{2}$ より小さいモデルである。インバータ回路の入力電圧と出力電圧の関係ではヒステリシスが発生する。一般の CMOS 回路では、2 つの MOS トランジスタの電流は $\frac{V_{dd}}{2}$ 付近で、一つの MOS トランジスタがもう一つのトランジスタの電流と比べて、数桁大きくような変化が起こる。つまり、一つのトランジスタの電流が回路の出力電圧を主導することからもう一つのトランジスタの電流が回路の出力電圧を主導する変

化はインバータ回路の $\frac{V_{dd}}{2}$ 付近で発生するので、インバータ回路の出力が $\frac{V_{dd}}{2}$ 付近で急

峻な変化が発生する。このモデルでの可動ゲートトランジスタインバータ回路では、一つのトランジスタの電流が回路の出力電圧を主導することからもう一つのトランジスタの電流が回路の出力電圧を主導する変化はゲートが動く時に発生するので、インバータ回路の出力はゲートが pull-in する時と pull-out する時で発生する。

図 3.14 から、このモデルでは、インバータ回路の出力電圧を主導するトランジスタの変化はゲートが動く時のみ発生する。ゲートが up 状態になる時、P 型可動ゲートトランジスタの電流エラー! ブックマークが自己参照を行っています。数値大きくなるので、出力電圧もつねに High 信号になる；それに対して、ゲートが down 状態になる時、P 型可動ゲートトランジスタの電流エラー! ブックマークが自己参照を行っています。数値大きくなるので、出力電圧も常に Low 信号になる。出力電圧は High から Low 或いは Low から High に変化するのは、ゲートが動く時のみに発生する。2.4 節で紹介するのは、理論の計算ではゲートを pull-in される力と pull-out される力が違うになるので、このモデルでの計算結果では、二つの可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスが起こる。pull-in 電圧と pull-out 電圧のヒステリシスによって、このモデルでのインバータ回路の出力電圧ではヒステリシスが起こる。インバータ回路の出力電圧でのヒステリシス幅が回路を構成する可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の差と等しくなる。

Table 3.5 The summary of major parameters used in the different threshold voltage model simulation.

P 型可動ゲートトランジスタ		N 型可動ゲートトランジスタ	
ゲート長	100nm	ゲート長	100nm
チャネル部分の不純物濃度	$3 \times 10^{18} / cm^3$	チャネル部分の不純物濃度	$5.8 \times 10^{18} / cm^3$
ソース、ドレイン部分の不純物濃度	$2 \times 10^{20} / cm^3$	ソース、ドレイン部分の不純物濃度	$2 \times 10^{20} / cm^3$
Box 厚さ	200nm	Box 厚さ	200nm
ゲート高さ	10nm	ゲート高さ	10nm
チャネル部分のシリコン(SOI)厚さ	6nm	チャネル部分のシリコン(SOI)厚さ	6nm
ゲート絶縁膜厚さ	2nm	ゲート絶縁膜厚さ	2nm
ゲート材料の仕事関数	4.15eV	ゲート材料の仕事関数	4.15eV

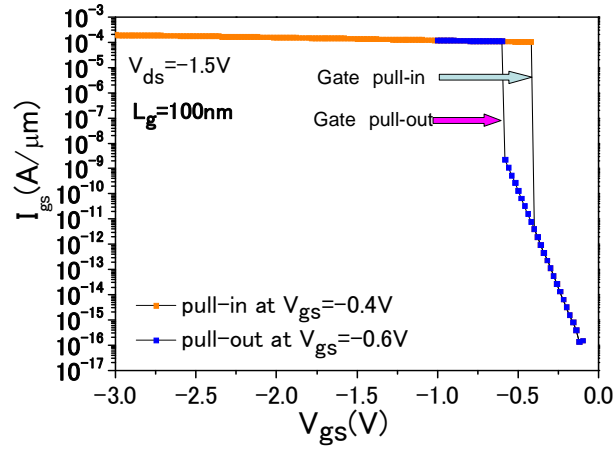


Fig. 3.11 I_d - V_g characteristic of n-type movable gate transistor simulated by the different threshold voltage model.

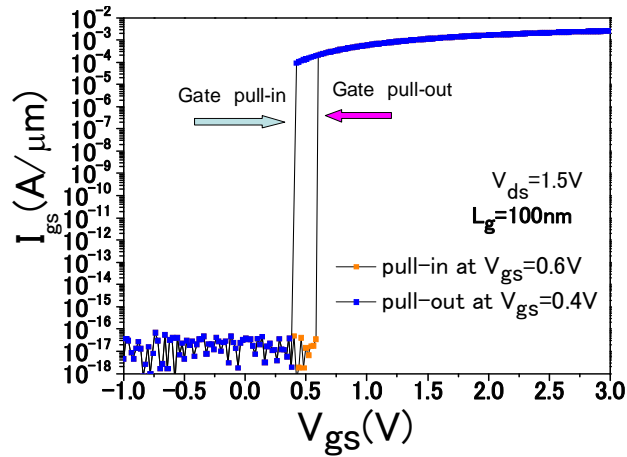


Fig3.12 I_d - V_g characteristic of p-type movable gate transistor simulated by the different threshold voltage model.

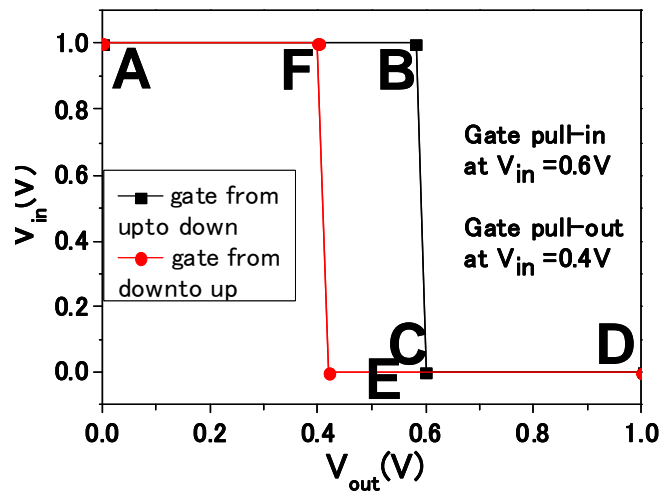


Fig3.13 characteristic of the proposed inverter circuit(the different threshold voltage model).

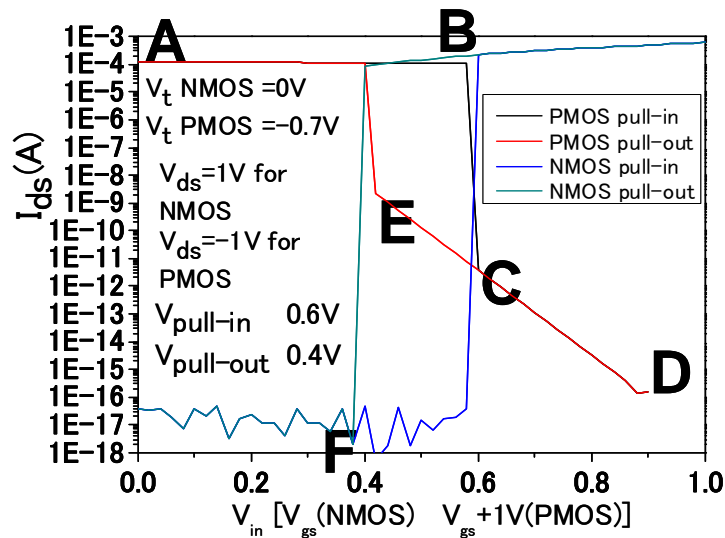


Fig. 3.14 The relationships between V_{in} of the inverter circuit and I_{ds} of movable gate transistor

Table 3.6 The summary of the characteristic of two movable gate transistors.

	A	B	C	D	E	F
n MOS	pull-out	pull-out	pull-in	pull-in	pull-in	pull-out
	Off	Off	On	On	On	Off
pMOS	pull-out	pull-out	pull-in	pull-in	pull-in	pull-out
	On	On	Off	Off	Off	On
V_{in}	0V	0.58V	0.6V	0.9V	0.42V	0.4V
V_{out}	1V	1V	0V	0V	0.001	1V
nMOS の電流	3.9E-17	3.6E-17	2.2E-04	4.9E-04	9.4E-05	4.9E-17
pMOS の電流	1.2E-4	1.1E-4	3.9E-12	1.5E-16	2.2E-9	1.1E-4

閾値電圧の絶対値が等しくないモデルのインバータ回路の利点は主に二つがあると考え
る。

一つ目は消費電力を下げることである。ゲートを pull-out させることによって、N 型可動
ゲートトランジスタのオフ時のゲートリーク電流が大幅に減らせるので、N 型可動ゲートト
ランジスタのオフ電流が大幅に減らせる。そして、このモデルでの可動ゲートインバータ
回路の動作原理から、P 型可動ゲートトランジスタの閾値電圧を増大できる。そして、P 型
可動ゲートトランジスタの閾値電圧を増加することで、P 型可動ゲートトランジスタのオフ
状態の電流も低減できる。以上述べたことから、可動ゲートトランジスタインバータ回路
では、従来の回路よりトランジスタのオフ電流を低減できる。一方、可動ゲートトランジ
スタインバータ回路では、電源電圧 V_{dd} を下げることもできる。以上述べたことから、可動
ゲートトランジスタインバータ回路では従来の CMOS インバータ回路と比べて、消費電力

を下げることができる。

二つ目は回路の遅延時間を減らす、回路の動作速度を向上できると考えている。図 3.15 は負荷容量を入れたインバータ回路の図になる。トランジスタ M1 のチャネルが n 型シリコンの場合、この図は一般の CMOS インバータ回路図になる；一方、トランジスタ M1 のチャネルが p 型シリコンの場合、この図は本研究で提案した可動ゲートトランジスタを用いたインバータ回路図になる。議論しやすいため、遅延時間の議論は、入力電圧では遅延がない条件で、出力電圧の遅延時間を議論する。入力電圧では遅延がない時、出力電圧の遅延時間を決める主な要素は負荷容量(C_{load})の充(放)電時間である。

入力電圧が Low 信号から High 信号に変わる時、N 型可動ゲートトランジスタを通じて、負荷容量が放電する。負荷容量の放電する時間が遅延時間を決める。一般的には、負荷容量の放電するのは二つの段階分けて考え。入力電圧が Low 信号から High 信号に変わる最初の時、出力電圧 V_{out} が High になるので、最初の放電する時間は N 型トランジスタのドレイン電圧が High の時の電流で決める。一方、出力電圧 V_{out} が High から Low に変えて、かつ 0V になる直前、放電する時間は N 型トランジスタのドレイン電圧が数十 mV の時の電流で決める。本研究で提案した閾値電圧が 0V である N 型可動ゲートトランジスタでは、一般的の閾値電圧が 0.2~0.4V の N 型 MOSFET トランジスタに比べて、ドレイン電圧が High の時及び数十 mV の時ドレイン電流が大きくなる。したがって、閾値電圧が 0V である N 型可動ゲートトランジスタで構成したインバータ回路のほうが、負荷容量の放電する時間が小さいである。つまり、このモデルの可動ゲートトランジスタインバータ回路では、一般の CMOS インバータ回路より遅延時間を低減することができる。

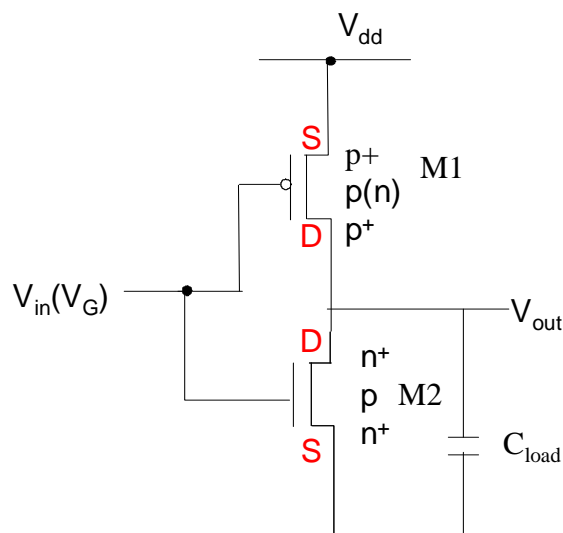


Fig. 3.15 Schematic of the inverter circuit include the load capacitance.

P 型可動ゲートトランジスタと N 型可動ゲートトランジスタの閾値電圧の絶対値が等しい及び等しくない二つのモデルで、シミュレーションより、本研究で提案したインバータ回路を実証した。消費電力の低減という目標を実現するため、閾値電圧の絶対値が等しく

ないモデルが優位性を持つことがわかった。しかし、閾値電圧の絶対値が等しくないモデルでは、出力電圧でヒステリシスが発生する問題が起こった。そして、蓄積型トランジスタのオン電流が反転型トランジスタより小さくなる。3.4節では、この二つの問題点を解決するための研究について述べる。

3.4 可動ゲートトランジスタインバータ回路最適化向けの検討

3.3節で紹介された閾値電圧が等しくないモデルのインバータ回路は消費電力の低減と回路スピードの向上で従来の CMOS インバータ回路より優れている、ゲート動きの制御で提案された CMOS インバータ回路より優れているが、主に二つの問題点がある。一つ目は蓄積型可動ゲートトランジスタのオン電流が小さいことである。二つ目はインバータ回路の出力がヒステリシスを持つことである。

この二つの問題点を解決するために、3.4節で可動ゲートトランジスタインバータ回路最適化に関して検討する。3.4節でも討論は $V_{dd}=1V$ 、蓄積型可動ゲートトランジスタの閾値電圧が $-0.7V$ 、反転型可動ゲートトランジスタの閾値電圧が $0V$ の条件で検討する。この節で、 $V_{dd}=1V$ の CMOS インバータ回路の比較も行う。一般的に $V_{dd}=1V$ の CMOS インバータ回路を構成する NMOS、PMOS の閾値電圧の絶対値が $0.25V(1/4 V_{dd})$ 或いは $0.33V(1/3V_{dd})$ である [16]。したがって、比較用の CMOS インバータ回路は閾値電圧の絶対値が $0.25V(1/4 V_{dd})$ 或いは $0.33V(1/3V_{dd})$ である NMOS と PMOS で構成する。

蓄積型可動ゲートトランジスタのオン電流が小さい問題を解決するため、ゲート長が $60nm$ のモデルでシミュレーションの研究を行った。シミュレーションのパラメータを表 3.7 に示す。

このシミュレーションは 3.3 節で述べた閾値電圧が等しくないモデルの最適化するためのシミュレーションである。シミュレーション方法は一般のバルク PMOS と本研究で提案した蓄積型可動ゲートトランジスタのチャネル部分の不純物濃度を変えて、シミュレーションを行った。蓄積型可動ゲートトランジスタゲートが pull-out される時、チャネル部分の不純物濃度とオン電流の関係を図 3.16 に示す。図 3.16 からチャネル部分の不純物濃度を増大させることによって、蓄積型可動ゲートトランジスタのオン電流を増加させることができる。それに対して、閾値電圧の絶対値が $0.25V(1/4 V_{dd})$ の一般の PMOS のオン電流とチャネル部分の不純物濃度の関係を図 3.17 に示す。図 3.17 はチャネル部分の不純物濃度が違って、閾値電圧の絶対値が $0.25V(1/4 V_{dd})$ になるように、ゲート材料の仕事関数を調整しながら得られた結果である。図 3.17 から、一般の PMOS では、チャネル部分の不純物濃度を増大しても、閾値電圧が変わらない条件では、トランジスタのオン電流は増大しない。その理由はチャネル部分の不純物濃度を増大することによって、トランジスタの S ファクタが悪くなることである。

図 3.18 でチャネル部分の不純物濃度を増大した蓄積型可動ゲートトランジスタと最大オ

ン電流を持つ PMOS(閾値電圧の絶対値が 0.25V と 0.33V)のシミュレーション結果をまとめた図である。提案したインバータ回路の V_{dd} が 1V であるので、p 型トランジスタの最大オン電流が得られたのは $V_{gs}=-V_{dd}$ の時であり、最小のオフ電流が得られた時は $V_{gs}=0V$ の時である。図 3.18 から、チャネル部分の不純物濃度を増大することより、蓄積型可動ゲートトランジスタ $V_{gs}=-V_{dd}$ 時のオン電流が PMOS とほぼ同じになるが、 $V_{gs}=0V$ 時のオフ電流は 1~2 桁低減できる。以上述べたことから、チャネル部分の不純物濃度を増大する技術を用いて、 V_{dd} が小さいインバータ回路の $V_{gs}=-V_{dd}$ 時の蓄積型可動ゲートトランジスタ最大オン電流が一般の PMOS と近づくことが実現できる。

そして、ゲート長が 60nm の反転型可動ゲートトランジスタと一般の NMOS の比較も行った。図 3.19 に閾値電圧が 0V の反転型可動ゲートトランジスタと閾値電圧が 0.25V(1/4 V_{dd})、0.33V(1/3 V_{dd})である NMOS のシミュレーション結果をまとめたものである。提案したインバータ回路の V_{dd} が 1V であるので、n 型トランジスタの最大オン電流が得られたのは $V_{gs}=V_{dd}$ の時であり、最小のオフ電流が得られた時は $V_{gs}=0V$ の時である。本研究で提案したインバータ回路では、閾値電圧が 0V の反転型可動ゲートトランジスタを使うことが可能になる。そして、閾値電圧が 0V の反転型可動ゲートトランジスタの $V_{gs}=V_{dd}$ 時のオン電流は閾値電圧が 0.25V(1/4 V_{dd})、0.33V(1/3 V_{dd})である NMOS より増大する； $V_{gs}=0V$ 時のオフ電流は 3~4 桁低減できる。

以上のことをまとめると、チャネル部分の不純物濃度を増大する技術及び閾値電圧が 0V の反転型可動ゲートトランジスタを使うことによって、本研究で提案したインバータ回路を構成するトランジスタのオン電流が従来の CMOS インバータ回路を構成するトランジスタのオン電流とほぼ同じなる条件で、トランジスタのオフ電流が数桁低減することができることがシミュレーション上では実証された。

次に、インバータ回路の出力がヒステリシスを持つという問題を解決するアイデアを述べる。インバータ回路でヒステリシスが発生する根本的な原因は可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスが発生することである。可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスを除去できれば、インバータ回路で発生するヒステリシスを無くすことができると考える。

pull-out 電圧が pull-in 電圧より小さい理由は二つがある。一つ目は、ゲートに同じ電圧を印加しても、ゲートが絶縁膜と離れる時の静電気力はゲートが絶縁膜と接触する時より小さいことになる。二つ目は、ゲートが絶縁膜と接触する時、surface adhesion force が印加されるが、ゲートが絶縁膜と離れる時は印加されていない。まとめに説明すると、ゲートが絶縁膜と接触する時、静電気力の増大及び surface adhesion force が印加されることによって、pull-out 電圧が pull-in 電圧より小さくなる。

surface adhesion force を変えることが非常に難しいが、可動ゲートトランジスタの構造を変えれば、ゲートが絶縁膜と接触する時の静電気力を変えることが可能だと考える。

図 3.20 に従来の可動ゲートトランジスタのゲート絶縁膜の上に、電荷蓄積層を入れた構

造に示す。左側はゲートが pull-out する時の構造図であり、右側でゲートが pull-in される時の構造図を示す。ゲートが pull-in すると、電荷蓄積層に電荷を注入する。電荷が注入されることによって、ゲートに印加する電圧が減少すると等価になる。ゲートに印加する電圧が減少すると、ゲートにかかる静電気力も同時に減少する。電荷蓄積層に電荷を注入させることによって、ゲートが絶縁膜と接触する時の静電気力はゲートが絶縁膜と離れる時より小さくすることを実現できると考える。ゲートが絶縁膜と離れて、pull-in 電圧が X の時ゲートにかかる静電気力を A に仮定するし、ゲートが絶縁膜と接触する時の静電気力を B に仮定し、surface adhesion force を C に仮定する。電荷蓄積層に電荷を注入させることによって、 $A=B+C$ が成立するような B が得られると、電圧が X の時ゲートを pull-out させることが実現できる、つまり、可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスを除去することができると考える。そして、ゲートが離れる瞬間に、電荷蓄積層に注入された電荷が同時になくなることを実現しないとイケない。

以上述べた電荷蓄積層に電荷を注入する技術が実現できれば、可動ゲートトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスを除去できると考える。

次に pull-in 電圧と pull-out 電圧の間にヒステリシスを除去された条件で回路のシミュレーション結果を述べる。インバータ回路を構成するトランジスタは図 3.18 に示す特性を持つ蓄積型可動ゲートトランジスタと図 3.19 に示す特性を持つ反転型可動ゲートトランジスタである。両トランジスタはともにインバータ回路の入力電圧が $0.5V(V_{DD}/2)$ の時 pull-in 及び pull-out する。インバータ回路の特性を図 3.21 に示す。図 3.21 の中の入力電圧が A、B、C、D4 点になる時、2つのトランジスタの詳しい動作を表にまとめる。図 3.21 から、インバータ回路を構成するトランジスタの pull-in 電圧と pull-out 電圧の間にヒステリシスを除去できると、インバータ回路の出力で発生するヒステリシスがなくなる。

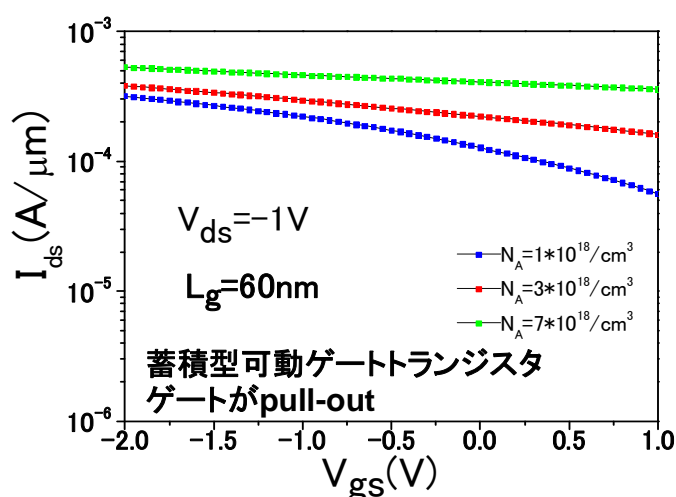


Fig3.16 I_{ds} - V_g characteristic of AMG-MOSFET when gate is pulled-out

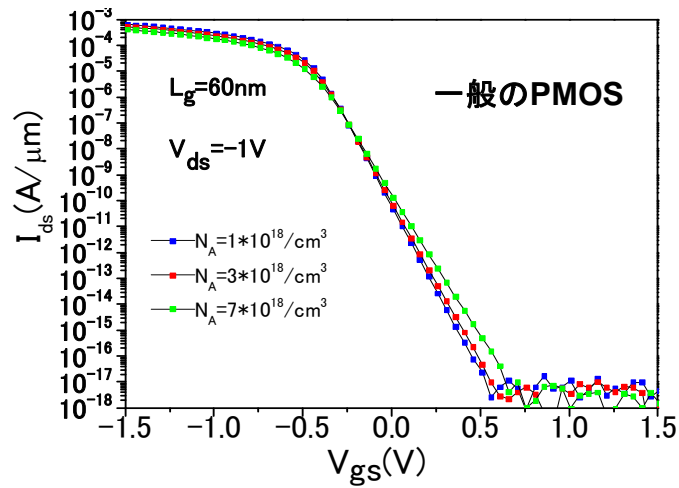


Fig. 3.17 I_d - V_g characteristic of general PMOS.

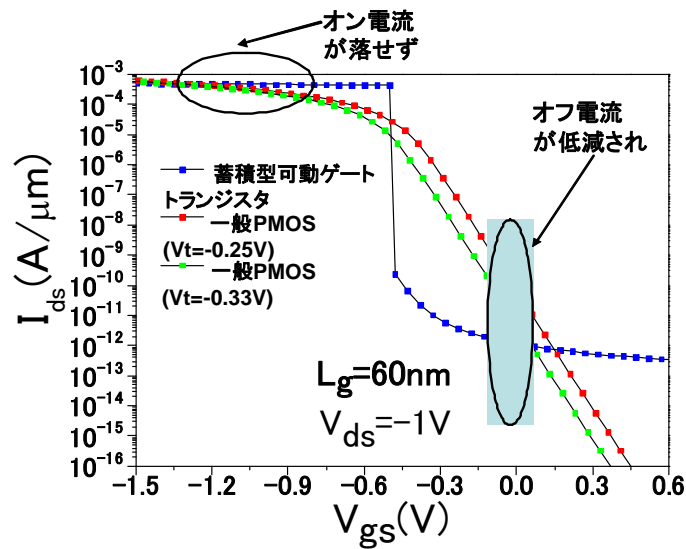


Fig. 3.18 combine the I_d - V_g characteristic of general PMOS and AMG-MOSFET.

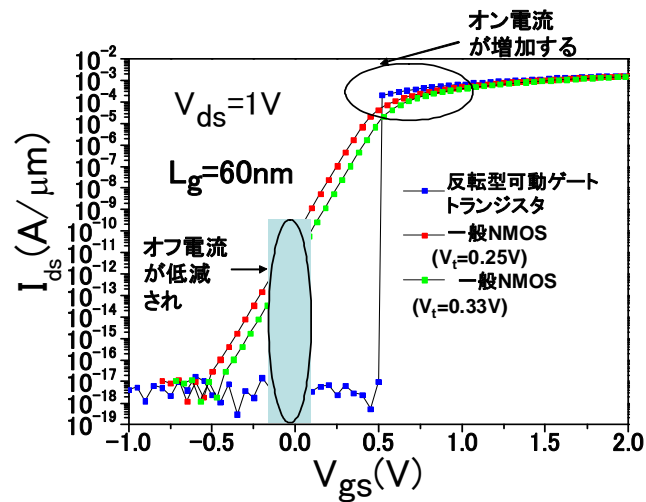


Fig. 3.19 combine the I_d - V_g characteristic of general NMOS and SG-MOSFET.

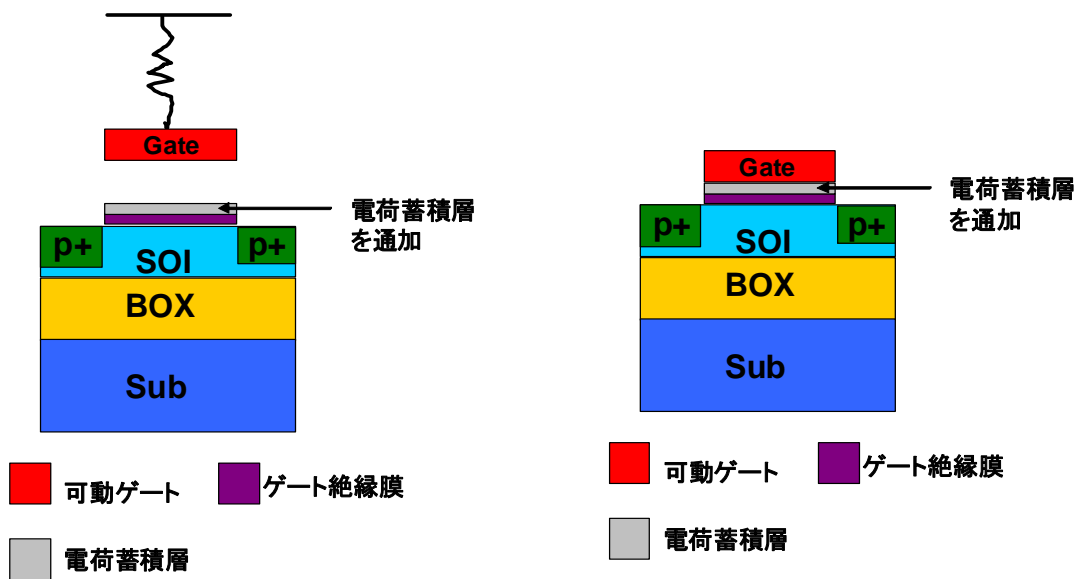


Fig. 3.20 The cross section of movable gate transistor include the charge accumulation layer.

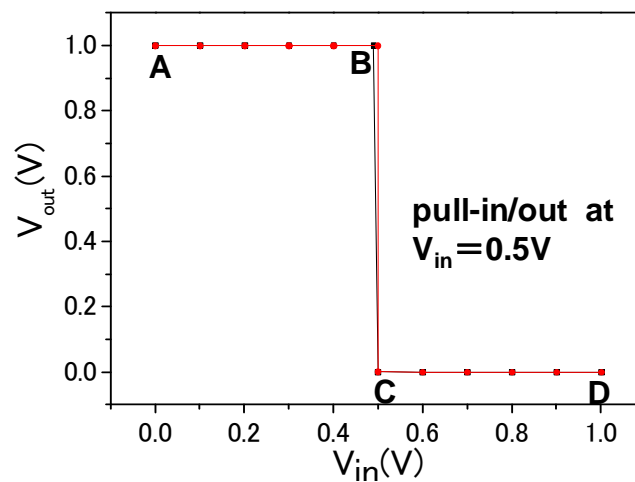


Fig. 3.21 characteristic of the proposed inverter circuit(no hysteresis between the pull-in voltage and pull-out voltage).

Table3.7 The summary of major parameters used in the ideal model simulation

P型トランジスタの電流	A00E-04	B80E-05	C95E-05	D00E-06
N型可動ゲートトランジスタ	pull-out	pull-in	pull-in	pull-in
	Off	Off	On	On
P型可動ゲートトランジスタ	pull-out	pull-in	pull-in	pull-in
	On	On	On	Off
V_{in}	0.46V	0.7V	0.78V	0.85V
V_{out}	1.5V	1.47V	0.49V	0.03V
N型トランジスタの電流	5.00E-14	4.00E-06	2.60E-05	2.00E-05

第4章 蓄積型可動ゲートトランジスタの作製

4.1 犠牲層材料の検討

可動ゲートトランジスタと一般のMOSトランジスタ構造上での一番大きい違いはゲートとゲート絶縁膜の間に空気ギャップが存在することである。

図4.1は可動ゲート部分の図である。可動ゲートとゲート絶縁膜の間に空気ギャップを形成するため、最初に空気ギャップのところに犠牲層を堆積して、その後に犠牲層の上にゲートを形成し、最後に犠牲層をエッチングすることで、可動ゲートを形成する。犠牲層の形成及び犠牲層をエッチングするプロセスは可動ゲートトランジスタを作るための一番重要なプロセスである。

現在まで行った研究の中に、成功に可動ゲートトランジスタを作ったのは主に三組のゲート材料と犠牲層材料である[7,17-20]。その三組のゲート材料と犠牲層材料及び犠牲層エッチング方法を表4.1でまとめる。

世界最初成功に作った可動ゲートトランジスタ(SG-MOSFET)はゲート材料が金属、犠牲層がシリコンとポリイミド二種類の構造になる[7]。ポリイミド犠牲層の利点はエッチングしやすいことである。しかし、犠牲層厚さが100nm以下になる場合、ポリイミドの厚さがうまく制御できないので、本研究では、犠牲層をポリイミドにすることができない。

犠牲層材料をシリコンにする利点としては、犠牲層厚さの制御が簡単になる。CVDで犠牲層シリコンを堆積するので、犠牲層厚さを数十nmにすることが簡単に実現できる。一方、犠牲層をシリコンにする不利な点は主に二つがある。一つ目は、犠牲層をシリコンにすると、ゲート材料をポリシリコンにすることができない。ゲート材料はポリシリコンではない場合、ソース、ドレイン、ゲートを同時に形成するセルフアラインプロセスができなくなる。イオン注入のプロセスが複雑になる。そして、平本研の設備では、シリコン以外ゲートとして使える材料はアルミニウムしかないので、ゲートを金属にする場合、ゲート材料は限られている。つまり、ゲート材料の仕事関数は限られている。二つ目は、平本研の設備ではシリコン犠牲層を設計通りうまくエッチングできる設備を持ってないことである。

犠牲層をシリコン酸化膜にする場合、利点は犠牲層厚さの制御が簡単になる。CVD(化学蒸着法 Chemical Vapor Deposition)で犠牲層シリコンを堆積するので、犠牲層厚さを数十nmにすることが簡単に実現できる。そして、従来のゲート、ソース、ドレインが同時に形成するセルフアラインプロセスを利用できる。不利な点は主に二つがある。一つ目は、ゲート絶縁膜と犠牲層が同時にシリコン酸化膜であるので犠牲層をエッチングする時、ゲート絶縁膜が同時にエッチングされないために、ゲート絶縁膜と犠牲層の間に保護膜を入れる必要がある。保護膜も絶縁膜であるので、保護膜を入れると、ゲート絶縁膜が等価的に厚くなる。本研究で提案したインバータ回路を構成する反転型可動ゲートトランジスタのオン電流がゲート絶縁膜の増加とともに減少するので、保護膜を入れると反転型可動ゲート

トランジスタのオン電流が減少する。二つ目の不利な点としては、保護膜はゲート絶縁膜の役割をする。シリコン酸化膜は性質が一番いいゲート絶縁膜である。保護膜のせいで、ゲート絶縁膜の性質が落とす。そして、保護膜に電荷が注入されることによって、トランジスタの閾値電圧を変える恐れがある。つまり、犠牲層をシリコン酸化膜にする場合、保護膜の選択について、研究しないと行けない。

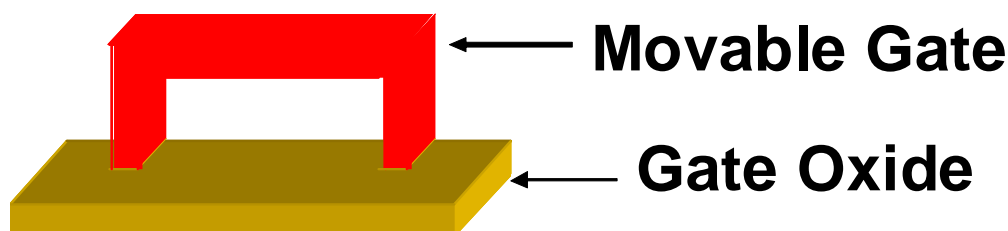


Fig. 4.1 Three dimensional drawing of movable gate.

Table 4.1 The summary of sacrificial layer and the way of etching in movable gate transistor process.

ゲート材料	シリコン多結晶、単結晶	金属アルミ	金属
犠牲層材料	シリコン酸化膜	ポリイミド	多結晶シリコン
エッチング方法	HF系	酸素アッシング	XeF2

本研究室では 2007 年からの可動ゲートトランジスタの試作の研究では、犠牲層がシリコン酸化膜、ゲート材料がポリシリコンという方針でデバイスを試作した[19,20]。

平本研究室が持っている設備では、保護膜を SiN にするしかできないので、平本研の最初の試作方針としては、保護膜を SiN にした[19,20]。[19,20]で示した保護膜が SiN、犠牲層が SiO₂、ゲートがポリシリコンのデバイスでは、測定することによって、デバイスの閾値電圧がシフトする。閾値電圧がシフトする原因を調べるために、本研究では、最初に(1 回目の試作)、保護膜が SiN、ゲートがずっと pull-in 状態のトランジスタを試作した。1 回目試作したデバイスの断面の構造図は図 4.2 になる。

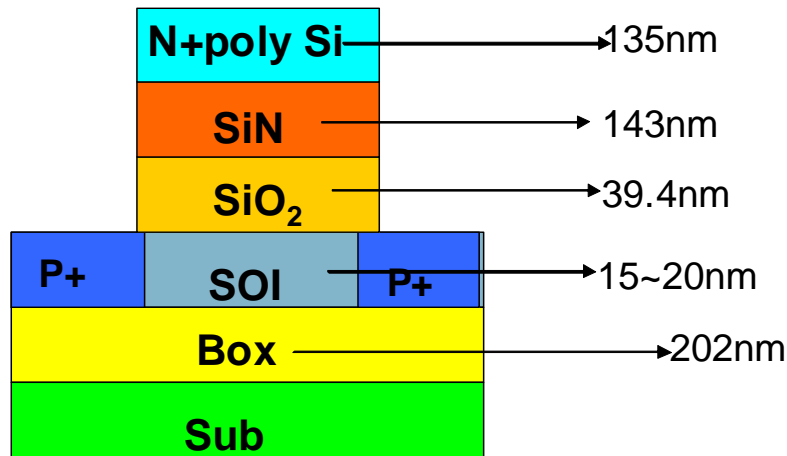


Fig. 4.2 a cross section of first fabrication devices.

1回目の試作は主に二つの目的がある。一つ目の目的はゲートが pull-in する時、保護膜の性質がトランジスタの特性に如何に影響するかを調べるためである。二つ目は本研究で提案した原理のデバイスでは、SOI 部分の p 型シリコンを反転させるだけで、トランジスタが完全にオフさせることを確認ためである。

図 4.2 で示した構造のデバイスの試作方法は従来の MOS プロセスとほぼ同じである。しかし、提案したデバイスのソース、ドレインが p⁺ポリシリコン、ゲートが n⁺ポリシリコンであるので、従来のセルフラインプロセスではなくて、先にソースとドレイン部分のイオン注入をした後に、直接 n⁺ポリシリコンゲートを堆積するプロセスでデバイスを作製した。1回目試作したデバイスの測定結果を図 4.3 に示す。図 4.3 は測定した時、電圧が -3V から 1V までを変化させた後に、電圧が 1V から -3V までを変化させて、測定した結果になる。図 4.3 から、保護膜が SiN の場合、ヒステリシス幅が 0.54V であることがわかった。その理由としては、ゲートにマイナス電圧を印加した時、保護膜 SiN の中に電荷が注入されることによって、デバイスの閾値が上がる。一方、ゲート電圧がプラスになると、保護膜 SiN の中に注入された電荷の量が減らして、閾値が下げる。つまり、SiN の中に電荷が注入されることによって、ヒステリシスが発生する。本研究の目的はメモリを作製することではなくて、トランジスタを作製することであるので、図 4.2 で示したような大きいヒステリシス幅が望ましくない効果である。1回目の試作では、保護膜 SiN がトランジスタの特性を悪くさせるので、ゲート材料がポリシリコン、犠牲層が SiO₂、保護膜 SiN の構造は蓄積型可動ゲートトランジスタを作るための最適構造ではないことがわかった。

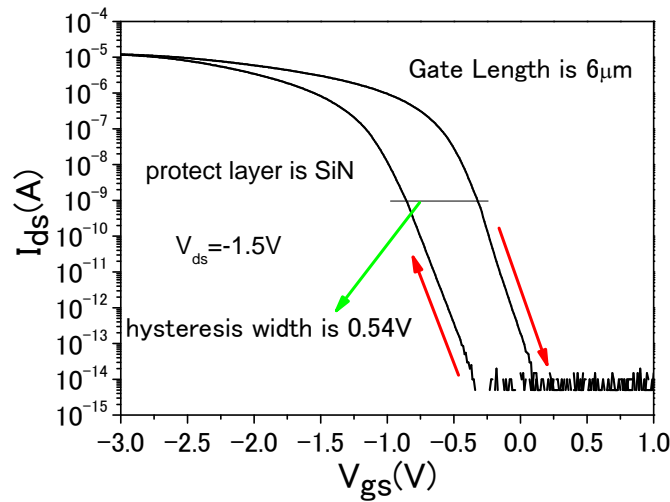


Fig. 4.3 Id-Vg characteristic(with hysteresis) of first fabrication devices.

以上のことから、ゲート材料がポリシリコン、犠牲層が SiO_2 という構造と違う構造で可動ゲートトランジスタを作製しないといけない。表 4.1 で可動ゲートトランジスタを成功に作製した三組のゲート材料と犠牲層材料をまとめた。そして、MEMS デバイスの試作で成功した可動部分の材料と犠牲層材料を表 4.2 にまとめる。

実験設備の制限から、ゲート材料がポリシリコン、犠牲層が SiO_2 という構造以外では、犠牲層をシリコン、ゲート材料をアルミニウムの構造を持つ可動ゲートトランジスタしか作製できない。したがって、この構造の可動ゲートトランジスタを作製する方針にした。

本研究の最終的な目標は可動ゲートトランジスタを用いるインバータ回路を試作することであるが、現在では、世界中に蓄積型可動ゲートトランジスタを成功に作製する報告がない。したがって、本研究では、蓄積型可動ゲートトランジスタを成功に作製することを第一目標にして、もし蓄積型可動ゲートトランジスタを成功に作製することが実現できれば、その次の段階で可動ゲートトランジスタを用いるインバータ回路を試作することに挑戦する方針にした。

Table 4.2 The summary of sacrificial layer and the way of etching in MEMS device process.

構造物	シリコン多結晶、単結晶	金属アルミ	金属	Poly SiGe	シリコン
犠牲層	シリコン酸化膜	ポリイミド フォトレジスト	多結晶シリコン	Poly Ge	Poly SiGe
エッチング	HF系	酸素アッシング	XeF2	H2O2	ClF3
例	[21]	[7] [22]	[7] [23] [24]	[25]	[26]

4.2 デバイスの設計

本研究で蓄積型可動ゲートトランジスタを作るため、設計したデバイス全体の layout が図 4.4 となる。そして、アルミゲート部分の拡大の立体図が図 4.5 になる。デバイス layout 図の中に、従来の MOSFET デバイスの layout 設計と一番大きい違い点は下部電極のことになる。

下部電極を入れる理由は二つがある。一つ目の理由は: 現在のプロセス技術では、予想通りの pull-in 電圧が得られるデバイスを作製するのは極めて難しいため、pull-in 電圧を変調できる技術が必要となる。下部電極の電圧を変えることより、ゲートの pull-in 電圧を変調できる[19]ので、下部電極を入れた。

二つ目の理由は: 可動ゲートトランジスタでは、ゲートとチャネルの間の電位差で発生する静電気力でゲートを動かせる。図 4.5 から、ゲート幅に対して、チャネル幅が非常に細いである。そして、pull-in 電圧を下げるため、ゲートに静電気力がかかれる部分の面積を増やす必要がある。下部電極を入れることによって、ゲートの静電気力がかかる部分の面積を増やすことができる。

そして、本研究では、先にソース、ドレインのイオン注入を行った後に、ゲートを形成するので、ゲート長がソースとドレインの間の距離より大きくなることを確保するのが重要である。しかし、本研究室ではウエットエッチングによって、アルミニウムをエッチングすることになる。ゲート長がソースとドレインの間の距離より大きくなることを確保するため、ゲートパターンニング用のレジストマスクがイオン注入用のレジストマスクより $2\mu\text{m}$ 長くように設計する。図 4.6 に示すように設計すれば、ゲート長がソースとドレインの間の距離より大きくなることを測定結果から確認した。そして、実際作製したデバイス全体の顕微鏡写真を図 4.7 に示す。

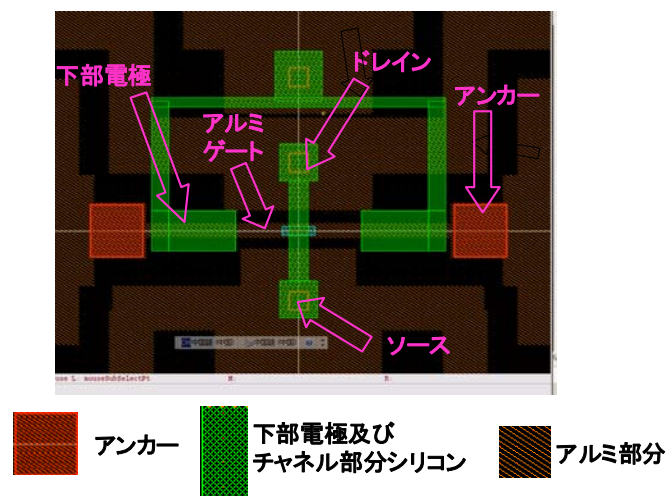


Fig. 4.4 The entire layout of movable gate transistor.

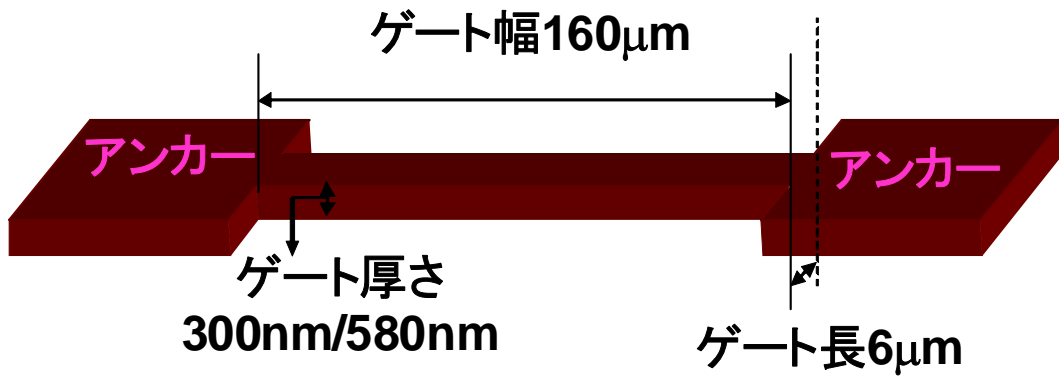


Fig. 4.5 Three-dimensional picture of movable gate.

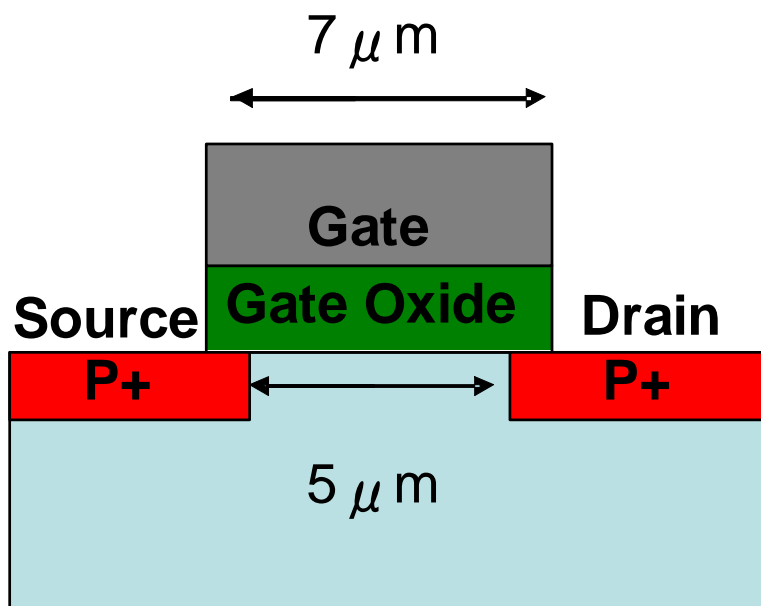


Fig. 4.6 The cross section of AMG-MOSFET.

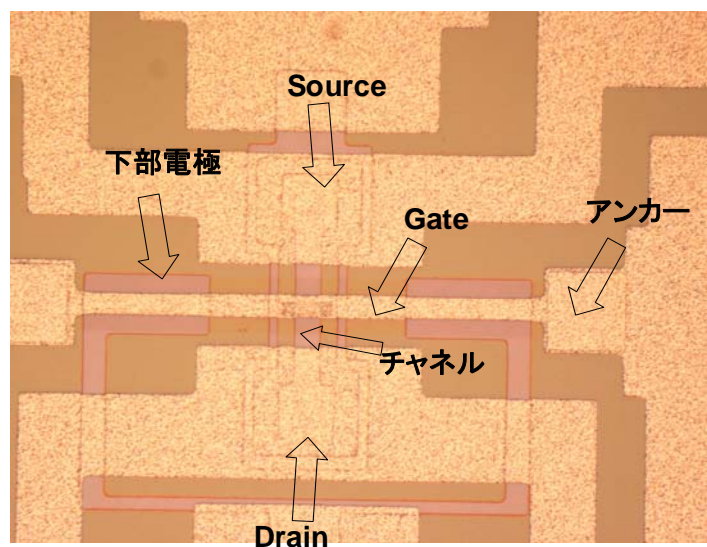


Fig. 4.7 The microscope picture of entire 1 movable gate transistor.

4.3 蓄積型可動ゲートトランジスタの作製方法

4.3.1 最初の試作プロセス及び犠牲層リリース条件出し

蓄積型可動ゲートトランジスタの試作を 2 回行った。4.1 でゲートが動かないデバイスの試作を述べた。その試作も含めて、本研究では現在までに 3 回の試作を行った。蓄積型可動ゲートトランジスタの試作は 2 回目の試作と 3 回目の試作になる。

蓄積型可動ゲートトランジスタを作るため、(100)面の p-type UNIBOND silicon-on-insulator(SOI)基板を採用した。各層の厚さは表面のシリコン層(SOI)が 100nm、埋め込み酸化膜(Buried Oxide、BOX)は 200nm である。

最初に熱酸化を通じで SOI 基板の表面で SiO₂ 膜を形成して、SiO₂ 膜を BHF 洗浄で除去することより、SOI 膜を薄膜化する。薄膜化した後のプロセスまとめを図 4.8 に示す。

本研究で試作したデバイスはゲートの材料がアルミニウムであるので、従来のゲート、ソース、ドレインが同時に形成するセルフラインプロセスを利用できない。本研究では、ゲート絶縁膜を形成する前に、先にソース、ドレイン、下部電極部分でイオン注入を行う。ソース、ドレイン、下部電極部分以外のところにレジストでマスクを形成する。その後にホウ素イオン(Boron ion、B⁺)を加速電圧 30KeV、ドーズ量の $3 \times 10^{15} \text{cm}^{-2}$ で注入した。その後アセトン処理、SPM 洗浄とオゾン処理によって、レジストを除去する。

イオン注入を行った後に、メサ形成というプロセスを行う。メサ形成プロセスとは、ソース、ドレイン、チャネル、下部電極以外の SOI 層をエッチングするプロセスである。まず、ソース、ドレイン、チャネル、下部電極を形成する部分の上にレジストでマスクを形成して、その後にヘリコンと呼ばれるシリコンドライエッチング装置を用いて、ソース、ドレイン、チャネル、下部電極以外の SOI 層をエッチングすることによって、メサ形成プロセスを完成する。最後に、アセトン処理、SPM 洗浄によって、レジストを除去する。

メサ形成プロセスが終わった後に、ゲート絶縁膜形成のプロセスを行う。ゲート絶縁膜形成の方法は一般の CMOS 工程とは違いになる。単純に熱酸化によって、ゲート絶縁膜を形成することではなくて、最初に熱酸化によってシリコン絶縁膜を形成した後に、HTO(High Temperature Oxide)という方法を用いて、熱酸化によって形成したシリコン絶縁膜の上に目標厚さまでに、シリコン絶縁膜を堆積することで、ゲート絶縁膜形成のプロセスを完成する。ゲート絶縁膜形成のプロセスが複雑になるのは二つの理由がある。一つ目の理由はゲート絶縁膜形成のための熱酸化をする前に、すでにソースとドレイン部分のイオン注入を行った。ゲートの下までイオンが拡散しないため、高温・長時間の酸化を避ける必要があるため、ゲート絶縁膜の形成を二つのプロセスを分けて行う。二つ目の理由は蓄積型可動ゲートトランジスタの試作を行う時、ゲート電圧によって、ゲート絶縁膜が破壊しないため、

ゲート絶縁膜厚さを 60nm にするデバイスも作製した。ゲート絶縁膜厚さが 60nm のデバイスを作製するため、単純に熱酸化によって、ゲート絶縁膜を形成すると、すべての SOI 層を酸化しても、ゲート絶縁膜厚さが 60nm に達することができない。以上のことから、ゲート絶縁膜を形成するプロセスは熱酸化プロセスと HTO プロセス 2 段階で完成する。ゲート酸化の前処理として希 HF 溶液(Diluted HF)→SPM 洗浄→希 HF 溶液→SC1→希 HF 溶液処理を行う。

次に CVD(化学蒸着法 Chemical Vapor Deposition)装置を用いて、ゲート絶縁膜の上に犠牲層シリコンを堆積する。その後、犠牲層シリコンの上にレジストでマスクを形成して、ヘリコン装置で犠牲層シリコンをエッチングした後に、BHF でゲート絶縁膜をウエットエッチングして、ソース、ドレイン、下部電極部分のコンタクトホール及びゲートを支えるアンカー部分の中空を形成する。

その次はゲートをつけるプロセスとなる。ゲート材料はアルミニウムであるので、蒸着でアルミニウムを付ける。アルミニウムがソース、ドレイン、下部電極部分のシリコンとうまく接触できるため、アルミ蒸着装置を入れる前に、希 HF 溶液洗浄を行う。希 HF 溶液洗浄によって、ソース、ドレイン、下部電極部分のシリコン表面の自然酸化膜が除去された後に、蒸着でアルミニウムを付ける。

ゲートをつけた後に、アルミの上にレジストでマスクを形成してから、混酸アルミを用いて、ウエットエッチングよりアルミパターンニングを行う。アルミパターンニングを行った後に、アセトン処理によって、レジストを除去する。レジストを除去した後に、デバイスの測定を行い。測定結果から、アルミがソース、ドレイン、下部電極部分のシリコンとうまく接触することを確認する。もしアルミがソース、ドレイン、下部電極部分のシリコンとうまく接触しない場合、混酸アルミを用いてアルミをすべてエッチングされた後に、もう一度ゲートをつけるプロセスを行う。

コンタクトが良好であることを確認したうえで、最後の犠牲層リリースプロセスを行う。本研究の犠牲層リリースは二つ違うところでの原理がほぼ同じの装置で行った。最初は SAMCO 会社の装置で犠牲層リリースの実験を行ったが、SAMCO 会社の装置を購入しないことによって、その装置が使えなくなる。その後の犠牲層リリースプロセスは年吉研の装置を用いて行った。この論文で報告した測定結果はすべて年吉研の装置を用いて行った実験の結果である。シリコンを XeF₂ ガスによってドライエッチングでリリースした。そして、ドライエッチングの条件は室温、常圧で行った。犠牲層シリコンをリリースすると、デバイスのプロセスが完成する。

年吉研の犠牲層シリコンリリース装置は数年で使われたことがないので、本番サンプルのシリコンリリースする前に、シリコンエッチングする速度に関する条件出しを行った。

条件出しサンプルは図 4.9 に示すプロセスにしたがって作製した。条件出しサンプルはバルクシリコン基板の上に作製した。最初にシリコン基板上に熱酸化によって、厚さ 25nm の SiO₂ 膜を形成する。次に CVD 装置を用いて、シリコン酸化膜の上に犠牲層シリコンを堆積

する。その後に、犠牲層シリコンの上にレジストでマスクを形成して、ヘリコン装置で犠牲層シリコンをエッチングすることによって、ゲートを支えるアンカー部分を形成する。次に、ゲート部分のアルミニウムを付けてから、アルミの上にレジストでマスクとして混酸アルミを用いて、ウエットエッチングよりアルミパターンニングを行う。アルミパターンニングする時、ゲート長に相当するアルミの幅を $1\mu\text{m}$ から $200\mu\text{m}$ まで合計 25 種類にした。最後に、犠牲層をリリースして、条件出しのサンプルを完成する。

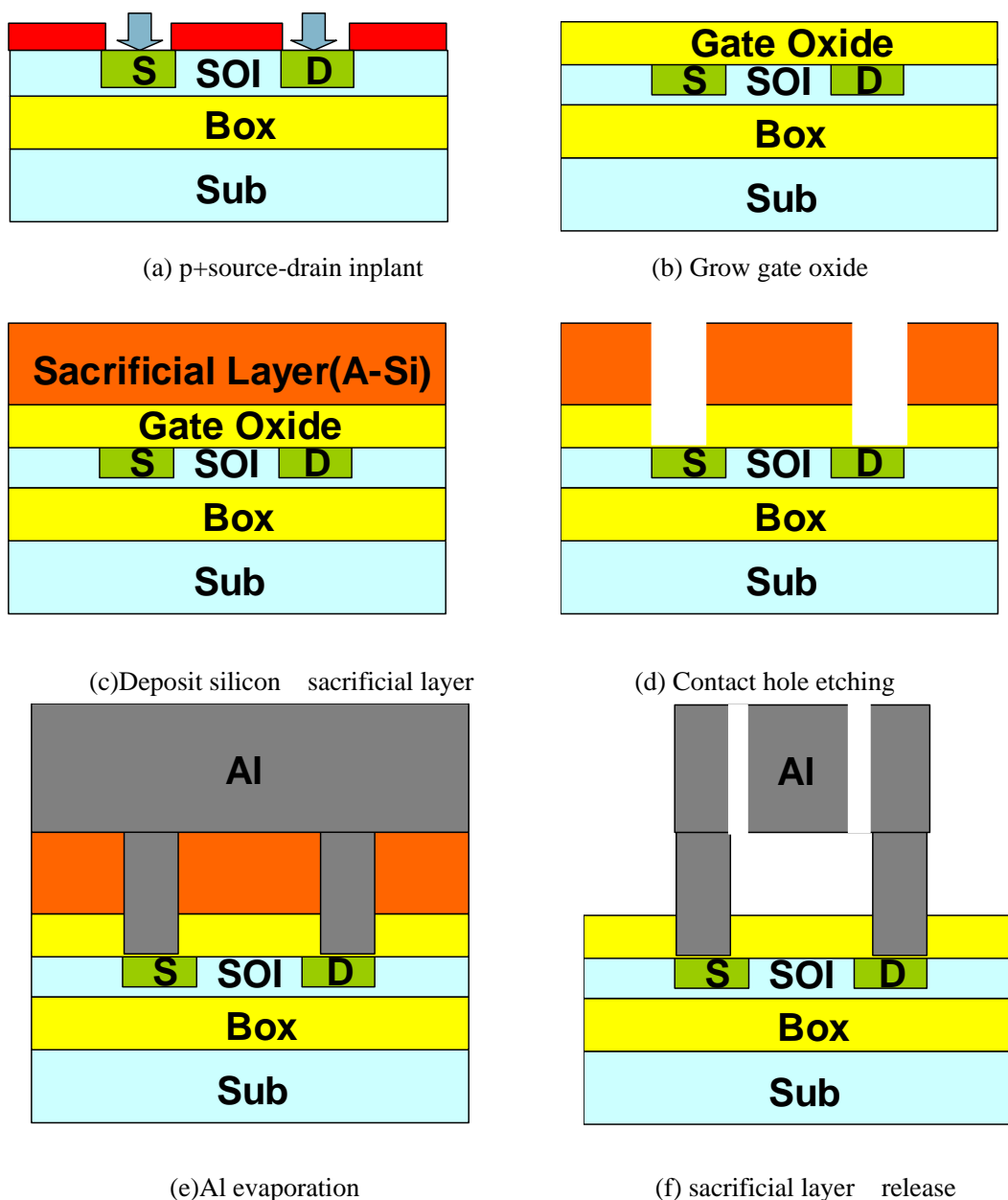
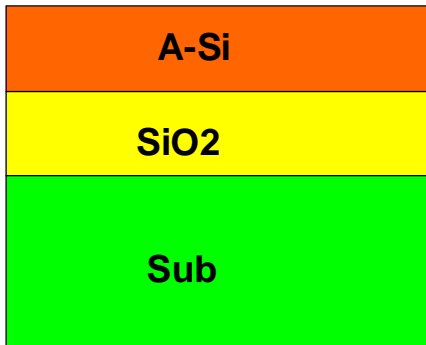


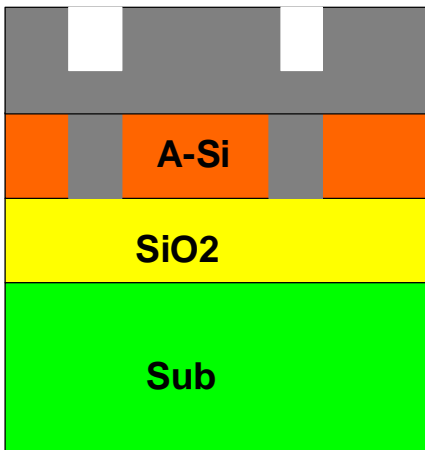
Fig. 4.8 Simplified process for Accumulation type movable gate transistors.

Bulk Silicon Sub

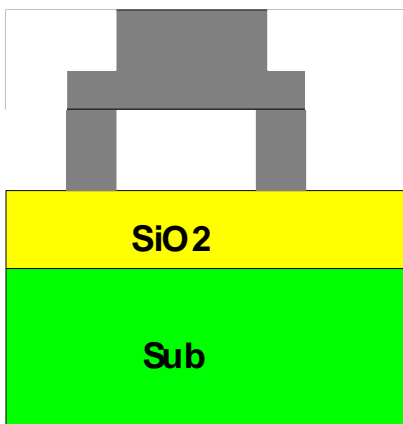
(a) silicon substrate



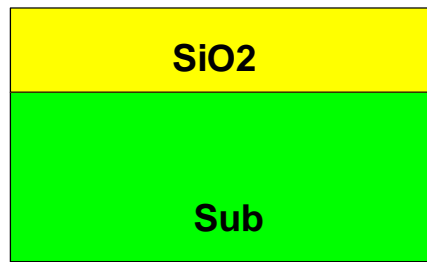
(c) Deposit silicon sacrificial layer



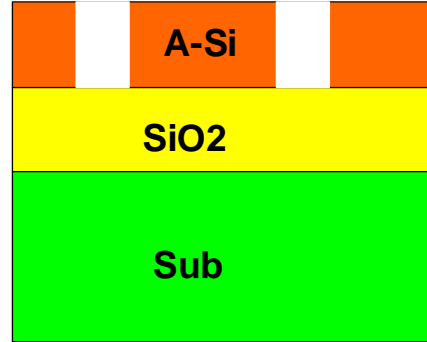
(e) Al evaporation



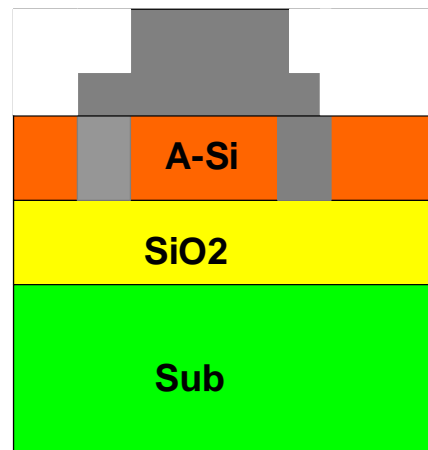
(g) sacrificial layer release



(b) Grow silicon oxide



(d) Anchor etching



(f) Al patterning

Fig. 4.9 Simplified process for the devices used to decide sacrificial layer release condition.

最初にギャップ高さが 40nm と 110nm のデバイスを用いて、条件出しを行った。犠牲層リリースの条件は三つがある。XeF₂ ガスをシリコンエッチングチャンバに 1 回入れて、エッチング時間 5 分と 10 分、及び XeF₂ ガスをシリコンエッチングチャンバに 5 回入れて、1 回ずつのエッチング時間が 1 分で合計エッチング時間が 5 分の三つの条件となる。犠牲層リリースの実験を行った後に、混酸アルミ処理でゲート部分のアルミをすべてエッチングする。その後、アルミゲートの下に相当する部分に残った犠牲層シリコンの幅を顕微鏡写真から求める。Layout で設計したゲート長から残った犠牲層シリコンの幅を減らすと、エッチングされた犠牲層シリコン幅が得られる。

三つの条件でエッチングゲートの下部分の犠牲層シリコンが両サイドからエッチングされた幅を図 4.10 に示す。ギャップ高さが 40nm と 110nm の二つの条件では、犠牲層シリコンが両サイドからエッチングされた幅はほぼ同じである。図 4.10 から、犠牲層がエッチングされた幅はエッチング時間ではなくて、ガスをチャンバに入れる回数で決めることがわかる。本研究で作製するデバイスの最大ゲート長が 6 μ m である。つまり、XeF₂ ガス 1 回シリコンエッチングチャンバに入れて、犠牲層リリースの実験をすれば、犠牲層がすべてエッチングされるべきであると考えられる。

しかし、犠牲層シリコンのエッチング速度が大きくばらつく。本研究で作製した条件出し用のサンプルのゲート部分の layout を図 4.11 に示す。図 4.12 は違うデバイスの中のばらつきを示す図である。同じデバイスでは、エッチング速度がほぼ同じになるが、隣接する二つのデバイスでは、エッチング速度が数倍違うことが発生している。一方、図 4.13 は同じデバイスでのシリコンエッチング速度ばらつきを示す図である。同じデバイスでも、犠牲層シリコンのエッチング速度が大きくばらついている。チップ全体では、約 40% のデバイスでは、犠牲層シリコンのエッチング速度が大きくばらついている。

年吉研の犠牲層シリコンリリース装置では犠牲層シリコンのエッチング速度が大きく問題が発生するが、現状では、この設備しか使えない。最大ゲート長が 6 μ m(シリコン犠牲層幅 6 μ m)をすべてエッチングされるため、シリコン犠牲層幅 20 μ m がエッチングできる条件で犠牲層シリコンエッチングする実験を行った。

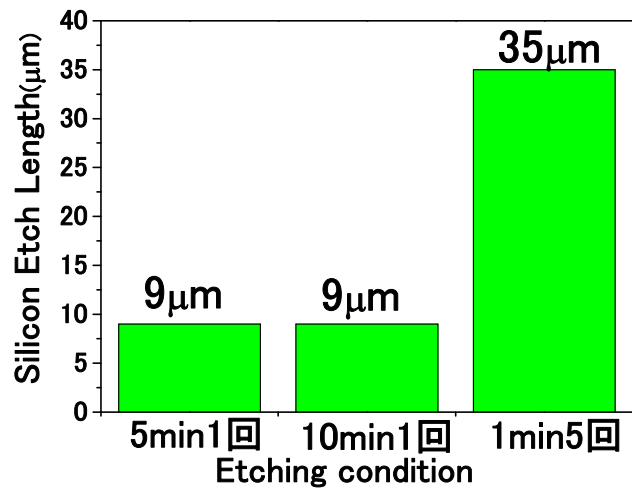


Fig. 4.10 The relationship between etching condition and silicon etched length.

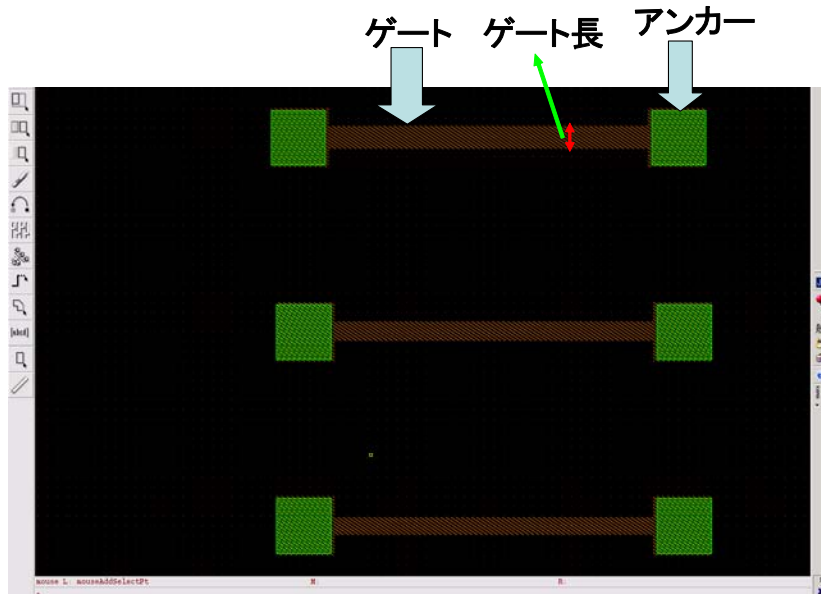


Fig. 4.11 The layout of gate.

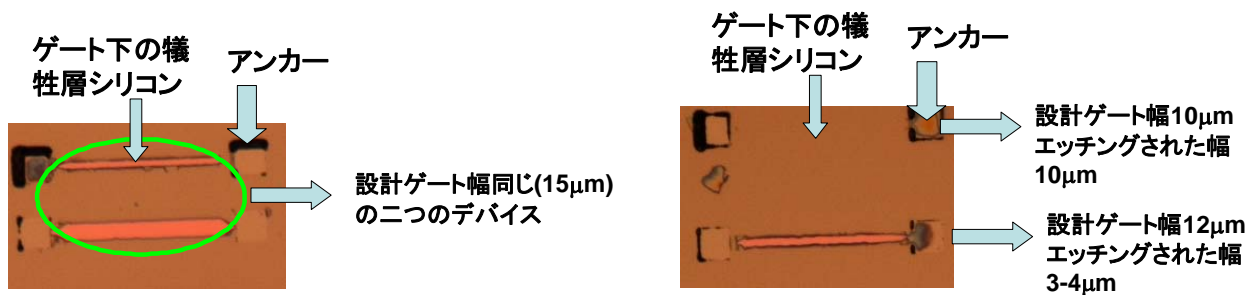


Fig. 4.12 Silicon sacrificial layer etching speed variation in different devices.

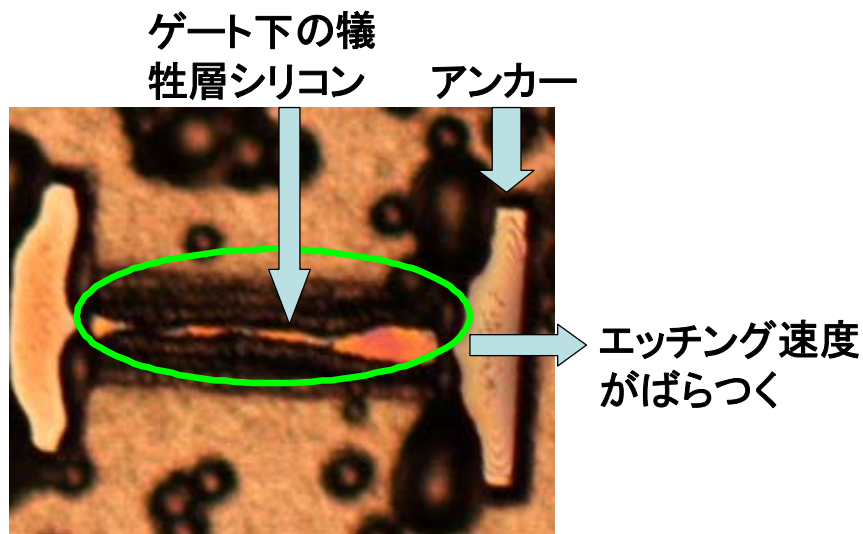


Fig. 4.13 Silicon sacrificial layer etching speed variation in the same device.

4.3.2 プロセスを改善した後の2回目の試作

1回目の試作プロセスでは、一つのプロセスで問題点が発生する。

その問題点はコンタクトホール形成プロセスである。ソース、ドレイン、下部電極のコンタクトホールを形成するために、レジストマスクを形成した後に、犠牲層をドライエッチングで除去した後に、ウェットエッチングによってゲート絶縁膜を除去する。ウェットエッチングでは、ゲート絶縁膜を犠牲層シリコンのように垂直にエッチングすることができないので、犠牲層シリコンとゲート絶縁膜の間に空気隙間が形成する。図 4.14 に示すように、犠牲層リリースする時、XeF₂ ガスが空気隙間を通じて、チャンネル部分のシリコンをエッチングする。チャンネル部分のシリコンがエッチングされたので、ソースとドレインがつながることができなくなるので、この問題で 1 回目の試作したデバイスでは、ソースとドレイン間に流れるドレイン電流の測定が不可能になる。コンタクトホール形成するプロセスで発生する問題によって、1 回目試作したデバイスが失敗になる。

2回目の試作では、この問題を解決するプロセスでコンタクトホールを形成した。改善したプロセスはレジストをマスクとして、コタクトホール周辺の犠牲層シリコンをすべてドライエッチングした後に、レジストをアセトン処理より除去する。その次に、もう一度レジストをマスクとしてウェットエッチングにより、コンタクトホール部分のシリコン酸化膜を除去し、その後にアルミゲートをつけると、図 4.15 に示すような犠牲層シリコンとゲート絶縁膜の間に空気隙間がない構造になる。

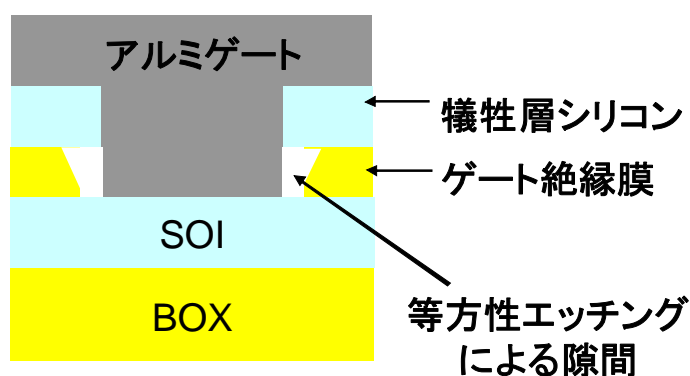


Fig. 4.14 the old contact hole fabrication process.

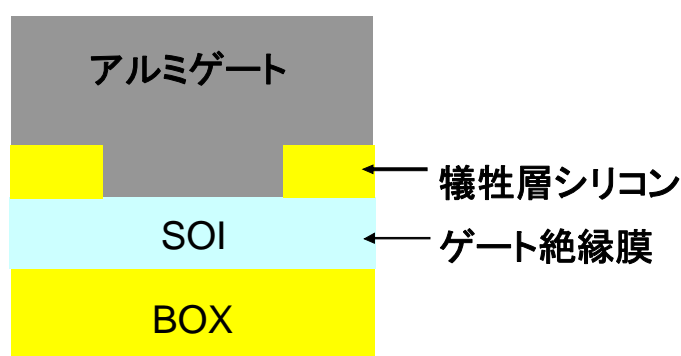


Fig. 4.15 the new contact hole fabrication process.

4.4 測定結果

本研究では蓄積型可動ゲートトランジスタの試作を2回行った。4.3.2で述べたチャネル部分が同時にエッチングされる問題点によって、1回目の試作ではデバイスのソースとドレイン電流を測定することができなかった。

2回目試作したデバイスでは、下部電極に電圧を印加する状態でゲート電圧を印加して、ゲートが pull-in して、その瞬間にトランジスタがオフになることが成功するのを測定結果で実証した。測定結果を図 4.16 に示す。下部電極の電圧が -20V であり、ゲート電圧が 32.2V の時ゲートが pull-in し、一番急峻なところで求めた S ファクタが 9.5mV/decade である。図 4.16 から、本研究で提案した原理の AMG-MOSFET で小さい S ファクタが得られることを実測結果で証明された。図 4.16 に示す結果は世界始めて蓄積型可動ゲートトランジスタが成功に pull-in される実測結果である。残念ながら、ゲートが pull-in された後に折れたことより、pull-out できなくなる。ゲートが pull-in された後に折れた部分の SEM 像を図 4.17 に示す。

ゲートを pull-in されることが実験上で成功したが、まだ三つの問題点が残っている。一つ目の問題点は sticking という現象が多くデバイスで起こる。4.3節ですでに述べたが、犠牲層リリースする前に、コンタクトが成功したかどうかを判断するため、測定を行った。

犠牲層リリースする前と犠牲層リリースした後の多くのデバイスの測定結果を図 4.18 に示す。犠牲層リリースする前と犠牲層リリースした後のデバイスの断面図を図 4.19 に示す。図 4.19 から、もし犠牲層が完全にリリースされると、等価的なゲート絶縁膜厚さ増加することによって、デバイスの S ファクタが大きくなるべきである。しかし、図 4.18 から、犠牲層がリリースされた後に S ファクタがリリースする前より小さくなる、つまり、等価的なゲート絶縁膜厚さが減少するように見える。その理由は図 4.20 に示すようなゲートが sticking という現象が起こると考えている。犠牲層が完全にリリースすると、等価的なゲート絶縁膜厚さは犠牲層がリリースされる前より小さくなり、測定結果とよく合う。犠牲層リリースした後に、撮ったギャップの部分の SEM 像を図 4.21 と図 4.22 に示す。ギャップの高さが 40nm に対して、ギャップの幅が 150000nm であるので、現在の技術ではギャップのわずかな一部分しか見えない。ギャップの全体像を撮ると、ギャップ部分が見えなくなる。図 4.21 ではギャップがうまく形成されるように見えたが、図 4.21 で見えるのがゲートのわずかな一部分であり、現在の技術では SEM 像からゲートが sticking されるかどうかの判断が極めて難しいである。

二つ目の問題点は図 4.17 に示すように、ゲートが pull-in された後に折れて、pull-out できないことである。

三つの問題点はゲートの pull-in 電圧が非常に高いことである。ゲートが図 4.17 に示すように中心部分しか動いてない、つまり動く部分のゲート幅は設計したゲート幅より大幅に減らしたことが pull-in 電圧が非常に高い理由になる。

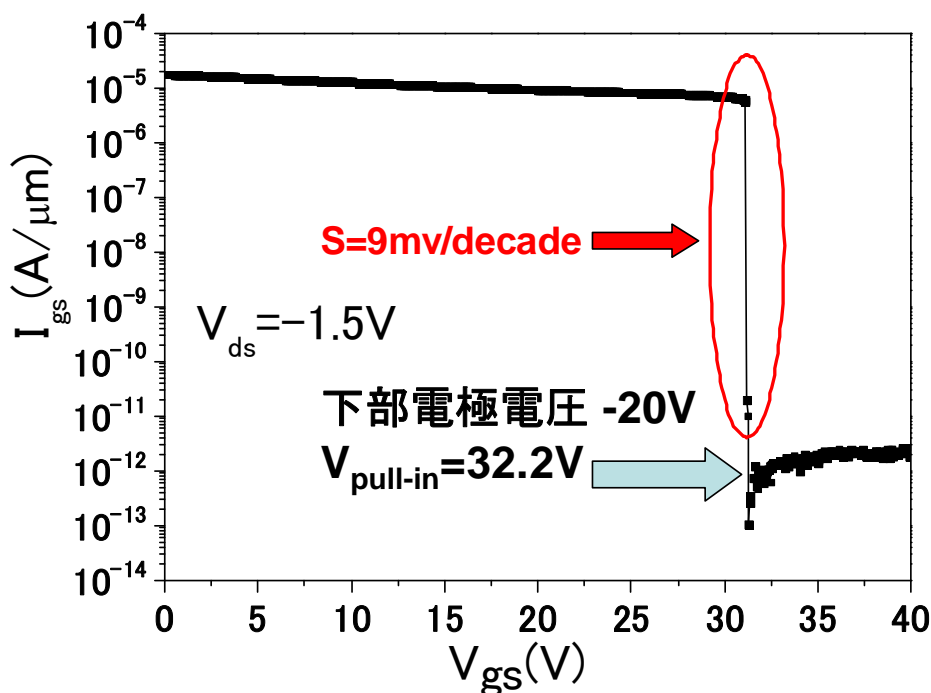


Fig. 4.16 I_d - V_g characteristic (with hysteresis) of fabricated AMG-MOSFET.

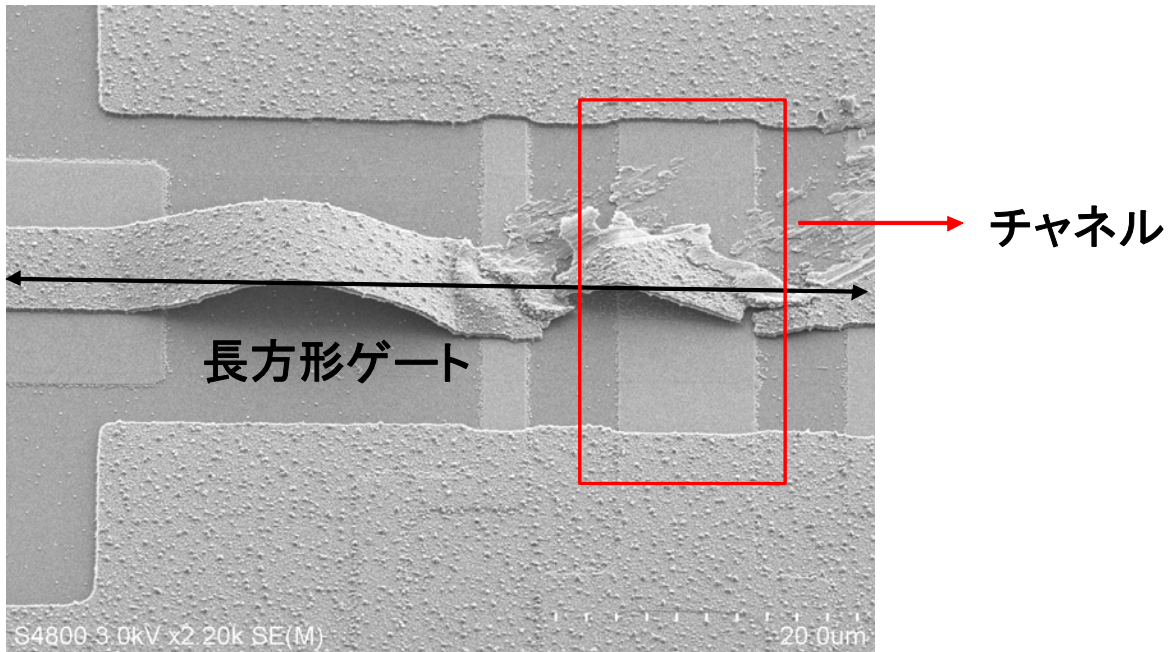


Fig. 4.17 The SEM picture of the snap part of the movable gate.

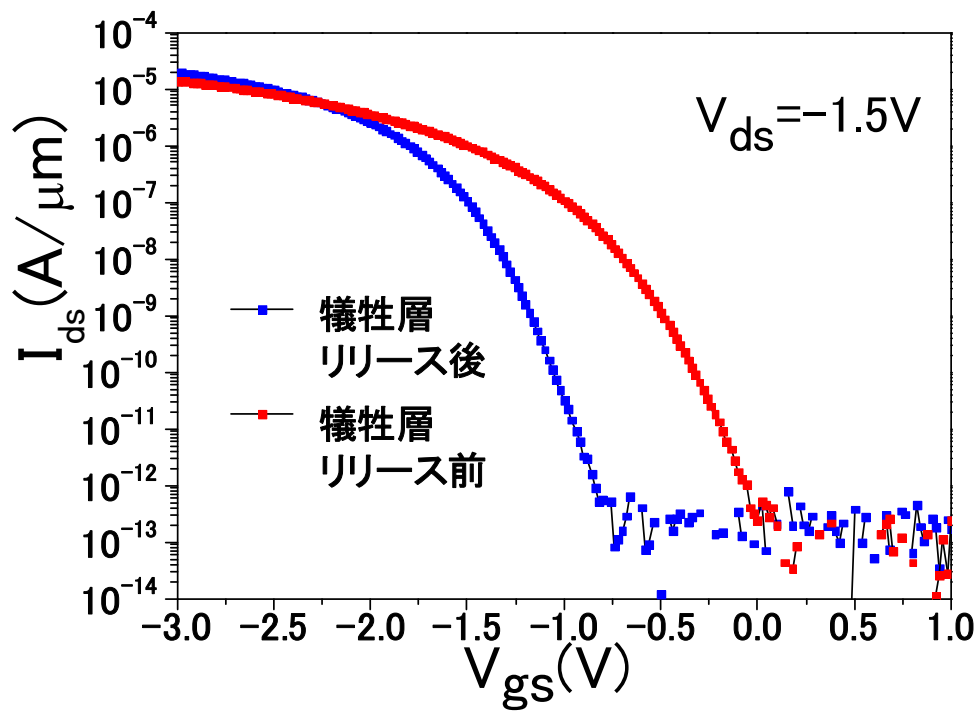


Fig. 4.18 I_d - V_g characteristic of fabricated AMG-MOSFET before sacrificial layer release and after sacrificial layer release.

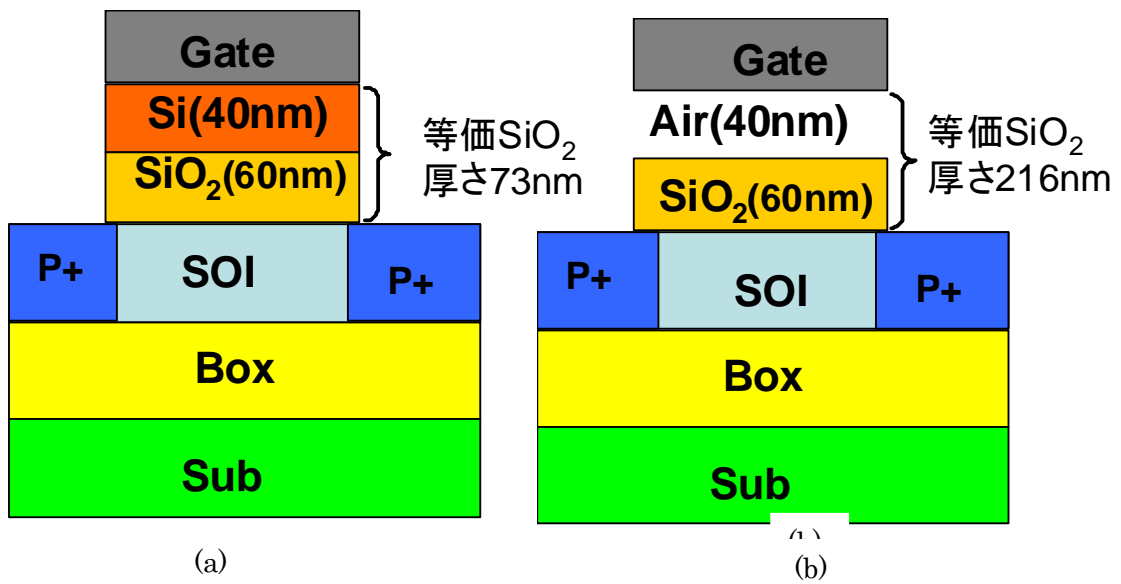


Fig. 4.19 The cross section of AMG-MOSFET before sacrificial layer release (a) and after sacrificial layer release (b).

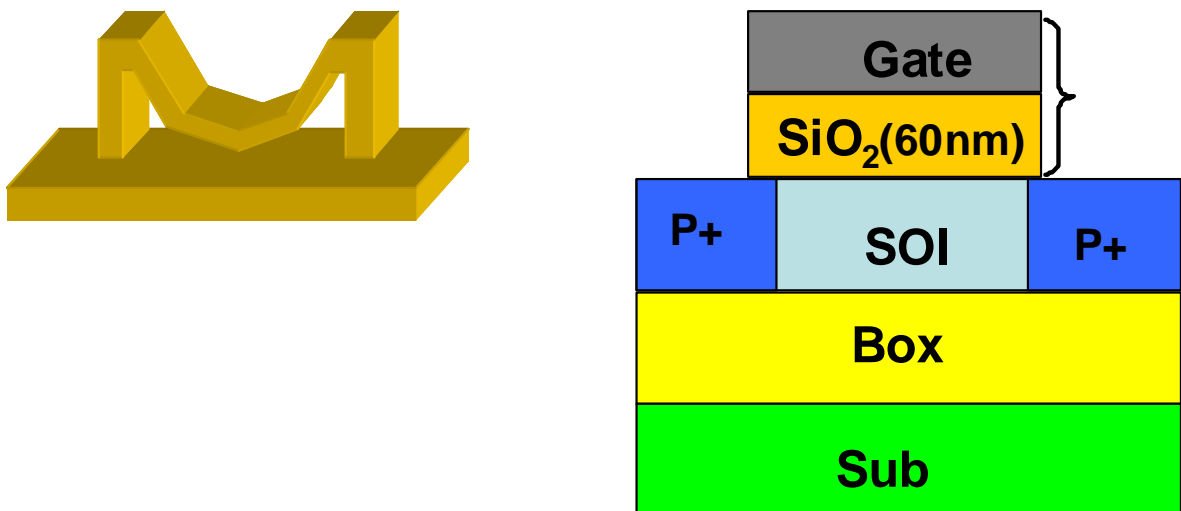


Fig. 4.20 Three-dimensional and the cross section picture of the sticking movable gate.

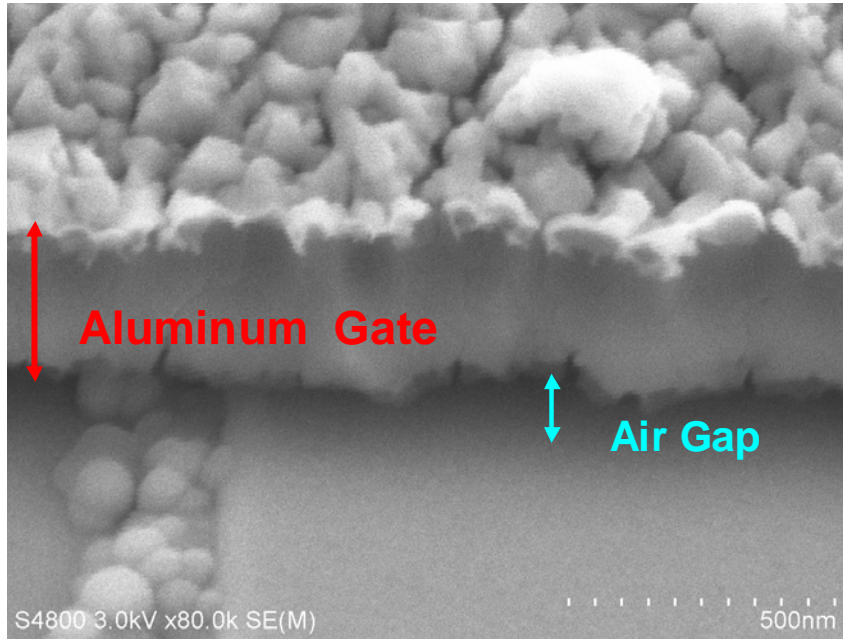


Fig. 4.21 The SEM picture of the movable gate.

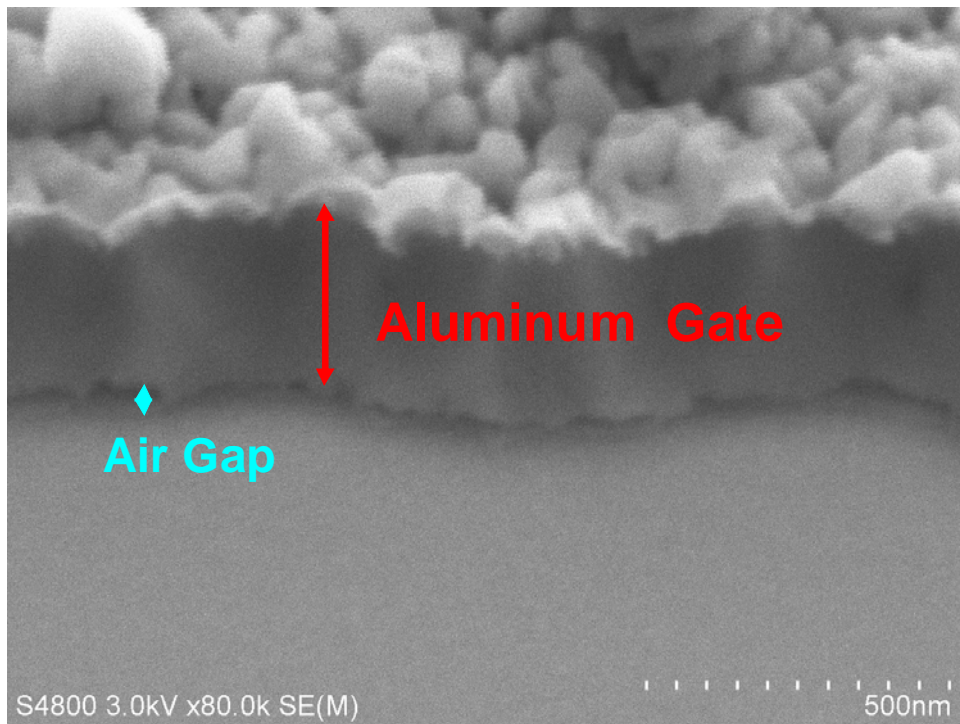


Fig. 4.22 The SEM picture of the movable gate.

第 5 章 本研究で得られた結論と今後の課題

5.1 本研究で得られた結論

本研究では消費電力の低減で非常に価値がある最低 S ファクタを持つ可動ゲートトランジスタに関する研究を行った。本研究では共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路を提案して、シミュレーション上で実証した。そして、本研究では、現在のプロセス技術で作製することが可能になる蓄積型可動ゲートトランジスタ(AMG-MOSFET)を提案して、シミュレーション上で低い S ファクタが得られることを実証した。さらに、本研究で提案した AMG-MOSFET で小さい S ファクタが得られることを実験結果で証明した。世界初めて蓄積型可動ゲートトランジスタのゲートを pull-in させることを実験で成功した。

第 2 章において、提案した蓄積型可動ゲートトランジスタ(AMG-MOSFET)の原理を紹介した後に、2次元シミュレーションを行った。提案した蓄積型可動ゲートトランジスタが小さい S ファクタが得られることをシミュレーション上で証明した。そして、ゲートがチャンネル絶縁膜と接触するモデルの閾値電圧と SOI 厚さ及びゲート仕事関数の関係の調査を行った。

第 3 章において、共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路を提案して、そのインバータ回路の原理を紹介した。ゲートがチャンネル絶縁膜と接触する時、反転型 NMOS と蓄積型 PMOS の閾値電圧が等しいモデル及び等しくないモデルを用いて、インバータ回路の動作をシミュレーション上で実証した。閾値電圧が等しくないモデルでは、インバータ回路の消費電力を従来の CMOS インバータ回路より低減できることを実証した。最後に可動ゲートトランジスタの pull-in 電圧と pull-out 電圧が等しくなることを実現できるモデルを提案した。可動ゲートトランジスタの pull-in 電圧と pull-out 電圧が等しいモデルで最適なインバータ特性をシミュレーション上で得られた。

第 4 章において、蓄積型可動ゲートトランジスタの作製プロセスを述べた。最初に現在の犠牲層材料技術を紹介した後に、本研究の蓄積型可動ゲートトランジスタの作製プロセスを述べた。世界初めて蓄積型可動ゲートトランジスタを pull-in させることを成功した。実測結果から本研究で提案した AMG-MOSFET の小さい S ファクタが得られることを証明した。

本研究で得られた結果から、蓄積型可動ゲートトランジスタと蓄積型可動ゲートトランジスタを用いたインバータ回路の低消費電力を実現する面では優れていることが示された。蓄積型可動ゲートトランジスタと共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路が低消費電力デバイスの舞台で活躍できるのを期待できると考える。

5.2 今後の課題

本研究で提案した共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路を実用化するために、理論上とプロセスを分けて、主に二つの課題が残っている。

理論上で残った一番大きい課題は pull-in 電圧と pull-out 電圧の間にヒステリシスが発生することである。本研究で提案した閾値電圧が等しくないモデルでは、pull-in 電圧と pull-out 電圧の間にヒステリシスが発生すると、インバータ回路の出力でもヒステリシスが発生する。本研究で pull-in 電圧と pull-out 電圧の間にヒステリシスが除去できる新構造の可動ゲートトランジスタを提案したが、電荷蓄積層として適応する材料を探すのは大きい課題になっている。さらに、電荷蓄積層にたまる電荷量の制御及び電荷が注入され、放出される時間の制御も非常に大きい課題となっている。

プロセス上で残った課題はゲート材料と犠牲層材料の最適な組を決めることである。さらに、ゲートが sticking などの問題が発生しない条件で犠牲層を完全にリリースできるプロセスを確立するのが大きい課題となっている。

参考文献

- [1] D. Kahng, and M. M. Atalla , “Silicon-Silicon Dioxide Field Induced Surface Devices,” IRE-AIEE Solid-State Device Res. Conf.,(Carnegie Inst. of Tech., Pittsburgh, PA),1960.
- [2]Y. Taur, T. H. Ning, “Fundamentals of modern VLSI devices,” Cambridge University Press, 1998.
- [3] D. J. Wouters, J. P. Colinge, H. E. Maes, IEEE Trans. Electron Devices, Vol. 37,pp.2022-2033,1990
- [4]W.Y.Choi , B.G.Park, J.P.Lee, and T.J.King Liu IEEE Electron Device Letters, Vol. 28,pp.743-745,2007
- [5] K. Gopalakrishnan, P. B. Griffin and J. D. Plummer IEDM Tech. Digest. 2002, pp. 289-292
- [6] H. F.Dadgour and K.Banerjee 200744th ACM/IEEE Design Automation Conference, DAC'07, 2007, p 306-311
- [7] N. Abele, R. Fritschi, K.Boucart, F. Casset P. Ancey and A. M. Ionescu IEDM Tech. Digest. 2005, pp. 479-481
- [8] A. M. Ionescu R. Fritschi, K.Banerjee, M. J. Declercq, P. Renand, C.Hibert P.Fluckiger, G. A. Racine Proc. ISQED,2002,pp. 496-501
- [9]Chauhan. Y.S.Tsamados, D. Abele., N. Eggimann., C. Declercq, A. M. Ionescu Proceedings of the IEEE International Frequency Control Symposium and Exposition, Proceedings - 21st International Conference on VLSI Design, 2008, p 119-124
- [10]Nicolas Abele’s doctor thesis
- [11] K. Akarvardar, C.Eggimann, D.Tsamados, Y. S. Chauhan, G. C. Wan, A. M. Ionescu , R. T. Howe H. S. Philip Wong IEEE Transactions on electron devices VOL55 p.48 2008
- [12] D. Tsamados, Y.S. Chauhan, C. Eggimann, K. Akarvardar, H. S. Philip Wong, and A. M. Ionescu Solid-State Electronics ,2008 , pp1374-1381
- [13] D. Tsamados, Y.S. Chauhan, C. Eggimann, K. Akarvardar, H. S. Philip Wong, and A. M. Ionescu Proceedings of the 37th European Solid-State Device Research Conference, 2007, p167-170
- [14]H. Kam, D. T. Lee, R. T. Howe, and T.-J. King Proc. IEDM Tech. Digest.2005,pp. 477-480
- [15]C. Michael, M, Vinet, S. Deleonibus, G. Ghibaudo, ULIS 2008 - 9th International Conference on Ultimate Integration of Silicon, 2008, p 53-56
- [16] Sung-Mo. Kang and Yusuf. Leblebici “CMOS Digital Integrated Circuits Analysis and Design ” Third Edition Publishing House of Electronics Industry , 2005.
- [17]M. Fernandez-Bolanos, N. Abele, V. Pott, D. Bouvet, A-G Racine , J. M. Quero, A. M. Ionescu Microelectronic Engineering, v 83, 2006, p 1185-1188
- [18] N. Abele, A. Villaret, A. Gangadharaiah, C. Gabioud, P. Ancey and A. M. Ionescu IEDM Tech. Digest. 2006, pp. 509-512

- [19] J.S.Park, T. Saraya, K. Miyaji, K. Shimizu, A. Higo, K. Takahashi, Y. Yi, H. Toshiyoshi, and T. Hiramoto, S1015 IEEE Si Nano Workshop, 2008.
- [20] J.S.Park, T. Saraya, K. Miyaji, K. Shimizu, A. Higo, K. Takahashi, Y. Yi, H. Toshiyoshi, and T. Hiramoto, The 55th spring meeting the Japan Society of Applied Physics, 28a-P5- 1 1 2008
- [21] K. Takahashi, H. Fujita, H. Toshiyoshi, K. Suzuki, H. Funaki and K. Itaya, Proc. MEMS2007, p.147
- [22] P. F. Van Kessel, L. J. Hornbeck, R. E. Meier and M. R. Douglass, Proc. IEEE 86, 1687(1998)
- [23] W. Y. Choi, H. Kam, D. Lee, J. Lai, and T.J. King Liu, IEDM Tech. Digest. 2007, p.603-607
- [24] K. Saruta, H. Kasai, M. Nishida, M. Yamaguchi, Y. Ito, K. Yamashita, A. Taguchi, K. Oniki and H. Tamada, Proc. MEMS2006, p.842
- [25] A. E. Franke, J. M. Heck, T. J. King and R. T. Howe, J. Microelectromechanical System, 12(2003)
- [26] C. Leinenbach, H. Seidel, T. Fuchs, S. Kronmueller and F. Laermer, Proc. MEMS2007, p.65

本研究に関する発表

- ・ 朱雷、更屋拓哉、宮地幸祐、平本俊郎、"共通可動ゲートを有する反転型 NMOS / 蓄積型 PMOS で構成したインバータ回路の提案" 2009 年春季第 56 回応用物理学会学術講演会, 30p-V-4

謝辞

本研究を進めるにあたり、ご多忙の中親身になって御指導をして頂き、研究の素晴らしさを教えて頂き、非常に自由な研究環境を提供していただいた平本俊郎教授に心から御礼申し上げます。

本研究のプロセス設備を快く提供して頂いた年吉洋教授に深く感謝いたします。

研究環境の整備をして頂き、さらに測定装置の使用法、MOSFET の基本から最新の動向まで御指導頂いた更屋拓哉助手、宮地幸祐氏に深く感謝致します。

研究全般、半導体の物理、について多大な助言を頂いた陳杰智氏、清水健氏、朴鐘臣氏、シミュレーション環境の整備や Medici シミュレーションの手法について御指導頂き、さらに MOSFET 全般についても多くの助言を頂いた Arifin Tamsir Putra 氏、高橋啓介氏に深く感謝致します。

シリコンクリーンルームや MEMS 専用のクーロンルームでプロセスにおいて装置や薬品関連で大きなサポートをしていただきました長城和一氏、川井秀夫氏、安宅学氏にも感謝いたします。

同期でありながらデバイスの測定や有益な議論をしていただきました鄭然周氏、鈴木誠氏、俣竜矢氏、橋本亮氏、また研究室のミーティングなどで有益な議論をしていただきました高橋祐二氏、毛珂氏、山戸一郎氏、鈴木龍太氏、イチホ氏、菅野貴仁氏にも感謝いたします。

学会等様々な研究活動の手配をして頂いた秘書の堀博美氏、小嶋恵子氏に深く感謝いたします。