

修士論文

短距離無線データ通信用
CMOS フロントエンド回路設計の研究

CMOS Front-end Circuits for
Short-range Wireless Data Transmission

平成 23 年 2 月 9 日

指導教員 桜井 貴康 教授

東京大学大学院 工学系研究科
電気系工学専攻 37-096462

佐々木 正人

目次

第 1 章 序論.....	1
1.1. 数 m 程度の無線データ伝送.....	1
1.1.1. UWB と 60GHz 帯におけるアプリケーション	1
1.1.2. デモジュレータの重要性	3
1.2. サブ mm の無線データ伝送	5
1.2.1. 非接触コネクタ	5
1.2.2. 誘導結合と容量結合.....	6
1.3. 本研究の目的.....	7
第 2 章 高感度 CMOS ASK デモジュレータ	8
2.1. 既存デモジュレータの問題点.....	8
2.2. 提案するデモジュレータ回路.....	9
2.2.1. デモジュレータの概要	9
2.2.2. 差動検波器.....	11
2.2.3. ダミー回路の効果	14
2.2.4. LA のトポロジ.....	15
2.3. 測定結果および比較	16
2.3.1. TEG の測定結果	16
2.3.2. 既存回路との比較	18
2.4. まとめと議論.....	19
第 3 章 ボード間ディファレンシャル誘導結合回路	20
3.1. ディファレンシャル回路の概要	20
3.1.1. ディファレンシャル回路のアーキテクチャ.....	20
3.1.2. デュアルモードカップリング	23
3.1.3. シングルモードカップリング	25
3.1.4. 電源ノイズ測定回路.....	27
3.2. 回路と PCB の設計.....	28
3.2.1. 回路シミュレーション	28
3.2.2. 回路レイアウト.....	31
3.2.3. ボード設計	35
3.3. 測定結果	37
3.3.1. 測定の準備.....	37
3.3.2. データの通信	39
3.3.3. MOS 抵抗制御によるチューナビリティ.....	42

3.3.4. 隣接インダクタによる干渉.....	43
3.3.5. 電源ノイズの評価.....	44
3.4. まとめと議論.....	46
第 4 章 ボード間シングルエンド誘導結合回路.....	47
4.1. シングルエンド回路の概要.....	47
4.2. 回路と PCB の設計.....	49
4.2.1. 回路シミュレーション.....	49
4.2.2. 回路レイアウト.....	50
4.2.3. ボード設計.....	52
4.3. 測定結果.....	52
4.4. まとめと議論.....	54
第 5 章 結論.....	55
参考文献.....	56
本研究に関する発表.....	58
謝辞.....	59

第1章 序論

1.1. 数 m 程度の無線データ伝送

1.1.1. UWB と 60GHz 帯におけるアプリケーション

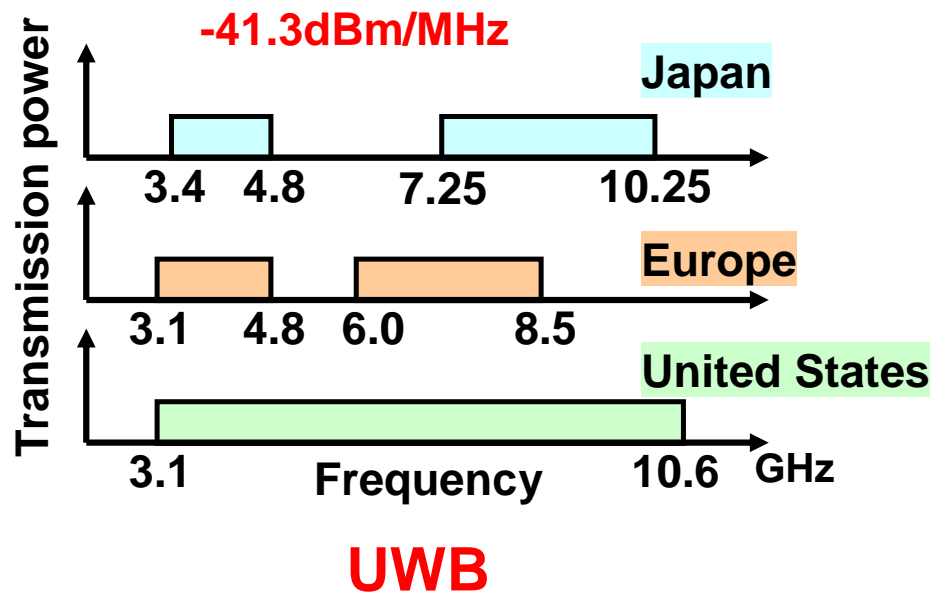


Fig. 1.1 各地域における UWB の使用状況



Fig. 1.2 キオスクとポータブルデバイスとの通信

Ultra Wide Band (UWB) を用いた数 Gbps の無線パルス通信が、最近注目を集めている[1]。Fig. 1.1 に各地域の UWB 帯における周波数と送信電力の関係を示す。802.11a などの従来の無線システムが利用する帯域と重なっているため、それらのシステムに影響を与えないために、送信電力を -41.3dBm/MHz 以下にすることが定められている[2]。このように、パルス通信が低消費電力であることと 7.5GHz もの広帯域が使用可能であることから、

UWB を用いたパルス通信は Fig. 1.2 に示すような、キオスク端末から個人のポータブルデバイスに動画や情報などをダウンロードするといったアプリケーションに適している。

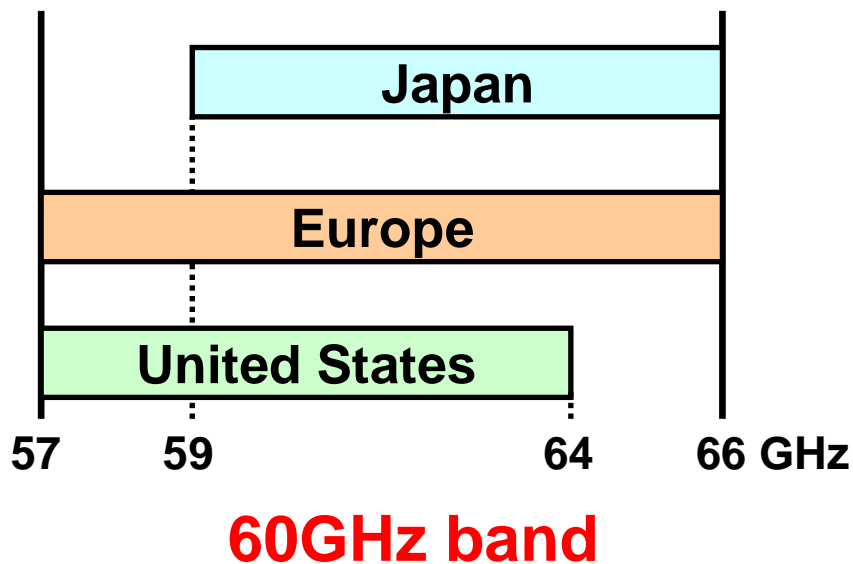


Fig. 1.3 各地域における 60GHz 帯の使用状況

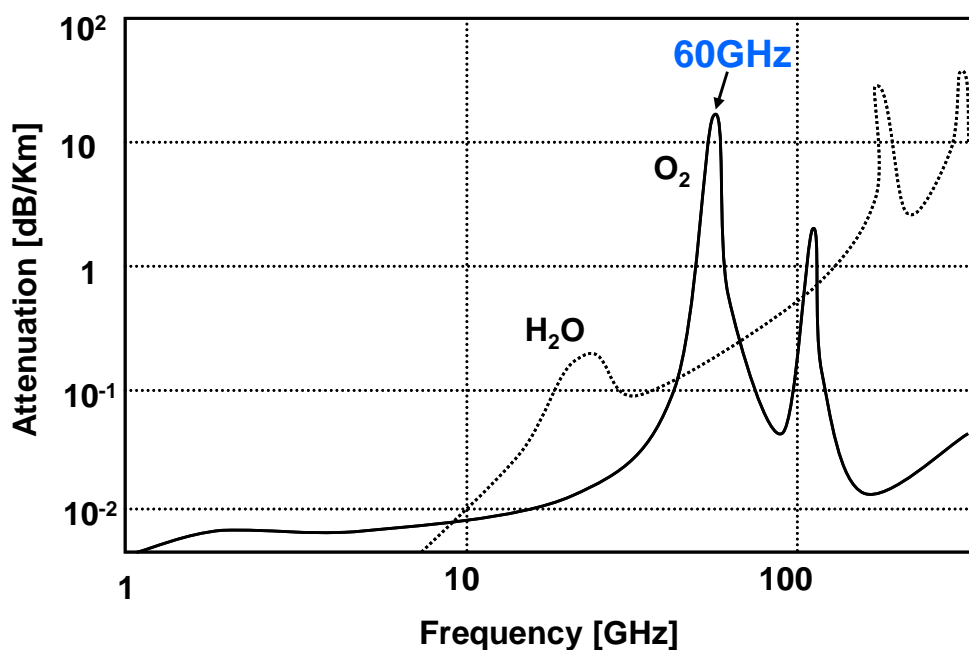


Fig. 1.4 酸素原子による電波減衰

UWB だけでなく、60GHz 帯も数 Gbps の無線パルス通信を実現するための手段として注目を集めている[3]。Fig. 1.3 に示すように 60GHz 帯は各国において、ライセンスフリーで利用できる帯域が定められている。また、UWB とほぼ同じだけの帯域（約 7GHz）があ

りながら UWB よりも送信電力が大きく、さらには Fig. 1.4 に示すように酸素による減衰のおかげで信号の干渉が起こりにくい。これらのことから 60GHz 帯は UWB よりも高いスループットを示すポテンシャルがある。実際に図 5 のように無線で非圧縮の HD 映像を伝送する WirelessHD[4]というアプリケーションがある。



Fig. 1.5 WirelessHD のイメージ

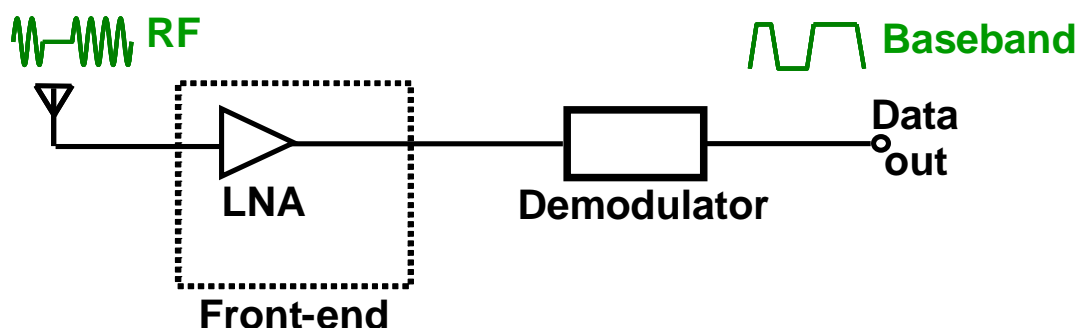
1.1.2. デモジュレータの重要性

以上のように数 Gbps という高いデータレートを要求するアプリケーションが急激に増えているので、パルスレシーバはパルス通信においてもっとも重要なコンポーネントであるといえる。Fig. 1.6 に示すように、RF フロントエンドとデモジュレータはパルスレシーバの重要なブロックである。RF フロントエンドはアンテナとレシーバの電子回路部分を接続するインターフェースの役割を果たし、デモジュレータはアンテナが受信した信号を処理して RF 信号をデジタル信号に変換する。ここで、RF パルスレシーバには 2 つのタイプがある。ひとつは Fig. 1.6 (a)[5]のように、アンテナから入ってくるミリ波パルスダイレクトにデジタルに変換するタイプである。もうひとつは Fig. 1.6 (b) [10]のようにまず中間周波数 (lower RF) にダウンコンバートしてからベースバンド信号に変換するタイプである。

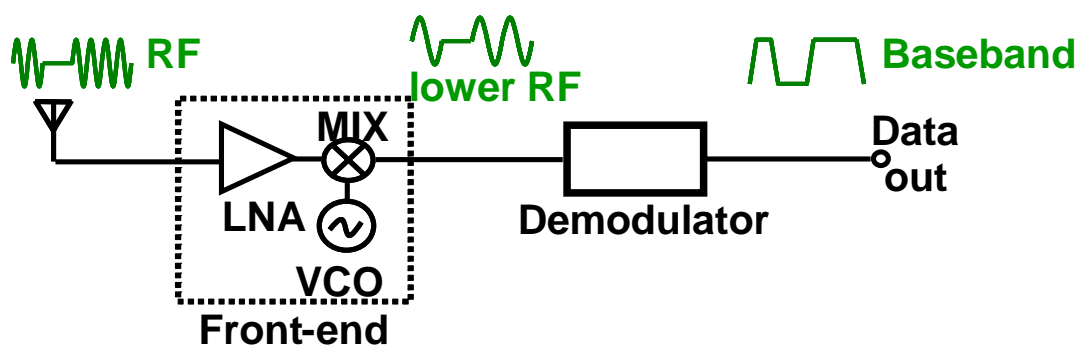
一般的に、アンテナで受信した信号の振幅は小さいので、デモジュレータが復調できるレベルになるまで信号を増幅する必要がある。しかし、特にミリ波帯でフロントエンドが動作しているときは、高いゲインを得ようとするとチップが大面積になり、かつ消費電力も大きくなってしまう。これを避けるためにはデモジュレータが小さい入力信号でも処理できることが望ましい。

そこで本研究では Fig. 1.7 に示すような UWB で動作し、かつ高い入力感度を持つデモジ

デモジュレータを設計した。このデモジュレータは UWB で変調された信号を直接復調できるとともに、前段でミキサによりダウンコンバートすることにより、60GHz の変調信号を復調することもできる。



(a) Demodulation directly



(b) Demodulation after downconverting

Fig. 1.6 パルスレシーバのアーキテクチャ

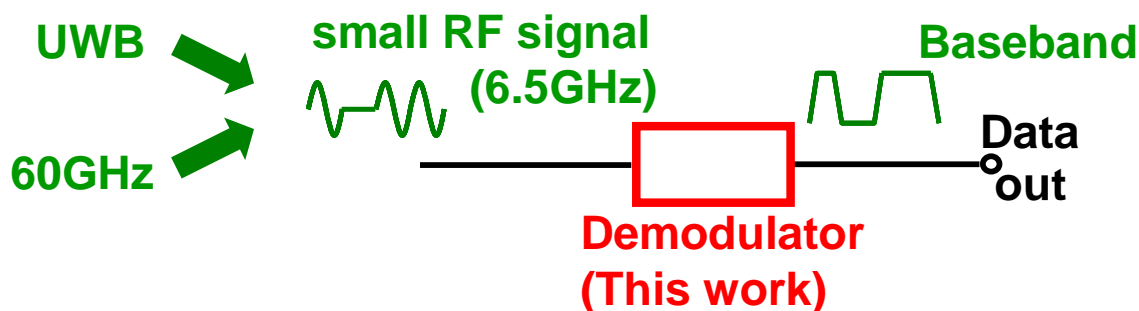


Fig. 1.7 本研究で提案するデモジュレータ

1.2. サブ mm の無線データ伝送

1.2.1. 非接触コネクタ

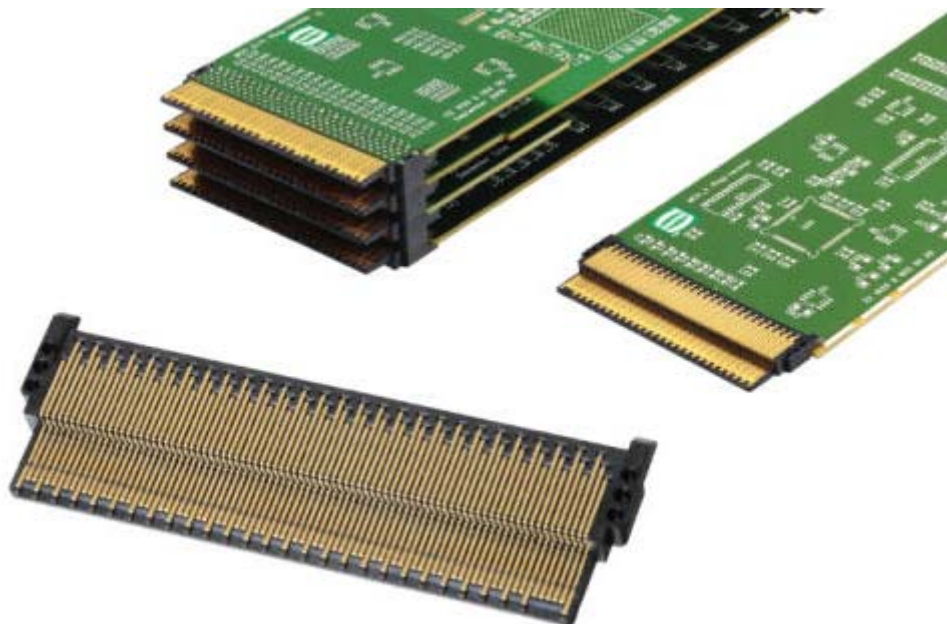
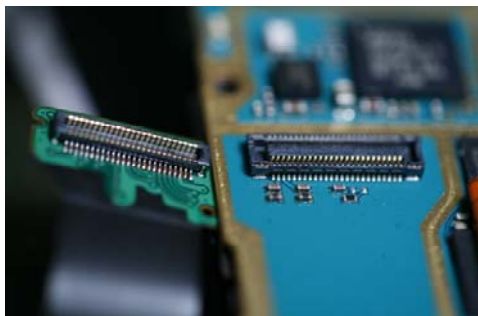


Fig. 1.8 一般的なコネクタ

Fig. 1.8 に示すのは一般的に使われているコネクタである。コネクタとは電子機器どうしを接続する部品であり、プリント基板上の配線を用いて信号や電源を伝達する働きをもっている。コネクタの主な用途として、パソコンのパーツや自動車、さらにはロボットなどが挙げられる。

(a) 接触型コネクタ



(b) 非接触型コネクタ

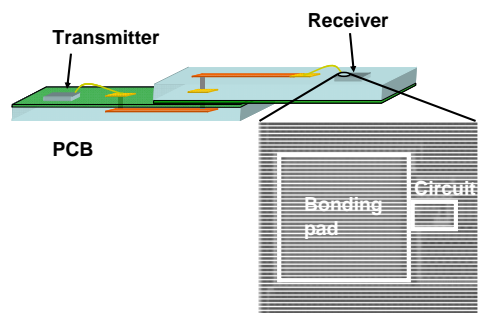


Fig. 1.9 接触型コネクタと非接触型コネクタ

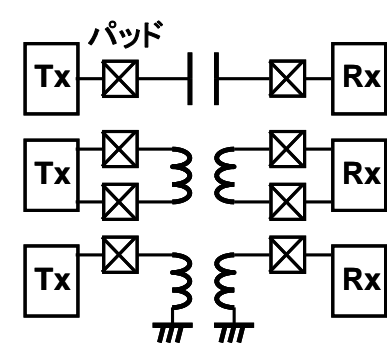
Fig. 1.9 に示すようにコネクタには接触型のものと非接触型のものがある。ポピュラーな

のは接触型の方であるが、近年は非接触型コネクタも報告が増えてきている。非接触型コネクタの利点を以下に挙げる。接触型コネクタはバンプなどで信号を伝達しているが、接触部分には接触抵抗があり、それによって信号が劣化してしまう。非接触型コネクタはバンプがないので、そのような劣化が無く、またバンプがない分だけ小型化と薄型化が期待できる。さらに接触不良が無く振動にも強いので、自動車内部で使うような用途において非接触型コネクタのほうが適している。さらに、接触型コネクタのバンプは塵や水の混入による錆に弱いが、非接触型コネクタにおいてはその心配はない。以上のような理由で非接触型コネクタが優れていると考えられる。

1.2.2. 誘導結合と容量結合

Table 1.1 カップリング方式による性能の違い

	通信距離	実装密度と ボード上配線	パッド
Cカップリング	×	○ 1本	1個/ch
ディファレンシャル Lカップリング	○	×	2個/ch
シングルエンド Lカップリング	△	○ 1本	1個/ch



非接触による通信の方式としては誘導結合（インダクティブカップリング）と容量結合（キャパシティブカップリング）の2つが挙げられる。Table 1.1 に各カップリング方式の性質のまとめを示す。一般論としてキャパシティブカップリングは電極間距離の増大に弱いことが知られている。一般的なコネクタの用途を考えると、埃のような小さなゴミが混入する可能性があるので、キャパシティブカップリングは都合が悪い。その点、インダクティブカップリングは比較的大きなギャップでの通信に適しているので非接触コネクタの通信方式としては好都合と言える。

また、インダクティブカップリングは通常チャネルあたり 2 個のパッドが必要であり、パッドが 1 個で済むキャパシティブカップリングに比べ実装密度の点で不利である。もしシングルエンド回路でインダクティブカップリングを実現出来れば、弱点を克服できることになる。そこで本研究では非接触コネクタのためのインダクティブカップリング回路を考案し、ディファレンシャルエンド回路とシングルエンド回路の両方で実装した。

1.3. 本研究の目的

本研究では、CMOS 回路を用いて近距離無線データ伝送の性能向上を目指す。

まず1.1 で述べたように高いデータレートでの無線通信を成功させるためには、デモジェレータが非常に重要である。そこで第 2 章において、既存のデモジェレータの問題点を示し、数 m 程度の距離で通信するためのパルスレシーバに用いるデモジェレータの入力感度の改善を実現した。

また1.2 で述べたようにコネクタの信頼性の向上と小型化の観点から、非接触型のコネクタの需要が高まっている。そこで第 3 章において、非接触コネクタに用いるインダクティブカップリング回路をディファレンシャルエンド回路で実装し、ボード間でのデータ伝送の性能を測定した。その後、第 4 章においてシングルエンドで実装したインダクティブカップリング回路の測定結果を示した。

最後に第 5 章で本研究の結論をまとめた。

第2章 高感度 CMOS ASK デモジュレータ

2.1. 既存デモジュレータの問題点

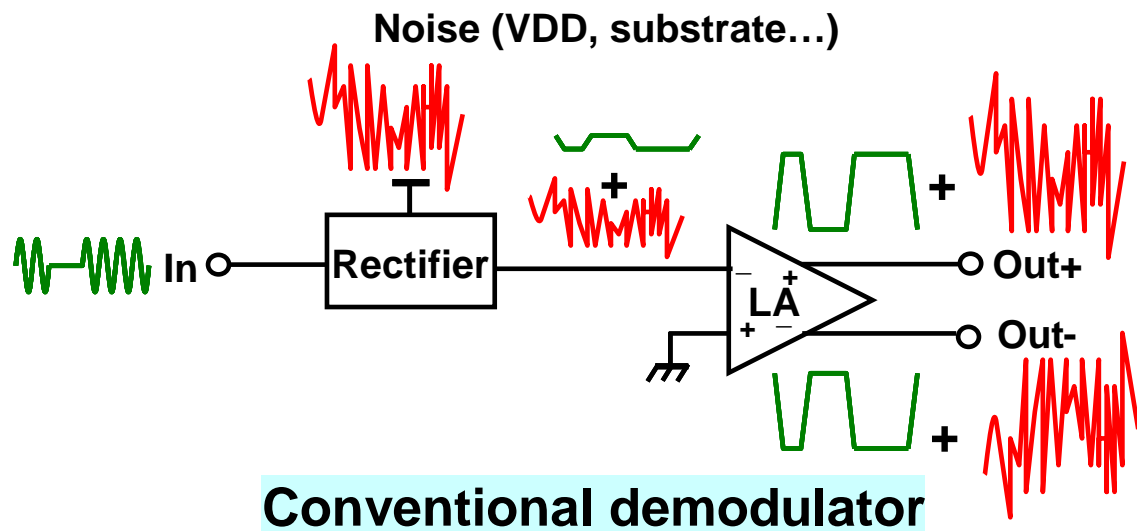


Fig. 2.1 既存のデモジュレータの問題点

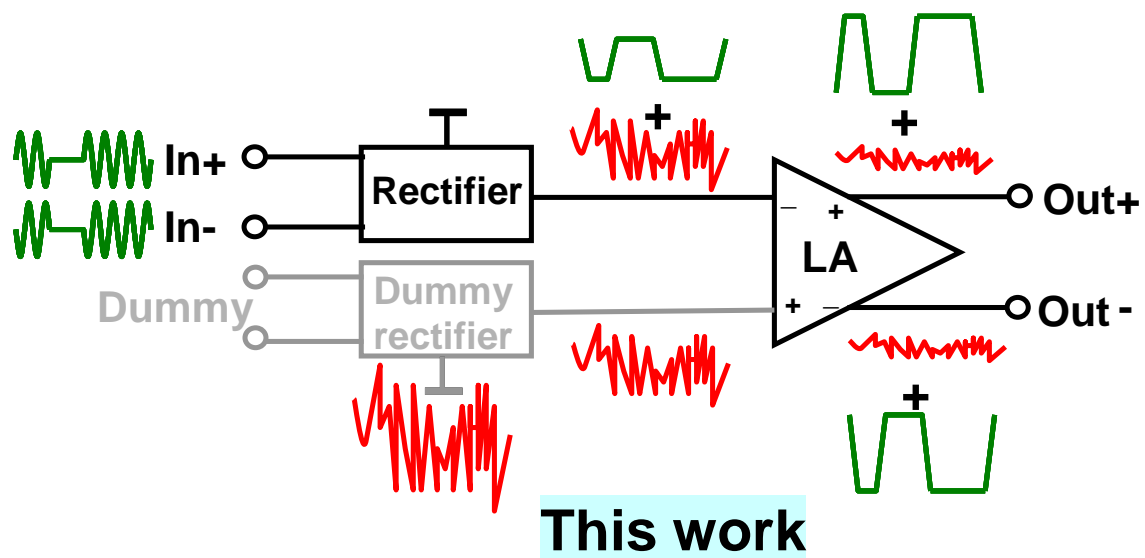


Fig. 2.2 提案するデモジュレータのアーキテクチャ

今までに報告されているデモジュレータは受信感度に問題がある。Fig. 2.1 に一般的な振幅偏移変調 (ASK) デモジュレータのトポロジを示す。シングルエンドの検波器が入力の RF パルスのエンベロープを生成し、それを Limiting Amplifier (LA) が差動のデジタル信号に変換する。LA は通常、差動のトポロジを採用することにより同相ノイズを除去してい

る。ところが一般的なデモジュレータでは、LA の一方の入力には前段の電源電圧ノイズがリークし、もう一方の入力は大きなキャパシタで AC 的にグラウンドになっている。このように LA の一方の入力のみにはノイズが流れこんでしまうことで、ノイズは無視できないほど増幅されてしまう。するとデモジュレータは検波器のエンベロープのパワーがノイズのパワーより十分に大きい時のみ正しく動作することになる。

この問題を克服するために、Fig. 2.2 に示すように、検波器のダミーを LA の入力に付加したデモジュレータを提案する。こうすることにより、同相の電源ノイズが LA に入力されるので、キャンセルアウトされる。それによりデモジュレータの入力感度が向上することが期待される。

2.2. 提案するデモジュレータ回路

2.2.1. デモジュレータの概要

Fig. 2.3 に提案する ASK デモジュレータのトポロジ、Fig. 2.4 にその回路図を示す。先ほど述べた問題を解決するため、ダブルディファレンシャルの構造を用いて、回路全体を対称にした。まず、検波器を差動構造にすることで検波能力を向上した。また、ダミーの検波器をバランに付加することで同相ノイズの耐性を高めた。以下でこの回路の信号の流れを説明する。

まず、ASK 変調された差動のパルス信号がプリアンプに入力される。プリアンプの出力信号は全波検波器に入力される。検波器はパルスのエンベロープを検知しシングルエンドのバイナリデータに復調する。アクティブバランはそのデータを差動信号に再度変換する。変換された差動信号は Limiting Amplifier(LA)によりデジタルデータとしてデモジュレータから出力される。

アクティブバランのもう一方の入力はプリアンプと検波器のダミー回路に接続されている。このダミー回路は本物の回路と全く同じサイズでデザインされているので、回路全体は完全に対称になっている。また、キャパシタがプリアンプと検波器の間に挿入されていて、直流電圧をブロックしている。それぞれの回路の DC バイアスは、カレントミラー回路を通じて一つの電流源で制御されている。

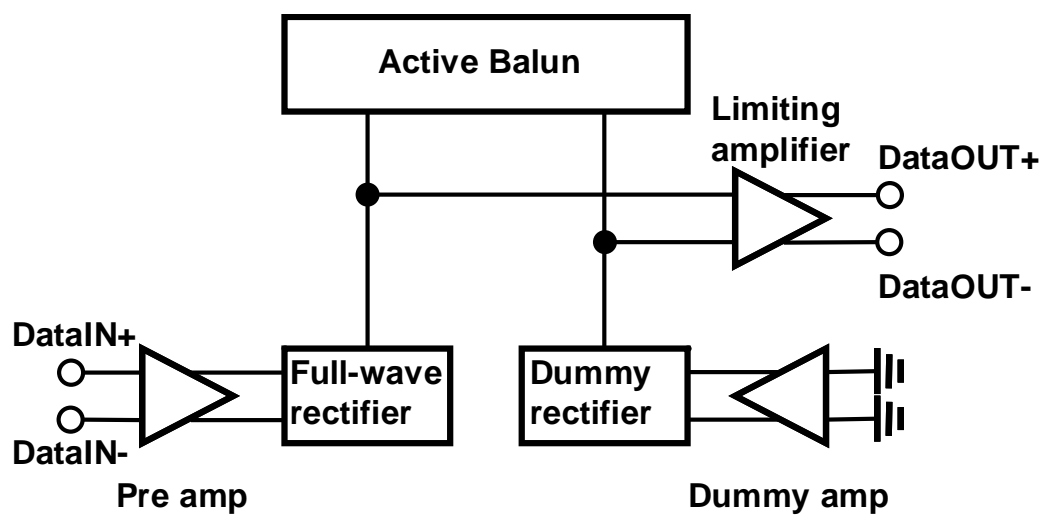


Fig. 2.3 提案するデモジュレータのトポロジ

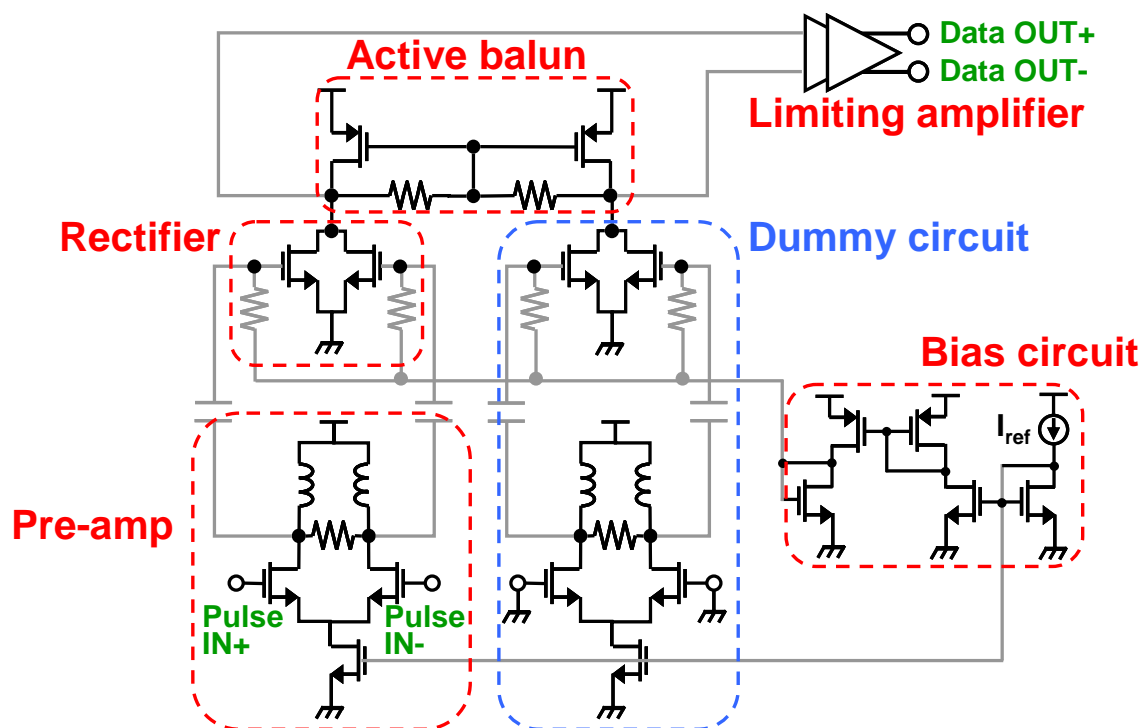


Fig. 2.4 提案するデモジュレータの回路図

2.2.2. 差動検波器

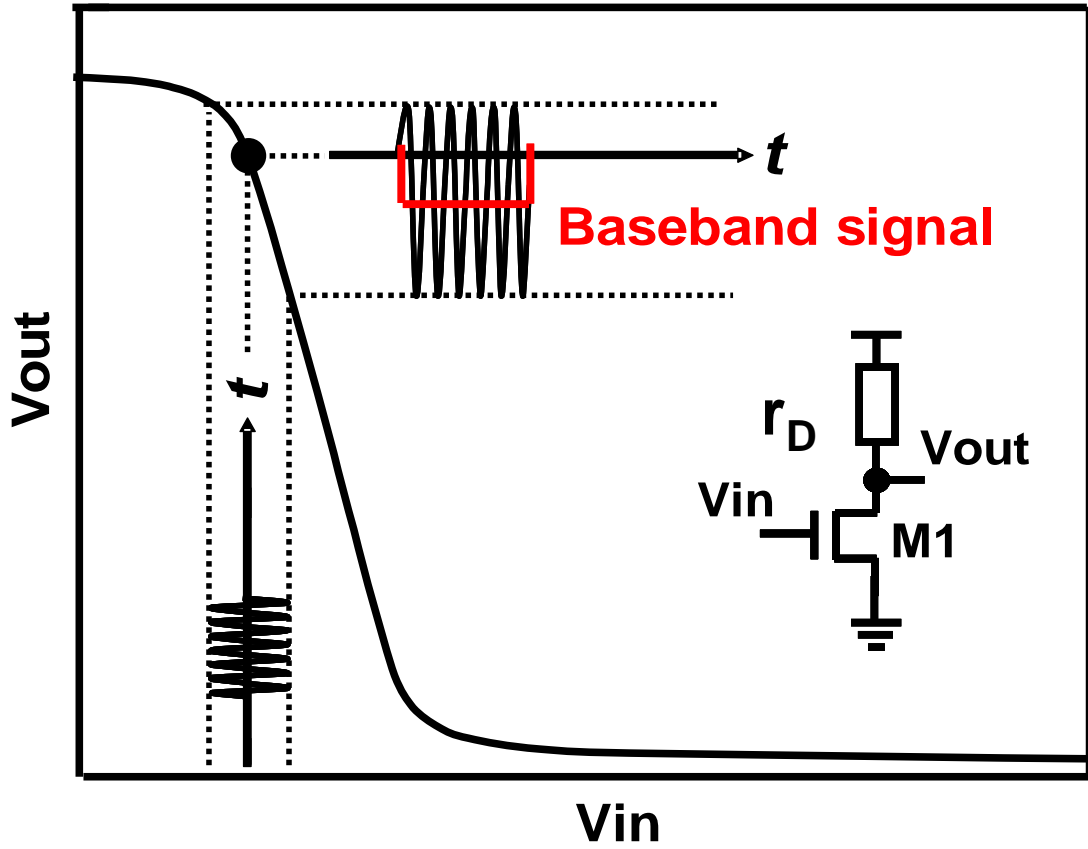


Fig. 2.5 検波の原理

Fig. 2.5 に本回路における検波の原理を示す。ここで図中のソース接地増幅器は非線形な領域にバイアスされている[11]。NMOSFET の M1 の交流電流は以下のように表せる。

$$i_D = g_m v_{in} + \frac{1}{2} g_{m2} v_{in}^2. \quad (2.1)$$

Eq. 2.1 において $g_m = \partial I_d / \partial V_g$ は M1 のトランスコンダクタンスを、 $g_{m2} = \partial^2 I_d / \partial V_g^2$ は M1 のゲート電圧に対するドレイン電流の 2 階微分を表している。ここで $v_{in} = A \cos(\omega_0 t)$ なる正弦波の入力を Eq. 2.1 に代入すると、 i_D は

$$i_D = \frac{1}{4} g_{m2} A^2 + g_m A \cos(\omega_0 t) + \frac{1}{4} g_{m2} A^2 \cos(2\omega_0 t). \quad (2.2)$$

となる。ここにベースバンド成分 $i_D = 1/4 g_{m2} A^2$ が生成されている。すると出力電圧として $v_{out} = -r_D i_d = -r_D / 4 g_{m2} A^2$ が現れ、検波が可能になる。

しかし、このままでは IF 信号(f_0) と高調波成分($2f_0$) が残ってしまう。すると Fig. 2.6 (a)

に示すように IF 信号は後段の LA によって増幅されて SNR の低下を引き起こす。そこで Fig. 2.6(b)のような差動構造をとることにする。ここで M1 の入力に $v_{in} = A\cos(\omega_0 t)$ 、M2 の入力に $-v_{in} = -A\cos(\omega_0 t)$ を適用すると以下の式が得られる。

$$i_{D1} = g_m v_{in} + \frac{1}{2} g_{m2} v_{in}^2, \quad (2.3)$$

$$i_{D2} = -g_m v_{in} + \frac{1}{2} g_{m2} v_{in}^2, \quad (2.4)$$

$$\begin{aligned} \therefore i_{out} &= i_{D1} + i_{D2} \\ &= \frac{1}{2} g_{m2} A^2 + \frac{1}{2} g_{m2} A^2 \cos(2\omega_0 t) \end{aligned} \quad (2.5)$$

Eq. 2.5 からわかるように RF 成分がキャンセルされている。高調波成分は MOS や配線の寄生容量によって減衰され、かつ後述する LA の動作周波数から外れているので増幅されることはない。したがって、ノイズ成分を除去していると言える。

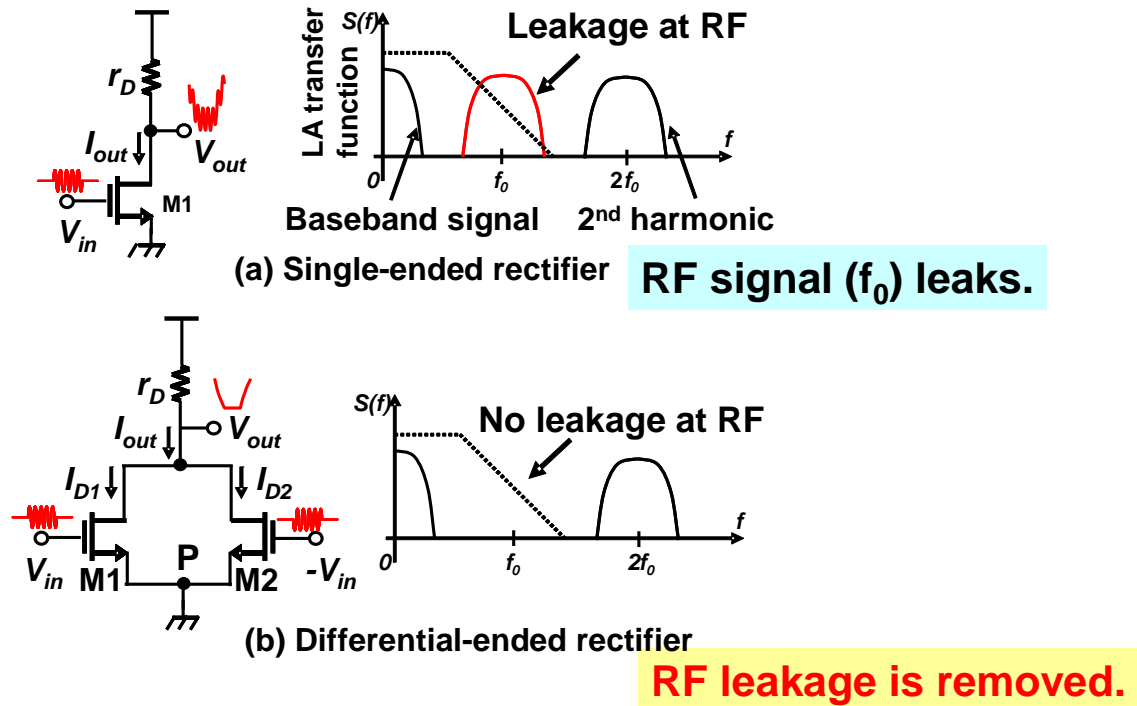


Fig. 2.6 差動構造による RF 成分の除去

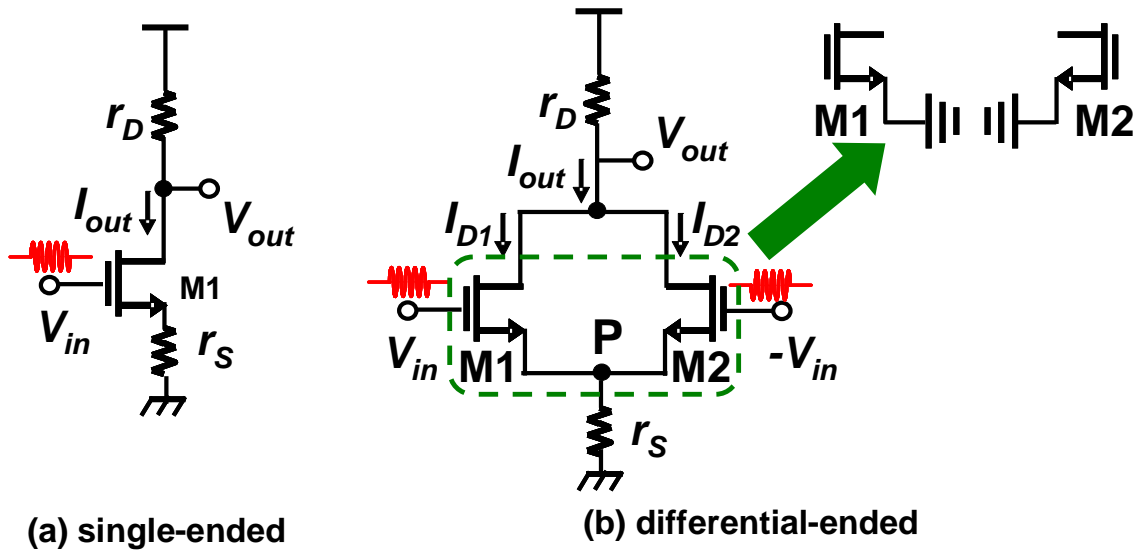


Fig. 2.7 差動構造によるソース抵抗の除去

次にソースディジェネレーションの回避による検波性能の向上について説明する。Fig. 2.7(a) に示すように回路レイアウトの寄生成分により、検波器に使うトランジスタ M1 のソースには寄生抵抗 r_s が見える。すると M1 の等価 g_m および等価 g_{m2} は以下のように表せる[12]。

$$G_m = \frac{g_m}{1 + g_m r_s} \quad (2.6)$$

$$G_{m2} = \frac{g_{m2}}{(1 + g_m r_s)^2}$$

Eq. 2.6 から分かるように G_{m2} が理想的な g_{m2} より小さくなっている。ゆえに Eq. 2.2 に示す復調されたベースバンド成分 $i_D = 1/4 g_{m2} A^2$ が小さくなり、検波性能が劣化してしまう。これがソースディジェネレーションである。

そこで Fig. 2.7(b) のような差動構造にすると、点 P はバーチャルグラウンドとなるので r_s による影響を消すことができる。したがってベースバンド信号の振幅を劣化させずにすむことができる。

以上で述べたように検波器の差動化にはノイズ成分の除去と信号成分の増大という二つのメリットがある。

2.2.3. ダミー回路の効果

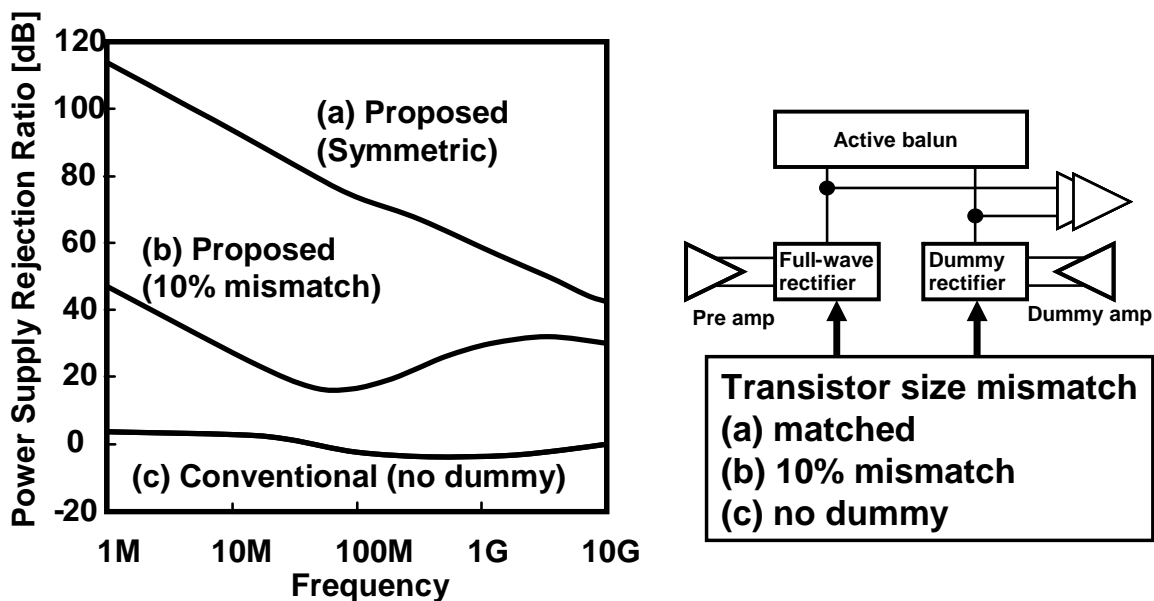


Fig. 2.8 PSRR シミュレーション

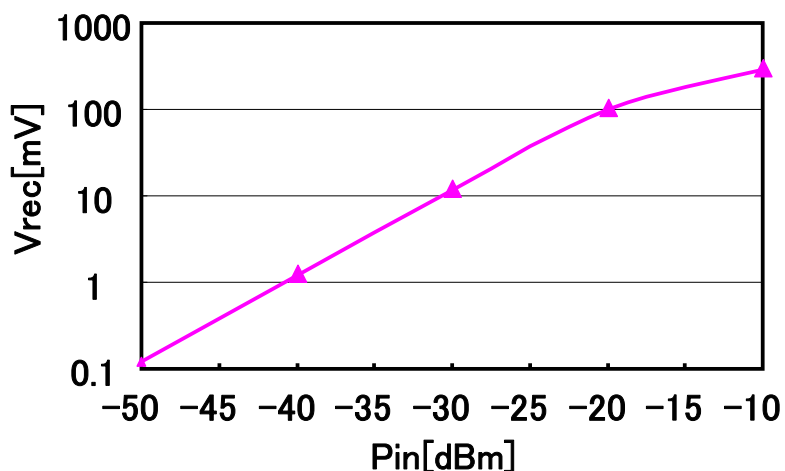


Fig. 2.9 プリアンプの入力パワーと検波器の出力電圧(Sim.)

同相ノイズの中でも特に問題になるのは電源ノイズである。なぜなら Gbps 程度の高速なデータが遷移するたびに LA の出力が 0 と 1 の間をフル振幅で動き、電源から電流を引き出すからである。そこで電源ノイズに対するダミー回路の効果を検証するために、電源電圧変動除去比 (PSRR) をシミュレーションで算出した。Fig. 2.8 に(a)提案回路、(b)ダミー回路のトランジスタのサイズを 10%変更したもの、(c)ダミーのない回路のそれぞれの PSRR を示す。(a)では 40dB 以上の PSRR がある一方、(c)ではほとんど PSRR は 0 に等しかった。また(b)のグラフから、トランジスタのサイズが設計からバラついていても 30dB 程度

の PSRR は確保されていることを読み取れる。つまり、仮に電源が 100mV 揺れても検波器の出力は数 mV 程度しか変わらないことを意味している。Fig. 2.9 にプリアンプにおける入力パワーと検波器の出力電圧との関係を示す。入力が-30dBm 以上あれば検波器の出力電圧は 10mV 以上あるので、電源揺れによるデータエラーは起こらないことが分かる。

2.2.4. LA のトポロジ

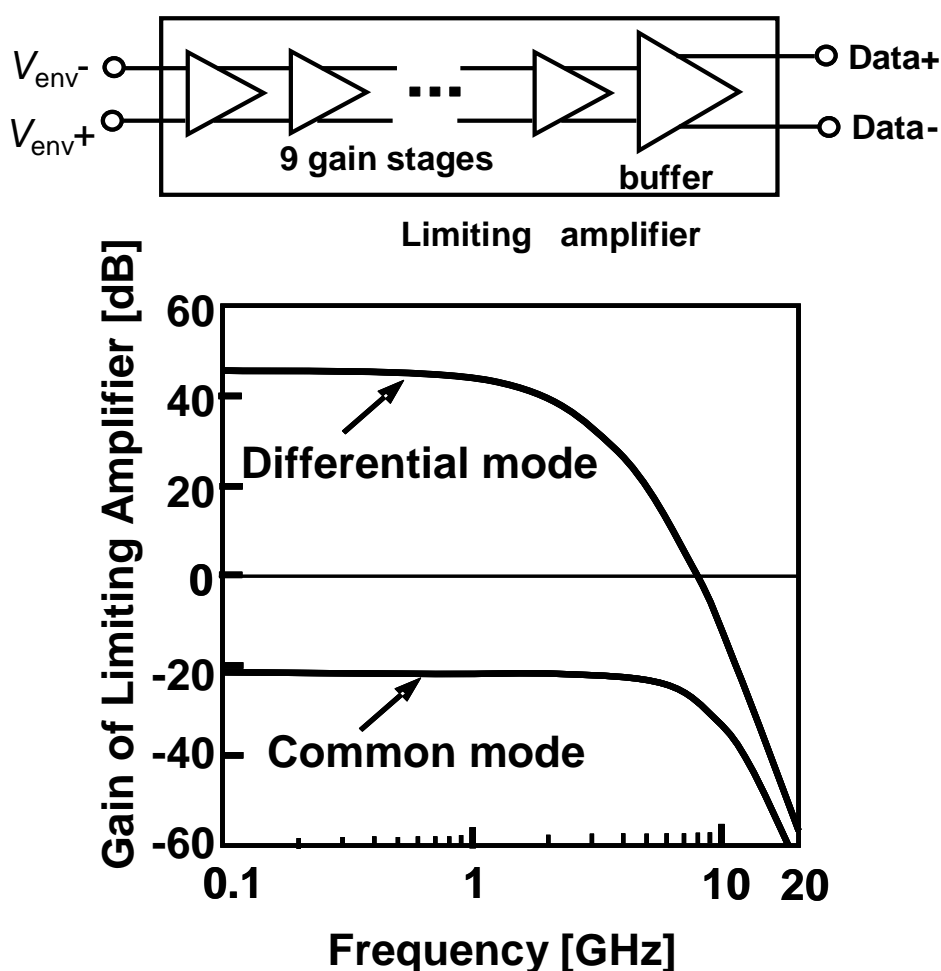


Fig. 2.10 LA のトポロジとゲインの周波数特性

Fig. 2.10 に LA のブロックダイアグラムと、シミュレーションで得られた伝達関数の周波数特性を示す。LA は差動構造で、9 つのゲインステージとバッファで構成されている。グラフには入力が差動の時および同相の時のゲインが示されている。このグラフから、同相の電源ノイズは減衰され、アクティブバランによって差動化されたベースバンド成分は増幅されてデジタル信号に変換されることが分かる。10GHz 以上の周波数の高調波成分は LA でフィルタリングされている。

2.3. 測定結果および比較

2.3.1. TEG の測定結果

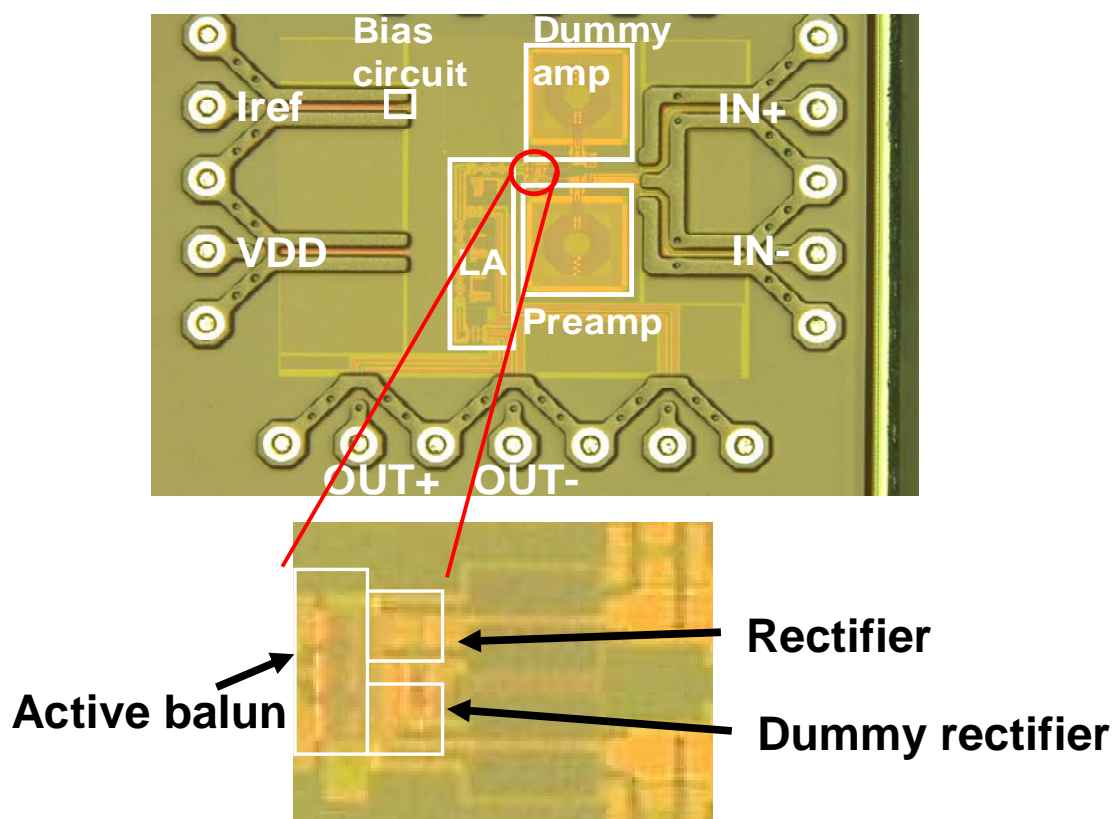


Fig. 2.11 デモジュレータ TEG のチップ写真

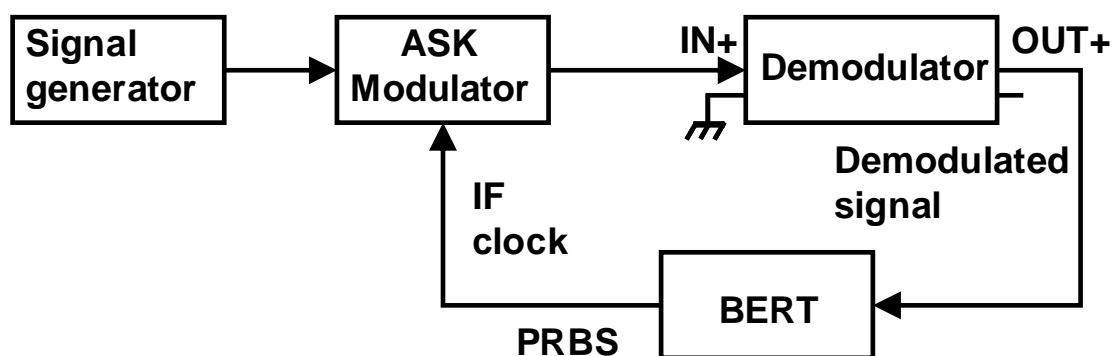
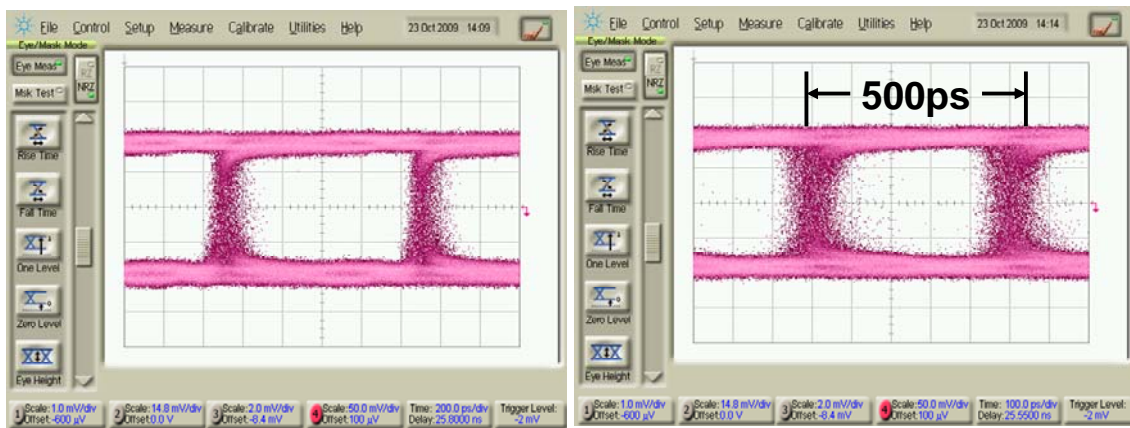


Fig. 2.12 TEG の測定系

本チップは 90nm CMOS テクノロジーを用いて製造された。チップ全体で $0.9 \times 1.3 \text{mm}^2$ の領域を占めている。 Fig. 2.11 にチップの写真を示す。

測定系を Fig. 2.12 に示す。ビットエラーレート（BER）を測定するため、 $2^{31}-1$ の擬似ランダム信号（PRBS）を用いた。1Gbps と 2Gbps の信号を入力した時のアイダイアグラムを Fig. 2.13 に示す。最高で 2Gbps までの信号を復調できることがわかる。Fig. 2.14 にキャリア周波数が 6.5GHz と 8GHz の時の BER を示す。キャリア周波数に 6.5GHz を用いたとき、受信可能な最低入力パワーは -33dBm であった。またそのときのチップ全体の消費電力は 26mW であった。そのうち、検波器の消費電力は 1.2mW、プリアンプの消費電力は 6mW、ダミー回路の消費電力は 1.2mW、バイアス回路の消費電力は 1.6mW、LA の消費電力は 16mW であった。



(a) Data rate 1Gbps

(b) Data rate 2Gbps

Fig. 2.13 1Gbps と 2Gbps におけるアイダイアグラム

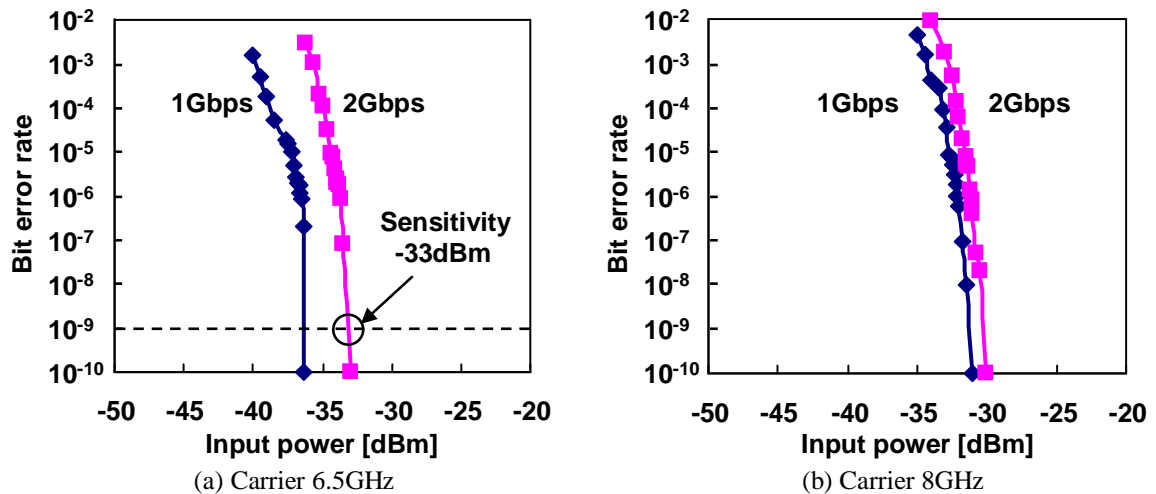


Fig. 2.14 1Gbps と 2Gbps における BER

2.3.2. 既存回路との比較

Table 2.1 既存のデモジュレータとの性能比較

	Input sensitivity	Datarate	Power dissipation	Modulation & Frequency	Technology
This work	-33dBm	2Gbps	26mW	ASK 6.5~8GHz	90nm CMOS
[13]	-26dBm	3Gbps	32mW	ASK 6.5~9GHz	90nm CMOS
[14]	-16dBm	2.5Gbps	24mW	FSK 9~11GHz	130nm CMOS
[15]	-16dBm	1.5Gbps	7.2mW (core)	FSK 19~21GHz	130nm CMOS
[5]	-20dBm	2Gbps	19.2mW (w/o LNA)	ASK 60GHz	90nm CMOS

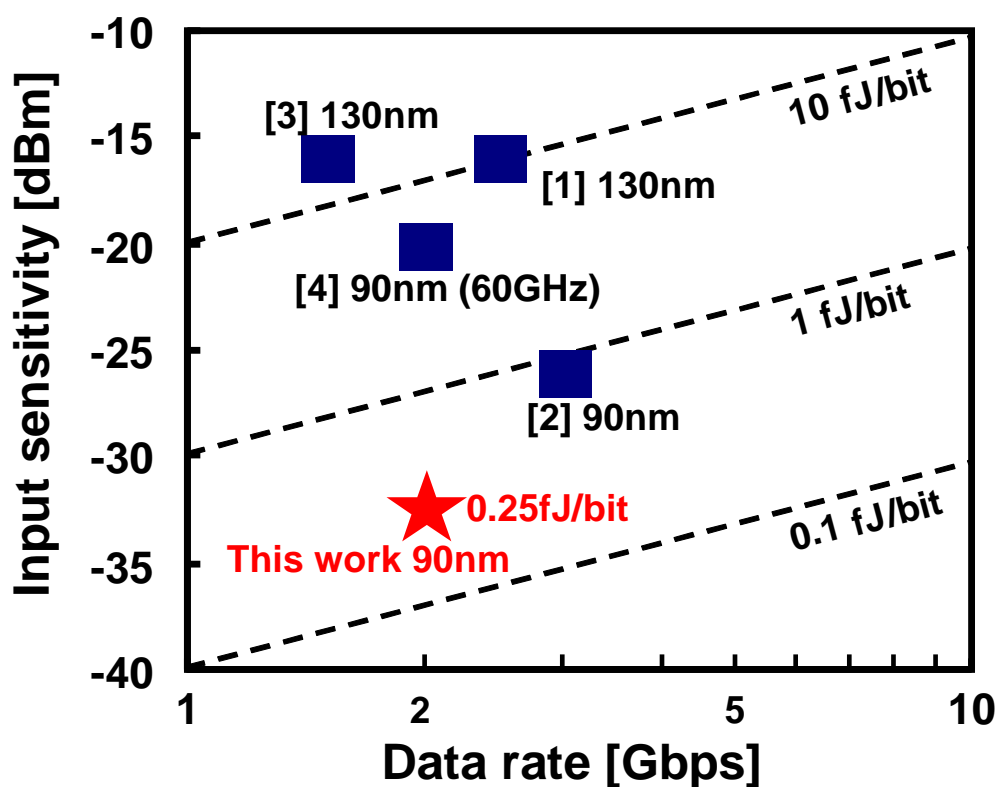


Fig. 2.15 デモジュレータの入力感度の比較

Table 2.1 に今回提案したデモジュレータと近年報告されているデモジュレータ [5][13][14][15]の性能を比較した表を示す。性能の中から入力感度とデータレートとの関係

に注目したグラフが Fig. 2.15 である。グラフの破線部分は 1 ビットを通信するのに必要な入力パワー、つまり入力感度を表している。提案回路は Yeh et al. [13]の回路の入力感度の 3 倍の感度を示している。

2.4. まとめと議論

本研究では、入力感度の向上を実現するための、ダミー回路を用いた ASK モジュレータを提案した。小さい RF 信号を検知するために、電源ノイズのリークが同相で LA に入力されてノイズがキャンセルされるような対称型デモジュレータを設計した。ダミーの回路を付加することにより PSRR が約 30dB 向上することをシミュレーションで確認した。提案したデモジュレータは 90nm CMOS テクノロジーで製造された。動作周波数は 6.5~8GHz で、2Gbps のデータレートを持つ $2^{31}-1$ の PRBS を復調することができた。このときの入力パワーは -33dBm、消費電力は 26mW、1 ビットあたりの入力パワーは 0.25fJ/b であった。提案したデモジュレータは既存のデモジュレータの 3 倍の入力感度を実現した。本研究は European Microwave Conference (EuMC) に採択された。(本研究に関する発表[1])

また、本デモジュレータを受信回路に含むマルチチャンネルのリピーターを用いて、実際に Fig. 2.16 [16]に示すように非圧縮 HD 映像の無線伝送に成功した。



Fig. 2.16 非圧縮 HD 映像を無線伝送するデモンストレーション

2.2.2 で電源ノイズと入力感度の関係について述べたが、Fig. 2.9 からわかるように入力パワーが -33dBm のときには、検波器の出力電圧は数 mV しかない。そのときに電源が 100mV 揺れれば出力は数 mV 変動するので、ベースバンド成分は消えてしまう。したがって、入力感度がそれ以上に上がらなかったのは電源揺れが原因だと思われる。電源メッシュを張り巡らすなどレイアウト上の工夫はしたのであるが、感度向上にはさらなる電源ノイズ対策が必要になるだろう。

また測定結果において BER のグラフが真っ直ぐになっていないのは PRBS を測定するために十分な時間を取らなかったのが原因だと思われる。測定した 10^{-9} の BER を信頼するためには $10^{11} \sim 10^{12}$ ビットの正誤確認が必要だということを失念していたのは反省するべき点である。

第3章 ボード間ディファレンシャル誘導結合回路

3.1. ディファレンシャル回路の概要

3.1.1. ディファレンシャル回路のアーキテクチャ

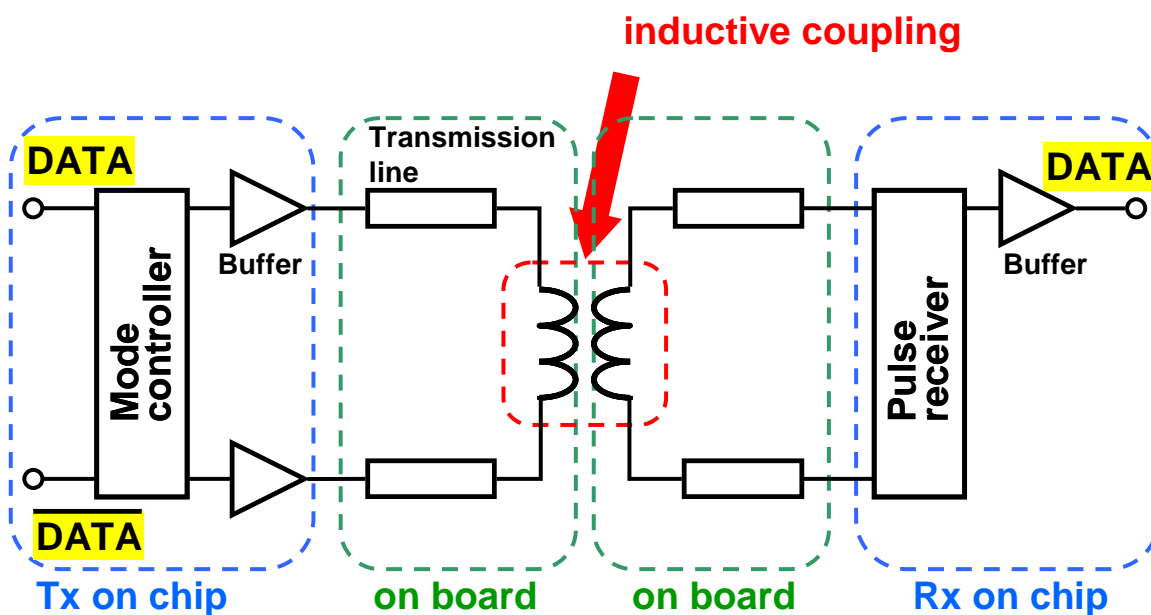


Fig. 3.1 ディファレンシャル構造のインダクティブカップリング回路

Fig. 3.1 に提案するディファレンシャル構造のインダクティブカップリング回路のアーキテクチャを示す。本送受信回路は 2 つのデータ伝送方式を持っている。ひとつはデュアルモードカップリングで、送信回路に差動信号を入力してデータを伝送するモードである。この方式は送信側の消費電流を大きくするかわりにデータレートを高くする狙いがある。もうひとつはシングルモードカップリングで、送信回路にシングルエンドのデータ信号を入力してデータを伝送するモードである。この方式は、データレートを控えめにするかわりに送信側の消費電流をほぼ 0 にする狙いがある。以下でデータ信号の流れを説明する。

チップ上の送信回路にデジタルデータを入力する。モードコントローラはデータ伝送方式を切り替えるための回路である。データはバッファリングされて、PCB 上のインダクタへと流れる。インダクタは別の PCB 上のインダクタとカップリングしてデータをパルス電圧の形状で伝送する。パルス電圧は PCB からチップ上の受信回路に伝わり、パルスレシーバがパルス電圧をバイナリデータに変換する。その信号をバッファリングすることにより、もとのデジタルデータを得る。

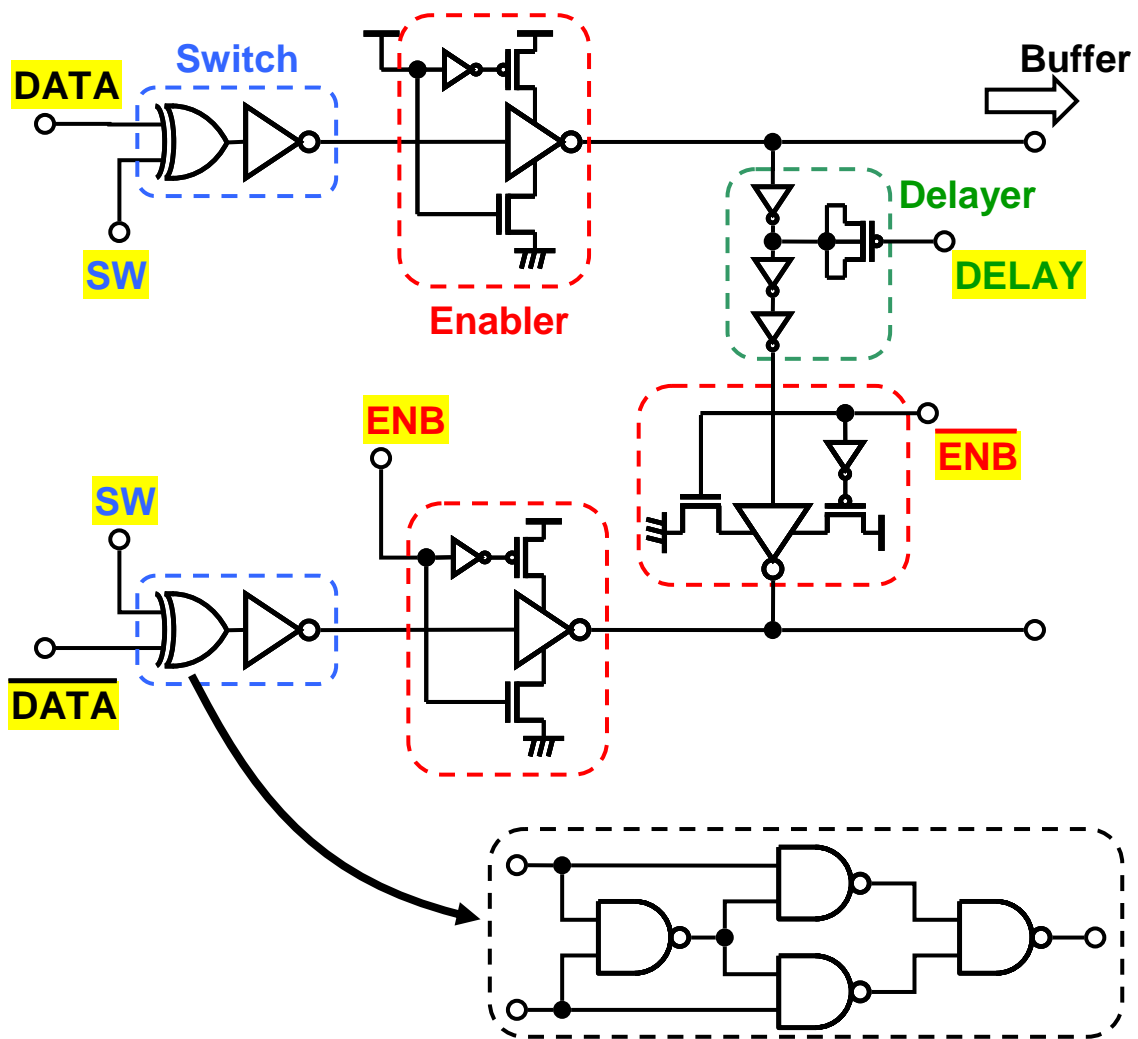


Fig. 3.2 モードコントローラの回路図

Fig. 3.2 にモードコントローラの回路図を示す。イネーブラは信号を通すか通さないかを ENB 端子で選択できる。ENB が High ならインバータに電源電圧とグラウンドが接続されてインバータが動作し、信号が通るようになる。逆に ENB が Low ならインバータが動作しないので、信号が通らない。DATA 信号側のイネーブラは常に信号を通す必要があるので ENB 端子は High で固定されている。イネーブラを通った信号は後段のバッファでバッファリングされ、インダクタに電圧が印加される。スイッチは XOR とインバータで構成される。SW 端子を切り替えることでデータ信号の位相を反転させることができるようになっている。その後段のインバータは、イネーブラのインバータによる信号の反転をキャンセルする働きを持つ。ここで用いられる XOR は NAND4 個により構成されている。遅延回路はインバータ 3 つと PMOS 負荷容量で構成されている。この回路はシングルモードでのみ用いられ、データ信号からわずかに遅延する信号を生成し、インダクタにパルス電流を流す。DELAY 端子の電圧を変化させることで、1 段目のインバータに見える負荷容量を変化

させることで信号の遅延幅を調整できる。

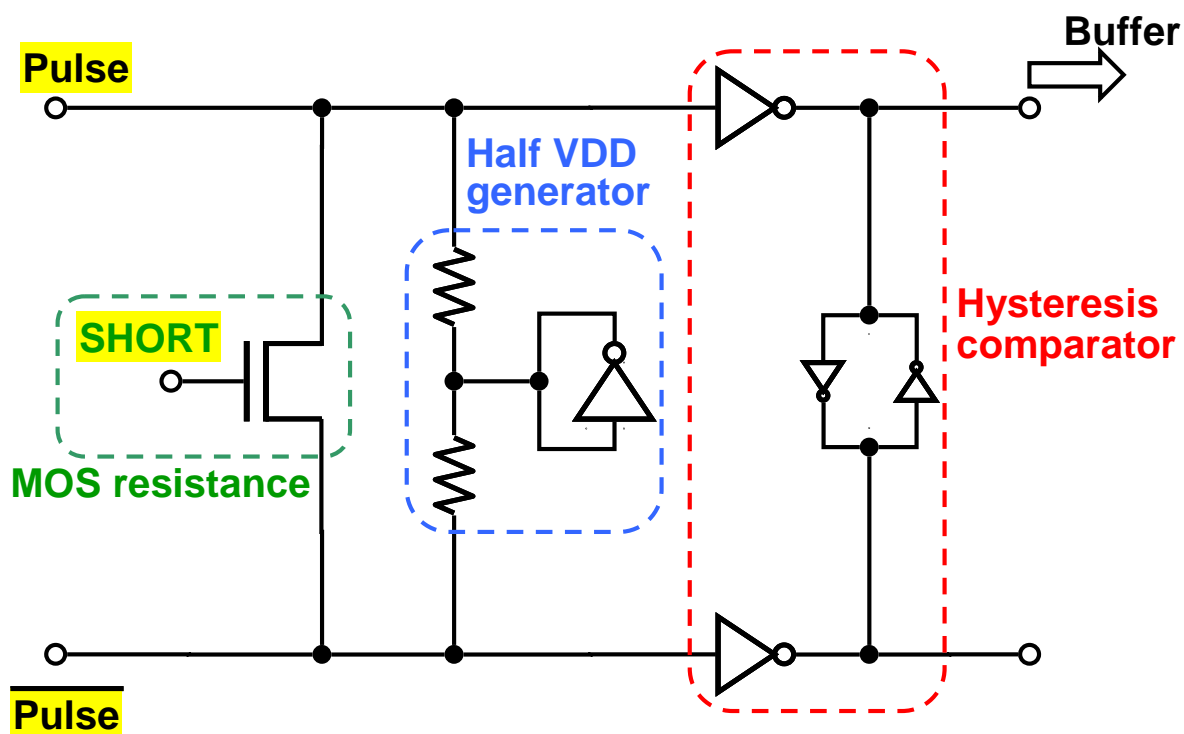


Fig. 3.3 パルスレシーバの回路図

Fig. 3.3 にパルスレシーバの回路図を示す。ハーフ VDD 生成器はインバータの入出力をショートすることでハーフ VDD を生成し、ヒステリシスコンパレータに DC 電圧を与えている。ヒステリシスコンパレータはインダクタから送られてくるパルス電圧をバイナリデータに変換しラッチすることで、次にパルスが来るまでデータを保持している。変換されたバイナリデータは後段でバッファリングされてデジタルデータとして出力される。MOS 抵抗はインダクタと寄生容量によるリンギングの影響を軽減するために用いられる。SHORT 端子に電圧をかけていくと NMOS がオンしていき、差動端子間がショートし始めるのでリンギングが抑えられる。

3.1.2. デュアルモードカップリング

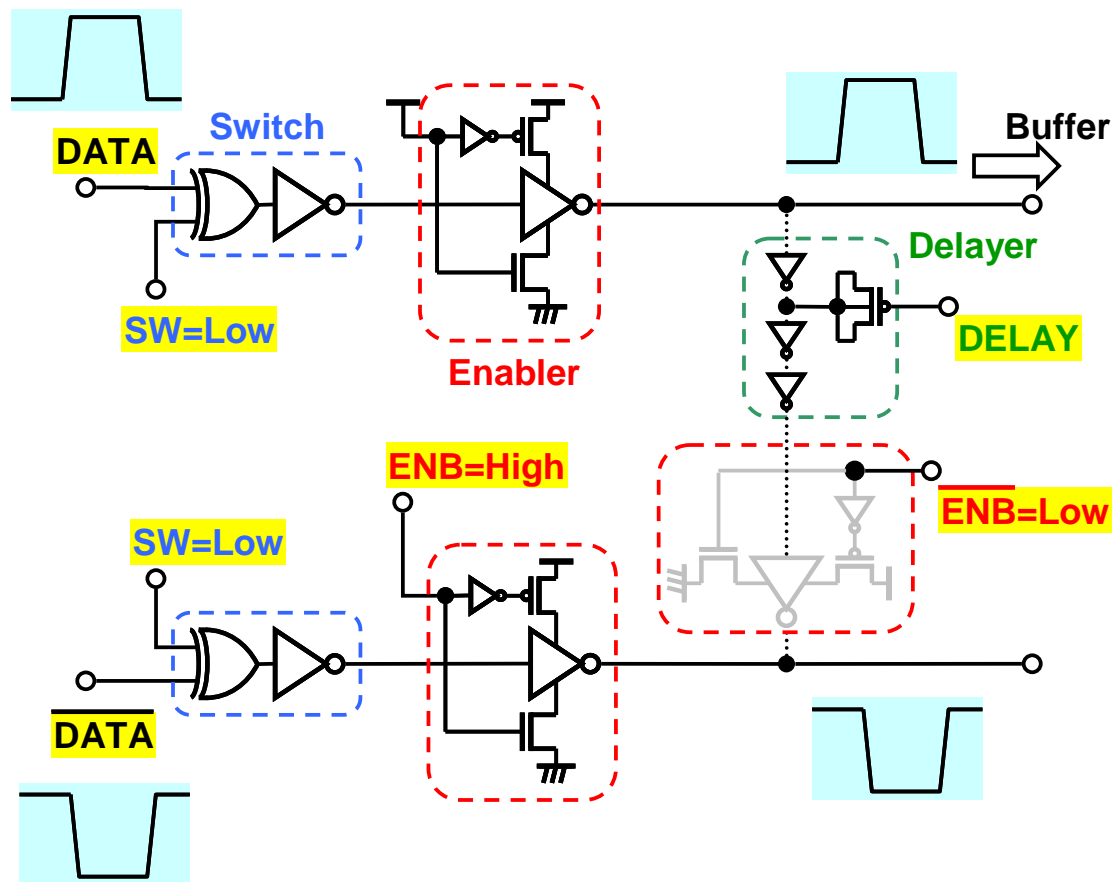


Fig. 3.4 デュアルモードにおける信号伝送経路

Fig. 3.4 にデュアルモードにおける信号伝送経路を示す。ENB 端子を High にすることで DATA 側のイネーブラがオンになり、また DATA と $\overline{\text{DATA}}$ を結ぶイネーブラがオフになるので差動信号対を入力することが可能になる。ここで SW 端子は Low にしておくことで信号が反転しないようにしている。

デュアルモードにおける信号変調と信号復調の様子を Fig. 3.5 に示す。データが遷移するたびにインダクタに流れる電流は向きを変える。その瞬間に電磁誘導の法則により、受信側のインダクタにパルス電圧が発生する。そのパルス電圧をパルスレシーバの中のヒステリシスコンパレータが受け手、デジタルデータを復元している。

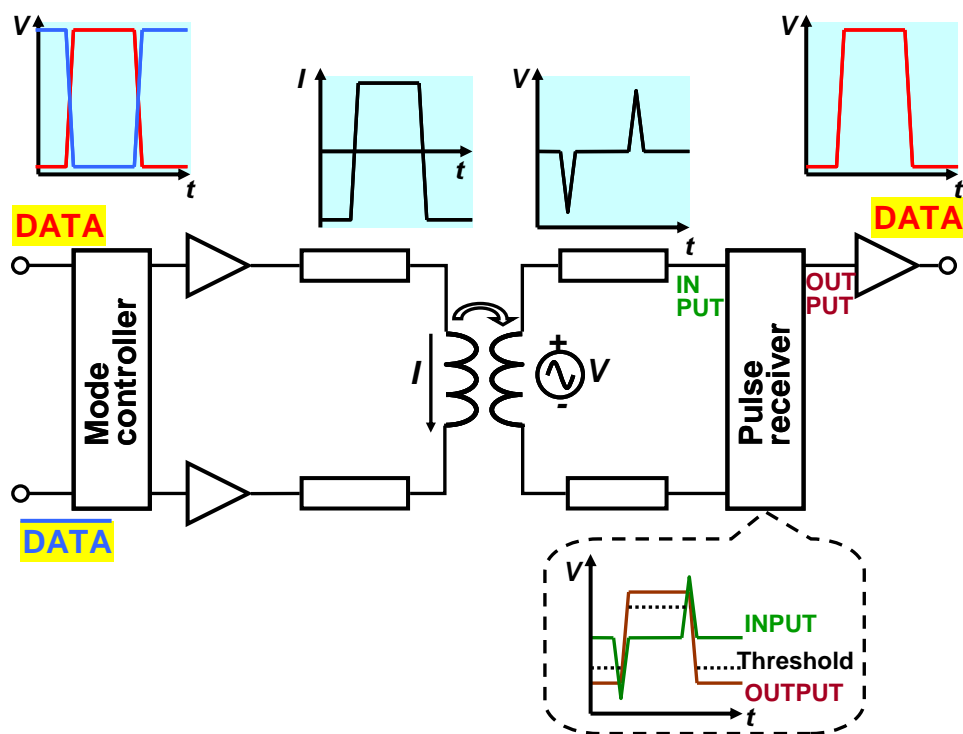


Fig. 3.5 デュアルモードにおける信号の変調と復調

3.1.3. シングルモードカップリング

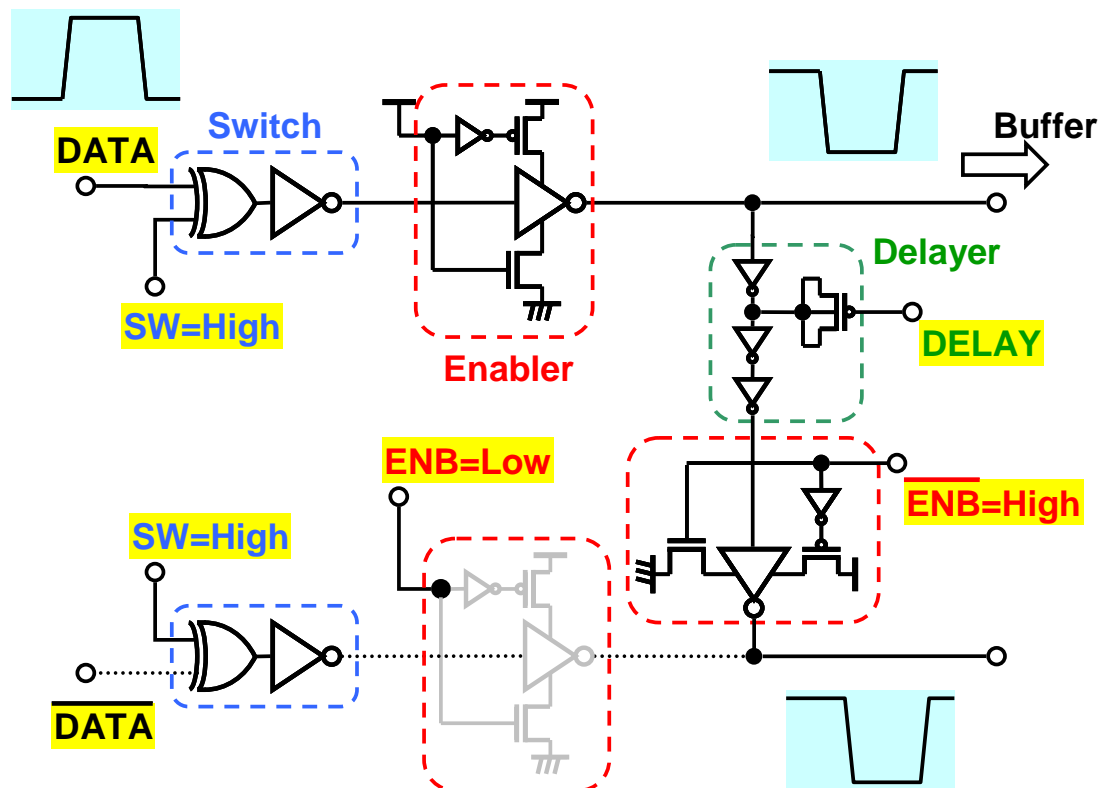


Fig. 3.6 シングルモードにおける信号伝送経路

Fig. 3.6 にシングルモードにおける信号伝送経路を示す。デュアルモードとは逆に ENB 端子を Low にすることで DATA 側のイネーブラがオフになるので入力がシングルエンドになる。また DATA と $\overline{\text{DATA}}$ を結ぶイネーブラがオンになるので、遅延回路を通じて DATA から遅延した信号が生成される。ここで SW 端子は High にすることで信号の出力を反転させている。

デュアルモードにおける信号変調と信号復調の様子を Fig. 3.7 に示す。図中の OUT1 と OUT2 は遅延回路の遅延分だけズレているので、データが遷移した瞬間のみ送信側のインダクタに電位差が生じてパルス電流が流れる。すると電磁誘導の法則により、受信側のインダクタにはデータの遷移ごとにパルス電圧とその逆向きのパルス電圧が生じる。ひとつめのパルス電圧はヒステリシスコンパレータのしきい値とは逆方向に生じるので無視される。ふたつめのパルス電圧はしきい値を超えるのでヒステリシスコンパレータが反応して出力が変化する。その出力をバッファリングすることで元のデータ信号を復元する。

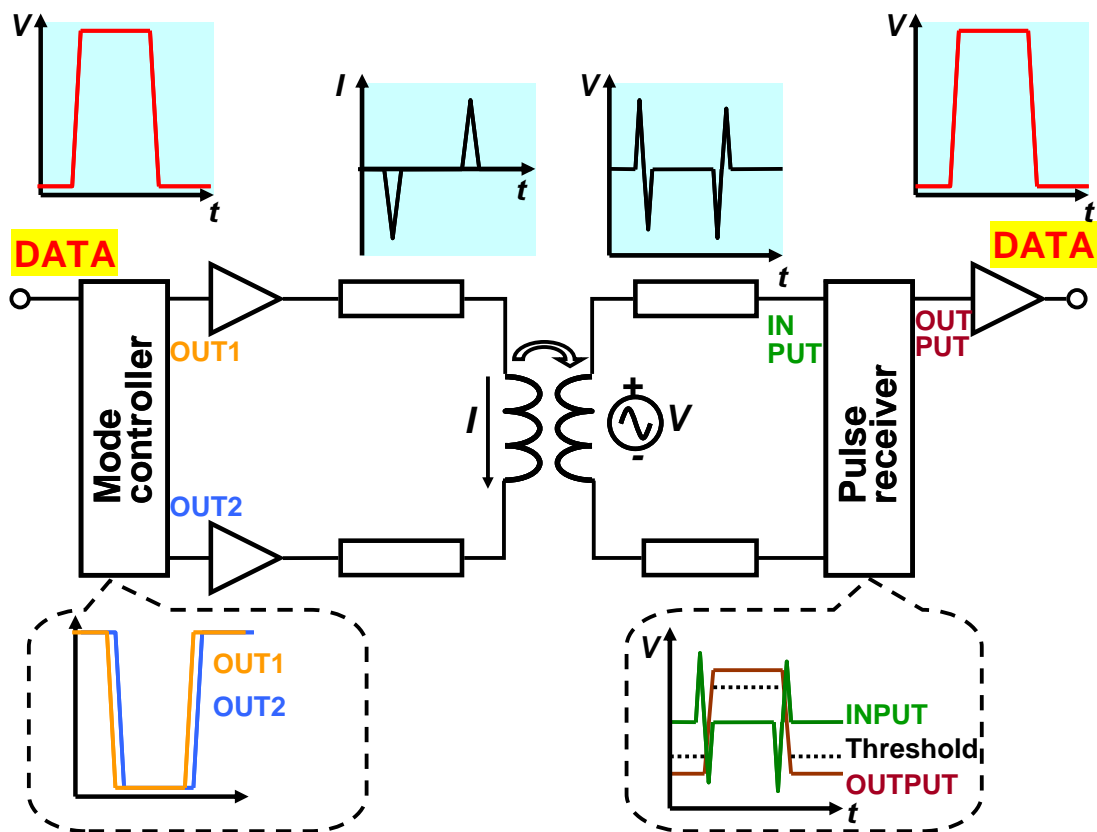


Fig. 3.7 シングルモードにおける信号の変調と復調

3.1.4. 電源ノイズ測定回路

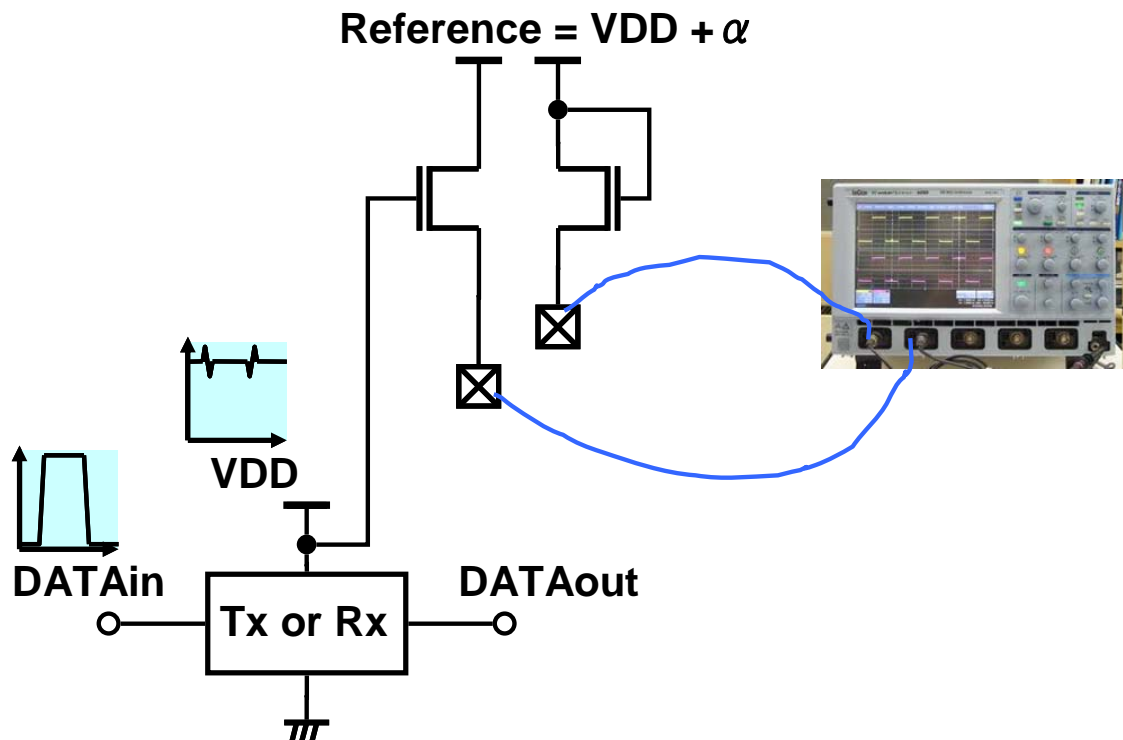


Fig. 3.8 電源ノイズ測定回路

アナログの微小電圧をセンスする回路において電源の揺れは大きな問題になる。特に入力データの遷移時に電源から電流が引き出され、IR ドロップにより電源電圧が変化する。そこで、その電源の揺れをモニターする回路をシステムに組み込んだ。Fig. 3.8 に電源ノイズ測定回路を示す。ソースフォロア対のドレインは基準電圧に接続されている。基準電圧は回路の電源電圧とは別に与えられていて、その電圧は回路の電源電圧より少し高くしている。一方のソースフォロアのゲートには回路の電源電圧が接続され、もう一方のゲートは基準電圧が接続されている。2つのソースフォロアのソース電位の差をオシロスコープで観察する。基準電圧自体もまた揺れうるが、それはソースフォロア対にとって同相ノイズとなるので、ソース電位の差を取ることで消える。したがって、回路の電源のノイズをオシロスコープで観測することができる。ソースフォロアのトランジスタはノイズの高周波成分を観測できるように十分大きなサイズにしている。

3.2. 回路と PCB の設計

3.2.1. 回路シミュレーション

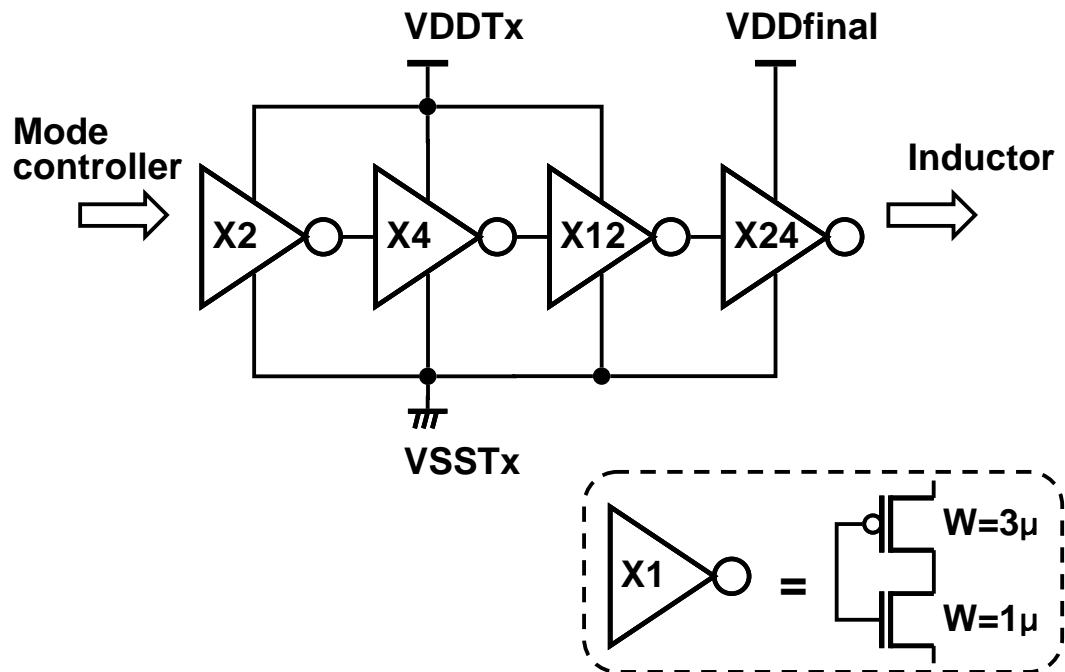


Fig. 3.9 送信回路のバッファのブロック図

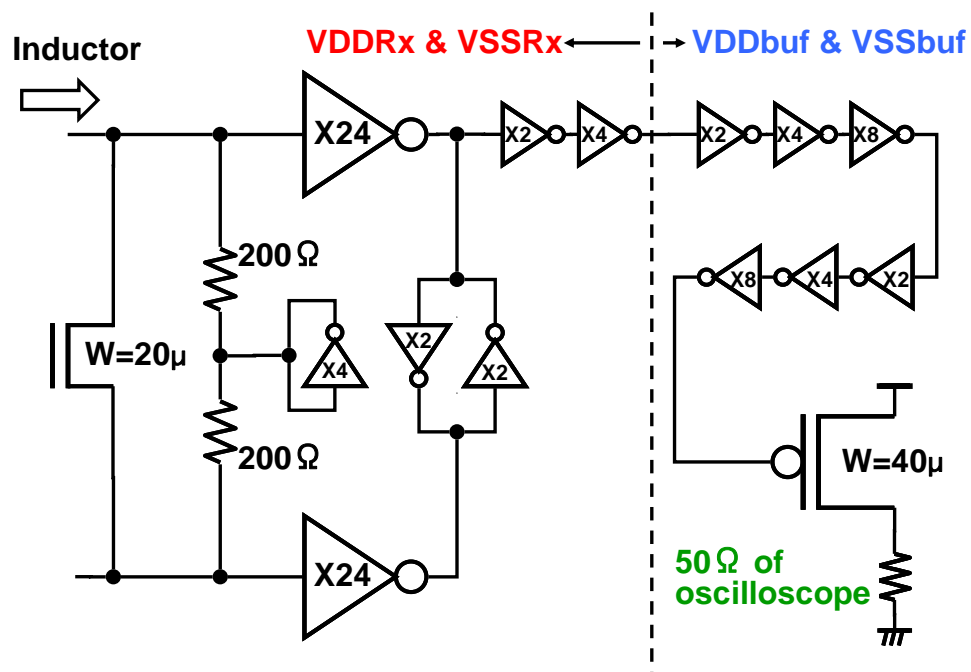


Fig. 3.10 受信回路のブロック図

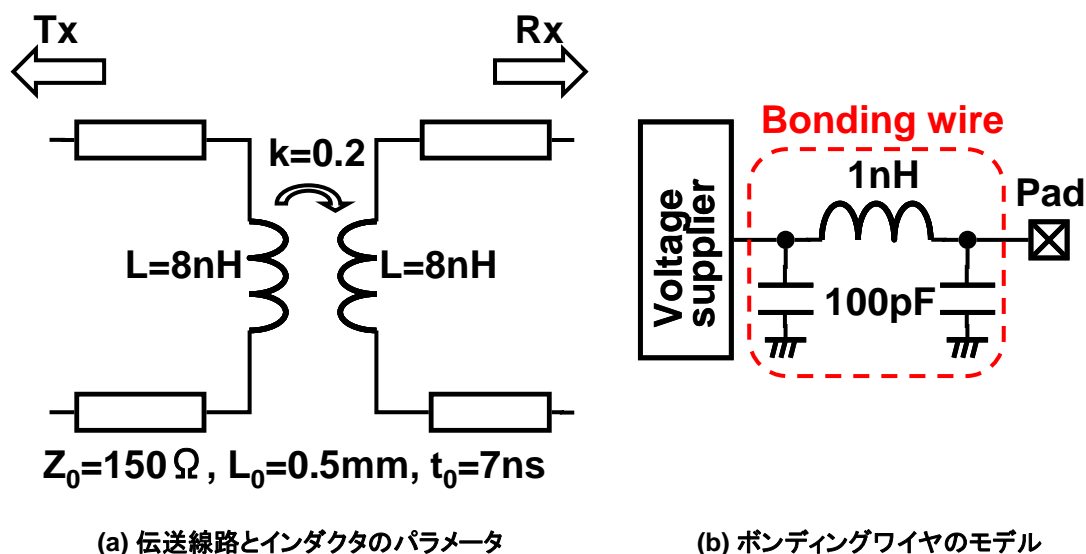


Fig. 3.11 PCB の各要素とボンディングワイヤのモデル

上記のインダクティブカップリング回路を実現するために、HSPICE で回路シミュレーションを行った。Fig. 3.9 に送信回路で用いるバッファのブロック図、Fig. 3.10 に受信回路のブロック図を示す。バッファの 1 段を構成するインバータは NMOS のゲート幅を $1\mu\text{m}$ 、PMOS のゲート幅を $3\mu\text{m}$ としたものを基準にしていて、それをアレイ状に並べている。

Fig. 3.9 のように送信回路のバッファの最終段は電源を別にしている。これにより送信回路のインダクタに対する駆動力を変えることができ、リングングの抑制や低消費電力化につながる事が期待される。

受信回路は小さい入力パルスを扱うアナログ回路なので、トランジスタサイズは細心の注意を払って設計されるべきである。バイアス回路はもっと小さいインバータでも役目は果たすが、サイズのバラつきで PN 比が崩れてバイアス電位がずれるとコンパレータの感度に影響を及ぼすので、ある程度大きくつくってある。ヒステリシスコンパレータを構成する大小 2 つのインバータの比はもっとも重要な要素で、サイズのバラつきによる感度の低下からのマージンが最大になるようにしている。その比が崩れないよう、小さい方のインバータのサイズを $\times 2$ にしてサイズのバラつきの影響を抑えている。Fig. 3.10 に示すように、コンパレータの先で電源とグラウンドを分けている。これは、バッファに接続された電源は揺れが大きいのでコンパレータに影響をおよぼすことが予想されるためである。復調されたデータは 2 回バッファリングされた後にオープンドレインの PMOS のゲートに入力される。こうすることで、 50Ω 受けのオシロスコープでデータ波形を観測できる。

Fig. 3.11(a)に伝送線路とインダクタのパラメータ、(b)にボンディングワイヤのモデルを示す。 Z_0 は線路の特性インピーダンス、 L_0 は線路長、 t_0 はメートルあたりの伝送遅延を表す。インダクタは 2mm 四方のものを想定している。ボンディングワイヤの寄生成分は全ての DC ピンに付加しているものとする。

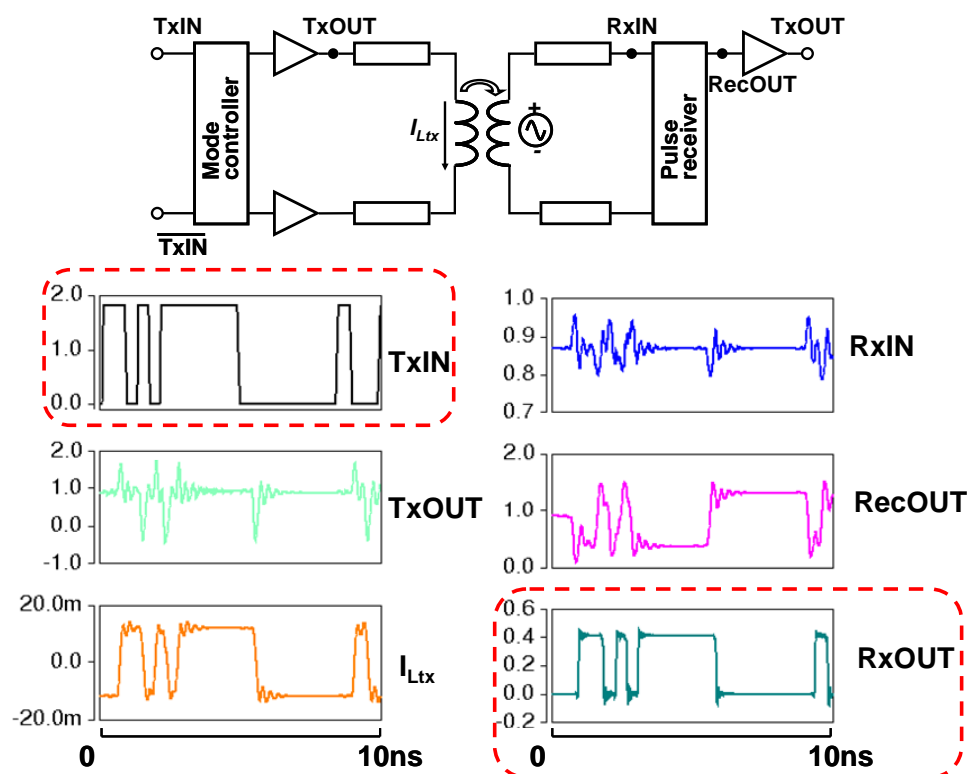


Fig. 3.12 デュアルモードにおける 2.5Gbps のデータ送受信

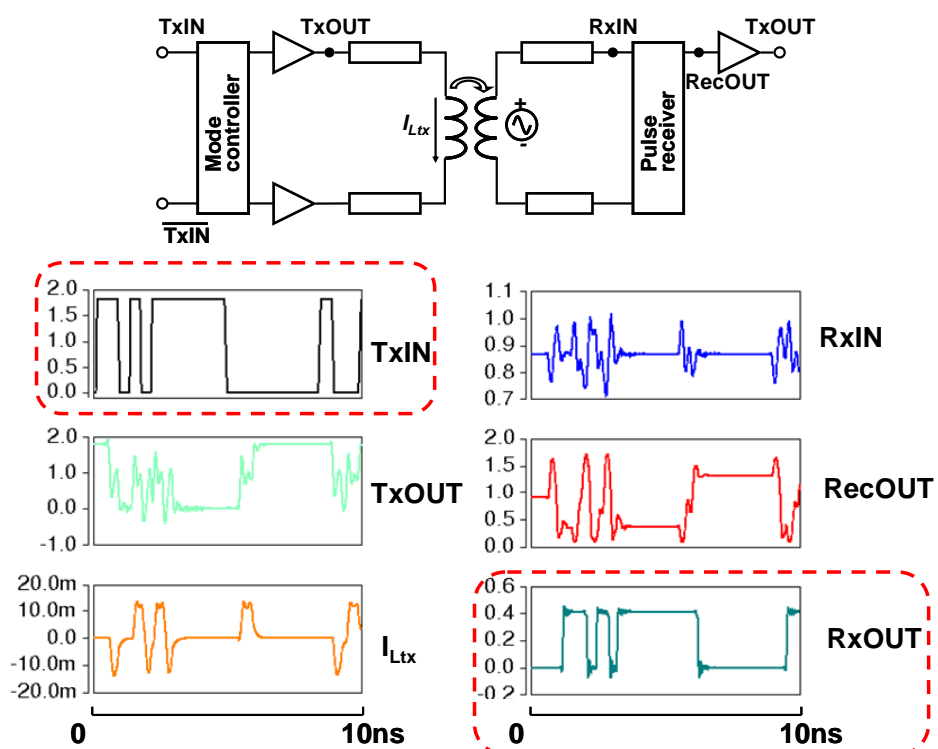


Fig. 3.13 シングルモードにおける 2.5Gbps のデータ送受信

Fig. 3.12 にデュアルモードにおけるシミュレーション結果を、Fig. 3.13 にシングルモードにおけるシミュレーション結果を示す。デュアルモード、シングルモードともに最高のデータレートは 2.5Gbps となった。デュアルモードの方が電流を多く流す分、より高いデータレートを実現できるものと当初は考えていたが、シミュレーション上では同じデータレートに留まってしまった。しかしながら、このシミュレーションはカップリングのインダクタの寄生成分を考慮していない簡単なものなので、デュアルモードもインプリメントすることにした。

3.2.2. 回路レイアウト

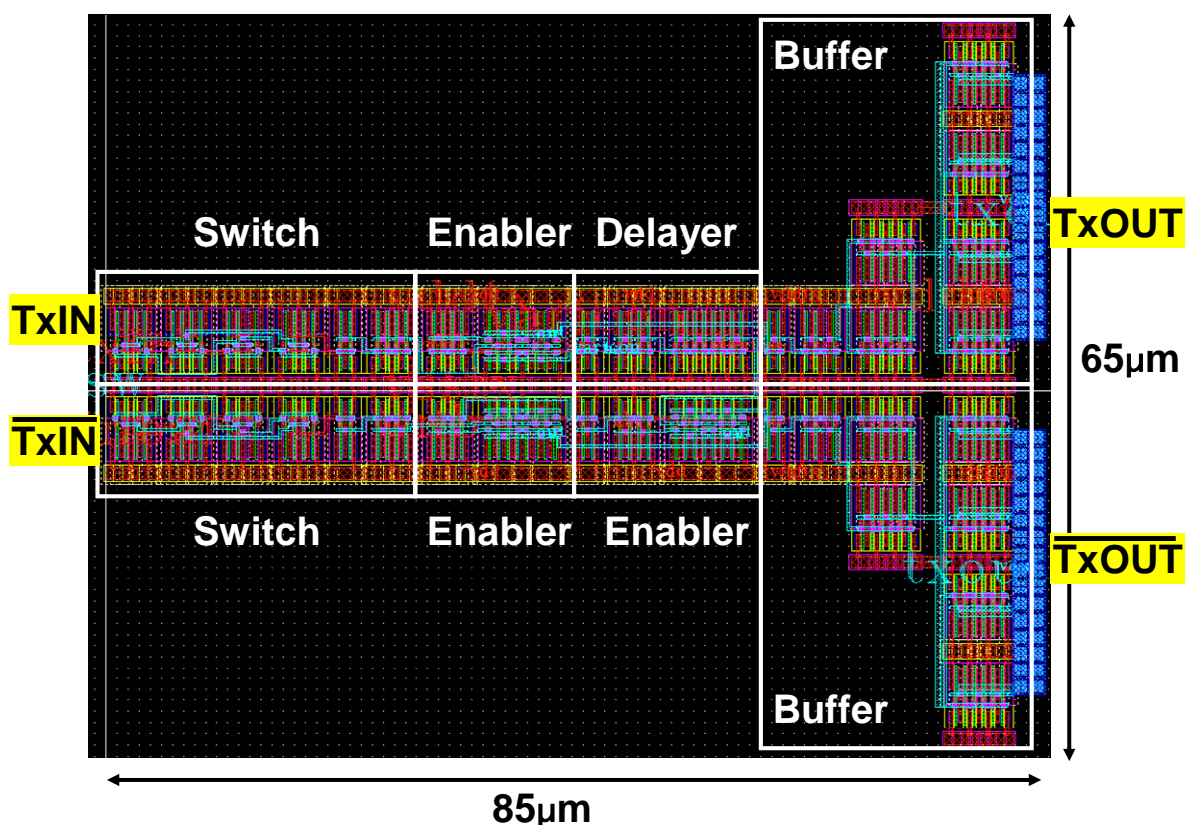


Fig. 3.14 送信回路コアレイアウト

シミュレーションで決定された回路パラメータを元に回路図をレイアウトに起こした。送信回路のコア部分のレイアウトを Fig. 3.14 に示す。TxIN 側の Enabler は本来不要ではあるが、上下の信号の経路長をなるべく等しくするために挿入している。また、回路を鏡合わせのようにレイアウトしている。こうすることにより、同相ノイズに対する送信回路の耐性を高めている。バッファは 4 段のインバータから構成され、それぞれ倍率は $\times 2$ 、 $\times 4$ 、 $\times 12$ 、 $\times 24$ となっている。コアのサイズは $65\mu\text{m} \times 85\mu\text{m}$ である。

Fig. 3.15 に送信回路全体のレイアウトを示す。余った面積は大量のデカップリングキャパシタで埋めてある。これにより電源電圧の揺れを抑えることが期待される。ここでも信号の経路長の同一性を保つために、拡大部分に示すように入力信号の線路をあえて折りたたむ構造にしている。送信回路全体の面積は $750\mu\text{m} \times 1290\mu\text{m}$ である。

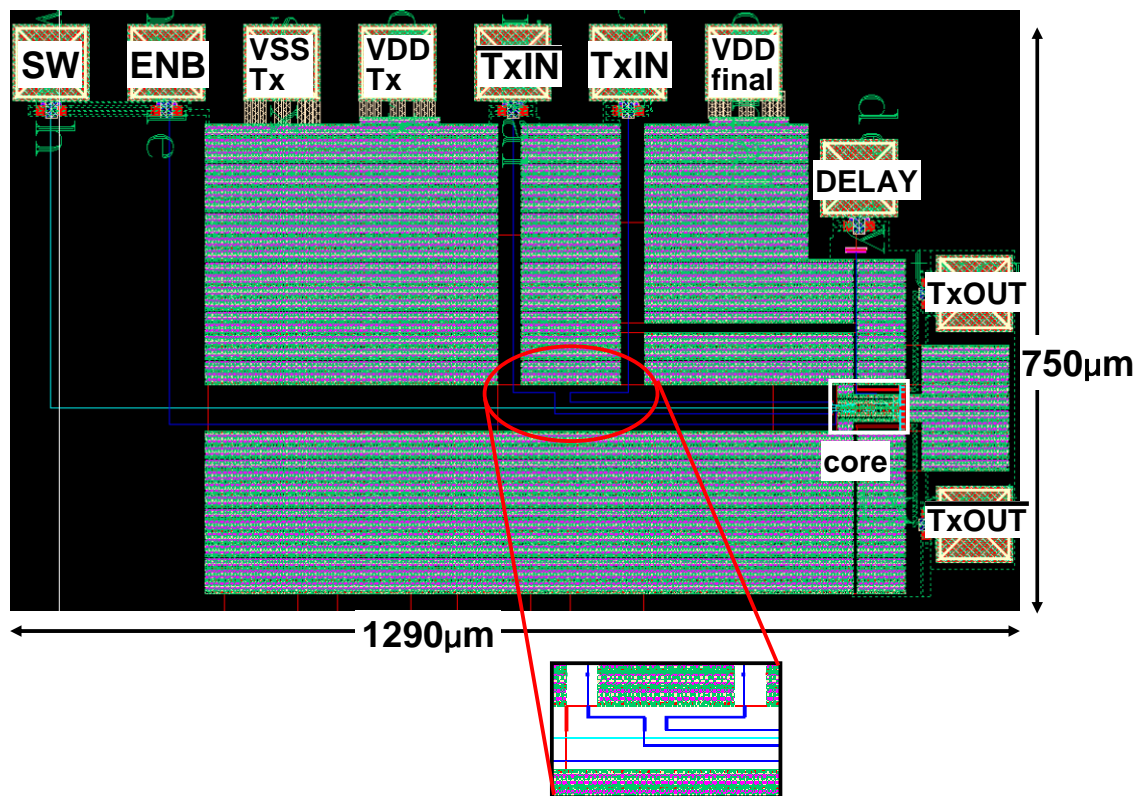


Fig. 3.15 送信回路全体のレイアウト

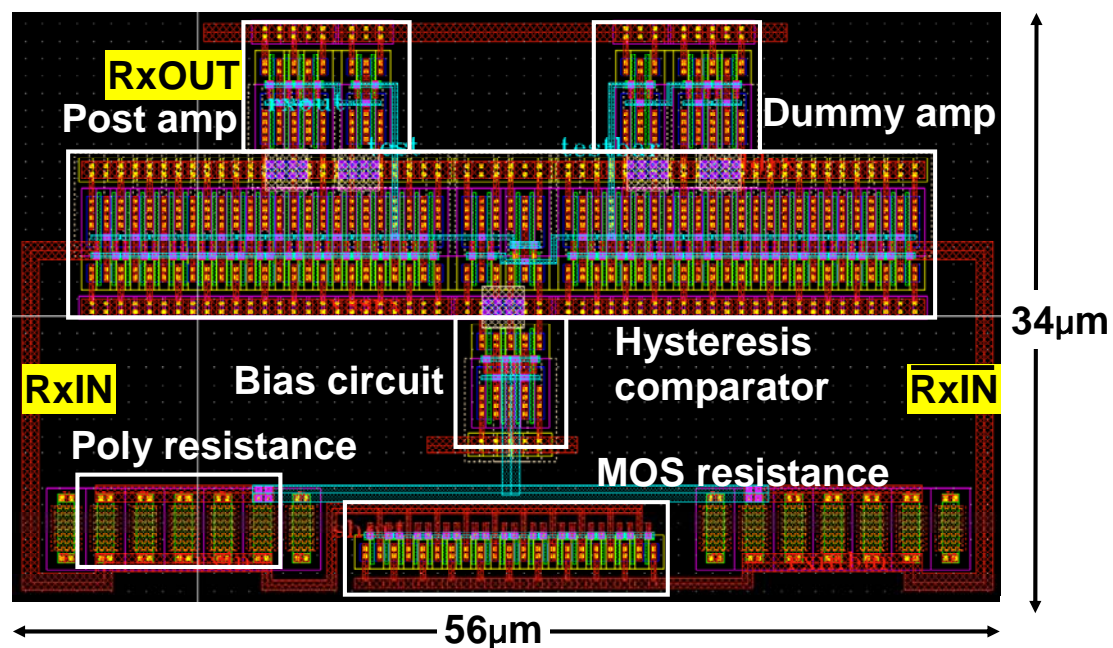


Fig. 3.16 受信回路コアレイアウト

Fig. 3.16 に受信回路のコアレイアウトを示す。ポストアンプはヒステリシスコンパレータによって復調された矩形波をデジタルデータにする働きを持つ。受信回路ではDATAはパッドまで引き出さないのだから本来DATA側のポストアンプは不要であるが、ヒステリシスコンパレータ内部の 2 つの小さいインバータから見て後段の負荷容量が等しく見えるようにポストアンプを挿入している。こうすることで回路の対称性を保つことができる。バイアス回路から直流電位を与えるための抵抗はポリシリサイドを用いている。受信回路コアの面積は $34\mu\text{m} \times 56\mu\text{m}$ である。

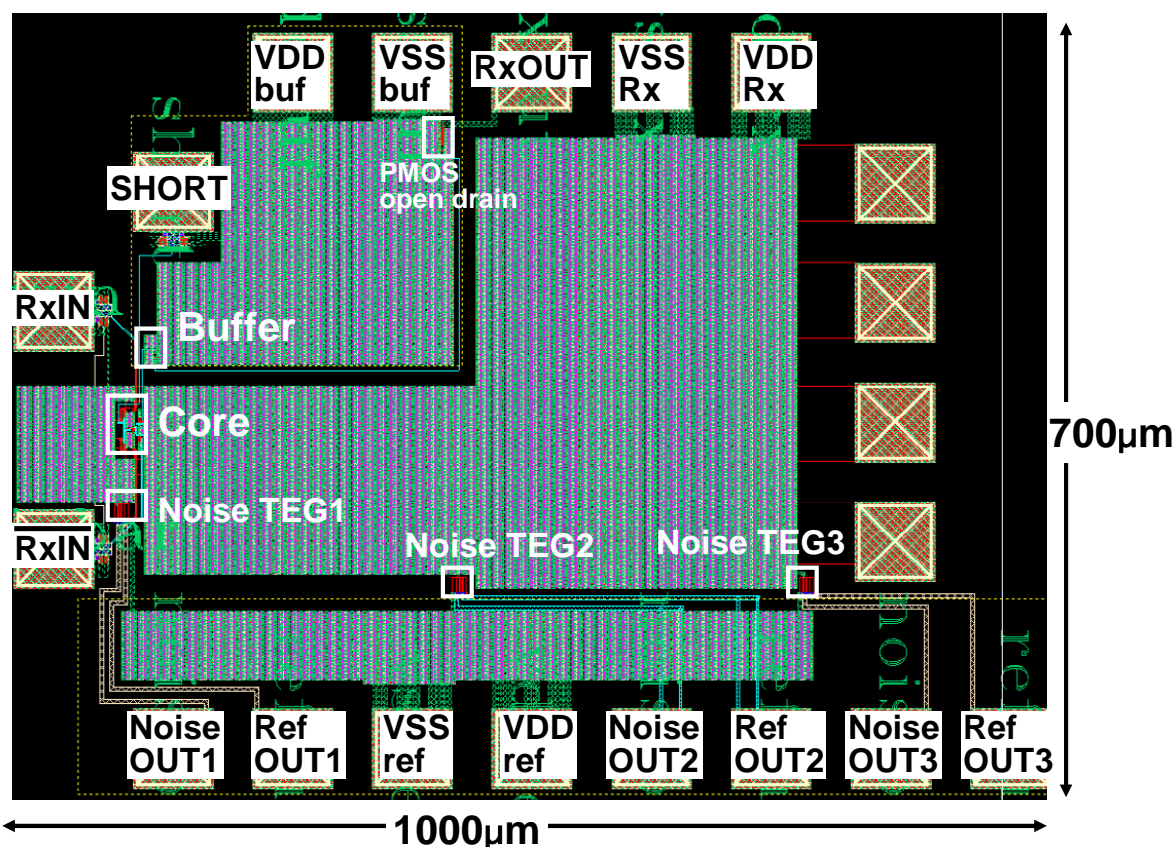


Fig. 3.17 受信回路全体のレイアウト

Fig. 3.17 に受信回路全体のレイアウトを示す。余った面積は大量のデカップリングキャパシタで埋めてある。これにより電源電圧の揺れを抑えることが期待される。コアで出力されたデジタルデータはバッファでバッファリングされた後、PMOS オープンドレインに入力される。これにより、オシロスコープでの観測が可能になる。また受信回路の電源揺れを観測するためのノイズ測定 TEG を付属させている。ノイズ観測 TEG は全部で 3 つあり、それぞれ受信コアからの距離が異なっている。電源揺れがどの程度遠くまで伝わるかということを理解するためのものである。受信回路全体の面積は 700μm×1000μm である。

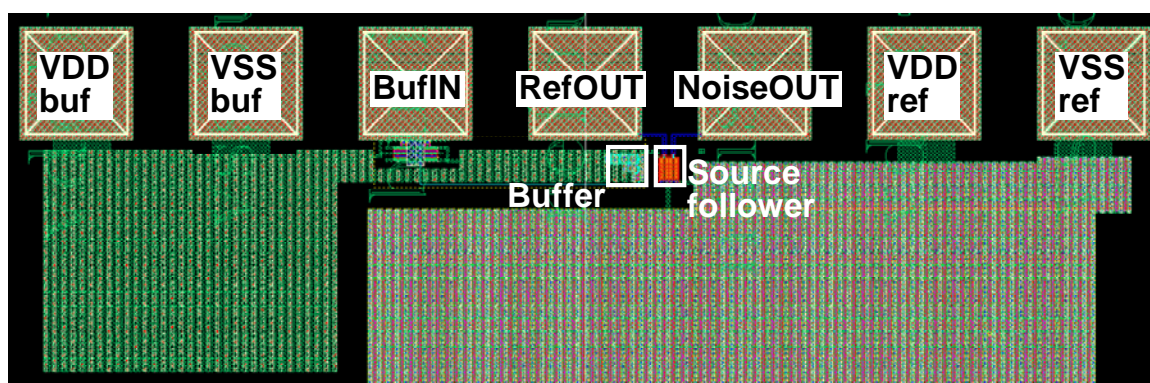


Fig. 3.18 電源ノイズ測定回路のレイアウト

Fig. 3.18 に電源ノイズ測定回路を示す。バッファは送信回路に用いたものと同じものを使っている。これの電源をソースフォロア対に接続して、電源揺れを測定する。基準電圧の揺れをなるべく少なくするために、大量のデカップリングキャパシタを入れている。

3.2.3. ボード設計

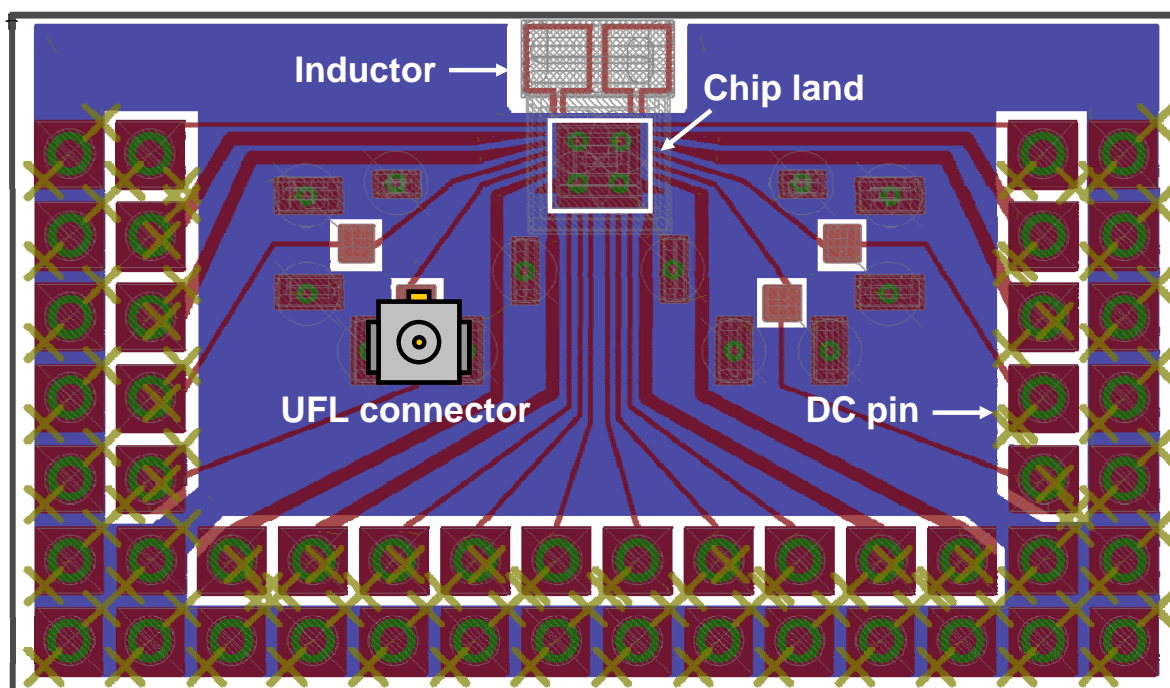


Fig. 3.19 ディファレンシャルインダクティブカップリングのための PCB レイアウト

Fig. 3.19 に、本章で実装したチップを用いてボード間ディファレンシャルインダクティブカップリングを実現するための Printed Circuit Board (PCB) のレイアウトを示す。本 PCB は 2 層構造のものを用いている。茶色のレイヤーは PCB の信号線、または DC 電位

を回路に与えるための銅線である。また青いレイヤーはベタのグラウンドとして、なるべくグラウンドが揺れないようにしている。

カップリングに用いるインダクタは 2mm 径の正方形の形状をしており、表面のレイヤーのみを用いて、巻き数は 1 である。裏面を用いれば巻き数を増やしインダクタを大きくすることも可能であったが、表面と裏面との接続部分であるビアの抵抗により信号が劣化するので、1 巻きにしている。また、隣接チャネル間の干渉を測定するために 2 個並べている。さらに、2 枚のボードを重ねあわせてカップリングする際に目で位置合わせをしやすいように、インダクタの上下にメタルやレジストを入れないようにしている。中央上部にあるランドはチップを載せるためのものである。信号線の先には UFL コネクタを接続して、RF ケーブルを通じてパルスジェネレータから信号を与えたり、オシロスコープで波形を観測したりする。PCB の外周にあるのは DC ピン用のホールで、外側はグラウンドで統一している。

本 PCB は P 板.com に製造を依頼した。基板厚は 400 μ m、配線厚は 35 μ m、基板サイズは 21.2mm \times 36.6mm である。Fig. 3.20 に PCB 写真を示す。

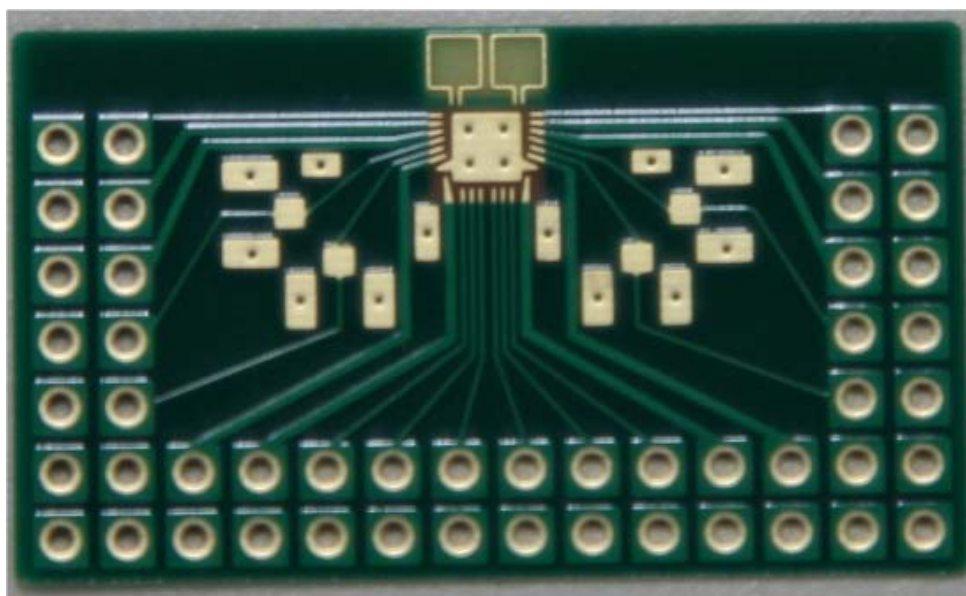


Fig. 3.20 ディファレンシャルインダクティブカップリングのための PCB 写真

3.3. 測定結果

3.3.1. 測定の準備

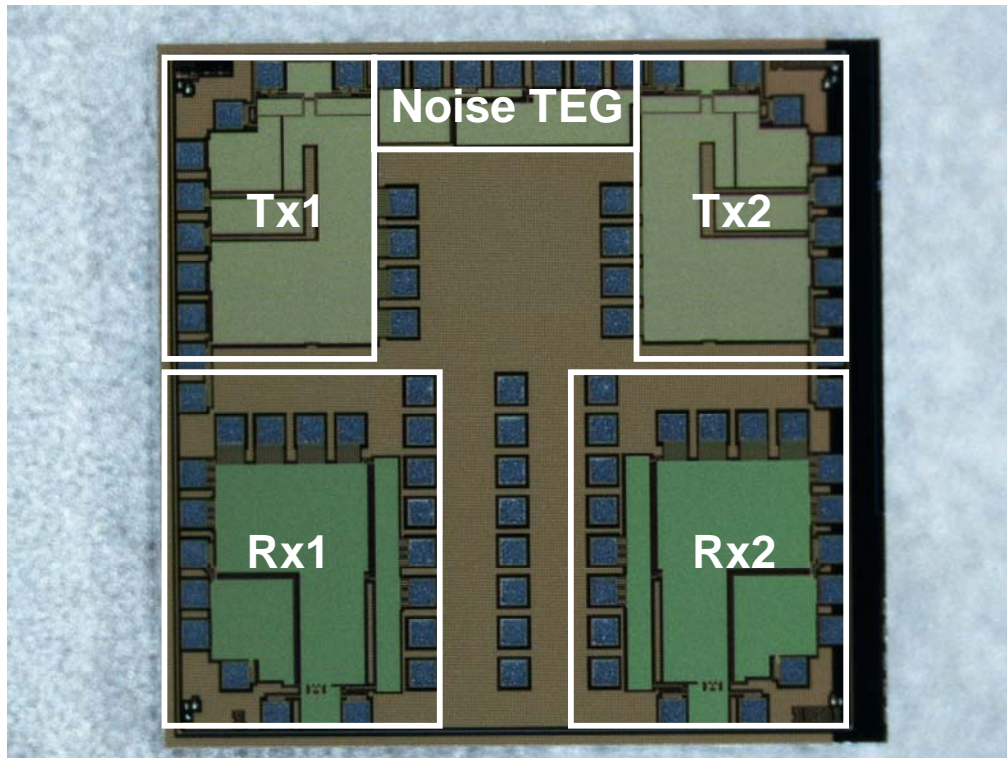


Fig. 3.21 ディファレンシャル回路のチップ全体写真

本チップは Rohm 180nm CMOS プロセスで製造された。Fig. 3.21 にチップ全体の写真を示す。チップの大きさは $2.5\text{mm} \times 2.5\text{mm}$ である。隣接チャネル間の干渉の影響を測定するために送信回路、受信回路ともに 2 つずつ載せている。中央のノイズ測定回路には、送信回路に用いているバッファと全く同じものを接続していて、バッファによる電源の揺れを測定出来る。Fig. 3.22 と Fig. 3.23 に送受信回路の拡大写真を示す。

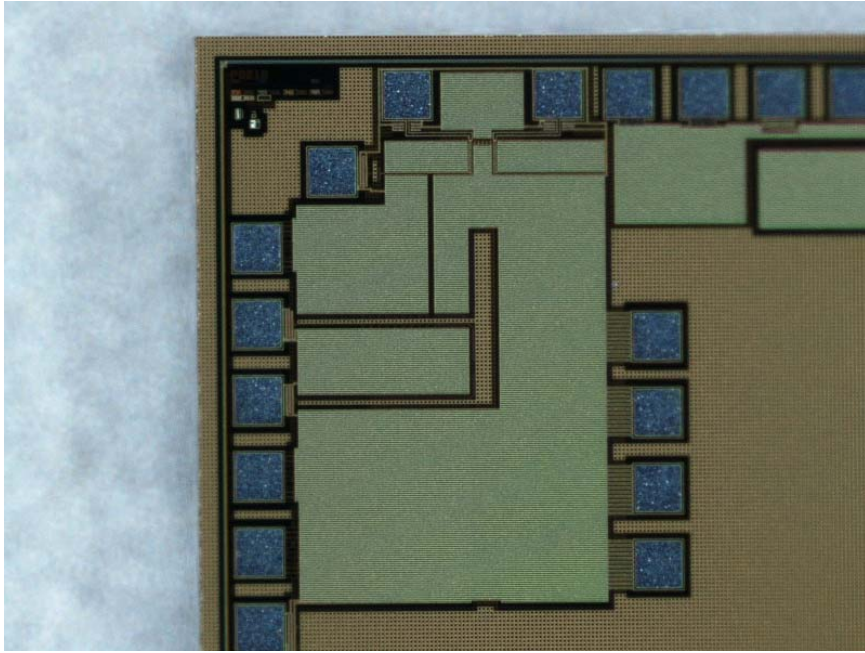


Fig. 3.22 送信回路の拡大写真

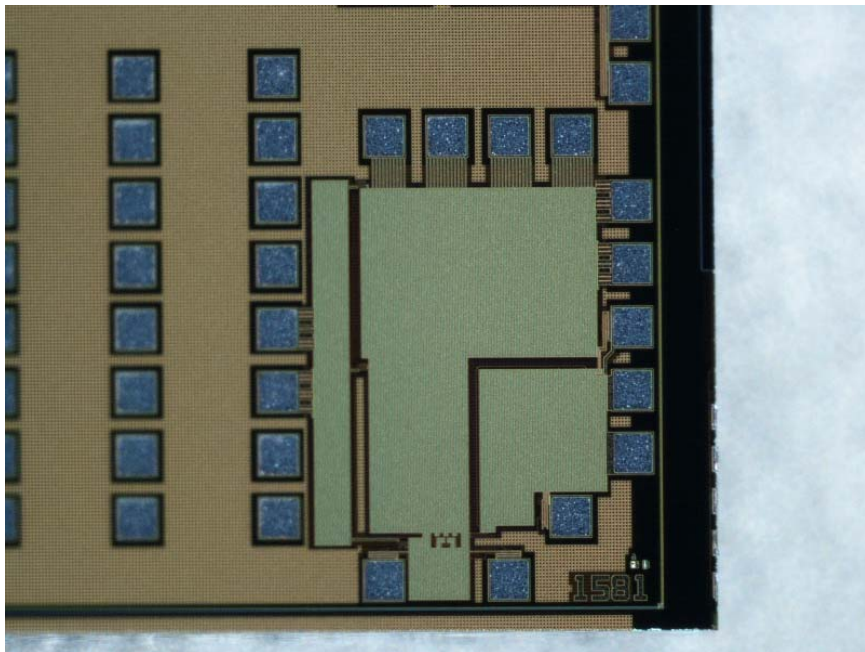


Fig. 3.23 受信回路の拡大写真

3.3.2. データの通信

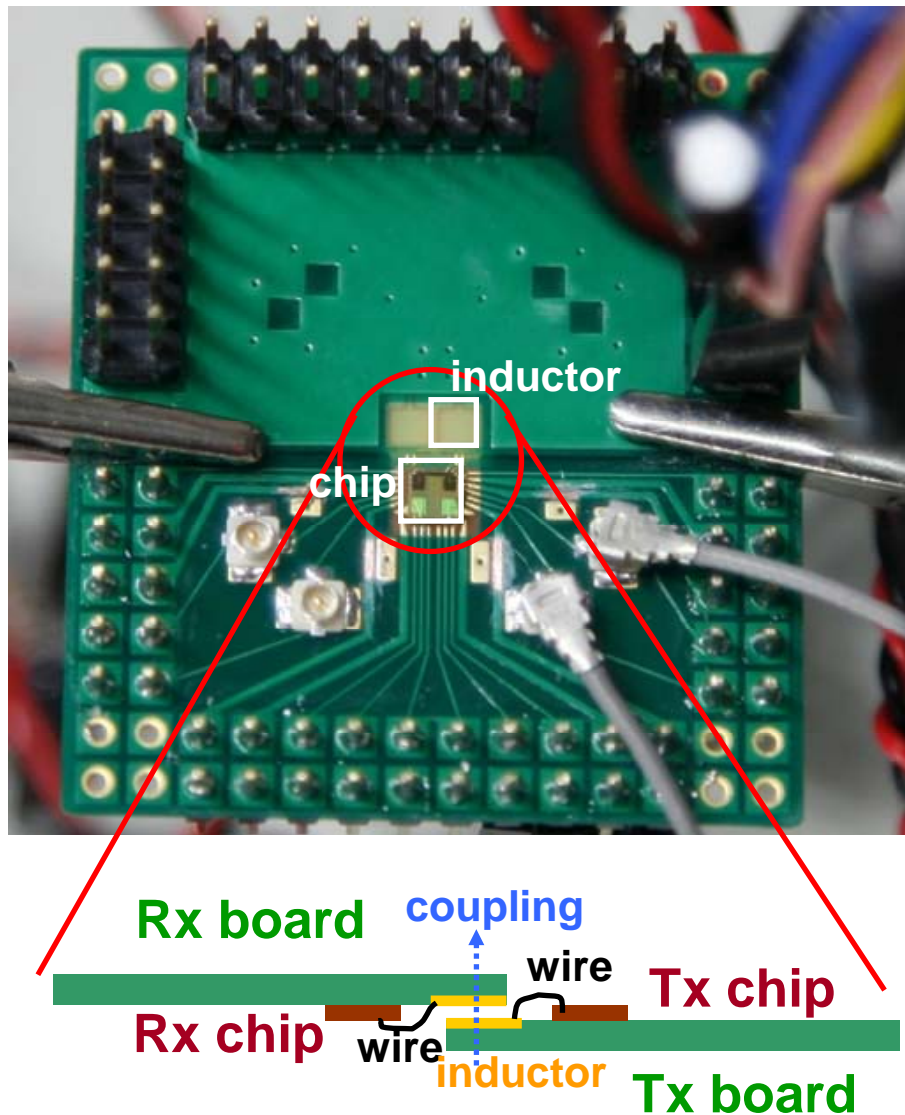


Fig. 3.24 ボード間カップリングの様子

実際に Fig. 3.20 の PCB を使ってインダクティブカップリングによる通信をしている様子を Fig. 3.24 に示す。全体の機構は両面テープとクリップで固定されている。カップリングしているインダクタは $2\text{mm} \times 2\text{mm}$ の正方形で、インダクタ間のカップリング距離は約 $130\mu\text{m}$ である。ボード上にインダクタは 2 つ並んでいるが、以下に述べる測定では 1 つのチャネルのみを使ってカップリングさせていて、もう一方のインダクタはオープンにしている。チャネル間の干渉を評価する場合のみ両方のチャネルを用いている。隣接するインダクタ同士の間隔は $300\mu\text{m}$ である。



(a) 100Mbps PRBS



(b) 2Gbps PRBS

Fig. 3.25 デュアルモードにおける PRBS の入力波形と出力波形



(a) 100Mbps PRBS



(b) 2Gbps PRBS

Fig. 3.26 シングルモードにおける PRBS の入力波形と出力波形

送信回路に $2^{31}-1$ 擬似ランダムビット列 (PRBS) を入力し、カップリングによって伝送されたデータを受信回路から出力された波形と比較した。100Mbps と 2Gbps の PRBS をデュアルモードで送受信した結果を Fig. 3.25 に、シングルモードで送受信した結果を Fig. 3.26 に示す。両方のモードにおいて 2Gbps の PRBS の送受信に成功していることを確認した。シミュレーションでは 2.5Gbps のデータレートを確認していたが、ボード上の寄生成分による影響でデータレートが落ちたものと考えられる。

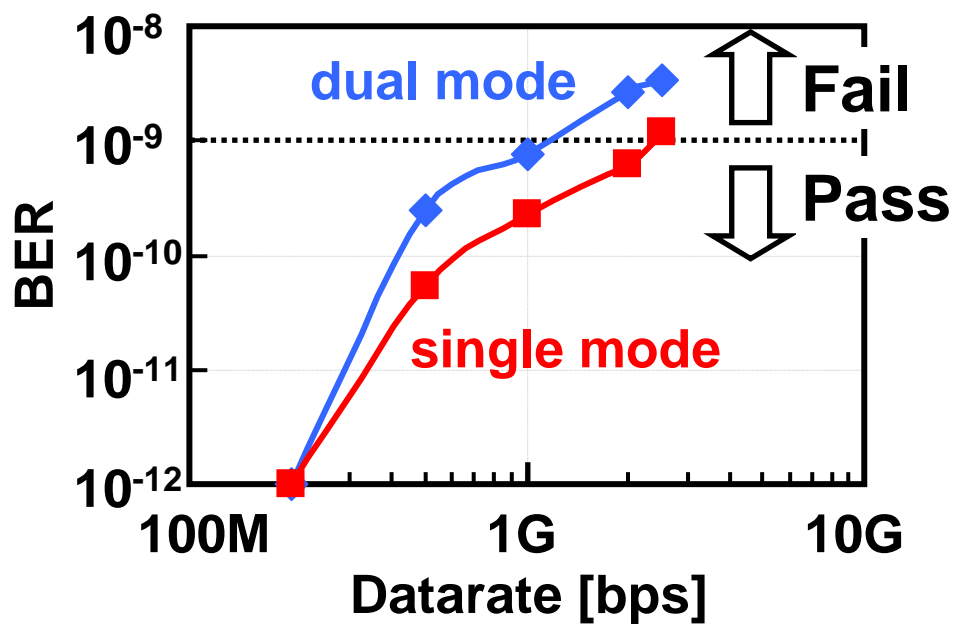


Fig. 3.27 データレートとビットエラーレートの関係

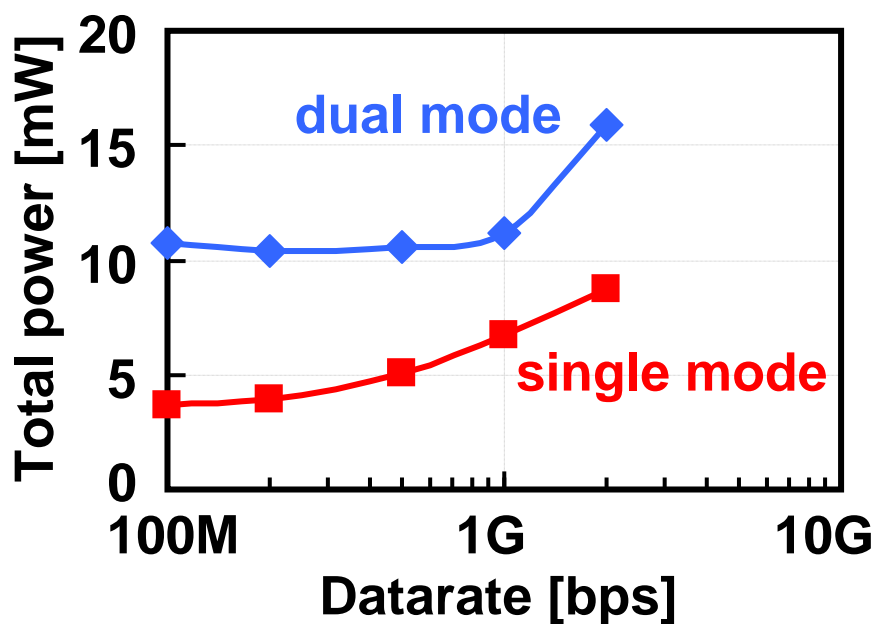


Fig. 3.28 データレートと合計消費電力の関係

Fig. 3.27 にデュアルモードとシングルモードにおけるデータレートとビットエラーレートの関係を示す。 $2^{31}-1$ の PRBS を 1T ビット用いて、ビットエラーレートテスト (BERT) で BER を算出している。ここではエラーレートが 10^{-9} 以下のとき受信成功と定義した。シングルモードのときに、2Gbps の PRBS を受信できていることが分かる。デュアルモード

においては、オシロスコープでの観測では受信しているように見えたが、BERT での測定では 2Gbps の PRBS の受信に失敗していた。

送信回路と受信回路の消費電力の合計とデータレートとの関係を Fig. 3.28 に示す。Fig. 3.5 と Fig. 3.7 で示したインダクタ電流の波形からも分かるように、シングルモードは定常電流が流れないので、デュアルモードより消費電力が少ない。また、データの遷移時のみパルス電流が流れるので、データレートが高くなるに連れ消費電力は増えていく。デュアルモードはインダクタに定常電流が流れているので、データレートを変えても消費電力はほぼ一定である。2Gbps のときに急に増えているのは、送信回路の駆動能力を上げる必要があったためである。

Fig. 3.27 と Fig. 3.28 から、シングルモードのほうが安定して高いデータレートを実現し、なおかつ消費電力が低いという結果になった。

3.3.3. MOS 抵抗制御によるチューナビリティ

Table 3.1 MOS 抵抗のゲート電圧による受信回路のチューナビリティ

SHORT [V]

	~1.4	1.5	1.6	1.7	1.8
~1.1	X	X	X	X	X
1.2	O	O	O	O	O
1.3	X	O	O	X	X
1.4	X	O	O	O	O
1.5	X	X	X	O	O
1.6	X	X	X	X	O

(a) Dual mode

SHORT [V]

	~0.6	0.7	0.8	0.9	1.0	1.1~
~1.1	X	X	X	X	X	X
1.2	X	X	X	X	X	X
1.3	O	X	X	X	X	X
1.4	O	O	O	O	O	X
1.5	O	O	X	X	X	X
1.6	X	X	X	X	X	X

(b) Single mode

送信回路のバッファの最終段の電圧を変えることでインダクタに対する駆動力が変わり、受信側のインダクタに現れる電圧が変わる。そのパルス振幅が小さすぎるとそもそも復調が不可能になり、また大きすぎるとリンギングや反射によりエラーが出てしまう。したがって受信回路側で最適な電圧に調整する必要がある。Table 3.1 に MOS 抵抗のゲート電圧によるチューナビリティをまとめた。VDDfinal は Fig. 3.9 に示すように送信バッファの最終段の電源電圧を意味し、SHORT は Fig. 3.3 に示すように受信回路の MOS 抵抗のゲート電圧を意味する。信号には 1Gbps の PRBS を用いて、エラーレートが 10^{-9} 以下のときに受信成功 (○)、それ以上の時に受信失敗 (×) としている。VDDfinal が大きくなるにつれパルス電圧とその反射が大きくなるので、それを補償するために MOS 抵抗を ON に、つま

り SHORT を大きくする必要がある。VDDfinal が何らかの要因で変動する場合、デュアルモードはシングルモードより、受信回路側の調整で受信できる可能性が高いことがわかる。

3.3.4. 隣接インダクタによる干渉

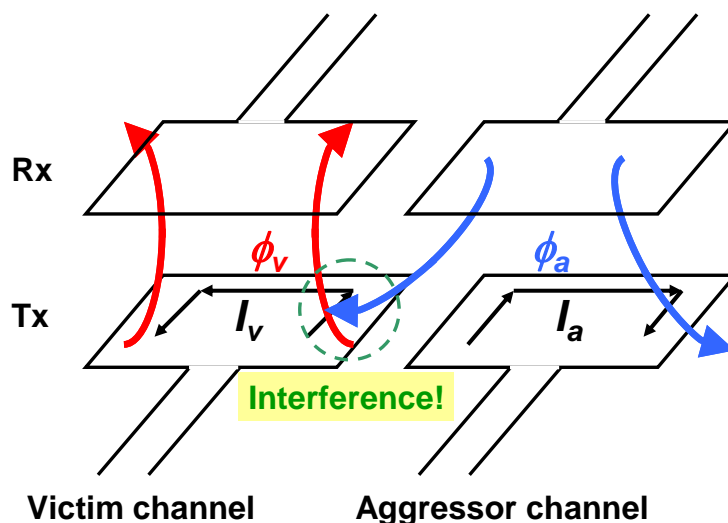


Fig. 3.29 隣接インダクタによる干渉の様子

2つの隣接するチャンネルで同時にデータを伝送して、どれほど干渉の影響があるかを調べた。Fig. 3.29 にその様子を示す。Victim の送信インダクタと受信インダクタがカップリングしているとき、Aggressor のチャンネルが Victim とは反対の向きの磁界を発生させると、その漏れ磁界が Victim チャンネルの磁界に影響し、正しくデータを伝えることができなくなってしまう。

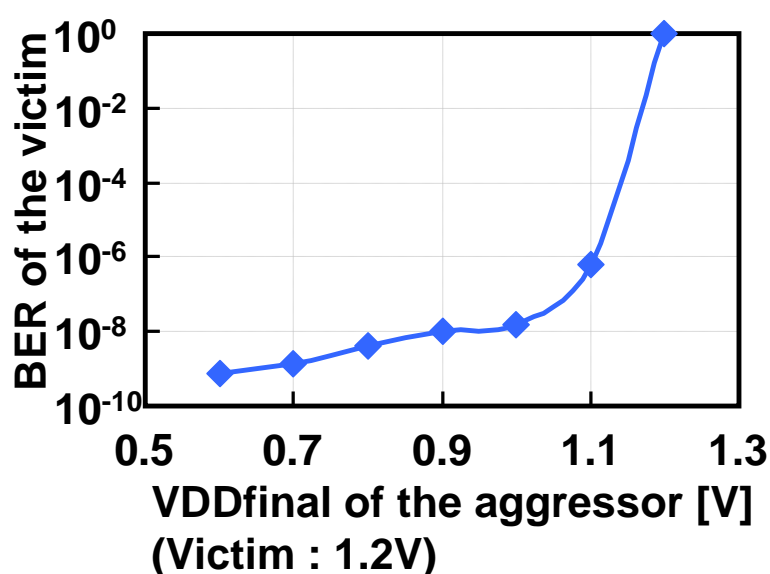


Fig. 3.30 Aggressor の送信バッファ駆動力と Victim の BER の関係

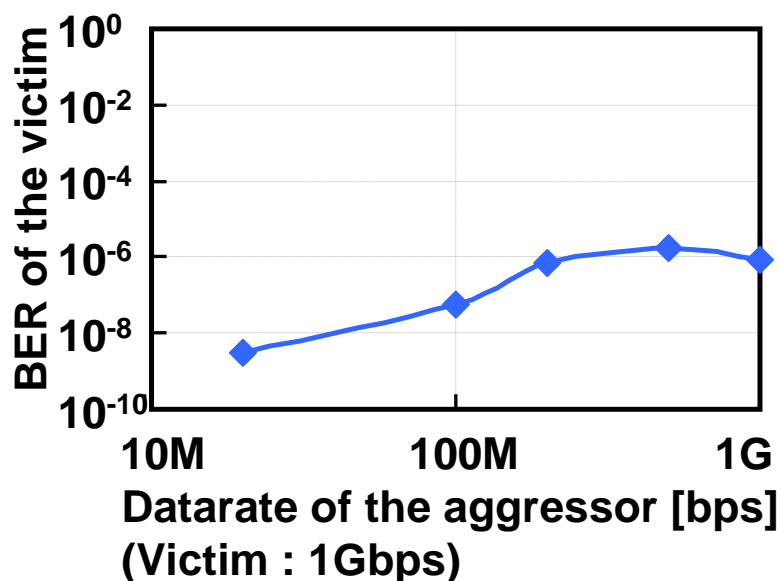


Fig. 3.31 Aggressor のデータレートと Victim の BER の関係

Fig. 3.30 に Aggressor の VDDfinal を変えていったときの Victim のエラーレートを示す。このとき Victim の VDDfinal は 1.2V で固定している。Aggressor の駆動能力が高くなることで、干渉が大きくなっているのが分かる。Aggressor の VDDfinal が Victim と同じ 1.2V になったときに Victim の BER が 1 になっているが、これは BERT の仕様で 10^{-5} 以上の BER になったときにテストをしないことになっているためである。

Fig. 3.31 に Aggressor のデータレートを変えていったときの Victim のエラーレートを示す。なお、Aggressor と Victim には独立した別の PRBS を入力している。また、Victim のデータレートは 1Gbps で固定している。Aggressor のデータレートが低いときはそもそもデータ遷移による磁界の変化が少ないため、干渉をそれほど受けずにデータレートを保っているが、データレートが高くなるに連れ影響を受けていることが分かる。

3.3.5. 電源ノイズの評価

Fig. 3.18 のノイズ測定回路を用いた送信回路電源のノイズ測定結果を Fig. 3.32 に示す。データの遷移時に電源が揺れていることが分かる。ノイズの振幅を読み取ったところ 100mV 程度揺れていることがわかった。Fig. 3.33 に受信回路コアの電源のノイズ測定結果を示す。波形を見るとほとんど揺れていないことが分かる。これはコア回路がフル振幅しない回路であるからだと考えられる。



RefOUT
NoiseOUT
VDD noise
100Mbps DATA

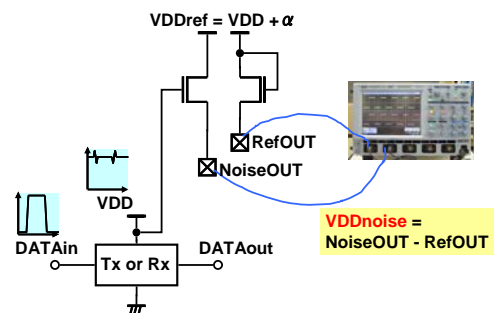


Fig. 3.32 送信回路の電源ノイズ測定結果



RefOUT
NoiseOUT
VDD noise
100Mbps DATA

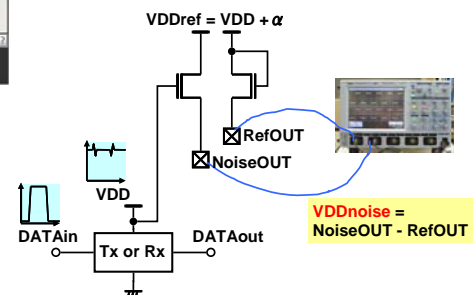


Fig. 3.33 受信回路コアの電源ノイズ測定結果

3.4. まとめと議論

本章では非接触コネクタのための、ボード間インダクティブカップリング回路をディファレンシャルエンドで実装した。本回路にはデュアルモードとシングルモードという 2 つのデータ伝送方式がある。デュアルモードは送信回路のインダクタに電流を常時流すことで高いデータレートを得る狙いがある。シングルモードはデータレートが少し低い、送信回路の直流電流を 0 にすることで消費電力を抑える狙いがある。

本チップは Rohm 180nm CMOS テクノロジーで製造された。測定の結果、 $2^{31}-1$ の PRBS を入力した際に 2Gbps のデータレートを得た。その時のチップ全体の消費電力はシングルモードで 8.7mW、デュアルモードで 15.9mW となった。この結果だけを見るとデュアルモードの存在意義がないように考えられるが、本測定ではカップリング距離をインダクタ径の 1 割以下の距離で固定しているためにシングルモードでも高いデータレートを達成できたものと考えられる。カップリング距離が大きくなれば、デュアルモードの方がシングルモードより高いデータレートを示すようになることが予想される。

またチャネル間の干渉を測定した結果、どちらのチャネルも同じデータレートと同じ駆動能力で通信しようとした場合に、干渉により正常な通信が不可能であることが分かった。インダクタの大きさ 2mm に対してインダクタ同士の間隔は 0.3mm なので、非常に近くに別のチャネルが存在していることになる。そのため正常な通信ができなかったと考えられる。コネクタとしての実装密度は下がるが、インダクタ間の間隔をインダクタと同じ大きさくらい離す必要があると考えられる。

MOS 抵抗のゲート電圧制御による受信回路のチューナビリティをまとめた。MOS 抵抗を変化させることでパルスのリングングを小さくし、受信感度を向上できることが実証された。

回路の電源ノイズを測定した結果、送信回路の電源は 100mV 程度揺れて、受信回路コアの電源はほとんど揺れていなかった。これはコアがフル振幅しないためで、妥当な結果といえる。実際にコネクタとして使用する場合と違って、今回は同じチップ内の Tx と Rx で電源を分けているので、このような結果になった。Tx と Rx を一つの電源から供給すれば、Tx による電源揺れが Rx に伝わる可能性があると考えられる。

第4章 ボード間シングルエンド誘導結合回路

4.1. シングルエンド回路の概要

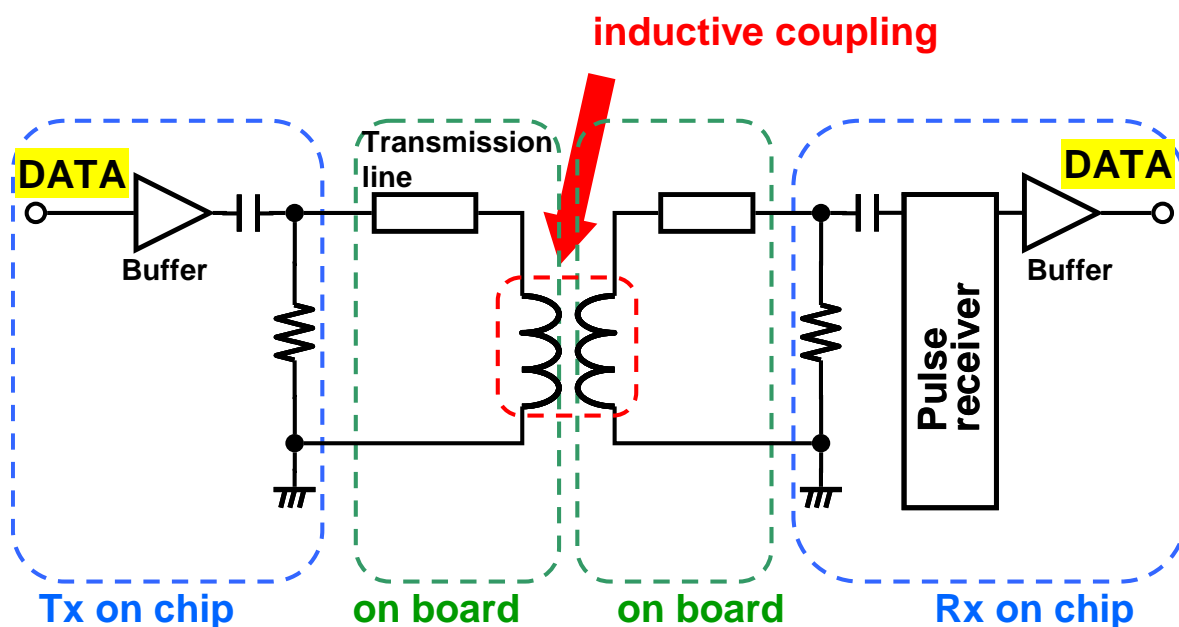


Fig. 4.1 シングルエンド構造のインダクティブカップリング回路

Fig. 4.1 に提案するディファレンシャル構造のインダクティブカップリング回路のアーキテクチャを示す。3.1.3 で説明したシングルモードカップリングのアーキテクチャと似た構造を持つ。送信回路の出力、受信回路の入力ともにパッドが 1 つしかないので、それぞれインダクタの一端はグラウンドに接続されている。送信回路はバッファ、受信回路はパルスレシーバおよびバッファで構成される。両方の回路に DC カットのキャパシタ、および LC 共振によるリンギングの対策のための抵抗が付属している。

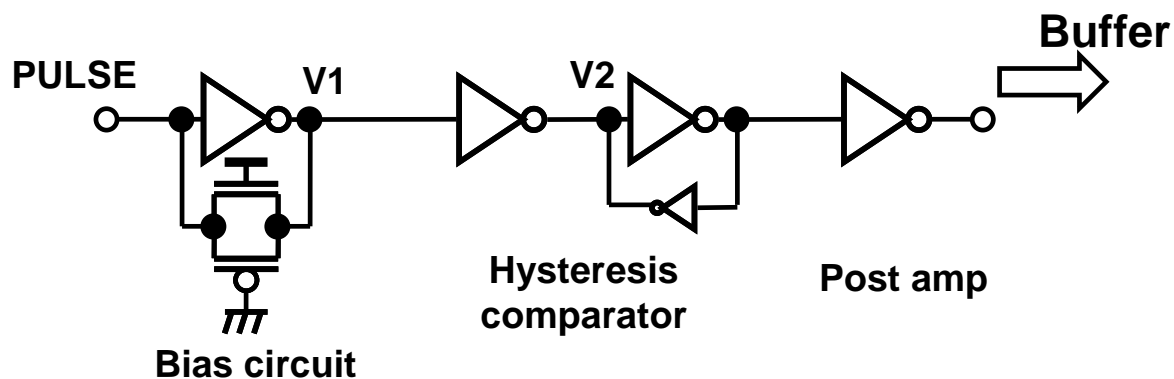


Fig. 4.2 パルスレシーバの回路図

Fig. 4.2 に受信回路のパルスレシーバの回路図を示す。バイアス回路でパルス信号にハーフ VDD の直流電位を与え、インバータで信号の増幅も行う。ヒステリシスコンパレータではパルス電圧を矩形波に復調する。ポストアンプでフル振幅のデジタルデータに変換してから後段でバッファリングを行う。

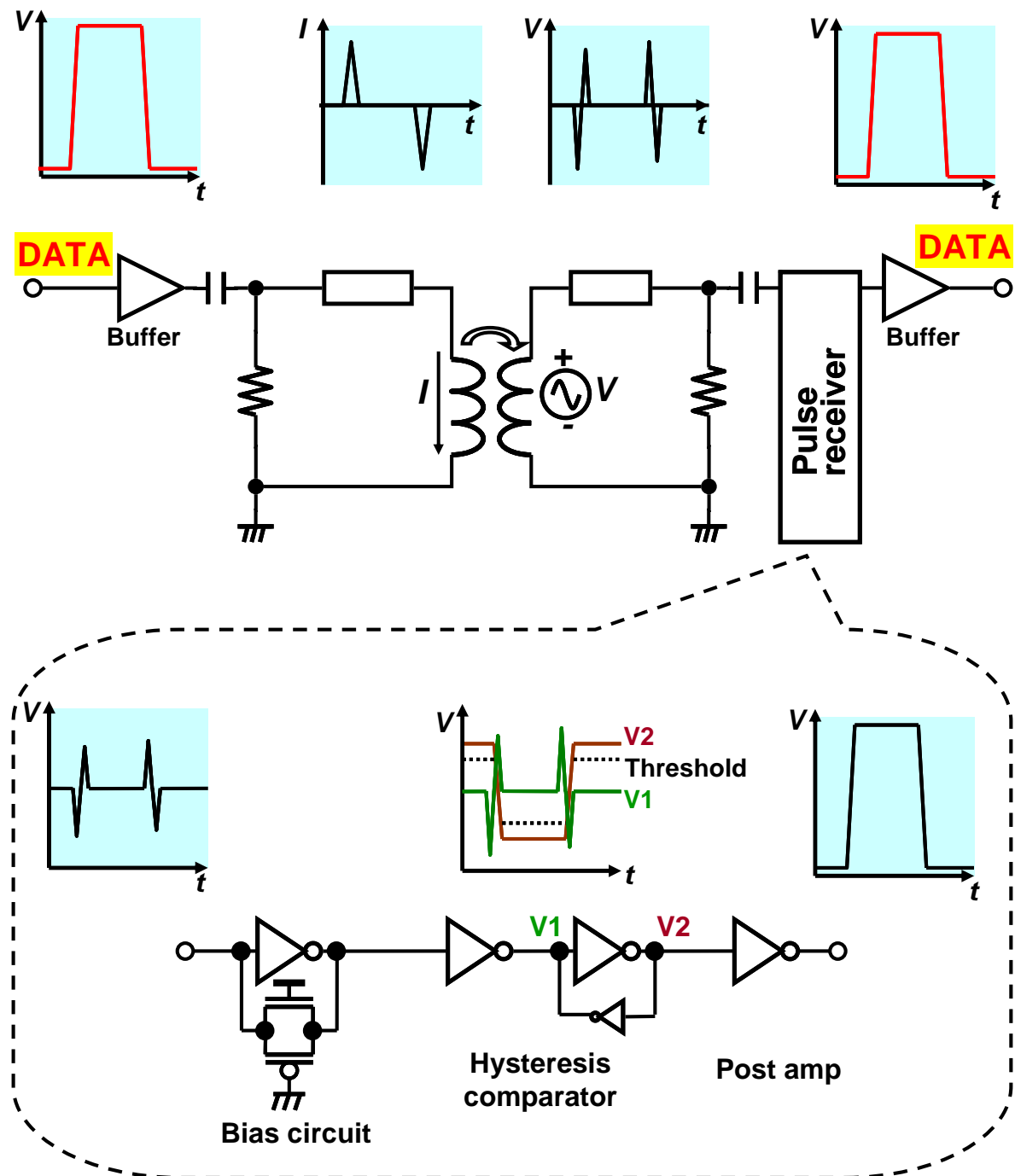


Fig. 4.3 シングルエンド回路における信号の変調と復調

Fig. 4.3 にシングルエンド回路における信号の変調と復調の様子を示す。送信回路において、正負両方の向きにパルス電流を流すために、バッファとインダクタの間にキャパシタを挿入している。これにより、データ遷移の瞬間にキャパシタがグラウンドから電流を引き出す。パルス電流に誘導され、受信側にインダクタには正負のパルス対の電圧が現れる。このパルス信号がキャパシタを通してパルスレシーバに入力される。受信側のキャパシタはパルスレシーバの直流電位を保つ働きをする。このキャパシタを通過した後、信号の直流電位はハーフ VDD にバイアスされる。またキャパシタによる信号の減衰を補償するため、パルス信号はインバータで増幅される。増幅されたパルス信号はヒステリシスコンパレータで矩形波に復調される。この原理は3.1.3 で述べたものと同じである。

また、送信回路、受信回路ともに LC 共振によるリンギングの影響を防ぐため、信号経路と並列に抵抗が挿入されている。

4.2. 回路と PCB の設計

4.2.1. 回路シミュレーション

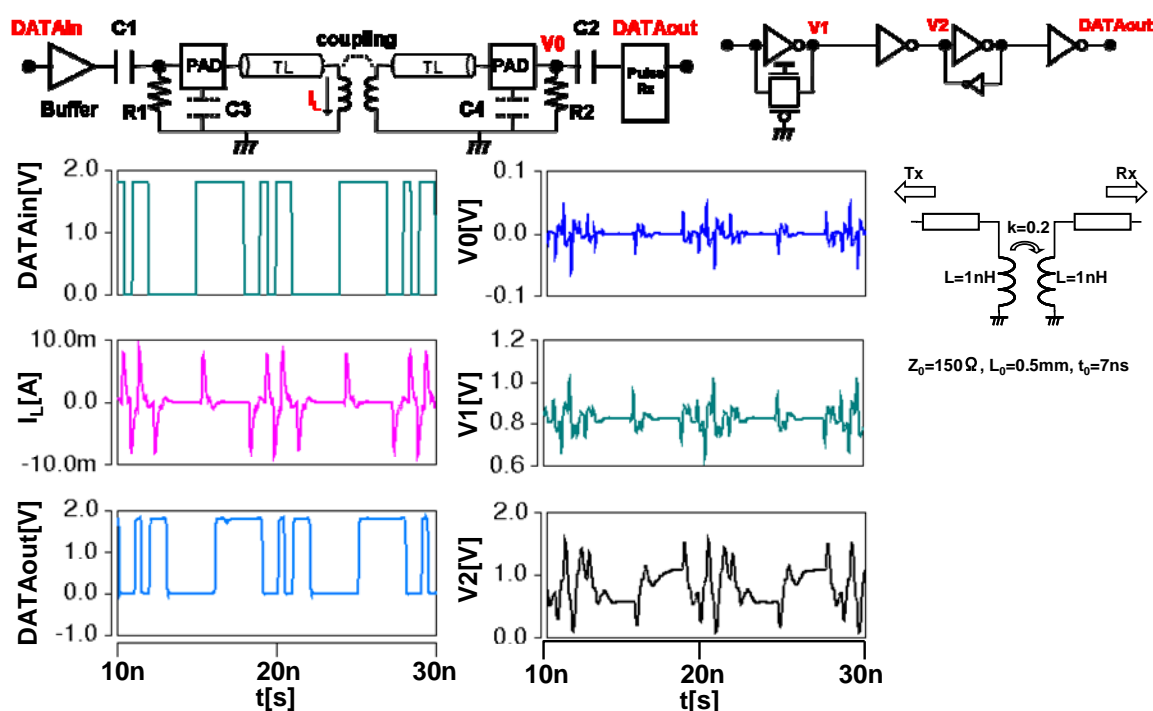


Fig. 4.4 シングルエンド回路のシミュレーション結果

Fig. 4.4 にシングルエンド回路のシミュレーション結果を示す。シミュレーション上では最高で 2Gbps のデータレートを達成した。

4.2.2. 回路レイアウト

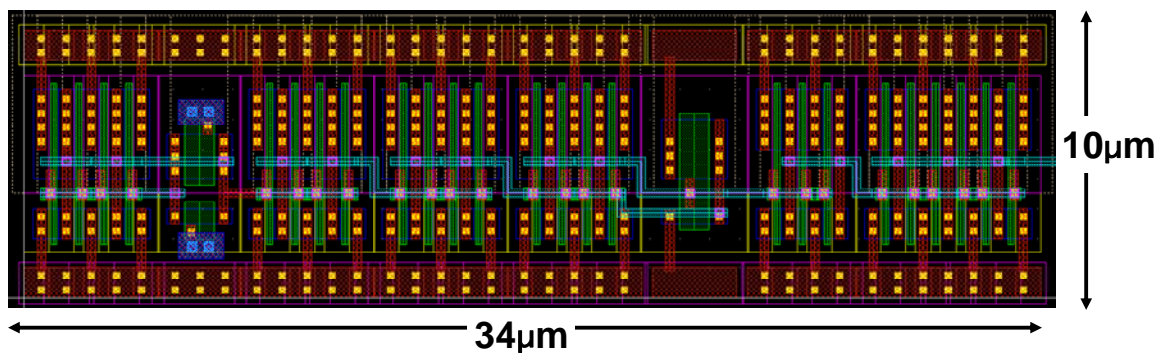


Fig. 4.5 受信回路コアのレイアウト

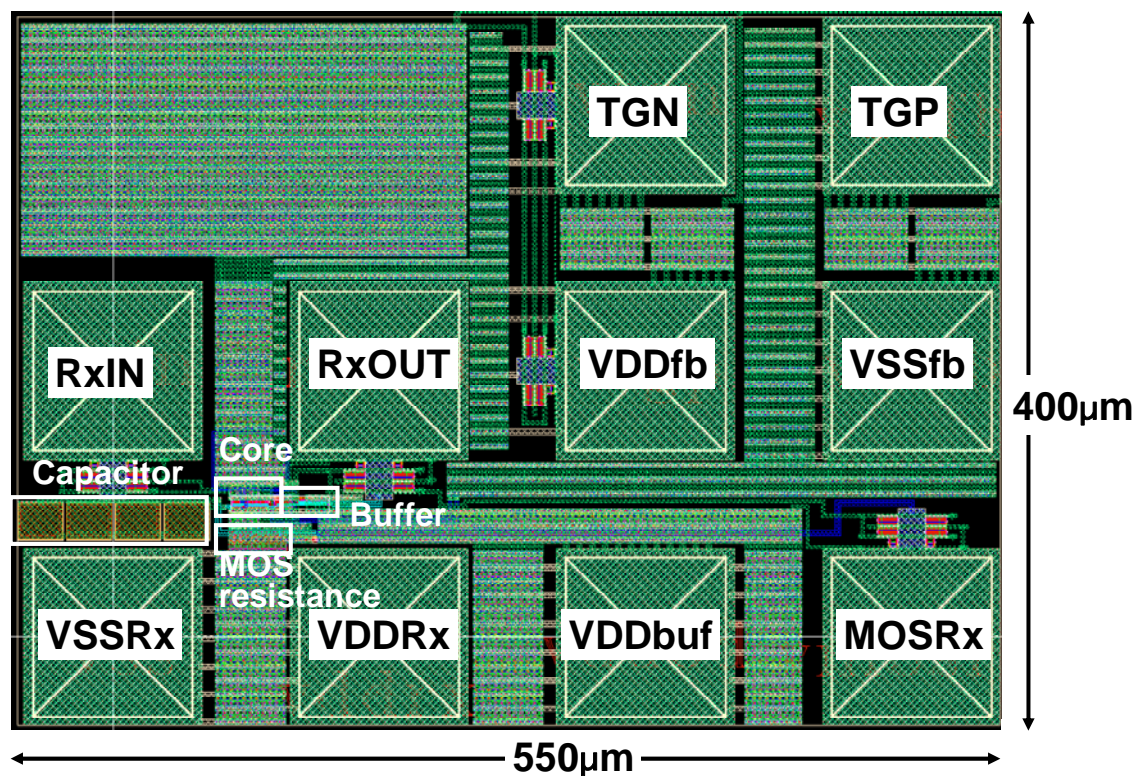


Fig. 4.6 受信回路全体のレイアウト

Fig. 4.5 に受信回路コアのレイアウト、Fig. 4.6 に受信回路全体のレイアウトを示す。コアは $10\mu\text{m} \times 34\mu\text{m}$ の面積を占める。受信回路全体は $400\mu\text{m} \times 550\mu\text{m}$ の面積を占めている。

Fig. 4.7 に送信回路コアのレイアウト、Fig. 4.8 に送信回路全体のレイアウトを示す。コアは $32\mu\text{m} \times 34\mu\text{m}$ の面積を占める。受信回路全体は $250\mu\text{m} \times 400\mu\text{m}$ の面積を占めている。

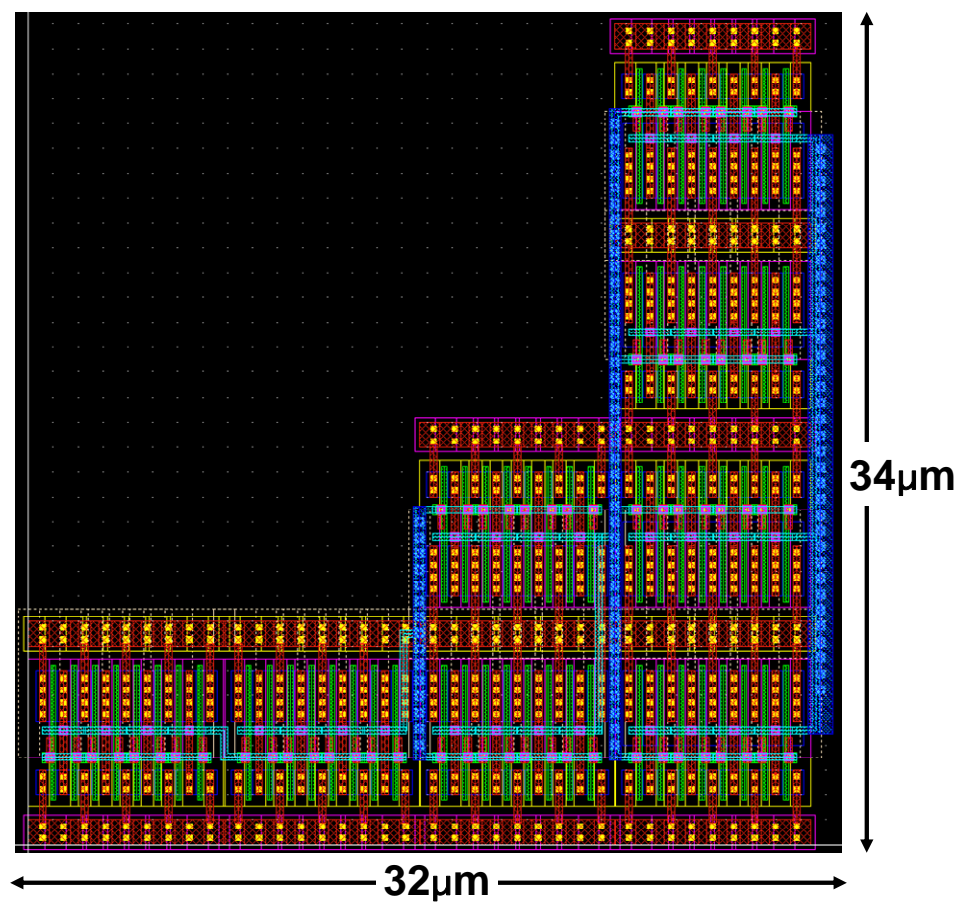


Fig. 4.7 送信回路コアのレイアウト

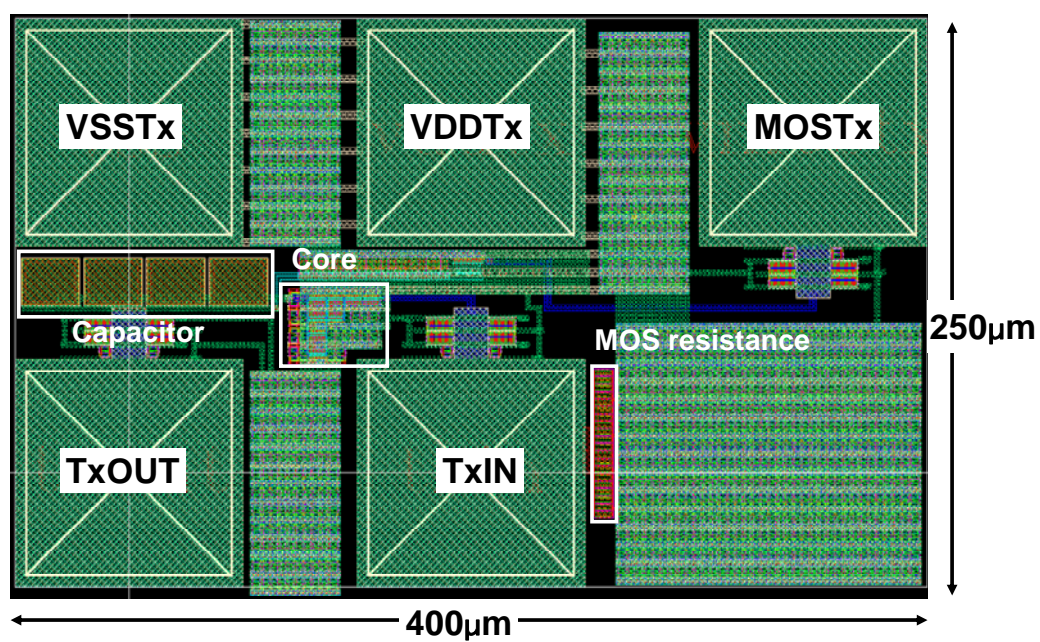


Fig. 4.8 送信回路全体のレイアウト

4.2.3. ボード設計

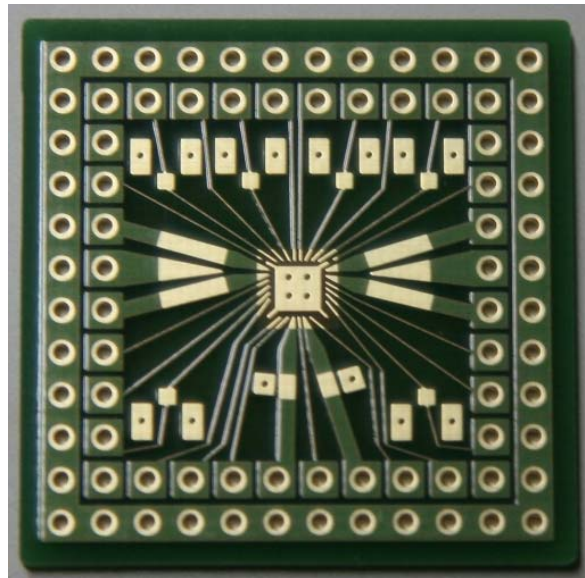


Fig. 4.9 シングルエンド回路用の PCB 写真

Fig. 4.9 にシングルエンド回路用の PCB 写真を示す。本章においては送信回路と受信回路別々に動作確認をするため、インダクタは搭載していない。

4.3. 測定結果

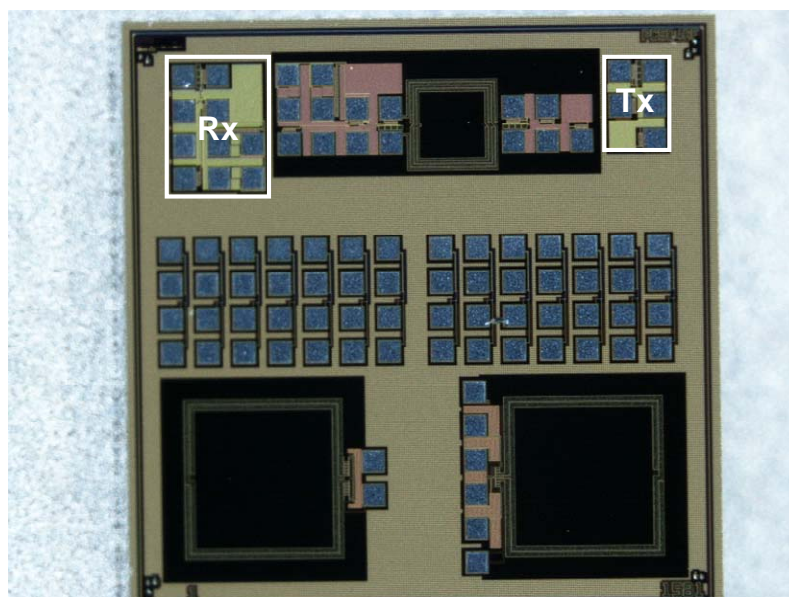


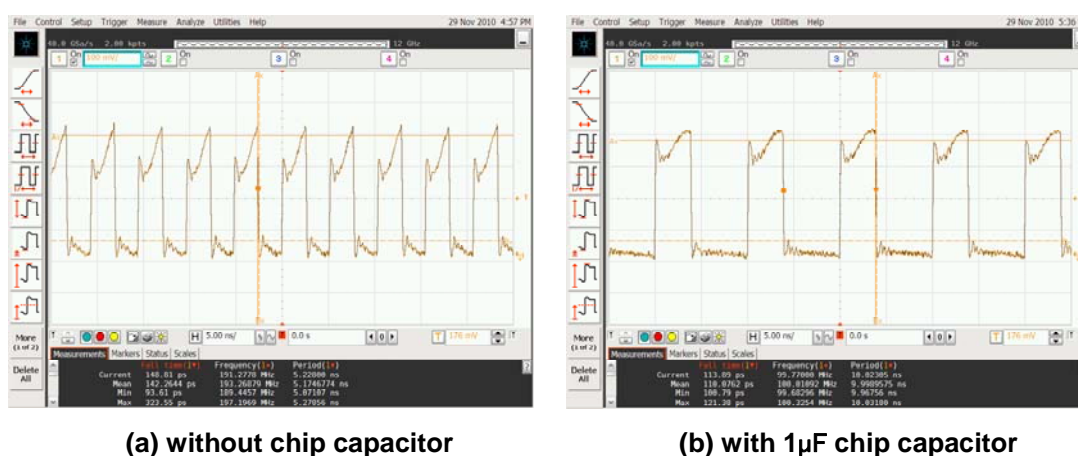
Fig. 4.10 チップ全体の写真

本チップは Rohm 180nm CMOS プロセスで製造された。Fig. 4.10 にチップ全体の写真を示す。チップ全体は 2.5mm 角である。



Fig. 4.11 送信回路の出力波形

Fig. 4.11 に送信回路の出力波形を示す。送信回路の出力パッドをインダクタではなく、オシロスコープに直接つないで観測している。データの遷移時にパルス電圧が発生していることが分かる。



(a) without chip capacitor

(b) with 1μF chip capacitor

Fig. 4.12 受信回路の出力波形

Fig. 4.12 に受信回路の出力波形を示す。データを入力しなくても、受信回路の電源をオンした瞬間に(a)のように出力に発振波形が現れた。そこで回路の電源につながるボード上の配線に発振を止めるために 1μF のチップキャパシタを付加したが、(b)のように周波数が

変わるだけで発振は止まらなかった。ここから、受信回路中に何らかのフィードバックループがあってそれにより発振していることが考えられる。

4.4. まとめと議論

本章では非接触コネクタのための、ボード間インダクティブカップリング回路をシングルエンドで実装した。

本チップは Rohm 180nm CMOS テクノロジーで製造された。測定した結果、送信回路はシミュレーション通りの動作をした。受信回路は入力の有無にかかわらず、発振していた。ボード上の電源配線にチップコンデンサを付加することを試みたが、周波数が少し変わるだけで相変わらず発振は止まらなかった。この発振の原因についてはいろいろ考えられるが、おそらくポストアンプの出力が前段の何処かのノードと容量的に結合されてリングオシレータのような回路を構成してしまっているからだと思われる。

第5章 結論

マルチ Gbps の無線アプリケーションの需要を満たすためには、小さい入力信号でもデジタルデータに復調できるレシーバが必要になってくる。そこで第 2 章において、UWB 帯をターゲットにした高入力感度の CMOS ASK デモジュレータを提案した。本デモジュレータはダミー回路の付加により差動構造を実現して、SNR と PSRR を大きくすることで検波性能が向上した。それにより、-33dBm という小さいパワーの入力信号でもデータを復調することができた。本デモジュレータが 1 ビットのデータを復調するのに必要な入力信号パワーは 0.25fJ/b となり、従来のデモジュレータの 3 倍の入力感度を達成した。

近年、非接触型コネクタが注目を集めている。非接触型コネクタは小型化や信頼性、耐久性の観点から接触型コネクタよりも有用であると考えられる。そこで非接触コネクタの実現に向けて、第 3 章においてボード間のインダクティブカップリングを用いたデータ伝送をディファレンシャルエンド回路で実装し、第 4 章においてインダクティブカップリングをシングルエンド回路で実装した。

第 3 章では 2mm 径のインダクタを用いて、130 μ m のカップリング距離でボード間での 2Gbps の PRBS の伝送を確認した。そのときの消費電力は送信回路と受信回路を合わせて 8.5mW であった。MOS 抵抗を制御することで受信回路のチューナビリティを確認した。また隣接チャネルによる干渉を調べた結果、インダクタの間隔を 0.3mm にした程度では干渉をまともに受けてしまうことが分かった。

第 4 章では送信回路は期待通りの動作をしたものの、受信回路の発振が止まらない間結果に終わった。これは回路の設計が悪く、受信回路中にフィードバックループが形成されリングオシレータのようになってしまっているのが原因と考えられる。

参考文献

- [1] Nick Van Helleputte, Georges Gielen, “A 70 pJ/Pulse Analog Front-End in 130 nm CMOS for UWB Impulse Radio Receivers”, *IEEE J. Solid-State Circuits*, vol. 44, pp. 1862–1871, Jul. 2009.
- [2] “The Federal Communications Commission”, <http://www.fcc.gov/>
- [3] Jeffrey M. Gilbert, Chinh H. Doan, Sohrab Emami, C. Bernard Shung, “A 4-Gbps uncompressed wireless HD A/V transceiver chipset,” *IEEE Micro*, vol. 28, pp. 56–64, 2008.
- [4] “WirelessHD™”, <http://www.wirelesshd.org/>
- [5] “ハーティング株式会社”,
<http://www.harting.co.jp/products/products/steckverbinder-fuer-tca/plug-connectors-for-advancedmc-and-mch-modules>
- [6] Thomas Schilla, Martin Schuster, “Simplify your HV-harness – uniform high current connectors for batteries, inverters and motors in heavy-duty vehicles and passenger cars”, *Emobility - Electrical Power Train*, Nov. 2010.
- [7] Ping-Chih Lin and Feng-Li Lian, “Module design with wireless communication for modular reconfigurable systems”, *Proc. IEEE International Conference on Robotics and Biomimetics*, pp. 63–68, Feb. 2010.
- [8] Katsuyuki Ikeuchi, Kenichi Inagaki, Hideki Kusamitsu, Toshiyasu Ito, Makoto Takamiya, and Takayasu Sakurai, “500Mbps, 670 μ W/pin capacitively coupled receiver with self reset scheme for wireless connectors”, *IEEE Asian Solid-State Circuits Conference*, pp. 93–96, Nov. 2008
- [9] Ahmet Öncü, Minoru Fujishima, “19.2mW 2Gbps CMOS Pulse Receiver for 60GHz Band Wireless Communication”, *Proc. IEEE Symp. VLSI Circuits*, pp. 158–159, Jun. 2008.
- [10] Jri Lee, Yenlin Huang, Yentso Chen, Hsinchia Lu, Chiajung Chang, “A Low-Power Fully Integrated 60GHz Transceiver System with OOK Modulation and On-Board Antenna Assembly”, *IEEE ISSCC Dig. Tech. Papers*, pp. 316–317, Feb. 2009.
- [11] Ahmet Öncü, B.B.M. Wasanthamala Badalawa, Minoru Fujishima, “60GHz-Pulse Detector Based on CMOS Nonlinear Amplifier”, *Proc. IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, pp. 1–4, Jan. 2009.
- [12] Behzad Razavi, “Design of Analog CMOS Integrated Circuits”, *The McGraw-Hill Companies, Inc*, 2001.
- [13] David Yeh, Saikat Sarkar, Stephane Pinel, Padmanava Sen, Joy Laskar, “An Integrated IQ Demodulator with Integrated Low-Power Multi-Gigabit BPSK / ASK Analog Signal Processor in 90nm CMOS”, *Proc. European Microwave Integrated Circuits Conf. (EuMIC)*, pp. 139–142, Oct. 2008.

- [14] Chao-Shiun Wang, Kun-Da Chu, Chorng-Kuang Wang, "A 0.13 μ m CMOS 2.5Gb/s FSK Demodulator Using Injection-Locked Technique", *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, pp. 563–566, Jun. 2009.
- [15] Shon-Hang Wen, Chao-Shiun Wang and Chorng-Kuang Wang, "A Low power 20 GHz 1.5 Gb/s CMOS Injection-Pulling FSK Modulator and Frequency Discriminator for 60GHz Links", *Proc. IEEE Custom Integrated Circuits Conf. (CICC)*, pp. 483–486, Sept. 2008.
- [16] Ahmet Oncu, Shunsuke Ohashi, Kyoya Takano, Toshio Takada, Junzo Shimizu and Minoru Fujishima, "1Gbps/ch 60GHz CMOS Multichannel Millimeter-Wave Repeater", *IEEE Symp. on VLSI Circuits(VLSIC)*, pp. 93–94, Jun. 2010.
- [17] Karthik Chandrasekar, Zhiping Feng, John Wilson, Stephen Mick and Paul Franzon, "Inductively Coupled Board-to-Board Connectors", *IEEE Electronic Components and Technology Conf.*, pp. 1109–1113, May 2005.
- [18] Karthik Chandrasekar, John Wilson, Evan Erickson, Zhiping Feng, Jian Xu, Stephen Mick, and Paul Franzon, "Inductively Coupled Connectors and Sockets for Multi-Gb/s Pulse Signaling", *IEEE Transactions on Advanced Packaging*, pp. 749–758, Nov. 2008.
- [19] Karthik Chandrasekar, John Wilson, Evan Erickson, Zhiping Feng, Jian Xu, Stephen Mick, Paul Franzon, "Fine pitch inductively coupled connectors for multi-Gbps pulse signaling", *Proc. IEEE Electrical Performance Electronic Packaging (EPEP)*, pp. 11–14, Oct. 2006.
- [20] Marco Leone and Vlastimil Navratil, "On the external inductive coupling of differential signalling on printed circuit boards", *IEEE Transactions Electromagnetic Compatibility*, vol. 46, no. 1, pp. 54–61, Feb. 2004.
- [21] Mamoru Sasaki and Atsushi Iwata "A 0.95 mW/1.0Gbps spiral-inductor based wireless chip-interconnect with asynchronous communication scheme", *Symp. VLSI Circuits Dig. Tech. Papers*, pp. 348–351, Jul. 2005.
- [22] 閻 彬, 佐々木 守, 岩田 穆 "スパイラルインダクタ対の電磁結合による非接触シリアル伝送システム", 電子情報通信学会技術研究報告, SDM, シリコン材料・デバイス 106(206) pp.69-74, 2006.

本研究に関する発表

- [1] Masato Sasaki, Ahmet Öncü, Minoru Fujishima, "2Gbps CMOS Amplitude-Shift-Keying Demodulator with Input Sensitivity of -33dBm", *European Microwave Conference (EuMC)*, pp. 268–271, Sept. 2010.
- [2] 佐々木 正人, 池内 克之, 大東 睦夫, 高宮 真, 桜井 貴康, "シングルエンド形L結合を用いたボード間非接触データ伝送", 電子情報通信学会総合大会, C-12-23, 仙台, 2010年3月.

謝辞

本修士論文研究を行うにあたり、多くの方の助言やご協力を頂きました。特にお忙しい中親切丁寧に御指導及び御鞭撻して頂いた、生産技術研究所の桜井貴康教授、東京大学大規模集積システム設計教育センター(VDEC)、高宮真准教授に心から深く感謝し御礼申し上げます。また、設計や測定のノウハウなど様々なことの助言、フォローをして下さいました石田光一助教に大変感謝し御礼申し上げます。さらには二年間におよぶ修士課程の研究生活を共にし、数多くのご協力をしていただいた桜井研究室及び高宮研究室の全ての皆様に深く感謝致します。最後に、二年間にわたり大学院での研究生活を支えてくれた私の両親に謝意を表します。

本研究における ASK デモジュレータのチップ試作はシリコンライブラリ株式会社を通し、富士通株式会社、新エネルギー・産業技術総合開発機構半導体 (NEDO) のアプリケーションチッププロジェクト、科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) の協力のもとに行われた。

本研究におけるインダクティブカップリング回路のチップ試作は STARC、東京大学大規模集積システム設計教育研究センター(VDEC)を通し、ローム株式会社、超先端電子技術開発機構(ASET)、シノプシス株式会社、日本ケイデンス株式会社の協力のもとに行われた。