

－修士論文－

プログラマブルシリコンニューロン システムの構築

平成24年8月16日 提出

指導教員 河野 崇 准教授

東京大学大学院工学系研究科
電気系工学専攻

(学籍番号：37106462)

氏名 関口 康平

概要

神経機能のロバストな性質やその高度な情報処理能力を人工的に再現、応用しようとする試みは古くから行われてきた。このような試みは神経科学の分野において、近年盛んに研究が行われている。とくに神経系の基本単位であるニューロンの電気生理学的機能を模倣したデバイスを開発し、実用化しようとするアプローチが存在する。このデバイスをシリコンニューロンといい、電子回路で実装される。

近年、Kohno と Aihara は非線形動力学の数理的手法により、定性的神経モデルの数理構造を電子回路に親和性の高い関数でモデル化し、低消費電力なシリコンニューロンの設計手法を考案した。これはナルクラインの抽出など、数理的なテクニックを用いることで、複数の特徴的な発火パターンの選択的な生成を可能とした。このシリコンニューロンの動作には従来、大規模で精度の高い計測装置が必要であったが、将来的には、複数のシリコンニューロン回路を結合し同時に駆動させることでシリコン神経ネットワークの実現が見込まれるため、その際に大規模なシステムを採用するのは現実的でない。

本研究ではシリコンニューロンチップ、マイコン、DAC を 1 枚のコンパクトな PCB ボード上に搭載し、オンボードで単独駆動が可能なプログラマブルシリコンニューロンシステムを構築した。本システムは必要十分な精度で動作し、適切なパラメータ調整によりシリコンニューロンを正常に駆動させることができる。本研究では、プログラマブルシリコンニューロンシステムを用いて、シリコンニューロンを駆動し、Class I、II ニューロンを実現することで、本システムの有効性を確かめた。本システムは神経ネットワークへの応用として、Central Pattern Generator の一つである Half Center Oscillator (HCO) を 2 つのシリコンニューロンの結合系として実現することを想定されており、そのために今後、HCO に特徴的なバースト発火と呼ばれるより複雑な発火パターンの生成が必要となる。

目次

1	はじめに	4
1.1	ニューロン	4
1.2	Class I ニューロンと Class II ニューロン	4
2	シリコンニューロン	6
2.1	インテグレートアンドファイア (IF) モデルの実装	7
2.2	Multi-Conductance シリコンニューロン	9
2.3	数理構造に基づいた設計手法	11
2.4	本研究の目的	11
3	数理構造に基づいたシリコンニューロン	13
3.1	シリコンニューロンの数理モデル	13
3.2	シリコンニューロンのダイナミクス	14
4	シリコンニューロンの実装	17
4.1	MOSFET とシリコンニューロン回路	17
4.2	シリコンニューロンの基本構成回路	20
4.3	電流モード積分器	23
4.4	参照電圧回路	24
4.5	Voltage Clamp 回路	27
5	シリコンニューロン駆動システム	29
5.1	従来のシステム	29
5.2	プログラマブルシリコンニューロンシステムの構築	31
6	シリコンニューロン回路の2変数モード動作実験	33
6.1	シリコンニューロン回路のばらつき	33
6.2	Class I ニューロンの実現	35
6.3	膜電位のパルス応答 (Class I)	40
6.4	Class II ニューロンの実現	43

6.5 膜電位のパルス応答 (Class II)	48
7 結論と考察	51
7.1 結論	51
7.2 考察と今後の課題	51
付録 A	57

1 はじめに

本研究は生体模倣ハードウェア構成要素として、シリコンニューロンチップと駆動システムを1枚のボード上に構築したプログラマブルシリコンニューロンシステムを開発し、特性の評価を行った。まずはじめに、シリコンニューロンが模倣する生体ニューロンについて述べる。

1.1 ニューロン

ニューロンは生体活動の制御を行っている神経系を構成する最小単位の細胞であり、個々のニューロンが複数の樹状突起を持ち、シナプスを介して他のニューロンと結合し、複雑なネットワークを形成している。ニューロンの模式図を図1に示す。ニューロンの細胞膜には複数のイオンチャネルが存在し、これが開閉することで細胞内外のイオンを透過させる働きを持っている。外部からの刺激がない平衡状態では、細胞内外のイオン濃度は一定に保たれ、細胞膜を隔てた電位差である膜電位は静止膜電位と呼ばれる安定状態に留まる。外部から刺激を受け取ると、イオンチャネルの開閉によりイオン濃度が変化し、膜電位は急激なパルス状の変化が生じる。これを活動電位といい、このパルス状の電位の変化を伝達させることでニューロンはネットワークとして情報をやり取りしている。

1.2 Class Iニューロンと Class IIニューロン

ある特定の閾値以上の定電流刺激入力に対して、ニューロンは周期的な発火を生成するが、その発火周波数は入力刺激の強度に依存する。Hodgkin は、この周波数の特徴に注目し、ニューロンを Class I、II とその他に分類した [3]。Class Iニューロンは、発火を始める閾値近傍における発火周波数に注目したとき、限りなく零に近い周波数から発火を始め、刺激強度に対して単調に波数が増加する。一方、Class IIニューロンはある特定の周波数から発火を始め、刺激強度に対する周波数の変化が比較的小さい。このような周波数特性が情報処理におよぼす影響はまだ十分には解明されていないが、Class Iニューロンはリーキーインテグレートとして、Class IIニューロンは周波数共鳴器として働いている可能性が指摘されている [5]。

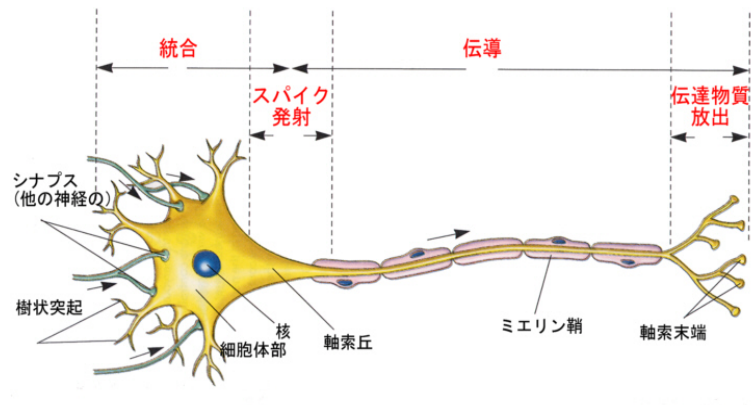


図 1: ニューロンの模式図 (引用:<http://www.tmd.ac.jp/artsci/biol/textlife/neuron.htm>)

2 シリコンニューロン

脳に代表される神経系の持つ機能や性質を解明、応用しようとする試みは以前から積極的に行われている。生体の神経系が行う情報処理はデジタル計算機の原理とは異なると考えられており、神経系の環境変化や自己破損に対するロバスト性や並列処理、自律学習能力などの高度な機能を人工的に実現し、応用しようと長い間さかんに研究が行われている。その中で、神経機能と同等の機能を実現する電子回路等のデバイスを実装し、組み込みデバイスのような工学的な応用や生体との相互結合系などの応用を目的とした生体模倣ハードウェアというアプローチがあり、人工網膜や人工蝸牛など、一部の感覚器官を代替するハードウェアなどが既に報告されている [1][2]。また神経系の最小単位であるニューロンを電子回路技術で再現したデバイスをシリコンニューロンといい、用途に応じて様々な設計手法が提案されている。シリコンニューロンは、多くの場合、神経モデルの微分方程式を、キャパシタを用いた積分回路によりリアルタイムに解くアナログ回路として実装される。このとき、神経細胞のもつ電氣的ダイナミクスを詳細に記述した複雑な微分方程式（イオンコンダクタンスモデル）の解法回路を実装することで神経細胞の挙動をよく再現できるが、回路が複雑になり、正常動作に必要な回路パラメータ調整が困難、同時に消費電力も大きくなってしまう [9]。この問題を解決するためにはモデルの簡略化が必要であるが、これまでの研究では極端に簡略化されたリーキーインテグレートアンドファイアモデルなどが実装されることがほとんどであり、神経活動のごく一部の特徴のみを再現することしかできなかった。このように、シリコンニューロンの設計において、回路の単純さの実現と発火パターンの多様さの実現はトレードオフの関係性にある。近年、上記の問題を解消する新しい設計手法が Kohno と Aihara により提案された。この手法は神経系モデルに内包する数理的構造に注目して設計を行なうものであり、従来の設計手法に比べて、比較的単純な回路構成で、外部から与えるパラメータ電圧により様々な発火特性を選択することのできるシリコンニューロンが実現できる。以下では、各々の設計手法を採用して設計されたシリコンニューロンの代表的な例を紹介する。

2.1 インテグレートアンドファイア (IF) モデルの実装

特定の発火パターンのみの再現を目的とするときに有効な設計手法に現象論的手法がある。この手法はニューロンの発火のメカニズムを考慮せず、再現したい発火パターンの特徴（閾値、オーバーシュート、静止膜電位等）をそれぞれ現象論的な要素として注目し、それぞれの現象を電子回路技術で再現しやすいように設計する手法で、電子回路設計に融通の効く手法であるため、比較的単純な回路で実現でき、製造ばらつき等の影響を受けにくいシリコンニューロンの実装が可能であることが特徴である。このタイプのシリコンニューロンは古くから研究が続けられており、Indiveri らによって拡張された回路が発表されている [6]。彼らは、IF モデルの表現する 3 つの特徴、1) 外部刺激のない状態では、ある一定の電位に留まる点（静止膜電位の存在）、2) 与える刺激強度を大きくしていき、ある特定の強度を超えると急激に膜電位が上昇（発火）し、その後速やかに静止膜電位へ戻る点（閾値の存在とスパイクの生成）、3) 1 度発火するとその後しばらく発火しない区間がある点（不応期）、に加えて、4) 周期発火周波数が、徐々に低減していく点（発火周波数順応）を実現した。再現できる発火パターンは限定的な単純なものであるが、このシリコンニューロンは 20 個の MOSFET で設計された単純な回路であり、消費電力も $1\mu\text{W}$ 程度と比較的省電力に抑えられている。しかし、IF モデルは神経活動のダイナミクスを無視しているため、より複雑な発火パターンや他の現象論的性質を再現するためには再度設計し直す必要がある。彼らはこの省電力、小規模回路である優位性を活かして、IF ニューロンを用いたシリコン神経ネットワークの実現した。彼らはネットワークの構築に際し、同時に可塑性をもつシリコンシナプスも実装し、人工のニューラルネットワークとして学習アルゴリズムの実証などを試みている [7][8]。彼らのシリコン神経ネットワーク VLSI デバイスは $0.8\mu\text{m}$ CMOS プロセスで実装され、32 個の IF ニューロン回路と 32×8 個のシリコンシナプス回路で構成されている。

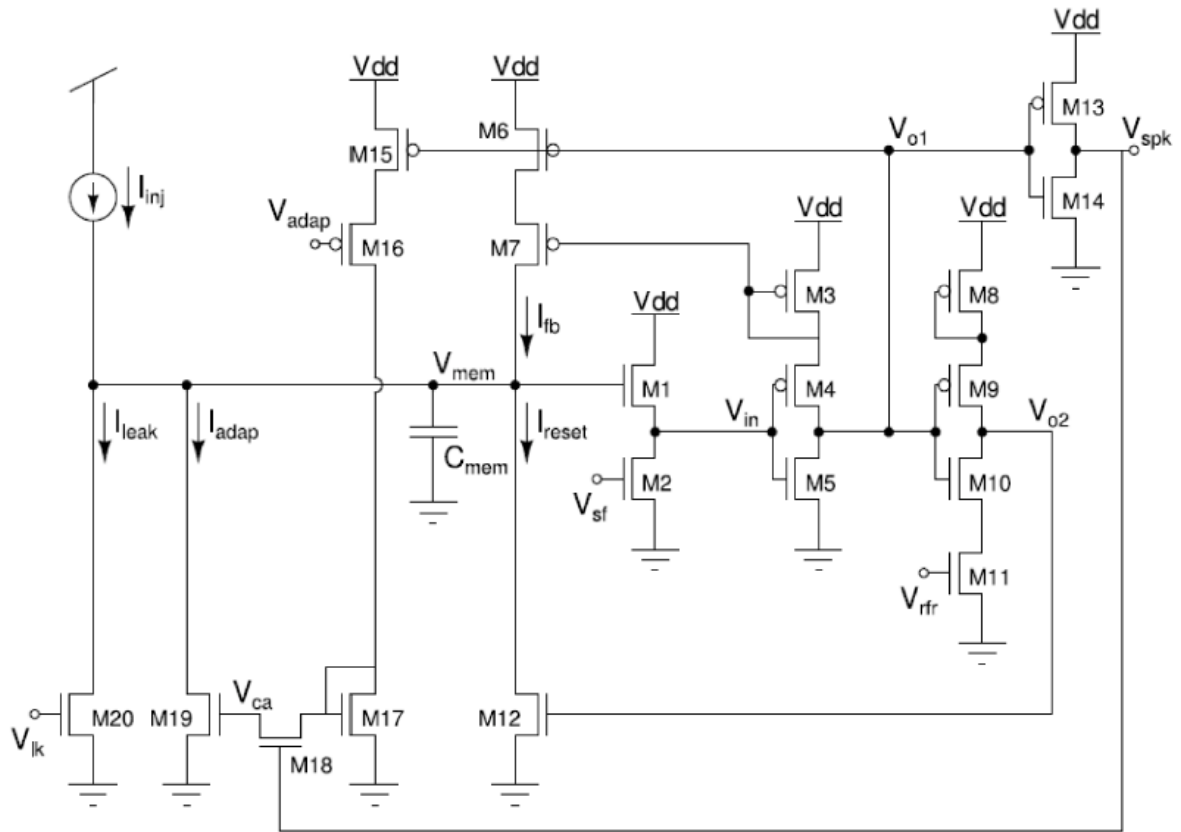


図 2: Indiveri らにより実装された IF ニューロンの回路図 (引用: G.Indiveri *et al.*, 2003)

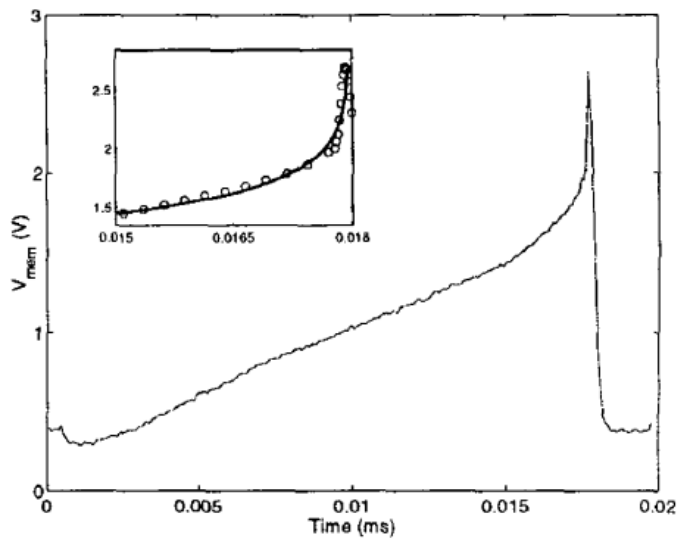


図 3: IF ニューロンによる発火の様子 (引用: G.Indiveri *et al.*, 2003)

2.2 Multi-Conductance シリコンニューロン

Simoni らは、ヒルの心臓インターニューロンのイオンコンダクタンスモデルの微分方程式を解く回路として、イオンチャネルに相当する膜電位依存のコンダクタンスモジュールから膜電位キャパシタに電流を入力することで膜電位の変化を制御するようなシリコンニューロン回路を実装した。彼らはこのシリコンニューロンを用いて、Half Center Oscillator (HCO) と呼ばれる、心拍の生成に寄与する神経ネットワークの実装を試みた。HCO は Central Pattern Generator (CPG) の最も単純なモデルとして知られ、2つのニューロンから成る。ここで CPG とは、生体運動において、呼吸、歩行、心拍などリズムカルで自律的な運動に寄与する神経ネットワークのことである。HCO のニューロンが生成する発火パターンは特徴的で、連続発火と休止状態を交互に繰り返す。この発火パターンはバースト発火と呼ばれ、Simoni らは上記のシリコンニューロンを用いてこのバースト発火の再現と HCO の実装に成功している [9][10]。このシリコンニューロンは生体ニューロンのバースト発火生成メカニズムに忠実に基づいて設計されているため、適切にパラメータを調整することで複雑な発火パターンの生成、制御することができる。しかし、彼らのシリコンニューロンは 400 個程の膨大な数の MOSFET を用いて実装されており、調節するパラメータ変数の数がとても多く、回路規模も大きくなり、消費電力も数百 μA と比較的大きくなってしまっているため、より多くのシリコンニューロンを用いたネットワークの構築が難しい。

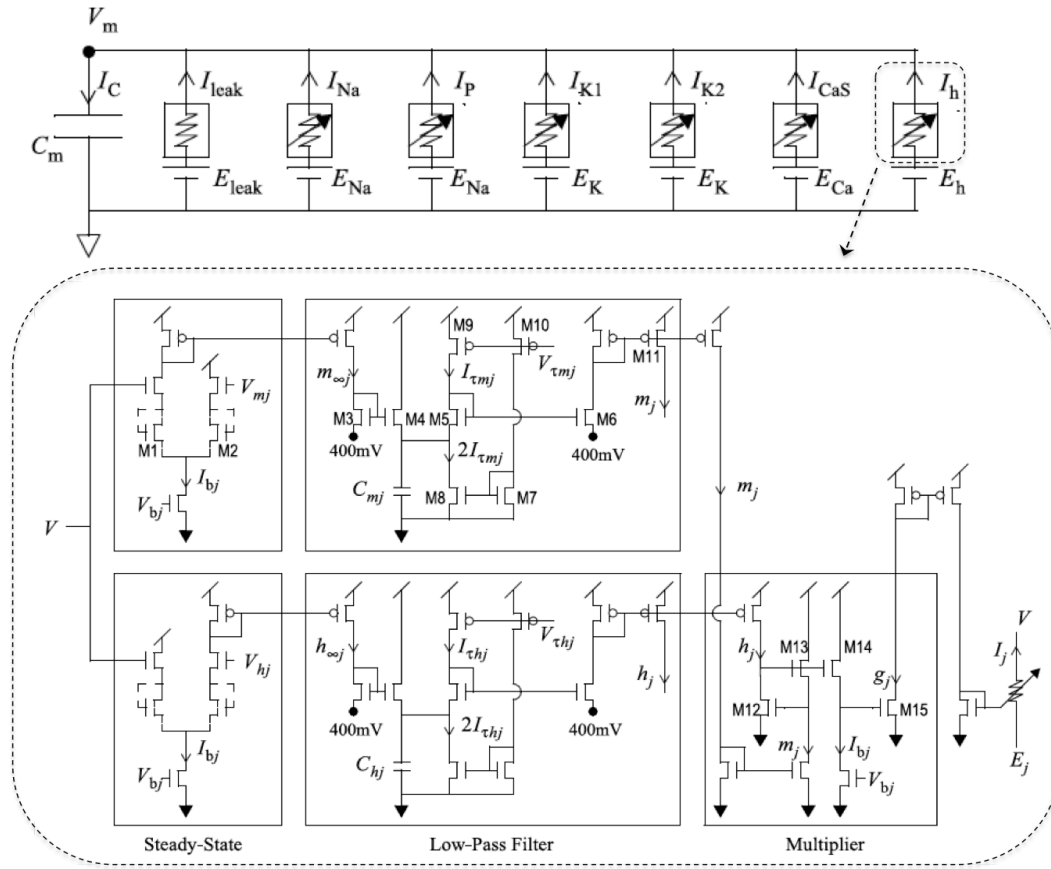


図 4: Simoni らの実装した Multi-Conductance シリコンニューロンの回路図 (引用: MF. Simoni *et al.*, 2004)

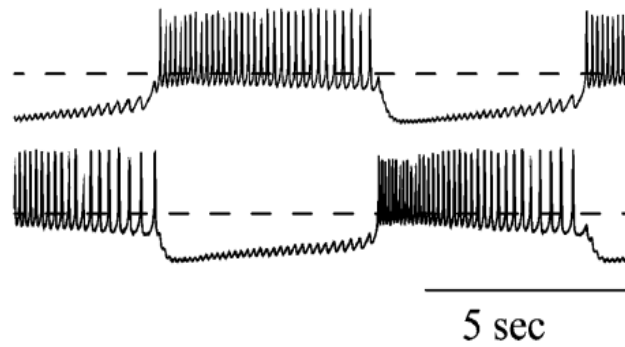


図 5: Multi-Conductance シリコンニューロンを用いた HCO のバースト発火の様子 (引用: MF. Simoni *et al.*, 2006)

2.3 数理解造に基づいた設計手法

神経細胞のイオンコンダクタンスモデルが内包する数理的構造を明らかにするため、同等の構造をもつシンプルな微分方程式（定性的神経モデル）が研究されてきた。その一つ、Hindmarsh-Rose モデルは方形波バースタと呼ばれるクラスの自発的バースト細胞のメカニズムを記述しているが [15]、CPG を構成する自発的バースト細胞のいくつかは方形波バースタに属することが知られている。近年、Kohno と Aihara はこの定性的モデルの有効性に注目し、非線形動力学の数理解造を採用することで定性的モデルの数理解造を電子回路設計に親和性の高い関数を用いて再度モデル化し、シリコンニューロンを設計する手法を考案した [11]。その結果、従来のシリコンニューロンに対して比較的パラメータ数が少なく、低消費電力なシリコンニューロンの設計が可能となった。この設計手法はニューロンモデルの数理解造の位相平面のナルクラインの描写など、数理解的な手法を使用するため、デバイスのばらつきに対して数理解造を観察しながらある程度戦略的にパラメータを調整することが可能となっている。

2.4 本研究の目的

本研究では上記の数理解造に基づき設計されたシリコンニューロン [12] を扱い、それを独立して動作させるためのシステムを開発した。神経系の活動を再現するため、シリコンニューロンは単体での動作だけでなく複数のシリコンニューロンを結合したネットワークとして動作させることが見込まれるが、このとき、シリコンニューロン回路は独立して動作することが望ましい。従来、多チャンネル D/A コンバータ装置を介してパラメータ電圧を与える必要があったが、本研究で開発したパラメータ電圧生成システムが、シリコンニューロンの動作に必要な十分の精度を持ち、コンパクトなシステムとして優位性を持つことを示す。

開発したシステムで実現するニューロンの性質 [13] は以下の通りである。

- 1) 外部刺激のない状態では、ある一定の電位に留まる点（静止膜電位の存在）
- 2) 与える刺激強度を大きくしていき、ある特定の強度を超えると急激に膜電位が上昇（発火）し、その後速やかに静止膜電位へ戻る点（閾値の存在とスパイクの生成）
- 3) 1 度発火するとその後しばらく発火しない区間がある点（不応期）

また定常刺激電流に対する応答として Class I ニューロンと Class II ニューロンの周波数特性を実現し、その数理構造から戦略的に Class I ニューロンと Class II ニューロンの実現が可能であることを示す。

3 数理構造に基づいたシリコンニューロン

3.1 シリコンニューロンの数理モデル

この節では、本研究で扱うシリコンニューロンの理論モデルについて述べる。このモデルは、以下で示されるような3変数の微分方程式からなる。

$$C_v \frac{dv}{dt} = f_m(v) - g(v) - n - q + I_a + I_{stim} \quad (1)$$

$$\frac{dn}{dt} = \frac{f_n(v) - n}{T_n} \quad (2)$$

$$\frac{dq}{dt} = \frac{f_q(v) - q}{T_q} \quad (3)$$

v はニューロンの膜電位、 n は膜電位の変化に対する時定数の短い外向きイオンチャネル電流 (K^+ イオンなど) に対応する変数である。 q は Ca^{2+} 依存の K^+ 電流に対応する。ここで、 I_a は膜電位に依存しない電流であり、 I_{stim} は外部からの入力刺激電流である。定数 C_v は、細胞膜キャパシタンスに相当する。 T_n と T_q はそれぞれ、 n と q の時定数である。

関数 $f_x(v)$ ($x = m, n, q$) と $g(v)$ はシグモイド関数であり、それぞれ以下の式で記述される。これらの関数はサブスレッショルド領域で動作する差動対回路で実現しやすいものとして採用されている。

$$f_x(v) = M_x \frac{1}{1 + \exp(-\frac{\kappa}{U_T}(v - \delta_x))} \quad (4)$$

$$q(v) = S \frac{1 - \exp(-\frac{\kappa}{2U_T}(v - \theta))}{1 + \exp(-\frac{\kappa}{2U_T}(v - \theta))} \quad (5)$$

このモデルは式 (1) と式 (2) によって構築される時定数の短い2変数のサブシステムが式 (3) で表される遅い負のフィードバックによって状態遷移する構造をもち、その数理構造は Hindmarsh-Rose モデルと同等である [15]。また、時定数の短い2変数のサブシステムだけをみれば、その数理構造は Morris-Lecar モデル等のニューロクラスをパラメータ設定により選択できる2変数モデルと同等であるといえる [14]。

3.2 シリコンニューロンのダイナミクス

ここでは、我々の数理モデルが非線形動力学における位相平面を用いた数理的手法によって戦略的にニューロンの性質を再現できることを説明する。

変数 q は、変数 v 、 n に比べて時定数が長く設定される。従って、 v と n の2変数からなる早いサブシステムのダイナミクスは、 q を定数と仮定することで明らかにすることができる。式 (1) において $q = 0$ の場合を考えると、モデルの式は次式のようになる。

$$C_v \frac{dv}{dt} = f_m(v) - g(v) - n + I_a + I_{stim} \quad (6)$$

$$\frac{dn}{dt} = \frac{f_n(v) - n}{T_n} \quad (7)$$

本稿で模倣する神経活動では、遅い変数を用いないため、これらの微分方程式でダイナミクスを扱うことができる。

図6はあるパラメータを与えたときの式 (6) と式 (7) によって構築される系を位相平面上に表したものである。横軸が膜電位に相当する変数 $v(t)$ 、縦軸がイオン電流に相当する変数 $n(t)$ である。二つの曲線 v -nullcline と n -nullcline はそれぞれ、 $\frac{dv}{dt} = 0$ 、 $\frac{dn}{dt} = 0$ となるような点の集合を示している。位相平面における軌道はこの二つの nullcline の位置関係によってある程度推定することができる。 v と n 、二つの nullcline が位相平面上にあるときのベクトル場（各点における状態点の速度をベクトルによって示したもの）は図7のようになっている。このベクトル場は v -nullcline による v 軸方向のベクトル場と n -nullcline による n 軸方向のベクトル場の組み合わせにより、図7のようなベクトルの流れになっている。図を見て明らかなように、定義通りに v -nullcline 上ではベクトル場の v 軸方向成分は0となり、 n -nullcline 上ではベクトル場の n 軸方向成分が0となっている様子がわかる。系のダイナミクスはこの二つの nullcline の位置関係とそれぞれの交点の性質によってある程度推定することができる。図7においては、 n -nullcline、 v -nullcline は3つの点で交わっており、それぞれが安定な平衡点 (S)、鞍点 (T)、不安定な平衡点 (U) を形成している。安定な平衡点 (S) とは、その十分な近傍のベクトル場がその点に向かっているもの、不安定な平衡点とは逆にベクトル場がその点から離れる向きになっているものであり、鞍点とは、ある方向に対しては安定であるが、別の方向には不安定になっている平衡点である。鞍点については、この点

に向かう軌道と、この点から出発する軌道がそれぞれ安定多様体 (stable manifold)、不安定多様体 (unstable manifold) と呼ばれる (図 6)。

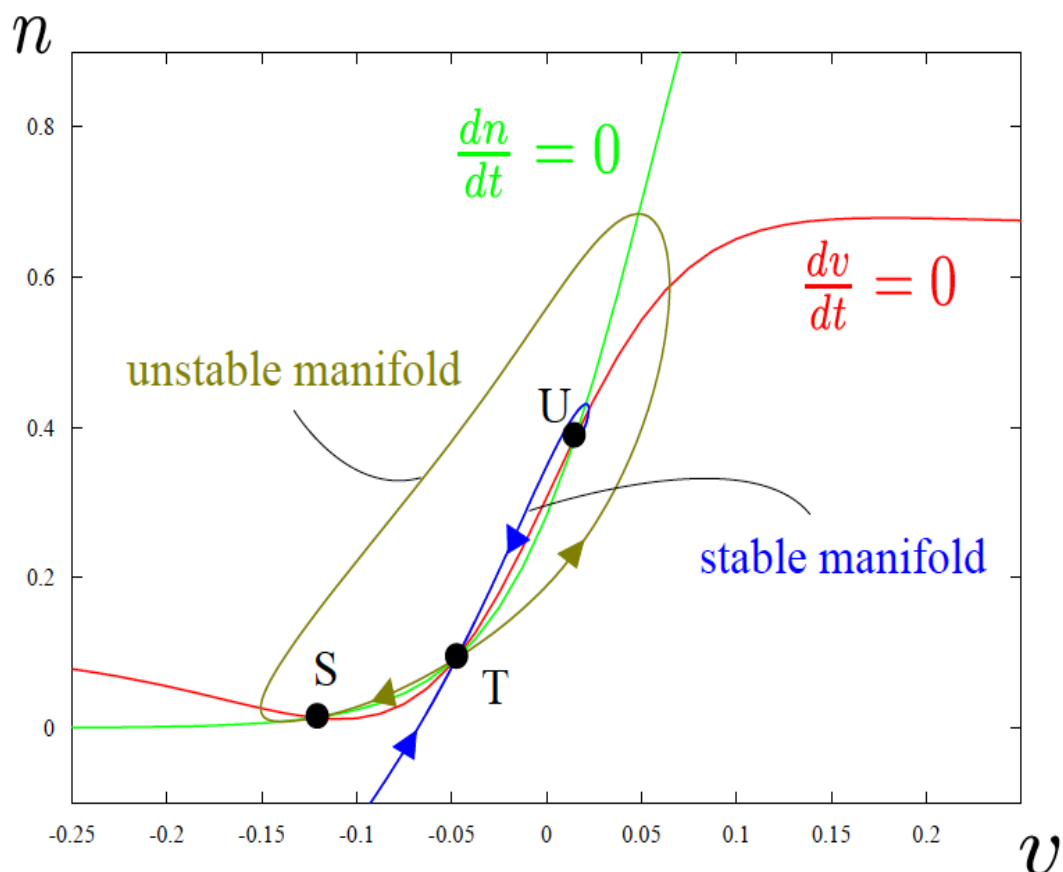


図 6: 位相平面

以下では、位相平面における状態点のダイナミクスと膜電位が示す挙動の対応に関して説明する。状態点 (v, n) は定常状態では安定平衡点 (S) に位置しており、これがニューロンの静止膜電位に相当する。外部からの刺激などによって状態点が移動したとき、どこに移動したかによって、その後の挙動が変わる。移動後の点 (v_0, n_0) が位相平面上で (T) の安定多様体の左側にある場合は多様体周辺の流れに沿って安定平衡点にもどる。一方 (v_0, n_0) が安定多様体の右側にある場合、そこにおけるベクトル場は膜電位 v が正の方向へ向かうようになっているので、不安定多様体に沿って不安定平衡点の周りを迂回するような軌道で安定平衡点へ戻っていく。この性質を利用し

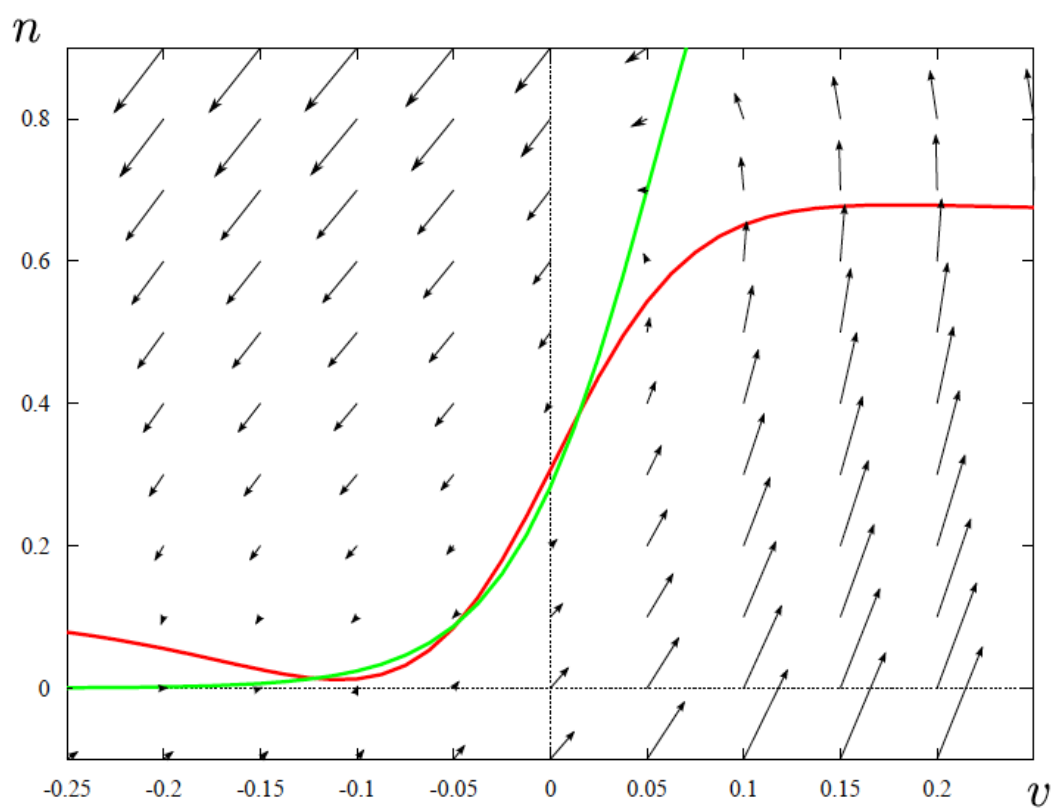


図 7: 位相平面上のベクトル場

てニューロンの発火とその閾値を再現している。

4 シリコンニューロンの実装

ここでは、シリコンニューロン回路を構成する MOSFET の基礎と各回路モジュールの特性について説明する。

4.1 MOSFET とシリコンニューロン回路

本研究ではサブスレッショルド領域で動作する MOSFET を用いたシリコンニューロンの測定を行う。以下、本稿では NMOS、PMOS をそれぞれ図 8 のように表記する。また V_g 、 V_s 、 V_d はそれぞれ、基板を基準にとった際の Gate、Source、Drain 各端子に与える電圧値とする。通常一般的なアナログ電子回路を設計する場合、MOSFET の動作領域は $V_{gs} = V_g - V_s > V_\theta$ (閾値) の飽和領域で使用する。それ以下 ($V_{gs} < V_\theta$) の領域はサブスレッショルド領域と呼ばれ、この領域では、ドレイン電流は V_{gs} に対して \exp で増加するような非線形性を持ち、この電流はサブスレッショルドリーク電流と呼ばれる。その非線形特性と動作速度の遅さから一般的にはあまり使用されないが、シリコンニューロンを動作させるのに必要な周波数は数十 kHz 程度で十分であり、サブスレッショルドで動作した際にトランジスタを流れる電流は非常に小さいため、その非線形性をうまく活用することで、省電力な回路を設計することができる。NMOS がサブスレッショルドの飽和領域 ($V_{ds} > 4U_T \simeq 100\text{mV}$) で動作した際の出力特性は次式になる。

$$I_{ds} = \frac{W}{L} I_0 e^{(\kappa V_g - V_s)/U_T} \quad (8)$$

ここで、 W 、 L はそれぞれトランジスタのゲート幅とゲート長、 I_0 は $V_{gs} = 0$ のときのドレイン電流、 κ は容量結合比、 U_T は熱電圧である。以上は NMOS の場合であり、PMOS の場合は NMOS において各端子の極性が反転したものであり、サブスレッショルドの飽和領域における出力特性は次式になる。

$$I_{ds} = \frac{W}{L} I_{p0} e^{-(\kappa V_g - V_s)/U_T} \quad (9)$$

ここで、図9に我々のシリコンニューロン回路全体のブロック図を示す。式(2)、式(3)はそれぞれが図10の差動対回路と、後述する電流モード積分器の組み合わせで実装され、その出力は電流として細胞膜キャパシタ C_v に流れ込む。各モジュールから出力された電流が細胞膜キャパシタに流れ込むことで、式(1)が実現される仕組みとなっている。ここで n モジュールと q モジュールからの電流はそれぞれ独立にその経路を半導体スイッチによって遮断できるようになっている。このスイッチにより2変数 v と n だけで構成される系を作ることも可能である。以降、 q モジュールからの電流を遮断した場合を2変数モード、すべてのモジュールをオンにした場合を3変数モードと呼ぶことにする。

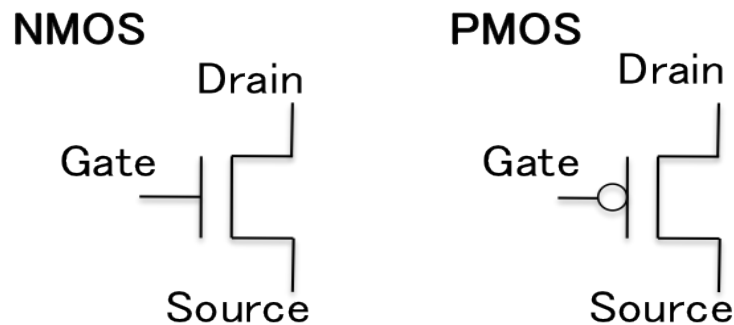


図 8: NMOS と PMOS の模式図

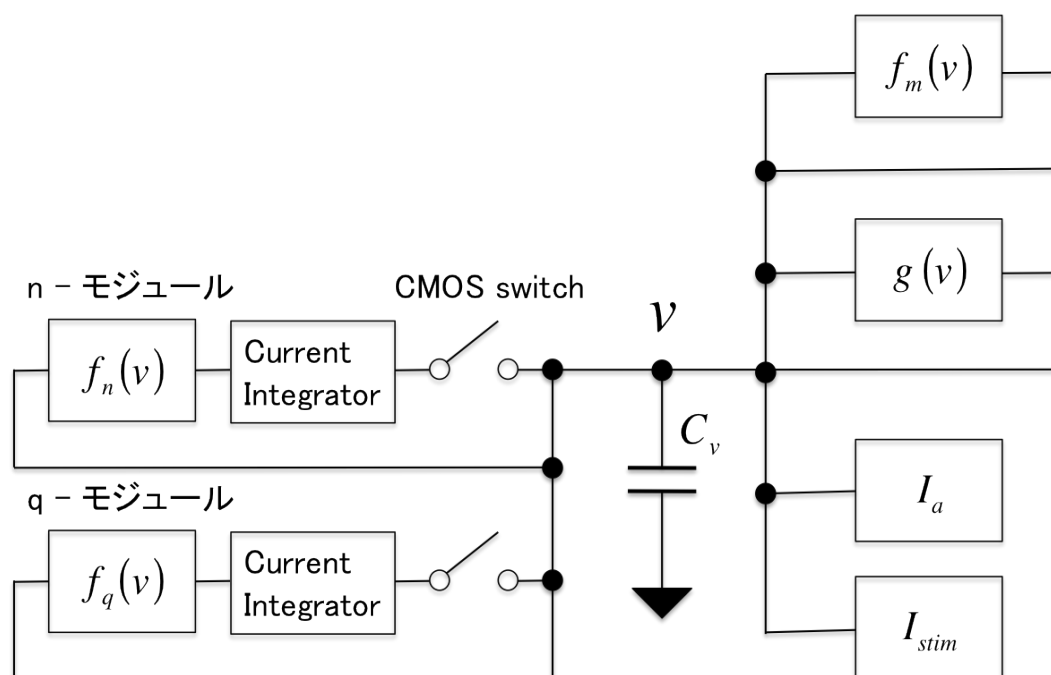


図 9: シリコンニューロン回路のブロック図

4.2 シリコンニューロンの基本構成回路

式 (4)、式 (5) の $f_x(v)$ と $g(v)$ はそれぞれ図 10、11 に示される回路の電流出力として実現することができる。以下ではその導出過程について簡単に述べる。図 10 はサブスレッショルド領域で動作する差動対回路であり、トランジスタ M_3 を流れる電流 M_x は、 M_1 、 M_2 を流れる電流 I_1 、 I_2 の和であるから、式 (8) を用いて次のようにならわされる。

$$M_x = I_1 + I_2 \quad (10)$$

$$= I_0 e^{(\kappa v - V_s)/U_T} + I_0 e^{(\kappa \delta_x - V_s)/U_T} \quad (11)$$

$$= I_0 e^{-V_s/U_T} (e^{\kappa v/U_T} + e^{\kappa \delta_x/U_T}) \quad (12)$$

出力電流 $f_x(v)$ はカレントミラーにより、電流 I_1 と等しくなるため、式 (12) と I_1 の式を用いて、

$$f_x(v) = I_1 = M_x \frac{e^{\kappa v/U_T}}{e^{\kappa v/U_T} + e^{\kappa \delta_x/U_T}} \quad (13)$$

$$= M_x \frac{1}{1 + e^{\kappa/U_T(v - \delta_x)}} \quad (14)$$

となり、式 (4) が導かれる。図 12 は図 10 の回路動作を SPICE によるシミュレーションで確かめたものである。入力 $v - \delta_x$ を -200mV から 200mV まで変化させたときの出力電流 $f_x(v)$ を縦軸にとり、 V_M の値を 20mV 間隔で変化させたグラフをそれぞれ描写した。図 11 は同じくサブスレッショルド領域で動作するトランスコンダクタアンプであり、外部からの入力電圧を電流に変換する V-I 変換回路としても用いている。また source-degeneration により、ダイオード接続のトランジスタ M_6 、 M_7 が無かった場合の回路図 15 に比べて差動対入力の変化に対する出力が緩やかになる (図 13)。

外部刺激入力 I_{stim} は、図 13 の回路を用いて外部からの電圧入力 V_{stim} を VLSI 内部で電流に変換している。実験における刺激入力は V_{stim} を用いて表記する。

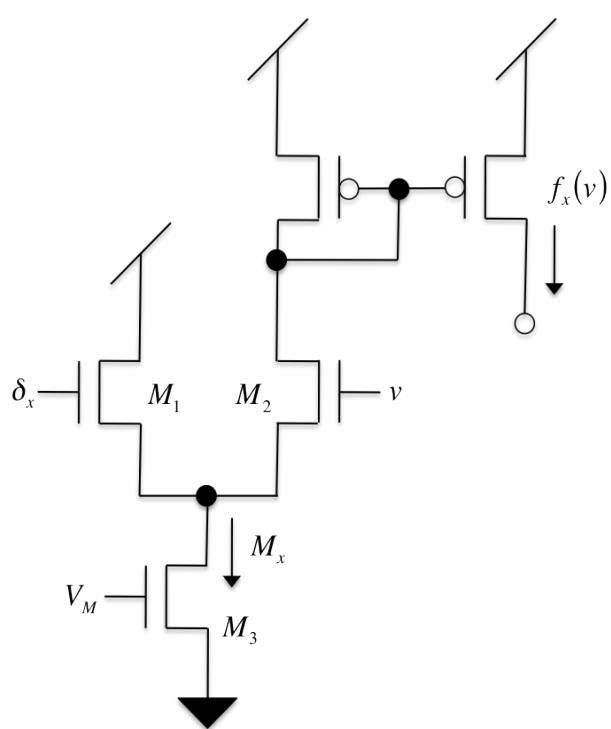


图 10: $f(v)$ 出力回路

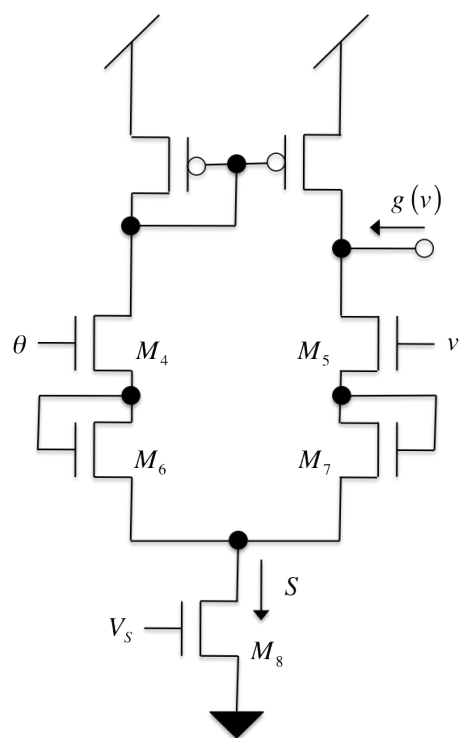


图 11: $g(v)$ 出力回路、V-I 变换回路

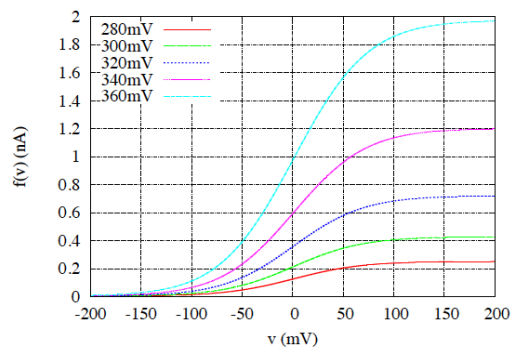


図 12: $f(v)$ 回路の出力特性

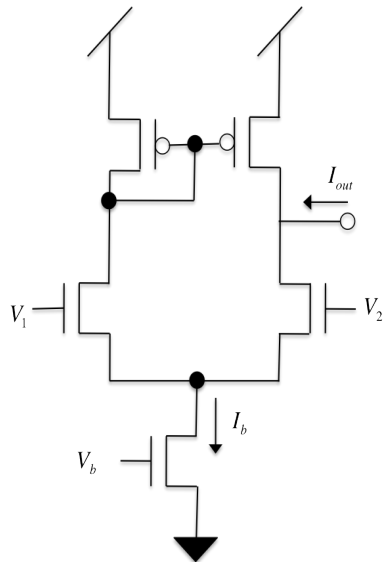


図 14: source-degenerate されていない $g(v)$ 回路

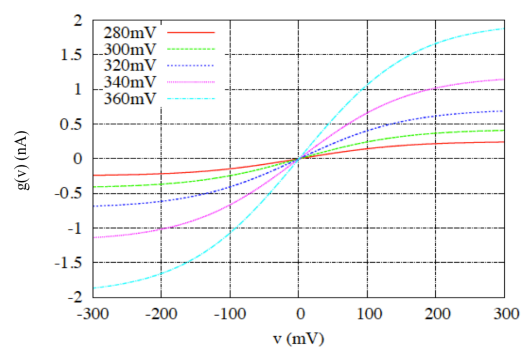


図 13: $g(v)$ 回路の出力特性

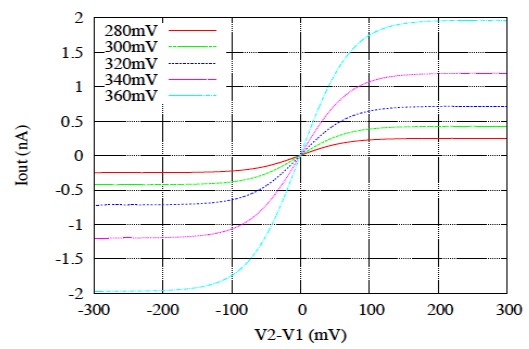


図 15: source-degenerate されていない $g(v)$ 回路の出力特性

4.3 電流モード積分器

図 16 は式 (2)、式 (3) の微分方程式を解くためのサブスレッショルド領域で動作する電流モード積分器の回路図である。この回路は出力電流 I_{out} が電流入力 I_{in} との差分に応じた速度で変化する。以下、電流モード積分器の動作について述べる。まず、 I_τ はトランジスタ M_3 を流れるので、

$$I_\tau = I_0 e^{(\kappa V_y - V_c)/U_T} \quad (15)$$

と表すことができる。また、 M_4 を流れる出力電流 I_{out} は式 (15) を用いて、

$$I_{out} = I_0 e^{(\kappa V_y - V_0)/U_T} \quad (16)$$

$$= I_0 e^{(\kappa V_y - V_c + V_c - V_0)/U_T} \quad (17)$$

$$= I_\tau e^{(V_c - V_0)/U_T} \quad (18)$$

一方、入力電流 I_{in} は M_1 に関する式 (19) で表すことができる。

$$I_{in} = I_0 e^{(\kappa V_x - V_0)/U_T} \quad (19)$$

これにより、 M_2 を流れる電流 I_x は

$$I_x = I_0 e^{(\kappa V_x - V_c)/U_T} \quad (20)$$

$$= I_0 e^{(\kappa V_x - V_0 + V_0 - V_c)/U_T} \quad (21)$$

$$= I_{in} e^{(V_c - V_0)/U_T} \quad (22)$$

と表すことができる。ここで、キャパシタ C にかかる電圧 V_c とそれに流れ込む電流との関係式は

$$C \frac{dV_c}{dt} = I_x + I_\tau - 2I_\tau = I_x - I_\tau \quad (23)$$

式 (23) に式 (18)、(22) を代入することにより、

$$C \frac{dV_c}{dt} = I_{in} e^{(V_c - V_0)/U_T} - I_{out} e^{(V_c - V_0)/U_T} \quad (24)$$

$$= e^{(V_c - V_0)/U_T} (I_{in} - I_{out}) \quad (25)$$

式 (18) の両辺を微分して式 (25) を代入すると

$$\frac{dI_{out}}{dt} = I_{\tau} e^{(V_c - V_0)/U_T} \frac{1}{U_T} \frac{dV_c}{dt} \quad (26)$$

$$= \frac{I_{\tau}}{CU_T} (I_{in} - I_{out}) \quad (27)$$

となる。

ここで、

$$I_{in} = f_x(v) \quad (28)$$

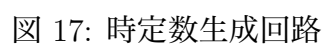
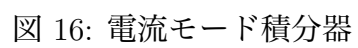
$$I_{out} = x \quad (29)$$

$$\frac{I_{\tau}}{CU_T} = \frac{1}{T_x} \quad (30)$$

とすれば、式 (2)、式 (3) の演算が可能になる（ただし、 $x = n, q$ ）。時定数を決める電流 I_{τ} は図 17 に示す差動対回路で生成される。

4.4 参照電圧回路

電流モード積分器では電流 $2I_{\tau}$ が常に流れるためには、キャパシタの電位を M_5 、 M_6 のトランジスタが常に飽和領域で動作するような値に保つ必要がある。図 18 は、 V_0 を生成するためのサブスレッショルド領域で動作する参照電圧源回路である。図の左側に示した参照電圧生成回路における、 M_1 、 M_2 のトランジスタはダイオード接続になっており、それにより順方向電流を流すためのオフセット電圧 V_1 が生じる。 V_1 によって M_3 のトランジスタが電流 I_1 を生成し、それが M_4 に流れることで参照電圧 V'_0 が生成される。参照電圧 V'_0 はバッファを介して回路内の各モジュールに設置された定電圧源回路（図 18 右側）にコピーされ、電流 I_0 が生成される。 I_0 はトランジスタ M_5 、 M_6 を流れるため、それによって、 V_0 が決定される。ここで、仮に V_0 が接続先の影響で下がろうとすると、 I_0 が減ることになるため、 V_2 が上がろうとする。 V_2 の上昇は V_0 の上昇を促すため、結果として出力電圧 V_0 は安定することになる。



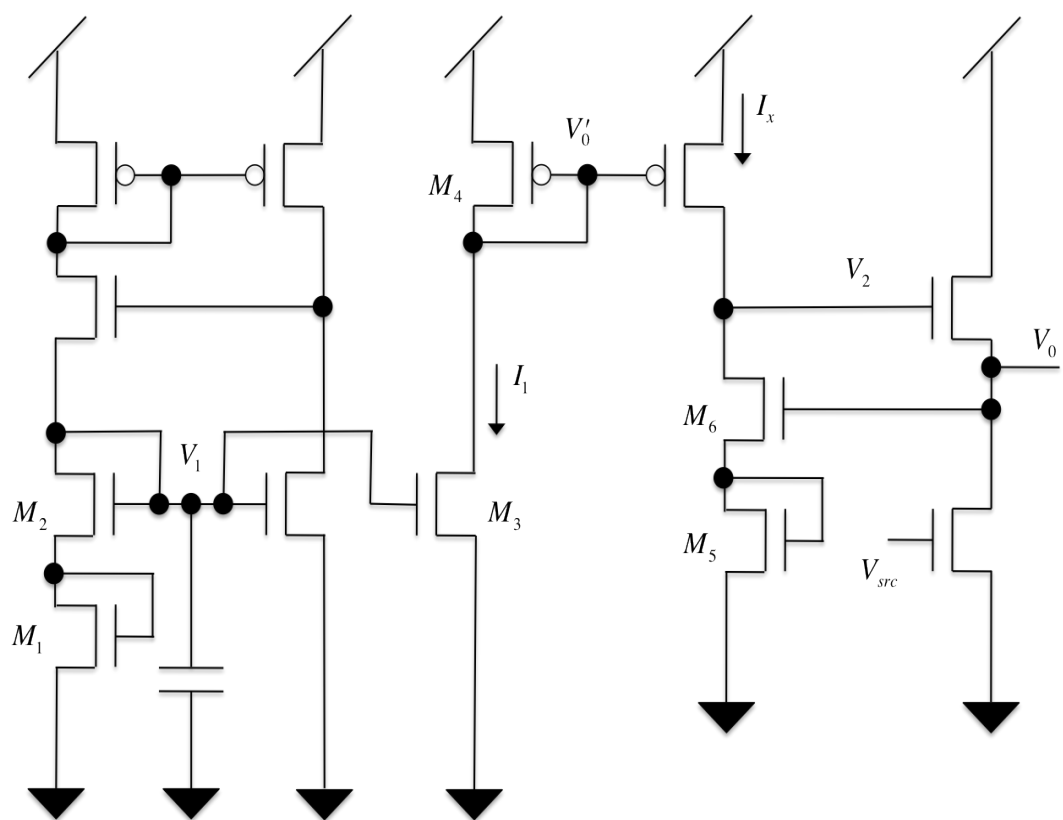


图 18: 参照电压回路

4.5 Voltage Clamp 回路

我々のシリコンニューロンは数理構造をベースに設計されているため、各バイアスパラメータを決定する際に位相平面を利用することで、ある程度の戦略性をもってパラメータの調整をすることが可能である。実際にシリコンニューロンの出力から位相平面を描写するためには、膜電位を所望の電圧に設定し、各モジュールの定常電流を測定できるような装置が必要である。これは神経細胞の電気生理学実験における Voltage Clamp 装置と同じ働きをするため、以下では Voltage Clamp 回路と呼ぶ。図 19 に我々のシリコンニューロンチップに内蔵した Voltage Clamp 回路の回路図を示す。以下では、 v -nullcline と n -nullcline の描写方法について説明する。まず、 n モジュールと q モジュールから細胞膜キャパシタ C への出力経路を MOSFET スイッチによって遮断し、式 (1) から n -モジュール、 q -モジュール を取り除く。つぎに、 v_0 に固定したい電圧値を与える。すると、 v_0 は Voltage Clamp 回路によって構成されるオペアンプのユニティゲインバッファ接続の入力に相当するため、その出力 $v = v_0$ となるように、Voltage Clamp 回路は電流を吸い込む（または吐き出す）。すなわち、Voltage Clamp 回路の出力電流を $-I_{out}$ とすれば、式 (1) より、

$$C_v \frac{dv}{dt} = f_m(v) - g(v) + I_a + I_{stim} - I_{out} = 0 \quad (31)$$

であるから、

$$I_{out} = f_m(v) - g(v) + I_a + I_{stim} \quad (32)$$

となり、 $I_{out} = n$ であるとみなせば膜電位 v における v -nullcline は、 I_{out} を見ればよいことが分かる。従って、 I_{out} を Voltage Clamp 回路内部でコピーし、それを出力として測定することで v -nullcline を描出することができる。また n -nullcline は膜電位が各値のときの定常状態における n モジュールからの出力をカレントミラーを用いてコピーして測定することで、 $\frac{dn}{dt} = 0$ のときの n 、すなわち n -nullcline を描出することができる。

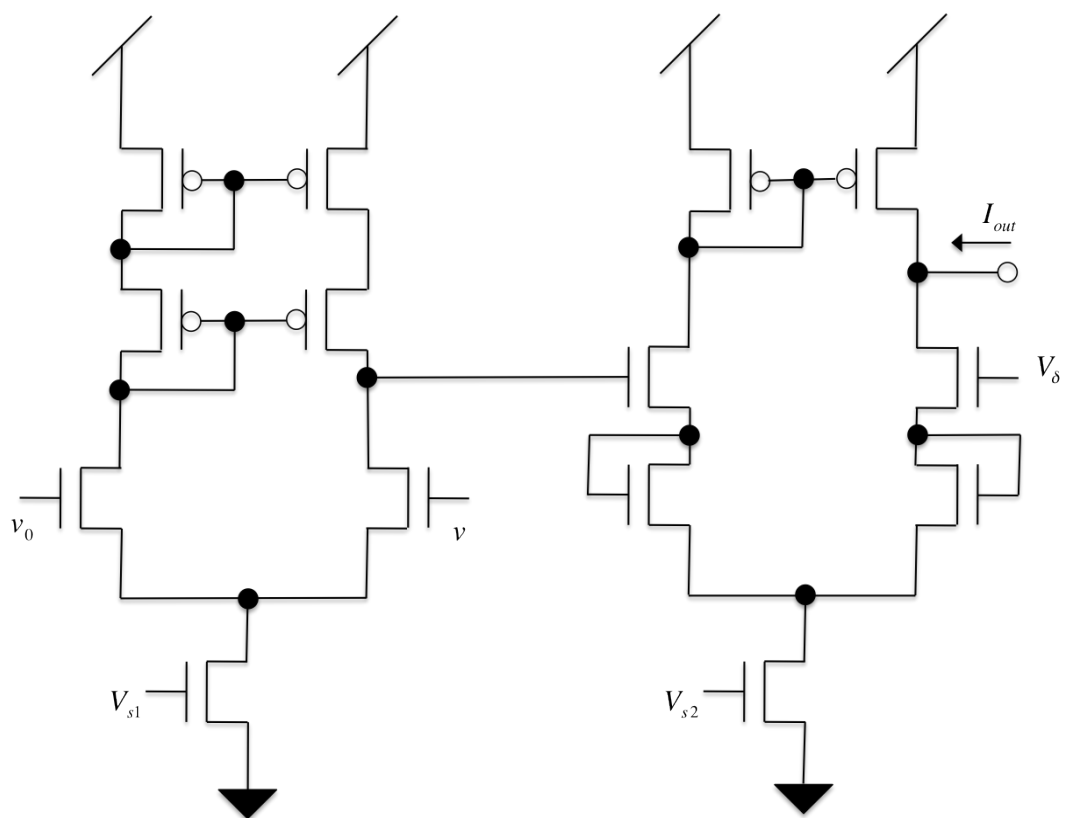


图 19: Voltage Clamp 回路

5 シリコンニューロン駆動システム

シリコンニューロン回路の動作には、64 チャンネルのパラメータ電圧を適切に設定する必要がある。従来、我々のシリコンニューロン回路の駆動には、その特性の精度評価も兼ねて、大規模かつ高精度な計測器システムを採用していた。しかしシリコンニューロンは神経系と同様に複数のシリコンニューロンを用いてネットワークとして動作することが、将来的に必要である。この際、大規模な計測器を用いることは現実的でない。そこで本研究では、シリコンニューロン回路の動作に必要な十分の精度を持ち、コンパクトで単体動作することのできるシステムを開発した。

5.1 従来のシステム

従来、シリコンニューロン回路の動作に採用していたシステムは PC のソフトウェアにより 16 ビット、8 チャンネル、電流のドライブ能力が 5mA/Ch の DAC を 8 ユニット制御して、シリコンニューロンに必要なパラメータ電圧を生成、供給していた（図 20）。シリコンニューロンの実験ボード自体は図のように A4 サイズとなっている。またこのシステムの外観を図 21 に示す。

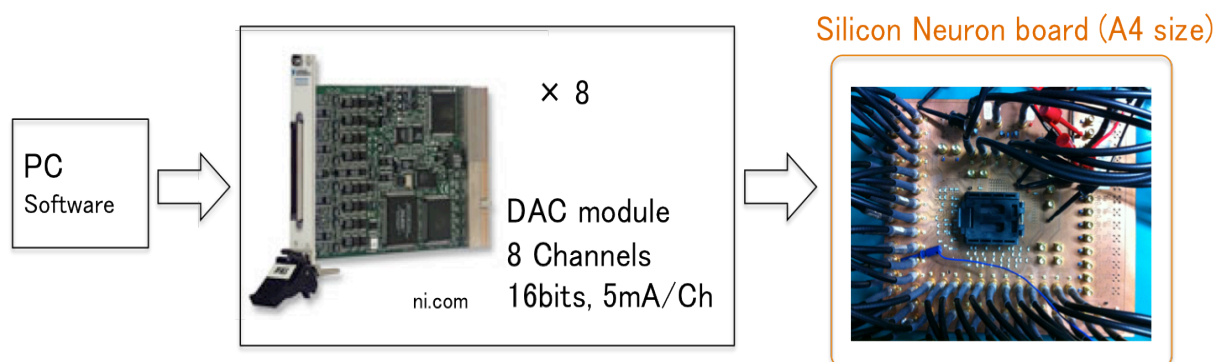


図 20: 従来のシリコンニューロンシステムのブロック図

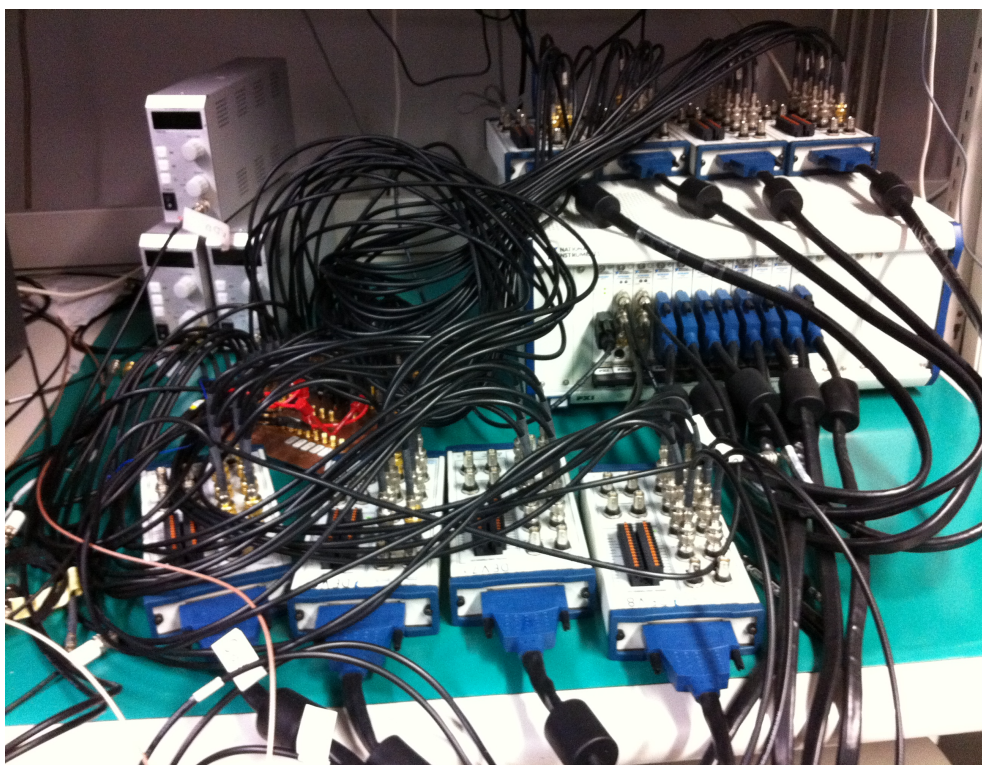


図 21: 従来のシリコンニューロンシステム

5.2 プログラマブルシリコンニューロンシステムの構築

従来のシステムに対して、本研究ではマイコン、DAC を A4 の実験ボード内に搭載し、シリコンニューロンチップをオンボードで 14 ビットの精度で駆動できる小規模なシステムを構築した。使用している DAC は 16 チャンネルで電流のドライブ能力が 0.25mA/Ch のものを 4 チップ使用しており、従来のシステムに比べて省電力となっている。このシステムをプログラマブルシリコンニューロンシステムと呼ぶことにする。本システムのブロック図と外観を図 22、23 に示す。

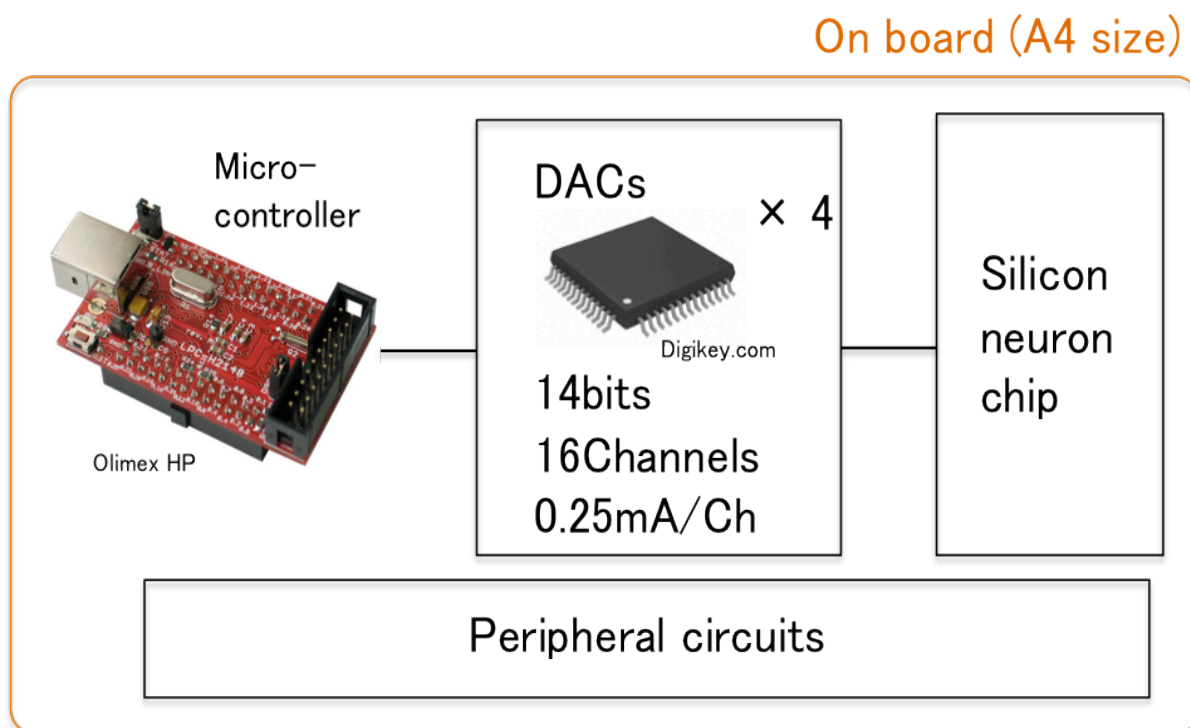


図 22: プログラマブルシリコンニューロンシステムのブロック図

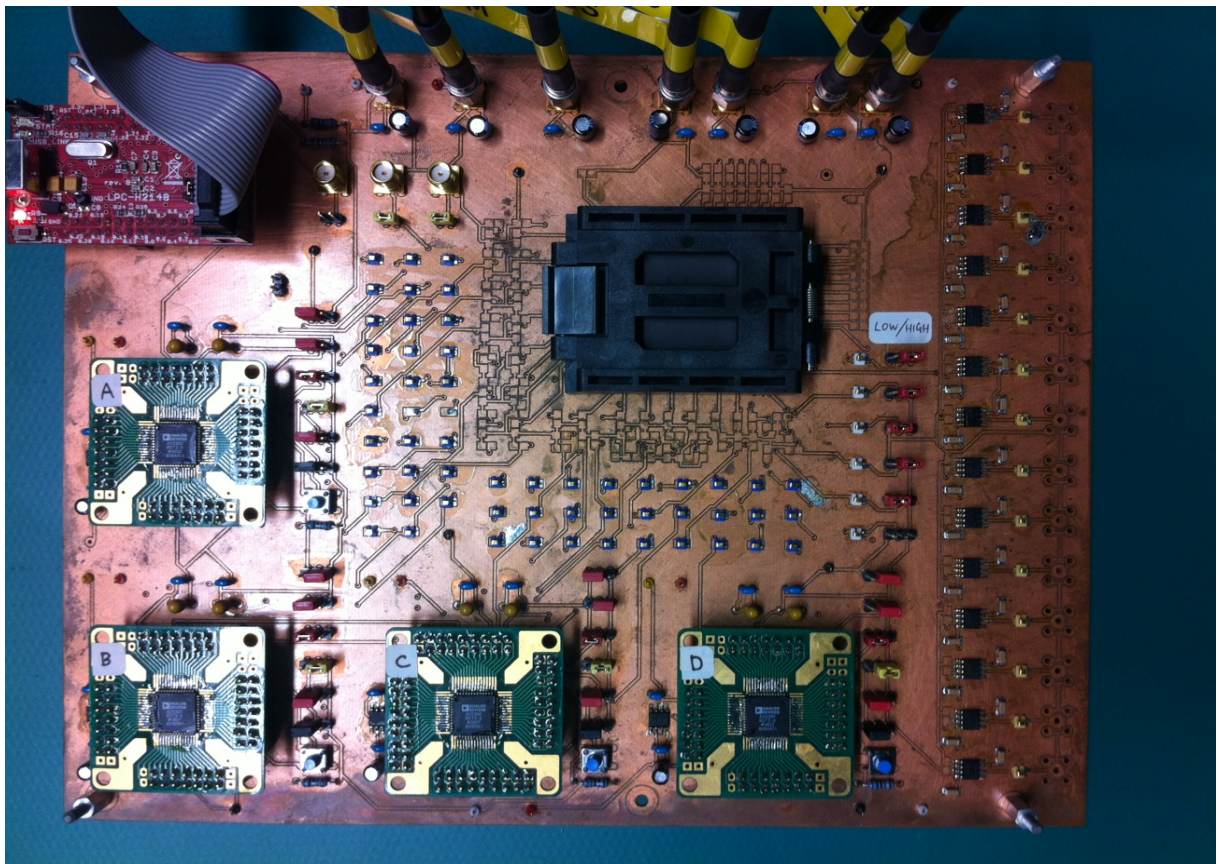


図 23: プログラマブルシリコンニューロンシステム (A4 size)

6 シリコンニューロン回路の2変数モード動作実験

ここでは上記のプログラマブルシリコンニューロンシステムを用いて、シリコンニューロン回路を2変数モードで動作させ、2.4節で示したニューロンの性質の実現とClass Iニューロン、Class IIニューロンとして動作することを確認する。またシリコンニューロン回路はアナログ電子回路で実装されるため、デバイスごとにばらつきが生じてしまうという欠点を持つことについても言及する。

6.1 シリコンニューロン回路のばらつき

アナログCMOSプロセスで設計されているシリコンニューロンはデバイスごとに個体差が生じてしまう。シリコンニューロン回路にパラメータ電圧を供給する際にはこの個体差を考慮して、各々のシリコンニューロンごとにパラメータを設定する必要がある。つまり、あるシリコンニューロンで適切に動作したパラメータ設定が他のシリコンニューロンでは通用するとは限らないということである。そのため、この個体差がどの程度のものか、どれ程のばらつきを持つのか、を把握することは今後、複数のシリコンニューロンを扱う際に重要となってくる。そこでシリコンニューロン動作において信号出力の要となるV-I変換回路の出力するシグモイド曲線のシリコンニューロンチップごとのばらつきを調べた(図24)。図の曲線を見ると、各々が大きくばらついている様子が見られる。このV-I変換回路は $V_{in} - V_{\theta} = 0$ 近傍の線形性を保つ区間の傾きを利用しV-I変換を行っている。この傾きをバイアス電流の変化により調節しているため、原点からズレがなく、原点対象のシグモイド曲線が理想的である。本研究の実験では、測定を容易とするため、ズレが少なく対称性の高いチップを用いた。

Sigmoidal Curve (15 samples)

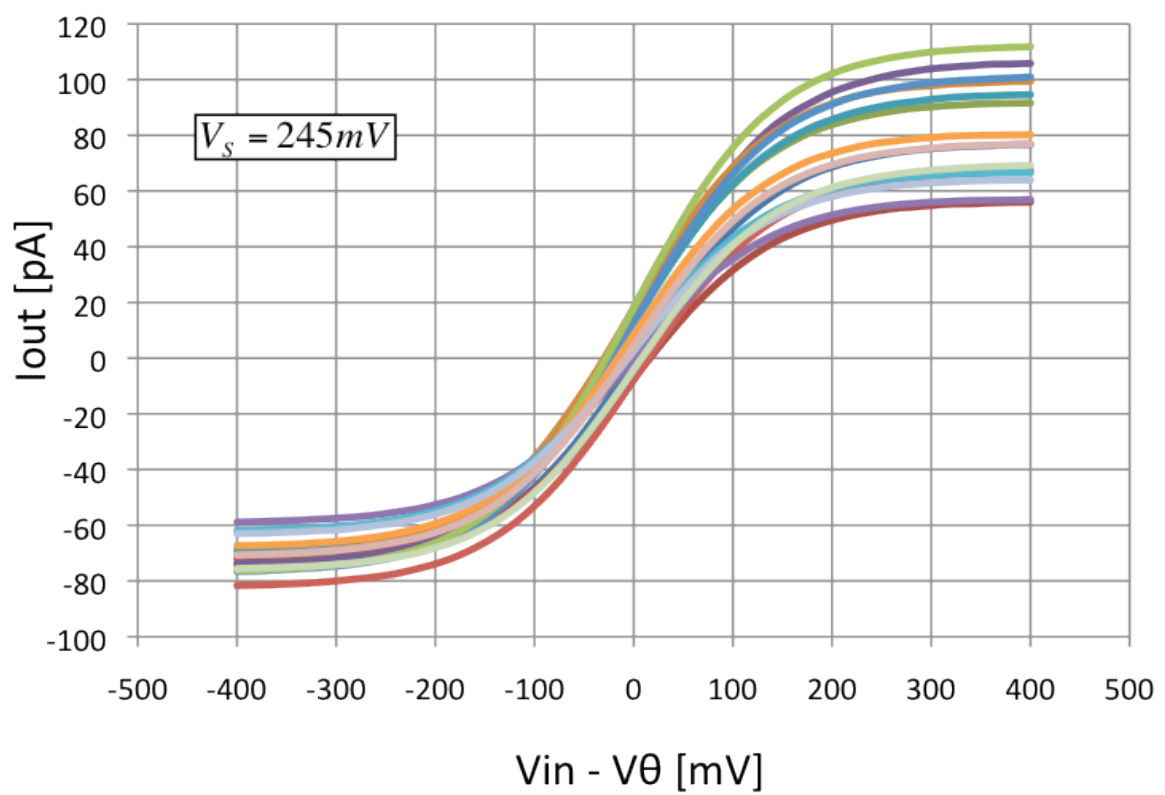


図 24: チップごとの V-I 変換回路出力のばらつき

6.2 Class I ニューロンの実現

2変数モードでシリコンニューロンを動作させ、位相平面上の2つのナルクラインの位置関係をパラメータ調整により適切に調節することで Class I ニューロン、Class II ニューロンの発火特性の実現が可能である。Voltage Clamp 回路を用いて v -及び n -nullcline を実験的に描出しながらパラメータ電圧を調整し、Class I ニューロンを実現することのできるナルクラインの形状を得た (図 25、26)。図 25 は $V_{stim} = 0$ の場合の位相平面であり、膜電位は -60mV 付近に留まっている。これが静止膜電位である。図 26 は $V_{stim} = 10\text{mV}$ の場合の位相平面であり、図 25 に比べて v -nullcline が上昇し、安定平衡点は消失して安定リミットサイクルが発生、この軌道が周期発火に対応する。この非線形な状態遷移はサドルノード分岐と呼ばれる (図 31)。

また定常刺激電流を徐々に大きくしたときの発火の様子を時系列データとして、図 27～30 に示す。 $V_{stim} = 3\text{mV}$ から 4mV に変化させたときに発火し始める様子が見られる。位相平面ではこのとき V_{stim} の上昇に伴って安定平衡点と鞍点とが近づき、同時に消失する瞬間に相当する。また図 29、30 から刺激強度を上げると発火周期が短くなり、周波数が上昇することがわかる。

Class I は限りなく零に近い周波数で発火し始め、周波数は単調に増加する、という特徴がある。そこで、Class I の発火の周波数特性を調べた (図 32)。図から、 $V_{stim} = 4\text{mV}$ 付近から非常に低い発火周波数で始まり、その後、単調増加する様子が確認できる。

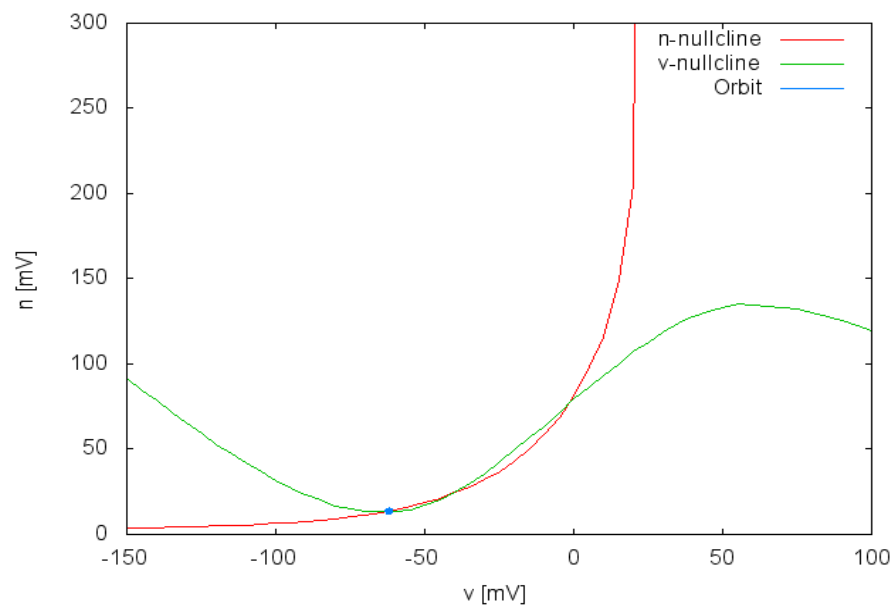


図 25: Class I ニューロンの位相平面（静止状態）

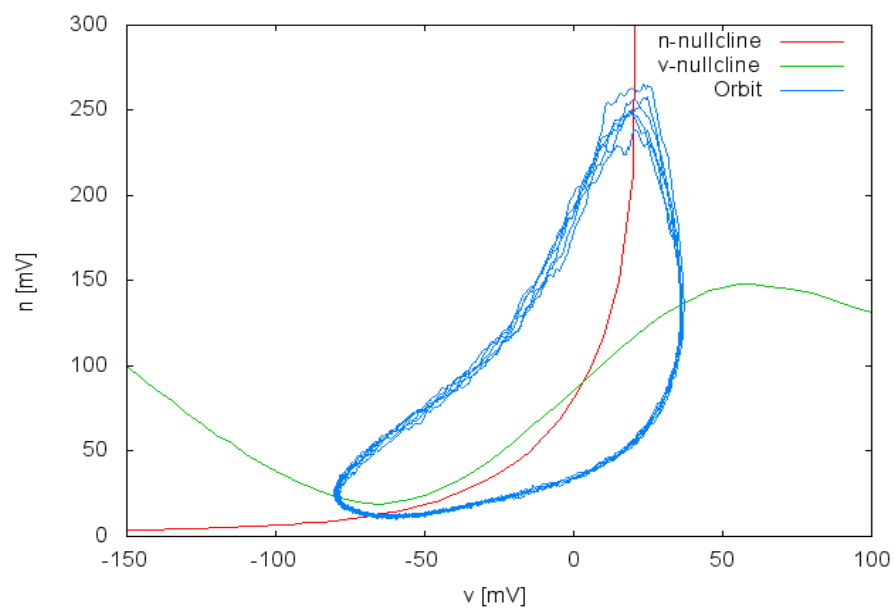


図 26: Class I ニューロンの位相平面（発火状態）

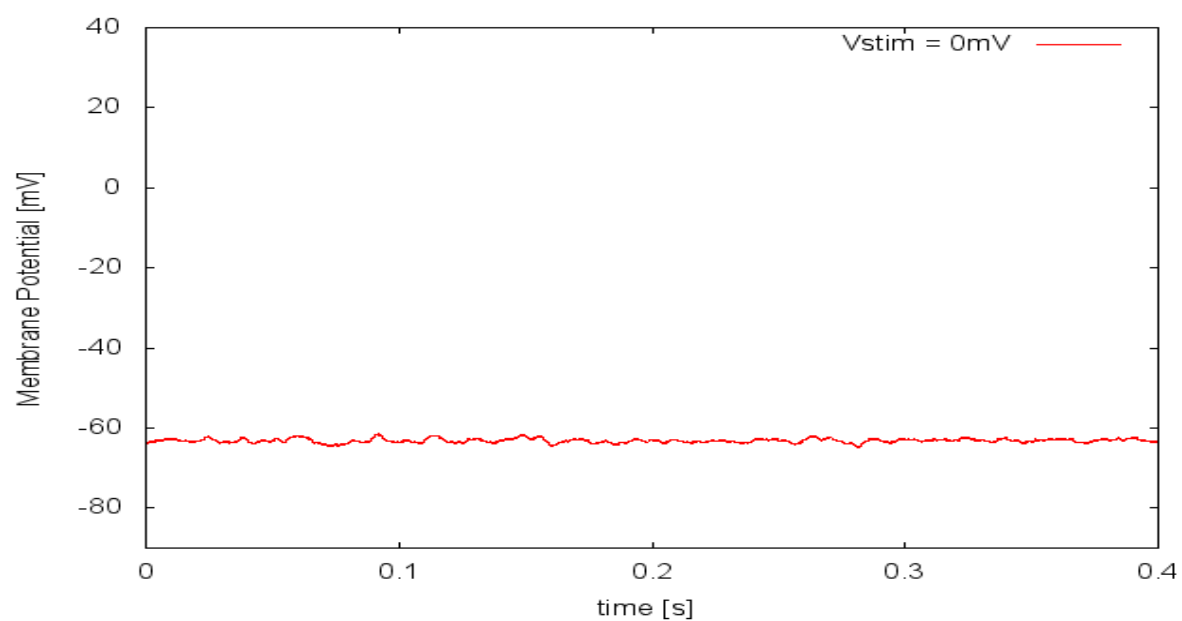


図 27: Class I ニューロンの発火の様子 ($V_{\text{stim}} = 0\text{mV}$)

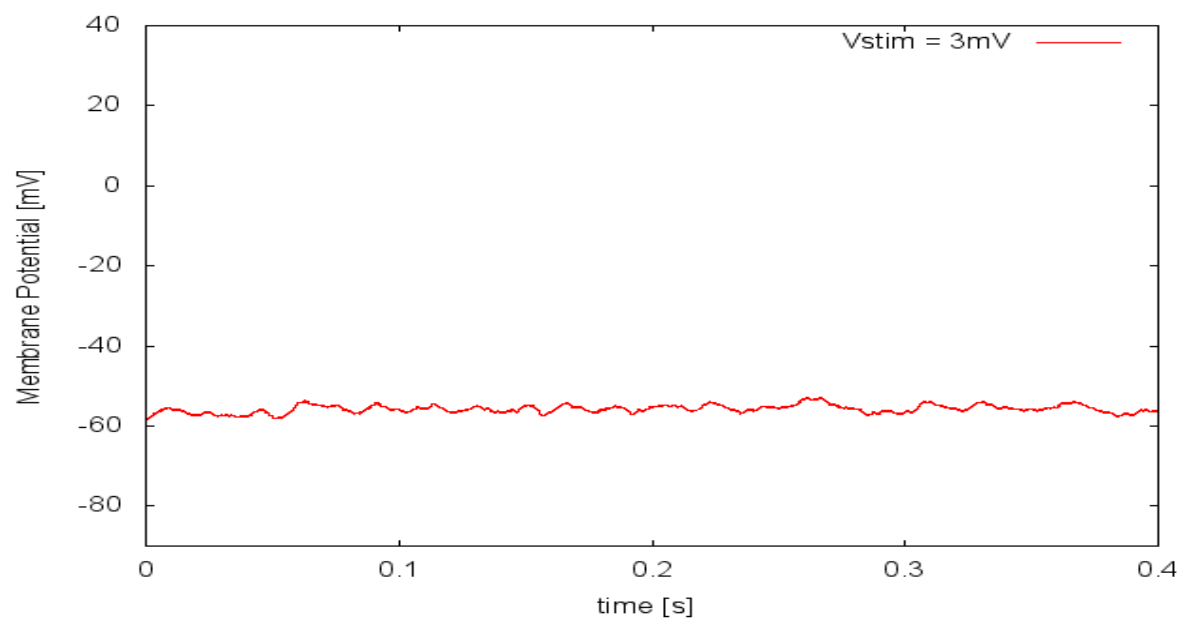


図 28: Class I ニューロンの発火の様子 ($V_{\text{stim}} = 3\text{mV}$)

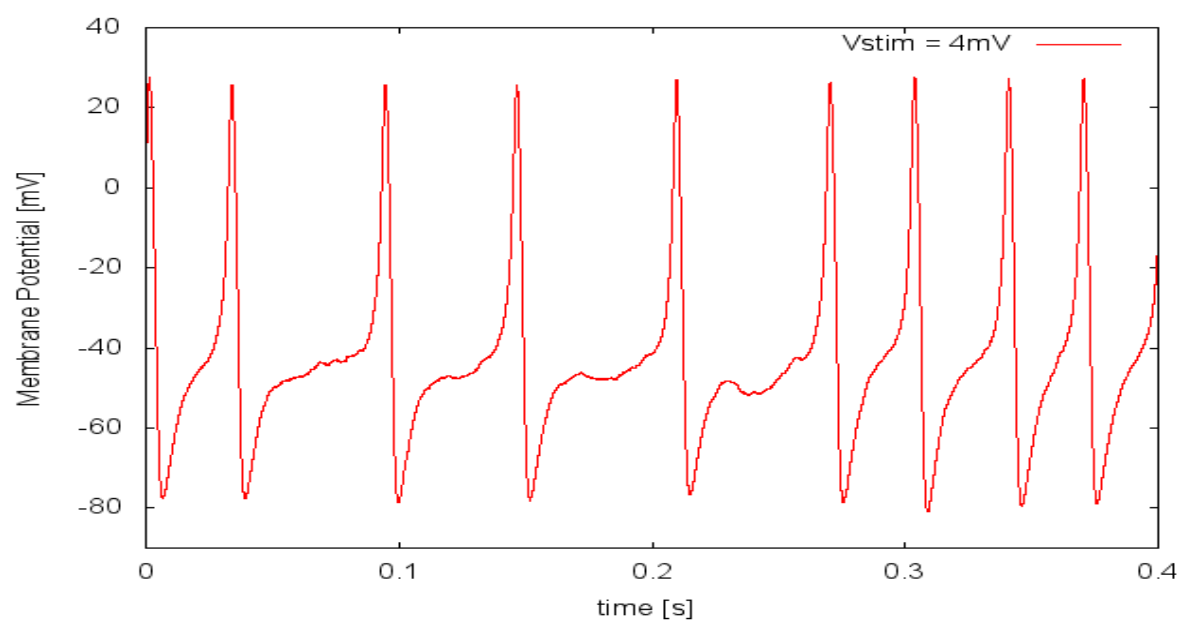


図 29: Class I ニューロンの発火の様子 ($V_{\text{stim}} = 4\text{mV}$)

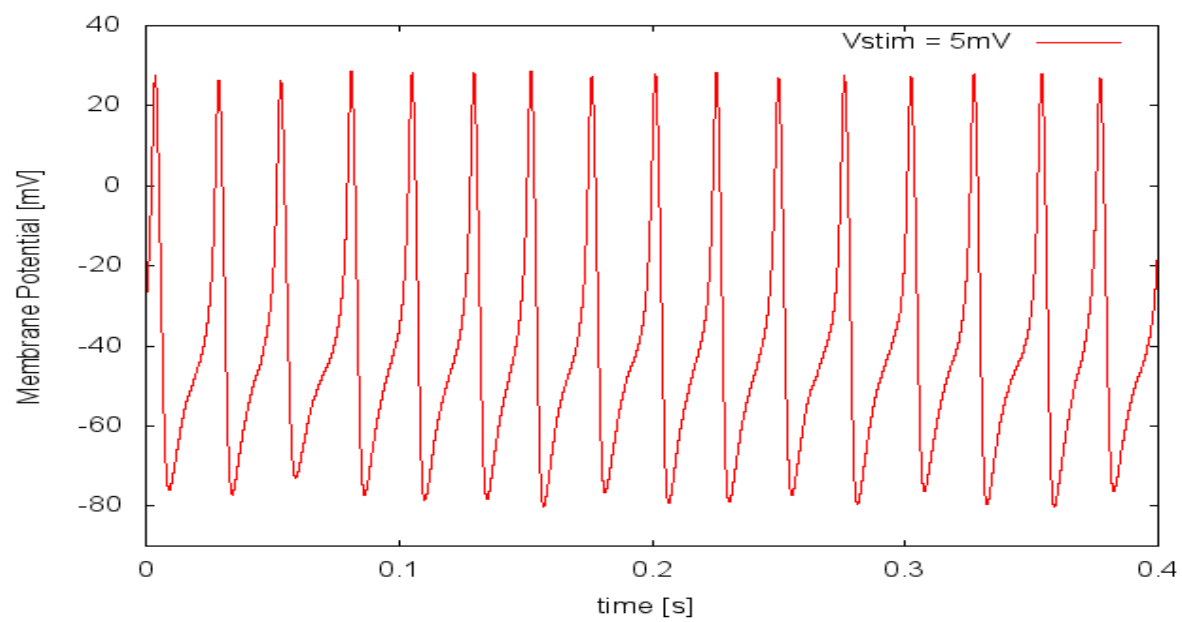


図 30: Class I ニューロンの発火の様子 ($V_{\text{stim}} = 5\text{mV}$)

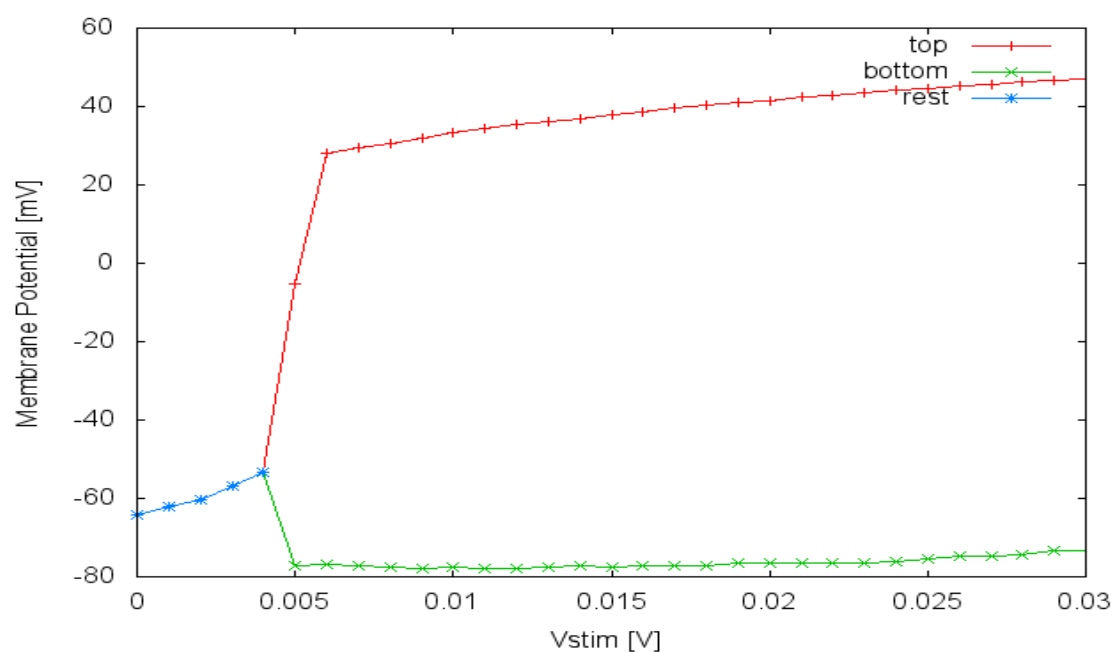


図 31: Class I ニューロンの分岐図

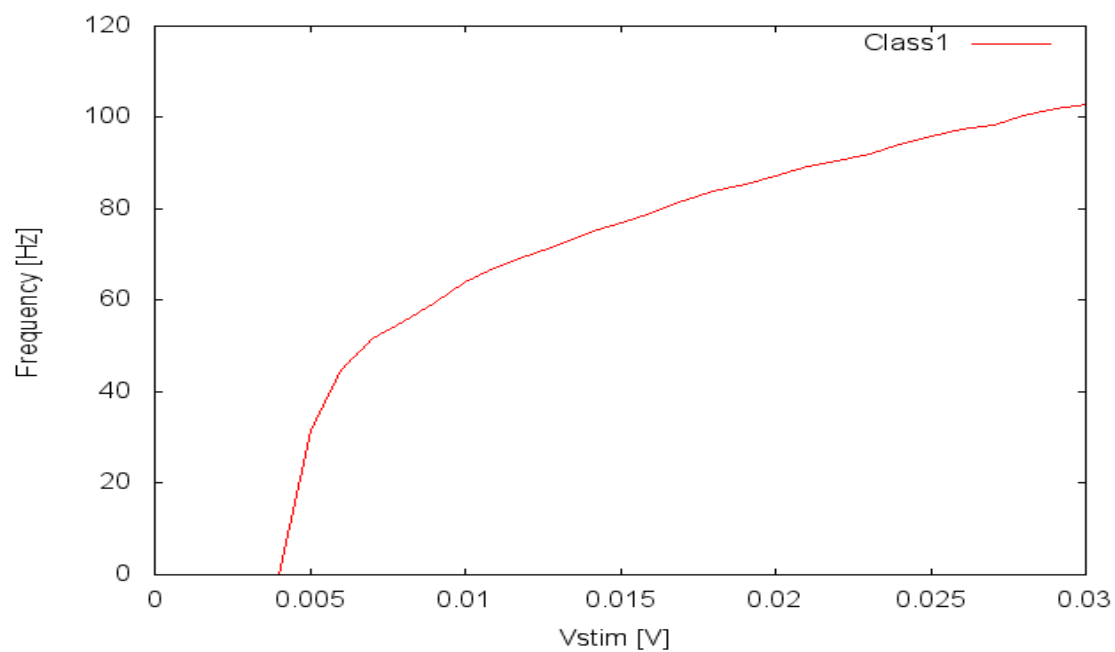


図 32: Class I ニューロンの周波数特性

6.3 膜電位のパルス応答 (Class I)

Class I のパラメータのまま、定常刺激電流ではなくパルス刺激を与えることで、膜電位の挙動がどのように変化するかを調べた。パルス刺激の入力時間幅は 1ms に固定し、刺激入力回路の入力電圧を変化させることで、膜電位の応答を調べる。刺激電圧の値は 20mV から 50mV まで変化させて測定した。

単一パルスの入力刺激を変化させたときの膜電位の時間応答の様子を図 33 に示す。これにより、パルス入力に対して本回路がオーバーシュートを生成し、その閾値が約 -50mV であることが示された。

単一パルス入力応答と同様に Class I のパラメータのまま、不応性を確かめる為に、間隔を空けて 2 度パルスを入力したときの膜電位の応答を調べた。2 つのパルス幅は 1ms、最初に入力するパルス刺激強度は 40mV に固定、また 2 つのパルスの時間間隔は 14ms とした。この状態で 2 度目のパルス強度を 40mV から 80mV まで変化させ、測定した。

2 連パルスの入力刺激を変化させたときの膜電位の時間応答の様子を図 34 に示す。両方のパルス入力強度が 40mV のとき、1 度目に対してはオーバーシュートが発生しているのに対し、2 度目に対しては発生していない。また、1 度目に対するオーバーシュートと同等のオーバーシュートを得るには 2 度目のパルス入力を 60mV 程度まで上げなければならないことがわかる。これらにより、本回路に不応性が存在することが示された。

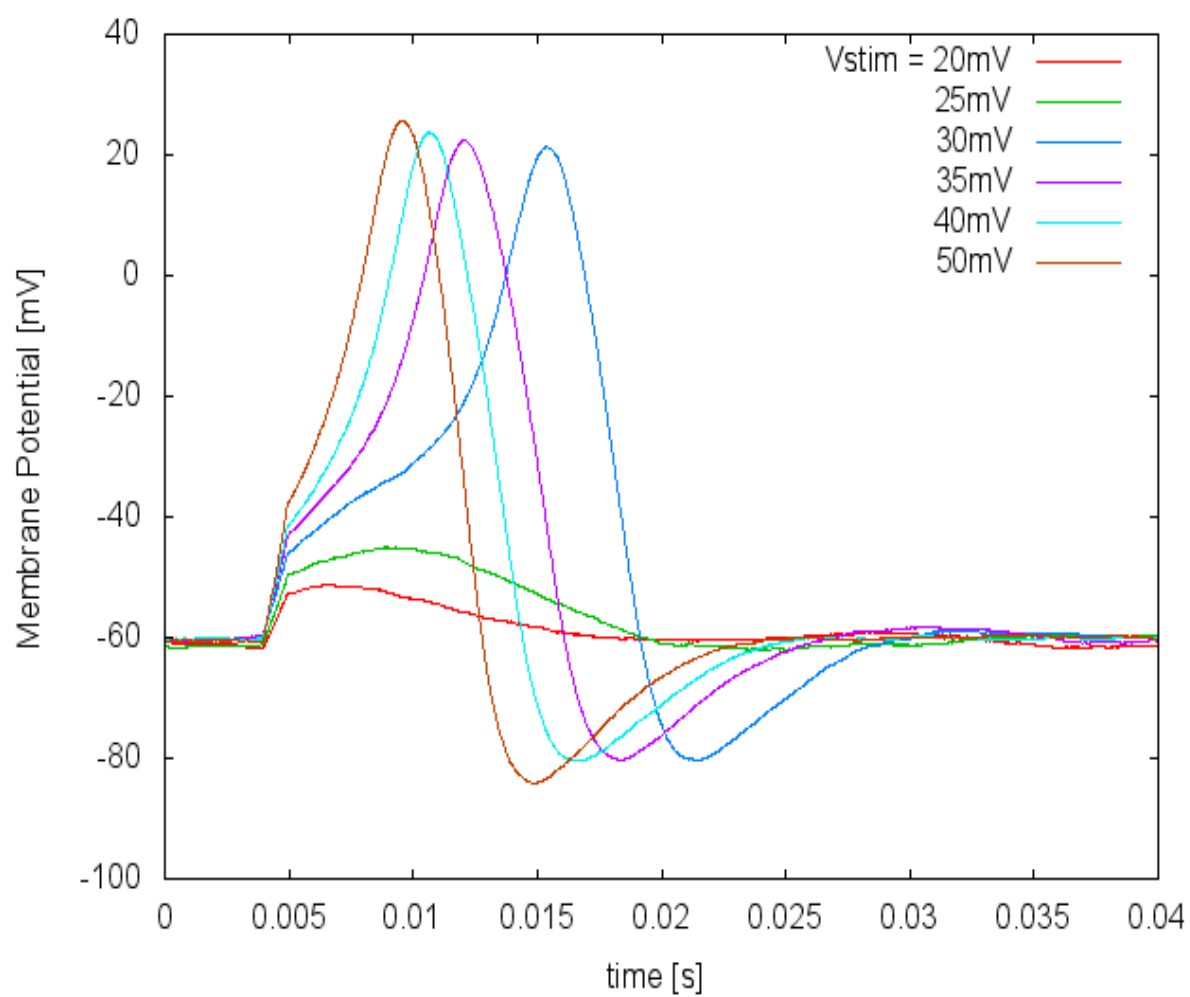


図 33: 単一パルス入力に対する膜電位の応答特性 (Class I)

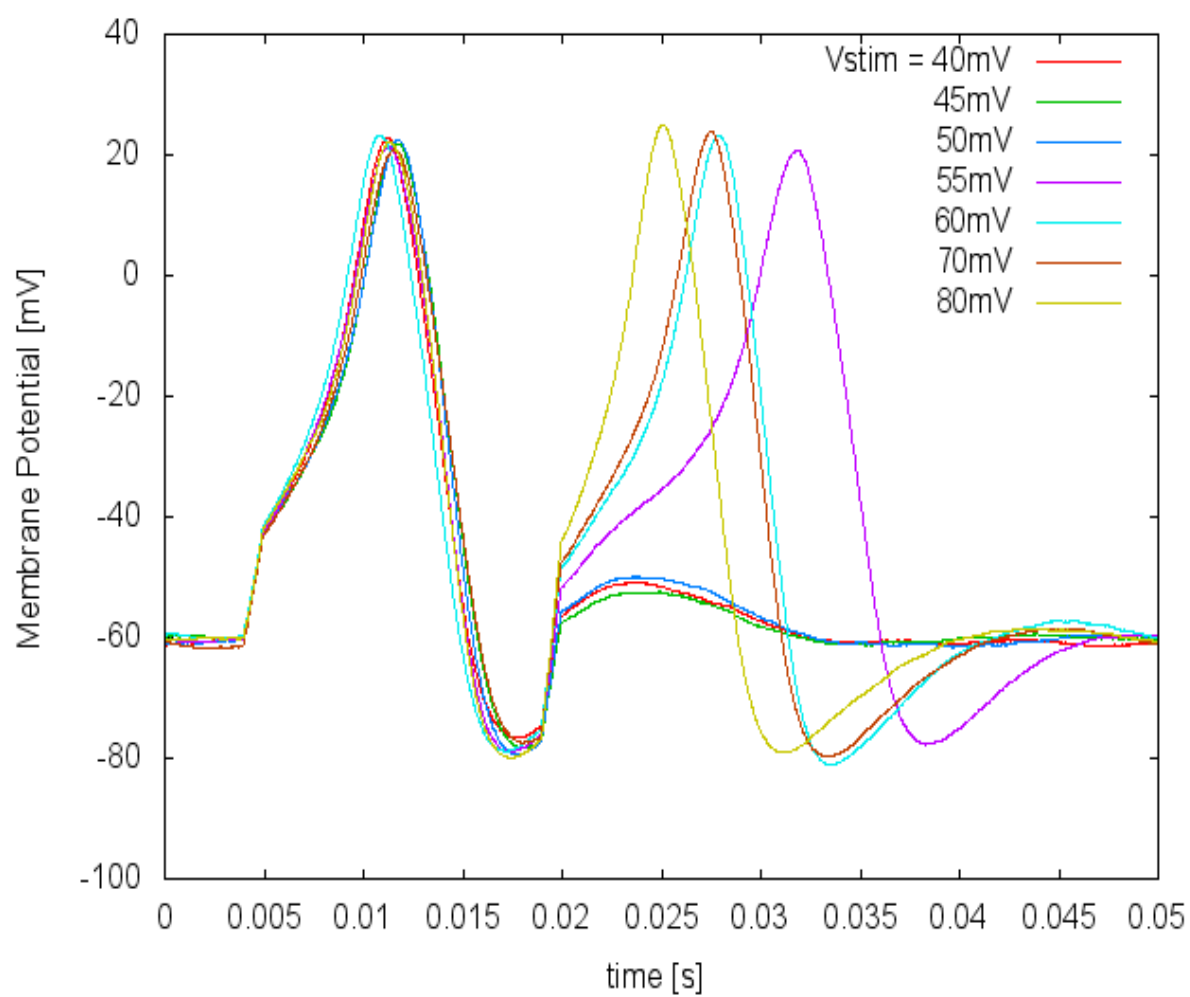


図 34: 2 連パルス入力に対する膜電位の応答特性 (Class I)

6.4 Class II ニューロンの実現

Class I モードの場合と同様、Voltage Clamp 回路を用いて実験的にナルクラインを描出しながらパラメータ電圧を調節し、Class II ニューロンの発火周波数特性を実現した (図 35、36、42)。静止状態において、Class I ニューロンは 2 つのナルクラインが安定平衡点、鞍点、不安定平衡点の 3 点で交わり、刺激強度の上昇によりナルクラインの交点が不安定平衡点の 1 点のみに変化するのに対して、Class II ニューロンのナルクラインは刺激強度の変化に関わらず、ナルクラインの交点は 1 点のみである。図 35 は外部刺激入力のない場合の位相平面である。唯一の交点は安定平衡点であり、この点の v 座標が静止膜電位に対応する。図 36 は $V_{stim} = 41\text{mV}$ の時の位相平面である。外部刺激入力を強くしていくことで、Hopf 分岐により平衡点の安定性が失われ、不安定になっている。本回路では、この不安定平衡点の周囲に安定なリミットサイクルが存在し、これが周期発火に対応している (図 41)。

また Class I モードの場合と同様に定常刺激電流を徐々に大きくしたときの発火の様子を時系列データとして、図 37~40 に示す。 $V_{stim} = 40\text{mV}$ から 41mV に変化するときに発火を開始しているが、Class I モードに比べて、ある程度高い周波数から発火し始めていることがわかる。また Class II ニューロンの周波数特性を調べた (図 42)。Class I は入力刺激強度の増加に伴い、発火周波数が単調に増加していくが (図 32)、Class II は刺激強度の依存は少なく、発火開始後の発火周波数は大きく変化しない特徴を持つ。図より、 $V_{stim} = 40\text{mV}$ 付近から急激に発火周波数が上がり、発火が開始されてことがわかる。その後、周波数はほぼ一定を保ち、刺激強度に対する依存がない様子が確認できる。

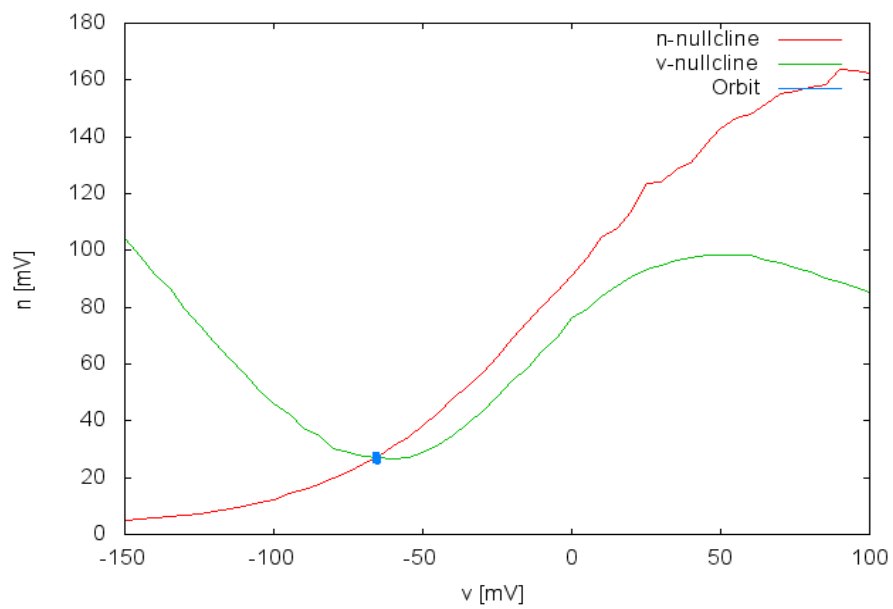


図 35: Class II ニューロンの位相平面 (静止状態)

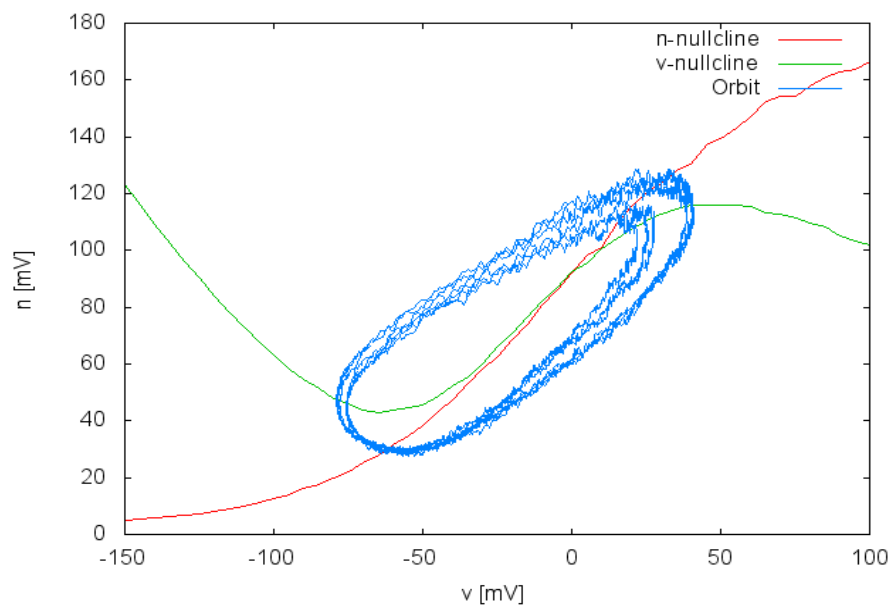


図 36: Class II ニューロンの位相平面 (発火状態)

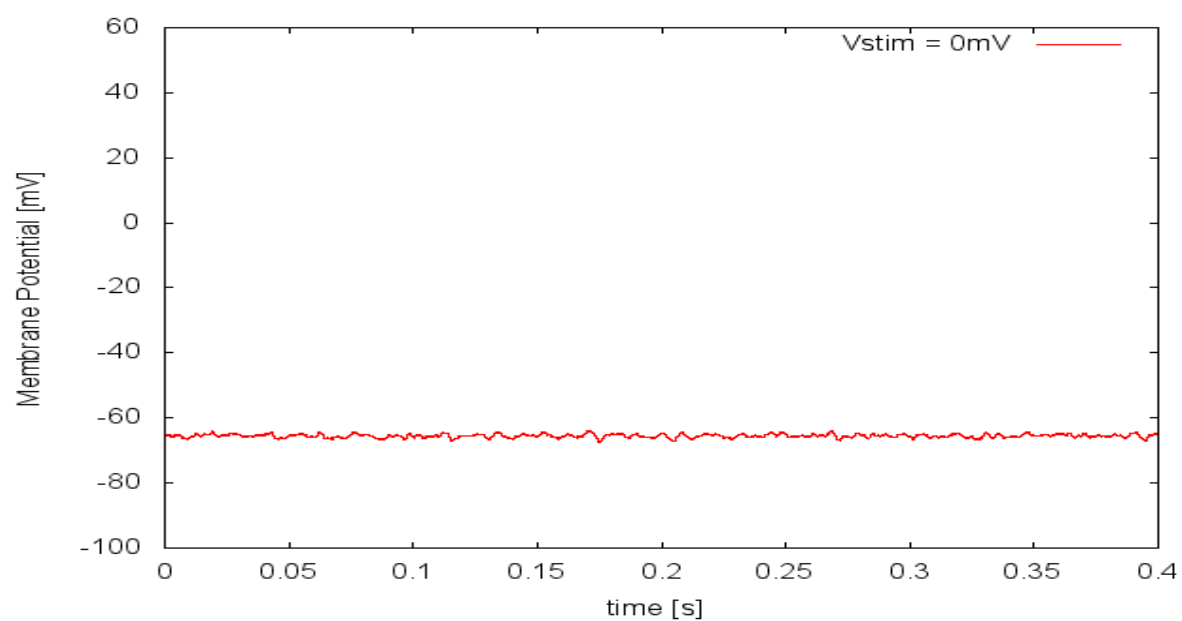


図 37: Class II ニューロンの発火の様子 ($V_{\text{stim}} = 0\text{mV}$)

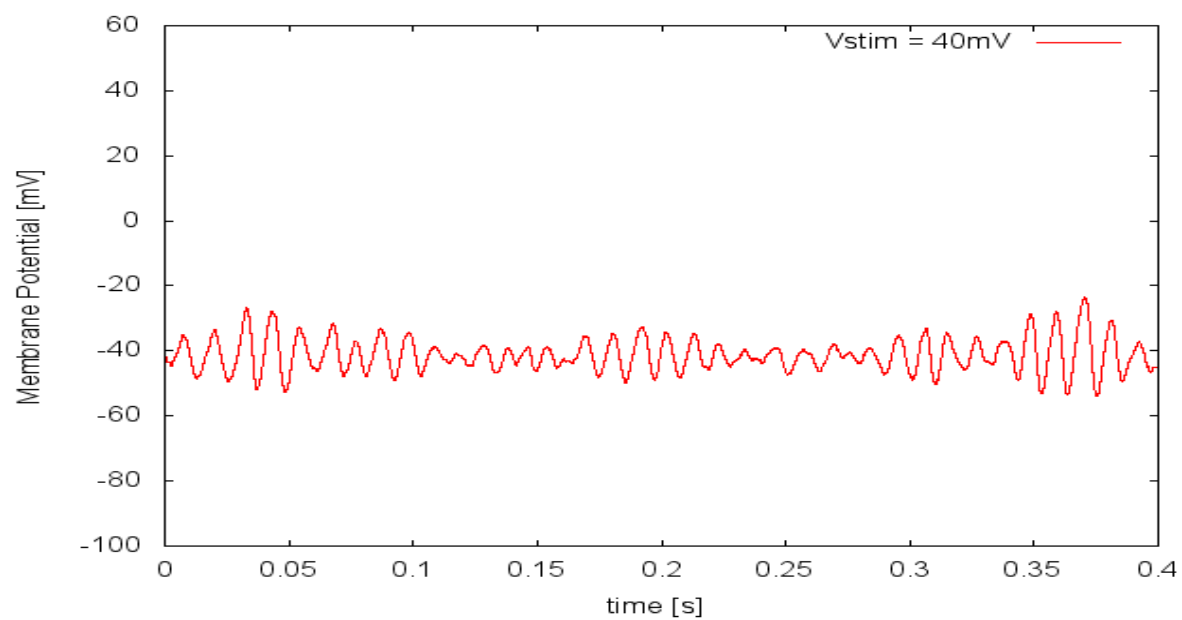


図 38: Class II ニューロンの発火の様子 ($V_{\text{stim}} = 40\text{mV}$)

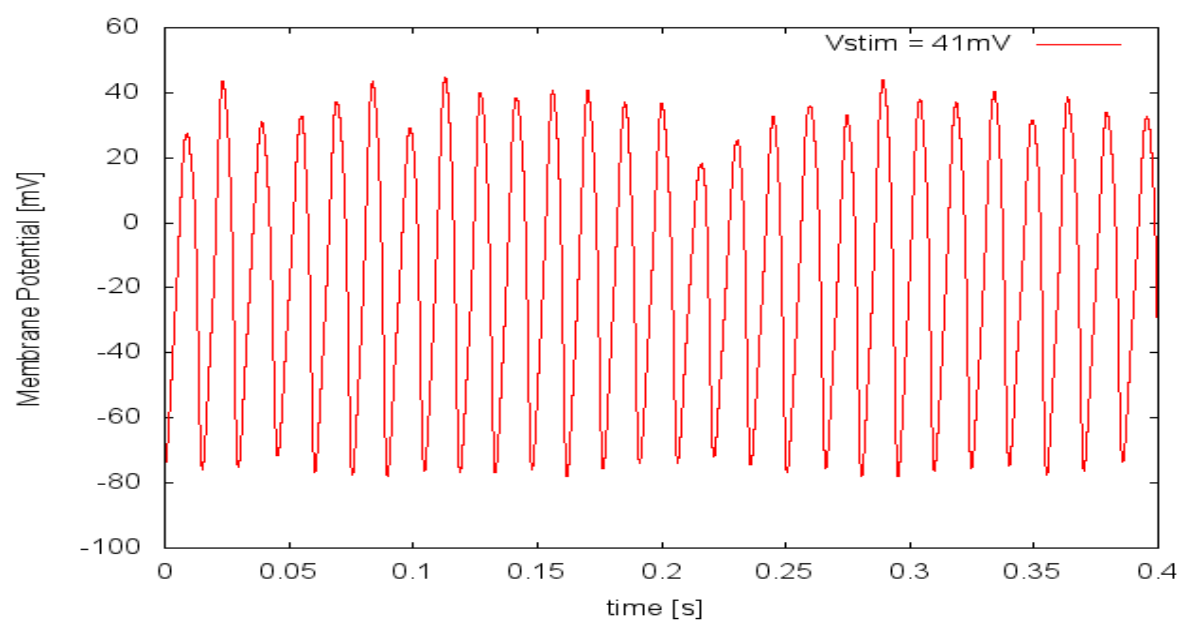


図 39: Class II ニューロンの発火の様子 ($V_{stim} = 41mV$)

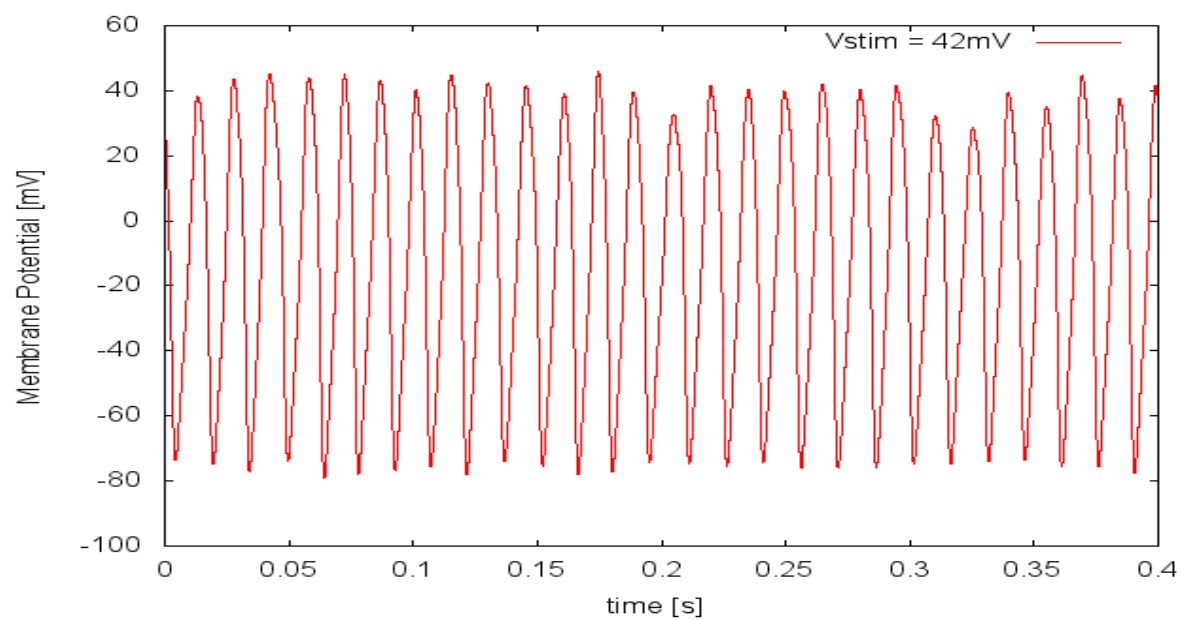


図 40: Class II ニューロンの発火の様子 ($V_{stim} = 42mV$)

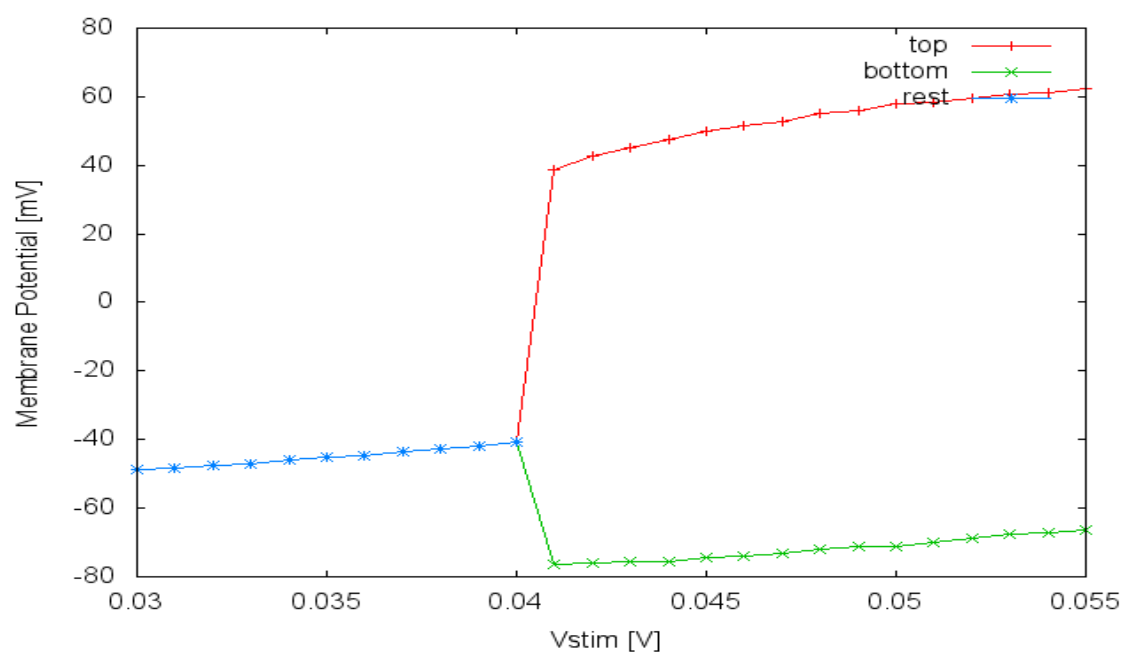


図 41: Class II ニューロンの分岐図

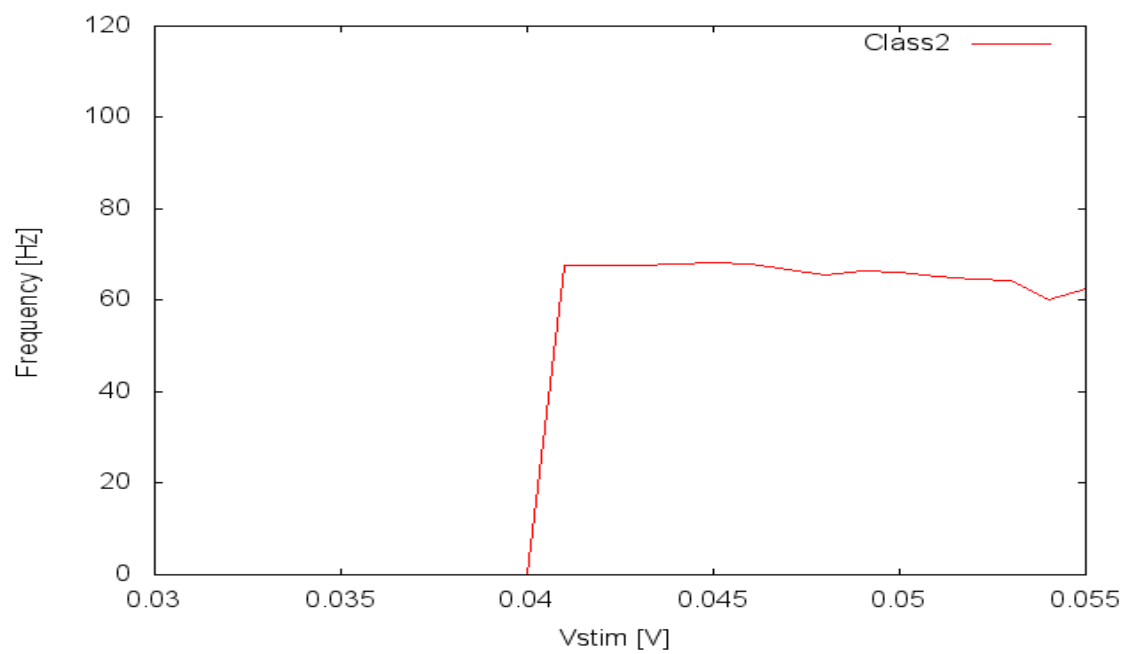


図 42: Class II ニューロンの周波数特性

6.5 膜電位のパルス応答 (Class II)

6.3 節の Class I モードと同様に入力パルス刺激に対する膜電位の応答を調べた。パルス刺激の入力時間幅は Class I モードと同様に 1ms に固定し、刺激電圧の値は 70mV から 150mV まで変化させて測定した。

単一パルスの入力刺激を変化させたときの膜電位の時間応答の様子を図 43 に示す。図より、閾値は約 -30mV であることがわかる。

同様に 2 連パルス入力刺激に対する膜電位の応答を調べた。2 つのパルス幅は 1ms、最初に入力するパルス刺激強度は 150mV に固定、2 つのパルスの時間間隔は 6ms で、2 度目のパルス強度を 150mV から 240mV まで変化させ、測定した。

2 連パルスの入力刺激を変化させたときの膜電位の時間応答の様子を図 44 に示す。

Class I モードと同様に両方のパルス入力強度が 150mV のとき、1 度目に対してはオーバーシュートが発生しているのに対し、2 度目に対しては発生していない。オーバーシュートを得るためには入力刺激電圧を 180mV まで上げなければならない。このことから、Class II モードでも不応性が存在することが示された。

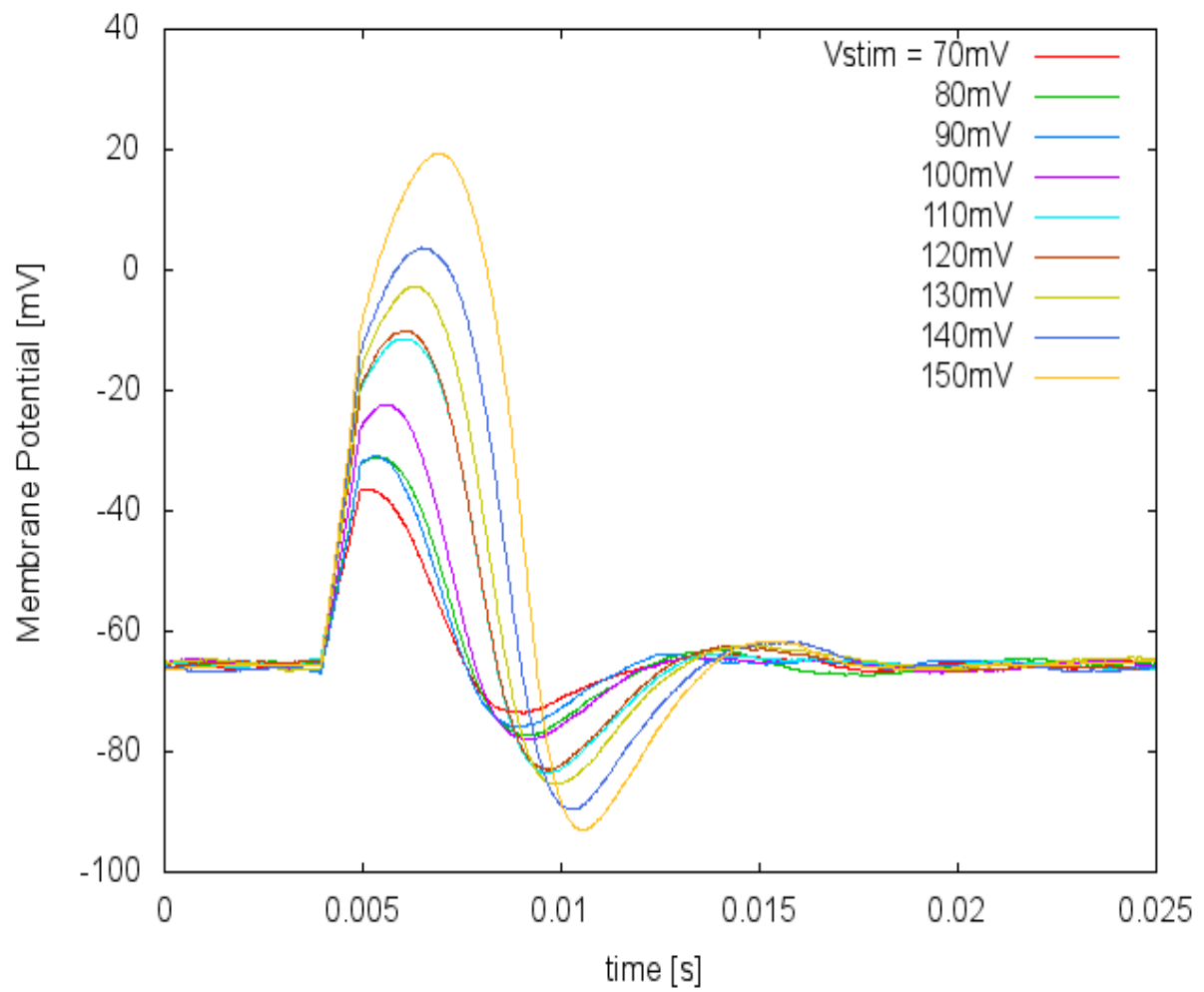


図 43: 単一パルス入力に対する膜電位の応答特性 (Class II)

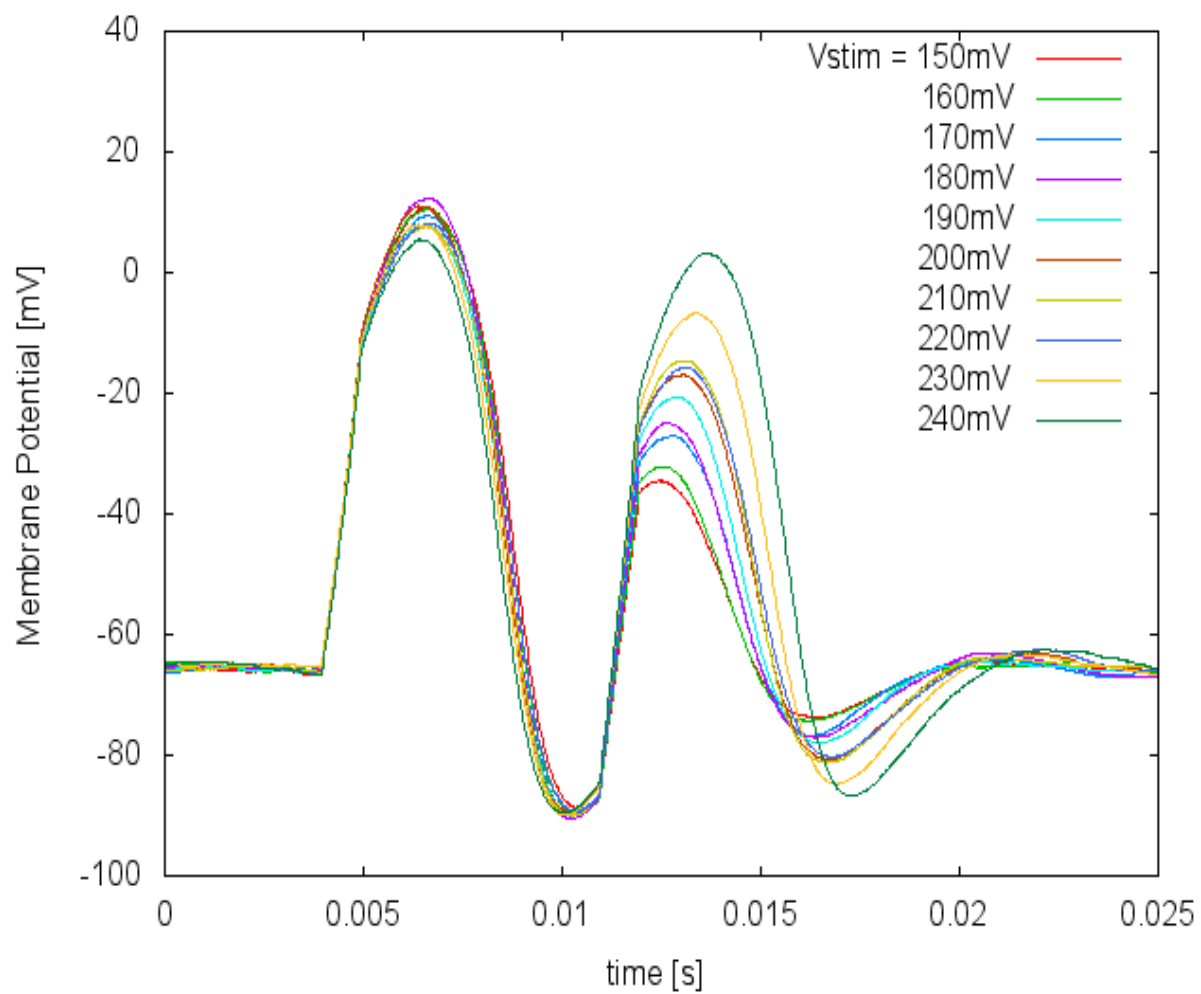


図 44: 2 連パルス入力に対する膜電位の応答特性 (Class II)

7 結論と考察

7.1 結論

本研究では、従来大規模な計測システムの補助が必要であったシリコンニューロン回路を、A4サイズのPCBボード単体で動作させることができるプログラマブルシリコンニューロンシステムを構築した。シリコンニューロン回路は今後、神経系を模倣した複数のシリコンニューロンによるネットワークへの応用が想定されており、小規模かつ単体動作を可能とした本システムは従来の大規模なシステムに比べて優位性を持つ。本システムを用いて、シリコンニューロン回路が正常に動作することを確認するため、シリコンニューロンを2変数モードで動作させ、 $v-n$ 位相平面上にナルクラインを描出し、パラメータを適切に調節することで、Class IニューロンとClass IIニューロンの動作を実現することに成功した。またパルス入力刺激を与えたときの膜電位応答を観察し、閾値とオーバーシュート、静止膜電位の存在を示した。さらに間隔をあけた2つのパルス入力に対する膜電位応答の観察より、1度発火した後はある程度の時間発火しない不応期が存在することを示した。以上によりClass I、Class IIの両モードが神経細胞の基本的性質も備えていることを示した。本研究の目的である、以上の基本的なニューロンの性質の実現を確認されたことで、プログラマブルシリコンニューロンシステムのシリコンニューロン駆動機能としての有効性を示した。

7.2 考察と今後の課題

プログラマブルシリコンニューロンシステムは複数のシリコンニューロンを結合し、同時に駆動することでネットワークとして応用することを想定し、開発された。本研究はネットワークとして、将来的に2.2節で説明したHCOを構築することを目的としている。HCOは前述したように、自律的にリズムカルな信号を生成する神経ネットワークである。単体駆動のシリコンニューロンシステムはHCOの自律性の実現に大きな優位性と意義を持つ。シリコン神経ネットワークの構築へ向けて、本システムが有効的であることは述べた通りであるが、ネットワークとして駆動するには、まだ更なる課題が残っている。HCOは前述の通り、2ニューロンで構築される神経系であり単純なネットワークである。HCOを実現するための要素として、HCOの特徴的な発

火パターンであるバースト発火の生成、2つのシリコンニューロンを結合するシリコンシナプスの動作が必要不可欠である。本研究の今後の展望における課題は、プログラマブルシリコンニューロンシステムを用いてバースト発火を生成することとシリコンシナプスの動作試験、精度評価の2点が大きな要素として挙げられる。前者のバースト発火の生成には、3章で説明した微分方程式において時定数の長い変数である q の式 (3) を有効化することで、実現することができる。後者に関しては、他方のシリコンニューロンから生成された出力電圧を受け取り、シリコンシナプスの出力として刺激電流の生成が正常に行われる様、パラメータの調節が必要とされる。また 6.1 節で説明したように、シリコンニューロン回路の特性の個体差の存在を考慮しなければならない。そのため、2つのシリコンニューロンを動作させる際には、片方で正常に動作するパラメータ設定をそのまま転用することはできず、再度、別個体用のパラメータを調節する必要が生じるが、本プログラマブルシリコンニューロンシステムはそのための性能を備えている。以上が本研究に継ぐ、今後想定される課題である。

謝辞

本研究の進行に際して、終始適切なご助言と丁寧かつ熱心なご指導を賜りました准教授 河野崇先生には、厚く御礼を申し上げます。また日々の研究において、技術的な側面からサポートして頂きました特任助教 関川先生、貴重なご意見をくださり、様々な面からご協力を頂きました、合原研、鈴木研、河野研、小林研の先生方、ならびに研究室のメンバー、関係者の皆さんには深く感謝いたします。最後に、長い学生生活、研究生活を陰で支えてくださり、温かく見守ってくださった家族には心から感謝の意を表します。

参考文献

- [1] E. Zrenner, K. U. Bartz-Schmidt, H. Benav, D. Besch, a. Bruckmann, V.-P. Gabel, F. Gekeler, U. Greppmaier, a. Harscher, S. Kibbel, J. Koch, a. Kusnyerik, T. Peters, K. Stingl, H. Sachs, a. Stett, P. Szurman, B. Wilhelm, and R. Wilke: Subretinal electronic chips allow blind patients to read letters and combine them to words. *Proceedings of the Royal Society B: Biological Sciences*, November (2010).
- [2] B.S. Wilson, C.C. Finley, D.T. Lawson, R.D. Wolford, D.K. Eddington, and W.M. Rabinowitz: Better speech recognition with cochlear implants. (1991).
- [3] AL. Hodgkin: The local electric changes associated with repetitive action in a non-medullated axon. *J Physiol*, Vol.107, No.2, pp.165-181, (1948).
- [4] AL. Hodgkin and AF. Huxley: Currents carried by sodium and potassium ions through the membrane of the giant axon of *Loligo*. *J Physiol*, pp. 449–472, (1952).
- [5] E. Izhikevich: NEURAL EXCITABILITY, SPIKING AND BURSTING. *International Journal of Bifurcation and Chaos*, Vol. 10, No. 6, pp. 1171–1266, (2000).
- [6] G. Indiveri: A low-power adaptive integrate-and-fire neuron circuit. *Proceedings of the 2003 International Symposium on Circuits and Systems*, (2003). *ISCAS '03.*, pp. IV–820–IV–823, (2003).
- [7] S. Mitra, Stefano Fusi, and G. Indiveri: A VLSI spike-driven dynamic synapse which learns only when necessary. *IEEE International Symposium on Circuits and Systems*, p. 4, (2006).
- [8] S. Mitra, S. Fusi, and G. Indiveri. Real-Time Classification of Complex Patterns Using Spike-Based Learning in Neuromorphic VLSI. *IEEE Transactions on Biomedical Circuits and Systems*, Vol. 3, No. 1, pp. 32–42, February (2009).
- [9] MF. Simoni, GS. Cymbalyuk, ME. Sorensen, RL. Calabrese, and SP. DeWeerth: A multiconductance silicon neuron with biologically matched dynamics. *Biomedical Engineering, IEEE Transactions on*, Vol. 51, No. 2, pp. 342–354, (2004).

- [10] MF. Simoni and SP. DeWeerth: Two-dimensional variation of bursting properties in a silicon-neuron half-center oscillator. *IEEE transactions on neural systems and rehabilitation engineering : a publication of the IEEE Engineering in Medicine and Biology Society*, Vol. 14, No. 3, pp. 281–29, September (2006).
- [11] T. Kohno and K. Aihara: A Design Method for Analog and Digital Silicon Neurons -Mathematical-Model-Based Method-. *AIP Conference Proceedings*, pp. 113–128, (2008).
- [12] T. Kohno and K. Aihara: A mathematical-structure-based aVLSI silicon neuron model. *International Symposium on Nonlinear Theory and its Applications*, pp. 4–7, (2010).
- [13] EC. Zeeman: Differential equations for the heartbeat and nerve impulse. *Towards a theoretical biology*, Vol. 4, pp. 8–67, (1972).
- [14] C. Morris and H. Lecar: Voltage oscillations in the barnacle giant muscle fiber. *Biophysical Journal*, Vol. 35, No. 1, pp. 193–213, July (1981).
- [15] J.L. Hindmarsh and R.M Rose: A model of neuronal bursting using three coupled first order differential equations. *Proceedings of the Royal Society of London. Series B, Biological Sciences*, Vol. 221, No. 1222, pp. 87–102, (1984).
- [16] Andrew a V. Hill, J. Lu, MA. Masino, OH. Olsen, and RL: A model of a segmental oscillator in the leech heartbeat neuronal network. *Journal of*, Vol. 10, No. 3, pp. 281–302, (2001).
- [17] A. Sherman: Emergence of organized bursting in clusters of pancreatic beta-cells by channel sharing. *Biophysical Journal*, Vol. 54, No. 3, pp. 411–425, September (1988).
- [18] I. Atwater, CM. Dawson, A. Scott, G. Eddlestone, and E. Rojas: The nature of the oscillatory behaviour in electrical activity from pancreatic beta-cell. *Hormone and metabolic research. Supplement series*, p. 100, (1980).

- [19] TR. Chay: Chaos in a three-variable model of an excitable cell. *Physica D: Non-linear Phenomena*, Vol. 16, No. 2, pp. 233–242, (1985).
- [20] XJ. Wang and J. Rinzel. Oscillatory and bursting properties of neurons. In *The handbook of brain theory and neural networks*, pp. 686–691. MIT Press, (1998).
- [21] Y. Nakamura, K. Aihara, and T. Kohno: A three-variable silicon neuron circuit. *AROB 11th*, pp. 342–345, (2011).

付録 A

6 章において、Class I ニューロンの測定に使用したパラメータセットを表 1 に、Class II ニューロンの測定に使用したパラメータセットを表 2 に示す。

表 1: Class I ニューロン測定用パラメータセット

Parameter	Value [V]	Parameter	Value [V]
θ_a	1.795	V_{Mn}	0.360
V_{Sa}	0.300	V_{src}^n	0.380
V_{Sstim}	0.300	δ_n	1.758
V_S	0.334	$V_{\tau b}^n$	0.325
θ	1.581	V_{τ}^n	1.650
V_{Mm}	0.349		
δ_m	1.631		

表 2: Class II ニューロン測定用パラメータセット

Parameter	Value [V]	Parameter	Value [V]
θ_a	1.760	V_{Mn}	0.276
V_{Sa}	0.310	V_{src}^n	0.380
V_{Sstim}	0.300	δ_n	1.630
V_S	0.350	$V_{\tau b}^n$	0.320
θ	1.580	V_{τ}^n	1.650
V_{Mm}	0.361		
δ_m	1.630		