

東京大学大学院新領域創成科学研究科  
基盤科学研究系物質系専攻

平成 27 年度

修士論文

有機トランジスタの実用化に向けた  
ウェットプロセスの研究

2016年1月26日提出  
指導教員 竹谷 純一 教授

境 駿希

# 目次

1	はじめに.....	3
2	序論.....	4
2.1	トランジスタの登場.....	4
2.2	トランジスタの構造と動作原理.....	6
2.2.1	電界効果トランジスタ.....	6
2.2.2	長チャネルモデルによる電流の定式化.....	10
2.2.3	サブスレッショールドスウィングとトラップ密度.....	14
2.2.4	遮断周波数.....	16
2.3	基本論理ゲートとフリップフロップ.....	17
2.4	プリントエレクトロニクス.....	23
2.5	有機トランジスタと有機半導体材料.....	26
3	オールウェットプロセスによる低電圧駆動可能な高移動度有機単結晶トランジスタ.....	31
3.1	目的.....	31
3.2	トランジスタ作製手順.....	32
3.2.1	ゲート電極の作製.....	33
3.2.2	絶縁膜の成膜.....	35
3.2.3	有機半導体膜の成膜.....	35
3.2.4	保護金の成膜と有機半導体のパターニング.....	36
3.2.5	ソースドレイン電極の作製.....	37
3.3	トランジスタ作製結果.....	38
3.3.1	ゲート電極.....	38
3.3.2	絶縁膜.....	39
3.3.3	有機半導体膜.....	41
3.3.4	有機半導体膜のエッチング.....	41
3.3.5	ソースドレイン電極のパターニング.....	42
3.3.6	トランジスタ測定結果.....	43
4	オールウェットプロセスを目指した有機トランジスタによる <b>kHz</b> 応答可能な論理素子....	49
4.1	目的.....	49
4.2	トランジスタ及び <b>D</b> フリップフロップの作製手順.....	50
4.2.1	ゲート電極と絶縁膜の作製.....	51
4.2.2	有機半導体膜の製膜とパターニング.....	51
4.2.3	<b>via</b> の作製.....	51

4.2.4	ソースドレイン電極の作製 .....	51
4.3	トランジスタ及び <b>D</b> フリップフロップの測定結果 .....	52
<b>5</b>	謝辞 .....	66
<b>6</b>	参考文献 .....	67

# 1 はじめに

この研究は有機トランジスタの実用化に向けた作製プロセスについての報告である。

トランジスタは多くの電化製品に含まれる重要な素子である。現在使用されているトランジスタは無機材料を使用したもので、その多くがシリコンである。シリコントランジスタは開発された当初から現在にいたるまで、省電力、小型化など高性能化を目指した研究が行われており、日々その性能は向上している。シリコントランジスタはすでに様々な製品に使用されており、我々の生活を支えるには十分な役割を果たしているが、この現状のシリコントランジスタでは実現が難しい新たなエレクトロニクスデバイスを作製し、我々の生活をより豊かにしようという考えのもと、新たな研究が行われている。その一つが有機トランジスタの研究である。

有機トランジスタは、プリントエレクトロニクスの実現を目指す中で重要な役割をはたすことが期待されている。プリントエレクトロニクスは、後記のようにこれまでのシリコントランジスタの作製方法とは異なる手法でエレクトロニクスデバイスを作製し、新たな付加価値を持ったエレクトロニクスデバイスの実現を目指している。研究が始まった当初、有機トランジスタの特性はシリコントランジスタに遠く及ばなかったが、有機半導体材料の合成開発についての研究が進み近年では高性能を示す有機トランジスタの報告も多くなされるようになった。有機トランジスタが実用レベルの特性を示すようになったことで、有機半導体材料の研究もさることながら、どのように有機トランジスタを作製するかというデバイス作製プロセスに関する研究も多くなされるようになってきている。実用化に向けて工業化への応用可能性を意識しながら、有機半導体材料が持つ本来の特性をいかに引き出すことができるかということにも、関心が集まるようになってきている。本研究では、真空を含まないウェットプロセスという工業化を意識したプロセスで有機トランジスタの特性を実用レベルで維持できるか、ということを中心とする。

本論文では、序論で本研究に関わりのある背景を記している。序論ではまずトランジスタが一般的に使われるようになるまでの経緯を簡単に記す。次に、シリコントランジスタをモデルにトランジスタの動作原理を記述する。本研究で扱ったのは有機トランジスタであるが、基本的な特性の解析にはシリコントランジスタのモデルを使用することが一般的に行われており、本研究の結果の解析にもシリコントランジスタをモデルにした理論を利用しているからである。次にそのトランジスタを組み合わせた論理素子について記す。そのあとで有機トランジスタが注目されるようになってきている理由の一つであるプリントエレクトロニクスについて記し、序論の最後では本研究で使った材料も含め有機半導体材料について記す。

本研究の内容は大別して二つあり、一つが全工程を脱真空のオールウェットプロセスにより作製した高性能の有機トランジスタについての報告である。もう一つがオールウェットプロセスを見据えたプロセスにより作製された論理素子についての報告である。



## 2 序論

### 2.1 トランジスタの登場

我々の身の回りには電気製品が溢れており、エレクトロニクス技術の進歩により私達の暮らしはより豊かなものとなっている。それら電化製品に組み込まれ、その動作を制御している素子の一つがトランジスタである。トランジスタは信号を増幅させる素子として、また、電流の On/Off を切り替えるスイッチング素子としてエレクトロニクス製品の中で重要な役割を果たしている。現在ではスマートフォンなど携帯可能な製品にも搭載できるほどに小型化されているトランジスタであるが、トランジスタが開発される以前は、真空管がその役割を担っていた。真空管は、フィラメントを加熱すると熱電子放出効果により電子が放出されるので、その電子をフィラメントに向かい合う板状の電極(プレート)が受け取ることで電気が流れる、という仕組みである(図 1)。プレートに正の電圧をかけるとフィラメントから放出された電子が引き寄せられ電子が移動し電気が流れる。プレートに負の電圧をかけた場合は電子が反発するので電子が移動せず電気が流れない。プレートに正の電圧をかけた場合のみ電流を流すことができるので、電流の On/Off を切り替えるスイッチングの素子として機能する。これは 2 極真空管と呼ばれる構造である。そして 2 極真空管のフィラメントとプレートの間に粗い網目状の電極(グリッド)を挟んだ構造のものを 3 極真空管と呼ぶ。基本的な動作原理は 2 極真空管と同様で、フィラメントから放出された電子がプレートに達するかどうかが電気が流れるかどうかが決まるが、グリッドに電圧を加えることでフィラメント・プレート間の電界を増強、抑制することができ、電流値を変化させることができる(図 2)。そこで、グリッドに電圧を入力してプレートから電流を読み出すことで、信号の増幅が可能になるため、信号増幅素子として利用することができる。このように真空管は信号増幅素子、スイッチング素子として利用された。しかし、真空管はその動作原理から考えられるように、電極間を電子が移動する必要があるため、装置内を真空に保つ必要があった。また、電極間を電子が移動するためには大きな電界が必要で、消費電力が大きかった。これらの理由により真空管は軽量化、コンパクト化が難しく、大きな消費電力とそれに伴う発熱が大きな問題となっていた。例えば、真空管を 1 万個以上使用して作られたコンピュータ「ENIAC」は総重量が 20t を超え、消費電力は 150kW にも及んだ。もちろんコンピュータには真空管以外にもコンデンサや抵抗器なども含まれるが、この大半の消費電力は真空管によるものだったと言われている。また、真空管は機械的な衝撃や振動に弱く、消費電力が大きいためフィラメントの寿命が短く、頻繁に不具合を起こしその度に破損した真空管を別の部分に交換する必要があった。決して扱いやすいわけではない真空管であったが、その役割の重要性ゆえに利用されていた。そこへトランジスタが登場し、現在では真空管はほぼ全てトランジスタに置き換わることになった。

トランジスタはその動作が確認された当初から真空管と比較して低電圧駆動、高集積化、軽量化などが期待されていたが、すぐに実用化に至ったわけではなかった。その理由の一つが高集積

化の難しさである。真空管を使用したコンピュータでも真空管、抵抗器、キャパシタなどは人の手によって半田付けされていた。トランジスタを高集積化して使用するためには、真空管の場合には半田付けされていたこの工程を効率よく行う必要があった。トランジスタが開発された初期はトランジスタや抵抗器、キャパシタを一つのウェハー上にまとめ、ワイヤーでボンディングすることで配線を行っていた。この研究段階における目標はいかにして複数の素子を効率良く同一ウェハー上に組み込むかということであった。しかし、当時テキサス・インスツルメンツに所属していた J. S. キルビーは、コンデンサや抵抗もその当時トランジスタとして使用していたゲルマニウム結晶体の中に作り込んでしまえば良いという発想で、一つの回路全体を半導体で作ることというのを構想した。これが、キルビー特許と呼ばれている基本特許である。キルビーが所属していたテキサス・インスツルメンツはこの特許により、2001 年にこの特許が失効するまで莫大な特許料を獲得した。キルビー特許は、現在の電子回路作製の際の基本的な考え方にもなっている重要な概念を含んでいるが、同一ウェハー上にどのようにデバイスを作りこんでいくか具体的な作成工程は示されていなかった。具体的な作製プロセスについてはロバート・ノイスが特許を取りこれはプレーナー特許と呼ばれている。現在ではキルビー特許とプレーナー特許が集積回路の基本特許とみなされている。この2つの特許が示されたことをきっかけにトランジスタの実用化に向けた研究が急速に進むこととなった。

トランジスタが実用化されるようになるとさらなる高性能化を目指して研究が行われていくことになり、トランジスタの集積度の向上は一つの大きな関心事となっている。トランジスタの集積化に関してはムーアの法則と呼ばれているものがある。ゴードン・ムーアが自身の論文で提示した経験則に基づいた将来予測であり、その内容は「集積回路上のトランジスタの数は18ヶ月で2倍になる」といったものである<sup>1)</sup>。これまでのトランジスタの集積度はほぼこのムーアの法則にしたがって向上してきた。集積度が向上し小型のチップに多数のトランジスタを作製できるようになったことで、スマートフォンのような小型で高性能のエレクトロニクス製品を作り出すことが可能となっている。

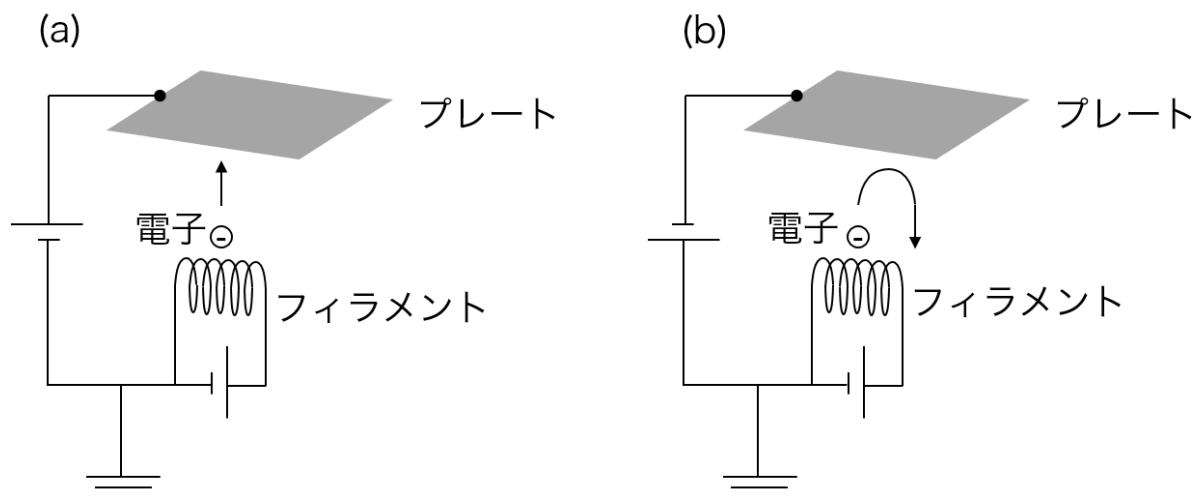


図 1 2 極真空管の模式図。(a)電流が流れる ON 状態と(b)電流が流れない OFF 状態

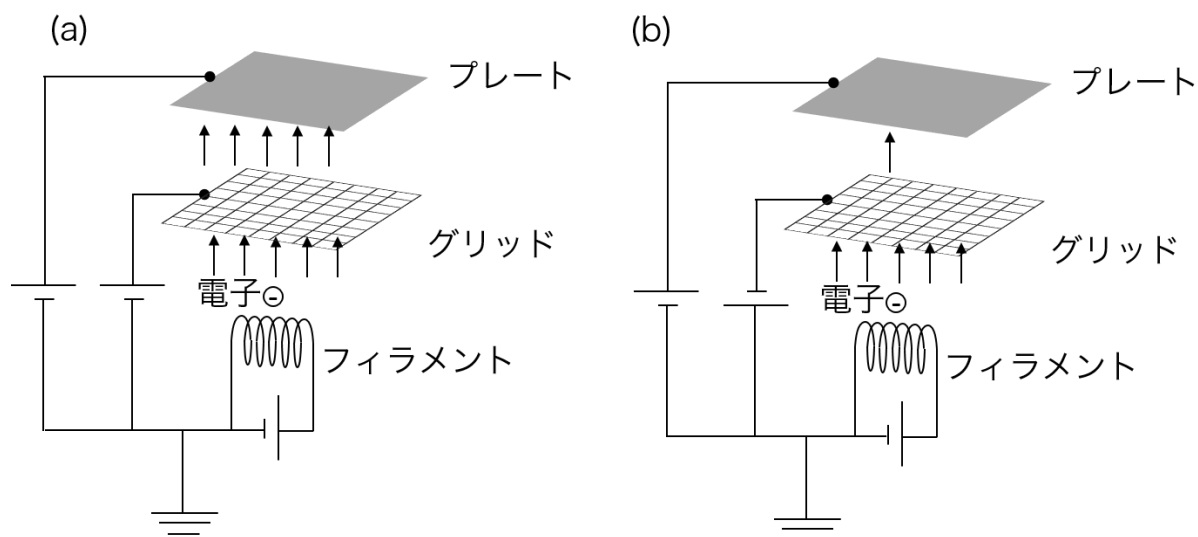


図 2 3 極真空管の模式図。電子の流れが(a)促進される状態と(b)抑制される状態

## 2.2 トランジスタの構造と動作原理

### 2.2.1 電界効果トランジスタ

トランジスタは物理的な動作原理によって2種類に大別される。電界効果トランジスタとバイポーラトランジスタである。先に発明されたのは電界効果トランジスタであったが、実用デバイスとしてはバイポーラトランジスタのほうが先に開発され、長期に渡り優位を占めていた。しかし、あとになって電界効果トランジスタのほうが容易に低コストで作製できるという事情から電界効果トランジスタが優勢となり、現在ではたいていの電子回路において基本的な回路要素とし

て電界効果トランジスタが用いられている。有機トランジスタもそのほとんどが電界効果トランジスタを指し、本研究で作製した有機トランジスタも電界効果トランジスタである。

ここからは、電界効果トランジスタの定性的な説明を記す。式による解析は2.2.2「長チャネルモデルによる電流の定式化」で行う。ここではシリコンの電界効果トランジスタを例に取り説明する(図3)。ソース、ドレイン、ゲートの3つの端子があり、ソースからドレインへ電氣的に貫通するチャネルが存在する。ゲートは絶縁膜を通じてチャネルと電氣的に絶縁されている。真空管に対応させると、ゲート電極がグリッド、ソースドレイン電極がフィラメント、プレートに対応する。トランジスタでは電子が固体中を移動するため、電子が空気中を移動する真空管と比較して低電圧での駆動が可能になる。ソース電位を基準としてゲートに電圧を印加することによって絶縁部分の電界を変化させ、チャネルの導通を制御することができる。

ゲートから基板までの経路に沿った部分のエネルギーバンド図を図4に示す。(a)が熱平衡状態におけるバンド図で(b)がゲート電圧印加時のバンド図である。熱平衡状態では $n^+$ ゲートとシリコンのフェルミ準位が一致するようにバンドが曲がる( $E_{FG} = E_F$ )。この状態ではシリコンの伝導帯にキャリア(この場合は電子)がほとんどいないので、チャネルの導電性は低い。これはトランジスタがOFFの状態に対応する。ゲート電圧を印加するとシリコンの伝導帯( $E_C$ )が曲がりフェルミ準位に近づく。その結果伝導帯に存在するキャリア密度が大きくなり、チャネルの導電性が高まる。これがトランジスタのON状態に対応する。

これをチャネルに沿った方向のバンド図で示したものが図5である。(a)が熱平衡状態で(b)がゲート電圧印加時のバンド図である。ゲート電圧をかけることでチャネル両端の障壁が低くなり、チャネル内の電子が増えて導電性が向上する。

ソースドレイン間に電圧を加えた場合のチャネル方向に沿ったバンド図を図6に示す。電圧を加える事でドレイン側の電子のポテンシャルが低下して電子がドレイン側に向かって流れることになる。通常の抵抗と同様に考えるならば、チャネル電流はドレイン電圧に比例する。しかし、線形な特性が見られるのは電圧が低い領域に限られており、電圧を高くしていくと電流が線形に増加せずやがて飽和する。この現象は定性的に以下のように説明される。ドレイン電圧を上げてゆくと最初のうちはチャネル内で均一に電界が増加し、それに伴いドレイン電流が増加していく。ドレイン電圧を増加させていくと、2.2.2「長チャネルモデルによる電流の定式化」で定量的に示すが、ソース側よりもドレインに近い部分の電界が急速に強まり、電圧の大部分がドレインよりに集中していく。ドレイン電圧が高くなればなるほどソース付近の電界の変化は小さくなり、ある電圧値においてソース近傍の電界強度は臨界値に達する。チャネルの一方の端の電流はもう一方の端における電流と等しくならなければならないので、電流の上限値はソース側で生じる最大電界のもとで流れる電流量から決まる。このようにして、電界が飽和値に達することでドレイン電流も飽和する。

ここでトランジスタの典型的な電気特性を図7に示す。異なるゲート制御電圧 $V_{GS}$ の設定のも

とで、チャネルを流れる電流 $I_D$ をチャネルにかかっている電圧 $V_{DS}$ の関数として示してある。動作領域は線形領域、飽和領域、閾下領域の3つに区分される。閾値領域は $V_{GS} \leq V_T$ の領域であり、閾値電圧 $V_T$ はチャネルに有意の電流を流すことのできる最低の $V_{GS}$ と定義される。この閾値に満たないゲート電圧の下ではドレイン電圧の値の大小とはほとんど無関係に小さい値を保ち、この時の電流をゼロとみなして扱うことが多い。上記のゲート電圧を印加していない状態とほぼ同じである。線形領域は電流値がドレイン電圧に比例する領域であり、飽和領域は電流値がドレイン電圧によらず一定で飽和している領域である。

図7のグラフ中にはトランジスタと抵抗を接続した際の、その抵抗を流れる電流と電圧についての関係グラフ（外部回路から決まる負荷線）を加えてある。この直線とトランジスタ特性の交点が実際の電圧と電流の関係になる。例えばこのグラフで考えると、トランジスタのゲート電圧を0.1 V から 0.5 V に変調した場合、ドレイン電圧は 2.5 V から 1.0 V になる。0.4 V の電圧変化に対して 1.5 V の電圧変化を取り出せることになる。したがって、トランジスタは増幅器として働きゲート電圧の小さな電圧の変化をドレイン電圧の大きな変化へと増幅する。

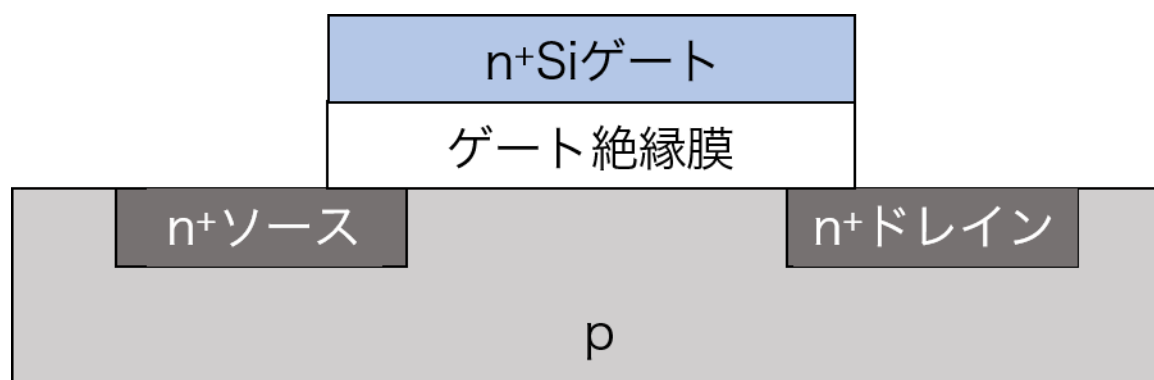


図 3 シリコントランジスタ模式図

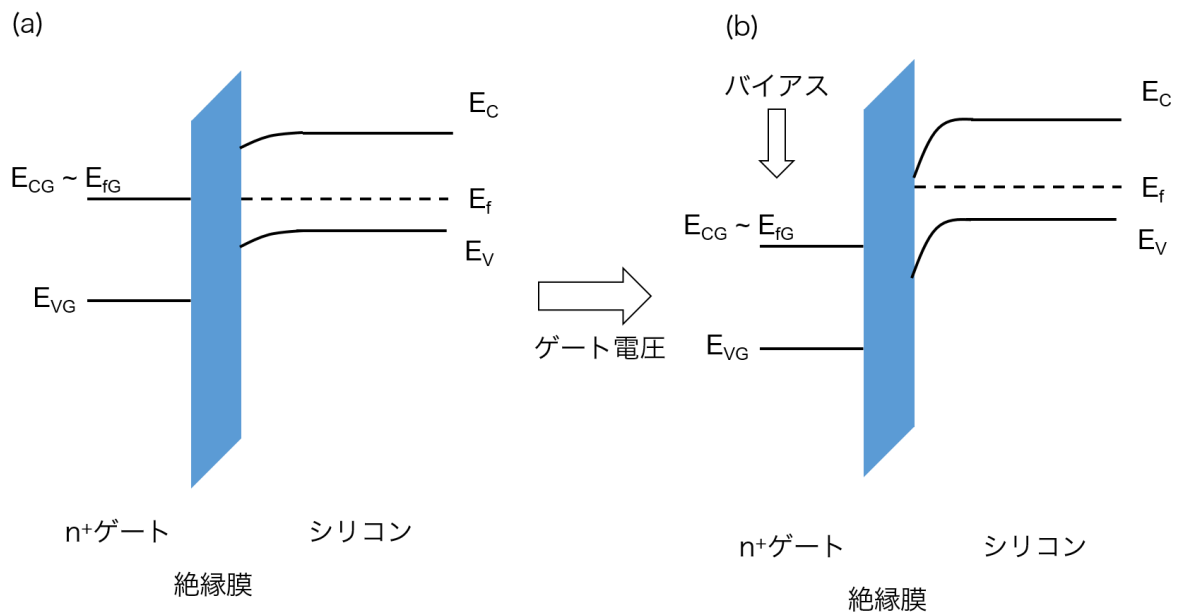


図 4 ゲートから基板までの経路に沿ったエネルギーバンド図。(a)熱平衡状態、(b)ゲートバイアス印加状態

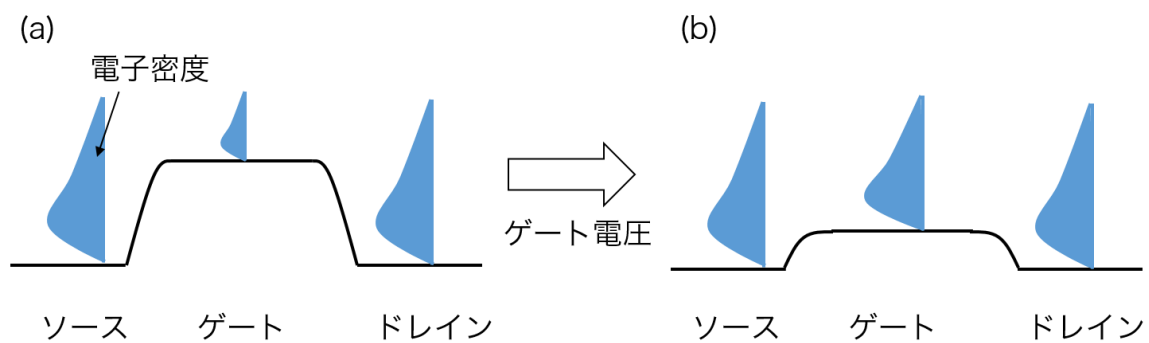


図 5 チャンネルの伝導方向に沿ったエネルギーバンド図。(a)熱平衡状態、(b)ゲートバイアス印加状態

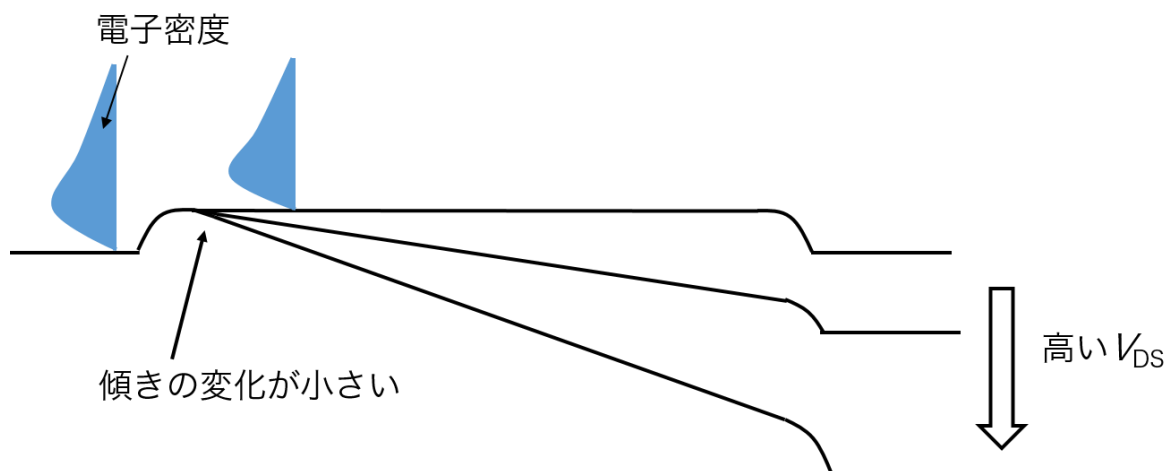


図 6 ドレイン電圧印加時のチャンネルの伝導方向に沿ったエネルギーバンド図

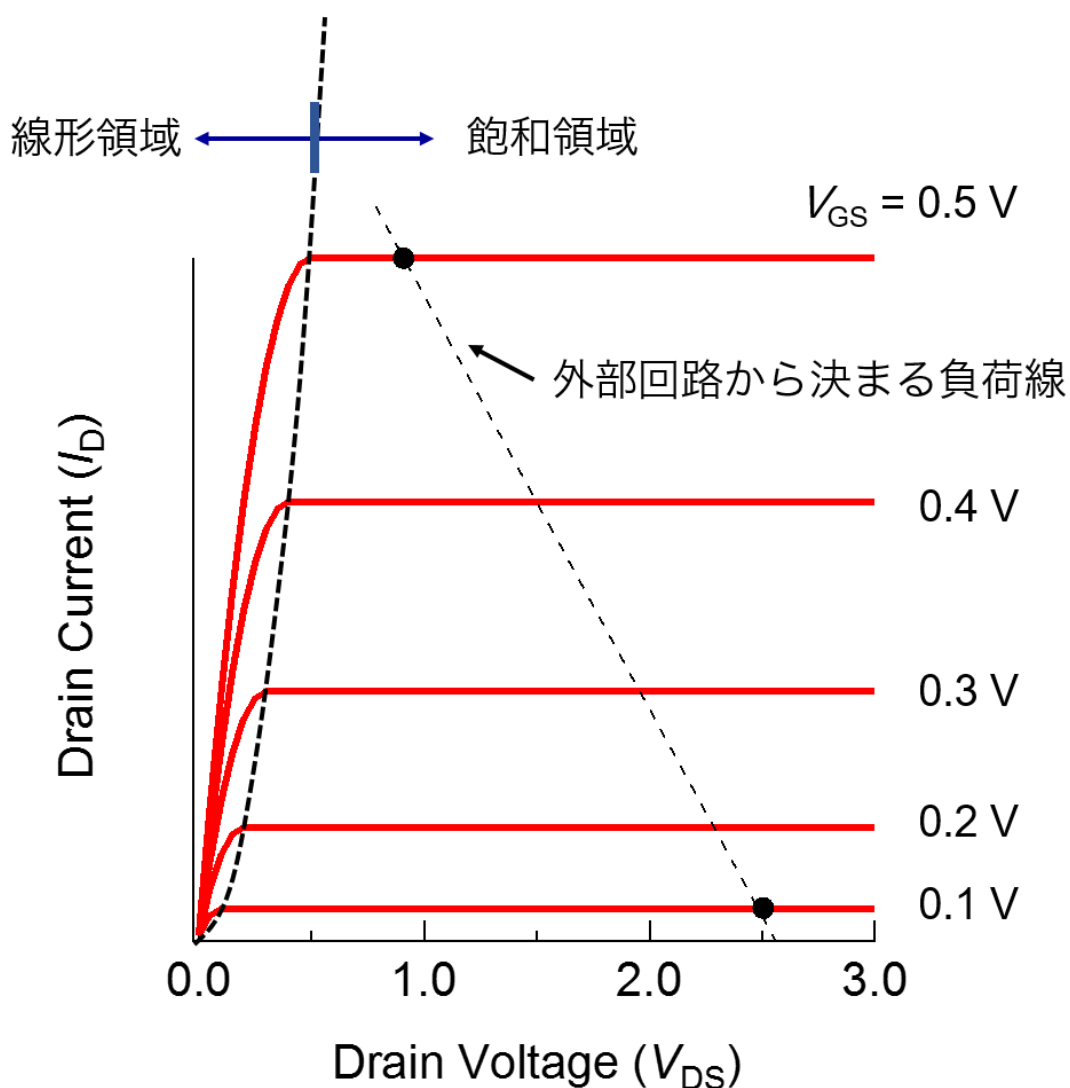


図 7 トランジスタの典型的な伝達特性

### 2.2.2 長チャネルモデルによる電流の定式化

上記でトランジスタにドレイン電流が流れる場合、線形領域と飽和領域があることを記したが、ここではそれぞれの領域における電流と電圧の関係式を導く。利用するのはシリコントランジスタの動作原理を最も簡単に表している「長チャネルモデル」である。このモデルは電気の流れを担うキャリアの移動度を電界に依存しない定数として扱うモデルである。移動度は、ある電界がかかった時のキャリアの速度を表し  $\text{cm}^2/\text{Vs}$  の単位を持つ、トランジスタの性能を考える上で重要な値である。移動度は実際には電界に依存するが、移動度を電界に依存しない定数として扱うことで簡単に数式化する。ここからは長チャネルモデルによるトランジスタ特性の定式化の過程を記す。

電流は単位時間内にある断面を通過する電荷量として定義される。チャンネルに沿った方向に  $y$  軸を取ると、位置  $y$  におけるチャンネル電流は

$$I_D = WQ_{ch}(y)v(y) \quad \cdots (1)$$

と表される。 $W$ はチャンネル幅、 $Q$ は位置 $y$ における単位面積あたりの可動キャリア、 $v(y)$ は位置 $y$ におけるチャンネルキャリアの平均速度である。チャンネルにおける電流はドリフト成分と拡散成分を両方含んでいるが、ここではドリフト電流が支配的である場合を考える。これはチャンネルにおける電荷密度が十分に高いことを意味する。ドリフト電流はチャンネル方向に沿った $y$ 方向の電界によって流れる。この電界を $\varepsilon_L$ と記すとキャリアの速さは

$$v(y) = \mu(y)\varepsilon_L(y) \quad \cdots (2)$$

と表される。電界は定義により

$$\varepsilon_L = \frac{dV_{ch}}{dy} \quad \cdots (3)$$

と与えられる。 $V_{ch}$ とはチャンネルの長さ $dy$ にかかっている電圧である。式(2)と式(3)を式(1)に代入して

$$I_D = WQ_{ch}(y)\mu(y)\left(\frac{dV_{ch}}{dy}\right) \quad \cdots (4)$$

が得られる。整理して、

$$I_D dy = WQ_{ch}\mu(y)dV_{ch} \quad \cdots (5)$$

この電流の式に含まれる $Q_{ch}$ について考える。電荷量はゲートのバイアスに依存する。ゲートの電圧が閾値電圧以下の場合には電気伝導に寄与するキャリアの数が少ないと考えられるので、次の近似を採用する。

$$Q_{ch} \sim 0, I_D \sim 0 \quad (V_{GS} \leq V_T) \quad \cdots (6)$$

$V_{GS}$ はゲート電圧、 $V_T$ は閾値電圧である。 $V_{GS} > V_T$ の場合は絶縁膜がキャパシタとして振る舞う事を考えてチャンネルの電荷量を求める。単位面積あたりの絶縁膜のキャパシタンス $C'_{ox}$ は $C'_{ox} = dQ/dV$ で表わされるので

$$\begin{aligned} C'_{ox} &= \frac{dQ_{ch}}{dV_{GS}} \\ &= \frac{Q_{ch}(V_{GS}) - Q_{ch}(V_T)}{V_{GS} - V_T} \\ &= \frac{Q_{ch}(V_{GS})}{V_{GS} - V_T} \end{aligned}$$

式(6)に従い $V_{GS} = V_T$ のときに $Q_{ch} = 0$ とした。 $Q_{ch}(V_{GS}) = Q_{ch}$ として

$$Q_{ch} = C'_{ox}(V_{GS} - V_T)$$

$V_{DS}$ が0でない場合、電圧 $V_{ch}$ がチャンネルに沿った方向の位置 $y$ に依存する。したがって絶縁膜に



かかる電圧も位置  $y$  の関数となり、 $Q_{ch}$  も位置  $y$  の関数となる。

$$Q_{ch}(y) = C'_{ox}(V_{GS} - V_T - V_{ch}(y)) \quad (V_{GS} - V_T \geq V_{ch}(y)) \quad \cdots (7)$$

ソース端で 0V になることを考えるので、 $V_{GS} - V_T \geq V_{ch}(y)$  の条件が加わる。 $Q_{ch}$  について解析ができたので、次に電流について解析する。

式(5)の両辺をチャネルの長さ全体に渡り積分する。

$$\int_0^L I_D dy = \int_0^{V_{DS}} W Q_{ch}(y) \mu(y) dV_{ch} \quad \cdots (8)$$

現在考えているモデルでは移動度が定数となるので積分の外に出すことができる。電流はチャネルの位置  $y$  によらず一定なのでこれも定数として積分の外に出せる。したがって式(8)は

$$I_D \int_0^L dy = W \mu \int_0^{V_{DS}} Q_{ch} dV_{ch}$$

式(7)を代入して

$$I_D \int_0^L dy = W \mu \int_0^{V_{DS}} [C'_{ox}(V_{GS}) - V_T - V_{ch}] dV_{ch}$$

左辺の積分を実行してから整理して

$$I_D = \frac{WC'_{ox}\mu}{L} \int_0^{V_{DS}} (V_{GS} - V_T - V_{ch}) dV_{ch}$$

右辺の積分を実行して次の結果を得る。

$$I_D = \frac{WC'_{ox}\mu}{L} \left[ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (V_{DS} \leq V_{GS} - V_T) \quad \cdots (9)$$

式(9)で電流について定式化することができた。

式(9)は  $V_{DS} \leq V_{GS} - V_T$  の条件のもとで成立する。 $V_{DS} > V_{GS} - V_T$  の場合には、電流値  $I_D$  は飽和する。 $I_D$  が飽和するときの電圧を  $V_{DSsat}$  とすると、 $\frac{\partial I_D}{\partial V_{DS}} = 0$  の条件より  $V_{DSsat} = (V_{GS} - V_T)$  が求められる。すなわち、 $V_D > V_{DSsat}$  のとき電流値は飽和する。以下に電流が飽和する理由を記す。

式(4)へ式(7)を代入して

$$I_D = W \mu C'_{ox} (V_{GS} - V_T - V_{ch}) \left( \frac{dV_{ch}}{dy} \right)$$

この式の両辺を積分して

$$I_D \int_0^y dy = W \mu C'_{ox} \int_0^{V_{ch}} (V_{GS} - V_T - V_{ch}) dV_{ch}$$

$$I_D = \frac{WC'_{ox}\mu}{y} \left( V_{GS} - V_T - \frac{V_{ch}(y)}{2} \right) V_{ch}(y)$$

$V_{ch}(y)$  についてのこの 2 次方程式を解いて

$$V_{ch}(y) = (V_{GS} - V_T) - \sqrt{(V_{GS} - V_T)^2 - \frac{2I_D y}{WC'_{OX}\mu}}$$

$y = 0$  のとき  $V_{ch}(0) = 0$  である必要があるため、ルートの符号はマイナスになっている。チャンネルにかかる電界はその定義から

$$\begin{aligned} \varepsilon_L(y) &= \frac{dV_{ch}}{dy} \\ &= \frac{\frac{I_D}{WC'_{OX}\mu}}{\sqrt{(V_{GS} - V_T)^2 - \frac{2I_D y}{WC'_{OX}\mu}}} \end{aligned}$$

電界  $\varepsilon_L(y)$  のグラフを図 8 に示す。  $V_{DS}$  が小さい時には  $V_{DS}$  に依存して電界は大きくなるが  $V_{DS}$  が  $V_{DSsat}$  に近づくと一定値に近づく。電流はソース側の端における電界に比例し、ソース側では電界強度が飽和するため電流も飽和する。

上記のように電流が  $V_{DS}$  に依存せず一定に飽和している領域のことを飽和領域、  $V_{DS}$  に依存している領域のことを線形領域とよぶ。式(9)において飽和領域の場合を考えると  $V_{DS} = V_{DS} - V_T = V_{DSsat}$  として

$$I_{Dsat} = \frac{WC'_{OX}\mu}{2L} (V_{GS} - V_T)^2 \quad (V_{DS} \geq V_{GS} - V_T)$$

と表すことができる。両辺のルートを取って整理すると

$$\frac{\sqrt{I_{Dsat}}}{V_{GS} - V_T} = \sqrt{\frac{WC'_{OX}\mu}{2L}} \quad \dots (10)$$

トランジスタを測定する際に、横軸にゲート電圧、縦軸に飽和電流の 1/2 乗の値をとることで、  $WC'_{OX}$  はそれぞれ既知であることから、グラフの傾きより移動度を算出することができる。本研究においてもこの方法で移動度を算出している。

次に線形領域について考える。式(9)で  $(V_{GS} - V_T)V_{DS}$  が  $\frac{V_{DS}^2}{2}$  と比較して十分大きい ( $V_{DS}$  が十分小さい) と考えると

$$(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \sim (V_{GS} - V_T)V_{DS}$$

と考えることができるので、

$$I_D = \frac{WC'_{OX}\mu}{L} (V_{GS} - V_T)V_{DS}$$

となり、整理して

$$\frac{I_D}{V_{GS} - V_T} = \frac{WC'_{OX}\mu}{L} V_{DS} \quad \dots (11)$$

飽和領域の場合と同様に横軸にゲート電圧、縦軸にドレイン電流をプロットすることでその傾きから移動度を算出することができ、本研究の移動度算出にもこの式を利用している。

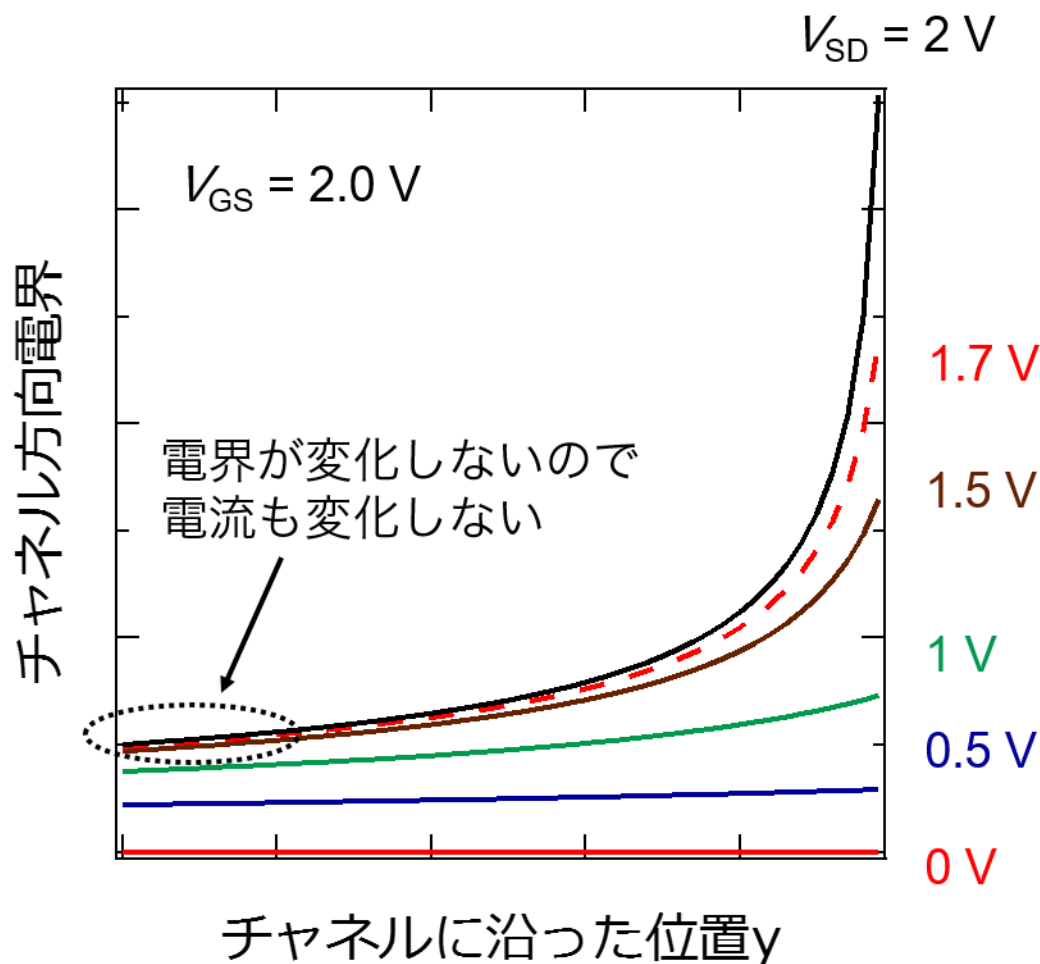


図 8 チャンネル内の位置と電界の関係

### 2.2.3 サブスレッシュールドスウィングとトラップ密度

トランジスタはオフ状態とオン状態で流れる電流の差が大きければ大きいほどスイッチング素子として優れているといえる。しかし、上の式の導出では無視したが、閾値電圧以下でも微小の電流は流れている。そのため電流は連続して変化しておりオン状態とオフ状態の明確な区切りはできない。そこでゲート電圧が閾値電圧付近でドレイン電流を 1 桁変化させるために必要なゲート電圧をサブスレッシュールドスウィングとよび、トランジスタのオン状態、オフ状態がどれだけ急峻に変化するかを示す指標としている。サブスレッシュールドスウィングが小さいトランジ

スタほど電流の変化が大きくなるのでスイッチング素子として優れているといえる。サブスレッショールドスウィングは次のように表される。

$$S = \frac{\partial V_{GS}}{\partial \log I_D} \quad \dots (12)$$

式(12)におけるドレイン電流 $I_D$ はトランジスタのオンとオフ状態が切り替わる領域付近における値である。その領域は上記の長チャネルモデルでは考えなかった閾値電圧以下の拡散電流が支配的な領域となる。そこでここでは拡散電流が支配的な領域におけるドレイン電流を考える。チャネルのソース側の端における電子密度は、ソース・チャネル障壁の高さに指数関数的に比例する。電流量はキャリア密度に比例するため次のように表すことができる。

$$I_D \propto e^{q(V_{GS}-V_T)/nkT} \quad \dots (13)$$

$q$ は電気素量、 $k$ はボルツマン定数、 $T$ は温度である。式(12)と式(13)から

$$S = \frac{2.3kTn}{q} \quad \dots (14)$$

となる。2.3 は自然対数を常用対数に変換する際に現れる因子である。ここで、式(13)にある $1/n$ は $(V_{GS} - V_T)$ の下でソース・チャネル障壁に影響を及ぼす電圧の割合である。ゲート電圧を変えるとその一部は酸化膜に、残りは半導体に分圧される。これを式で表すと

$$\frac{1}{n} = \frac{\Delta V_{ch}(y=0)}{\Delta V_{GS}}$$

となる。 $\Delta V_{ch}(y=0)$ はソースを基準にしたチャネルのソース側の端の電圧である。ゲート構造は半導体とゲート絶縁膜の2つの容量の直列接続とみなすことができる。単位あたりの絶縁膜容量を $C'_{OX}$ 、半導体容量を $C'_B$ とする。ゲート電圧が $\Delta V_{GS}$ 変化すると、この電圧変化も $C'_{OX}$ と $C'_B$ に分圧される。

$$\begin{aligned} \frac{\Delta V_{ch}}{\Delta V_{GS}} &= \frac{1}{n} \\ &= \frac{\frac{1}{C'_B}}{\frac{1}{C'_B} + \frac{1}{C'_{OX}}} \\ &= \frac{C'_{OX}}{C'_{OX} + C'_B} \end{aligned}$$

この式より、定数 $n$ は次のように与えられる。

$$n = \frac{C'_{OX} + C'_B}{C'_{OX}} = 1 + \frac{C'_B}{C'_{OX}} \quad \dots (15)$$

式(14)へ式(15)を代入して

$$S = \frac{2.3kT}{q} \left( 1 + \frac{C'_B}{C'_{OX}} \right) \quad \dots (16)$$

ここで、 $C_B$ は $C = \epsilon/t$ で表されるような一般的なキャパシタンスとは区別し、通常のキャパシタに電荷が蓄積される状態をここでは有機半導体膜のトラップ準位が満たされるという状態に読み替える。するとこの $C_B$ はトラップ準位に関係する量となる。Rolland らはこの $C_B$ とトラップ密度との関係を次のように定式化している<sup>2</sup>。

$$C_B = q\sqrt{\epsilon_{SC}D_{bulk}} + q^2D_{it} \quad \dots (17)$$

ここで、 $D_{bulk}$ は単位体積あたりの半導体バルク内のトラップ密度、 $D_{it}$ は単位面積あたりの半導体・絶縁体界面のトラップ密度、 $\epsilon_{SC}$ は有機半導体の誘電率である。トラップ準位のない理想的な半導体では $C_B$ は0となり、 $n$ は1となる。よって、サブスレッショルドスウィングの理論値限界は295 Kで58.5 mV/decadeとなる。しかし、実際のトランジスタにはトラップ準位が存在するために、サブスレッショルドはこの値より大きくなる。式(16)に式(17)を代入して

$$S = \frac{2.3kT}{q} \left( 1 + \frac{q\sqrt{\epsilon_{SC}D_{bulk}} + q^2D_{it}}{C'_{ox}} \right) \quad \dots (18)$$

サブスレッショルドスウィングはトラップ準位に関係する量になる。サブスレッショルドは式(12)より、実際に測定したトランジスタ結果より求めることができる。サブスレッショルドスウィングの値だけではバルクのトラップ密度と界面のトラップ密度のどちらがより支配的かを知ることができない。しかし、それぞれの最大値を見積もることはでき、その値をトランジスタの性能を知る一つの指標とすることができる。式(18)で $D_{bulk} = 0$ とすることで界面トラップ密度の最大値 $D_{it}^{max}$ が求められる。

$$D_{it}^{max} = \frac{C'_{ox}}{q^2} \left( \frac{qS}{2.3kT} - 1 \right) \quad \dots (19)$$

同様に、式(18)で $D_{it} = 0$ とすることでバルクトラップ密度の最大値 $D_{bulk}^{max}$ が求められる。

$$D_{bulk}^{max} = \frac{C'_{ox}}{\epsilon_{SC}q^2} \left( \frac{qS}{2.3kT} - 1 \right)^2 \quad \dots (20)$$

## 2.2.4 遮断周波数

トランジスタの役割としてスイッチングと信号増幅の2つ挙げられ、前項のサブスレッショルドスウィングは、スイッチング素子としてトランジスタがどれだけ優れているかを表す指標であるといえる。この項で述べる遮断周波数は、信号増幅素子としての性能を表す指標となる。ゲートに電圧を加え、ドレイン電流を取り出すことで信号を増幅することができる。したがって、ゲートに電圧をかけた時、ドレイン電流と同程度のゲート電流が流れてしまうと、トランジスタの増幅作用が失われることになる。実際に使われる回路では、ゲートには交流電圧が印加される。ゲート部分はキャパシタとみなせるので、周波数に比例する電流が流れることになる。そこで、ゲート電流とドレイン電流が等しくなる時の入力交流電圧の周波数を遮断周波数とよび、ラン

ジスタの増幅素子としての性能を評価する一つの指標としている。ゲート電流とドレイン電流の変化量が等しくなるため、式で表すと次のようになる。

$$\frac{dI_D}{dI_G} = 1 \quad \cdots (21)$$

ゲートに印加する電圧を  $V = V_0 \sin 2\pi f t$  とする。 $V_0$  は前因子、 $f$  は入力交流電圧の周波数、 $t$  は時間である。ゲートはキャパシタとみなせるから、ゲートに流れる電流は

$$I_G = \frac{dQ}{dt} = \frac{CdV}{dt} = V_0 C 2\pi f \cos 2\pi f t \quad \cdots (22)$$

$C$  はゲートのキャパシタンスである。 $V_{GS} = V(t) = V_0 \cos 2\pi f t$  として、式(9)と式(22)を式(21)へ代入して

$$\begin{aligned} \frac{dI_D}{dI_G} &= \frac{1}{2\pi f C} \cdot \frac{dI_D}{dV_{GS}} \\ &= \frac{WC'_{ox}\mu}{2\pi f CL} \cdot \frac{d}{dV_{GS}} \left\{ (V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right\} \\ &= \frac{WC'_{ox}\mu}{2\pi f CL} V_{DS} \quad \cdots (23) \end{aligned}$$

ここで、 $C$  はゲートのキャパシタンスであるから単位面積あたりのゲートのキャパシタンス  $C'_{ox}$  を使って  $C = C'_{ox}W(L + 2\Delta L)$  が成り立つ。 $\Delta L$  はソースドレイン電極とゲート電極の重なり部分の長さである。これを式(23)へ代入して

$$\begin{aligned} \frac{dI_D}{dI_G} &= \frac{\mu}{2\pi f L(L + 2\Delta L)} V_{DS} \\ &= 1 \end{aligned}$$

よって

$$f = \frac{\mu}{2\pi L(L + 2\Delta L)} V_{DS} \quad \cdots (24)$$

この式より、遮断周波数を見積もることができる。また、逆に実測した遮断周波数の値からこの式を用いて移動度を見積もることもできる。

## 2.3 基本論理ゲートとフリップフロップ

トランジスタの応用例の一つとして例えば Radio Frequency Identification tags (RFID タグ) がある。RFID タグのような”0”と”1”の信号を伝達するデジタル回路を利用したアプリケーションでは、トランジスタをスイッチング素子として使用して電圧の高低を制御し、その電圧の高低を”0”と”1”に対応させることで2進数によるデータ伝達を行う。

デジタル回路の構成には通常 p 型と n 型の 2 種類のトランジスタが使用される。はじめにデジタル回路の基本といえるインバータの動作原理について記す。インバータの模式図を図 9 に示す。 $V_{DD}$  がトランジスタを駆動させるための供給電圧、 $V_{IN}$  が入力電圧、 $V_{OUT}$  が出力電圧となる。 $V_{IN}$  が”1” ( $V_{DD}$ ) の場合、p 型トランジスタは OFF 状態となり、n 型トランジスタは ON 状態となる。この時  $V_{OUT}$  は ON 状態になった n 型トランジスタを通じてグランドに接続されることになるので、”0”(0 V) が出力される。逆に  $V_{IN}$  が”0”の場合は p 型トランジスタが ON 状態、n 型トランジスタが OFF 状態となる。この時  $V_{OUT}$  は ON 状態になった p 型トランジスタを通じて  $V_{DD}$  に接続されることになるので  $V_{DD}$  すなわち”1”が出力される。入力と出力の値が反転していることになるので、インバータは NOT 論理ゲートとして動作する。インバータの動作をグラフに記したのが図 10 である。 $V_{IN}$  の値を変化させていくと p 型、n 型両トランジスタの ON、OFF が切り替わるタイミングで  $V_{OUT}$  の値が変化する。

このように p 型と n 型トランジスタが相補的に動作することで出力電圧を制御し論理ゲートを作製することが可能である。すべての理論式は NAND、NOR、NOT ゲートの 3 つを用いて表現することができ、p 型と n 型トランジスタの組み合わせで NOT 論理素子以外の論理素子も作製することができる。NOR、NAND ゲートの模式図を図 11、図 12 に示す。NOR は 2 つの n 型トランジスタが並列にグランドに接続され、2 つの p 型トランジスタが直列に  $V_{DD}$  に接続されている。NAND は 2 つの n 型トランジスタが直列にグランドに接続され、2 つの p 型トランジスタが並列に  $V_{DD}$  に接続されている。NOR と NAND の真理値表を表 1 に示す。NOR では入力がともに”0”であった場合にのみ”1”を出力し、それ以外ではすべて”0”を出力する。入力がともに”0”であった場合には n 型トランジスタが両方とも OFF になり、p 型トランジスタが両方とも ON になるため  $V_{OUT}$  が  $V_{DD}$  と接続され出力が”1”となる。入力のいずれかまたは両方が”1”である場合、出力は”0”になる。この状態では、2 つの n 型トランジスタのうち少なくとも 1 つは ON 状態になり、逆に 2 つの p 型トランジスタのうち少なくとも 1 つは OFF 状態になる。直列に繋がれた p 型トランジスタの部分は導通が取れず、並列に繋がれた n 型トランジスタは少なくとも 1 つは導通が取れることになる。そのため  $V_{OUT}$  はグランドと接続されることになり”0”が出力される。

こうした論理素子が RFID タグのようなアプリケーションの中に組み込まれ論理演算を行うことになる。これらの素子は現在の入力の状態に応じて出力が変化し、それ以前の入力信号には影響されない組み合わせ回路と呼ばれる回路のため、情報を記憶しておくことはできない。しかし実際のアプリケーションでは”0”、”1”の信号を一定以上のまとまりで認識し処理することが多く、現在出力されている情報とともにそれ以前の情報を記憶する回路も必要になる。

基本の記憶回路の一つにフリップフロップ回路がある。フリップフロップ回路はいくつかの種類があるが、ここでは D フリップフロップについて記す。D フリップフロップは入力信号としてクロック (CLK) とデータ(D)があり、クロックの変化に応じて出力 Q と Q' に値が出力される。この D フリップフロップを構成する方法はいくつかあるが、ここでは本研究でも作製した NAND

論理ゲートにより構成された D フリップフロップについて図 13 に示す。5 つの 2 入力 NOR 論理ゲートと 1 つの 3 入力 NOR 論理ゲートから構成されている。D フリップフロップの真理値表を表 2 に示す。NOR で構成された D フリップフロップの場合、CLK が立ち下がるタイミングで D に入力されている値が Q へ出力される。Q'には Q とは逆の値が出力される。CLK が立ち下がる以外の場合には、CLK や D が変化しても Q の値は変化しない。この性質を利用して D フリップフロップを記憶素子として利用することができる。NOR により構成された D フリップフロップの典型的な動作を図 14 に示す。CLK が”1”から”0”へ立ち下がっている場合にのみ D の値が Q に出力されていることがわかる（図 14 中 1、3、4）。CLK が立ち下がる場合でも D と Q が同じ値の場合には Q は変化しない（図 14 中 2、5）。CLK が立ち下がる瞬間以外では、CLK が立ち上がろうと D が変化しようと Q に変化はない。CLK が立ち下がるまで Q は前回 CLK が立ち下がった時の D の値を保存することになる。

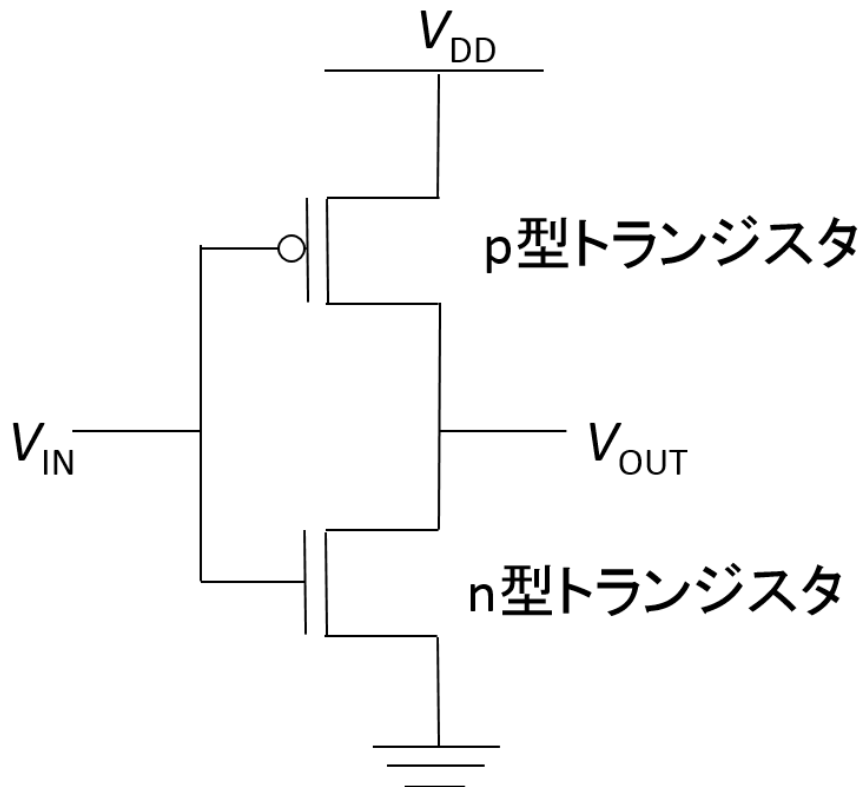


図 9 インバータ回路図



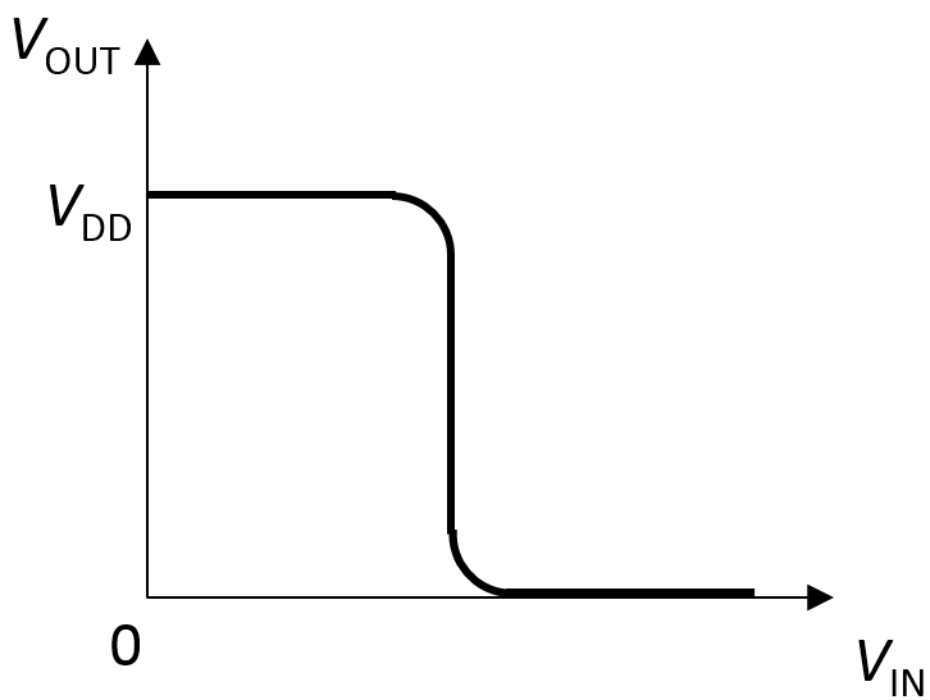


図 10 インバータの典型的な動作グラフ

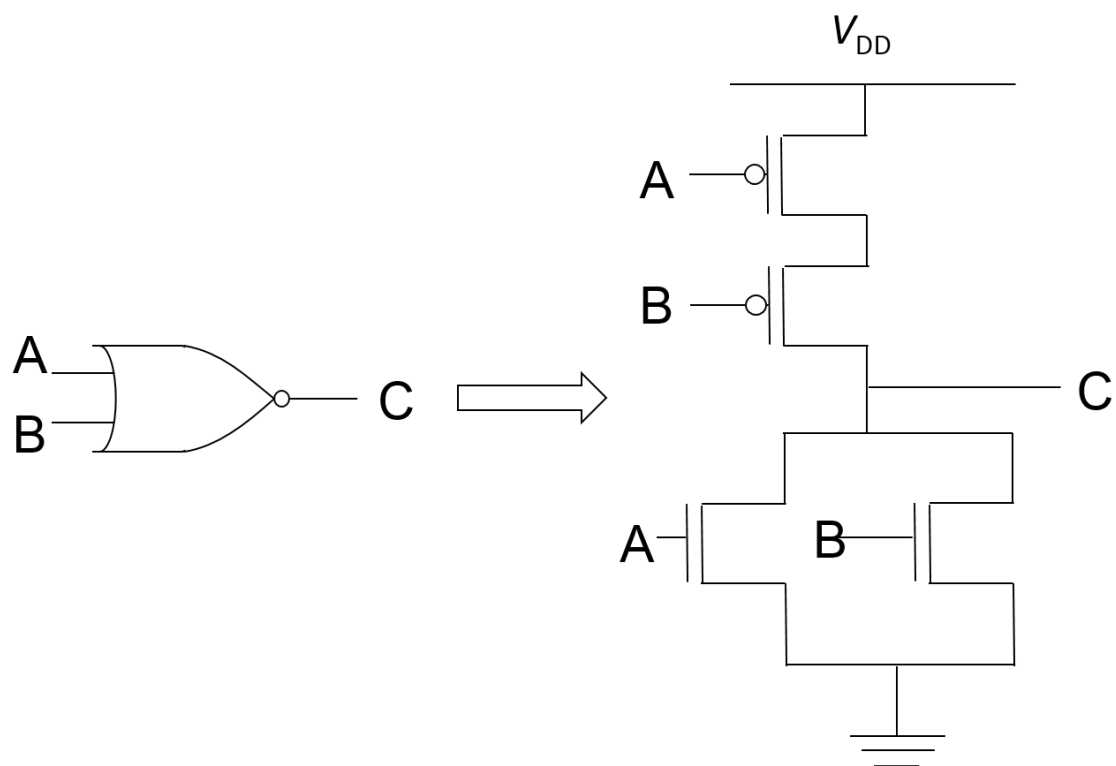


図 11 NOR 回路図

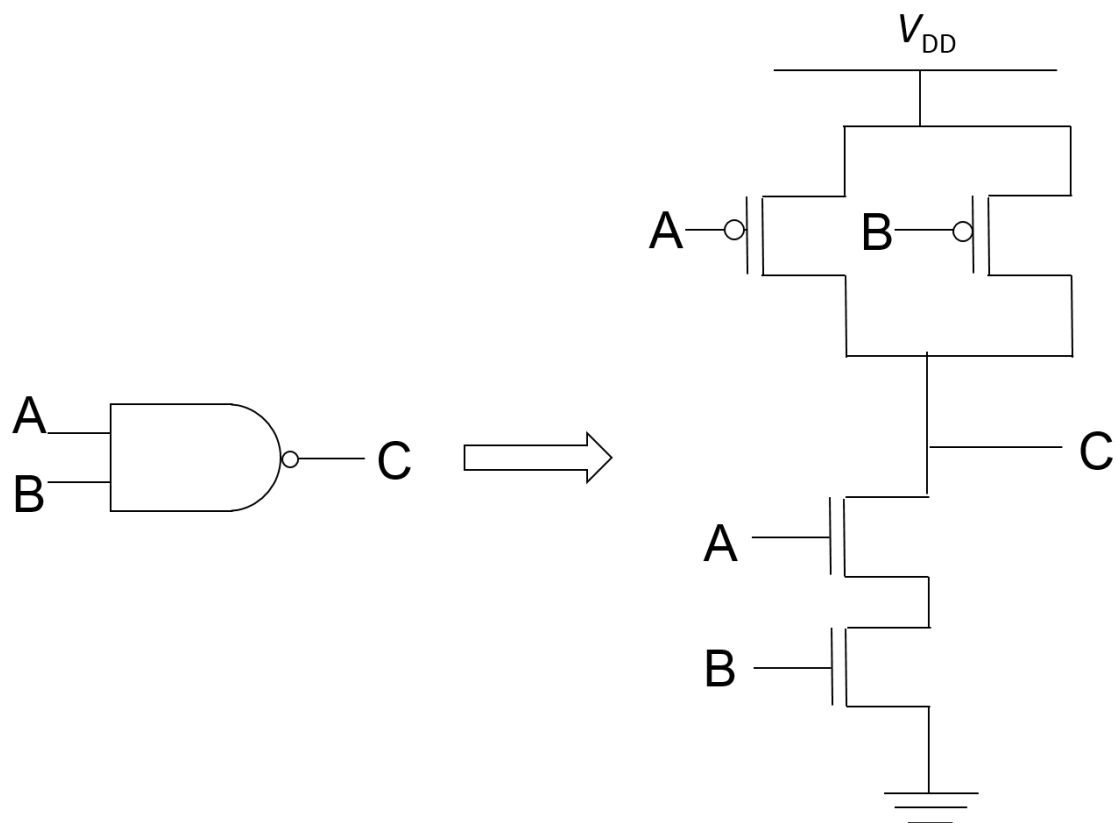


図 12 NAND 模式図

表 1 NAND と NOR の真理値表

NAND			NOR		
A	B	C	A	B	C
0	0	1	0	0	1
0	1	1	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0

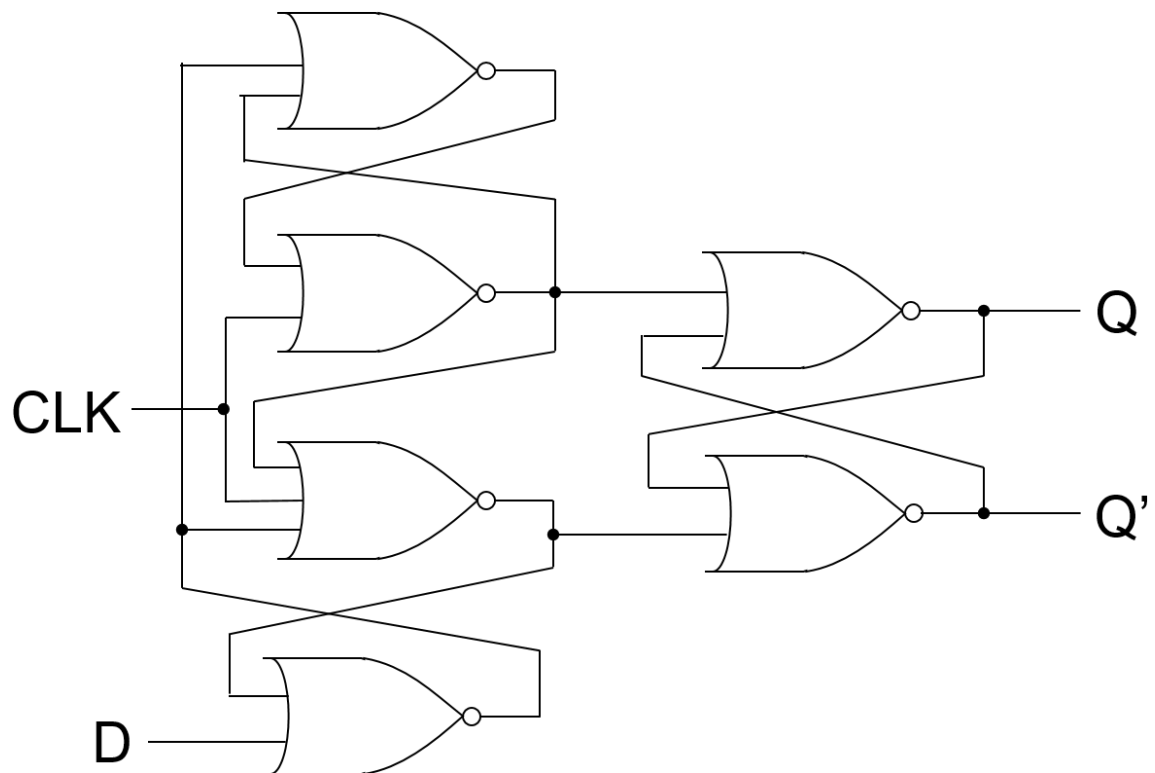


図 13 NOR 論理ゲートにより構成された D フリップフロップの回路図

表 2 NOR により構成された D フリップフロップの真理値表

D	CLK	Q
0	↓	0
1	↓	1
X (任意の値)	↑	変化なし (これまでの値を維持)

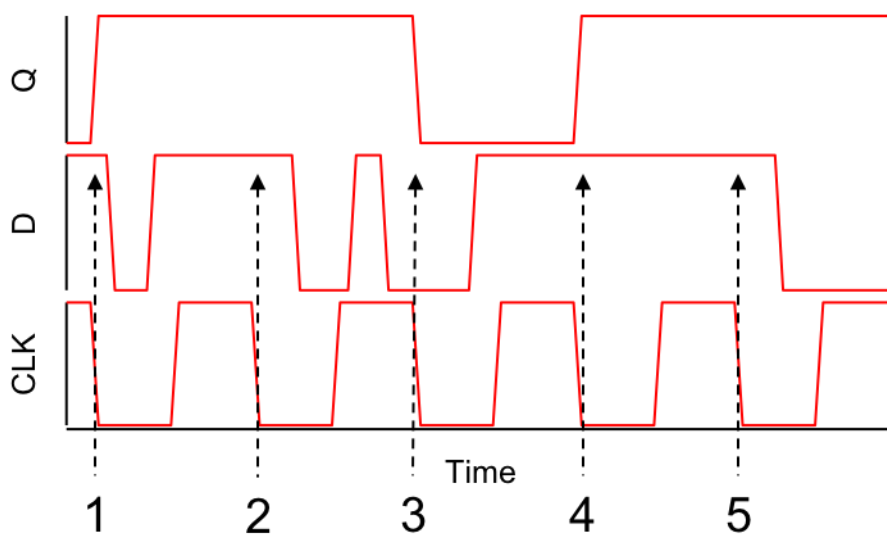


図 14 NOR 論理ゲートにより構成された D フリップフロップの動作例

## 2.4 プリンテッドエレクトロニクス

これまではトランジスタの高集積化がエレクトロデバイスの性能を向上させる上での一つの大きな関心事であった。上記のムーアの法則にほぼ沿うような形でトランジスタの高集積化が進み、エレクトロデバイスの性能は向上してきた。これからもトランジスタの高集積化を目指した研究が引き続き行われ、さらなる性能向上が達成されるものと推測される。従来通りトランジスタの集積度を高める研究が進められる一方で、高集積化とは別の方向で新たな付加価値を持ったエレクトロデバイスを実現しようという動きがある。そのうちの一つにプリンテッドエレクトロニクスがある。

プリンテッドエレクトロニクスの基本的なコンセプトは、溶液を塗って乾かすだけで電子回路を作製することができるというものである。現在一般に使用されているエレクトロニクスデバイスを作製する際は、シリコンへの不純物添加や真空蒸着など、複数の工程を経ることが必要でその中には真空工程を含むものもある。こうした従来のトランジスタの作製プロセスと比較して、大気下で溶液を塗って乾かすだけでデバイスを作製できるプリンテッドエレクトロニクスが実現することで、低コストの大量のデバイスを作製することができるのではないかと期待されている。

現在、トリリオンセンサーユニバースという概念が提唱され、大量の低コストデバイスの実現が期待されているところである。トリリオンセンサーユニバースとは1兆個のセンサーを利用して、社会全体に広大なネットワークを構築し社会問題の解決や生活・サービス向上に役立てようという構想である。1兆個のセンサーというのは現在の年間需要の100倍にも相当する数である<sup>3</sup>。トリリオンセンサーユニバースが実現されることで、あらゆるものがセンサーで覆われコンピ

ユータにつながることで医療、流通、農業、社会インフラ等様々な分野でビックデータの活用が広がり、我々の生活をより良いものにできる可能性を持っている。あらゆるものにセンサーを取り付け、あらゆるものがインターネットに繋がる IoT (Internet of Things) を推進する動きはこれから強まっていくのではないかと考えられる。IoT を推進する動きの 1 つとして、日本で 2016 年 1 月から運用が始まるマイナンバー制度を上げることができる。この制度は 1 人に 1 つの番号を付してその番号によって効率的に情報を管理することが目的である。これはものにセンサーを取り付け情報を効率よく管理する、という発想と同じものである。マイナンバー制度では人 1 人に 1 つのカードで足りるが、IoT の実現には様々なものにセンサーを取り付ける必要があり、トリリオンセンサーの構想では、具体的には 1 兆個という数のセンサーの需要創出が期待されている。1 兆個のセンサーという大量のデバイスを供給するためには作製プロセスの容易さ、低コスト化が求められる。例えば、上述のマイナンバー制度では各個人に個人番号カードが発給されるが、総務省の平成 27 年 12 月の補正予算案では 1500 万枚のマイナンバーカードの追加発行のための製造に 278.6 億円の予算を想定している<sup>4</sup>。これは単純計算でカード 1 枚あたり 1800 円程度の予算が当てられていることになる。IC を搭載するという点ではセンサーもマイナンバーカードも製造コストに関してはほぼ同等のものと考えると、この数字から大量のセンサーを普及させるためにはさらなる低価格化が必要になると推測できる。こういった事情を鑑みて、塗って乾かすだけの簡単なプロセスで低コストのデバイス作製が期待できるプリンテッドエレクトロニクスは、こうした需要を満たすものとしてその実用化が期待される場所である。

上記のように IoT をより推進するために、プリンテッドエレクトロニクス実現によるデバイスのコストダウンが注目される場所であるが、プリンテッドエレクトロニクスはフレキシブルデバイスとの親和性が高く、低コストだけではない新たな付加価値を持ったデバイスの創出が可能なのではないかとの期待も高まっている。従来のシリコントランジスタの作製ではシリコン基板へ不純物ドーピングやフォトリソグラフィーを利用したパターニングなどを行いデバイスを作りこんでいるためデバイスが作製される支持基板はシリコンとなり、曲がることはない。しかし、プリンテッドエレクトロニクスでは溶液を印刷し乾燥させるだけでデバイス作製が可能になるため、トランジスタが搭載される支持基板に様々な材料を使用することができる。支持基板に、例えば PET (ポリエチレンテレフタレート) や PEN (ポリエチレンナフタレート)、ポリイミドなどのプラスチック基板や紙を使用すればフレキシブルなデバイスを作製することが可能である。溶媒を乾燥させるための温度が比較的低いことがこのようなフレキシブルな基板の使用を可能にしている。こうしたフレキシブルなデバイスは従来のシリコントランジスタの作製プロセスでは実現が難しい。

プリンテッドエレクトロニクスに関する市場予測がなされているが、上記の低コスト、フレキシブルという点を活かすことで、例えば、スポーツ・フィットネス、生体センサー、農業 ICT の分野で、プリンテッドエレクトロニクスが実用化されることで 2020 年にはデバイス流通量、市場

規模共に2倍以上になるという予測も出ている<sup>5</sup>。デバイスコストが低減することで、ディスプレイ用途への発展が期待され、清潔性といった潜在ニーズに働きかけることができると思われる。また、低コスト化により使用できるデバイスの数が増加するだけでなくプリントエレクトロニクスでは大面積にデバイスを作製することが比較的容易であるため、センシングポイント、センシング面積の増加に伴うモニタリング精度の向上といった点も期待される。デバイスがフレキシブルであることで体にフィットするコンフォーマブルなデバイスの実現も可能になる。

このようにプリントエレクトロニクスが注目を集める中で、では具体的にどのようにしてプリントエレクトロニクスを実現するかということになる。すでに実用化されている無機トランジスタを溶液から作製しようと研究が進められる一方で、これまでの無機トランジスタを利用するものとは別の研究も進められておりそのうちの一つが有機トランジスタである。

有機トランジスタに使用される有機半導体材料は容易に有機溶媒に溶解することができるためプリントエレクトロニクスとの相性が良いといえる。半導体膜を形成する有機半導体材料は、分子間にはたらくファンデルワールス力により結合している。有機半導体材料が溶解した溶液を印刷して溶媒を蒸発させ有機半導体膜を作製する際は、有機半導体分子はファンデルワールス力によって自己組織化するため、無機半導体を溶液から作製する方法と比較して低温で製膜が可能である。フレキシブルなデバイスを作製するためには基板に紙やプラスチック基板を使用する必要があることを記したが、こうしたフレキシブルな材料は高温の作製プロセスに耐えることができない。その点を考えると低温で焼成が可能な有機トランジスタは、プリントエレクトロニクスが目指すところの一つであるフレキシブルなデバイスの作製に適していると考えられる。有機半導体分子が弱いファンデルワールス力によって結合しているという点は、フレキシブルなデバイスを実際に動作させることにおいても有利に働くと考えられる。ファンデルワールス力は可逆な力であり、基板を曲げた際に膜にかかる応力に対応することができる。無機トランジスタの場合には仮にフレキシブルな基板にデバイスを作製してそのデバイスを曲げた場合に、半導体膜にかかる応力がある値を越えた時に膜に亀裂が入り、デバイスとしての動作を示さなくなる。無機トランジスタは共有結合という強い結合でつながっているため、一度切れたその結合を修復するためには高い熱エネルギーが必要になる。一方、有機トランジスタの場合には、室温付近の熱エネルギーで分子の再配置が行われるため基板の曲げに伴う応力に対応することができ、基板を曲げた状態でもトランジスタ動作を示すことができる。

このように有機トランジスタはプリントエレクトロニクス、さらにはフレキシブルデバイスを担う重要なデバイスとして実用化が期待される場所であるが、有機トランジスタの作製には、有機半導体材料だけではなく配線材料や絶縁材料といった他の材料も必要になる。

配線電極に関して最も広く研究されているのは銀インクであると言える。基板にフレキシブルなプラスチック材料を使用する場合、プロセス温度はなるべく低いほうが好ましいため低温で焼

成できる銀インクは大きな需要がある。銀ナノ粒子に配位子を結合させ溶液中に分散させるタイプのものが一般的な銀インクであり、通常 200°C以上の温度をかけ配位子を除去することで良好な導電性を持つ銀を生成することができる。この 200°Cという温度は、例えばプラスチック基板に PET を使用したいと考える場合には、PET がこの温度に耐えられないことがほとんどである。そこで、配位させる配位子を工夫することによって低温で十分な導通が得られる銀インクの開発も行われており、150°C焼成のものや 100°C、場合によっては室温で焼成可能なインクもある。また、銀ナノ粒子を分散させるのではなく、化学反応により銀イオンから銀を析出させる銀塩インクも開発されている。ただ、低温焼成可能なインクは銀が析出しやすいため不安定なことが多く、取り扱いが難しくなるためデバイス作製プロセスの許容温度などを鑑みながら最適な材料選択を行うことになる。プリントエレクトロニクスで使用する金属配線材料としては銀インクが広く普及しているが、価格と性能のバランスを考えた場合、銀よりも銅の方が配線材料として適切であると言われており、銅インクの研究開発も行われている。銀インクは大気下での焼成で十分な導電性を持つ銀を作製することができるが、銅インクの場合大気中の酸素の影響で酸化されてしまい、大気下の焼成では十分な導電性を確保することができないことがほとんどである。そのため銅インクは不活性ガス雰囲気下で焼成を行う必要があり、その取り扱いの難しさから、銀インクのほうがより一般的に商品として取り扱われている。化学的に安定で扱いやすい配線材料として金があるが、銀、銅と比較すると価格が高くなることが難点である。しかし有機トランジスタの特性を維持する上で金を使用する利点もあり、室温で成膜可能な金インクを使用してデバイスを作製している報告もある<sup>6,7</sup>。また、本研究でも使用している無電解めっき法では材料使用効率が高く平坦性の高い金膜を作製することが期待できる<sup>8</sup>。

一例として配線材料について記したが、高性能の有機トランジスタを作製し安定して動作させるためには有機半導体材料以外にも配線材料や絶縁膜材料、デバイスの封止材料などの材料開発が必要になる。しかし、そういった有機半導体以外の材料は、良い有機半導体材料があつてこそいきてくるものである。そのため、これまでの有機トランジスタの材料研究の主な関心は新たな有機半導体分子の開発、合成であつたと言える。近年では移動度  $1 \text{ cm}^2/\text{Vs}$  を示すような高性能な有機半導体材料も多く報告されており、有機トランジスタの実用化に向けて配線材料や絶縁膜材料など他のトランジスタ構成素子の材料開発に注目が集まりつつあると言える。デバイス作製プロセスも含めて考えて、有機半導体材料の性能を最大限に活かすことのできる材料の開発研究が今後進んでいくことが期待される。

## 2.5 有機トランジスタと有機半導体材料

1964 年に有機材料で最初に電界効果導電性制御が観測され、そののち 1984 年に工藤らにより初めて有機材料を使用したトランジスタの電界効果移動が評価され、これよりあと本格的な有機

トランジスタの研究が始まった<sup>9,10</sup>。

有機分子がトランジスタ材料として電流を流すようになるためにはパイ共役系が重要になる。共有結合でつながっている有機分子においては電子が結合中に閉じ込められ1分子内に電子が局在化するが、パイ共役系が広がることで電子が非局在化し有機半導体分子間を電子が移動することで電気が流れるようになる。有機半導体材料を設計する際にはその骨格にパイ共役系を持つものを基本として考える。有機半導体分子はキャリアの種類によって分類されホール（正孔）が伝導を担う分子を p 型、電子が伝導を担う分子を n 型有機半導体材料としている。有機半導体材料及び有機トランジスタの研究では n 型よりも p 型半導体が扱われることが多い。その理由の一つとして、p 型は n 型と比較して取り扱いが容易ということがある。有機半導体材料は空気中の酸素や水の影響を受けやすく、n 型材料では大気下での劣化が p 型よりも激しいことが多い。有機半導体材料の安定性を考える一つの指標となるのが有機半導体分子の最高占有準位（Highest Occupied Molecular Orbital: HOMO）及び最低非占有準位（Lowest Unoccupied Molecular Orbital: LUMO）である。例えば、p 型材料では HOMO がおよそ 5.0 eV 以下になると大気中での動作が不安定になることが多い。HOMO、LUMO は、電気化学的手法により決定できる酸化電位および還元電位と相関があるため、既に合成された有機分子に関しては実験的にその HOMO、LUMO を見積もることができる。また、実際に分子を合成する前の段階でも DFT 計算によりある程度その値を見積もることができる。

骨格のパイ共役系の形を変えることは HOMO、LUMO を調整することが行われるが、骨格の変化は同時に分子の配向性も変化させる。有機半導体材料が高移動度を示すためには有機半導体分子間の軌道の重なりが重要であり、これを決定する要因の一つが有機半導体分子のパッキング構造である。実際に有機半導体分子を合成する際には、まず DFT 計算にて作製する予定の有機分子の HOMO、LUMO やパッキング構造を予測し、目的にかなうかどうかを予測してから合成を行う。

簡単な骨格を持ちかつこれまで様々な研究に使用されてきた p 型有機半導体分子としては、複数のベンゼン環が直線上に縮合した構造を持つアセン系縮合多環芳香族炭化水素であるペンタセンが挙げられる（図 15）。ペンタセンはトランジスタで移動度  $5 \text{ cm}^2/\text{Vs}$  の高移動度が報告されている<sup>11</sup>。この移動度だけを見ると十分実用に耐えられるだけの特性を備えているといえるが、大気中でトランジスタとして動作させるには不安定な物質であるため、大気下でも安定にトランジスタ動作する有機半導体分子の開発が目指されることになった。そして大気下で安定に動作し移動度が  $1 \text{ cm}^2/\text{Vs}$  を越えるヘテロアレーン系化合物の BTBT や DNTT といった分子が開発されることになった（図 16、図 17）<sup>12,13</sup>。有機トランジスタの高移動度が達成されたことにより有機トランジスタの実用デバイスへの応用が考えられるようになった。それに伴い、高移動度だけではなく他に付加価値を持った有機半導体材料の研究が行われるようになった。デバイスを作製する際には有機半導体膜だけではなく、配線材料や絶縁膜材料の作製についても考慮する必要がある。



例えば上記のように金属配線の作製にはある程度の温度が必要なことが多い。そのため、プロセスによっては有機半導体膜が配線作製時のプロセス温度に耐える必要がある。そして有機半導体分子が耐えられる温度が高ければ高いほど材料選択の幅が広がり、プロセスの幅も広がる。こうした事情があり、大気安定で高移動度を示すだけでなく、高温でもトランジスタ特性が劣化しない有機半導体分子が求められるようになった。そうした考えのもと合成開発された分子の一つに 3,11-didecyldinaphtho [2,3-d:20,30-d0]benzo[1,2-b:4,5-b0] dithiophene [C<sub>10</sub>-DNBDT]がある (図 18)<sup>14</sup>。C<sub>10</sub>-DNBDT は BTBT や DNTT とは異なり N 字型に屈曲した骨格を持っている。分子の骨格が屈曲していることで、熱をかけた際の分子の回転が抑制される。そうすることで分子間の軌道の重なりが減少することを避けることができ、高温におけるトランジスタの安定性が向上すると考えられている。

有機トランジスタの実用化にはこの他にも溶解性が重要な要素の一つである。有機半導体材料の溶解性を向上させるために、骨格に側鎖を付加することが多くある。また、この側鎖は溶解性の制御だけではなく、分子のパッキング構造にも影響をあたえるため、トランジスタ特性を考える上でも重要である。上記の C<sub>10</sub>-DNBDT は側鎖にアルキル鎖がついていない状態では溶解性が低く溶液プロセスに適さないが、側鎖にデシル基を付加させることによって溶解性を向上させ溶液プロセスを可能にしている。有機トランジスタの実用化が目指されている現在では、移動度の向上のみならず大気下安定性、溶液プロセスへの適合性、熱耐久性の向上が目指されている。

有機半導体の実用化を考えるにあたっては、論理素子作製のために p 型の有機半導体材料のみならず n 型の有機半導体材料も求められる。n 型有機半導体材料の開発の考え方として最も簡単な方針は、p 型の有機半導体材料にフッ素などの電子受容性の置換基を導入することで n 型動作させるというものである。この種類の n 型有機半導体材料として代表的なものがフッ素化ペンタセンである (図 19)。巨大なパイ共役系を有する分子ということでフラーレンも n 型の有機半導体材料としてよく知られた分子である (図 20)。また、これらの他にもペリレン骨格やベンゾビスチアジアゾール骨格をもった分子が知られている。p 型有機半導体材料の場合と同様にこれらの骨格に置換基を導入して溶解性の向上や分子パッキングの向上からくる移動度の向上などを狙った分子設計がなされている。例えばペリレン誘導体である N, N'-1H, 1H-perfluorobutyldicyanoperylene carboxydi-imide (PDIF-CN<sub>2</sub>)は大気中で安定に動作し 1 cm<sup>2</sup>/Vs を越える移動度が報告されている例もあり、また、p 型の有機トランジスタと組み合わせてインバータが作製されている (図 21)<sup>15-17</sup>。他には複数のベンゾビスチアジアゾール誘導体が報告されており、0.6 cm<sup>2</sup>/Vs を越える移動度を示している材料もある<sup>18,19</sup>。本研究の n 型有機半導体材料としては図 22 に示すベンゾビスチアジアゾール誘導体材料を使用している。

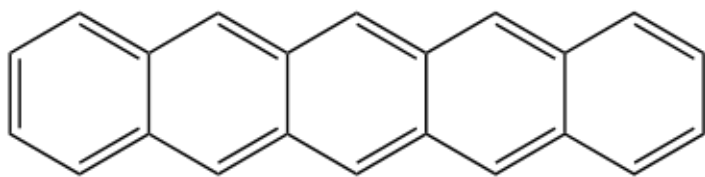


図 15 ペンタセンの構造式

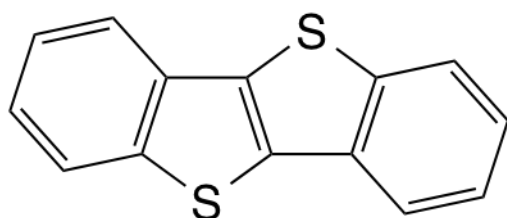


図 16 BTBT の構造式

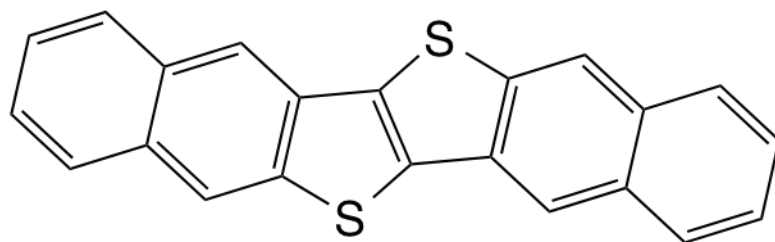


図 17 DNTT の構造式

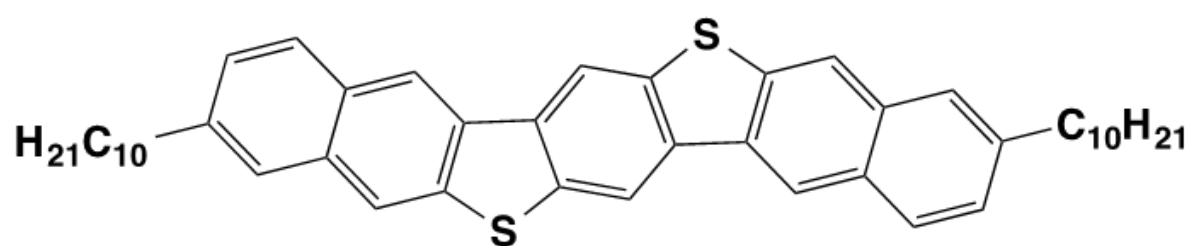


図 18 C<sub>10</sub>-DNBDT の構造式

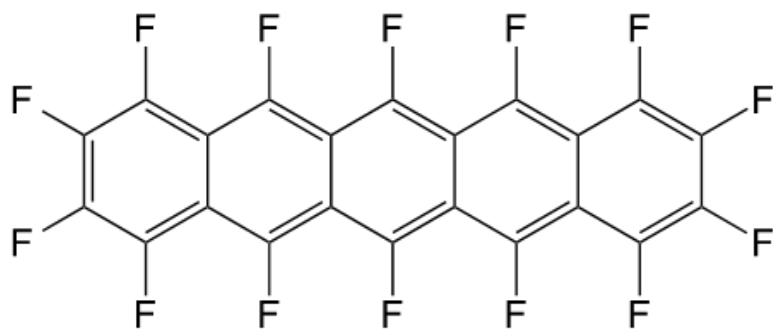


図 19 パーフルオロペンタセンの構造式

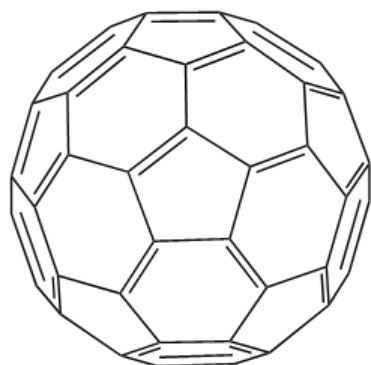


図 20 C60 フラーレンの構造式

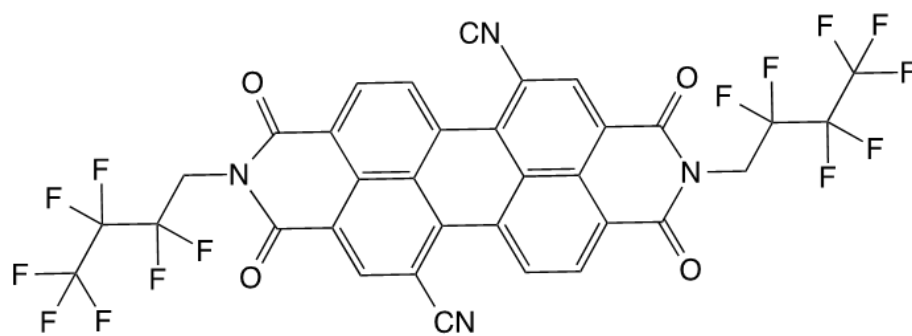


図 21 PDIF-CN2 の構造式

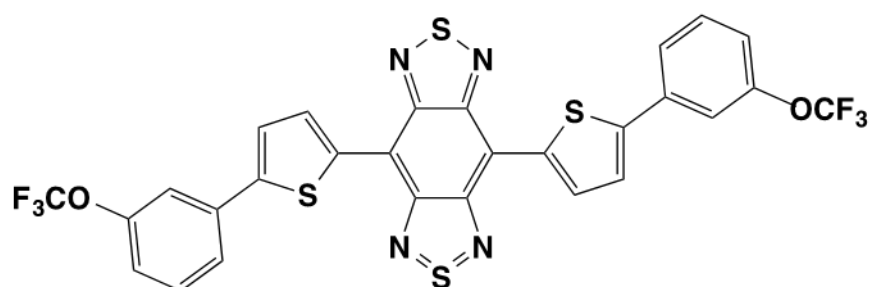


図 22 ベンゾビスチアゾール誘導体の構造式

### 3 オールウェットプロセスによる低電圧駆動可能な高移動度有機単結晶トランジスタ

#### 3.1 目的

上記のように有機半導体材料の開発合成が行われてきたことで、大気下で安定して高移動度を示す材料が多く報告されるようになった。また移動度の向上に加え、溶液プロセスへの適応を可能にする溶解度の向上、より幅広いプロセスに耐えることができる耐久性の向上が達成されており、有機トランジスタの実用化への期待が高まってきていると言える。しかし一方で、有機トランジスタの実用化を考えるにあたっては、そのデバイス特性だけではなく、デバイス作製プロセスについても検討する必要がある。

有機トランジスタに期待されるのは溶液を使ったウェットプロセスによるデバイス作製である。シリコンを中心とした無機エレクトロニクス素子の場合は真空を含むプロセスで作製されている。しかし、例えば金属を真空蒸着法により蒸着する場合には  $10^{-4}\text{Pa}$  を超える高真空環境が必要とされ、この高真空を保つための装置の製造、メンテナンスには高い費用が必要になる。また、真空プロセスが含まれることで大面積デバイスを一度に大量に作製することは難しくなる。一方で、大気下においてデバイス作製が可能な脱真空プロセスのウェットプロセスはプリントドエレクトロニクスと関連付けられ、インクを紙に印刷するように溶液を塗って乾かすだけでデバイス作製が可能であり、短時間に大量の大面積デバイスを作製することで製造コストを抑えることが可能である。このような理由から有機トランジスタではウェットプロセスによるデバイス作製が期待されている。

ウェットプロセスを利用した有機トランジスタの作製についての報告はこれまでに数多くなされており、例えば有機半導体膜をウェットプロセスにより作製する報告は多くなされている。スピコート法やインクジェット法など従来使用されてきたプロセスを応用したものや、有機半導体膜作製のために独自に開発された手法を用いたものまで様々ある。これらの報告の中には有機単結晶膜を作製できるものもあり、有機単結晶を使用することで膜内のグレインバウンダリーがなくなり結晶内の欠陥も少ないので、キャリアの移動を阻害する要因が少なくなり、高移動度を達成しやすい。そのため溶液法により作製した有機単結晶膜を使用した高移動度有機トランジスタの報告もなされている<sup>20-22</sup>。また、有機半導体膜だけではなく配線材料の銀をインクジェット法やオフセット印刷を使用して作製するといった報告もなされている<sup>23,24</sup>。

有機半導体膜や配線金属など個々のトランジスタ構成素子をウェットプロセスにより作製する報告は多くなされているが、それら技術を組み合わせてトランジスタ構成素子を全てウェットプロセスにより作製したオールウェットプロセスによるデバイス作製報告はそれらと比較すると多くない。オールウェットプロセスでデバイスを作製することの難しさは、材料選択に関わる制限が多くなることである。オールウェットプロセスで膜を積層していく場合、次に使用する溶媒が

すでに作製してある下地となる層を溶解しないことが求められる。また、均一性の高い良質な膜を作製するためには濡れ性も考慮しなければならない。こうしたプロセスによる制限を受けることから、オールウェットプロセスにより作製されたトランジスタの特性は一般的に低く、移動度は  $1 \text{ cm}^2/\text{Vs}$  に達しないものが多い<sup>25,26</sup>。また、高移動度を示すオールウェットデバイスも報告されているが、駆動電圧が高く実用化に際しては低電圧で駆動できることが望ましい<sup>7</sup>。

有機トランジスタの実用化を考えるにあたり、オールウェットプロセスにより作製され低電圧駆動で高移動度を示す有機トランジスタが求められているが、現状そのようなデバイスは報告されていない。そこで本研究では、オールウェットプロセスによる高移動度かつ低電圧駆動可能な有機トランジスタの作製を目指した。オールウェットプロセスにより作製されたトランジスタは  $5 \text{ V}$  で駆動し、 $1 \text{ cm}^2/\text{Vs}$  を大きく超える高移動度を達成した。

### 3.2 トランジスタ作製手順

本実験で作製したボトムコンタクト・トップゲート構造のトランジスタの模式図を図 23 に示し、トランジスタ作製プロセス全体の概略図を図 24 に示す。支持基板にガラス基板とプラスチック基板を用いて2つのデバイスを作製した。それぞれの基板の上に銀ゲート電極、ポリマー絶縁膜、有機半導体膜、ソースドレイン金電極を順に作製した。以下ではそれぞれの作製プロセスについて詳しく記す。

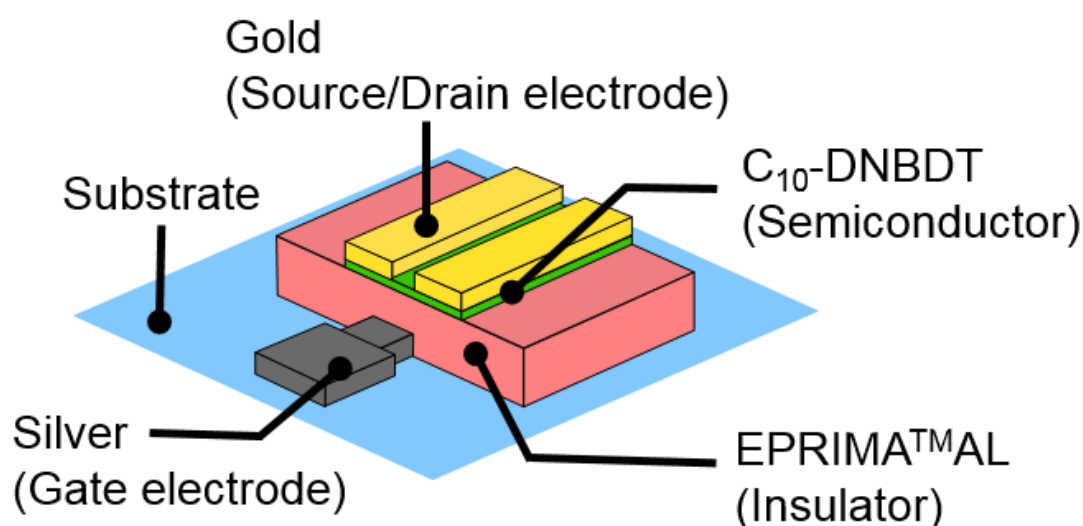


図 23 作製したトランジスタ模式図

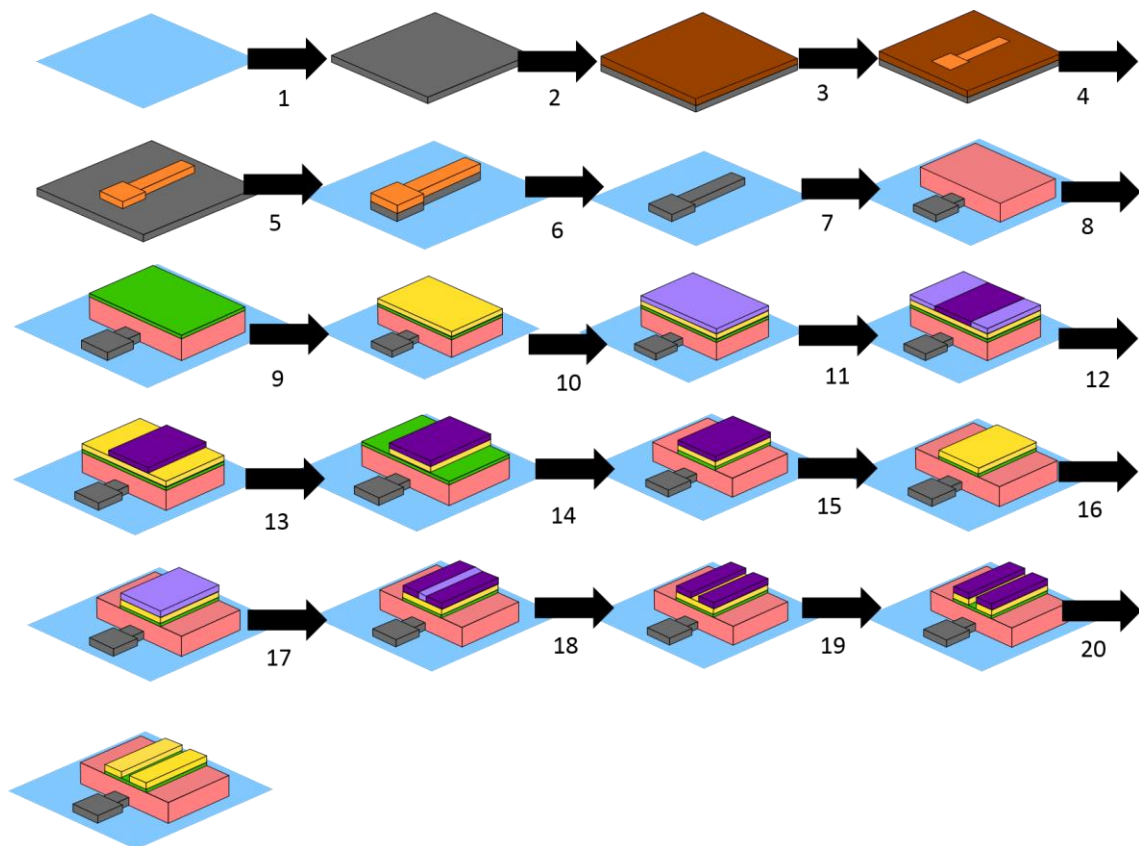


図 24 オールウェットプロセスによるトランジスタ作製工程模式図。(1)銀塩インクを使用して銀の製膜 (2)フォトレジストの塗布 (3)フォトマスクを通じて露光 (4)フォトレジストの現像 (5)銀膜のエッチング (6)フォトレジストの除去 (7)フッ素系ポリマー絶縁膜の製膜 (8)連続エッジキャスト法による有機半導体膜の製膜 (9)無電解めっき法による金膜の製膜 (10)フッ素系フォトレジストの塗布 (11)フォトマスクを通じて露光 (12)フォトレジストの現像 (13)金膜のエッチング (14)有機半導体膜のスプレーエッチング (15)フォトレジストの除去 (16)フッ素系フォトレジストの塗布 (17)フォトマスクを通じて露光 (18)フォトレジストの現像 (19)金膜のエッチング (20)フォトレジストの除去

### 3.2.1 ゲート電極の作製

無アルカリガラス基板のイーグル XG（コーニング社製、厚みは 0.7 mm）とポリイミドフィルムのポミラン（荒川化学工業株式会社製、厚みは 38  $\mu\text{m}$ ）を支持基板として使用し、それぞれの基板の上に銀塩インク（トッパン・フォームズ株式会社製）を 3000 rpm で 20 秒の条件でスピコートした<sup>27</sup>。スピコート後、オーブンを使用して 100℃で 30 分加熱後、150℃で 30 分加熱し、基板上全面に銀膜を作製した。この銀の製膜工程は、室温付近で相対湿度が 20%程度環境下で行った。（図 24 中の 1 の工程）

次にその銀膜をフォトリソグラフィーによりパターニングした。OFPR-800LB（東京応化工業株式会社製）を 750 rpm で 5 秒、3000 rpm で 40 秒の条件でスピコートした後、90℃のホットプレートで 90 秒加熱し（図 24 中の 2 の工程）、高圧水銀ランプを使用した露光装置で 36  $\text{mJ}/\text{cm}^2$  の光をフォトマスクを通じて照射した（図 24 中の 3 の工程）。その後 NMD-3（東京応化工業株式会



社製)に基板を 20 秒浸漬しレジストの現像を行った後、超純水で洗浄した(図 24 中の 4 の工程)。SEA-1 (関東化学株式会社製)へ基板を 10 秒浸漬し銀のエッチングを行い、超純水で洗浄した(図 24 中の 5 の工程)。最後に NMP (N-メチル-2-ピロリドン) と DMSO (ジメチルスルホキシド) を体積比 1:1 で混合した溶液に基板を 1 分間浸漬させ、OFPR-800LB レジストの除去した(図 24 中の 6 の工程)。

#### 補足：フォトリソグラフィー

フォトリソグラフィーは感光性物質のフォトレジストを使用し基板上に所望のパターンを作製する手法である。基板上にフォトレジストを塗布しフォトマスクを通して基板を露光する。フォトマスクには主にクロムでパターンが描かれており、クロムの部分は光を通さないため基板は露光されない。露光された部分はある溶媒に対する溶解性が変化するので、その溶解性の差を利用してパターンニングを行うことができる。超微細パターンニングを必要としない一般的なフォトリソリソグラフィーでは、高圧水銀がランプ光源として使用される。水銀ランプの i 線(365 nm)や g 線(436 nm)に反応する典型的なフォトレジストとして、ジアゾナフトキノノボラック系レジストが挙げられる。ノボラックがベースポリマーでジアゾナフトキノン誘導体が溶解阻害剤として働く。ジアゾナフトキノンは光が照射されるとウルフ転移によりケテンを生じ、ケテンが水と反応することでカルボン酸が生成される(図 25)。したがって、露光された部分はアルカリ水溶液に可溶になり、アルカリ水溶液を使用することでパターンニングを行うことができる。本研究では OFPR-800LB がこの種類のレジストであり、NMD-3 がこのアルカリ水溶液である。有機トランジスタの研究ではマイクロメートルオーダーのパターンニングがほとんどであるため、水銀ランプを使用する上記のようなフォトレジストを利用することがほとんどであるが、無機トランジスタの場合にはナノメートルオーダーの微細なパターンニングが必要になるため、ArF エキシマレーザー(193 nm)などを光源とするフォトリソグラフィーが行われる。それに合わせて高感度化を達成するために化学増幅型レジストやポリマーを使用しない分子レジストの開発も行われている。本研究で使用している OScOR4000 は水銀ランプを使用するが、化学増幅型のレジストである。レジストに光酸化発生剤が添加されており、光照射によって酸が発生する。この酸が触媒となりレジストポリマー中の官能基の極性変化を誘起する。

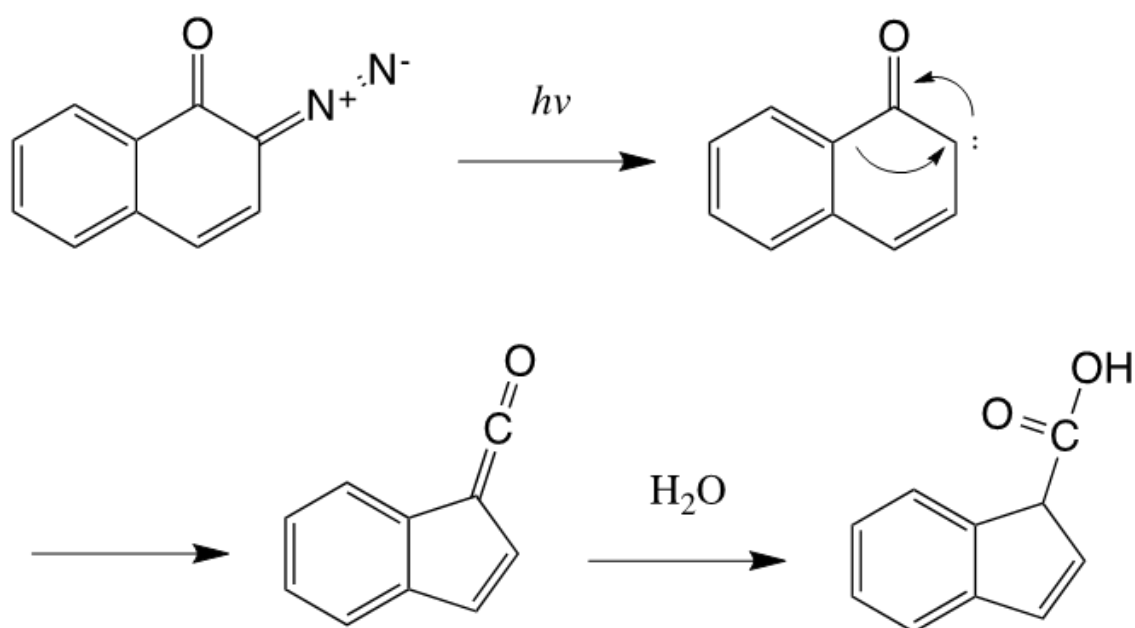


図 25 ジアゾナフトキノンのウルフ転位によるカルボン酸への変換反応

### 3.2.2 絶縁膜の成膜

フッ素系ポリマー材料である EPRIMA™AL (旭硝子株式会社製) を絶縁膜材料として使用した。ガラス基板上へは EPRIMA™AL とプロピレングリコールモノメチルエーテルアセタート (PGMEA) を質量比 2:1 で混合し希釈した溶液を使用して、最初に 500 rpm で 5 秒、次に 2000 rpm で 60 秒の条件でスピコートした後、150°C のホットプレート上で基板を 30 分加熱した。ポミラン基板上へは原液の EPRIMA™AL を使用し最初に 500 rpm で 5 秒、次に 3000 rpm で 60 秒の条件でスピコートした後、150°C のホットプレート上で基板を 30 分加熱した。(図 24 中の 7 の工程)

### 3.2.3 有機半導体膜の成膜

有機半導体材料としては当研究室で開発合成された 3,11-didecyldinaphtho[2,3-d:20,30-d']benzo[1,2-b:4,5-b']dithiophene (C<sub>10</sub>-DNBDT) を使用した<sup>14</sup>。成膜手法には当研究室で開発された連続エッジキャスト法を用いた<sup>28</sup>。連続エッジキャスト法の模式図を図 26 に示す。基板上に板ガラスを保持し、そこへ有機半導体材料が溶解した溶液を供給しながら基板を移動させることで、溶媒の蒸発速度と方向を制御して有機単結晶膜を作製する方法である。連続エッジキャスト法により有機半導体膜を製膜後、窒素雰囲気下において 100°C で 8 時間加熱し、残留溶媒を取り除いた (図 24 中の 8 の工程)。



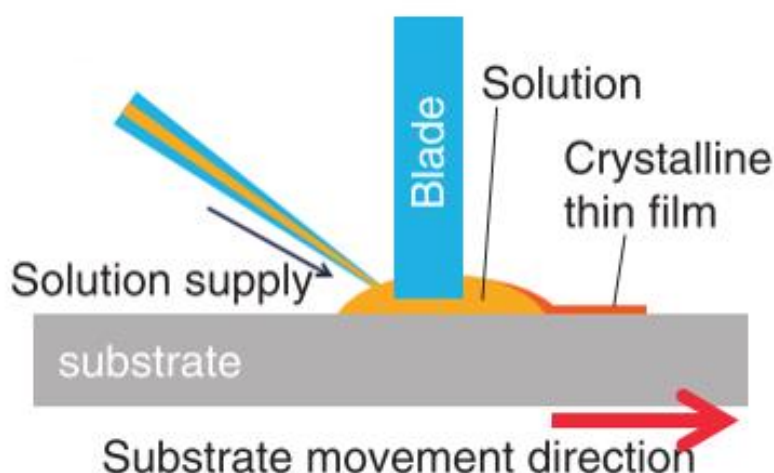


図 26 連続エッジキャスト法の模式図（論文より引用）<sup>28</sup>

### 3.2.4 保護金の成膜と有機半導体のパターニング

まず有機半導体膜の保護層として金膜の作製を行った。本実験では無電解めっき法により金膜の作製を行った（図 24 中の 9 の工程）。同様の無電解めっきによる金膜作製のプロセスはすでに報告されておりその作成手順を示す<sup>8,29</sup>。まず、有機半導体膜上に界面活性剤を吸着させる。使用した界面活性剤はトリメチルスチアリルアンモニウムクロリド（東京化成工業株式会社製）である。この 0.3 wt % の水溶液に基板を浸漬させ、界面活性剤を有機半導体膜へ吸着させた。次に、Au-Xi コロイド溶液（日本エレクトロプレイティング・エンジニアーズ株式会社製）に基板を浸漬させて、界面活性剤に無電解めっきの触媒となるコロイドを吸着させた。最後に基板を PRECIOUSFAB ACG3000WX（日本エレクトロプレイティング・エンジニアーズ株式会社製）へ 6 分間浸漬させて、有機半導体膜に吸着しているコロイド上で無電解めっきを発動させ金膜を作製した。

上記の方法で保護層の金を製膜した後、フォトレジストを使用しパターニングを行った。フッ素系フォトレジストの OScOR4000（Orthogonal Inc. 製）を使用した。500 rpm で 5 秒、2000 rpm で 60 秒の条件でスピコートを行った後、65°C のオーブンで 25 分間加熱した（図 24 中の 10 の工程）。その後、高圧水銀ランプで 150 mJ/cm<sup>2</sup> の光を照射し、再び 65°C のオーブンで 25 分間加熱した（図 24 中の 11 の工程）。その後、Novec7300（3M ジャパン株式会社製）へ基板を 5 分間浸漬させ現像を行った（図 24 中の 12 の工程）。その後、金のエッチャントである AURUM S-50790（関東化学株式会社製）へ基板を 1 分浸漬させて金のパターニングを行った（図 24 中の 13 の工程）。保護層のパターニングが終わったところで、次に有機膜のエッチングを行った。基板をスピナーで回転させながらクロロベンゼンをスプレーにより吹きかけて、保護層で保護されていない

い部分の有機半導体膜を溶解させることでエッチングを行った(図 24 中の 14 の工程)。最後に、基板を Novec7100 (3M ジャパン株式会社製)へ 1 分間浸漬させ、OScOR4000 を剥離させた(図 24 中の 15 の工程)。

#### 補足：無電解めっき法

めっきはある物質の表面を金属で修飾する方法のひとつである。広義では真空蒸着やスパッタリングのような乾式と溶液に浸漬させる湿式があるが、ここでは本研究に使用した湿式めっきについて記す。湿式めっきは電解めっきと無電解めっきに大別される。どちらの方式も金属がイオンとして溶解しためっき液から金属を還元させて金属を析出させる。電解めっきでは、めっき液に被めっき物の金属を陰極に、Ti/Pt 電極電極を陽極にして電気分解を行う。被めっき物上で金属が還元され析出することで被めっき物の表面を金属で覆うことができる。被めっき物上で還元反応を起こすために、被めっき物には導電性が求められ基本的に金属にのみめっきすることができる。一方の無電解めっきは電気が必要にならないめっき法で置換型と還元型とに分類される。置換型では、まず被めっき物をめっき液へ浸漬させる。すると被めっき物から金属が酸化されイオンとして溶け出し、そのかわりにもともとめっき液中に溶けていた金属が被めっき物上で還元され析出することで表面を金属で修飾する。被めっき物のほうがイオン化傾向が高い場合にのみ使用できる方法であり、また一度表面に金属めっきされると被めっき物の溶出が起こらないため酸化還元反応が進まず、膜厚の小さいめっき膜のみ作成が可能である。無電解めっきのもう一つの手法である還元型は本研究で採用しためっき方式である。めっき液中に還元剤を投入し、還元剤が被めっき物表面上でめっき液中の金属イオンと酸化還元反応を起こし金属が析出される。この方法ではこれまでの方法とは異なり、導電性を持たない有機物なども被めっき物として選択することができる。また、膜厚の理論限界はなく、厚い膜を作製することも可能であり、膜厚コントロールも比較的行きやすい。本研究では界面活性剤(トリメチルステアリルアンモニウムクロリド)を使用して有機半導体表面に予め触媒(Au-Xi コロイド)を吸着させ、そこで金の析出を行っている。

### 3.2.5 ソースドレイン電極の作製

ソースドレイン金電極のエッチングは上記の有機半導体パターニングと同じく、OScOR4000、AURUM S-50790 を使用したプロセスにより行った(図 24 中の 16~20 の工程)<sup>30</sup>。この方法でチャネル長 20  $\mu\text{m}$ 、チャネル幅 500  $\mu\text{m}$  のソースドレイン電極を作製した。作製したトランジスタの光学顕微鏡写真を図 27 に示す。

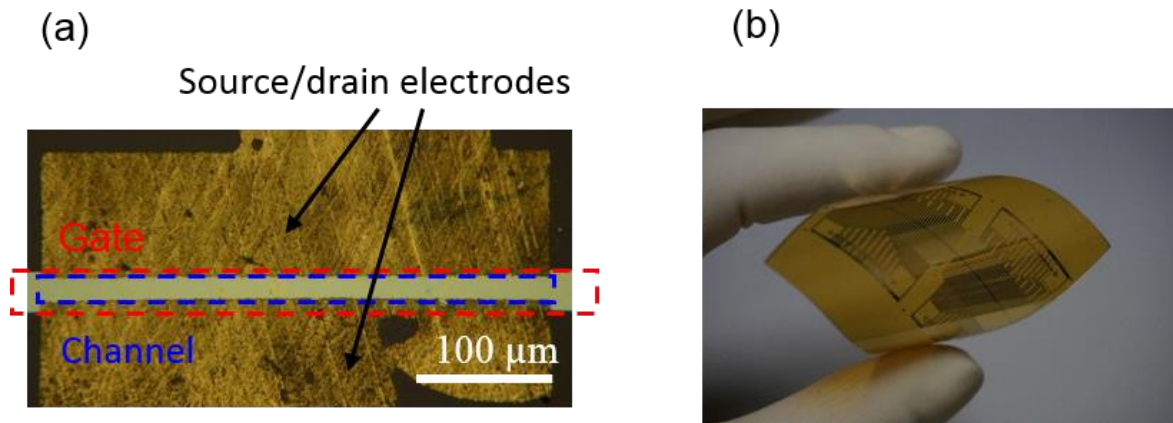


図 27 (a)ガラス基板上に作製したトランジスタの光学顕微鏡写真、(b) ポミラン基板上に作製したトランジスタの写真

### 3.3 トランジスタ作製結果

#### 3.3.1 ゲート電極

ボトムゲート構造のトランジスタではゲート電極の表面平滑性は高移動度を達成するために重要になる<sup>31</sup>。ゲート電極の粗さは絶縁膜の粗さにも影響し、平滑でない絶縁膜表面上に有機半導体が成膜されることでトラップの原因になり、移動度の低下につながる。また、絶縁膜が平滑でないとは有機半導体薄膜の膜成長そのものに影響があり均一性の高い有機半導体膜を作製することが困難になる。そこで、今回ガラス基板上に作製した銀ゲート電極の表面粗さをAFM(Atomic Force Microscopy)により測定した。その結果を図 28 に示す。平均表面粗さは 5 nm 程度と求められ、十分な平滑性を有することが確認された。

今回使用した銀塩インクは 150°C という比較的低温で、 $20\sim 30\ \mu\Omega\text{cm}$  と十分に低い体積抵抗率を示す銀膜を作製することが可能であり、フレキシブルデバイス実現に必要なプラスチックフィルムを基板に使用することができる。

今回使用した銀インクは製膜時の湿度制御が重要になる。湿度が高い状態で製膜を行うと平滑な膜が得られず、また膜の導電性が低下する。湿度が高い状態で作製した銀膜表面の光学顕微鏡観察写真を図 29 に示す。光学顕微鏡でも確認できるほどの結晶粒が確認された。

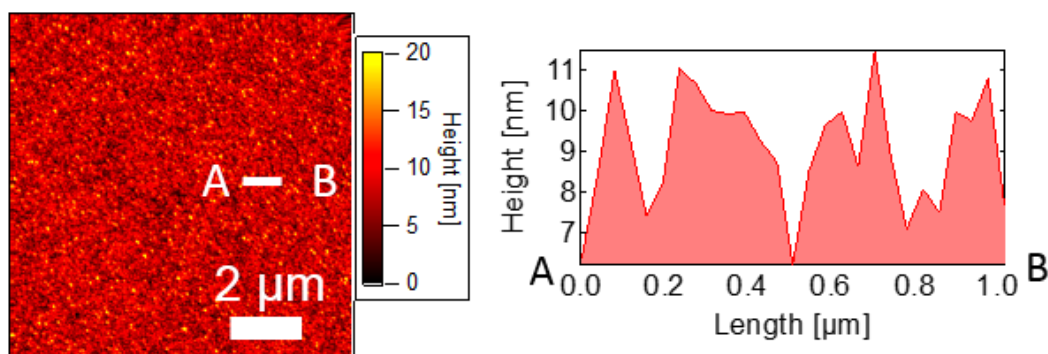


図 28 AFM によるゲート銀電極の表面観察結果



図 29 高湿度環境下で作製した銀膜の光学顕微鏡による表面観察写真

### 3.3.2 絶縁膜

作製した絶縁膜の厚みを段差計で測定した結果、ガラス基板でおよそ 320 nm、ポミラン基板で 625 nm の膜厚の絶縁膜が得られていることがわかった。スピコートによるポリマー絶縁膜の製膜では基板の回転数によって絶縁膜の厚みを制御することができる。スピコートの基板の回転数と作製される膜厚の関係を図 30 に示す。事前に回転数と膜厚の関係を求めておくことで、目的の膜厚を得ることができる。今回の実験ではガラス基板とポミラン基板で絶縁膜の厚みを変えている。トランジスタの測定結果の項で記しているが、低電圧駆動を可能にするために小さいサブスレッショルドスウィングの実現を目指している。絶縁膜の厚みはできるだけ薄いほうが小さいサブスレッショルドスウィングを実現できるため、ゲート電極の厚み、絶縁膜のリークの懸念などといったことを鑑みて 300 nm 程度の厚みを狙った。ポミラン基板の場合もサブスレッショルドスウィングを小さくするために絶縁膜の厚みを薄くすることが求められるが、ポミラ

ン基板はガラス基板と比較して表面粗さが大きい。そのため、絶縁膜が薄すぎると基板の粗さの影響を受けやすく、絶縁膜表面の粗さが大きくなる。そのため、絶縁膜を厚くして基板の表面粗さの影響を小さくする目的で絶縁膜をガラスの場合と比較して厚く製膜している。

これまでフッ素系のポリマー絶縁膜を使用したデバイスで、界面のトラップ密度が小さく、小さなサブスレッショルドスウィングが実現されている<sup>32</sup>。フッ素系ポリマーは撥水性、撥油性が高いため表面への吸着分子が少なく、これら吸着分子によって引き起こされるトラップ密度を減少させる。この実験においても、小さなサブスレッショルドスウィングを実現し低電圧駆動を目指すためにフッ素系のポリマーを絶縁膜に選択した。上記のサブスレッショルドスウィングが理論値限界に近い値を示すトランジスタの絶縁膜にはフッ素系のポリマーCYTOP（旭硝子株式会社製）が使用されており、本研究でも同じ絶縁膜を使用することが望ましいと考えられる。しかし、CYTOPを絶縁膜として使用すると撥油性の高さから有機半導体材料が溶解した有機溶媒が弾かれてしまい CYTOP 上に有機半導体膜を製膜することができない。そのため本研究では CYTOP と比較してフッ素化率が小さく有機溶媒の濡れ性が向上しており、かつ、ある程度界面のトラップ密度減少が見込める EPRIMA<sup>TM</sup>AL を絶縁膜として使用した。

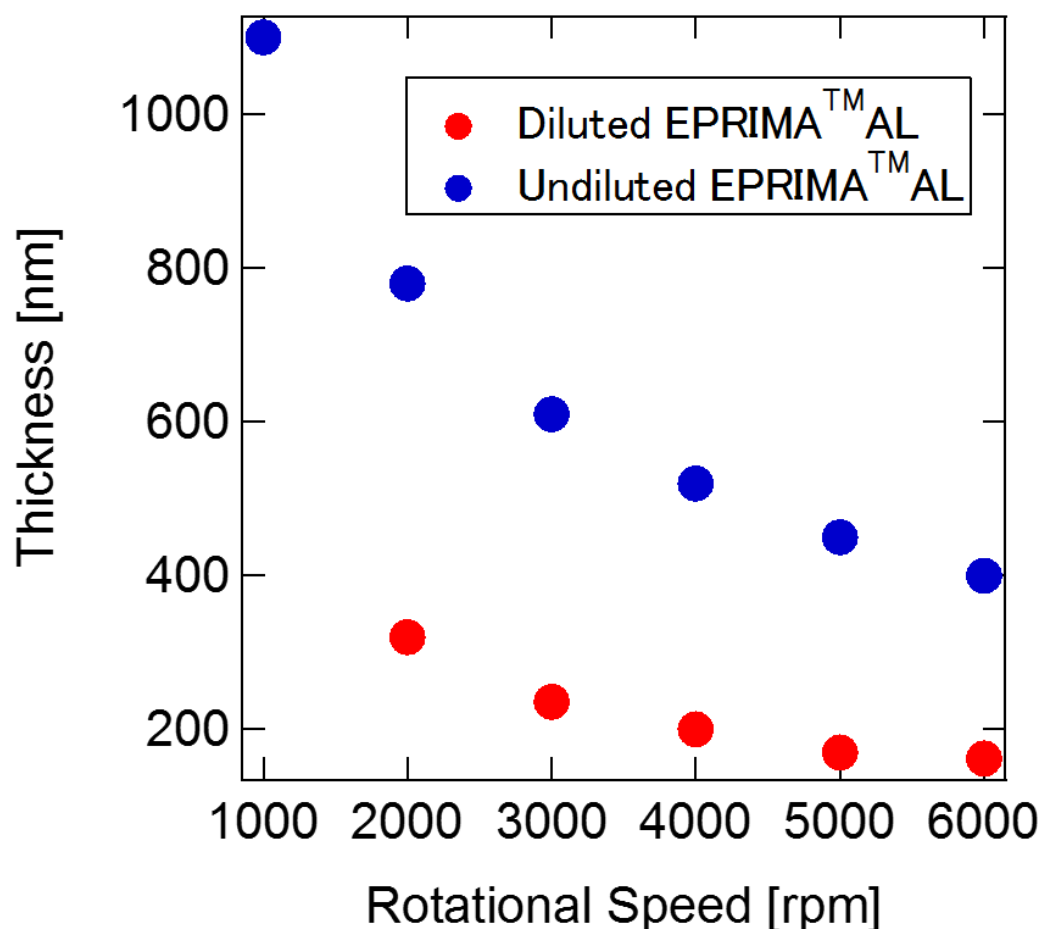


図 30 EPRIMA<sup>TM</sup>AL のスピコート回転数と膜厚の関係



### 3.3.3 有機半導体膜

連続エッジキャスト法により作製された有機単結晶膜のクロスニコル偏光顕微鏡による観察結果を図 31 に示す。基板を 45°回転させた時に完全に消光していることから、配向性の高い膜が作製出来ていることが確認できた。作製している基板は異なるが材料と手法を同様にして作製した膜で X 線による測定が行われており、結晶性の高い有機半導体膜が作製されていることが確認されている<sup>28</sup>。有機単結晶を使用することでグレインバウンダリーがなく、また、欠陥も少ないので高移動度、低トラップ密度を期待することができる。また、C<sub>10</sub>-CNMDT は熱に対する耐久性が高く 150°C 付近まで加熱しても特性が劣化しないため、全プロセスを通じて加えられることになる温度にも耐えることができる。



図 31 C<sub>10</sub>-DNBDT 薄膜の偏光顕微鏡による観察写真

### 3.3.4 有機半導体膜のエッチング

通常のエッチング工程では基板をエッチャントに浸漬させることが一般的であり、ゲート電極の銀やソースドレイン電極の金のパターンニングでは基板を現像液に浸漬させることでエッチングを行っているが、有機半導体膜のエッチングではエッチャントをスプレーで吹きかけてエッチングを行っている。有機半導体のパターンニングの際に基板をエッチャントに浸漬させてしまうと、残すべきパターンも剥がされてしまう。これは、エッチャントが有機半導体膜と絶縁膜の界面に浸透し、有機膜が引き剥がされるためと考えられる。比較のために、基板をエッチャントに浸漬させた場合と、スプレーによりエッチングした場合の写真を図 32 に示す。金とレジストで保護された長方形のパターンが残るべき部分であるが、浸漬させた条件では残るべき長方形のパターンが剥離し有機膜が残っていない。それに対しスプレーによるエッチングでは保護されていない部分の有機膜がエッチングされ、保護されているパターンは残っている。

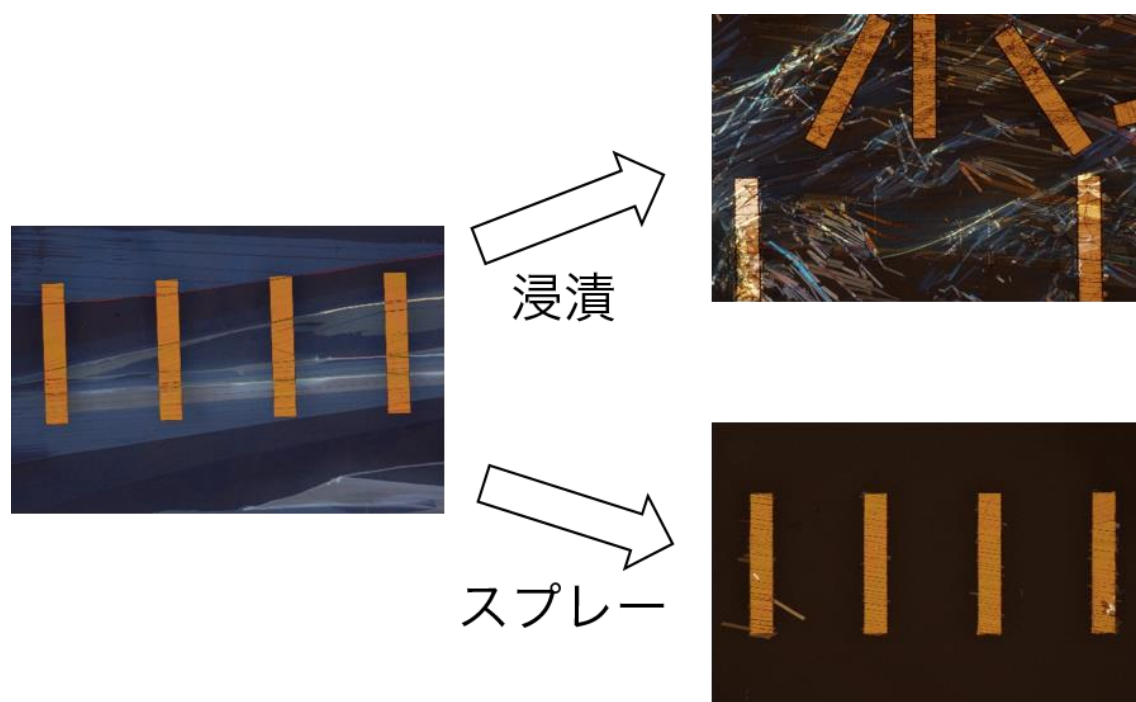


図 32 異なるウェットエッチング手法によりエッチングした基板の写真

### 3.3.5 ソースドレイン電極のパターニング

作製した金ソースドレイン電極の膜厚はおよそ 50 nm で体積抵抗率は  $80\sim90\ \mu\Omega\text{cm}$  と求められた。この値は有機トランジスタに使用する電極の抵抗率としては十分である。金属上に行う無電解めっきでは更に低抵抗の金膜を製膜することができるが、今回の場合は有機半導体膜への触媒の吸着が不均一などの理由で、より最適な条件で作製された金膜と比較して抵抗値が増加しているものと考えられる。

フォトリソグラフィーで使用したフッ素系フォトレジスト、およびフォトレジストの現像、除去に使用したフッ素系溶媒は有機半導体材料を溶解させることがなく、また、揮発性が高く有機半導体膜内部に残留溶媒が残り影響をあたえることもほとんどないと考えられ、有機半導体膜に大きな影響を与えることなくプロセスを完了することができる。ソースドレイン電極のパターニング工程では有機半導体膜が金のエッチャントである AURUM にさらされることになる。先行研究の報告にもあるように、ペンタセンといった他の有機半導体材料では AURUM の酸化作用の影響で OFF 電流が増加するなどトランジスタ特性の劣化が見られるが、本研究で使用した  $\text{C}_{10}\text{-DNBDT}$  は深い HOMO を有するために、AURUM による酸化の影響が小さく特性が激しく劣化することはない<sup>30</sup>。

### 3.3.6 トランジスタ測定結果

作製したガラス基板上、ポミラン基板上それぞれのトランジスタ特性について線形領域、飽和領域、出力特性を図 33、図 34 に示す。両トランジスタとも ON 状態においてヒステリシスがなく（ゲート電圧はプラス側からマイナス側へ掃引した後再びプラス側へ掃引しているが、行きと帰りで電流値にほとんど変化がない）、5V で駆動した。ガラス基板上のトランジスタは線形移動度  $2.3 \text{ cm}^2/\text{Vs}$ 、飽和移動度  $6.9 \text{ cm}^2/\text{Vs}$ 、ON/OFF 比  $10^5$  を示した（移動度は式(10), (11)を利用して求めた。必要な値は  $L = 20 \text{ }\mu\text{m}$ ,  $W = 500 \text{ }\mu\text{m}$ ,  $C'_{\text{ox}} = 8.58 \frac{\text{nF}}{\text{cm}^2}$ ,  $V_{\text{DS}} = -0.5 \text{ V (Linear regime)}$ ,  $V_{\text{DS}} = -5 \text{ V (Saturation regime)}$ ）。ポミラン基板上のトランジスタは線形移動度  $2.0 \text{ cm}^2/\text{Vs}$ 、飽和移動度  $6.6 \text{ cm}^2/\text{Vs}$ 、ON/OFF 比  $10^3$  を示した（移動度算出に必要な値は  $L = 20 \text{ }\mu\text{m}$ ,  $W = 500 \text{ }\mu\text{m}$ ,  $C'_{\text{ox}} = 4.40 \text{ nF/cm}^2$ ,  $V_{\text{DS}} = -0.5 \text{ V (Linear regime)}$ ,  $V_{\text{DS}} = -5 \text{ V (Saturation regime)}$ ）。

両デバイスとも線形の移動度が低いのは有機半導体材料と金電極間の接触抵抗が大きいことが原因と考えられる。無機半導体の場合にも半導体と金属の間に生じる抵抗は問題になり、半導体と金属を接触させた場合には両者のフェルミ準位が一致するようにバンドが曲がり界面付近では空乏層形成によるエネルギー障壁が生じる。有機半導体と金属の間にもエネルギー障壁が生じると考えられ、この障壁の大きさは有機半導体材料の HOMO（p 型有機半導体の場合）と金属の仕事関数の値の差から簡易的に推測される。HOMO と仕事関数の差が小さいほどエネルギー障壁が小さくなりキャリアが流れやすくなると考えられる。本研究で使用した p 型有機半導体材料 C<sub>10</sub>-DNBDT の HOMO は 5.24 eV で、ソースドレイン電極として使用した金の一般的に言われる仕事関数は 4.9~5.1 eV 程度である<sup>14</sup>。C<sub>10</sub>-DNBDT の HOMO と金の仕事関数が完全には一致していないため接触抵抗が大きくなっている可能性がある。図 33(c)と図 34(c)の出力特性をみると、ソースドレイン電圧が小さい領域ではグラフが S 字を描いており、本来予想されるよりも電流値が小さくなっていることがわかる。これは有機半導体と金属間に整流的な接合が形成されていることが考えられる。このような整流的な接続は無機半導体と金属の接触においても観測されるものであり、この場合接触抵抗は大きくなる。

また、これとは別に無電解めっきによる電極作製プロセスの際に使用した界面活性剤が接触抵抗の増加に寄与していることも考えられる。使用した界面活性剤は絶縁体として働くので、金電極から有機半導体へのキャリア注入が阻害されることが予想される。無電解めっきのプロセスは界面活性剤を使用しない新たな方法が提案されており、このようにプロセスを変更することによって接触抵抗の低減に繋がることが期待される<sup>33</sup>。

オールウェットにより作製されたトランジスタで駆動電圧が 5 V というのは低電圧での駆動といえる。これはトラップの原因となる欠陥が少ない有機単結晶を使用したこと、フッ素系のポリマー絶縁膜を使用したことによるトラップ密度の低減などが理由と考えられる。そこでサブスレッショールドスウィング、及び界面バルクトラップ密度の見積もりを行った。式(12)よりラン



ジスタの伝達特性よりサブスレッショールドスウィングを見積もることができ、ガラス基板上のトランジスタで 0.39 V/decade、ポミラン上のトランジスタで 1.5 V/decade となった。また、この値と式(19), (20)を使用して界面トラップ密度と有機半導体膜のバルクのトラップ密度の最大値を見積もるとそれぞれガラス基板で  $2.2 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 、 $2.9 \times 10^{16} \text{ cm}^{-3} \text{ eV}^{-1}$ 、ポミラン基板で  $6.8 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 、 $2.7 \times 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$  となった ( $\epsilon_{SC} = 3$  として計算)。比較のために、ルブレンの単結晶を使用したトランジスタとペンタセンの単結晶を使用したトランジスタの先行研究の値を併記したものが表 3 である。ルブレンの単結晶デバイスはサブスレッショールドスウィングが理論値限界に近く、界面、バルク内のトラップともに理想的な状態にかなり近いものと考えられる。本研究で作製したトランジスタを真空プロセスを用いて作製したペンタセン単結晶のデバイスと比較した場合に同程度の界面、バルクトラップ密度を有しており、オールウェットプロセスにより作製したトランジスタでもドライプロセスで作製したトランジスタに匹敵する性能を示すことが可能であるということがいえる。界面及びバルクのトラップ密度が小さく抑えられているため、サブスレッショールドスウィングが小さく低電圧での駆動が可能になっていると考えられる。ガラス基板よりもポミラン基板でサブスレッショールドスウィングが大きくなっているのは、一つに絶縁膜が厚いということがある。絶縁膜が厚くなると単位面積あたりのキャパシタンスが小さくなるので式(18)よりサブスレッショールドスウィングが大きくなる。ポミラン基板で絶縁膜を厚くしたのは、プラスチック基板の表面粗さの影響を小さくするためである。

次にガラス基板上のトランジスタについて、遮断周波数を測定した。上記の伝達特性の測定では静的な特性を見ていることになるが、遮断周波数の測定では交流波を入力し動的な特性を見ていることになるので実際の回路などで使用する際の動作により近い状態でのトランジスタの特性を評価することができるといえる。遮断周波数は式(21)よりゲート電流とドレイン電流の変化が等しくなる周波数と定義されるので、ゲートに交流電圧を印加しその時流れるゲート電流とドレイン電流を様々な周波数の交流電圧に対して測定することで遮断周波数を実験的に求めることができる。遮断周波数を測定する際に組んだ回路図を図 35 示す。ファンクションジェネレータを使用してゲートにバイアスが -5V で振幅が 1V の sine 波を入力し、その時に流れるゲート電流とソースドレイン電流を測定した。ソースドレイン電圧は -5 V に設定した。一例として入力交流電圧が 90kHz の場合のゲート電流  $I_G$ 、ドレイン電流  $I_D$  の結果を図 36 に示す。横軸が時間で縦軸が電流量である。赤いグラフが実測値、青いグラフがフィッティングカーブである。測定したデータを sine 波の式でフィッティングし、その振幅の値を使って sine 波の peak to peak の値をそれぞれ  $\Delta I_G$ 、 $\Delta I_D$  とした。様々な周波数の交流電圧を入力してそれぞれの周波数で測定した  $\Delta I_G$ 、 $\Delta I_D$  の結果をまとめたものが図 37 である。このグラフにおける  $\Delta I_G$  と  $\Delta I_D$  のグラフの交点が遮断周波数であり、その値は 250 kHz と求められた。理論式(24)から予想される値はおおよそ 400 kHz でほぼ理論値通りの値を示しており ( $\Delta L = 20 \text{ } \mu\text{m}$ ,  $L = 20 \text{ } \mu\text{m}$ ,  $V_{DS} = 5 \text{ V}$ )、静的特性から予想される動的特性を得られることが確認できた。理論値よりも実際の測定値が小さいのは、測定したデバイスには

配線寄生容量など計算では加味されていない要素が存在することが理由の一つとして考えられる。

オールウェットプロセスにより低電圧駆動で高移動度を示す有機トランジスタの作製に成功した。5 V という低電圧の駆動でかつ  $6.9 \text{ cm}^2/\text{Vs}$  という高移動度を示すオールウェットプロセスにより作製された有機トランジスタの報告はこれが初めてである。測定された遮断周波数は 250 kHz と求められ、高い移動度から予想されるような高速動作が可能であることが示された。

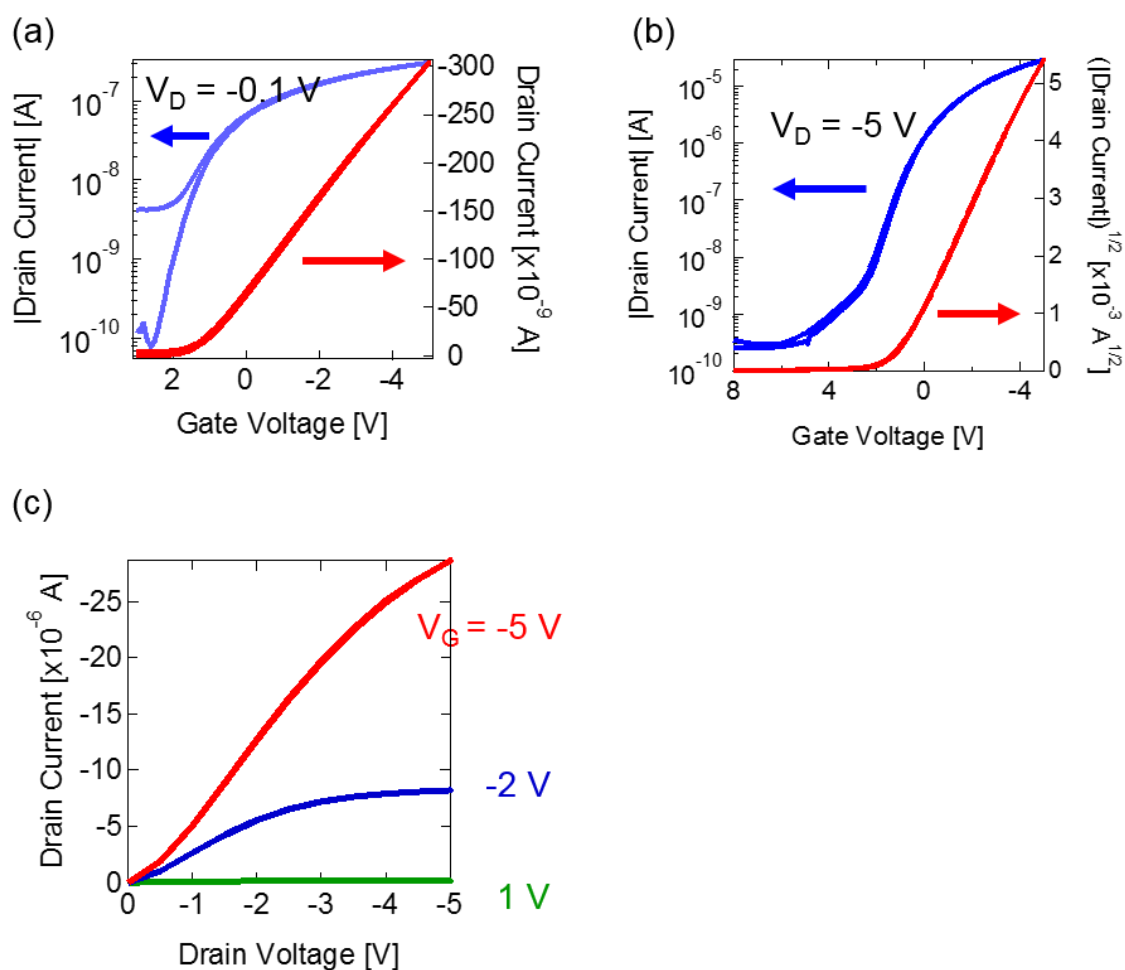


図 33 ガラス基板上トランジスタの特性グラフ。(a)線形領域特性, (b)飽和領域特性, (c)出力特性

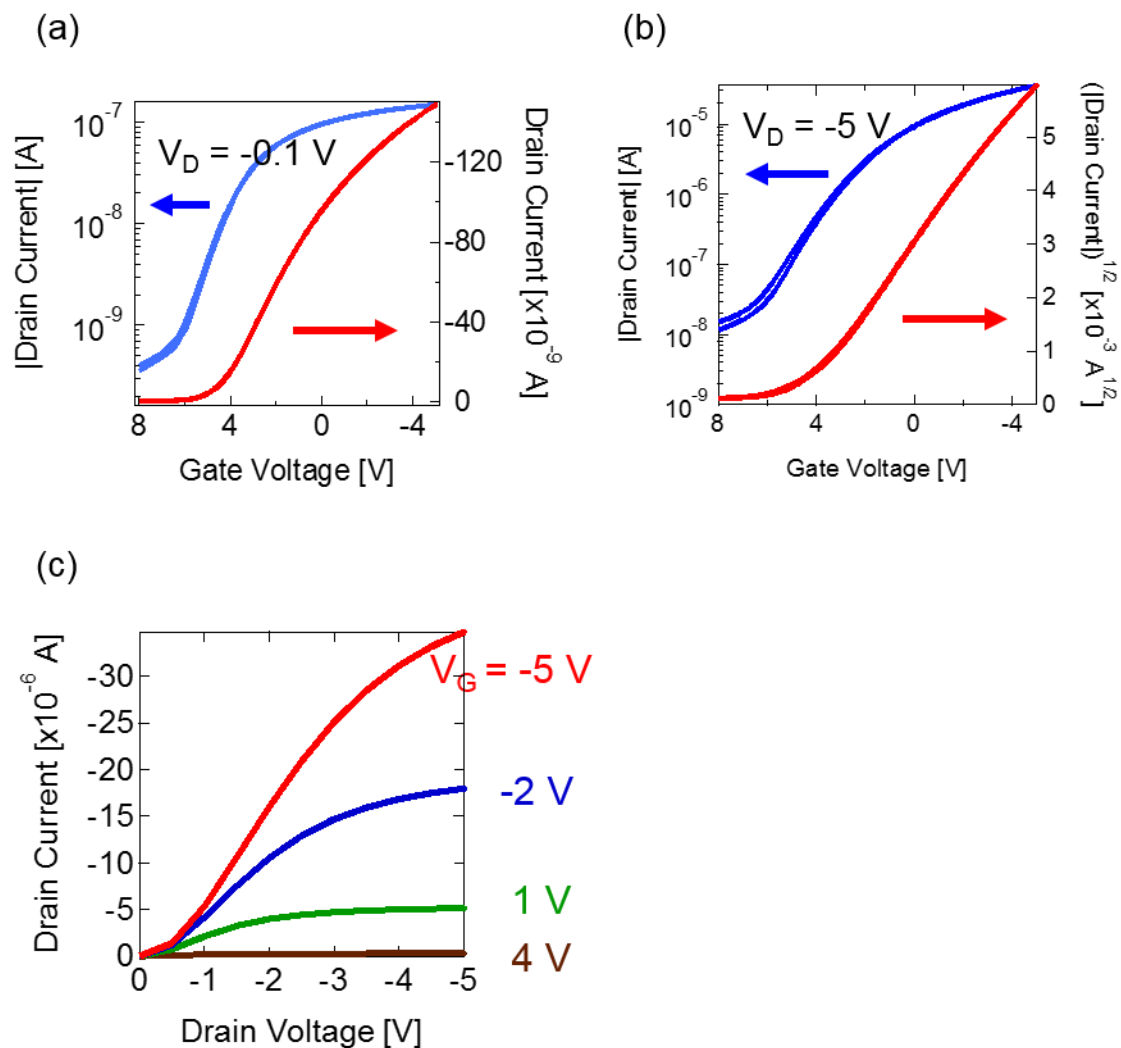


図 34 ポミラン基板上トランジスタの特性グラフ。(a)線形領域特性, (b)飽和領域特性, (c)出力特性

表 3 移動度、サブスレッショルドスウィング、バルクトラップ密度、界面トラップ密度のデバイス間比較

Material	Reference	Insulator thickness (nm)	$\mu$ ( $\text{cm}^2/\text{Vs}$ )	$S$ (V/decade)	$D_{\text{bulk}}^{\text{max}}$ ( $\text{cm}^{-3}\text{eV}^{-1}$ )	$D_{\text{it}}^{\text{max}}$ ( $\text{cm}^{-2}\text{eV}^{-1}$ )
Rubrene single crystal	32	395	13	0.065	$1.3 \times 10^{13}$	$3.0 \times 10^9$
Pentacene single crystal	34	~415	1.4	0.3	$1.5 \times 10^{17}$	$1.1 \times 10^{11}$
C <sub>10</sub> -DNBDT (on glass)	This paper	320	6.9	0.39	$2.9 \times 10^{16}$	$2.2 \times 10^{11}$
C <sub>10</sub> -DNBDT (on POMIRAN)	This paper	625	6.6	1.5	$2.7 \times 10^{17}$	$6.8 \times 10^{11}$

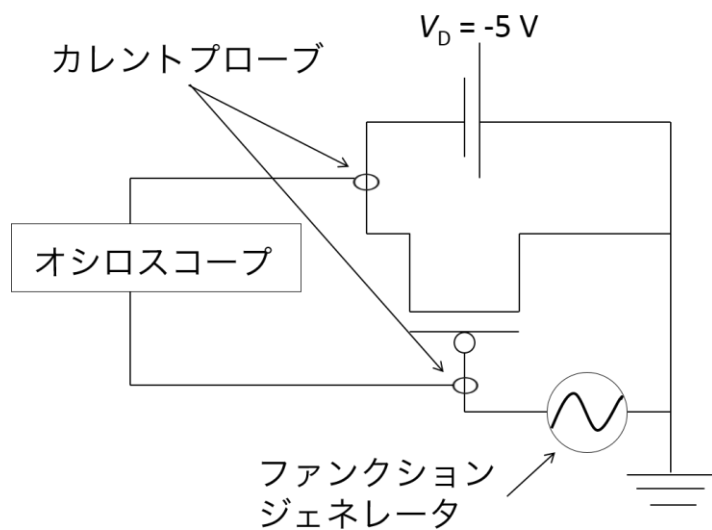


図 35 遮断周波数測定回路図

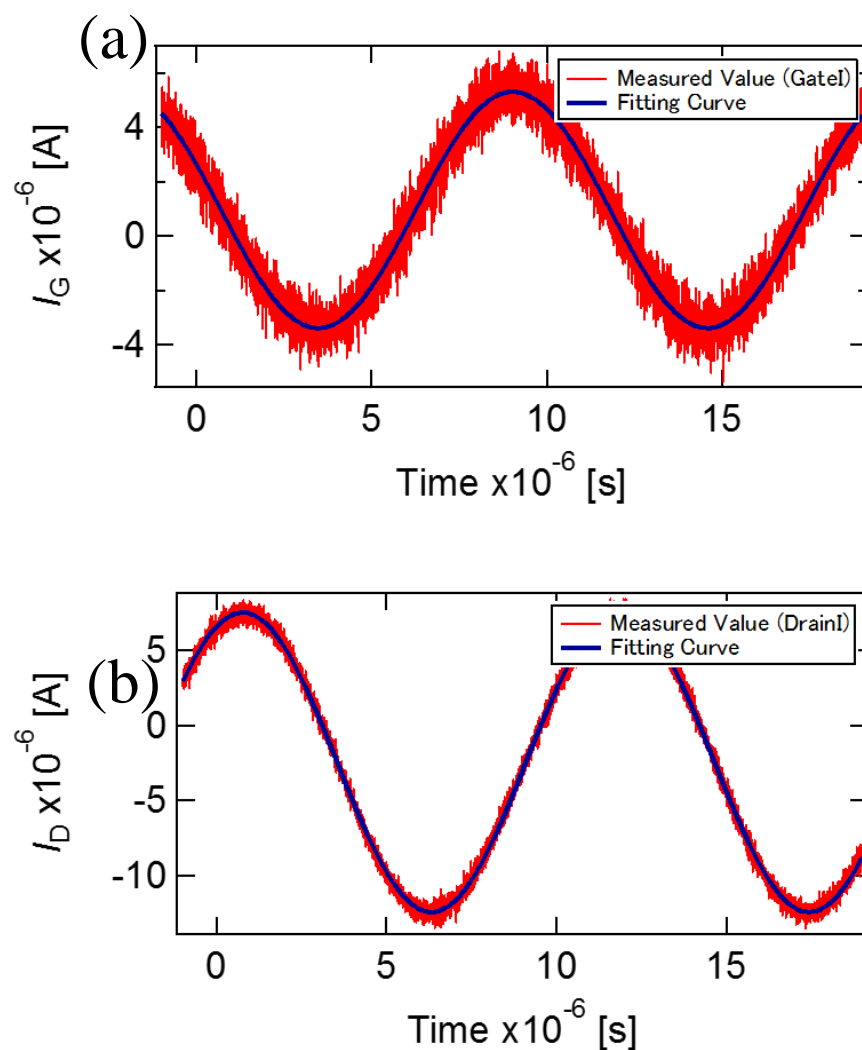


図 36 90 kHz の交流電圧を入力した際の(a)ゲート電流と(b)ドレイン電流の結果とそのフィッティングカーブ

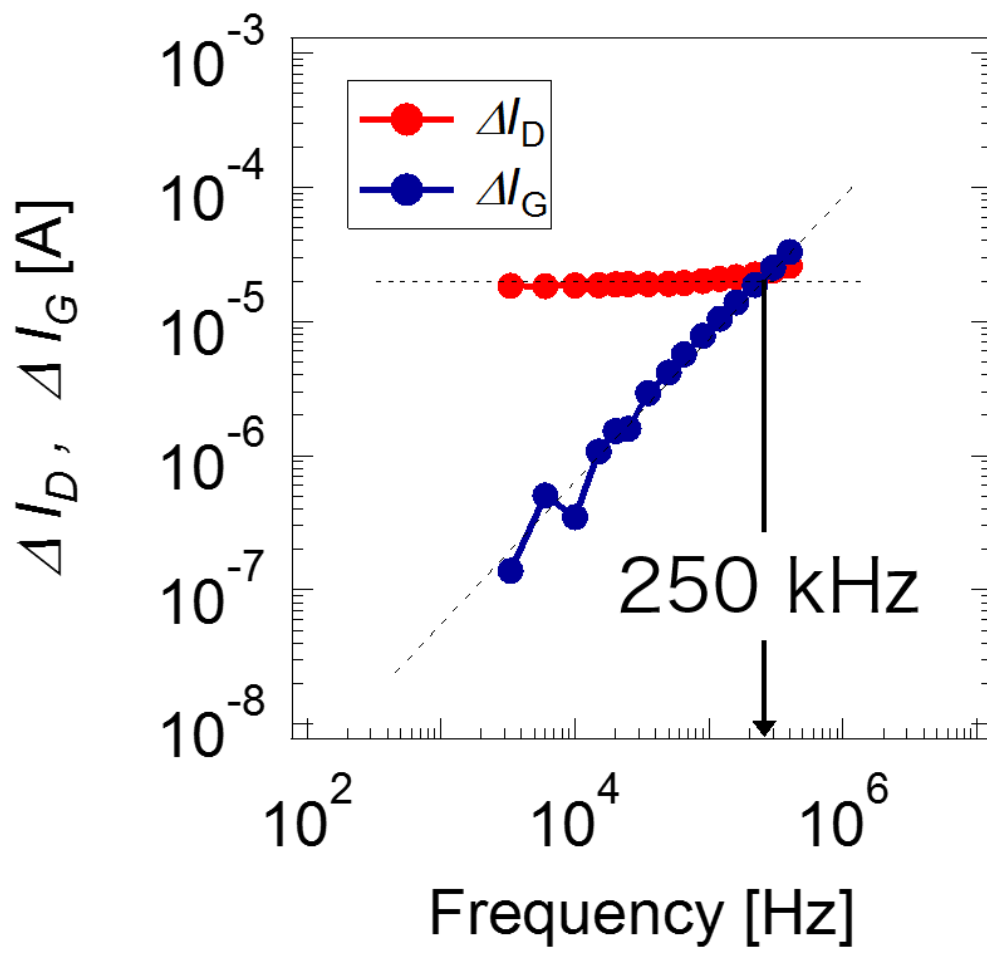


図 37 遮断周波数測定結果

## 4 オールウェットプロセスを目指した有機トランジスタによる kHz 応答可能な論理素子

### 4.1 目的

p 型有機トランジスタの性能が向上してきたことに伴い、有機トランジスタの実用化がより一層期待されるようになった。有機トランジスタの応用が期待されるアプリケーションには例えば RF-ID タグなどがあるが、これは情報の伝達、保持のために論理演算素子を搭載する必要がある。トランジスタのスイッチング素子としての特性を利用し論理演算の”0”と”1”の情報を伝達することになるが、ある一つの入力信号に対して ON 状態になるトランジスタと OFF 状態になるトランジスタがあることで、使用するトランジスタを少なく、また、少ない消費電力で論理演算を行うことが可能になる。そのため、有機トランジスタをアプリケーションに搭載するためには p 型のみならず n 型の有機半導体材料の利用が必要である。一般的に n 型有機半導体は大気中で不安定、p 型有機トランジスタと比較して移動度が低くこれらの解決が課題であったが、近年では  $0.1 \text{ cm}^2/\text{Vs}$  を越える移動度が大気中動作の n 型有機半導体でも観測されるようになり p 型、n 型両方合わせた論理回路を利用したアプリケーションの開発に期待が高まるようになってきている<sup>17,18</sup>。

有機トランジスタを利用した論理回路を含むアプリケーションの実現に向けた期待の高まりを受けて、本研究では有機トランジスタを利用した D フリップフロップの作製を行った。すでに記しているように D フリップフロップは論理回路に利用される基本的かつ重要な論理素子である。有機トランジスタの実用化を考えるにあたっては特性と作製プロセスの両方を意識する必要がある。有機トランジスタを利用した有機論理回路の作製報告が多くなされているが、実用化を意識し真空プロセスを含まないウェットプロセス中心のデバイス作製プロセスにより高性能のデバイスを作製するという、作製プロセスとデバイス特性の両方を考慮して作製されたデバイスはこれまで報告されていない<sup>26,35-37</sup>。そこで本研究ではより実用化を意識したプロセス条件において高速応答可能な D フリップフロップを作製することを目指した。基板にはフレキシブル基板を用い、ソースドレイン電極の作製を除いてすべて脱真空のプロセスによりデバイスを作製した。今回の実験で唯一真空を用いているソースドレイン電極の作製プロセスには既に記してある無電解めっき法を導入することで脱真空プロセスを実現することができると考えている。

作製した D フリップフロップは 50 V 駆動で 3 kHz の駆動が可能であった。ウェットプロセスを中心としたプロセスによりフレキシブル基板上に作製され、かつ kHz の入力信号に応答できる D フリップフロップの作製はこの研究報告が初めてとなる。

## 4.2 トランジスタ及び D フリップフロップの作製手順

上記のオールウェットデバイスの実験と同様にボトムゲートトップコンタクト型構造の p 型、n 型トランジスタを作製した (図 38)。そしてこれらトランジスタを組み合わせて D フリップフロップを作製した (図 39)。

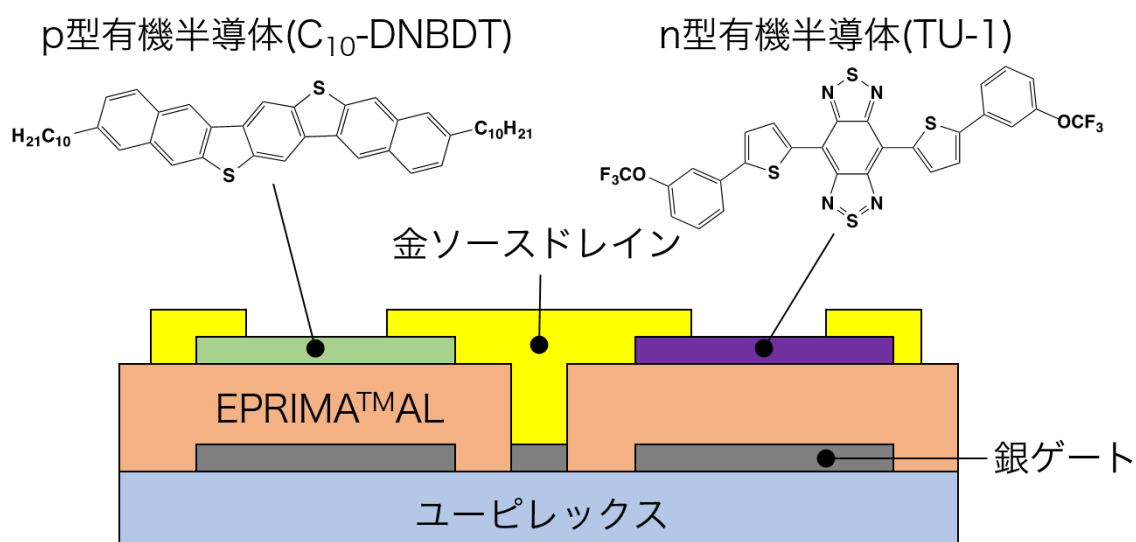


図 38 作製した p 型および n 型有機トランジスタ模式図

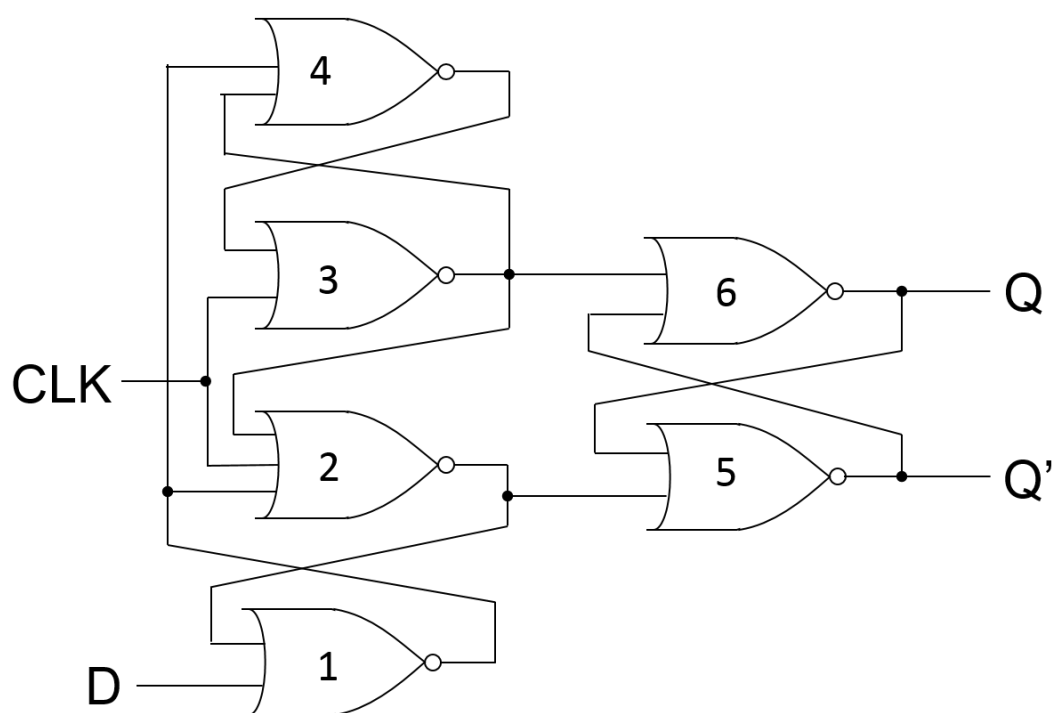


図 39 作製した D フリップフロップ模式図 (説明のため各 NOR 素子に番号を振ってある)

### 4.2.1 ゲート電極と絶縁膜の作製

支持基板にはポリイミドフィルムのユーピレックス®-50S（宇部興産株式会社製）を使用した。銀ゲート電極、ポリマー絶縁膜の作製はオールウェットデバイス作製の 3.2 に示した方法と同様である。ポリマー絶縁膜は厚みが 270 nm の膜を得た。

### 4.2.2 有機半導体膜の製膜とパターニング

有機半導体材料として p 型には C<sub>10</sub>-DNBDT（図 18）を、n 型にはエラー！参照元が見つかりません。に示したベンゾビスチアジアゾール誘導体材料（TU-1：宇部興産株式会社製）を使用した。成膜手法には既出の連続エッジキャスト法を用いた。トランジスタの集積度を高めるために 1 mm 幅のブレードを使用して有機単結晶膜をライン状に製膜した。p 型と n 型の有機半導体膜のラインを交互に作製することで集積度を高めて論理素子を作製することができる。

有機半導体のパターニングにはイットリウム・アルミニウム・ガーネット（YAG）レーザーを使用した。波長 255 nm のレーザーを有機半導体膜に照射することで、トランジスタ間の導通をなくし有機半導体膜のパターニングを行った。

### 4.2.3 via の作製

今回の実験では論理素子を作製するにあたり、トランジスタのソースドレイン電極を別のゲート電極に接続するために絶縁膜に via を作製する必要がある。YAG レーザーを用いて絶縁膜に波長 255 nm のレーザーを照射して絶縁膜に via を作製した。via における配線の抵抗を測定した結果、via 部分の抵抗は via1 個あたり 100~300 Ωと求められた。

### 4.2.4 ソースドレイン電極の作製

真空蒸着法により金を蒸着し膜を形成した。全作製工程を通じてこのソースドレイン電極の作製にのみ真空プロセスを用いている。はじめに 0.01 ~ 0.02 nm/s の堆積速度で金の厚さが 2 nm になるまで蒸着し、その後は 0.15 ~ 0.2 nm/s の速度で厚さが 140 nm になるまで金を蒸着した。金を全面に堆積した後は 3.2 に記した方法と同様にフォトリソグラフィーによりパターニングを行った。フォトリソグラフィーに用いたフッ素系フォトレジスト及びフッ素系溶媒は、p 型有機半導体材料の場合と同様に n 型有機半導体材料を溶解することなく大きな影響をあたえることがないため、デバイス特性の劣化なくプロセスを行うことができる。また、今回使用した n 型有機半導体材料は HOMO が 5.58 eV で p 型有機半導体材料よりもさらに HOMO が深いため、金のエッ



チャントである AURUM による酸化作用の影響を受けずにプロセスを行うことができる<sup>18</sup>。作製したデバイスの光学顕微鏡写真を図 40 に示す。

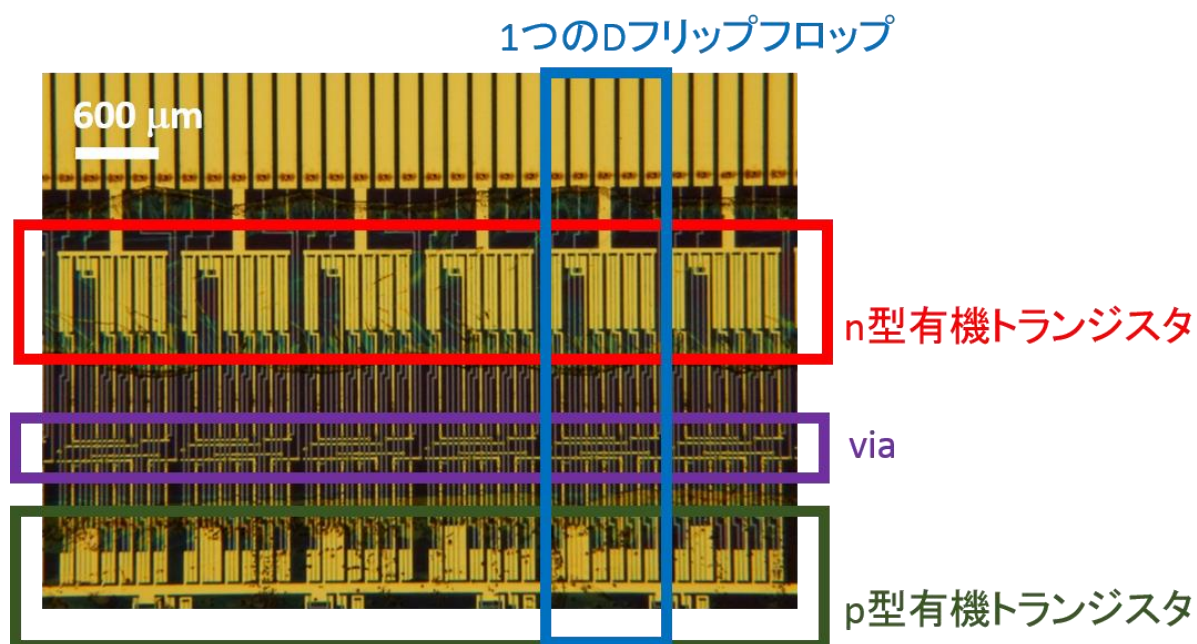


図 40 作製した D フリップフロップの光学顕微鏡写真

### 4.3 トランジスタ及び D フリップフロップの測定結果

D フリップフロップとは別に特性を確認するための単体トランジスタを作製しており、その飽和領域特性、線形領域特性、および出力特性を示す (図 41、図 42)。p 型トランジスタおよび n 型トランジスタのチャンネル長は  $5\ \mu\text{m}$  でチャンネル幅は p 型トランジスタで  $250\ \mu\text{m}$ 、n 型トランジスタで  $400\ \mu\text{m}$  である。作製された絶縁膜の厚みは段差計による測定から  $270\ \text{nm}$  と求められた。

p 型有機トランジスタの線形領域、飽和領域における伝達特性グラフの傾きから求められる移動度はそれぞれ  $2.6\ \text{cm}^2/\text{Vs}$ 、 $0.48\ \text{cm}^2/\text{Vs}$  と求められた (式(10), (11)を利用。  $C'_{\text{ox}} = 10.2\ \text{nF}/\text{cm}^2$ )。n 型有機トランジスタの移動度は線形領域で  $0.04\ \text{cm}^2/\text{Vs}$ 、飽和領域で  $0.33\ \text{cm}^2/\text{Vs}$  と求められた。

p 型トランジスタに関しては前記のオールウェットプロセスにより作製したトランジスタの実験結果と比較して飽和、線形移動度共に低下しているが、これは接触抵抗の影響が大きくなっていることが一つの理由であると考えられる。

今回作製したトランジスタのチャンネル長は  $5\ \mu\text{m}$  で、オールウェットプロセスにより作製したトランジスタのチャンネル長  $20\ \mu\text{m}$  と比較して短くなっている。チャンネル長が短くなることで有機半導体膜のチャンネル部分の抵抗が小さくなり、トランジスタ全体の抵抗に占める接触抵抗の割合が大きくなる。そのため接触抵抗に変化がなくてもチャンネル長が短くなるだけでデバイス特性に与

える影響が大きくなる。その結果、前記のオールウェットプロセスにより作製されたトランジスタと比較して本研究のトランジスタの移動度が低下していると考えられる。

トランジスタの性能向上のためには接触抵抗の低減が必要といえる。例えば無電解めっきを利用したソースドレイン電極の作製では、上記のオールウェットデバイスを作製した際の方法とは別の方法で銀を触媒にして低い接触抵抗のデバイスが報告されている<sup>33</sup>。このようにソースドレイン電極と有機半導体との接触部分を考えることにより接触抵抗を低減させて短チャネルでも高移動度が達成できるような工夫が有効である。また、デバイスの作製プロセスが多くはなるが、スプリットゲートを使用して接触抵抗を下げるといった試みもなされている<sup>38,39</sup>。接触抵抗に関する研究は多くなされており、現プロセスとの適応性を考えながら適応することで低接触抵抗の実現、及び短チャネルにおける高移動度の維持は可能であると考えている。

また、p 型トランジスタの飽和領域の移動度が線形領域の移動度と比較して大きく低下している。これはキャリア速度の飽和が原因であると考えている。出力特性 (図 41 (c)) を見ると予想されるソースドレイン電圧よりも小さい電圧領域でソースドレイン電流が飽和している ( $V_{DS}$  が 4 V 付近で飽和しているように見える)。シリコントランジスタでは数 MV/m の高電界がかかる場合、光学フォノン散乱によってキャリアの速度が飽和し、予想される電流よりも小さい電流しか流れないといった現象が確認されている。今回の測定ではチャネル長 5  $\mu\text{m}$  に対してソースドレイン間に 40V をかけているので 8 MV/m もの高電界がかかっていることになる。チャネルにおけるキャリア速度は実験的に次式に従うと言われている<sup>40-42</sup>。

$$|v| = \frac{\mu_{1f}|\varepsilon_L|}{1 + \frac{\mu_{1f}|\varepsilon_L|}{v_{\text{sat}}}}$$

$\varepsilon_L$  はキャリアの伝導方向にかかるチャネル電界、 $\mu_{1f}$  は低電界移動度、 $v_{\text{sat}}$  はチャネルにおけるキャリアの飽和移動度である。移動度は  $|v| = \mu|\varepsilon_L|$  を満たすので、キャリア速度の飽和を考慮したチャネルにおける移動度は次式で与えられる。

$$\mu = \frac{\mu_{1f}}{1 + \frac{\mu_{1f}|\varepsilon_L|}{v_{\text{sat}}}}$$

この式より電界が大きくなると移動度が低下することがわかる。キャリアの速度が飽和するときの電界を  $\varepsilon_{L,\text{sat}}$  とすると  $v_{\text{sat}} = \mu_{1f}|\varepsilon_{L,\text{sat}}|$  となる。ここで、測定した p 型トランジスタの出力特性 (図 41(c)) を見るとソースドレイン電圧が 4 V の付近で電流が飽和していることがわかる。電流値が飽和するまでの移動度は線形領域において求められた移動度と等しくなると考え、この値を低電界移動度とする。すると  $\varepsilon_{L,\text{sat}} = 4 \text{ V} \div 5 \mu\text{m} = 8 \times 10^3 \text{ V/cm}$ ,  $\mu_{1f} = 2.6 \text{ cm}^2/\text{Vs}$  となり、 $v_{\text{sat}} = 2.08 \times 10^4 \text{ cm/s}$  と求められる。これらの値を用いてソースドレイン電圧に 40 V をかけキャリア速度が飽和した場合の移動度を見積もると  $\mu = 0.24 \text{ cm}^2/\text{Vs}$  と求められる。これは求められた移動度 0.48  $\text{cm}^2/\text{Vs}$  とオーダーとしては一致しており、線形領域と比較した場合の飽和領域の移動度の低下は高電界をかけたことによるキャリア速度の飽和がひとつの原因であることが示唆される。

キャリア速度が飽和しない場合に予想される電流量と実験により得られた電流値を比較したものを図 43 に示す。この結果からわかるように、キャリアの飽和による電流量の低下は大きく、チャンネル長が 5  $\mu\text{m}$  においてもその効果が顕著に現れている。デバイスを高速で動作させるためチャンネル長を短くすることが一般的に行われるが、この結果から推測されるように 5  $\mu\text{m}$  程度のチャンネル長のデバイスにおいてもキャリア速度の飽和による電流量の低下が起きていることから、さらなる高性能デバイスの作製のためにはより低電圧での駆動、そのための絶縁膜の薄膜化など、デバイス構成素子全体のスケールダウンが必要になる。

無機トランジスタで光学フォノン散乱を取り扱う場合には、キャリアのエネルギーバンドを考えたのと同様にして、フォノンのエネルギーバンドを考える。フォノンも粒子と波の両方の性質を備えており、周期的な構造の中を動くのでエネルギーバンドが形成される。例として直接ギャップ半導体における伝導帯キャリアとフォノンの運動エネルギー・波数ベクトルの関係を図 44 に記す。キャリアが高電界で強く加速され、十分な運動エネルギーを得て点 A に到達した場合を考える。点 A におけるキャリアはエネルギーと波数ベクトルを失い、それらは光学フォノンのエネルギーと波数ベクトルに変換される。この相互作用が起こる確率は極めて高いので、この過程によって電子が到達可能な運動エネルギーの実効的上限が決まり、高電界下でのキャリアのドラフト速度の飽和現象を起こす。これが光学フォノン散乱である。

一方、有機半導体のキャリア輸送ではバンド伝導とホッピング伝導の 2 つのモデルが考えられている。バンド伝導はブロッホ型の波動関数で記述される波束が系内を伝達するとし、ホッピング伝導はアニオン（またはカチオン）と周囲の分極場が結合した小さいポーラロンが束縛ポテンシャルから熱的に励起されることでキャリアが伝達するとする。ホッピング伝導では分子間をキャリアが移動するのに分子間障壁を越える必要が有るため、一般的にバンド伝導のほうが高移動度を達成できる。ホッピング伝導モデルでは移動度は次式のような依存性を示し、印加電界が高くなるほど移動度が高くなることが予想される<sup>43</sup>。

$$\mu = \mu_0 \exp(-AE^2) \frac{\sinh(BE)}{BE}$$

$\mu$  は移動度、 $\mu_0$  は前因子、 $A$  は分子間力とポーラロンの束縛エネルギー、温度によって、 $B$  は分子間距離と温度によって決まる数であり、 $E$  は電界である。この式より、ホッピング伝導モデルでは電界が大きくなるほど移動度は高くなることが予想される。今回作製した有機半導体膜がホッピング伝導により動作していた場合には高電界をかけたことにより移動度が向上することが期待されるが、実際にはより高電界がかかっている飽和領域における移動度は線形領域における移動度と比較して低下している。光学フォノン散乱を仮定した場合の速度飽和によって予想される移動度を見積もると、実験値とおおよそその一致を見た。また、光学フォノン散乱はバンドが形成されていることで生じる現象である。これらの結果から考えると、今回作製した p 型有機半導体は連続エッジキャスト法により単結晶膜を作製できた結果、バンド伝導に近い伝導をしているこ

とが推測できる。使用されている有機半導体材料は異なるが、ルブレ単結晶を使用した有機トランジスタではホール効果が観測され、有機トランジスタがバンド様な伝導を示すことが報告されている<sup>44,45</sup>。今回作製した p 型有機半導体膜がバンド様な伝導を示しているという予測は、単結晶を使用したトランジスタではバンド様な伝導が観測されるというこれらの結果に合致するものである。

n 型の場合には飽和領域特性に比べて線形領域特性の移動度が低くなっている。これは前述のオールウェットプロセスにより作製された p 型トランジスタの場合と同様で接触抵抗が原因であると考えられる。使用した n 型有機半導体材料の LUMO は 4.05 eV と求められており、この値と金の仕事関数 4.9~5.1 eV の差がエネルギー障壁となり接触抵抗として電流値を下げる原因となっていると考えられる<sup>18</sup>。出力特性 (図 42(c)) を見るとソースドレイン電圧が低い領域ではグラフが S 字を描いていることから、有機半導体と金属の間に整流的な接続が形成されていることが伺える。

次に、トランジスタの測定結果から得られた結果を用いて簡易的な D フリップフロップの動作周波数の予測を行った。解析の際に使用したトランジスタのパラメータは表 4 のようになる。D フリップフロップの測定の際には、ファンクションジェネレータによって入力信号を生成しアンプによって出力を増幅させて CLK へ入力した。出力 Q の測定にはオシロスコープを使用した。Q' は D へ接続して 2 進カウンタとして測定した。

D フリップフロップの出力 Q が変化する仕方は 1→0、0→1 の 2 つあり、それぞれの変化において出力が変化する NOR が異なる。Q が 1→0 へと変化する場合には、3 番の NOR の出力が 0 から 1 へ変換し、その変化を受けて次に 6 番の NOR の出力が 1 から 0 へ変換することで、結果 DFF の出力 Q が 1 から 0 へ変化したことになる (NOR の番号は図 39 を参照)。Q が 1→0 と変化する場合は 3 番と 6 番の NOR の動作について考えその信号の遅延時間を見積もる。まず、3 番の NOR について考える。遅延時間の見積もりに利用した回路図を図 45 に示す。NOR の出力が 0 から 1 へ変換する場合には p 型有機半導体を通じて電流が流れ、その先に接続された負荷容量にキャリアを充電することで出力が 1 へ変換すると考える。負荷容量は 3 番の NOR から接続されている 2、4、6 番のトランジスタのゲート容量と、配線でソースドレイン電極とゲート電極とが重なっている部分の容量の和である。配線の抵抗、負荷容量は十分小さいと考えてここでは無視する。また、ファンクションジェネレータから 3 番の NOR への入力信号の遅延は十分小さいと考え無視する。図 45 のトランジスタ 1 と 2 を流れる電流をそれぞれ  $i_{p1}$ ,  $i_{p2}$  とする。それぞれのトランジスタのゲートにはすでに 0 V が印加されているとする。トランジスタ 1 は常に線形動作するが、トランジスタ 2 は最初に飽和動作をするので

$$i_{p1} = \beta_p \left( (-V_{DD} - V_{th(p)}) (V_3(t) - V_{DD}) - \frac{1}{2} (V_3(t) - V_{DD})^2 \right)$$

$$i_{p2} = \frac{\beta_p}{2} (-V_3(t) - V_{th(p)})^2$$

ここで  $\beta_p = \frac{W_p C_{ox}}{L_p}$  とし、 $W_p, L_p$  はそれぞれ p 型トランジスタのチャネル幅、チャネル長、である。

$V_{DD}$  は供給電源の電圧、 $V_{th(p)}$  は p 型トランジスタの閾値電圧、 $V_3(t)$ 、 $V_{out3}(t)$  は図 45 に記してあるそれぞれの場所における電位である。

$i_{p1} = i_{p2}$  が成り立つことから上の 2 式を用いて  $V_3(t)$  について解くと

$$V_3(t) = -V_{th} + \sqrt{\frac{1}{2}V_{th(p)}^2 + \frac{1}{2}V_{DD}^2 + V_{th(p)}V_{DD}}$$

また、この回路全体を流れる電流に関して

$$C_3 \frac{dV_{out}(t)}{dt} = \frac{\beta_p}{2} (-V_3(t) - V_{th(p)})^2$$

が成り立つ。 $C_3$  は負荷容量であり、3 番 NOR から接続されている 2, 4, 6 番 NOR の p 型、n 型トランジスタ 3 つずつのゲートキャパシタンスと、3 番 NOR の n 型トランジスタ 2 個のキャパシタンス、ソースドレイン電極とゲート電極の配線重なり部分のキャパシタンスの値の合計値である。配線の重なり 1 箇所あたりのキャパシタンスは 0.041 nF と求められ、他の NOR に関しても同様の値を用いている。この状態における 3 番 NOR では 11 箇所の配線重なりが存在する。計算して  $C_3 = 5.7$  pF と求められた。

$V_3(t)$  はここでは時間  $t$  と  $V_{out}(t)$  に無関係であるから上の式を積分して

$$V_{out3}(t) = \frac{\beta_p}{2} (-V_3(t) - V_{th(p)})^2 t$$

次に、トランジスタ 1, 2 とともに線形動作する場合を考えると

$$i_{p1} = \beta_p \left( (-V_{DD} - V_{th(p)})(V_3(t) - V_{DD}) - \frac{1}{2}(V_3(t) - V_{DD})^2 \right)$$

$$i_{p2} = \beta_p \left( (-V_3(t) - V_{th(p)})(V_{out3}(t) - V_3(t)) - \frac{1}{2}(V_{out3}(t) - V_3(t))^2 \right)$$

$i_{p1} = i_{p2}$  より  $V_3(t)$  について解くと

$$V_3(t) = -V_{th(p)} + \sqrt{V_{th(p)}^2 + V_{th(p)}V_{out3}(t) + \frac{1}{2}V_{out3}(t)^2 + \frac{1}{2}V_{DD}^2 + V_{th(p)}V_{DD}}$$

$$C_3 \frac{dV_{out3}(t)}{dt} = \beta_p \left( (-V_{DD} - V_{th(p)})(V_3(t) - V_{DD}) - \frac{1}{2}(V_3(t) - V_{DD})^2 \right)$$

ここで差分法により、

$$\frac{dV_{out3}(t)}{dt} \approx \frac{V_{out3}(t+h) - V_{out3}(t)}{h}$$

と近似して



$$V_{out3}(t+h) = V_{out3}(t) + \frac{h\beta_p}{C_3} \left( (-V_{DD} - V_{th(p)})(V_3(t) - V_{DD}) - \frac{1}{2}(V_3(t) - V_{DD})^2 \right)$$

と求められる。この式を用いて数値的に解を求めることができる。

次に 6 番の NOR について考える。予測に使用した回路図を図 46 に示す。NOR の出力が 1 から 0 へ変化する場合には、ON 状態になった n 型トランジスタを通じて負荷容量が放電し出力が 0 へ変化すると考える。6 番への入力 3 番の出力になり、 $V_{out3}(t)=V_{in6}(t)$  となる。データの測定にはオシロスコープを使用したか、今回は Q へ直接オシロスコープとプローブを接続するため、オシロスコープとプローブの負荷容量及び抵抗が加わる。そのため回路図にプローブとオシロスコープの抵抗  $R_{probe} = 66.7 \text{ M}\Omega$ 、 $R_{oscillo} = 1 \text{ M}\Omega$  と、負荷容量  $C_{probe} = 0.19 \text{ pF}$  と  $C_{oscillo} = 13 \text{ pF}$  を加えてある。

最初の状態では n 型トランジスタは飽和動作になる。図 46 中の電流の矢印の向きを正として、 $i_1 = i_2 + i_3 + i_4$  となるから、

$$-C_6 \frac{dV_1}{dt} = \frac{\beta_n}{2} (V_{in6}(t) - V_{th(n)})^2 + \frac{V_{out6}(t)}{R_{oscillo}} - \left( -C_{oscillo} \frac{dV_{out6}(t)}{dt} \right) \quad \dots (25)$$

$V_6(t)$  は n 型トランジスタのドレイン電圧、 $C_6$  は負荷容量で、6 番 NOR が接続されている 5 番 NOR の p 型、n 型トランジスタ 1 つずつのゲートキャパシタンスと、6 番 NOR の n 型トランジスタ 2 個のキャパシタンス、ソースドレイン電極とゲート電極の配線重なり 2箇所分のキャパシタンスの値の合計値であり、 $C_6 = 3.2 \text{ pF}$  と求められた。

抵抗  $R_{probe}$  と  $R_{oscillo}$  に流れる電流は等しくなるから

$$\frac{V_6(t) - V_{out6}(t)}{R_{probe}} = \frac{V_{out6}(t)}{R_{oscillo}}$$

$$V_{out6}(t) = \left( \frac{R_{probe}}{R_{oscillo}} + 1 \right) V_{out6}(t)$$

$V_{out6}(t)$  に関する式を式(25)に代入してから差分法を利用して

$$V_{out6}(t+h) = V_{out}(t) + \frac{h}{C_6 \left( \frac{R_{probe}}{R_{oscillo}} + 1 \right) + C_{oscillo}} \left( -\frac{\beta_n}{2} (V_{in6}(t) - V_{th(n)})^2 - \frac{V_{out6}(t)}{R_{oscillo}} \right)$$

n 型トランジスタが線形動作の場合には  $i_1 = i_2 + i_3 + i_4$  は

$$-C_6 \frac{dV_6(t)}{dt} = \beta_n \left( (V_{in6}(t) - V_{th(n)})V_6(t) - \frac{1}{2}V_6^2(t) \right) + \frac{V_{out6}(t)}{R_{oscillo}} - \left( -C_{oscillo} \frac{dV_{out6}(t)}{dt} \right)$$

同様に差分法より

$$V_{out6}(t+h) = V_{out6}(t) + \frac{h}{C_6 \left( \frac{R_{probe}}{R_{oscillo}} + 1 \right) + C_{oscillo}} \left( -\beta_n \left( (V_{in6}(t) - V_{th(n)})V_6(t) - \frac{1}{2}V_6^2(t) \right) - \frac{V_{out6}(t)}{R_{oscillo}} \right)$$

ここまで、Q が 1→0 へと変化する場合を考えたが、0→1 へと変化する場合にも基本的には同様のモデルを使用して解析を行った。出力が変化する NOR は 2, 5, 6 番である。

DFF の遅延時間は、信号が入力されてから出力が変化し始めるまでの時間と、出力が変化し切るまでの 2 つに分けて考えることができる (図 47)。信号が入力されてから出力が変化し始めるまでの時間を  $t_{d1}$ ,  $t_{d2}$  とし、出力が変化し始めてから変化し終わるまでの時間を  $\tau_r$ ,  $\tau_f$  とする (図 47 参照)。上記の回路図を使用して求められた入力信号に対する遅延時間は  $V_{DD} = 50 \text{ V}$  で  $t_{d1} = 3.6 \mu\text{s}$ ,  $t_{d2} = 2 \mu\text{s}$  と求められた。出力が 0 から 1 へ変化する場合には 3 つの NOR の出力が変わる必要があるが、1 から 0 へ変化する場合には出力が変化する NOR が 2 つと数が少ないため、関与する NOR の数が少ない分  $t_{d1} > t_{d2}$  となると考えられる。出力が変化するのにかかる時間は、Q: 1→0 の場合には 5 V、Q: 0→1 の場合には 45 V になるまでにかかる時間を出力の遅延時間として、 $\tau_r = 5.6 \mu\text{s}$ ,  $\tau_f = 13 \mu\text{s}$  と求められた。

作製した D フリップフロップの測定結果を図 48 示す。駆動電圧は 50 V で、入力クロック (CLK) の周波数は 3 kHz である。ここでは D フリップフロップの出力 Q' を D へ接続し 2 進カウンタとしての結果を測定している。入力されたクロックが立ち下がった場合にのみ出力 Q が変化し、クロック周波数の倍の周波数が出力されており、正しく動作していることがわかる。測定値から求められた各種遅延時間は  $t_{d1} = 5 \mu\text{s}$ ,  $t_{d2} = 3 \mu\text{s}$ ,  $\tau_r = 40 \mu\text{s}$ ,  $\tau_f = 34 \mu\text{s}$  と求められた。これまでも有機半導体を使用した D フリップフロップは作製されており、例えばシリコン基板上に作製され 5 kHz の 100 V 入力信号に対して遅延時間が 20  $\mu\text{s}$  で動作するもの、ウェットプロセスを利用してフレキシブル基板上に作製され 220 Hz までの動作が確認できているものなどが報告されている<sup>46,47</sup>。本研究で作製した D フリップフロップは 50 V 駆動で 3 kHz の駆動が可能であった。ウェットプロセスを使用してフレキシブル基板上に作製され、かつ kHz の入力信号に応答できる D フリップフロップの作製はこの研究報告が初めてとなる。

$t_{d1}$  及び  $t_{d2}$  に関しては値が予測値と大きく変わらず、また、 $t_{d1} > t_{d2}$  であり、おおよそ予測通りの挙動を示しているといえる。 $\tau_r$  と  $\tau_f$  に関しては、 $\tau_r$  はおおよそ 7 倍、 $\tau_f$  はおおよそ 2.5 倍予想されるよりも速度が遅い。また、予測では  $\tau_r < \tau_f$  となるが、実測値では  $\tau_r > \tau_f$  となっている。 $\tau_r$  と  $\tau_f$  の大小関係が逆転する理由の一つに、6 番 NOR に含まれる p 型トランジスタの実際の特徴が単トランジスタの測定結果と大きく異なるということが考えられる。今回の予測に使用したトランジスタのパラメータは実際に D フリップフロップに含まれるトランジスタを測定したわけではないので、厳密にはパラメータの値が異なっている。移動度、閾値電圧が変化するとトランジスタ動作が変化し結果動作周波数にも影響する。同様の条件で作製した他の D フリップフロップでは例えば  $\tau_r = 25 \mu\text{s}$ ,  $\tau_f = 82 \mu\text{s}$  となっており、 $\tau_r$  と  $\tau_f$  の大小関係は本研究で行った予測と一致する。また、基板をガラスに変更してその他は同様の条件で作製した D フリップフロップでは  $\tau_r = 19 \mu\text{s}$ ,  $\tau_f = 30 \mu\text{s}$  となりやはり  $\tau_r$  と  $\tau_f$  の大小関係は予測と一致する。このことから、今回の結果は 6 番 NOR に含まれる p 型トランジスタの特性が単トランジスタ測定で得られたデバイスよりも性能が低かった

ことが考えられる。実用化を考えるにあたっては複数の D フリップフロップや他の回路素子との接続が必要になり、トランジスタ特性のばらつきから生じる論理素子のばらつきが回路全体の動作に影響する可能性がある。有機トランジスタのばらつきを抑えるためには有機半導体膜の均一性が重要になると考えられる。すでに全面に単結晶膜を作製することができており、個々のトランジスタのチャネル内における均一性は高いものの、トランジスタ間で有機半導体膜の膜厚がばらつくことによって接触抵抗や閾値電圧などのパラメータが変化する。論理素子がより安定に動作するためには、有機半導体膜作製時の今以上の条件制御が必要になると思われる。

今回の測定では動作回路に直接オシロスコープをプローブしたためその負荷容量が動作回路に影響を与えてしまったが、オシロスコープとプローブの影響をなくした場合の予測遅延時間は  $\tau_f = 4.9 \mu s$  と求められる。実際の動作周波数は今回測定した値よりも早くなると考えられ、実際に複数の D フリップフロップを接続して回路動作させた場合にはこの測定結果よりも早い動作が期待される。

ウェットプロセスを基本とした作製プロセスを採用し、フレキシブル基板上で kHz の応答を示す D フリップフロップが作製可能なことが確認された。ソースドレイン金電極の作製プロセスにのみ真空プロセスを使用しているが、前記の無電解めっきによる金の作製で脱真空プロセスが達成されることが期待できる。また、絶縁膜の薄膜化による低電圧駆動など今後も改善が可能な点があり、さらなる性能向上が見込めるものと考えている。



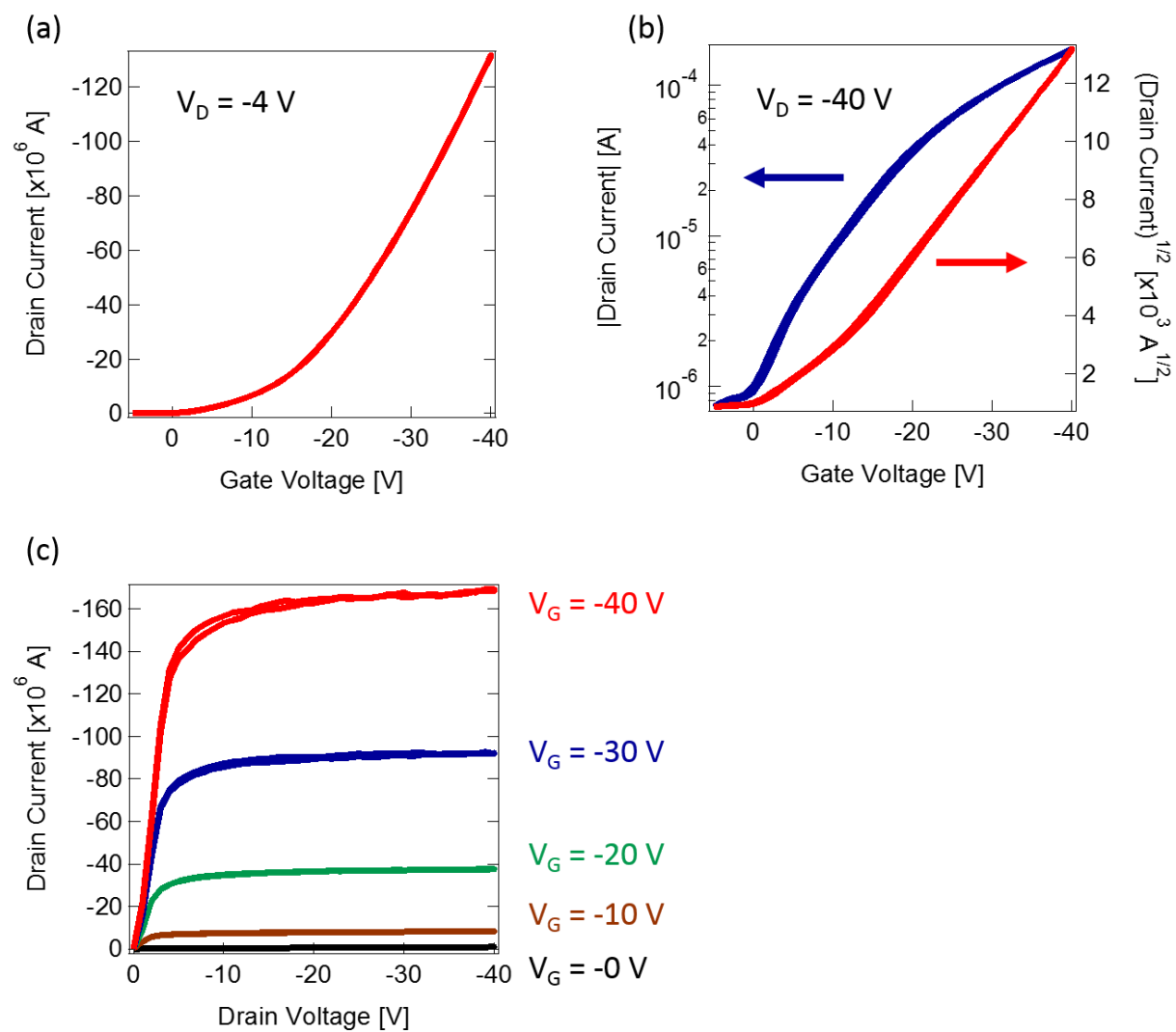


図 41 p 型トランジスタの特性結果。(a)線形領域特性、(b)飽和領域特性、(c)出力特性

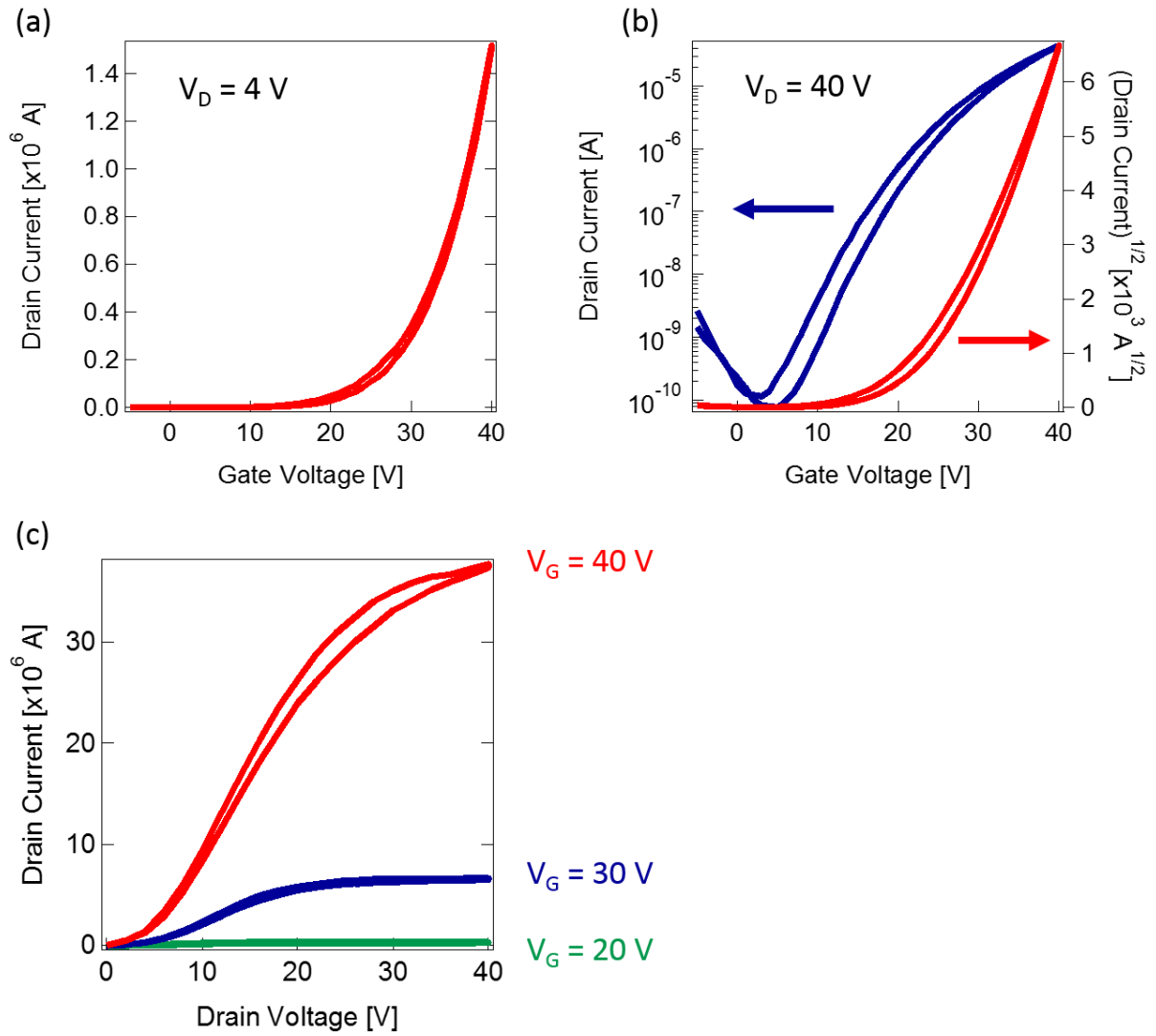


図 42 n 型トランジスタの特性結果。(a)線形領域特性、(b)飽和領域特性、(c)出力特性

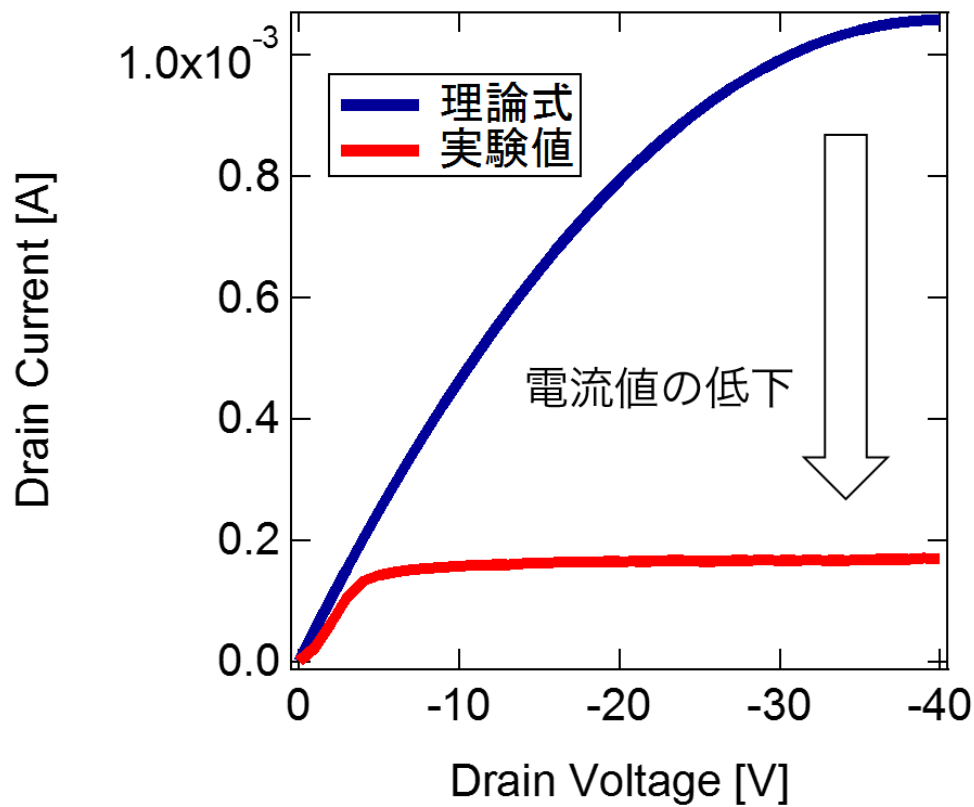


図 43 キャリア速度の飽和を考慮しなかった場合（理論式）と実際の測定結果（実験値）の比較

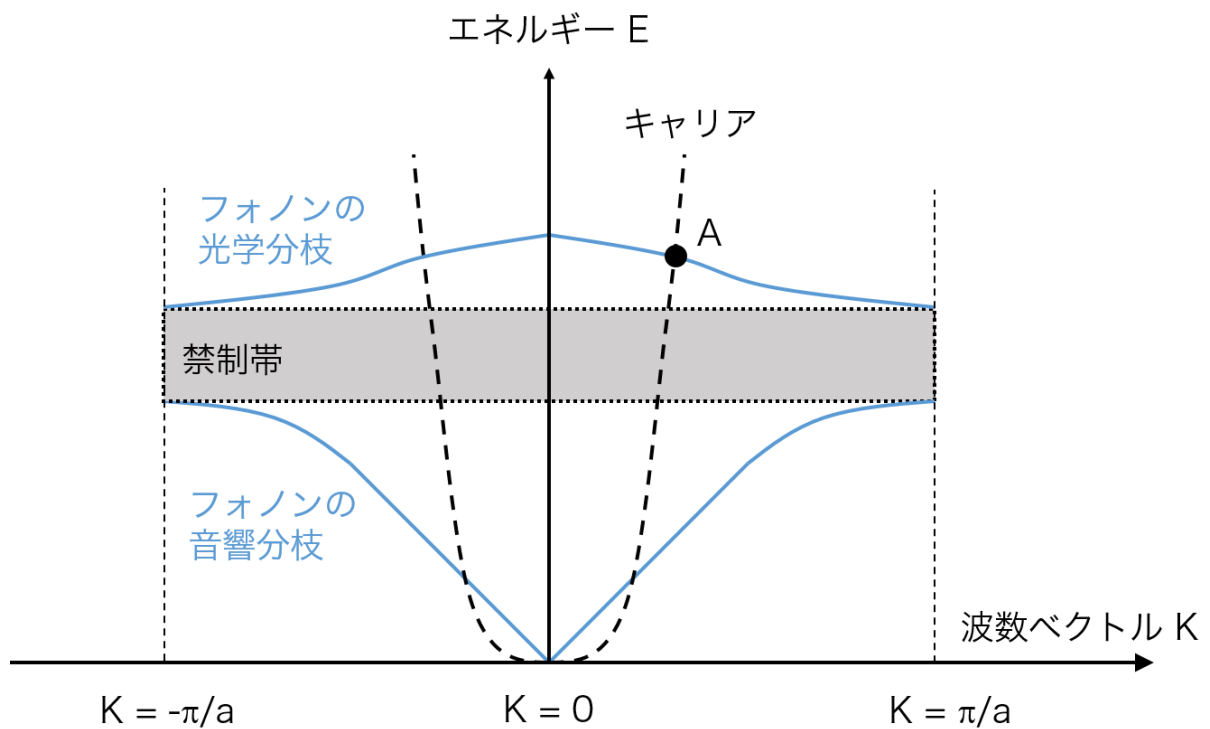


図 44 直接ギャップ半導体における伝導帯電子とフォノンの運動エネルギー・波数ベクトルの関係グラフ

表 4 DFF 動作予測に使用したトランジスタの各種パラメータ

Type	$\mu$ [cm <sup>2</sup> /Vs]	$V_{th}$ [V]	$C'_{ox}$ [nF/cm <sup>2</sup> ]	L [μm]	W (括弧内 3 入力 NOR) [μm]	$\Delta L$ [μm]
p 型	0.48	-16	10.2	5	250 (450)	10
n 型	0.04	22	10.2	5	600 (100)	10

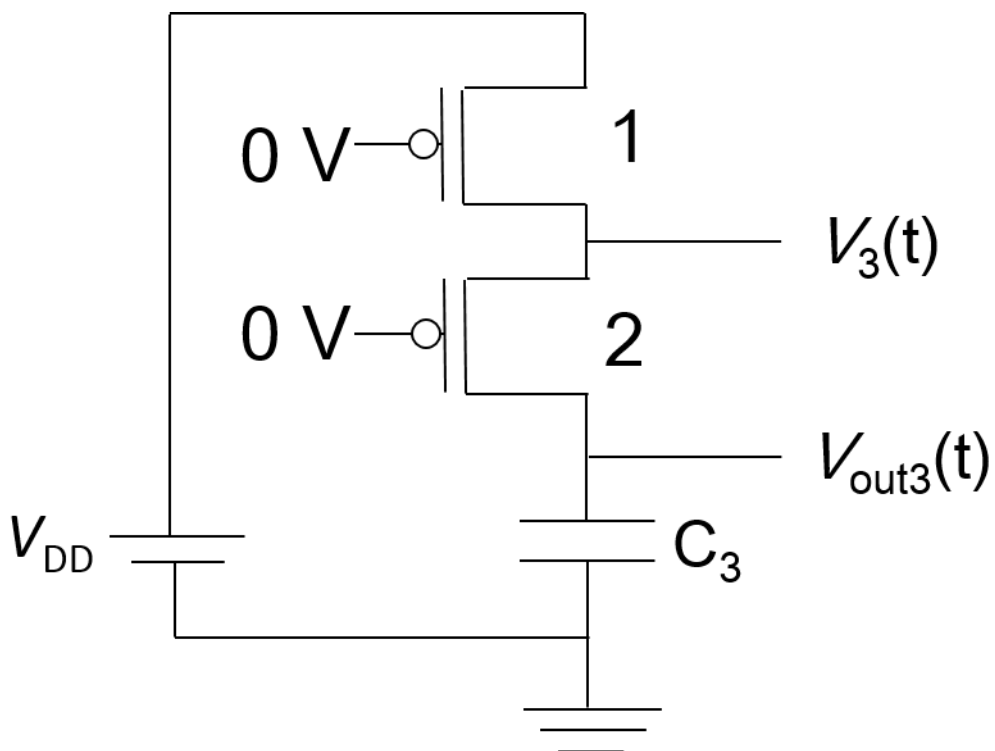


図 45 Q が 1→0 と変化する場合は 3 番 NOR の動作予測に使用した回路図

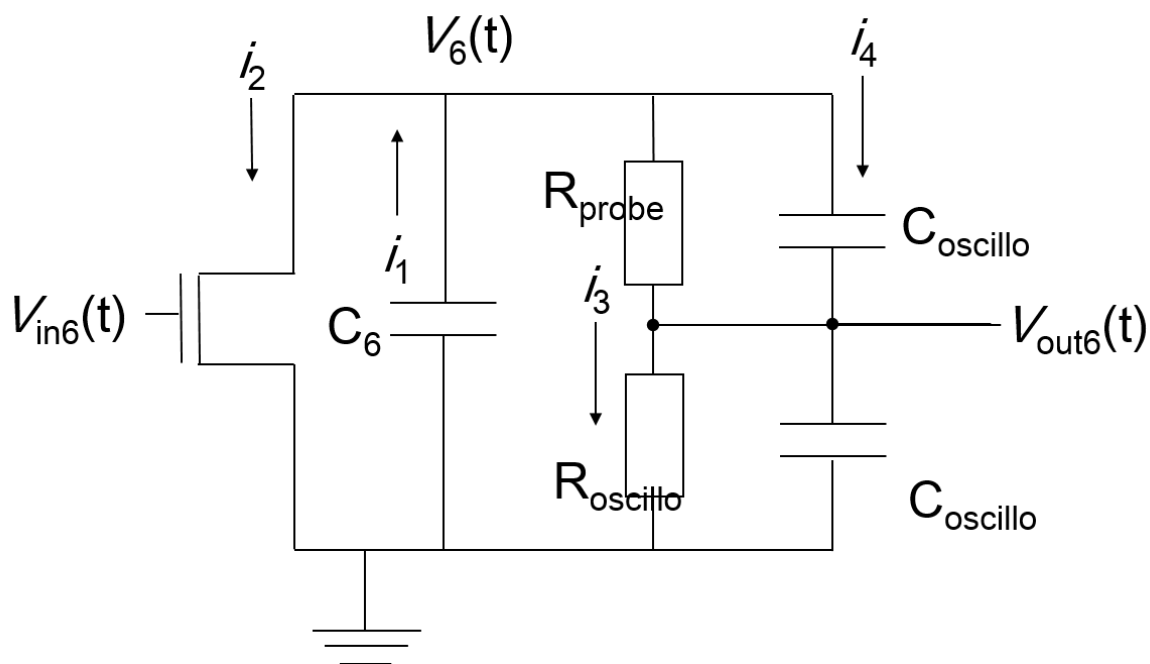


図 46 Q が 1→0 と変化する場合の 6 番 NOR の動作予測に使用した回路図

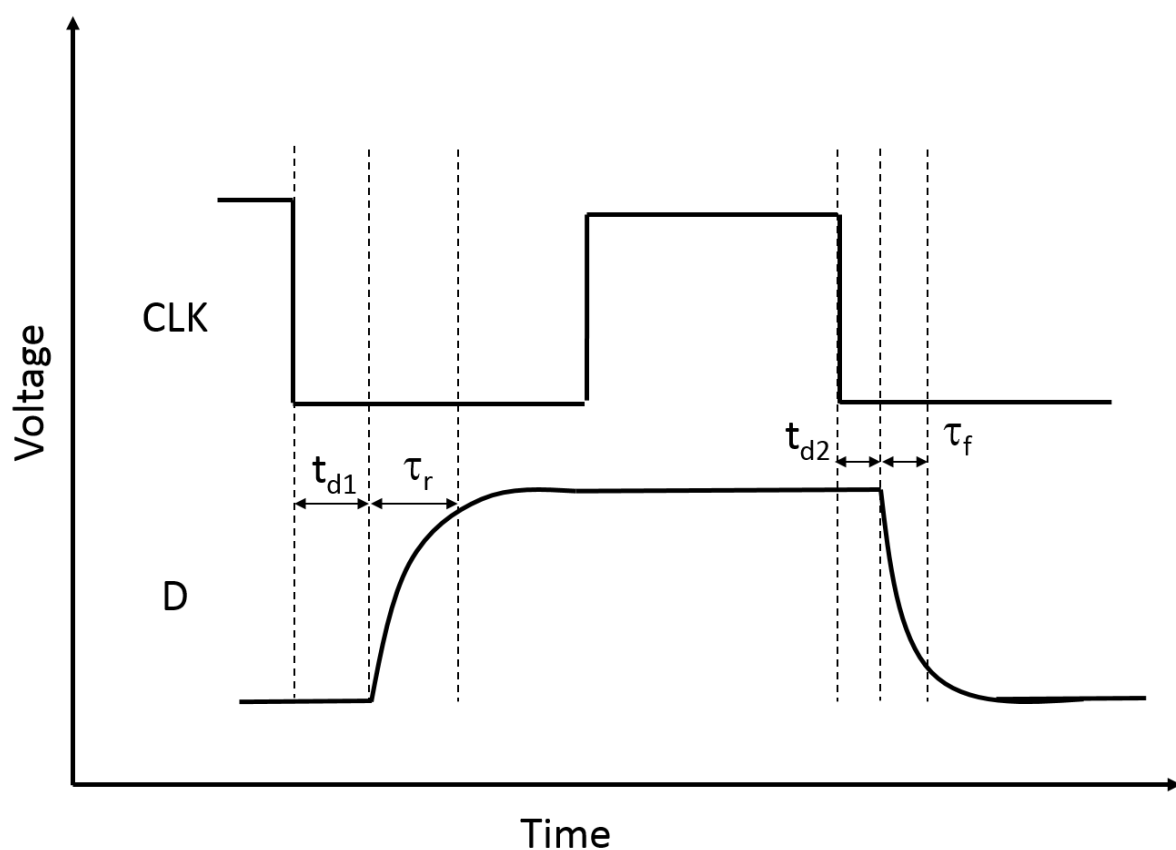


図 47 D フリップフロップの遅延時間

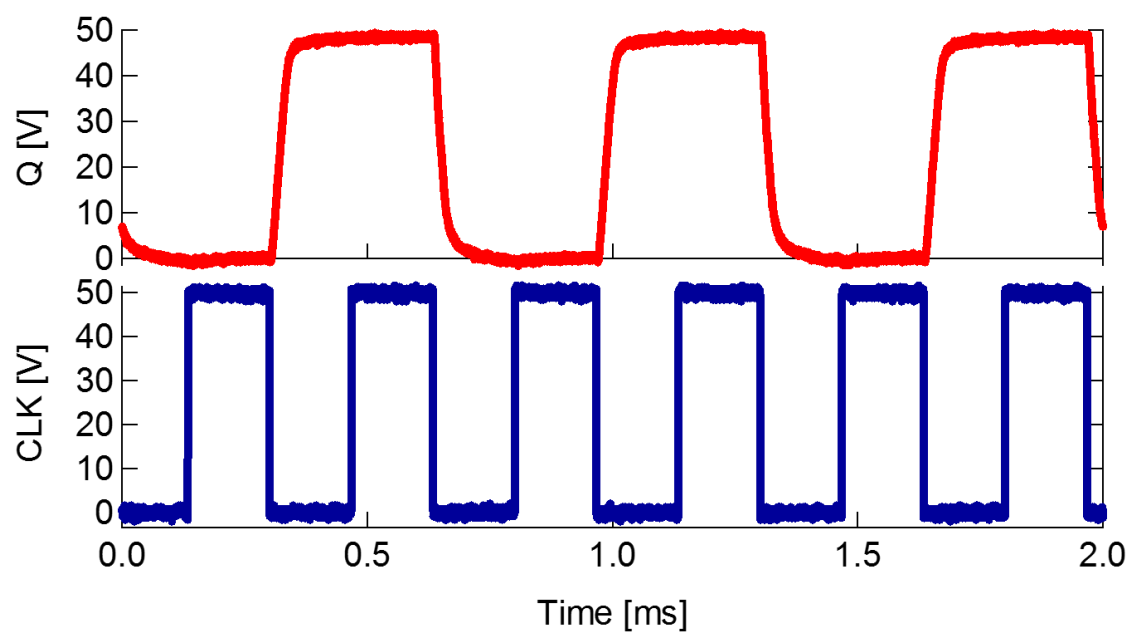


図 48 入力クロック周波数が 3 kHz のときの D フリップフロップの出力結果

## 5 謝辞

本修士論文は東京大学大学院新領域創成科学研究科物質系専攻竹谷・岡本研究室において行った研究をまとめたものです。

本研究に関しまして竹谷純一教授、岡本敏宏准教授に終始ご指導ご鞭撻を賜りました。

本研究遂行に際し、本学特任講師の田中秀幸博士と助教の松井弘之博士にご指導いただきました。また、松井博士には本論文執筆に関してもご指導いただきました。

地方独立行政法人大阪府立産業技術総合研究所の主任研究員宇野真由美博士よりトランジスタ作製全般に関して技術的なご指導、また資材と実験環境の提供を頂きました。

トランジスタの作製、特に有機半導体単結晶膜の作製に関する原理や方法について、本研究室の卒業生で現在帝人株式会社研究員の添田淳史博士にご指導いただきました。

有機論理素子の作製に関する研究では、特任研究員の岸村眞治博士よりデバイス作製全プロセスにわたり多くの知識や示唆を頂きました。

有機トランジスタのトラップ密度の見積もりに関して、Ph.D. Roger Häusermann にご指導いただきました。

本研究で使用した銀塩インクの技術的な取り扱いに関して、松本孝典氏よりご指導いただきました。

本研究で使用した絶縁膜材料 EPRIMA<sup>TM</sup>AL の技術的な取り扱いに関して、旭硝子株式会社研究員の阿部岳文氏にご指導いただきました。

本研究で使用した無電解めっき法に関して、日本エレクトロプレイティング・エンジニアーズ株式会社研究員の伊東正浩氏より実験方法や原理についての技術的な指導をいただきました。

竹谷研究室の皆様には研究内容のみならず様々な面でお世話になりました。

本研究にご協力いただきました皆様に感謝申し上げます。

## 6 参考文献

1. Moore, G. Cramming More Components Onto Integrated Circuits, *Electronics*, (38) 8. *Electronics* (1965).
2. Rolland, a. Electrical Properties of Amorphous Silicon Transistors and MIS-Devices: Comparative Study of Top Nitride and Bottom Nitride Configurations. *J. Electrochem. Soc.* **140**, 3679 (1993).
3. ROHM Co., Ltd. NE Handbook Sensor Networks. *Nikkei Bus. Publ. Inc.*  
[http://rohmf.s.rohm.com/jp/products/databook/catalog/common/handbook\\_sensor\\_networks-j.pdf](http://rohmf.s.rohm.com/jp/products/databook/catalog/common/handbook_sensor_networks-j.pdf)
4. 平成 27 年度総務省所管補正予算 (案) の概 要.  
[http://www.soumu.go.jp/main\\_content/000391052.pdf](http://www.soumu.go.jp/main_content/000391052.pdf)
5. 株式会社矢野経済研究所. プリンテッド・エレクトロニクス研究会. in 特定用途における PE 市場の調査報告
6. Kanehara, M. *et al.* Electroconductive  $\pi$ -junction Au nanoparticles. *Bull. Chem. Soc. Jpn.* **85**, 957–961 (2012).
7. Minari, T. *et al.* Room-Temperature Printing of Organic Thin-Film Transistors with  $\pi$ -Junction Gold Nanoparticles. *Adv. Funct. Mater.* **24**, 4886–4892 (2014).
8. Ito, M., Uno, M. & Takeya, J. Low-resistance contacts of electroless-plated metals with high-mobility organic semiconductors: Novel organic field-effect transistors with solution-processed electrodes. *Org. Electron.* **27**, 53–58 (2015).
9. Heilmeyer, G. H. & Zanoni, L. a. Surface studies of alpha-copper phthalocyanine films. *J. Phys. Chem. Solids* **25**, 603–611 (1964).
10. Kudo, K., Yamashina, M. & Moriizumi, T. Field Effect Measurement of Organic Dye Films. *Jpn. J. Appl. Phys.* **23**, 130–130 (1984).
11. Mottaghi, M. & Horowitz, G. Field-induced mobility degradation in pentacene thin-film transistors. *Org. Electron.* **7**, 528–536 (2006).
12. Ebata, H. *et al.* Highly soluble [1]benzothieno[3,2-b]benzothiophene (BTBT) derivatives for high-performance, solution-processed organic field-effect transistors. *J. Am. Chem. Soc.* **129**, 15732–3 (2007).
13. Yamamoto, T. & Takimiya, K. Facile synthesis of highly  $\pi$ -extended heteroarenes, dinaphtho[2,3-b:2',3'-f]chalcogenopheno[3,2-b]chalcogenophenes, and their application to field-effect transistors. *J. Am. Chem. Soc.* **129**, 2224–5 (2007).
14. Mitsui, C. *et al.* High-performance solution-processable N-shaped organic semiconducting materials with stabilized crystal phase. *Adv. Mater.* **26**, 4546–51 (2014).
15. Jones, B. A., Facchetti, A., Wasielewski, M. R. & Marks, T. J. Tuning Orbital Energetics in Arylene Diimide Semiconductors. Materials Design for Ambient Stability of n-Type Charge Transport. *J. Am.*



- Chem. Soc.* **129**, 15259–15278 (2007).
16. Molinari, A. S., Alves, H., Chen, Z., Facchetti, A. & Morpurgo, A. F. High Electron Mobility in Vacuum and Ambient for PDIF-CN2 Single-Crystal Transistors. *J. Am. Chem. Soc.* **131**, 2462–2463 (2009).
  17. Soeda, J. *et al.* High electron mobility in air for N,N'-1H,1H- Perfluorobutyldicyanoperylene Carboxydi-imide Solution-Crystallized Thin-Film Transistors on Hydrophobic Surfaces. *Adv. Mater.* **23**, 3681–3685 (2011).
  18. Mamada, M. *et al.* A Unique Solution-Processable n-Type Semiconductor Material Design for High-Performance Organic Field-Effect Transistors. *Chem. Mater.* **27**, 141–147 (2015).
  19. Kono, T., Kumaki, D., Nishida, J., Tokito, S. & Yamashita, Y. Dithienylbenzobis(thiadiazole) based organic semiconductors with low LUMO levels and narrow energy gaps. *Chem. Commun.* **46**, 3265–3267 (2010).
  20. Giri, G. *et al.* Tuning charge transport in solution-sheared organic semiconductors using lattice strain. *Nature* **480**, 504–8 (2011).
  21. Minemawari, H. *et al.* Inkjet printing of single-crystal films. *Nature* **475**, 364–7 (2011).
  22. Nakayama, K. *et al.* Patternable Solution-Crystallized Organic Transistors with High Charge Carrier Mobility. *Adv. Mater.* **23**, 1626–1629 (2011).
  23. Fukuda, K., Sekine, T., Kumaki, D. & Tokito, S. Profile Control of Inkjet Printed Silver Electrodes and Their Application to Organic Transistors. (2013).
  24. Kang, H. *et al.* Megahertz-class printed high mobility organic thin-film transistors and inverters on plastic using attoliter-scale high-speed gravure-printed sub-5 $\mu$ m gate electrodes. *Org. Electron.* **15**, 3639–3647 (2014).
  25. Fukuda, K., Takeda, Y., Mizukami, M., Kumaki, D. & Tokito, S. Fully Solution-Processed Flexible Organic Thin Film Transistor Arrays with High Mobility and Exceptional Uniformity. *Sci. Rep.* **4**, (2014).
  26. Subramanian, V. *et al.* Printed Organic Transistors for Ultra-Low-Cost RFID Applications. **28**, 742–747 (2005).
  27. Kawazome, M., Kim, K.-S. & Suganuma, K. Ink-jet printing of Ag nanoparticle and Ag carboxylate inks on papers. *Electron. Components Technol. Conf. 2009. ECTC 2009. 59th* 1325–1329 (2009). doi:10.1109/ECTC.2009.5074184
  28. Soeda, J. *et al.* Inch-Size Solution-Processed Single-Crystalline Films of High-Mobility Organic Semiconductors. *Appl. Phys. Express* **6**, 076503 (2013).
  29. Ito, M., Uemura, T., Soeda, J. & Takeya, J. High-performance solution-processed organic transistors with electroless-plated electrodes. *Org. Electron.* **14**, 2144–2147 (2013).
  30. Nakayama, K. *et al.* High-Mobility Organic Transistors with Wet-Etch-Patterned Top Electrodes: A Novel Patterning Method for Fine-Pitch Integration of Organic Devices. *Adv. Mater. Interfaces* **1**,

- (2014).
31. Steudel, S. *et al.* Influence of the dielectric roughness on the performance of pentacene transistors. *Appl. Phys. Lett.* **85**, 4400 (2004).
  32. Blülle, B., Häusermann, R. & Batlogg, B. Approaching the Trap-Free Limit in Organic Single-Crystal Field-Effect Transistors. *Phys. Rev. Appl.* **1**, 034006 (2014).
  33. 伊東正浩, 宇野真由美竹谷純一. めっき法により形成したAuAg Hybrid電極を有する有機トランジスタ. 第62回応用物理学会春季学術講演会 14p-D3-6 (2015).
  34. Kalb, W. L. & Batlogg, B. Calculating the trap density of states in organic field-effect transistors from experiment: A comparison of different methods. *Phys. Rev. B* **81**, 035327 (2010).
  35. Crone, B. K. *et al.* Design and fabrication of organic complementary circuits. *J. Appl. Phys.* **89**, 5125–5132 (2001).
  36. Cantatore, E. *et al.* A 13 . 56-MHz RFID System Based on Organic Transponders. *IEEE J. Solid-State Circuits* **42**, 84–92 (2007).
  37. Jung, M. *et al.* All-Printed and Roll-to-Roll-Printable Tag on Plastic Foils. **57**, 571–580 (2010).
  38. Nakayama, K., Uemura, T., Uno, M. & Takeya, J. Reduced contact resistances in organic transistors with secondary gates on source and drain electrodes. *Appl. Phys. Lett.* **95**, 113308 (2009).
  39. Uemura, T. *et al.* Split-gate organic field-effect transistors for high-speed operation. *Adv. Mater.* **26**, 2983–8 (2014).
  40. Hoyniak, D., Nowak, E. & Anderson, R. L. Channel electron mobility dependence on lateral electric field in field-effect transistors. *J. Appl. Phys.* **87**, 876–881 (2000).
  41. Caughey, D. M. & Thomas, R. E. Carrier mobilities in silicon empirically related to doping and field. *Proc. IEEE* **55**, 2192–2193 (1967).
  42. Thornber, K. K. Relation of drift velocity to low-field mobility and high-field saturation velocity. *J. Appl. Phys.* **51**, 2127 (1980).
  43. Warta, W., Stehle, R. & Karl, N. Ultrapure, high mobility organic photoconductors. *Appl. Phys. A Solids Surfaces* **36**, 163–170 (1985).
  44. Takeya, J., Tsukagoshi, K., Aoyagi, Y., Takenobu, T. & Iwasa, Y. Hall effect of quasi-hole gas in organic single-crystal transistors. *Japanese J. Appl. Physics, Part 2 Lett.* **44**, 1393–1396 (2005).
  45. Podzorov, V., Menard, E., Rogers, J. A. & Gershenson, M. E. Hall Effect in the Accumulation Layers on the Surface of Organic Semiconductors. *Phys. Rev. Lett.* **95**, 226601 (2005).
  46. Yoo, B. *et al.* Organic complementary D flip-flops enabled by perylene diimides and pentacene. *IEEE Electron Device Lett.* **27**, 737–739 (2006).
  47. Guerin, M. *et al.* Organic complementary logic circuits and volatile memories integrated on plastic foils. *IEEE Trans. Electron Devices* **60**, 2045–2051 (2013).

全体を通じて、特に理論の部分に関しては下記の本を参考にした。

Betty Lise Anderson and Richard L. Anderson. *Fundamentals of Semiconductor Devices*. (McGraw-Hill, 2005). (樺沢宇紀訳『半導体デバイスの基礎 上《半導体物性》』、『半導体デバイスの基礎 中《ダイオードと電界効果トランジスタ》』、『半導体デバイスの基礎 下《バイポーラ・トランジスタと光デバイス》』、丸善出版株式会社、2012 年)