

# 修士論文

IoT ノード端子の微小容量変化検出のための  
多段チャージトランスファ回路

**(Multi-stage Charge Transfer Circuit for Capacitance  
Difference Detection of IoT Node Terminals)**

平成 29 年 2 月 3 日

指導教員 桜井 貴康 教授

東京大学大学院

工学系研究科電気系工学専攻

融合情報コース

37-156526 朴 志焄

## 内容

第1章 序論.....	4
1.1 研究の背景と目的.....	4
1.2 本論文の構成.....	7
第2章 容量検出回路の比較と検討.....	8
2.1 RC 充電回路.....	8
2.2 チャージトランスファ回路.....	10
2.3 オペアンプ回路.....	12
2.4 各容量検出手法の比較検討.....	13
第3章 チャージトランスファを用いた容量変化検出回路.....	14
3.1 容量変化検出回路の全体構造.....	14
3.2 容量変化検出回路の動作.....	14
3.3 提案回路の各部の設計.....	17
3.3.1 $C_{pump}$ の決定.....	17
3.3.2 参照電圧の決定.....	17
3.3.3 スイッチの設計.....	19
3.3.4 コンパレータ.....	20
3.4 バラツキへの耐性の考察.....	20
3.4.1 プロセスバラツキ.....	20
3.4.2 電源電圧バラツキ.....	21
3.4.3 温度バラツキ.....	21
3.5 シミュレーションによる検証.....	22
3.6 シミュレーション結果に対する考察.....	27
第4章 多段チャージトランスファを用いた容量変化検出回路.....	30
4.1 提案回路の問題点及び改善すべき点.....	30
4.2 多段チャージトランスファ回路.....	31
4.2.1 微小容量の必要性.....	31
4.2.2 微小容量の実現手法.....	32
4.2.3 2段チャージトランスファ回路の解析.....	33
4.2.4 3段以上の多段チャージトランスファについての検討.....	35
4.3 トランジスタの変更.....	38
4.4 コンパレータ改善.....	39
4.4.1 同期式コンパレータ.....	39
4.4.2 シミュレーションによる同期式コンパレータの性能検証.....	40
4.5 参照電圧の改良.....	41

4.6 多段チャージトランスファを用いた容量変化検出回路の構造と動作 .....	43
4.6.1 回路全体の概要 .....	43
4.6.2 回路動作過程の概要 .....	44
4.7 バラつき耐性に関する考察 .....	44
4.7.1 プロセスバラツキ .....	44
4.7.2 温度バラツキ .....	45
4.7.3 電源電圧バラツキ .....	45
4.8 多段チャージトランスファ回路のシミュレーション結果 .....	46
4.8.1 容量変化検出 .....	46
4.8.2 温度変化依存性 .....	47
4.8.3 電源電圧依存性 .....	47
4.8.4 消費電力 .....	48
4.9 試作チップの測定結果 .....	49
4.9.1 試作チップと測定の詳細 .....	49
4.9.1 動作確認 .....	51
4.9.2 容量変化検出 .....	52
4.9.3 温度変化依存性 .....	53
4.9.4 電源電圧依存性 .....	54
4.9.5 消費電力 .....	54
4.10 考察 .....	55
4.10.1 出力反転カウント数の変化 .....	55
4.10.2 消費電力の変化 .....	56
4.10.3 温度変化依存性 .....	57
4.10.4 電源電圧依存性 .....	57
4.10.5 バラツキ耐性を持つ条件 .....	57
第5章 結論と今後の展望 .....	59
5.1 結論 .....	59
5.2 今後の展望 .....	60
参考文献 .....	61
本研究に関する発表 .....	63
謝辞 .....	64

# 第1章 序論

## 1.1 研究の背景と目的

近年、半導体は飛躍的な発展を遂げ集積回路はひたすらその生産量が増えつつある。それを象徴する概念の一つがトリリオンセンサだ。2013年に開催された TSensors Summit では一年間に生産されるセンサの数が毎年単調的に増加し、これからも指数的な傾向で増え続けるというロードマップが Janusz Bryzez 氏により謳われた。そのロードマップが Fig.1.1 である。

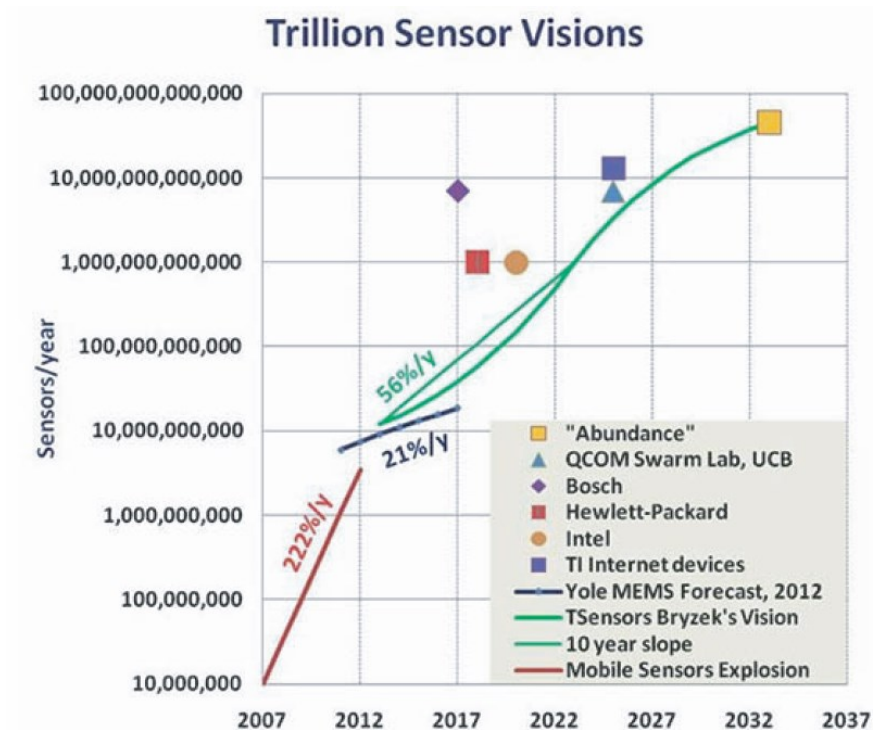


Fig.1.1 Roadmap of the Number of Sensors Produced for one Year [1]

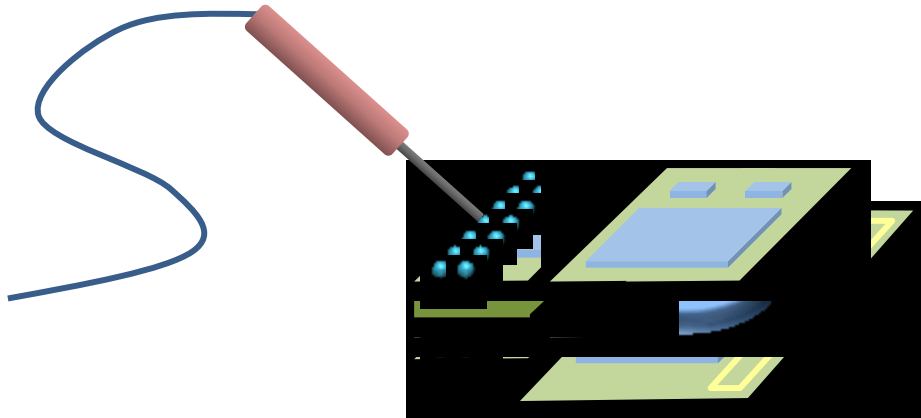
このように増え続けるセンサはビッグデータ、クラウドサービスとともにもののインターネット(Internet of Things-以下 IoT)の実現と普及につながった。IoTとは、従来からPC、プリンターなどのIT機器しか接続されていなかったインターネットに、それ以外の様々な物が接続されるシステムである [2]。あらゆる物から多種多様の物理量のデータを得る無線センサネットワークもまたIoTの応用の一種であり、様々な分野に役立つであろうと期待されている [3]。



Fig.1.2 Basic Concept of IoT [4]

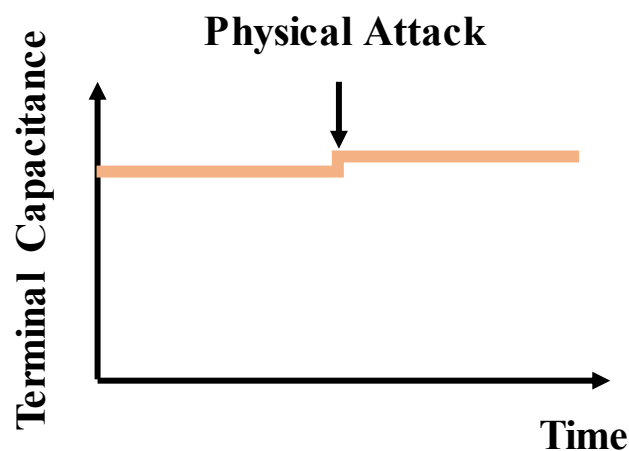
例えば、スマートメータやスマートグリッドを用い電力の供給と需要をコントロールする、トンネルや道路、鉄道などをモニタリングしメンテナンスする、GPS を用いて物流を監視し在庫管理を効率化する、個人の健康と生活データをもとに最適なサービスを提供するなどといった応用先が考えられる。また、データの収集と応用という IoT 本来の目的だけでなく、IoT 端末の製造と供給、そしてそこから生まれる新しいサービスによって形成される市場の経済効果も無視できない。例えばセンサネットワークが形成する市場はその定義が難しいものの、2020 年には 1.2 兆円の規模に達すると予想されている [5]。

このように大きい可能性を秘めている IoT であるが、運用において注意しなければならない要素も多くあり、その一つがセキュリティ問題である。IoT 端末上で収集、伝送されるデータは価値のある情報で、場合によっては個人情報など決して第三者に知られてはならない情報を含んでいる可能性もあり、それらの情報を保護する機能は不可欠である。ところが、IoT の端末は多数を人間が容易に接近することができない場所、あるいは頻繁に確認することがない場所に設置することが多い。つまりユーザが端末を常に監視することは現実的ではなく、第三者が端末に接近することは容易である。このことから IoT の端末は端末そのものに対する盗聴や攻撃に脆弱であり各ノード一つ一つに、外部からの攻撃を感知し動作を停止するなど自らデータを保護できるセキュリティ機構が構築されていなければならない。無線端末に対する攻撃の中では特に消費電力や処理時間、漏洩磁界を測定し攻撃を行う [6]「サイドチャンネル攻撃」が多く研究され、さまざまな対策が報告されている [7] [8] [9]。しかしデータへの攻撃の仕方は再度チャンネル攻撃以外にも存在する。例えば Fig.1.3 のように回路の端子に直接プローブを当て波形を見るなどの物理的攻撃が考えられる。



**Fig.1.3 Assumed Physical Attack on IoT Nodes**

集積回路はチップの中の回路に直接針を当てることこそ難しいものの、チップには必ず外部と接続するための端子がついており、そこから物理的攻撃を行うことは容易である。そのような物理的攻撃に対するセキュリティ機構ないと IoT 端末の信頼性は大きく損なわれるが、著者の知る限りこれに関する研究は多くはされていないため本研究では IoT 端末に対する物理的攻撃の感知が可能なセキュリティ回路の提案をテーマにした。



**Fig.1.4 Relationship between Physical Attack and Terminal Capacitance**

IoT ノード端子への物理的攻撃を感知する回路の開発に際し、満たさなければならない条件がいくつかある。まず、セキュリティ回路は IoT 端末のチップに共に実装された方が望ましい。回路が外付である場合、製造コストが跳ね上がる上にセキュリティ回路のみを取り外し攻撃を行うことが可能になるためである。次に、IoT 端末はその維持とメンテナンスコストを抑えるため小型の電池で長時間動作できるか、エナジハーベストを用いたバッテリーレス動作ができることが求められていることを考えなければならない。特にエナジハーベ

トを用いる場合、周辺環境から得られるエネルギーは $1\text{cm}^2$ 当たり  $10\text{mW}$  にも満たないため低消費電力動作は必須である [10]. IoT 端末に実装される回路では低消費電力を実現するために間欠動作、パワーゲーティング、クロックゲーティングなど様々な技術を駆使し低消費電力動作を実現している. 本研究で提案する回路も IoT 端末とともに実装されることを前提にしているため、消費電力は低く抑えなければならない. 最後に、変化しやすい周辺環境と不安定な電源供給の下でも常に正常に動作する必要がある、温度と電圧のバラツキに対する高い耐性を持たなければならない.

これらの要素を踏まえた上で、本研究では端末への攻撃の感知手段として容量検出を用いることにした. 端末の端子には大きい寄生容量が存在するが攻撃のためにプローブを接触させると Fig.1.4 のようにプローブの容量が加わり端子の容量値が増加する. その差分を検出することができれば攻撃を感知することも可能である. 容量は定常的な電流を流さず消費電力を抑えることができ、抵抗やトランジスタに比べ小さい温度特性を持ち、チップ上に集積できるため上述の条件をすべて満たすことができる.

以上のことにより低消費電力かつ高バラツキ耐性を持つ端子容量変化の検出提案を本研究の目標とする. 具体的な目標仕様としては  $10\text{pF}$  前後の容量を持つ端子に  $100\text{fF}$  以上の容量を持つプローブが接触することで、端子容量の  $1\%$  ほどの変化が生じた場合を想定し設計を行った.

## 1.2 本論文の構成

本論文は5章で構成されている. 次章である第2章では従来の容量検出回路である RC 充電回路, チャージトランスファ回路, そして OP アンプ回路の紹介と比較を行い, 本研究の目的に最も適している回路構造を決める. 第3章では第2章で選ばれたチャージトランスファを用いて端子容量変化検出のための回路を提案する. さらに SPICE シミュレーションを用いて容量変化検出能力と消費電力, 温度変化依存性, 電源電圧依存性などの回路特性を検証する. 第4章では第3章で提案した回路を改善した新しい回路を提案する. 最初に多段チャージトランスファを用いることで実効的な微小容量を実現し容量検出の分解能を向上させる原理について述べる. そして回路の消費電力を低減させるための工夫と回路の動作を簡略化するための工夫について述べる. 次に SPICE シミュレーションで回路分解能や温度特性, 電圧特性の向上を確かめる, さらに実際チップを試作して測定を行いその結果とシミュレーションの結果を比較する. またそれらの結果が理論から外れた理由についての考察を行う. 最後の第5章において本論文の全体をまとめた後結論と今後の課題について述べる.

## 第2章 容量検出回路の比較と検討

本章では、静電容量を検出するための手法を紹介する。静電容量は圧力 [11], 加速度 [12], 湿度 [13] など様々な物理量の検出に使われており, いくつかの検出手法が確立されている。

代表的な容量検出回路である RC 充電回路, チャージトランスファ, そして可変容量とアンプ回路の基本的な動作原理と動き, そして特徴を述べ, その後 IoT ノードで用いる場合最も適した回路についての検討を行う。

### 2.1 RC 充電回路

RC 充電回路は最もシンプルで基本的な容量検出回路である。抵抗を經由してキャパシタを充電し, キャパシタにかかる電圧を参照電圧と比べることで容量を検出する。その基本的な動作を説明するために, まず Fig.2.1 のような抵抗と容量のみの簡単な回路を考える。

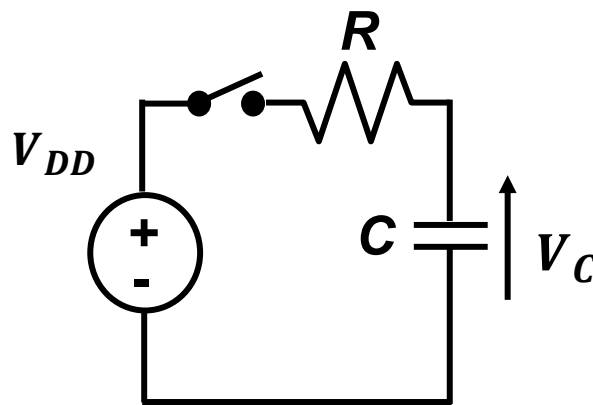


Fig.2.1 Simple RC Circuit

容量  $C$  にかかった電圧  $V_C$  が 0 の状態でスイッチを閉じると,  $V_C$  は式(2.1)に従って増加する。式の中の  $t$  はスイッチを閉じてから経過した時間である。

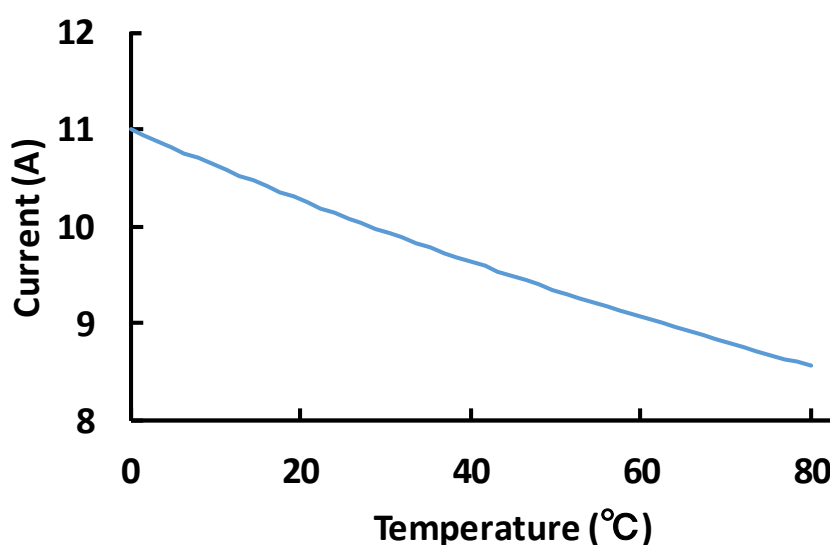
$$V_C = V_{DD} \left(1 - e^{-\frac{t}{RC}}\right) \quad (2.1)$$

従って,  $V_C$  とある決まった参照電圧を比較器に入力し, 比較器の出力が反転する時刻を求めると逆算し  $C$  の値が求まる [14]。例えば, 参照電圧の大きさが  $V_{DD}(1 - e^{-1})$  であれば, 比較器の出力が反転する時刻を抵抗値  $R$  で割ることで容量値  $C$  を求めることができる。

RC 充電回路は必要な素子が二つしかないシンプルな構造をしており, 簡単に実装することができる。消費電力の面でも理想的には容量を一度充電する分のエネルギーしか消費しないため低電力動作に向いている。しかしこの手法では電圧がアナログ的に上昇するため検出の精度を上げるためには周波数の高いきわめて正確なクロック周波数が必要になる。



高精度のクロック周波数を生成するには一般に水晶発振器が用いられるが水晶発振器は最新の研究でも消費電力が数百  $\mu\text{W}$  と高く，起動時間もまた数百  $\mu\text{sec}$  と長い [15] [16]. 長い起動時間は性能に寄与しない起動エネルギーを大きくし，間欠動作に向かないため IoT 端末に用いることは難しい. また，容量を検出するためには精度の高い抵抗が不可欠だが，現在の MOS プロセスでは高精度に制御された抵抗を製造することは難しく [17]温度特性も高い. 例えば Fig.2.2 は  $0.25\mu\text{m}$  Mixed Signal プロセスの  $98.9\text{m}\Omega$  の抵抗の両端に  $1\text{V}$  の電圧をかけたとき， $0^\circ\text{C}\sim 80^\circ\text{C}$ の温度範囲で抵抗の両端に流れる電流の大きさのシミュレーション結果である.



**Fig.2.2 Temperature Dependence of Resistor in  $0.25\mu\text{m}$  Mixed Signal Process**

$98.9\text{m}\Omega$  の抵抗には  $10.1\text{A}$  の電流が流れるはずだが，電流値は  $0^\circ\text{C}$  から  $80^\circ\text{C}$  の温度範囲において  $11.0\text{A}$  から  $8.56\text{A}$  まで変化している. RC 回路は原理が簡単な分，抵抗の値が検出の精度に直接的に影響を与える. 抵抗の持つ温度特性はそのまま出力の温度特性につながり，容量検出の精度を落とす原因となる. これらに加え時定数の実現が難しいことも大きい障害である. 例えば  $10\text{pF}$  の容量の検出を  $1\text{msec}$  で行う場合を考える. 議論を簡単にするため時定数を既知の抵抗値で割る検出方法を用いると仮定する. その場合必要な抵抗の大きさは

$$\frac{1\text{msec}}{10\text{pF}} = 100\text{M}\Omega \text{ である. 上記のシミュレーションで用いた抵抗の面積は幅 } 320\text{nm} \times \text{長さ}$$

$400\text{nm}$  のものであり， $100\text{M}\Omega$  を実装するためにはこれの  $10^9$  倍の  $128\text{mm}^2$  の面積が必要になる. これは集積回路のチップ面積すら上回っており現実的ではない. 最後に，アナログ電圧値と比較するための正確な参照電圧の生成は難しく，電力消費も大きいという課題も残る. 以上の要因により，RC 充電回路は IoT 端末の容量変化検出には不向きであると考えられる.

## 2.2 チャージトランスファ回路

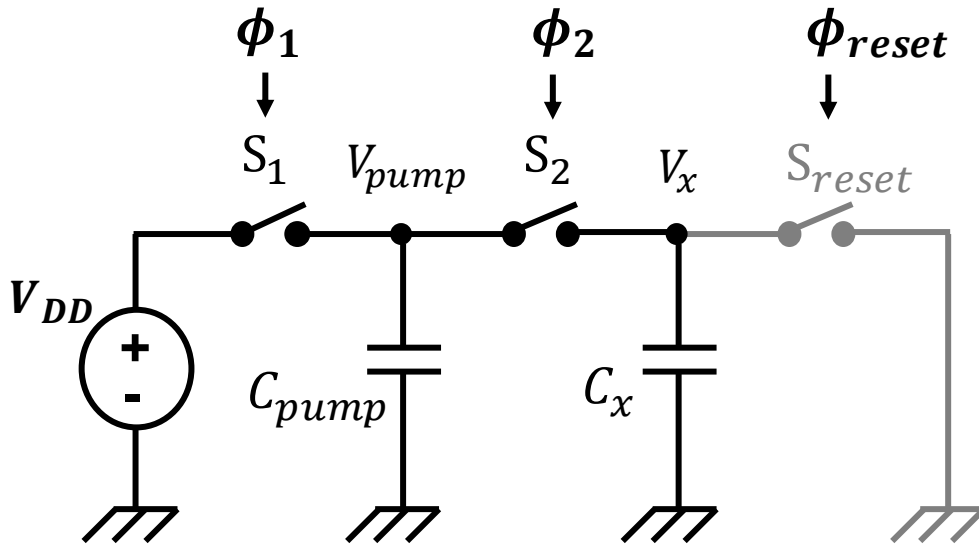


Fig.2.3 Charge Transfer Circuit

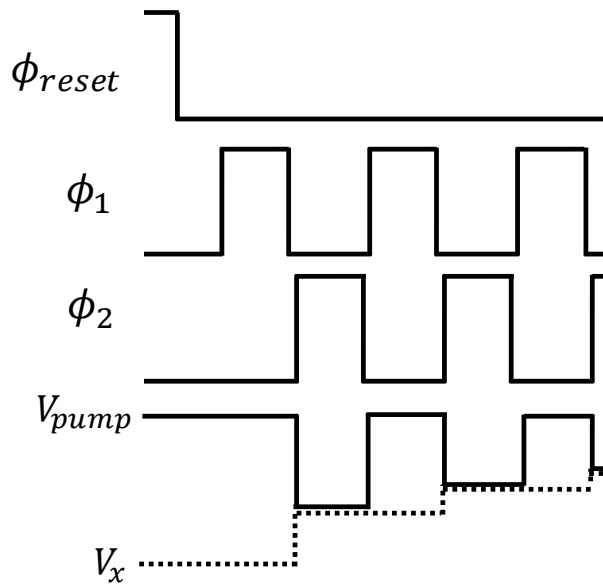


Fig.2.4 Time Chart of Charge Transfer

電荷を蓄えている容量と電荷を蓄えていない別の容量を並列で接続させると電荷は容量値に比例して分割され、電圧が変化する。この原理を用いた容量測定方式がチャージトランスファ回路である。その基本的な仕組みを説明するために Fig.2.3 のように電源、2 つの容量、そしてスイッチで構成された回路を考える。

最初、 $S_1$ を除くすべてのスイッチが閉じており、二つの容量はグラウンドに接続し電荷

が0にリセットされる。動作が始まるとすべてのスイッチが開いた後 $S_1$ が閉じ、 $C_{pump}$ が $V_{DD}$ まで充電される。 $C_{pump}$ が $V_{DD}$ まで完全に充電された後 $S_1$ が開き、次に $S_2$ が閉じる。そうすると $C_{pump}$ と $C_x$ が並列で接続され、 $C_{pump}$ に蓄えられていた電荷が容量の比に従い $C_x$ にも分割され両容量にかかる電圧が変化する。両容量間の電荷移動がなくなった後 $S_2$ が開き $S_1$ は閉じて $C_{ump}$ を再度 $V_{DD}$ まで充電する。その後また $S_1$ が開き、次に $S_2$ が閉じると $C_{pump}$ の電荷が $C_x$ に流れるが、 $C_x$ にはすでに電荷が蓄えられているため電圧の変化は前回より若干小さくなる。このように、 $C_{pump}$ を $V_{DD}$ で充電しその電荷を $C_x$ に分割する動作を何度も繰り返すことによって $C_x$ にかかる電圧を徐々に $V_{DD}$ に近づけることができる。この動きのタイムチャートを Fig.2.4 に示す。

RC 充電回路と同じように、とある外部の参照電圧を用い $C_x$ にかかる電圧 $V_x$ と比較することで $C_x$ の容量を求めることができる。ただし、チャージトランスファでは電圧が離散的に変化するため時刻ではなくスイッチを開閉した回数から容量値を求めることになる。

以上のプロセスを式で表す。 $S_3$ が開いた後 $S_2$ が閉じた回数を $N$ だとする。そして $S_2$ が $N$ 回閉じた後の $V_x$ を $V_x[N]$ として表す。 $V_x[N]$ は $V_x[N-1]$ を用いて式(2.2)のように表現できる。

$$V_x[N] = \frac{C_{pump}}{C_{pump}+C_x} V_{DD} + \frac{C_x}{C_{pump}+C_x} V_x[N-1] \quad (2.2)$$

この初期条件 $V_x[N] = 0$ を用い漸化式の一般項を求めると式(2.3)のようになる。

$$V_x[N] = V_{DD} \left( 1 - \left( \frac{C_x}{C_{pump}+C_x} \right)^N \right) \quad (2.3)$$

$V_x[N]$ がとある外部の参照電圧 $V_{ref}$ を超えるときの $N$ は $V_{ref} = V_x[N]$ となるときの $N$ に他ならない。 $N$ は式(2.4)で表される。

$$N = \frac{\log\left(\frac{V_{DD}}{V_{DD}-V_{ref}}\right)}{\log\left(1+\frac{C_{pump}}{C_x}\right)} \quad (2.4)$$

そして、 $C_x$ が $C_{pump}$ より十分大きい場合は $\lim_{x \rightarrow 0} \ln(1+x) = x$ の近似を用い式(2.5)のような形でまとめることができる。

$$N \approx \frac{C_x}{C_{pump}} \log\left(\frac{V_{DD}}{V_{DD}-V_{ref}}\right) \quad (2.5)$$

ここで $C_{pump}$ 、 $V_{DD}$ 、そして $V_{ref}$ はすべて既知の値であるため $k \equiv \frac{1}{C_{pump}} \log\left(\frac{V_{DD}}{V_{DD}-V_{ref}}\right)$ と定義すると $C_x \approx \frac{N}{k}$ という簡単な関係になり、 $V_x$ が $V_{ref}$ を超えるまでのスイッチの開閉数からすぐ容量値に変換することができる。

チャージトランスファ回路は抵抗ではなく容量のみを用いた回路であるため温度特性が比較的に小さい。電圧がアナログ的に増加するのではなくスイッチを開閉した回数によってデジタル的に変化するためRC 充電回路よりノイズに強いというメリットがある。そしてリーク電流と容量に電荷が充電される時定数が十分小さい範囲では、クロック周波の精

度が多少悪い場合や異なるクロック周波数で制御される場合でも正常に動作する。容量を一度検出するために消費されるエネルギーは $C_x$ を充電するエネルギーの $N$ 倍以下であり、消費電力も小さい。チャージトランスファ回路のデメリットは、2つのスイッチを交互に動かさなければならないため1動作あたりの時間の半分の周期をもつ速いクロックが必要になり、RC充電回路と比べ複雑な制御をしなければならない点を挙げられる。そして参照電圧を生成しなければならないという、RC充電回路と同じ課題を抱えている。

## 2.3 オペアンプ回路

直列接続した容量に電圧をかけると、電圧は容量の大きさに応じて分圧される。そのとき生じる微小な電圧の変化をオペアンプで増幅することで容量を検出することも可能である。この原理を説明するために Fig.2.5 のような回路を考える。

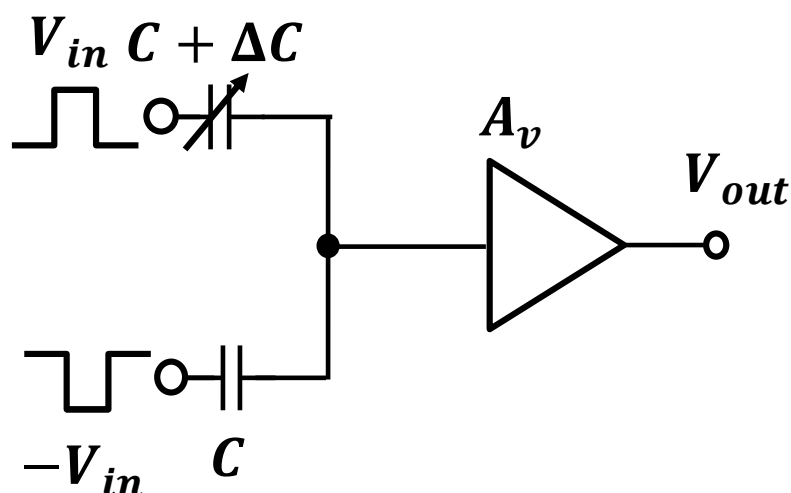


Fig.2.5 Capacitance Detection Circuit using Amplifier

容量値の差が $\Delta C$ だけある容量二つを直列に接続し、その間の電圧がオペアンプに入力される。この回路でオペアンプの入力端の真電荷が0で、二つの容量に逆相の電圧が印加されたと仮定する。オペアンプの利得を $A_v$ で、容量 $C$ が差分 $\Delta C$ より十分大きいとすると、この時オペアンプの出力 $V_{out}$ は次の式のように求まる。

$$V_{out} = A_v \left( -V_{in} + 2V_{in} \frac{C + \Delta C}{2C + \Delta C} \right) = A_v \frac{\Delta C}{2C + \Delta C} V_{in} \approx A_v \frac{\Delta C}{2C} V_{in} \quad (2.6)$$

このようにオペアンプを用いた回路では容量の絶対値ではなく、容量の差分を出力から直接得ることができる。

オペアンプ回路の最大の利点は動作速度である。RC充電回路やチャージトランスファ回路では検出したい容量が充電されるまで待たなければならない、またその時間はクロック信号の周波数で制限される。それに比べオペアンプ回路はクロックの1周期内で出力を得ることができる。そして出力には容量の絶対値ではなく容量の差分が直接表れる特

徴がある。しかしそのためには変化する容量とほぼ同程度の容量をチップ上に実装しなければならないが、本研究でターゲットとしている端子の寄生容量を想定しているため正確な値が分からない。またオペアンプは消費電力が大きい上に、利得が電圧バラツキの影響を受けやすく不安定な電源を使用する IoT 端末上ではエラーを起こす確率が高いと考えられる。

## 2.4 各容量検出手法の比較検討

本節では前述の 3 つの容量検出手法を比較し、IoT 端末の攻撃感知回路に最も相応しい手法について考察を行う。Table.2.1 は RC 充電回路、チャージトランスファ回路、オペアンプ回路の特徴をまとめたものである。

**Table.2.1 Comparison of 3 Capacitance Detection Methods**

	RC 充電回路	チャージトランスファ	オペアンプ回路
消費電力	○	○	×
構造	◎	○	×
バラツキ耐性	×	○	×
検出時間	×	×	○

オペアンプ回路は検出時間だけは優れているが本研究では高速動作は重要な要素ではない上に消費電力が大きくバラツキ耐性が低いため IoT 端末には適切ではない。RC 充電回路とチャージトランスファ回路を比べると、構造が少々複雑になってもバラツキ耐性に優れているチャージトランスファ回路が最適であると考えられる。

## 2章のまとめ

本章では容量の検出に用いられる 3 通りの回路、RC 充電回路、チャージトランスファ回路、オペアンプ回路の原理と動作過程、そして各回路のメリット及びデメリットを述べた。そしてそれらの要素を総合的に比較検討した結果、実装の難易度の低さ、消費電力の低さ及び高いバラツキ耐性という点において本研究のターゲットにはチャージトランスファ回路が最も適しているという結論が得られた。

# 第3章 チャージトランスファを用いた容量変化検出回路

前章ではチャージトランスファが IoT 端末上で容量検出に用いられる際の強みについて述べた。本章ではそのチャージトランスファを用いターゲットである 10pF の容量の 100ff の変化を検出する回路を提案する。そして SPICE シミュレーションを用い提案した回路の有効性を示す。

## 3.1 容量変化検出回路の全体構造

今回提案する容量変化検出回路の全体回路図を Fig.3.1 に示す。

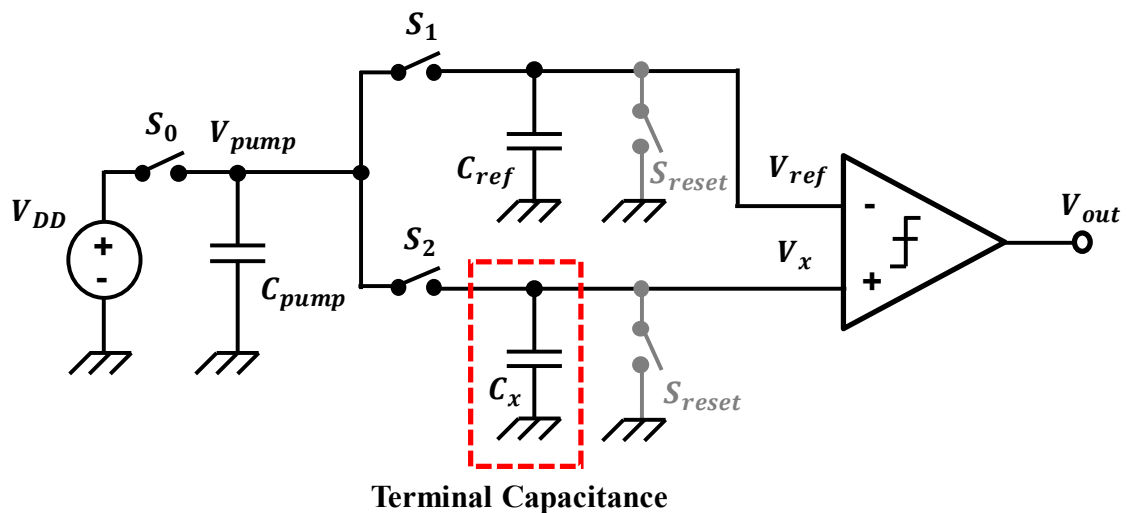


Fig.3.1 Proposed Capacitance Detection Circuit

提案する回路は電源 $V_{DD}$ 、充電に用いられる容量である $C_{pump}$ 、参照電圧 $V_{ref}$ を生成するための容量 $C_{ref}$ 、コンパレータ、そしてスイッチで構成されている。赤い枠線で囲んだ $C_x$ はチップの外の、検出すべき端子の容量を表している。

## 3.2 容量変化検出回路の動作

本節では前節で提案した Fig.3.1 の回路が $C_x$ の容量を検出するまでの全体の動作の流れを述べる。

最初に、回路が動作を開始する前には Fig.3.2 のようにスイッチ  $S_0$ ,  $S_{reset}$  は閉じて  $S_1$  と  $S_2$  が開いており、 $C_{ref}$  と  $C_x$  はグラウンドの電圧に、 $C_{pump}$  は  $V_{DD}$  に接続される。この過程で  $C_{ref}$  と  $C_x$  の電荷はリセットされ  $V_{ref}$  と  $V_x$  は 0 になる。この状態を Step0 とする。

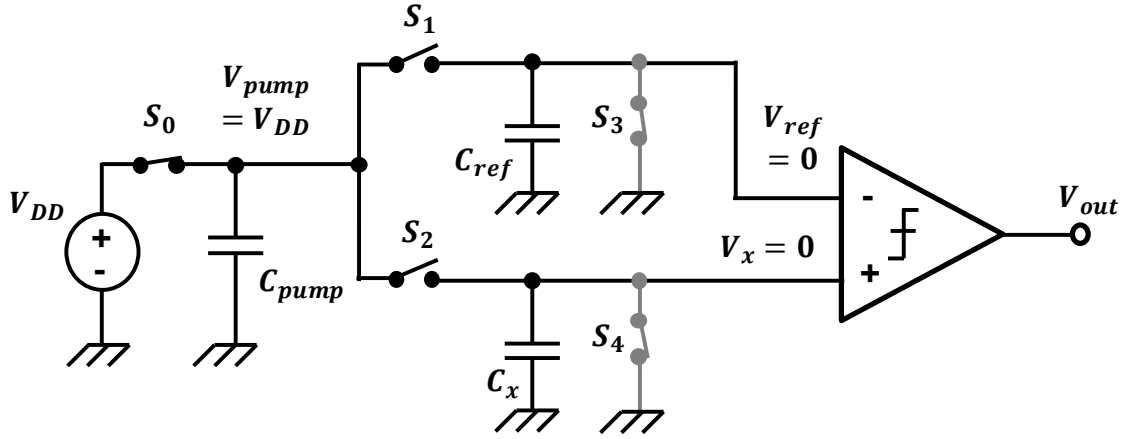


Fig.3.2 Step0: Reset Step

動作が開始されると  $S_{reset}$  が開く。そして  $S_0$  と  $S_1$  が交互に開閉し  $V_{DD}$  と  $C_{pump}$ ,  $C_{ref}$  でチャージトランスファが構成される。  $V_{DD}$  から供給される電荷は  $C_{pump}$  を経由し  $C_{ref}$  に蓄えられる。その過程を Fig.3.3 に示す。

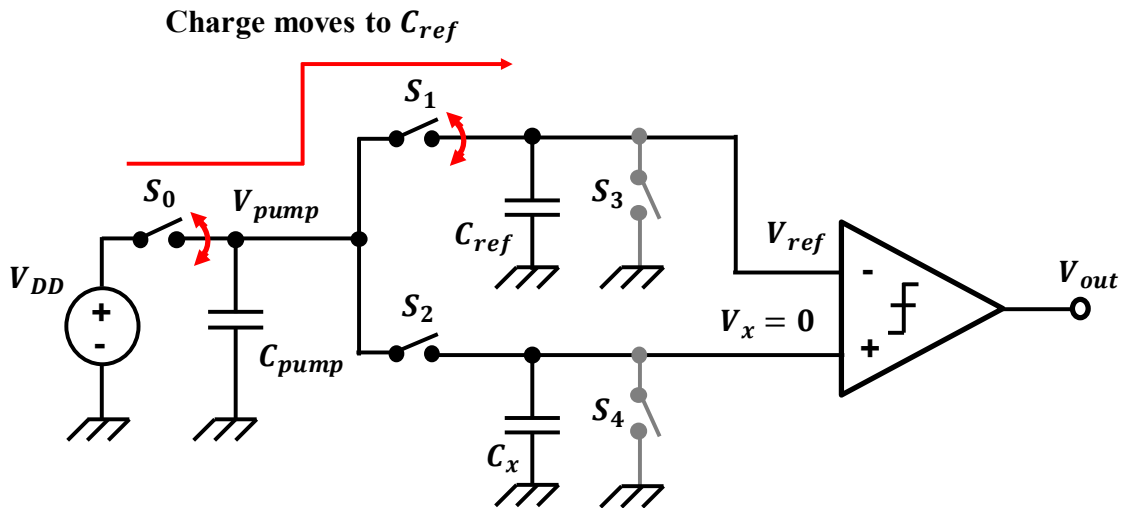


Fig.3.3 Step1: Reference Generation Step

この時  $S_0$  と  $S_1$  の開閉の回数は既定の回数  $N_{ref}$  回だけにする。そうすることで容量  $C_{ref}$  には既定の参照電圧  $V_{ref} = V_{DD} \left(1 - \left(\frac{C_x}{C_r + C_x}\right)^N\right)$  が蓄えられる。

$V_{ref}$ の生成が終わった後は $S_1$ を開き、次は $S_0$ と $S_2$ を交互に開閉する。このとき $V_{DD}$ と $C_{pump}$ 、 $C_x$ でチャージトランスファが構成され、 $C_x$ に徐々に電荷が蓄えられる。そのときの様子をFig.3.4に示す。

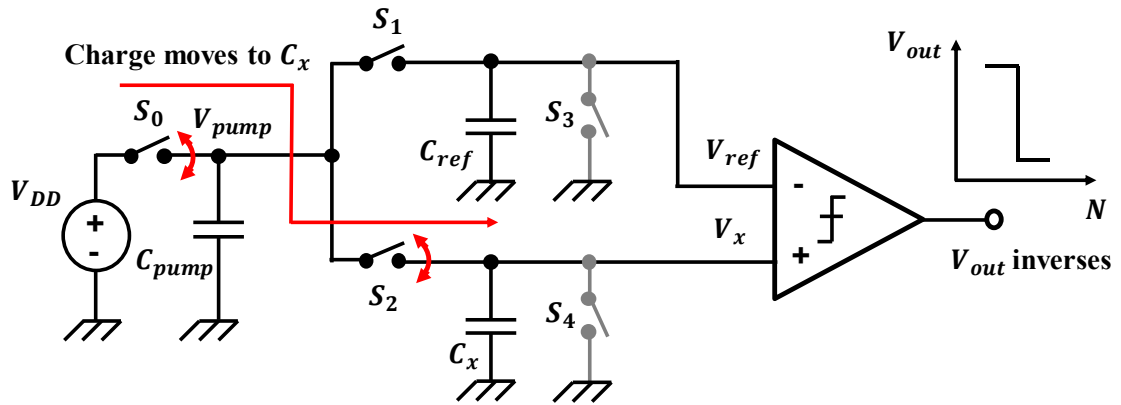


Fig.3.4 Step2: Capacitance Detection

$S_0$ と $S_2$ の開閉回数を $N$ だとしたとき、 $C_x$ にかかる電圧 $V_x$ は $N$ が大きくなるにつれ増加する。 $V_x$ はいずれ参考電圧 $V_{ref}$ を超えることになり、その瞬間コンパレータの出力が反転する。そして回路の状態は再びStep0にもどる。コンパレータの出力が反転したときの開閉回数 $N_{inv}$ は検出すべき容量 $C_x$ の関数である。チップが初めて製造されたときの $N_{inv} = N_{inv0}$ をメモリ保存し、その後チップが動作を開始するたびにStep0からStep2を繰り返して得られる新しい $N_{inv} = N'_{inv}$ と比較することで $C_x$ が変化したか否か、つまり攻撃が行われているか否かをFig.3.5のように判別することができる。

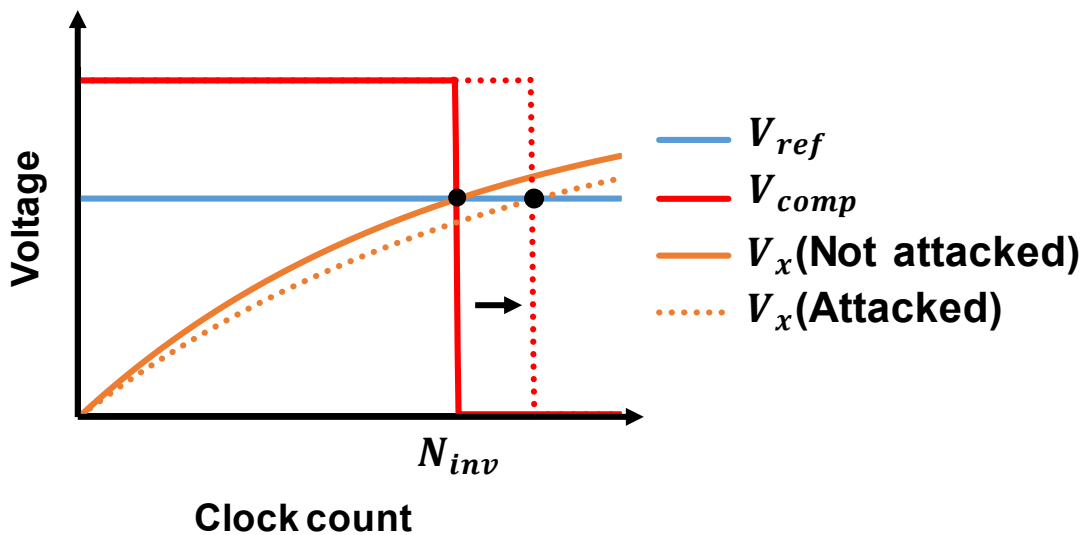


Fig.3.5 Change of  $V_{out}$  Inversion Time



### 3.3 提案回路の各部の設計

本節では提案した容量変化検出回路の各部の回路パラメータの決め方及び詳細構造を述べる. 本研究では  $10\text{pF}$  前後の  $C_x$  が  $100\text{fF}$ , すなわち  $1\%$  程度変化した場合それを検出できることを目標としており,  $C_x = 10\text{pF}$  としてパラメータを決め, シミュレーションでの検証においても  $10\text{pF}$  の容量を  $C_x$  として用いることとする. また,  $C_x$  が  $1\%$  以上変化したとき初めて, コンパレータの出力が反転するまでのスイッチの開閉回数  $N_{inv}$  が  $N_{inv0}$  と異なるようにパラメータの設定を行う.

#### 3.3.1 $C_{pump}$ の決定

$C_{pump}$  の値は小さければ小さいほどチップの面積は小さくなり高い検出分解能を得ることができる. しかし実際の集積回路の設計において小さすぎる容量はスイッチなど周辺素子の寄生容量に影響され不確かな値になる. その様子を Fig.3.6 に示す.

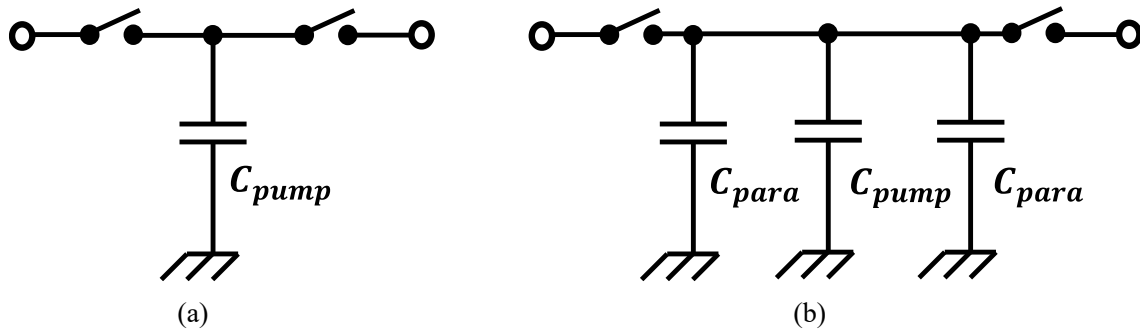
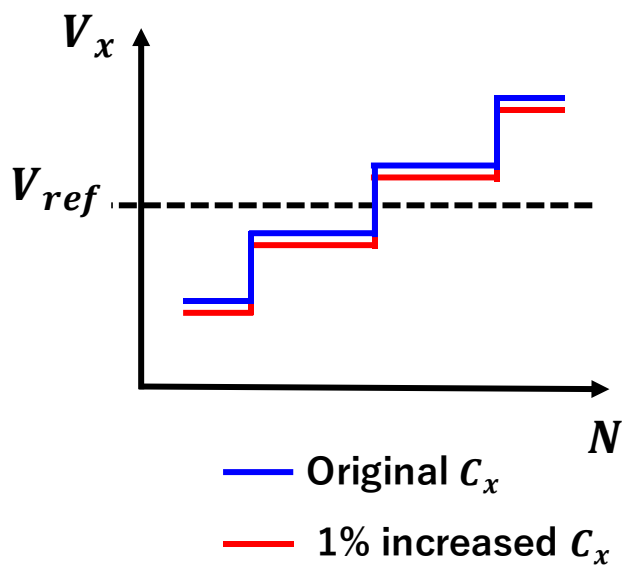


Fig.3.6 (a) Ideal Case of  $C_{pump}$  and Switches (b) Real case of  $C_{pump}$  and Switches

理想的には Fig.3.6(a)のようにスイッチの間に容量  $C_{pump}$  のみが存在することが望ましいが, 実際にはスイッチに寄生容量  $C_{para}$  が存在し Fig.3.6(b)のように  $C_{pump}$  に並列に接続されたような形になる.  $C_{pump}$  が  $C_{para}$  にくらべ十分大きい場合は Fig.3.6(a)のように見なしても良いが,  $C_{pump}$  を小さくしていくにつれ  $C_{para}$  の影響がみえてき,  $C_{pump}$  が小さくなりすぎるとスイッチの間の容量は  $C_{para}$  に制限されそれより小さい値には決してならない. そのため設計段階で寄生素子を相殺できる構造を用意するか,  $C_{para}$  が無視できる  $C_{pump}$  の容量を十分大きく設定しなければならない. 本研究では寄生容量の大きさを  $10\text{fF}$  オーダーと見積もり,  $C_{pump}$  は  $100\text{fF}$  と設定した.

#### 3.3.2 参照電圧の決定

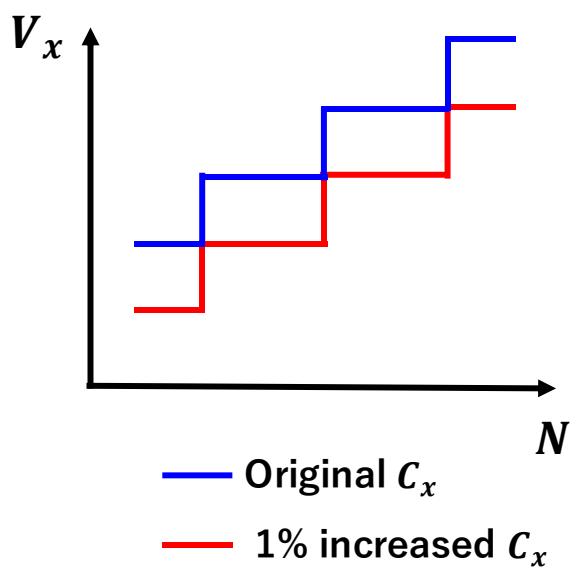
$C_{pump}$  の次には,  $10\text{pF}$  の容量の  $1\%$  変化を検出できるような適切な参照電圧とその条件を満たす  $C_{ref}$  および  $C_{ref}$  を充電する回数  $N_{ref}$  の値を決定する.



(a)

(b)

**Fig.3.7 Inappropriate Condition of Capacitance Difference Detection**



**Fig.3.8 Appropriate Condition of Capacitance Difference Detection**

提案する回路での $C_x$ の検出は、 $C_x$ の変化に伴い $C_x$ にかかる電圧 $V_x$ の上昇が遅れて $C_x$ が元の値だった場合の $V_x$ との間に差が生じ、参照電圧 $V_{ref}$ に達するまでのより多くスイッチを開閉しなければならないことを利用している。 $C_x$ が変化した場合とそうでない場合の $V_x$ の差が小さすぎる場合、Fig.3.7のように同じ回数 of スイッチの開閉で $V_x$ が $V_{ref}$ を超えてしまい、容量の変化を検出することができない。正しく $C_x$ の変化を検出するためには Fig.3.8 のように

$C_x$ が1%変化した時の $V_x$ と本来の $V_x$ の差が、 $V_x$ の1クロックでの変化分の1倍以上以上にならないといけない。まず $V_x$ がこの条件を満足するための $N_{inv}$ の範囲を求める。 $N$ の最小値は各場合の $V_x$ の差が1ステップ分になる場合の関係式から求まり、その関係式は以下のようになる。

$$V_x[N]|_{C_x} = V_x[N + 1]|_{1.01C_x} \quad (3.1)$$

$N_{inv}$ が式(3.1)に式(2.3)を代入して得られる $N$ より大きければ、 $V_x$ が変化しても $N_{inv}$ が変わらないということは起こらない。式(3.1)から得られる $N_{inv}$ の適切な範囲を式(3.2)に示す。

$$\frac{\ln\left(\frac{1.01C_{sens}}{1.01C_{sens}+C_{pump}}\right)}{\ln\left(\frac{1.01C_{sens}+C_{pump}}{1.01C_{sens}+1.01C_{pump}}\right)} < N_{inv} < \frac{2\ln\left(\frac{1.01C_{sens}}{1.01C_{sens}+C_{pump}}\right)}{\ln\left(\frac{1.01C_{sens}+C_{pump}}{1.01C_{sens}+1.01C_{pump}}\right)} \quad (3.2)$$

この式に $C_{pump} = 100\text{fF}$ を代入すると $C_x$ が $1\text{pF} \sim 100\text{pF}$ のどの値であっても $N_{inv}$ は101回以上であれば良いことがわかる。

次は $N_{inv}$ が101回以上になるように参照電圧 $V_{ref}$ を設定する。 $V_{ref}$ は $100\text{fF}$ の $C_{pump}$ で $C_x$ を101回以上充電したときの電圧であればどれでも良い。つまり式(3.3)のようにあらわすことができる。

$$V_{DD} \left(1 - \left(\frac{C_x}{C_{pump} + C_x}\right)^{101}\right) < V_{ref} < V_{DD} \left(1 - \left(\frac{C_x}{C_{pump} + C_x}\right)^{200}\right) \quad (3.3)$$

この式を解くと $V_{ref}$ の適切な範囲は $0.63V_{DD}$ 以上であれば良いことがわかる。 $C_{ref}$ と $N_{ref}$ は $V_{ref}$ をこの範囲内にする値で自由に選択できるが、今回は $C_{ref} 1.2\text{pF}$ にし、 $N_{ref}$ を13回に設定した。

### 3.3.3 スイッチの設計

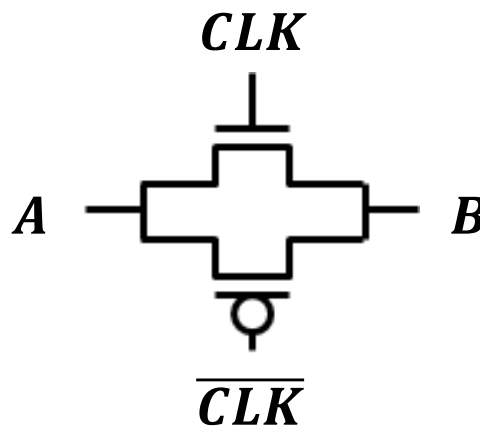


Fig.3.9 Transfer-gate Switch

チャージトランスファの構成と各容量の電荷のリセットに用いられるスイッチは Fig.3.9 のように nMOS と pMOS を並列に接続したトランスファゲートスイッチを用いる。  $C_x$  は初めて  $C_{pump}$  と接続される時はほぼグラウンドに近い電位のままだが，次第に  $\frac{1}{2}V_{DD}$  を超え  $V_{DD}$  に近づいていくため， pMOS と nMOS を両方とも用いなければならない。

### 3.3.4 コンパレータ

$V_x$  が  $V_{ref}$  と交差する時点を検出するためのコンパレータとしては Fig.3.10 のようなオーソドックスなアナログコンパレータを採用した。各トランジスタの大きさは片方の入力  $V_{ref}$  の時に最も利得の高くなるように設定されている。またコンパレータの出力段だけでは出力が緩やかに変化するため，利得を高めるために出力に追加でインバータを 3 段接続させている。

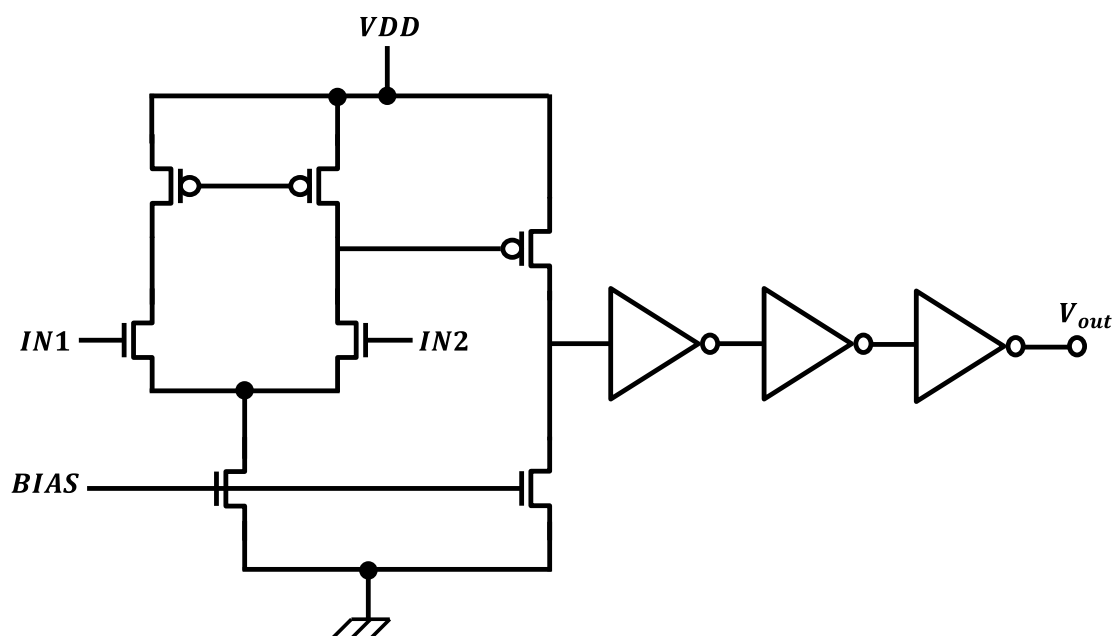


Fig.3.10 Comparator for Proposed Circuit

## 3.4 バラツキへの耐性の考察

第 1 章で述べたとおり，本研究で提案する回路はバラツキに対して強くなければならない。本節では，提案する回路がプロセス，電源電圧，温度バラツキに対して耐性を持つ根拠を述べていく

### 3.4.1 プロセスバラツキ

プロセスバラツキとは集積回路のチップの生産過程において生じるずれである。本研究で提案する回路ではトランジスタの電流駆動能力と  $C_{pump}$ ，  $C_{ref}$  から容量の値に影響を及ぼす可能性が高い。しかし提案する容量変化検出回路ではトランジスタのオン抵抗と容量の時

定数に比べ十分長い時間スイッチをつなげることでトランジスタの電流駆動能力によらない動作を保証できる。トランジスタの電流駆動能力がいくら高くなろうと、逆に低くなろうとスイッチがオンになっている時間が十分長ければ接続された 2 つの容量には均一に電荷が分割されるからである。

次に容量のプロセスバラツキに関してだが、容量は一般的にトランジスタと比べその占有面積が非常に大きいため、プロセスバラツキが生じにくい。また、容量のプロセスバラツキはコンパレータの出力が反転するまでスイッチが開閉した回数 $N_{inv}$ に影響をおよぼすが、チップが一度製造された後からその影響が変わることはない。本研究では、提案する回路が製造された後攻撃をされていないことが確かな状況で一度動作を行い、 $N_{inv0}$ をメモリに保存する。このときプロセスバラツキが含まれた真値を得ているため、プロセスバラツキによる検出の誤動作は生じないと考えられる。

### 3.4.2 電源電圧バラツキ

トランジスタの電流駆動能力は温度によって大きく変化するが、それが本研究において容量の検出に影響を及ぼさないことは 3.4.1 において既に議論済みである。そして容量の場合、元々抵抗やトランジスタと比べ温度による変化が小さい上に、 $N_{inv}$ に寄与するのは常に容量同士の比である。容量の絶対値ではなく、それらの比を取ることで互いの温度変化は相殺される。したがって回路の温度の変化が容量の検出に及ぼす影響も誤動作を起こさないほど十分小さいと考えられる。

### 3.4.3 温度バラツキ

IoT 端末は小型の電池を用いるかエナジハーベストで非常にわずかな電力を集め動作することが多く、電源は不安定になる。IoT 端末に用いられる回路は電源電圧が正規の値より少々ずれても正常な動作ができるようになってなければならない。

コンパレータの出力が反転するまでのスイッチの開閉回数 $N_{inv}$ と電源電圧の関係を知らるために、それらの間に成り立つ関係を式で確かめる。コンパレータの出力は $V_x$ が $V_{ref}$ を上回る瞬間反転するため、 $V_x > V_{ref}$ となる最小の整数を求めればそれが $N_{inv}$ である。 $V_x$ と $V_{ref}$ を式(2.3)を用いて表現した式が式(3.4)であり、式(3.5)は式(3.4)の関係式を $N$ についてまとめたものである。

$$V_{DD} \left( 1 - \left( \frac{C_x}{C_{pump} + C_x} \right)^{N_{inv}} \right) > V_{DD} \left( 1 - \left( \frac{C_{ref}}{C_{pump} + C_{ref}} \right)^{N_{ref}} \right) \quad (3.4)$$

$$N_{inv} = \left\lceil N_{ref} \frac{\ln \left( 1 + \frac{C_{pump}}{C_{ref}} \right)}{\ln \left( 1 + \frac{C_{pump}}{C_x} \right)} \right\rceil \quad (3.5)$$

式(3.5)の中括弧[ ]は天井関数である。天井関数とは、括弧内の実数に対しその数以上の最小の整数として定義される関数である。式(3.5)からわかるように $N_{inv}$ は $N_{ref}$ および $C_{pump}$ と $C_{ref}$ の比、そして $C_{pump}$ と $C_x$ の比によってのみ決まる関数である。式の中に電源電圧 $V_{DD}$ が含まれていないということは式が電源電圧 $V_{DD}$ とは独立であることを示しており、提案する回路は電源電圧バラツキに高い耐性を持つことになる。

### 3.5 シミュレーションによる検証

3.1 で提案した回路を 3.3 で決めたパラメータ通り回路を設計し、3.2 で述べた順番で動作させ、容量の 1% の変化を検出できるかをシミュレーションによって確認する。その前に 3.3 で決めたパラメータと電源電圧などその他の回路パラメータを Table 3.1 にまとめた。制御信号のクロック周波数は容量の電荷が完全に平行状態になるように十分低ければ良く、1MHz に決めた。

Table.3.1 Values of Determined Parameter

Parameter	Value
$V_{DD}$	2.5V
$C_x$	10pF
$C_{pump}$	100fF
$C_{ref}$	1.2pF
$N_{ref}$	13
Clock Frequency	1MHz

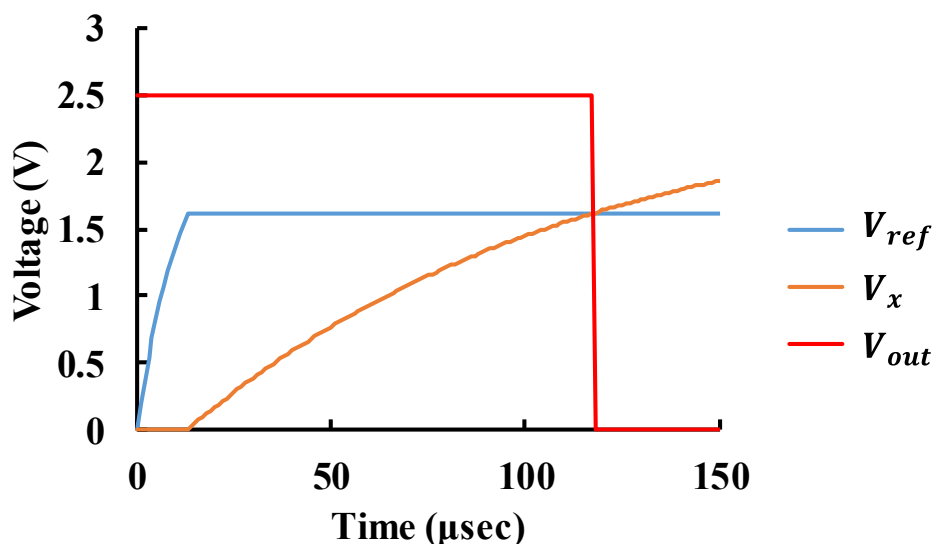


Fig.3.11 Ideal Numerical Calculation of Proposed Circuit

それではまずこれらの値を用い理想的な条件の下で回路が動作した場合の動きを Microsoft 社の Excel で数値計算した場合の結果を Fig.3.11 に示す。

各パラメータが Table.3.1 のとおりの場合、 $V_{ref}$  は 1.62V になりコンパレータの出力が反転する時刻は 118 $\mu$ sec, すなわちスイッチ $S_0$ が 118 回開閉したときになる. 次に $C_x$ が 100fF 増加した場合, すなわち $C_x = 10.1$ pF の場合 1 カウントの差でそれが検出できるかを検証した図が Fig.3.12 である.

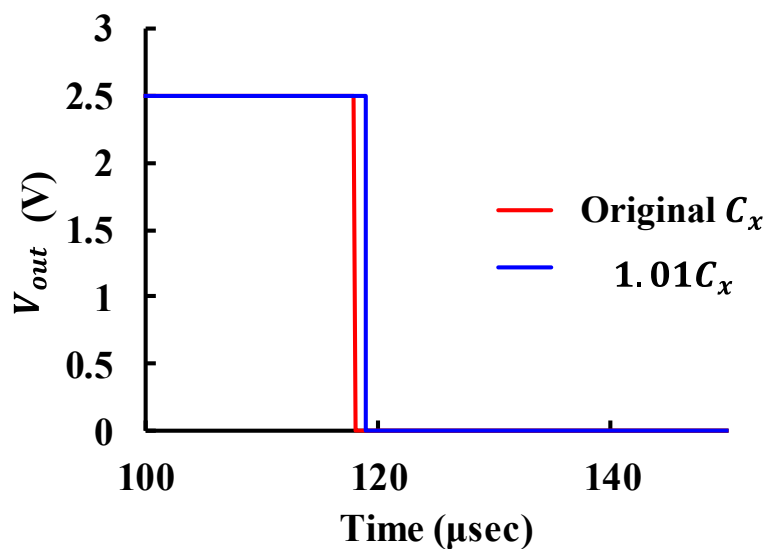


Fig.3.12 Ideal Numerical Calculation of 100fF Difference Detection in Ideal Case

数値計算の結果,  $C_x = 10.1$ pF の時コンパレータの出力が反転する時刻は 119 $\mu$ sec となり, 1 カウントの差で検出することができた.

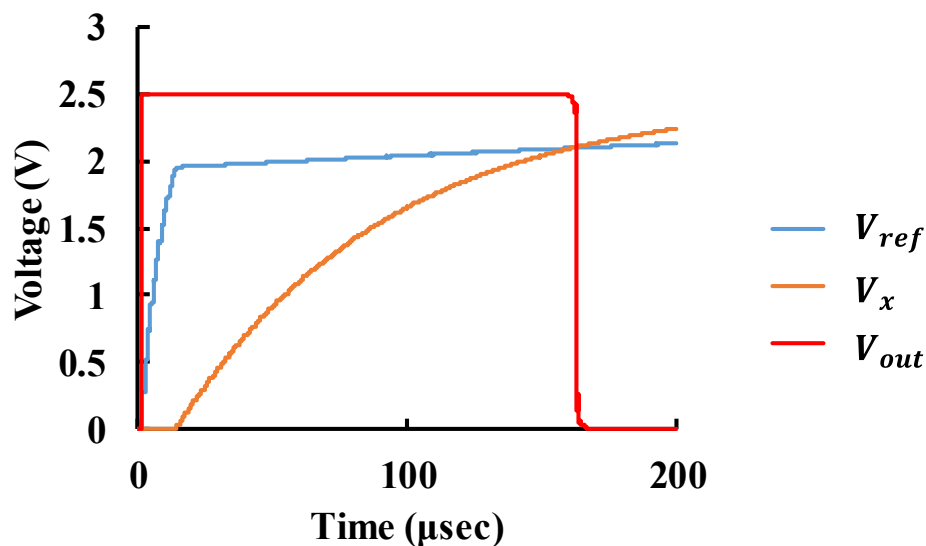


Fig.3.13 Simulation Result of Proposed Circuit

以上の検証はあくまでもすべての素子が理想素子であった場合の数値計算であるため,

より正確な検証のためにはトランジスタのモデルなどを含めた SPICE シミュレーションを行う必要がある。今回使用したシミュレーションモデルは TSMC 社の  $0.25\mu\text{m}$  プロセスのモデルであり、シミュレーションのアルゴリズムは Cadence 社の Spectre の Transient 解析を用いた。そのシミュレーション結果が Fig.3.13 である。このシミュレーションにおいてはコンパレータの出力が反転する時刻は  $162.5\mu\text{sec}$  であり、即ちスイッチの開閉回数が 162 回のときである。理想数値計算では  $\mu\text{sec}$  の整数倍だった反転時刻が整数 $+0.5\mu\text{sec}$  になった理由は、シミュレーションの最初に半クロック分のリセット時間を設けたことが理由である。

シミュレーションの結果ではいくつかの問題点が見受けられる。最初参照電圧  $V_{ref}$  が時間とともに徐々に上昇している。本回路は  $C_{pump}$  と  $C_x$  でチャージトランスファが構成されている間は参照電圧が変化しないことを前提にしているが、実際は変化している。このように参照電圧が時間とともに上昇していたことが、出力反転時刻を増加させた主な原因だと考えられる。他にはコンパレータの出力が反転し始めるところで波形が鈍っていることがわかる。

同じシミュレーションで  $C_x$  の  $100\text{pF}$  の変化を検出するシミュレーションの結果が Fig.3.14 である。

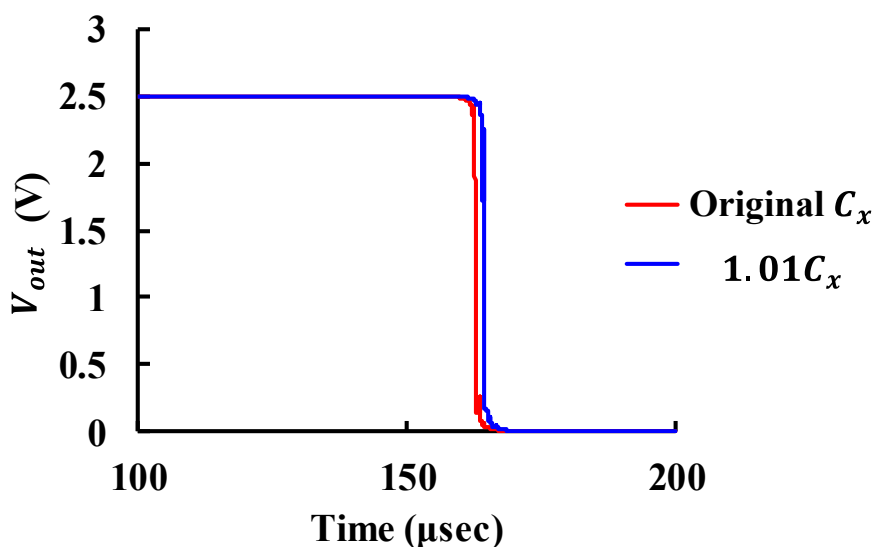


Fig.3.14 Simulation Result of 100fF Capacitance Difference Detection

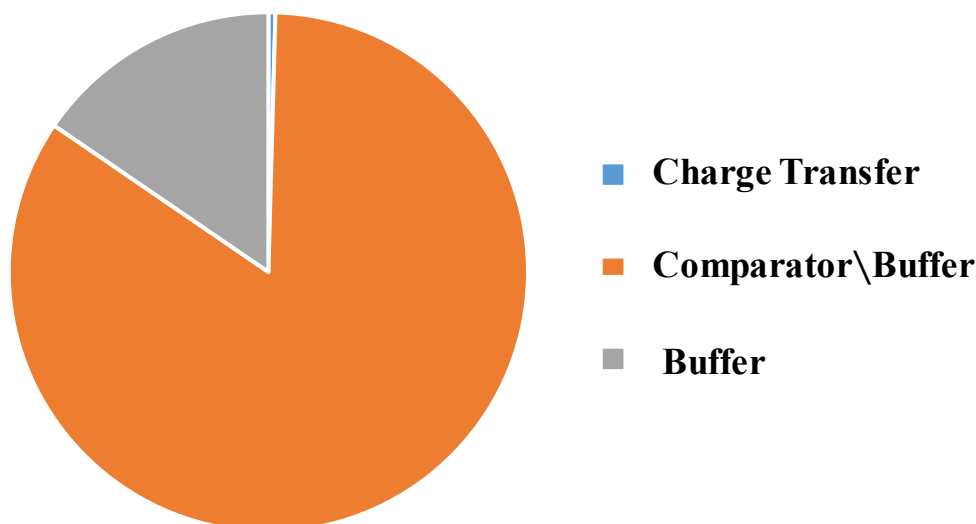
このシミュレーション結果では  $C_x$  が  $101\text{pF}$  だった場合の出力の反転時刻は  $164\mu\text{sec}$  であり、開閉回数に換算すると 163.5 回である。スイッチの開閉の回数に 0.5 回ということはありません。このようなことが起こった原因についての考察は後述する。また  $C_x$  が  $101\text{pF}$  の場合のコンパレータの出力が反転する際に若干波打っていることも想定されていない動作であり、これについても後に反転時刻が半周期ずれている問題と共に考察することにする。



次に消費電力のシミュレーション結果を示す。Table.3.2 は本回路の消費電力の内訳であり、Fig.3.15 はそれぞれの消費電力が全体において占める割合を円グラフにしたものである。

**Table.3.2 Simulation Power Consumption of Proposed Circuit**

Block	Power Consumption
All	203 $\mu$ W
Charge Transfer	0.890 $\mu$ W
Comparator	202 $\mu$ W
Buffer (Included in Comparator)	31.4 $\mu$ W



**Fig.3.15 Breakdown of Simulated Power Consumption**

提案した回路は容量を検出するまで回路全体で 203 $\mu$ W の電力を消費しているが、これは水晶発振回路の動作電力に匹敵する値であり、決して低消費電力とは言えない範囲である。203 $\mu$ W のうち 202 $\mu$ W はコンパレータで消費される電力で、全体の消費電力の 99% 以上を占めている。逆にチャージトランスファ構造における容量の充電で消費される電力は 1 $\mu$ W にも満たない 890nW であり、チャージトランスファ構造の電力効率の良さがうかがえる。コンパレータの動作においては、利得を上げるために取り付けられたインバータバッファ部分での消費電力は 31.4 $\mu$ W であり、コンパレータの比較部分での消費電力は 171 $\mu$ W である。消費電力の大部分をコンパレータが占めていることから、提案する回路の低消費電力化のためにはまず消費電力のより少ないコンパレータを設計しなければならないということは明白である。そして 1 回の検出毎に消費されるエネルギーは消費電力に検出時間をかけた 32.9nJ になる。

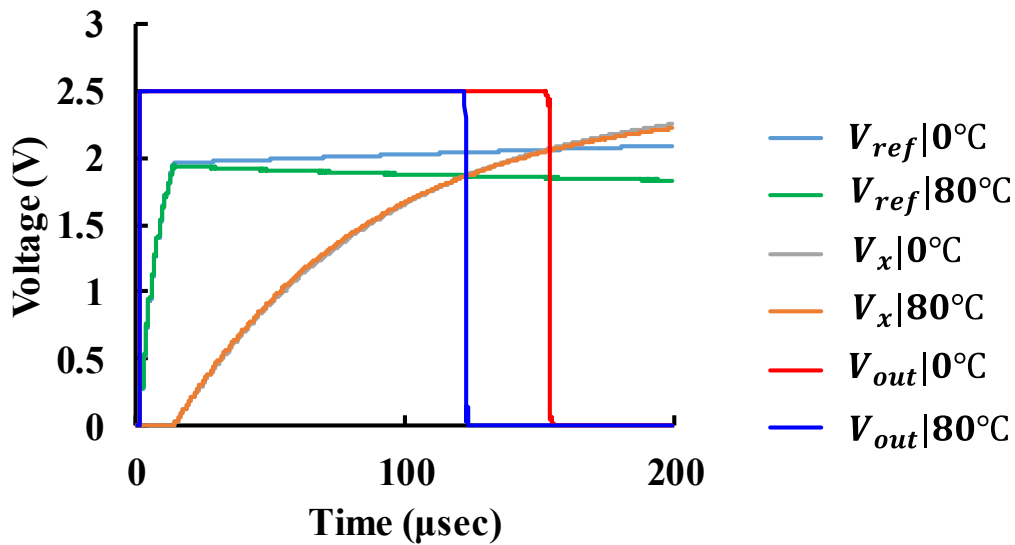


Fig.3.16 Simulation of Temperature Dependence of Proposed Circuit

最後に提案した回路のバラツキ耐性を確認しなければならない。提案した回路の温度バラツキによる影響を確かめるため、0°Cおよび80°Cの環境においてシミュレーションを行った結果を Fig.3.16 に示す。

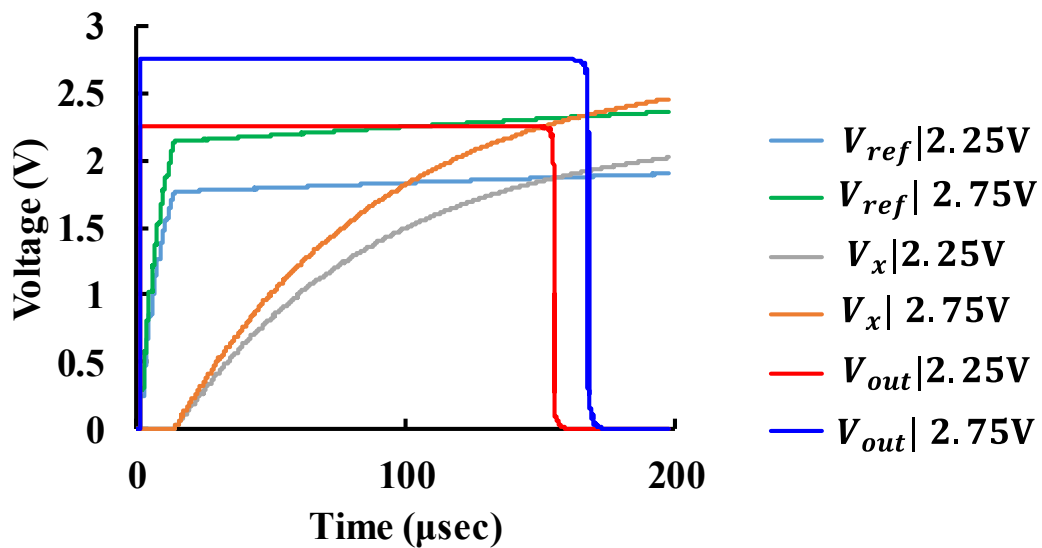


Fig.3.17 Simulation of Power-supply Voltage Dependence of Proposed Circuit

Fig.3.13 におけるシミュレーション結果と比較すると、162.5 $\mu$ sec で反転していたコンパレータ出力が、0°Cにおいては153.5 $\mu$ sec、80°Cにおいては122.5 $\mu$ sec で反転しており大きい温度依存性を示している。次に電源電圧特性を調べるため $V_{DD}$ を $\pm 10\%$ 変化させたとき、すなわち2.25V まで下げた場合と2.75V まで上げた場合のシミュレーション結果を

Fig.3.17 に示す.

$V_{DD}$ を変化させた場合,  $V_{DD} = 2.25V$ では  $154.5\mu\text{sec}$  のときに, そして  $V_{DD} = 2.75V$ のときは  $167.55\mu\text{sec}$  でコンパレータの出力が反転しており, 電源電圧の変化に対しても大きい依存性を示している. 本研究では, 温度や電源電圧が変化しても  $C_x$ が変化しなければ出力の反転時刻が変わらない回路の設計を目標としているため, 温度と電圧に対する依存性は改善しなければならない.

### 3.6 シミュレーション結果に対する考察

前節では設計した容量変化検出回路を用いて理想的な数値計算と SPICE シミュレーションを行った. そしてその結果, シミュレーションではいくつか想定されていない問題が発生し, 温度や電源電圧が変化する環境において正しく容量の変化を検出できないことが分かった. 他にも参照電圧  $V_{ref}$  が一定値に保たれずに変化する, スイッチの整数回の開閉でない時点で出力が反転するといった問題点が明らかになった. 本節ではそれらについて簡単な考察を行う.

まずはこの問題の原因を探るべく  $V_x$  と  $V_{ref}$  の電圧波形を確認すると, 本来なら  $1\mu\text{sec}$  毎に 1 回上昇するはずの  $V_x$  が  $0.5\mu\text{sec}$  毎に上昇していた. その様子を Fig.3.18 に示す.

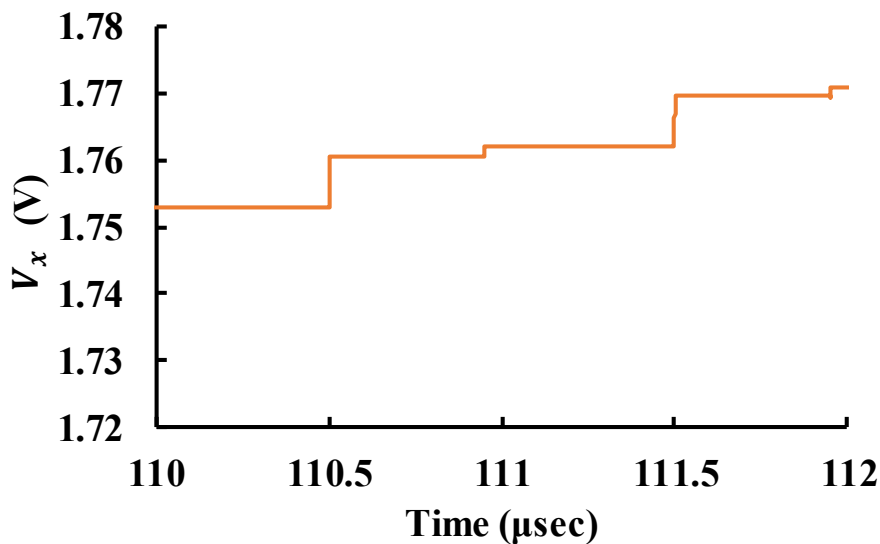


Fig.3.18 Simulation of Unintentional Increase of  $V_x$

$V_x$ の時間変化を見ると  $C_x$ に電荷が流れ込むタイミングで整数+ $0.5\mu\text{sec}$  に大きく上昇し,  $C_{pump}$ を充電するタイミングの整数  $\mu\text{sec}$  のとき僅かに増加していることがわかる. この現象はスイッチの制御クロックが High から Low に, または Low から High に変化したときその影響がスイッチのゲートの寄生容量を通じてソース, ドレインに現れたもので

ある。その電圧増加分によって $V_x$ がコンパレータの閾値を超えてしまうため整数倍でないことが生じる原因になる。また、トランジスタのゲートの寄生容量は温度、電圧に強い依存性を持っており、それらの変化が $V_x$ の上昇幅を変化させ電圧と温度の依存性を持たせる原因となる。

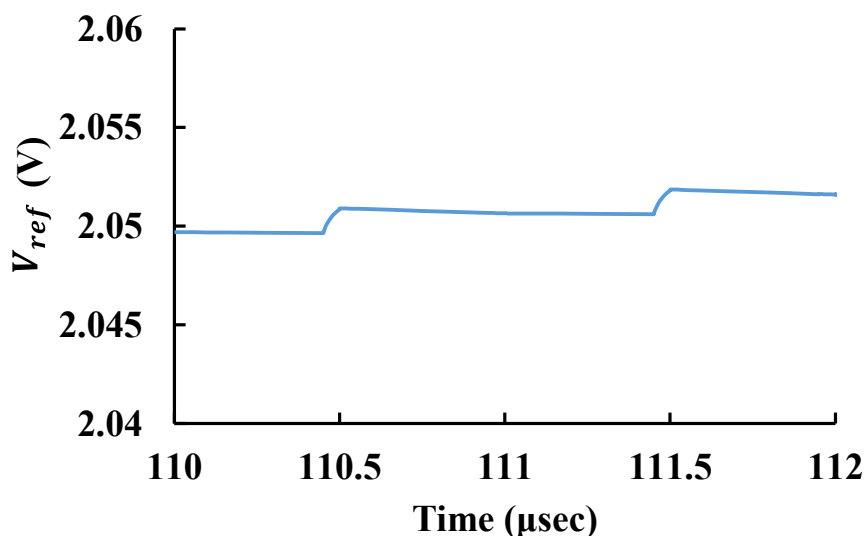


Fig.3.19 Simulation of Unintentional Change of  $V_{ref}$

次に $V_{ref}$ の異常について考える。 $V_{ref}$ の変化の原因としてまず考えられる要因はリーク電流であるが、もしリーク電流が原因であれば Fig.3.16 でみられるように $V_{ref}$ の変化傾向が上昇と下降の両方存在することが説明できない。そこで Fig.3.13 の $V_{ref}$ のみを一部区間で拡大してみた。それが Fig.3.19 である。

$V_{ref}$ もまた階段状で変化しており、これは $C_{pump}$ の電圧が急激に上昇した際 $C_{pump}$ と $C_{ref}$ の間のスイッチ $S_1$ のソースとドレイン間の容量を通じてその影響が $V_{ref}$ に現れたことが原因である。また上昇と上昇の間では電圧が緩やかに下がっているが、こちらは電荷リセット用のスイッチ $S_3$ からグラウンドへとリーク電流が流れることによって生じる現象である。前述のとおりトランジスタの寄生容量は温度と電圧の影響を非常に受け安い、リークと容量によるインパルス伝搬の兼ね合いで参照電圧の変化方向が上昇になるか下降になるか決められる。

### 3 章まとめ

本章では IoT 端末の端子容量変化を検出できる回路としてチャージトランスファを用いた回路を提案し、その動作過程を述べた。次に詳細な設計指針を述べた後、理論的数値計算と SPICE シミュレーションによりこの回路が 10pF 容量の 1%の変化をそれぞれ制御クロックの 162 カウントと 163.5 の 1 カウント差で検出できることを示した。そしてその検出の間

消費される電力は  $203\mu\text{W}$  であり消費エネルギーは  $32.9\text{nJ}$  であることが分かった。消費されるエネルギーのうち 99%以上をコンパレータが消費しており改善する必要がある。また提案した回路は温度と電源電圧バラツキに対する耐性を持たないと問題点もまたシミュレーションによって明らかになった。

## 第4章 多段チャージトランスファを用いた容量変化検出回路

本章では前章で述べられた問題点を改善すると同時にその他のいくつかの点においても改良を施した新しい容量変化検出回路を提案する. 最初に前章で明らかになった問題点及び改善すべき要素を挙げ, 次にそれらを改善できる改良案を紹介していく. その改良案の一つが本研究で提案する回路の要の一つである多段チャージトランスファ構造であり, 改良案を紹介していく中で多段チャージトランスファの原理と動作を開示する. その後多段チャージトランスファを用いた提案回路の動作をシミュレーション及び設計したテストチップの実測定で確認し, 改良案の有効性を示すとともにそれらの結果について考察を行う.

### 4.1 提案回路の問題点及び改善すべき点

前章で提案した容量変化検出回路の SPICE シミュレーションの結果から改善しなければならない様々な問題点が存在することが明らかになった. 電源電圧依存性, そして温度変化依存性の原因であるトランジスタの寄生容量を小さくしなければならず, 電力を非常に多く消費するコンパレータの改善が必要である.

また, 明らかな問題ではないにしても改善の余地がある箇所がほかにも存在する. まずコンパレータの利得が挙げられる. シミュレーションの結果からわかるように 3 章で提案した容量変化検出回路は出力が鈍っており, 正確な反転タイミングを得るためにはその出力が入力される論理回路もなまった出力に合わせて設計しなければならない. コンパレータの利得をより上げることで出力を High と Low のみのデジタルにすれば後段の回路の設計が簡単になり, さらにコンパレータが中間電位で動作する時間が短くなることから消費電力の低減も期待できる.

参照電圧 $V_{ref}$ にも改善の余地が存在する. 3 章で提案した回路ではチャージトランスファを用い参照電圧を生成しているが,  $C_{ref}$ と $C_x$ の充電を順番に行うためクロック信号の制御が複雑になるというデメリットが生じる. スイッチ $S_1$ を決まった回数だけ動作させ, その間スイッチ $S_2$ を動作させないためには単に二つのスイッチを交互に開閉すると比べて制御回路部分に回数を数えるためのカウンターやメモリが必要になる. また一度参照電圧の生成が終わると $C_{ref}$ はフロート状態になるため外部からのリーク電流やノイズによって受ける影響が修正されることなく蓄積されていくことになる.

検出の分解能もより高めるべきである. 3 章で提案した回路は $C_x$ の 100fF の変化をクロック 1 回の差で検出するが, このように低い分解能では誤動作を起こす恐れがある. 3.2.2 で容量変化を正しく検出できる範囲を計算したがそれはあくまでも 100fF 変化を 1 カウント

差で検出することを保証するものであり、100fF 未満の変化ではカウントが変化しないことを保証するものではない。1クロックの差で検出を行う場合、任意の100fF 未満の容量変化でカウント数が変化する可能性が存在する。 $C_x$ が100fF 変化したとき生じるクロックのカウント数が増えれば増えるほど100fF 未満の容量変化を攻撃として判定する可能性は低くなり、回路の信頼性が増加する。

第3章で提案した回路の問題点と改善すべき点は以上であり、次節からは提案回路の改善案とそれによる効果を述べていく。

## 4.2 多段チャージトランスファ回路

本節では前説で述べた第3章の提案回路の改善すべき点のうち容量検出の分解能を高めるための手法である多段チャージトランスファを紹介する。

### 4.2.1 微小容量の必要性

チャージトランスファの分解能を向上するにおいて最も簡単な方法は $C_{pump}$ を小さくすることである。 $C_{pump}$ が小さくなればスイッチの開閉1回ごとに $V_x$ の上昇幅は小さくなり、 $C_x$ が100fF 変化したときに生じる $N_{inv}$ の差も自然に多くなる。

それでは $N_{inv}$ の差を大きくするために必要な具体的な $C_{pump}$ の大きさを求める。今回は $C_x$ が12fF 変化した際に生じる $N_{inv}$ の差を1回になるまで分解能を向上させることを目標仕様として設定した。そして参照電圧 $V_{ref}$ は $\frac{1}{2}V_{DD}$ に設定した。 $V_{ref}$ の値を変更した理由については4節で述べるとする。 $C_x$ が10pF から12fF 増えたとき $N_{inv}$ が1回増加条件は式(3.1)と同じような式で表現できる。

$$V_x[N_{inv}]|_{C_x} = V_x[N_{inv} + 1]|_{1.0012C_x} \quad (4.1)$$

ここに式(2.3)を代入すると以下のような形で表せる。

$$V_{DD} \left( 1 - \left( \frac{C_x}{C_{pump} + C_x} \right)^{N_{inv}} \right) = V_{DD} \left( 1 - \left( \frac{1.0012C_x}{C_{pump} + 1.0012C_x} \right)^{N_{inv} + 1} \right) \quad (4.2)$$

この式を変形し $N_{inv}$ についてまとめると式(4.3)のような関係が成り立つことがわかる。

$$N_{inv} = \frac{\ln\left(1 + \frac{C_{pump}}{1.01C_x}\right)}{\ln\left(1 + \frac{0.0012(C_{pump} + C_x)}{C_{pump} + 1.0012C_x}\right)} \quad (4.3)$$

ただ、今求めなければならない変数は $C_{pump}$ であり、この式だけではその解を得ることができない。そこで $N_{inv}$ は $V_x$ と $V_{ref}$ が交差するときのスイッチの開閉回数であることを用いると、式(4.4)を立てることができる。

$$V_{ref} = V_x[N_{inv}]|_{C_x} \quad (4.4)$$

ここに式(2.3)と $V_{ref} = \frac{1}{2}V_{DD}$ の条件を代入すると次のような形で式を書き換えることができる.

$$\frac{1}{2}V_{DD} = V_{DD} \left( 1 - \left( \frac{C_x}{C_{pump} + C_x} \right)^{N_{inv}} \right) \quad (4.5)$$

式(4.5)に式(4.3)を代入すると未知数が $C_{pump}$ のみの方程式になり, 既知の数値を代入しその値を得ることができる. 式(4.5)と式(4.3)から得られる方程式は非常に複雑な形をしており, 解析的に解を得ることが難しかったウルフラム・リサーチ社が開発した数式処理システムを用いてその解を求めた. そして得られた解の値は $C_{pump} = 8.32\text{fF}$ である. この $8.32\text{fF}$ という値は非常に小さい容量でありこの容量を単に実装しただけの場合は3.3.1で述べたようにトランジスタの寄生容量で制限され所望の $C_{pump}$ は得られない.

#### 4.2.2 微小容量の実現手法

チャージトランスファの分解能を向上させるためには電圧の上限は $V_{DD}$ のままで, 上昇幅のみを小さくしなければならない. そこで, Fig.4.1 のような2段のチャージトランスファ構造を考案した.

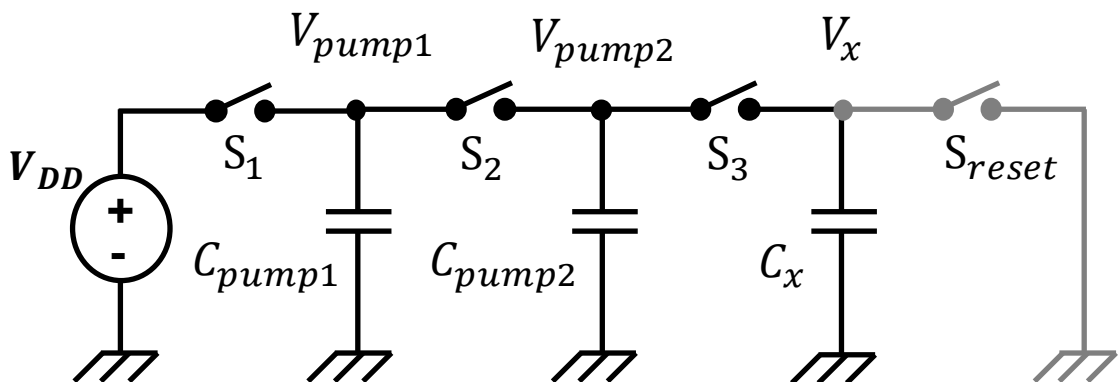


Fig.4.1 2-stage Charge Transfer Circuit

1段のチャージトランスファと基本的な動作は同様である. まず $C_{pump1}$ が $V_{DD}$ で充電され, 次に $C_{pump2}$ と接続されることで電荷が二つの容量に分割される. その後 $C_{pump2}$ が $C_x$ と接続されると分割された電荷がさらに分割され $C_x$ の電位 $V_x$ が上昇する. このとき $V_{pump2}$ は $V_{DD}$ より低いため,  $C_x$ が $C_{pump1}$ に直接接続された場合と比べ $V_x$ 上昇幅は小さい. 次の周期でも同じような動作を行うが,  $C_{pump1}$ が $C_{pump2}$ と繋がったとき $C_{pump2}$ はわずかに電荷が残っており,  $V_{pump2}$ は $0V$ ではない. したがって $C_{pump2}$ は前回より若干多い電荷を蓄えるが, まだ $V_{pump2}$ は $V_{DD}$ には及ばず,  $C_x$ と繋がっても $V_x$ の上昇幅は1段のときより低い. しかしスイッチの開閉回数を重ねるにつれ $V_{pump2}$ は $V_{DD}$ に近づくことになり $N \rightarrow \infty$ の極限において $V_x$ は $V_{DD}$ に収



束するはずである。

それでは、2 段のチャージトランスファが実際分解能を向上させることができるかについて理論解析を通して検討を行うとする。

### 4.2.3 2 段チャージトランスファ回路の解析

2 段のチャージトランスファの理論解析も 2.3 節での 1 段のチャージトランスファの理論解析と同様に漸化式を用いる。2 段のチャージトランスファの動作は  $S_1$  が閉じることで  $C_{pump1}$  が充電され、次に  $S_1$  が開き  $S_2$  は閉じることで  $C_{pump1}$  から  $C_{pump2}$  に分割され、最後に  $S_2$  が開き  $S_3$  は閉じて  $C_x$  が充電されるという過程を繰り返すことである。その 1 サイクルが繰り返された回数を  $N$  と定義する。  $N$  が 1 増えるごとに各スイッチの開閉回数は 1 回増えるため、  $N$  は今まで同様スイッチの開閉回数と見なしてもよい。スイッチ  $S_4$  は各容量の電荷をリセットするためのものであり、常に開いていることとする。そして 2.3 節で 1 段のチャージトランスファの理論解析を行ったときと同様、  $N$  回のサイクルが終了した後の電圧は  $V_{pump1}[N]$ 、  $V_{pump2}[N]$  という風に表現する。初期条件、すなわち  $V_{pump1}[0]$ 、  $V_{pump2}[0]$  は両方とも 0 だとする。チャージトランスファ回路の 1 サイクルが終了したとき、  $V_x$  は  $V_{pump2}$  と同じであるため、  $V_{pump2}[N]$  が即ち  $V_x[N]$  である。

それでは各スイッチが  $N + 1$  回目に閉じるときに成り立つ各項の関係式を求める。  $S_1$  が閉じる動作では  $C_{pump1}$  が  $V_{DD}$  に充電されるのみであり、考えなくとも良い。スイッチ  $S_2$  が閉じるとき関係式を考える。スイッチ  $S_2$  が  $N + 1$  回目に閉じる直前の状態を Fig.4.2(a) に、閉じた後の状態を Fig.4.2(b) に示す。  $S_2$  が閉じる直前、  $C_{pump1}$  は  $V_{DD}$  に充電されており、  $C_{pump2}$  にかかっている電圧は  $V_{pump2}[N]$  である。

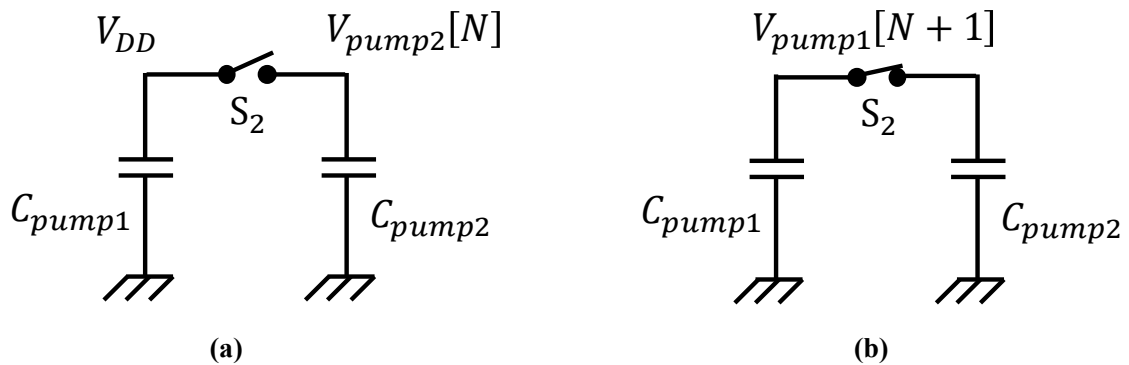


Fig.4.2 (a) State before  $S_2$  Close (b) State after  $S_2$  Close

スイッチが閉じると  $C_{pump1}$  の電荷が分割され電圧は  $V_{pump1}[N + 1]$  になる。なぜなら、この後スイッチ  $S_3$  が閉じると  $V_{pump2}$  は変化するが、  $V_{pump1}$  は今回のサイクルが終了するまで変化しないからである。ここで  $V_{pump2}[N]$  と  $V_{pump1}[N + 1]$  の関係式を得ることができる。それが式(4.6)である。

$$V_{pump1}[N + 1] = \frac{(V_{DD}C_{pump1} + V_{pump2}[N]C_{pump2})}{C_{pump1} + C_{pump2}} \quad (4.6)$$

次はスイッチ $S_3$ が閉じるときのことを考える.

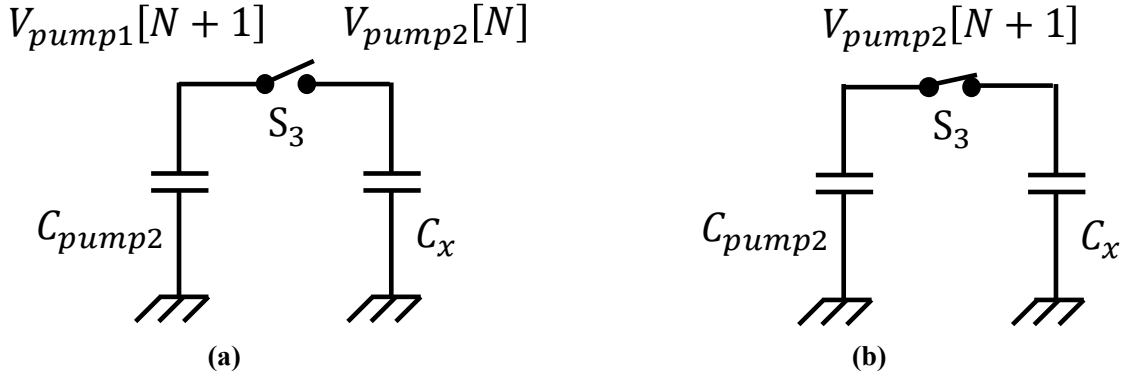


Fig.4.3 (a) State before  $S_3$  Close (b) State after  $S_3$  Close

Fig.4.3 に $S_3$ が閉じる直前と後の様子を示した.  $S_3$ が閉じる直前は Fig.4.3(b)の状態であるため $C_{pump2}$ にかかる電圧は $V_{pump1}[N + 1]$ である. そして $C_x$ にかかる電圧は $V_{pump2}[N]$ である. なぜなら前回のサイクルが終了した時点で $C_{pump2}$ と $C_x$ の電圧は同じになっているからである.  $S_3$ が閉じるとどちらの容量にも $V_{pump2}[N + 1]$ がかかることになり, このことから式(4.7)の関係式が導かれる.

$$V_{pump2}[N + 1] = \frac{(V_{pump1}[N+1]C_{pump2} + V_{pump2}[N]C_x)}{C_{pump2} + C_x} \quad (4.7)$$

式(4.7)はすでに $V_{pump1}[N + 1]$ についてまとめられており, これを式(4.7)の $V_{pump1}[N + 1]$ の項に代入すれば $V_{pump2}$ のみに対する漸化式に変形することができる. そこで得られた漸化式が式(4.8)である.

$$V_{pump2}[N + 1] = \frac{1}{C_{pump1} + C_x} \left( \frac{C_{pump1}C_{pump2}}{C_{pump1} + C_{pump2}} V_{DD} + \frac{C_{pump1}C_x + C_{pump2} + C_x + C_{pump2}^2}{C_{pump1} + C_{pump2}} V_{pump2}[N] \right) \quad (4.8)$$

前述のとおりこの漸化式の一般項が $V_x[N]$ であり, 式(4.9)の形になる.

$$V_x[N] = V_{DD} \left( 1 - \left( 1 - \frac{C_{pump1}C_{pump2}}{(C_{pump1} + C_{pump2})(C_{pump2} + C_x)} \right)^N \right) \quad (4.9)$$

ここで $V_x[N]$ の指数項の部分に注目する. 指数項の中の $\left( 1 - \frac{C_{pump1}C_{pump2}}{(C_{pump1} + C_{pump2})(C_{pump2} + C_x)} \right)$ を変

形すると、 $\left(1 - \frac{C_{pump1}/C_{pump2}}{C_{pump2}+C_x}\right)$ という形で表現できる．比較のために式(2.3)の指数項を変形する．式(2.3)の指数項 $\left(\frac{C_x}{C_{pump}+C_x}\right)$ は $\left(1 - \frac{C_{pump}}{C_{pump}+C_x}\right)$ に変形できる．ここででも $C_x$ が $C_{pump}$ や $C_{pump2}$ より十分大きいと仮定するとそれぞれの項は $\left(1 - \frac{C_{pump1}/C_{pump2}}{C_x}\right)$ と $\left(1 - \frac{C_{pump}}{C_x}\right)$ に見なすことができる．これら二つの式を比較してみると Fig.4.1 の2段のチャージトランスファは Fig.4.4 のような、 $C_{pump1}$ と $C_{pump2}$ の直列合成容量と同じ値を持つ容量一つを用いた1段のチャージトランスファとしてみなせることがわかる．

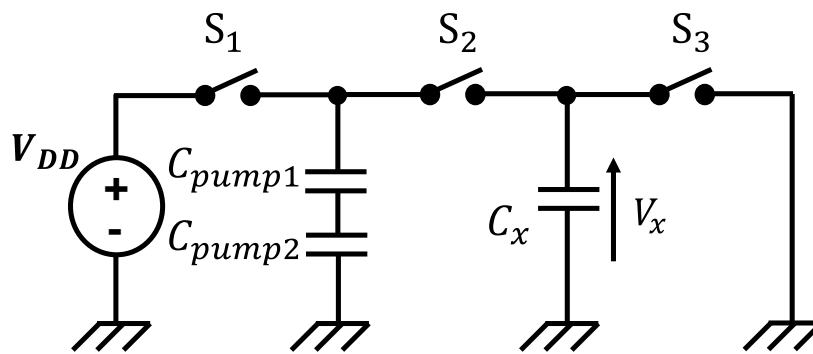


Fig.4.4 Approximately Equivalent Circuit of 2-stage Charge Transfer

2段のチャージトランスファと $C_{pump} = C_{pump1}/C_{pump2}$ である1段のチャージトランスファを、指数項の分母に近似を用いずに比較すると $C_{pump2} + C_x$ の方が $C_{pump} + C_x$ より大きい．ため2段チャージトランスファの $V_x$ の上昇が1段のチャージトランスファより遅くなる．これは $V_x$ の上昇幅を小さくし分解能を向上させることが目的である本研究においては好ましい事実である．

#### 4.2.4 任意段の多段チャージトランスファについての検討

2段のチャージトランスファと近似的に等価な1段のチャージトランスファ回路の $C_{pump}$ (以下「実効 $C_{pump}$ 」とする)の最小値は $C_{pump1} = C_{pump2}$ のときの $\frac{1}{2}C_{pump1}$ である．同様に、 $n$ 段のチャージトランスファ回路を構成すれば実効 $C_{pump}$ は $\frac{1}{n}$ に下がる可能性は十分考えられる．しかし段数が3段以上になると漸化式は非常に複雑になり解析的に一般項を求めることは難しい．

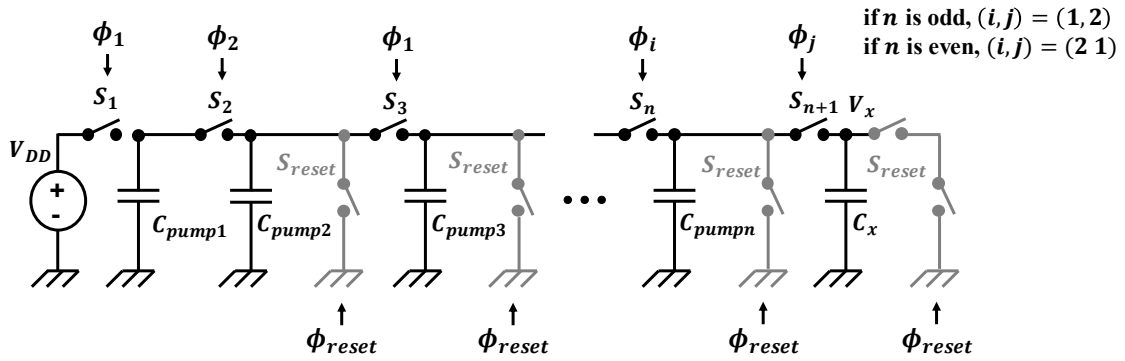


Fig.4.5 A Sample of Multi-stage Charge transfer

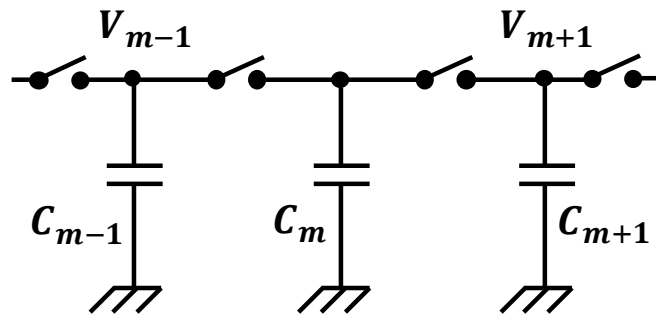


Fig.4.6 Switch and Capacitance Regarded as Resistance

そこで、Fig.4.5 のようにな長く続く多段チャージトランスファの途中の3つの容量のみに集中した解析を試みる。多段のスイッチトキャパシタの中の途中の3つの容量を取り出した Fig.4.6 のような回路を考える。とある時刻  $t$  においてスイッチ  $S_1$  を閉じてから、時刻  $t + \frac{\Delta t}{2}$  において  $S_1$  を開き、 $S_2$  を閉じる。そして時刻  $t + \Delta t$  で  $S_2$  を開く。この回路における電荷の移動を考える。初期条件として時刻  $t$  は  $S_2$  が一度閉じてから開いた直後であり、 $V_3(t) = V_3(t)$  する

まずは時刻  $t + \frac{\Delta t}{2}$  における電圧変化を求める。このときは  $S_1$  が閉じ  $C_1$  と  $C_3$  の間で電荷の分割が行われ、その時の電圧は次の式のように求められる。

$$V_1\left(t + \frac{\Delta t}{2}\right) = V_2\left(t + \frac{\Delta t}{2}\right) = \frac{C_1 V_1(t) + C_2 V_2(t)}{C_1 + C_2} \quad (4.10)$$

次に時刻  $t + \Delta t$  で  $S_2$  が閉じたとき  $C_3$  の電荷の変化量  $\Delta Q_3$  を求めるが、このとき電荷の移動に分岐がないため式(4.11)が成り立つ。

$$\Delta Q_3 = -\Delta Q_2 = C_2 \left\{ V_2\left(t + \frac{\Delta t}{2}\right) - V_2(t + \Delta t) \right\} \quad (4.11)$$

時刻  $t + \Delta t$  において  $C_2$  と  $C_3$  は短絡しているため  $V_2(t + \Delta t) = V_3(t + \Delta t)$  である。ここで  $V_3(t + \Delta t) = V_3(t) + \Delta V_3$  と定義する。ターゲットとなる多段チャージトランスファの系全体において、 $C_x$  は他の容量より非常に大きく、 $\Delta V_3$  は  $V_{DD}$  の  $\frac{1}{1000}$  オーダーである。それに比べ  $V_1 - V_3$  は  $V_{DD}$  の 1/段数ほどのオーダーで、本研究では  $\frac{1}{10}$  程度のオーダーとなり、両者の間に  $V_1 - V_3 \gg \Delta V_3$  の関係が成り立つ。

上で求めた  $\Delta Q_3$  から平均電流は式(4.12)のように求められる。

$$\hat{I} = \frac{\Delta Q_3}{\Delta t} = \frac{1}{\Delta t} C_2 \left\{ V_2 \left( t + \frac{\Delta t}{2} \right) - V_2(t + \Delta t) \right\} = C_2 \left\{ \frac{C_1 V_1(t) + C_2 V_2(t)}{C_1 + C_2} - V_3(t) - \Delta V_3 \right\} \quad (4.12)$$

平均電流は両端子間の電圧差と等価抵抗  $\hat{R}$  を用いて式(4.13)のように表すことができる。

$$\hat{I} = C_2 \left\{ \frac{C_1(V_1(t) - V_3(t))}{C_1 + C_2} - \Delta V_3 \right\} = \frac{V_1(t) - V_3(t)}{\hat{R}} \quad (4.13)$$

$\Delta t$  はスイッチの制御周波数  $f$  の逆数であり、 $V_1 - V_3 \gg \Delta V_3$  の関係が成り立つことを用いると等価抵抗  $\hat{R}$  は式(4.14)のように求まる。

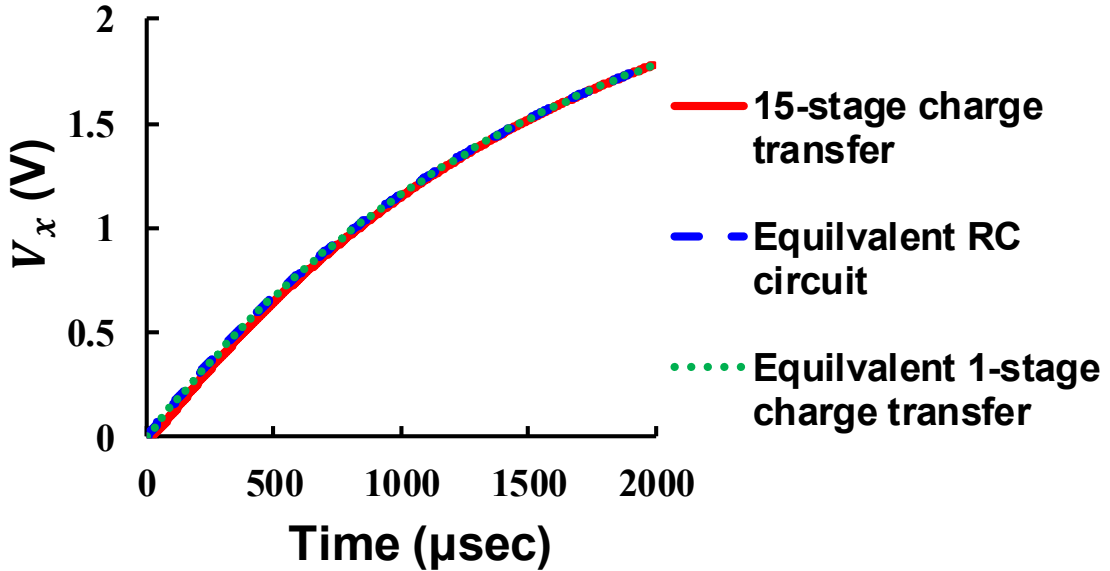
$$\hat{R} = \frac{1}{f} \frac{C_1 + C_2}{C_1 C_2} \quad (4.14)$$

$C_1 = C_2 = C_3 = C$  の場合  $\hat{R}$  の値は  $\frac{2}{fC}$  になり、両端が電圧源のとき、即ち  $C_1 = C_3 = \infty$  の抵抗と比べ 2 倍高くなる。

以上のことを検証するために数値解析を行った。100fF の  $C_{pumpn}$  15 段と 10pF の  $C_x$  で構成され 1Hz の信号で制御されるチャージトランスファと 8 つの  $\hat{R} = \frac{2}{fC} = 20T\Omega$  の抵抗と 10pF の  $C_x$  で構成された RC 充電回路を比較する。また、それがどれほど小さい  $C_{pump}$  を有する 1 段のチャージトランスファに相当するかを検証するために、 $C_{pump} = 6.25\text{fF}$  の 1 段のチャージトランスファの  $V_x$  も一緒に比較した。今まで議論した近似ではスイッチ 2 つ分が 1 単位になるため、チャージトランスファの  $C_{pumpn}$  の数 15+1 を半分で割った 8 が抵抗の個数になる。その結果が Fig.4.7 であり、系の変化が緩やかではない最初の数十秒を過ぎるとほぼ重なるような形になっており、2000 秒を過ぎると誤差は 0.1% 未満にまで小さくなり、近似の妥当性を示している。

以上のように今回のように使用するスイッチトキャパシタはほぼ  $\frac{1}{fC}$  に比例した抵抗で近似できることが示された。 $C_x$  を充電するためのカウント数を大きくしたい場合、 $f$  を小さくすることは意味がない。時定数は長くなるが、同時にカウント間隔も長くなってしまいうためである。そのため、 $C$  を小さくする方が望ましいが、寄生容量による制限から  $C$  の下限が決まっており、それ以上小さくすることはできない。そのとき、キャパシタを  $n$  個使用し時定数を長くするという事は、 $n$  個の抵抗で最も長い時定数を作るということと等価である。その場合の最適構成はすべての抵抗を直列にすることであることは明らかであ

る。従って、今回提案する構成以上にカウント数を大きくし、精度を高める構成法はないと言える。



**Fig.4.7 Simulation of Comparison between 15-stage Charge Transfer and Approximated RC Circuit**

これまでの検討から多段チャージトランスファを用いると大きい容量のみから設計した回路でも微小容量を用いた場合と同じ動きを実現することができ、3章での提案回路の改善すべき点である分解能を向上させることが可能であることが示せた。

4.2節においてこれまでは説明のために、多段チャージトランスファのスイッチが1サイクルの動作の中で1回ずつ開閉することと仮定していた。しかしそれでは1段のチャージトランスファと比べ容量の検出にかかる時間が $n$ 倍になってしまい動作時間が長くなる上に、そうする必要は全くない。例えば初段の容量は2段目の容量への充電が終われば最終段の容量が充電されるまで待つ必要もなく2段目と3段目の容量が接続されるときに $V_{DD}$ で充電してしまってもよい。これは他の段でも成り立つことである。従って多段チャージトランスファのスイッチを制御するときには半周期だけタイミングのずれた2種類のクロックを用意し、奇数番目のスイッチと偶数番目のスイッチをそれぞれ制御すればよい。

### 4.3 トランジスタの変更

**Table.4.1 Simulated Threshold Voltage of Transistor**

	Old $V_{th}$ (mV)	New $V_{th}$ (mV)
nMOS	264	825
pMOS	282	845

3章で提案した容量検出回路の温度依存性及び電源電圧依存性はトランジスタのゲート

寄生容量の温度、電圧依存性に起因することはすでに述べた。トランジスタのゲート寄生容量は閾値電圧と相関があり、閾値電圧が高ければ高いほど同じ数のキャリアを集めるのに高い電圧が必要となりゲートの寄生容量は低下する。そのことから、本章で提案する改善された回路ではトランスファゲートにより閾値電圧の高いトランジスタを用いることにした。pMOS と nMOS のそれぞれの閾値電圧の値は Table.4.1 に示す。

閾値電圧が高くなったことによりバラツキ依存性を低くするだけでなくリーク電流を抑制する効果もともに期待できる。

## 4.4 コンパレータ改善

Fig.3.10 のコンパレータは出力にインバータバッファを3段も繋げたにも関わらず利得が低く、 $V_{DD}$ でもグラウンドでもない中間電位で動作する時間が長い消費電力も大きかった。本節では Fig.3.10 のコンパレータに代わる新しいコンパレータを提案し、その性能を SPICE シミュレーションで確かめる。

### 4.4.1 同期式コンパレータ

既存のアナログコンパレータの消費電力が大きい主な理由は二つで、一つは前述のとおり中間電位で動作する時間が長いことであり、もう一つは常に動作を続けているからである。チャージトランスファを用いた容量検出回路においてコンパレータの動作が必要になるタイミングは $V_x$ が変化した後であり、 $C_x$ が $C_{pumpn}$ に接続され $V_x$ が変化している最中には動作をしなくても良い。そこで、 $C_x$ の前段の容量を充電するため $C_x$ がフロート状態になったときのみ動作するクロック同期式コンパレータを用いることにした。Fig.4.8 はその回路図である。

同期式コンパレータは外部からの制御クロックである CLK が High のときのみ動作する。CLK が Low のときは回路外周及び中央に存在する pMOS がオン状態になりコンパレータ各部の電位を $V_{DD}$ に引き上げるとともに両端の電圧を一致させる。このとき電流源である一番下の nMOS はオフ状態になり電流を流さない。CLK が High になると外周の pMOS はすべてオフ状態に入り、電流源の nMOS が電流を流し始める。そして CLK が Low から High になる瞬間の両入力 $IN_1$ と $IN_2$ の差によって $Out$ と $\overline{Out}$ の間に電位差が生じる。その電位差はコンパレータ両側の、赤い枠線で囲んだラッチによって大きく増幅されそれぞれ $V_{DD}$ かグラウンド電位になる。これらラッチは互いの入力が互いの出力に接続されるループ構造になっており、追加のバッファなしでも大きい利得を得ることができる。

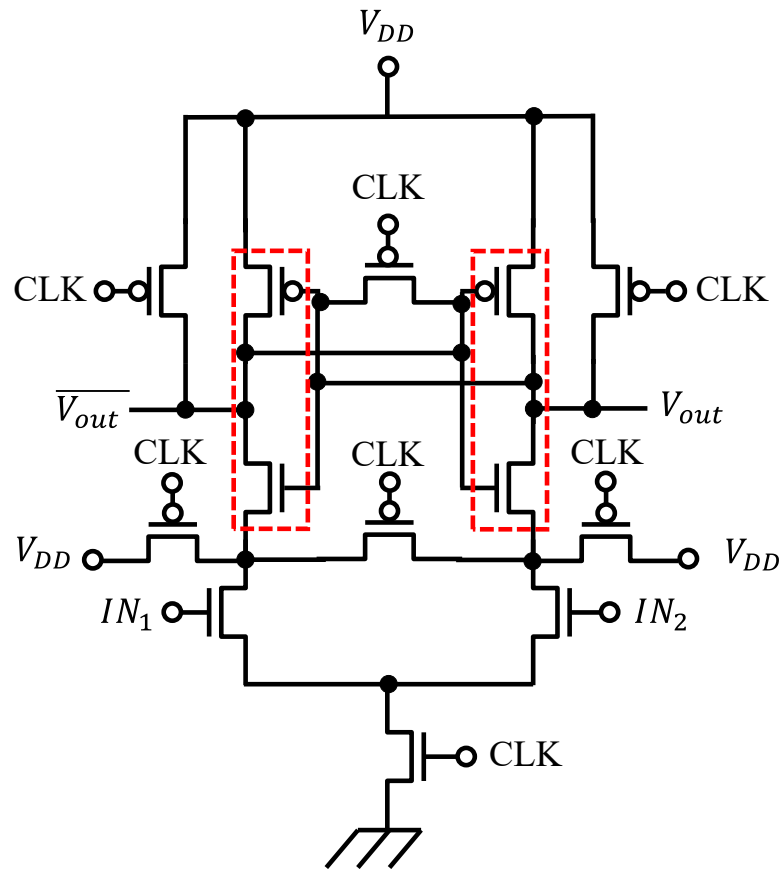


Fig.4.8 Schematic of Clocked Comparator

#### 4.4.2 シミュレーションによる同期式コンパレータの性能検証

4.4.1 で述べた通り同期式コンパレータはアナログコンパレータに比べ大きい利得を得ることができ、消費電力も小さくできる。それを示すために行ったシミュレーション結果が Fig.4.9 である。

このグラフは Fig.4.8 の同期式コンパレータと Fig.3.10 のアナログコンパレータの片方の入力には想定された参照電圧を、そしてもう片方の入力には 5 $\mu$ sec の間参照電圧より 1mV 低い電圧から 1mV 高い電圧まで変化する電圧を入力したときの出力波形である。アナログコンパレータの出力が 1V 前後の電圧になっていることに対し、同期式コンパレータはわずか 1mV 未満の電位差に対しても  $V_{DD}$  かグラウンド電位を出力している。このことから同期式コンパレータの方がアナログコンパレータより優れた利得を持っていることが示せる。

またこのシミュレーションにおいてそれぞれの平均的な消費電流はそれぞれ 219nA と 194 $\mu$ A であり、同期式コンパレータはアナログコンパレータの消費の僅か 886 分の 1 しか電力を消費していない。同期式コンパレータを採用することで容量検出回路の出力波形が



鈍る問題と消費電力の高さを解決することができる。

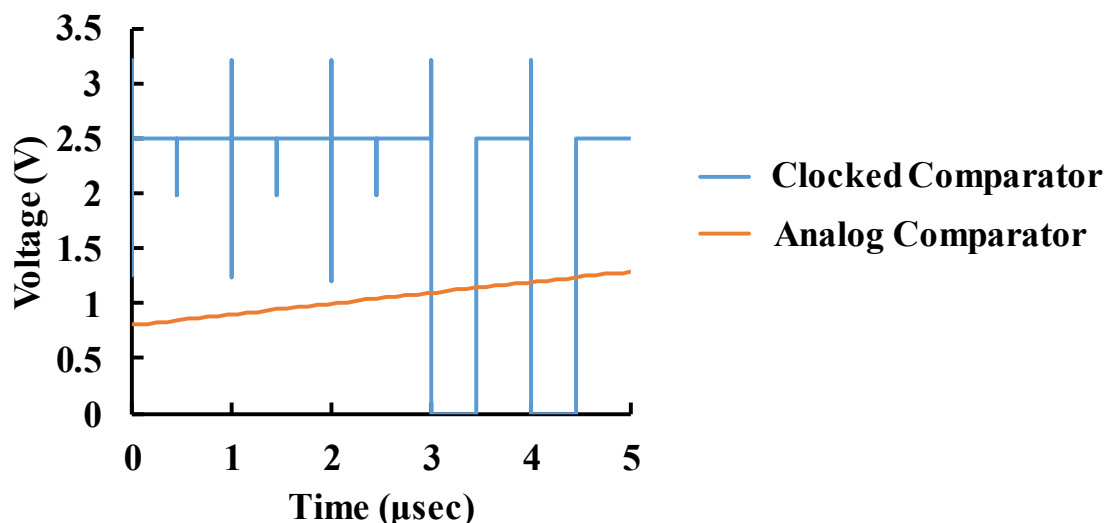


Fig.4.9 Simulation of Gain Comparison between Clocked and Analog Comparator

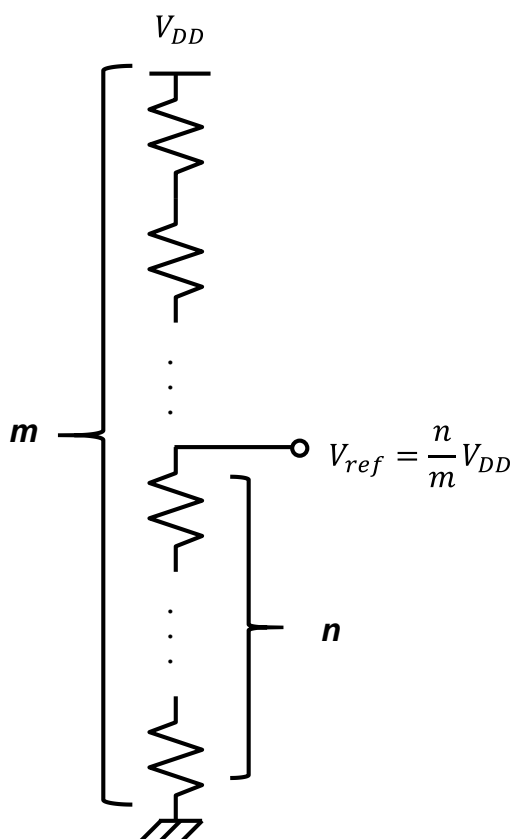
## 4.5 参照電圧の改良

3章で提案した参照電圧 $V_{ref}$ 生成回路はチャージトランスファで所望の電圧を生成する物であった。全体の容量検出回路の中でチャージトランスファを2種運用することで制御信号が複雑になるというデメリットがあり、設計も制御もより簡単な参照電圧生成回路を考案する必要がある。

一般的に最も簡単な参照電圧の生成方法は抵抗分圧である。Fig.4.10のように $V_{DD}$ とグラウンドの間に $m$ 個の同じ抵抗を実装するだけで $V_{DD}$ の任意の有理数倍の参照電圧を生成することができる。温度や電源電圧が変動した場合でも同じ抵抗は同じバラツキ依存性を持つため参照電圧の $V_{DD}$ に対する倍率は常に一定に保たれる。ただ、抵抗分圧回路には定常的に電流を流し電力を消費するという致命的な問題がある。特に本研究で提案する回路は間欠動作を行うIoT端末上に実装されることを想定しており、待機状態でも消費される電力はnAオーダー以下でなければならない。

抵抗分圧回路の消費電力を下げるには抵抗をより大きくするほかない。しかし2.1節で述べたように大きい抵抗の占有する面積はチップの面積以上であるためnA以下まで電流を制限する抵抗を製造することは不可能である。そこで抵抗の代わりにトランジスタを用いる。トランジスタはサブスレッショルド領域で動作させると簡単にnAオーダー未満の電流を実現できる上に抵抗よりコンパクトに回路を作ることができる。また抵抗分圧では接続する抵抗の個数に対して線形的に電流が減っていくが、トランジスタの場合サブスレッショルド領域における電流が電圧の指数関数に比例するためより少ない段数で電流を減ら

すことができる。バラツキ耐性に関しても抵抗の場合と同様である。複数の同じトランジスタで回路を設計し、それらのバイアスをすべて統一すれば各種のバラツキ依存性は統一され、参照電圧の $V_{DD}$ に対する倍率は不変になる。



**Fig4.10 Reference Voltage by Resister Divider**

参照電圧生成回路の消費電力を減らすために流す電流を制限すると、新しい問題が生じる。非常に少ない電流によって生成される参照電圧は外部からのノイズに弱く、僅かな容量カップリングの影響を受けるだけでも参照電圧を大きく変動させる要因になりかねない。参照電圧は常に一定の値を維持していなければならず、外部からのノイズを遮断できる対策が必要である。ノイズの対策として広く用いられている方法は大きい容量を設けることである。大きい容量は電圧の変化を遅らせ、高周波のノイズをグラウンドへと流す作用があるため、電流を極限まで制限した回路ではしばしば用いられる。今回はノイズ遮断用の容量  $C_{ref}$  の値は  $8\text{pF}$  に設定した。以上のことを踏まえて設計した参照電圧生成回路を Fig.4.11 に示す。

参照電圧生成回路の出力電圧としては電源電圧  $V_{DD}$  の任意の有理数倍の電圧を選ぶことができるが、今回は最もシンプルな比である  $\frac{1}{2} V_{DD}$  を参照電圧として用いることにした。  $\frac{1}{2} V_{DD}$  を生成するために必要な最少のトランジスタの個数は2つだが、2つのトランジスタを用いた場合はトランジスタのゲートとソース間の電圧が  $\frac{1}{2} V_{DD}$  になる。それではサブスレッショ

ルド領域の動作ができないため、各トランジスタにかかる電圧が閾値電圧未満になるように4段で構成することにした。

この参照電圧生成回路の性能を評価するため SPICE シミュレーションを行った。シミュレーションを行う際は  $V_{ref}$  の出力端子に Fig.4.8 の同期式コンパレータの入力端を接続させている。シミュレーションの結果、出力される  $V_{ref}$  が 1.25V で、定常電流が 643pA であり、消費電力は 1.61nW になった。

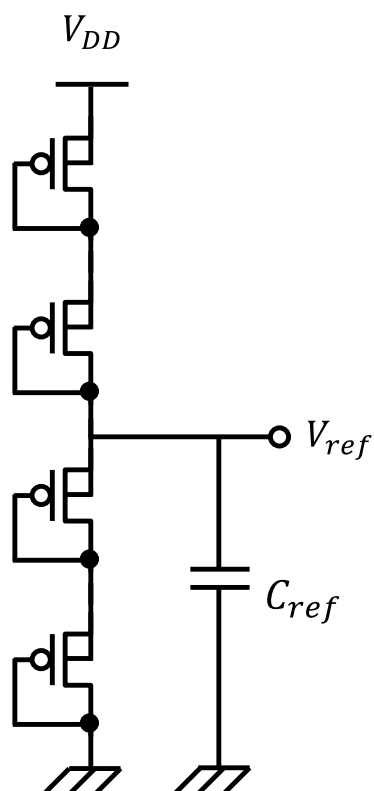


Fig.4.11 Reference Voltage Circuit

## 4.6 多段チャージトランスファを用いた容量変化検出回路の構造と動作

### 4.6.1 回路全体の概要

4.1 節で述べた段チャージトランスファを用いた容量変化検出回路の問題点の改善案を 4.2 節から 4.5 節に渡って述べてきた。それらを適用し新しく提案する容量変化検出回路の回路図を Fig.4.12 に示す。

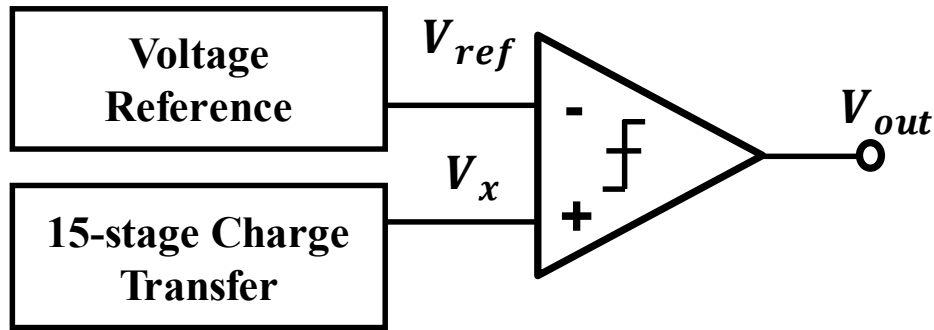


Fig.4.12 Multi-stage Charge Transfer Capacitance Difference Detection Circuit

参照電圧としては Fig.4.11 の分圧回路を，そしてチャージトランスファとして Fig.4.5 において  $n = 15$ ,  $C_{pump1} = C_{pump2} = \dots = C_{pumpn} = 100\text{fF}$  となる 15 段チャージトランスファを用いる．

#### 4.6.2 回路動作過程の概要

本章で提案した回路の動作原理は第 2 章で紹介したチャージトランスファ回路の動作と酷似している．待機状態では各容量とグラウンドの間のスイッチが閉じた状態ですべての容量の電荷をリセットする．例外的に  $C_{pump1}$  だけは動作の初めに  $V_{DD}$  に接続されるためリセットが必要とされない．

動作が開始されると制御信号の  $\phi_1$  と  $\phi_2$  によって奇数番目のスイッチと偶数番目のスイッチが交互に開閉し  $C_x$  を充電していく．そして充電が進み  $C_x$  の電圧  $V_x$  が参照電圧  $V_{ref} = \frac{1}{2}V_{DD}$  を超えた後コンパレータの出力  $V_{out}$  が反転し，それまでスイッチが開閉された回数から  $C_x$  の変化是非が検出される．

半周期だけずれた制御信号である  $\phi_1$  と  $\phi_2$  でそれぞれチャージトランスファの奇数段目と偶数段目の容量の左側についているスイッチを制御する． $V_x$  は  $\phi_2$  が High になった瞬間変動するが， $V_x$  が完全に収束した後の値で  $V_{ref}$  との比較を行うため同期式コンパレータは  $\phi_1$  で制御する． $\phi_1$  と  $\phi_2$  の周波数は 1MHz であり，片方のスイッチが完全に開く前にもう片方のスイッチが閉じることがない様にデューティ比は 45%にした．

### 4.7 バラつき耐性に関する考察

#### 4.7.1 プロセスバラツキ

本章で提案した回路でプロセスバラツキに影響される可能性の高い部分はトランジスタの電流駆動能力と  $C_{pumpn}$  の容量の値である．しかし提案する容量変化検出回路ではトラン

ジスタのオン抵抗と容量の時定数に比べ十分長い時間スイッチをつなげることでトランジスタの電流駆動能力によらない動作を保証できる。トランジスタの電流駆動能力がいくらか高くなろうと、逆に低くなろうとスイッチがオンになっている時間が十分長ければ接続された2つの容量には均一に電荷が分割されるからである。

次に容量のプロセスバラツキに関してだが、容量は一般的にトランジスタと比べその占有面積が非常に大きいため、プロセスバラツキが生じにくい。また、容量のプロセスバラツキはコンパレータの出力が反転するまでスイッチが開閉した回数 $N_{inv}$ に影響をおよぼすが、チップが一度製造された後からその影響が変わることはない。本研究では、提案する回路が製造された後攻撃をされていないことが確かな状況で一度動作を行い、 $N_{inv0}$ をメモリに保存する。このときプロセスバラツキが含まれた真値を得ているため、プロセスバラツキによる検出の誤動作は生じないと考えられる。

#### 4.7.2 温度バラツキ

トランジスタの電流駆動能力は温度によって大きく変化するが、それが本研究において容量の検出に影響を及ぼさないことは小節 4.7.1 において既に述べた。そして容量の場合、元々抵抗やトランジスタと比べ温度による変化が小さい上に、 $N_{inv}$ に寄与するのは常に容量同士の比である。容量の絶対値ではなく、それらの比を取ることで互いの温度変化は相殺される。したがって回路の温度の変化が容量の検出に及ぼす影響も誤動作を起こさないほど十分小さいと考えられる。

#### 4.7.3 電源電圧バラツキ

IoT 端末は小型の電池を用いるかエナジハーベストで非常にわずかな電力を集め動作することが多く、電源は不安定になる。IoT 端末に用いられる回路は電源電圧が正規の値より少々ずれても正常な動作ができるようになってなければならない。

コンパレータの出力が反転するまでのスイッチの開閉回数 $N_{inv}$ と電源電圧の関係を知らるために、それらの間に成り立つ関係を式で確かめる。コンパレータの出力は $V_x$ が $V_{ref}$ を上回る瞬間反転するため、 $V_x > V_{ref}$ となる最小の整数を求めればそれが $N_{inv}$ である。多段チャージトランスファを1段のチャージトランスファに近似しその関係を不等式で表すと式(4.15)のようになる。

$$V_{DD} \left( 1 - \left( \frac{C_x}{C_{pump} + C_x} \right)^{N_{inv}} \right) > \frac{1}{2} V_{DD} \quad (4.15)$$

この式を $N_{inv}$ についてまとめると式(4.16)が求まる。

$$N_{inv} = \left\lceil \frac{\ln 2}{\ln \left( 1 + \frac{C_{pump}}{nC_x} \right)} \right\rceil \quad (4.16)$$

式(4.16)の中の括弧 $\lceil \cdot \rceil$ は天井関数である。天井関数とは、括弧内の実数に対しその数以上の最小の整数として定義される関数である。式(4.16)からわかるように $N_{inv}$ は $C_{pump}$ と $C_x$ の

比によってのみ決まる関数である。式の中に電源電圧 $V_{DD}$ が含まれていないということは式が電源電圧 $V_{DD}$ とは独立であることを示しており、提案する回路は電源電圧バラツキに高い耐性を持つことになる。

## 4.8 多段チャージトランスファ回路のシミュレーション結果

本章で提案した多段チャージトランスファを用いた容量検出回路の性能を 3.5 節と同じく TSMC 社の  $0.25\mu\text{m}$  プロセスのトランジスタモデルと Cadence 社の Spectre アルゴリズムで SPICE シミュレーションを行い検証した。

### 4.8.1 容量変化検出

最初に多段チャージトランスファ回路が目標仕様である  $10\text{pF}$  の容量 $C_x$ が  $100\text{fF}$  変化したことの検出ができるかを検証する。 $C_x = 10\text{pF}$  の場合と  $C_x = 10.1\text{pF}$  の場合の $V_{out}$ の波形を Fig.4.13 に示す。

4.2 節で述べたように今回の提案回路は $C_x$ の  $100\text{fF}$  の変化をクロックの 10 カウント差で検出することを目標としていた。クロックの周波数は  $1\text{MHz}$  であり、 $V_{out}$ の反転時刻を  $\mu\text{sec}$  単位に直すとそれが直ちにクロックのカウントになる。 $C_x = 10\text{pF}$  のとき $V_{out}$ は  $1053\mu\text{sec}$ 、すなわち 1053 カウント目で反転し、 $C_x = 10.1\text{pF}$  の場合は  $1063\mu\text{sec}$  で反転した。この結果から目標としていた 10 回差での検出が達成できたことが分かる。

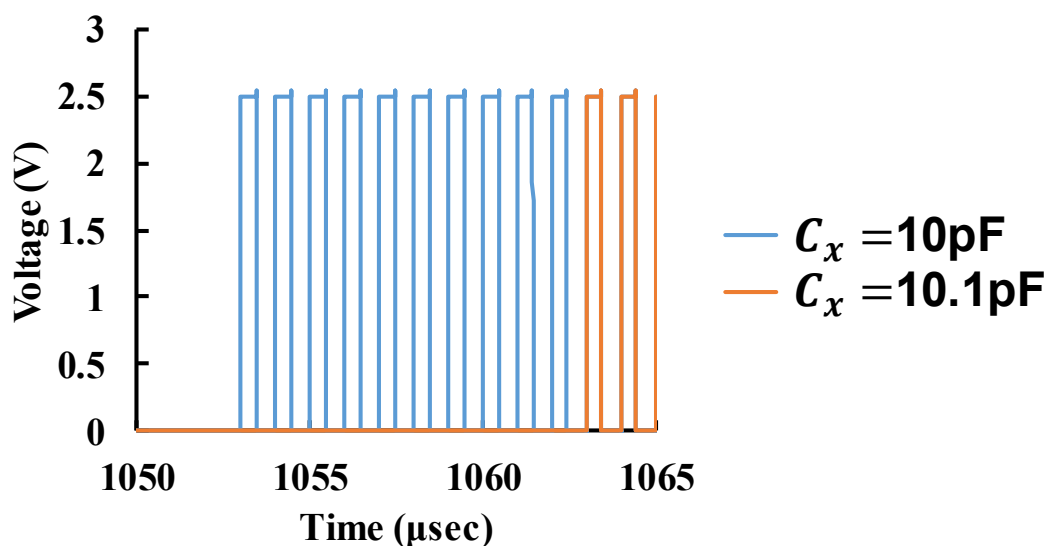


Fig.4.13 Simulation of 100fF Difference Detection

### 4.8.2 温度変化依存性

次に温度変化に対するバラツキ耐性の確認を行う。本研究で提案する回路は外部気温  $0^{\circ}\text{C}$ ~ $80^{\circ}\text{C}$ の間での使用を想定しているため、 $0^{\circ}\text{C}$ から  $80^{\circ}\text{C}$ の間で  $20^{\circ}\text{C}$ の間隔をとり 5 点でのシミュレーションを行った。各温度における  $V_{out}$  の反転時刻=検出までにかかったカウント数を Fig.4.14 のグラフに示す。

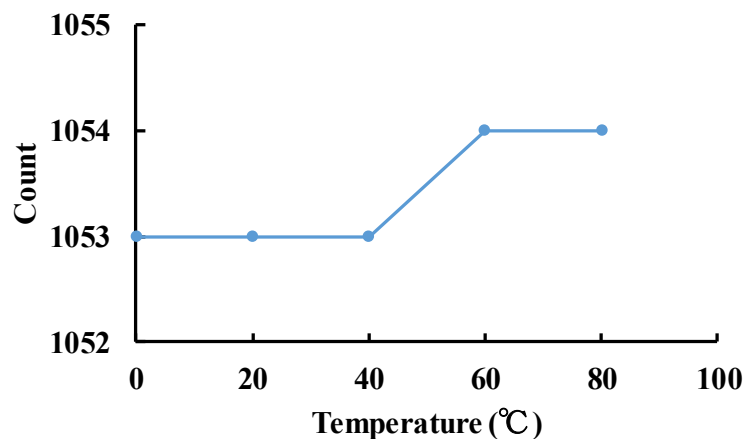


Fig.4.14 Simulation Result of Temperature Independence

シミュレーション結果では  $0^{\circ}\text{C}$ から  $40^{\circ}\text{C}$ までには 1053 回、そしてそれ以上の高温ではカウントに 1 回だけ誤差が生じることが分かった。

### 4.8.3 電源電圧依存性

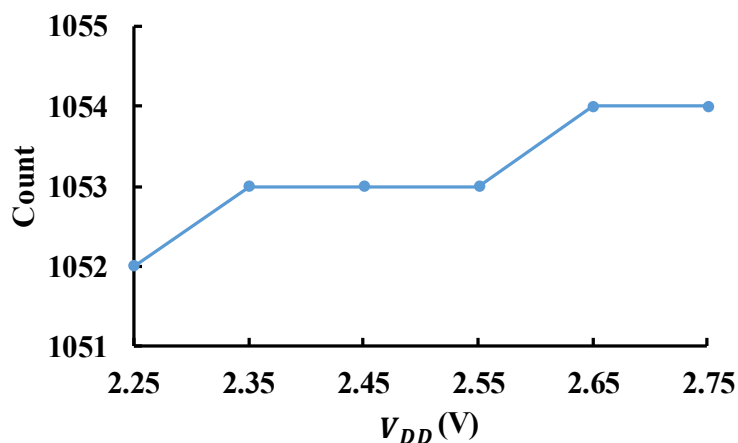


Fig.4.15 Simulation Result of Voltage Independence

そして電源電圧が変化した場合のバラツキ耐性の確認を行った。今回電源電圧のバラツキは  $\pm 10\%$  を想定しており、絶対値では  $2.25\text{V}$  から  $2.75\text{V}$  の間である。その範囲内で  $0.1\text{V}$  刻

みにシミュレーションを行った結果を Fig.4.15 に示す。

シミュレーション結果では電源電圧が 2.5V から±10%の範囲で変動するとき、容量検出のカウントは±1 の誤差が生じることが分かった。

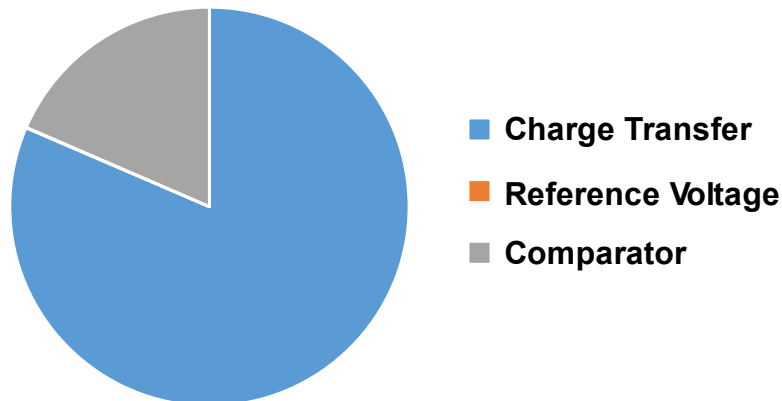
#### 4.8.4 消費電力

最後に消費電力のシミュレーション結果を述べる。15 段のチャージトランスファ、参照電圧生成回路、コンパレータそれぞれの消費電流と電力を Table.4.2 に、それらの割合の円グラフを Fig.4.16 に示す。

**Table.4.2 Power Consumption of Capacitance Difference Detection Circuit**

Part	Current	Power
All	1.82μA	4.54μW
Charge Transfer	1.48μA	3.7μW
Reference Voltage	643pA	1.61nW
Clocked Comparator	336nA	840nW

全体の消費電力は 4.54μW であり、3 章での提案回路の 203μW にくらべ 98%の消費電力の削減を実現している。1 回の検出毎に消費されるエネルギーは 4.78nJ であり、動作時間が 6 倍以上長くなったことを勘案しても消費エネルギーが 85%削減されている。これは一重に 202μW もの電力を消費していたアナログコンパレータを同期式コンパレータに変えることで消費電力を 840nW にまで下げたためであると考えられる。チャージトランスファで消費される電力だけは 0.89μW から 3.7μW に増えたが、これは充電すべき容量の数が増えたからである。純粋に容量に充電される電荷のみを考えれば電源に接続される  $C_{pump1}$  の電圧が  $\frac{1}{2}V_{DD}$  以上に維持される 15 段のチャージトランスファの方が消費電力は少ないはずである。しかし今回提案した回路ではスイッチを制御するクロックがバッファを通して入力されており、そのバッファの数が増えたことによって消費電力が増加したのであると考えられる。



**Fig.4.16 Breakdown of Simulated Power Consumption**



消費電力の割合としてはチャージトランスファが全体の 81.5%を消費し、コンパレータで 18.5%、そして参照電圧生成回路で 0.04%未満を消費している。

## 4.9 試作チップの測定結果

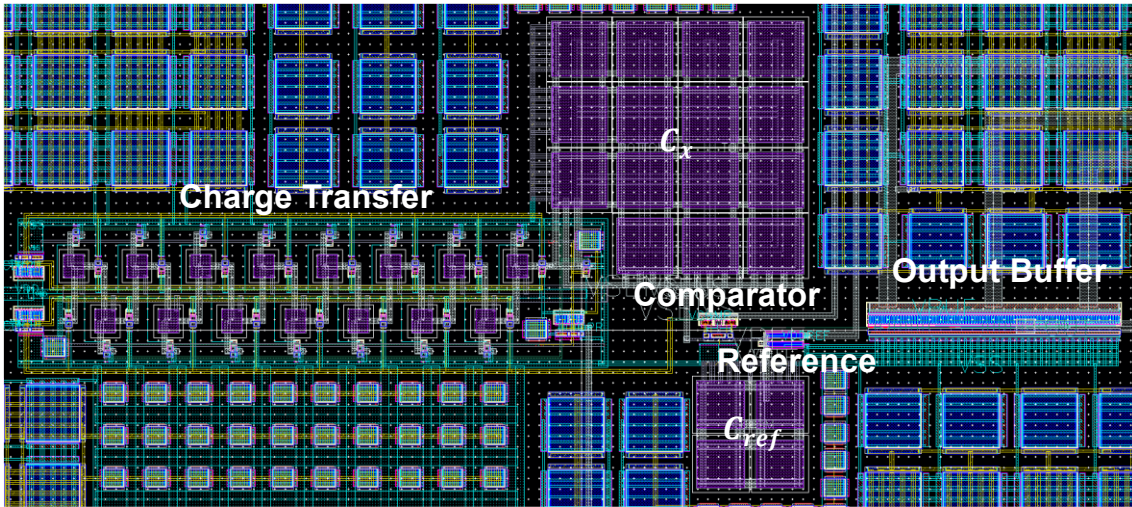
集積回路を実際製造した場合、配線のもつ容量や抵抗などの寄生素子の影響や製造中のバラツキなどによってシミュレーションとは異なる特性になることが多い。今回提案した回路の特性をより正確に測るために実際にチップを制作し、測定を行った。

### 4.9.1 試作チップと測定の詳細

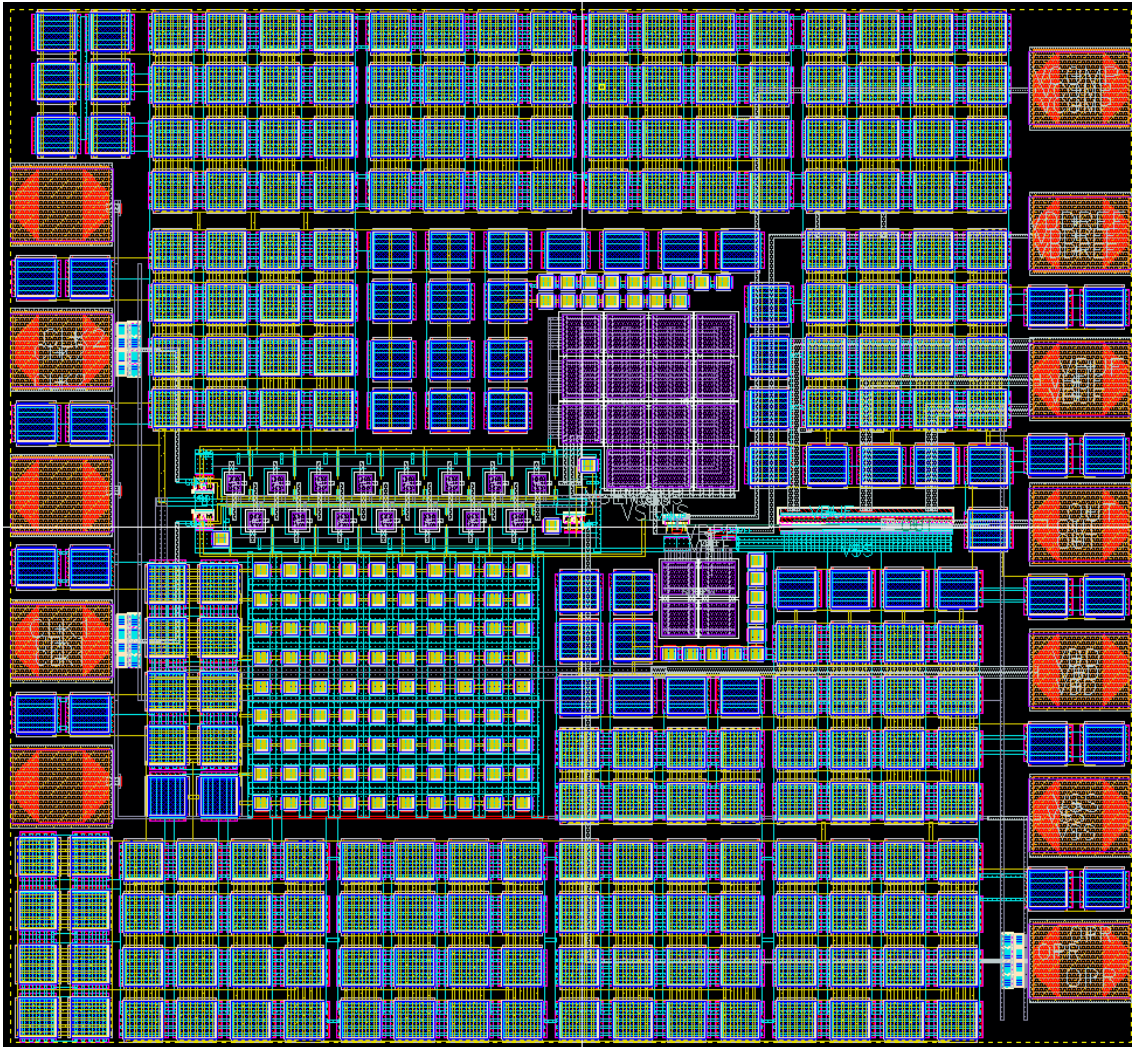
試作チップはシミュレーションと同じく TSMC 社の 0.25 $\mu\text{m}$  の Mixed Signal プロセスを用いた製造した。回路のコア部分のレイアウトが Fig.4.17(a)、パッドを含む回路全体のレイアウトが Fig.4.17(b)であり、製造されたチップの写真が Fig.4.18 である。測定用のチップから出力を取り出すためには測定機器の負荷を駆動しなければならないが、回路内の同期式コンパレータにはそれに足る十分な駆動能力がないため、コンパレータの出力部に 3 段のインバータからなる出力バッファを設けた。

全体チップの面積は 710 $\mu\text{m}$ ×772 $\mu\text{m}$  であり、コア部分の面積は 226 $\mu\text{m}$ ×527 $\mu\text{m}$  である。また、本来チップ上に集積される場合必要ではなかった出力バッファを除く面積は 226 $\mu\text{m}$ ×382 $\mu\text{m}$  となった。

測定においては ADCMT 社の 6240A 直流安定電源、Tektronix 社の AFG3102 ファンクションジェネレータ、Agilent 社の infiniium DSO81204S オシロスコープと 4156C 半導体パラメータアナライザ、Cascade 社のプローブを用いた。また、各場合のコンパレータの出力が反転するカウント数は場合毎に 1000 回の測定を行い、それらの平均値で求めた。そして 1000 回の測定の標準偏差を求めることで、得られた結果の信頼性を評価できるようにした。



(a)



(b)

Fig.4.17 Layout of Test Chip (a) Core Part (b) Core Part with Pads

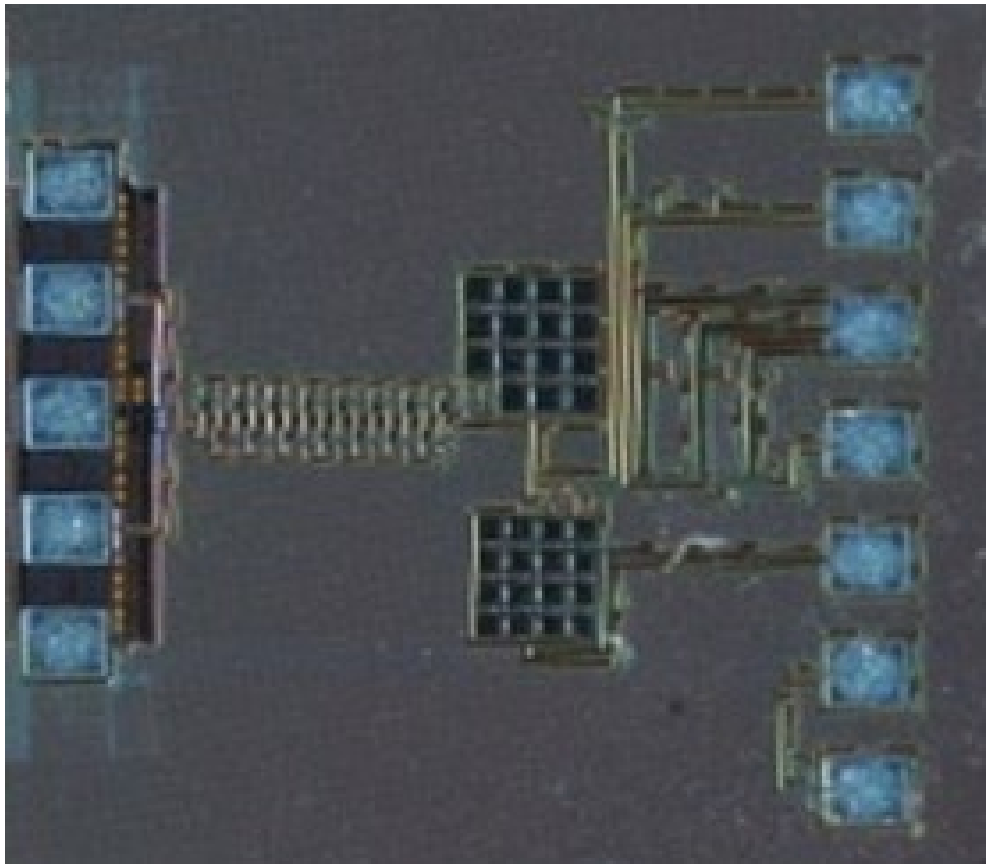


Fig. 4.18 Photograph of Bare Chip

#### 4.9.2 動作確認



Fig.4.19 Measured Result of Function Check

最初に製造したチップが正常に動作するかを確認する作業を行った。そのときのオシロ

スコープの画面の様子を Fig.4.19 に示す.

黄色い信号が回路のリセット信号であり、緑の信号はコンパレータの出力である. 最初はリセット信号が High になっておりすべての容量の電荷をリセットする. そしてリセット信号が Low になってからスイッチが動作しはじめ, ある時刻を過ぎれば出力が反転する. この結果から製造したチップが所望の動作をしていると考えられる.

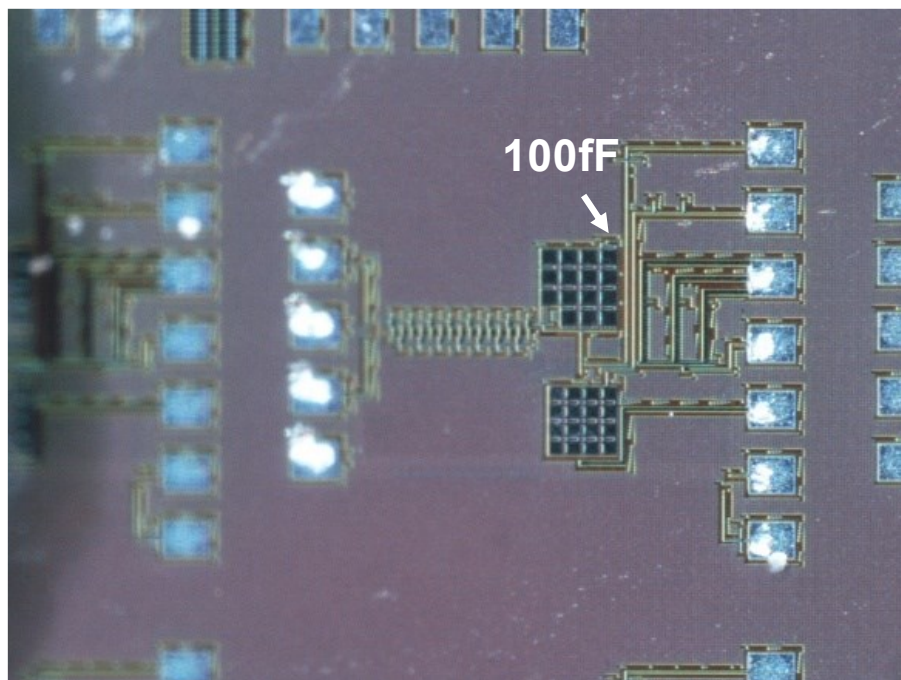
### 4.9.3 容量変化検出

最初に,  $C_x$  の 100fF の変化の検出能力を検証するための測定を行った. 実測定において  $C_x$  としてディスクリートの部品を用いる場合, 1%の変化を実現することが難しく, あらかじめ  $C_x$  に並列で実装した 100fF の容量をレーザーで破壊することにより容量の変化を実現した. 100fF 容量が接続されている回路を Fig.4.20(a)に, 100fF 容量を破壊した後の回路の写真を Fig.4.20(b)に示す. Fig.4.20(a)において矢印の指すところに Fig.4.18 と比べ若干周囲より突出している部分が 100fF の容量である. Fig.4.20(b)ではその部分がレーザーで破壊され白くつぶされていることがわかる.

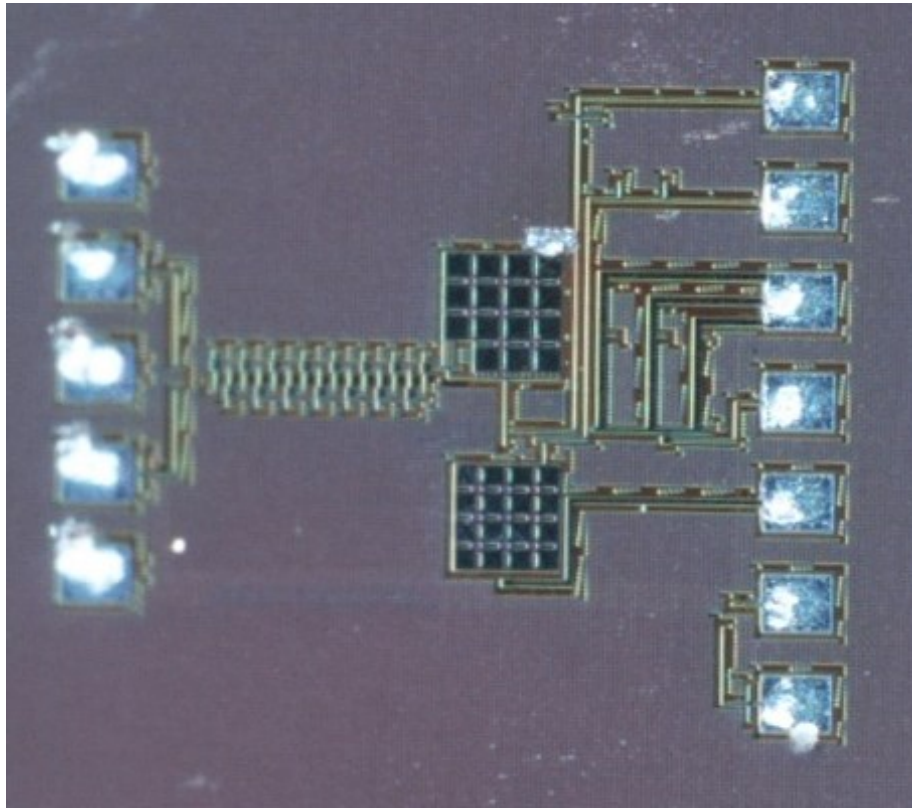
これらの回路で得た出力反転カウント数とその標準偏差を Table.4.3 にまとめる.

**Table.4.3 Measured Result of 100fF Capacitance Difference Detection**

$C_x$	Average	Standard Deviation
10pF	876.8	0.194
10.1pF	885.3	0.247



**(a) Before Trimming**



(b) After Trimming

Fig.4.20 Photograph of Chip for 100fF Difference Detection

#### 4.9.4 温度変化依存性

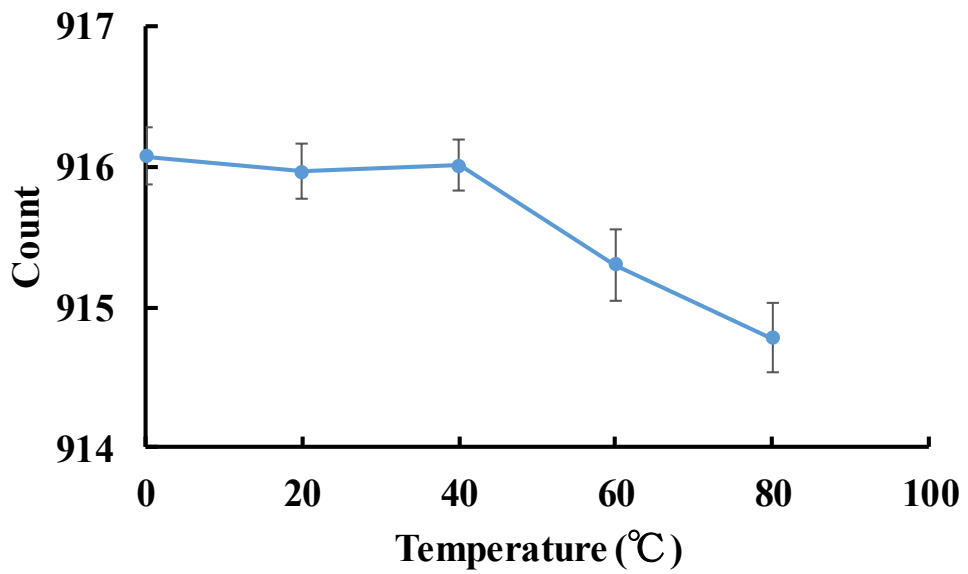


Fig.4.21 Measured Result of Temperature Independence

提案した回路の温度特性の測定では、シミュレーションと同じく 0°C から 80°C まで 20°C 刻みで測定を行った。その結果が Fig.4.21 である。各測定点にはそれぞれの場合に得られた標準偏差が記されている。提案した回路は測定した温度範囲において -0.1~1.1 カウント変化し、15ppm/°C の温度依存性を見せた。

#### 4.9.5 電源電圧依存性

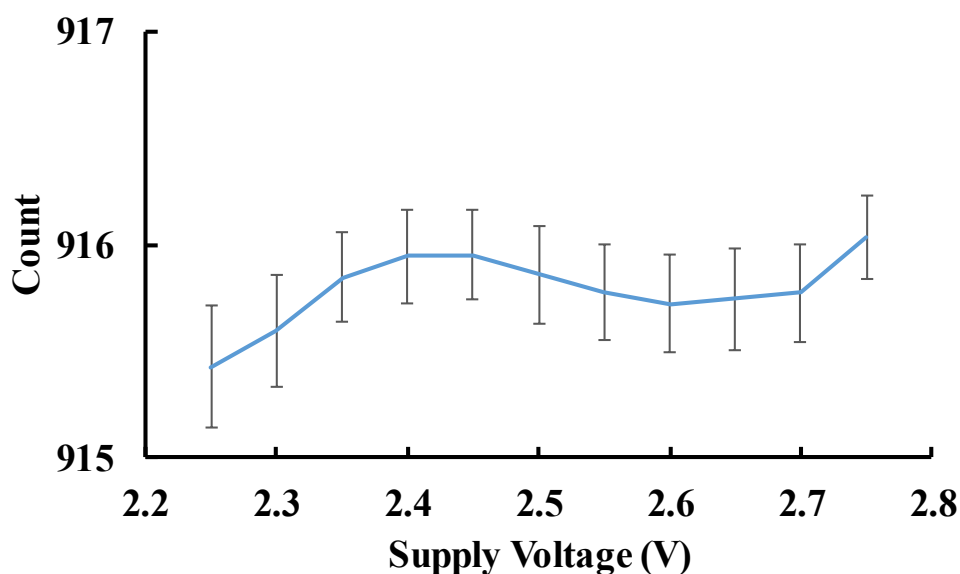


Fig.4.22 Measured Result of Supply Voltage Independence

電源電圧依存性についてもシミュレーションと同じく 2.25V から 2.75V までの範囲で 0.05V 刻みで電源電圧を変化させつつ測定を行った。その結果が Fig.4.22 のグラフである。提案した回路は測定した電圧範囲において -0.1~1.1 カウント変化し、1404ppm/V の電圧依存性を見せた。

#### 4.9.6 消費電力

回路の各部の消費電力を測定した結果を Table.4.4 に、そして各部の消費電力の割合を Fig.4.23 にまとめおり、10pF の容量を 1 度検出するために消費される電力は 3.56nJ となった。

Table.4.4 Measured Power Consumption of Proposed Circuit

Part	Current	Power Consumption
All	1.56μA	3.89μW
Charge Transfer	1.15μA	2.87μW
Reference Voltage	Less than 1nA	Less than 2.5nW
Clocked Comparator	408nA	1.02μW

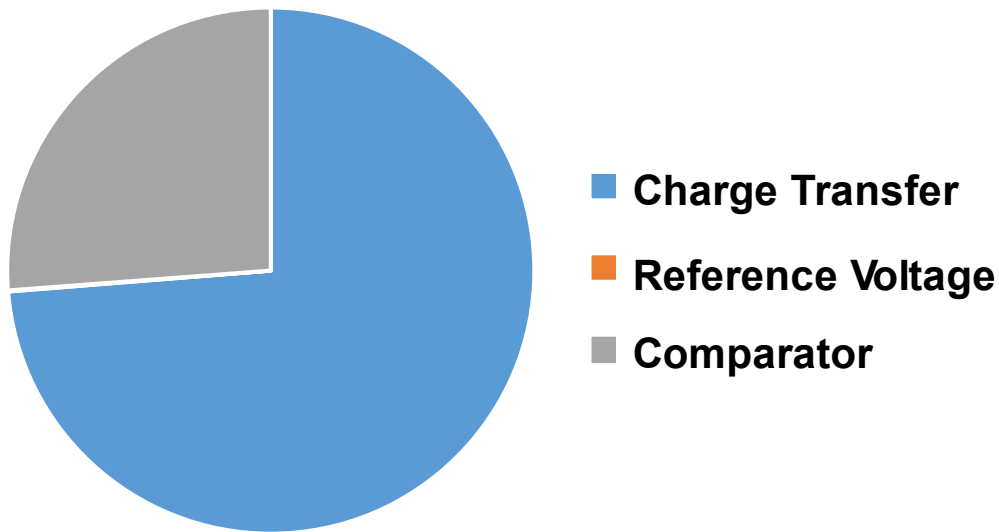


Fig.4.23 Breakdown of Measured Power Consumption

## 4.10 考察

本節では前節のチップの実測結果に対する考察を行う。

### 4.10.1 過去研究との比較

本研究の提案回路と従来の研究の比較を Table.4.5 にまとめた。

Table.4.5 Comparison Table

	[18]	[19]	[20]	[21]	本研究
プロセス	40nm	0.18 $\mu$ m	0.16 $\mu$ m	0.18 $\mu$ m	0.25 $\mu$ m
規格化面積(mm <sup>2</sup> )*	0.066	0.22	0.68	0.88	0.17
消費電力( $\mu$ W)	1.84	0.16	10.3	33.7	3.89
消費エネルギー(nJ)	0.0351	0.64	8.26	7.75	3.56
検出時間(msec)	0.0191	4	0.8	0.23	0.916
電圧特性(ppm/V)	N/A	N/A	N/A	N/A	1404 (2.25~2.75V)
温度特性(ppm/ $^{\circ}$ C)	15.5 校正あり 2247 校正なし (-20~100 $^{\circ}$ C)	N/A	N/A	N/A	17.6(0~80 $^{\circ}$ C) (校正なし)
分解能(fF)	12.3	6	0.07	0.16	10
備考	電特が生じる可能性 検出にデジタル演算が必要 温度特性解消に校正が必要	電特・温特の可能性 動作時間が長い	電特・温特の可能性 $\Sigma\Delta$ は設計・制御が複雑	電特・温特の可能性	シンプルな構造 簡単な制御 高バラツキ耐性

本研究ではターゲットを 10pF の 100fF 変化の検出に絞ることによって、従来の研究に比べ大幅の消費電力の増加や分解能の劣化を伴わずに温度依存性、電圧依存性を高めることができた。

#### 4.10.2 出力反転カウント数の変化

本研究で提案した多段チャージトランスファ回路はシミュレーションより実測において 10pF の検出カウント数が 100 回ほど小さくなっている。その原因はトランジスタのソース、ドレインとバックゲート間に生じる接合容量及び配線によって生じるゲートの寄生容量だと考えられる。

シミュレーションでもトランジスタに本来生じている寄生容量はある程度考慮されているが、実際製造されたチップのトランジスタには広い配線が接続される、ドーパ濃度にバラつくなどによって、シミュレーションと比べ寄生容量に差が生じる。従来の研究からトランジスタのゲート寄生容量はおよそ 10~30fF と知られている。

式(2.3)に  $V_{ref} = \frac{1}{2}V_{DD}$ , そして  $N$  にはシミュレーションと実測でのカウント数を代入しそれぞれの場合の実効  $C_{pump}$  の値を求めると、それぞれ 6.59pF, 7.57pF になり実製造チップの  $C_{pump}$  はシミュレーションのそれより 14.7%ほど大きい値になる。設計した  $C_{pump}$  の容量値である 100fF の 14.7%は 14.7fF であり、予想された寄生容量の値の範疇内であることから、この差はゲートと pn 接合の寄生容量から来ていると考えられる。また、チップ毎の誤差はプロセスバラツキによって生じるコンパレータのオフセット電圧の変動が原因と考える方が妥当であろう。

#### 4.10.3 消費電力の変化

この小節ではシミュレーションと実測の間に生じた消費電力の誤差について考察する。チャージトランスファ部分、参照電圧部分、そしてコンパレータ部分の 3 か所に分けて消費電力を測定したが、そのうち参照電圧部分は測定機器の分解能の限界により 1nA 未満であること以上の精度が取れなかったため考察は難しい。ただ、シミュレーションにおいても参照電圧部分の消費電流は 1nA 未満であり、大きい違いは生じていないであろう。

チャージトランスファと同期式コンパレータはどちらの消費電力も寄生容量によって大きくなるのが自然だ。前述の通りチャージトランスファの消費電力の多くを占めているのはスイッチを駆動するバッファであり、バッファもコンパレータもデジタル的に動作するため  $\frac{1}{2}CV^2$  に比例した電力を消費する。コンパレータはその予想通り消費電力が増加していたが、チャージトランスファは逆に消費電力が低下している。その原因を解明するために設計データを用いた寄生素子抽出シミュレーションを行うと、消費電力は 5.83W になり仮説通りに消費電力が増加していた。実測において消費電力が小さく測定された原因は測定器の駆動能力不足によるものと考えられる。



#### 4.10.4 温度変化依存性

トランジスタの寄生容量は温度が高くなるにつれ大きくなる。温度が高くなるほどエネルギーが高くなり同じ電圧が印加されたとき励起されるキャリアが多くなるからである。寄生容量が大きくなればなるほど $V_x$ を $\frac{1}{2}V_{DD}$ するために必要な充電回数は小さくなり、Fig.4.8.2.1 のように右肩下がりの傾向を見せる。測定の結果から寄生容量の値はおよそ0.17fF 変化したと考えられる。

#### 4.10.5 電源電圧依存性

トランジスタのゲート寄生容量と pn 接合容量は電源電圧の変化に対しては逆の傾向を見せる。電圧が高くなったときゲート寄生容量は大きくなるが、pn 接合容量は小さくなる。またそれらの変化が非線形的であることが Fig.4.8.3.1 の測定結果が波打つような形になった原因であると考えられ、正確な比を求めることはできない。

#### 4.10.6 バラツキ耐性を持つ条件

前小節で考察したように想定された温度変化の範囲内で生じる寄生容量の変化はおよそ0.17fF である。この容量変化でカウント $N_{inv}$ の差が生じないようにさせるためには、容量の変化がもたらす $V_x$ の差よりも、 $V_x$ の1カウント毎の上昇分が大きくなければならない。

数値計算からその条件を満たす $C_{pumpn}$ と段数を求めると、 $C_{pumpn} > 140\text{fF}$  で段数 $n > 20$  段の時であることが分かる。しかし回路がこの条件を満たしていても寄生容量が変化する前後の $V_x$ の値に差が開いている場合 $N_{inv}$ は変化する。 $V_x$ が $\frac{1}{2}V_{DD}$ に近づいたときの寄生容量が変化する前後の差が十分小さくなるためには $C_{pumpn} > 160\text{fF}$  で段数 $n > 22$  段の条件が必要である。

## 4章のまとめ

本章では第3章で挙げた提案回路の問題点及び分解能向上を達成すべく多段チャージトランスファ、サブスレッショルド領域で動作するトランジスタを用いたトランジスタ分圧型参照電圧生成回路、同期式コンパレータで構成された新しい容量変化検出回路を提案した。最初に多段チャージトランスファ回路を理論計算、数値計算、そしてSPICEシミュレーションによって検証し、 $n$ 段のチャージトランスファが実効的に $\frac{2n}{fC_{pump}}$ の抵抗と $C_x$ で構

成されるRC回路に近似できることを示した。次に参照電圧生成回路とコンパレータの具体的な改善案を述べ、それらで構成される新しい提案回路の全体構造と動作を示した。次にSPICEシミュレーションと実製造チップの測定を行い提案した回路の特性を検証した。そして設計した回路が10pF容量の100fFの変化を8.5カウント差で検出できることを示した。また、1度の検出の間消費される電力は3.89 $\mu\text{W}$ であり、消費されるエネルギーは3.56nJであることを知る事ができた。さらに、多段チャージトランスファを用いた容量変化検出回

路は3章で提案した回路と比べ消費電力、温度依存性、電源電圧依存性のすべての面において優れていることを示すことができた。第4章の最後には得られた測定結果について考察を行った。

## 第5章 結論と今後の展望

### 5.1 結論

本論文では、IoT 端末に対する物理的攻撃を感知し、データを保護するために端子容量の微小変化検出回路の提案を行った。

第 1 章ではまず IoT の概念を紹介し、それが広く普及されるようになった背景と IoT が社会に及ぼす影響に触れた。そして IoT 端末が持つ脆弱性とそれを克服するためのセキュリティ回路の必要性を述べた。さらに、IoT 端末上に実装されるセキュリティ回路が満たすべき条件を述べ、本研究の目的を明らかにし、本論文の構成を紹介した。

第 2 章では容量の検出に広く用いられる RC 充電回路、チャージトランスファ回路、そしてオペアンプ回路の基本原則と動作過程を述べた後、各回路構造の持つメリットとデメリットを比較した。そして消費電力、実装の難易度、バラツキ耐性などの要因を考慮した結果、本研究の目的を達成するためにはチャージトランスファ回路が最も適していると結論付けた。

第 3 章ではチャージトランスファ構造を用いた容量変化検出回路を提案しその原理と動作過程を述べた。次に回路の各部の詳しい設計指針を述べ、理論的な数値計算と SPICE シミュレーションにより回路の検証を行った。その結果から提案した回路が 10pF の容量の 1% の変化を制御クロックの 162 カウントと 163.5 カウントの差で検出できることを示した。そして回路の消費電力は 203 $\mu$ W であり、1 回の検出毎に消費するエネルギーは 32.9nJ であることを示した。消費されるエネルギーのうち 99%以上がコンパレータで消費されていることを見せ、それを改善すべき点として挙げた。またその他にも温度依存性、電源電圧依存性などの問題点が提案した回路にあるということを知ることができた。

第 4 章では第 3 章で挙げた提案回路の問題点及び分解能向上を達成すべく多段チャージトランスファ、サブスレッショルド領域で動作するトランジスタを用いたトランジスタ分圧型参照電圧生成回路、同期式コンパレータで構成された新しい容量変化検出回路を提案した。最初に多段チャージトランスファ回路を理論計算、数値計算、そして SPICE シミュレーションによって検証し、 $n$  段のチャージトランスファが実効的に  $\frac{2}{fC}$  の大きさの抵抗  $n$  個のからなる RC 回路に近似できることを示した。次に参照電圧生成回路とコンパレータの具体的な改善案を述べ、それらで構成される新しい提案回路の全体構造と動作を示した。次に SPICE シミュレーションと実製造チップの測定を行い提案した回路の特性を検証した。そして設計した回路が 10pF 容量の 100fF の変化を 8.5 カウント差で検出できることを示した。また、1 度の検出の間消費される電力は 3.89 $\mu$ W であり、消費されるエネルギーは 3.56nJ であることを知ることができた。さらに、多段チャージトランスファを用いた容量変化検出回路は 3 章で提案した回路と比べ消費電力、温度依存性、電源電圧依存性のすべての面におい

て優れていることを示すことができた。最後には得られた測定結果について考察を行いトランジスタのゲートの寄生容量と接合容量が 1%ほど変化することで温度依存性、電源電圧依存性が生じることを確かめた。

## 5.2 今後の展望

今回提案した容量変化検出回路のバラツキ依存性は検出される容量 $C_x$ の約 1 パーセントであるが、容量で換算すると 10fF ほどで目標としていた差分の 10%ほどの大きさである。この誤差の原因はトランジスタの寄生素子とそれが持つ温度、電圧依存性であるが、それらはいかなる手段を用いても完全に消去することはできない。そこで誤差を現在より低減する手段の提案が今後の課題となる。

誤差を低減するための改善案として参照電圧の上昇と差動検出回路の 2 つが考えられる。まず参照電圧の上昇について述べる。チャージトランスファ回路では $V_x$ が上昇するにつれスイッチの 1 回の開閉毎の電圧上昇幅は小さくなり、 $V_x$ の上昇に時間がかかる。参照電圧が高くなればそのような $V_x$ の上昇幅が小さい領域で容量の検出を行うことになり、 $C_{pump}$ が多少大きい場合でも十分な $N_{inv}$ の差分を取ることができる可能性がある。そうすることで、寄生容量を十分無視できるほどの大きい $C_{pump}$ を用いて 1%の容量変化を検出できる可能性がある。

次に差動回路である。第 4 章で提案した回路を二つ並列に並べ、片方の $C_x$ としては検出した端子の容量、そしてもう片方の $C_x$ としては端子容量に近い容量を実装する。両回路において温度、電圧依存性は同じく現れるため、 $N_{inv}$ の絶対値ではなく両回路の $N_{inv}$ の差から端子容量の変化を検出することで、温度、電圧依存性を相殺しうる。

今後、この 2 つの手法の検討を中心に研究を行う。

## 参考文献

- [1] Roadmap for the Trillion Sensor Universe -- a Gilt-hosted, Internet of Things talk by Dr. Janusz Bryzek. SlideShare, <http://www.slideshare.net/LappleApple/t-sensors> , アクセス日: 2016年11月28日.
- [2] モノワイヤレス HP. 「モノのインターネット」, [http://mono-wireless.com/jp/tech/Internet\\_of\\_Things.html](http://mono-wireless.com/jp/tech/Internet_of_Things.html), アクセス日: 2016年8月29日.
- [3] T.Terada, "Intermittent Operation Control Scheme for Reducing Power Consumption of UWB-IR Receiver," IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.44, pp2702-2710, Oct.2009.
- [4] ROOTear. El Internet de las Cosas, el proximo paso en la evolucion de los dispositivos intelignetes, <http://rootear.com/web/internet-of-things>, アクセス日: 2016年8月31日.
- [5] IoT/CPS/M2M 応用市場とデバイス・材料技術. 2015.
- [6] A.K.Khan, H.J.Mahanta, "Side channel attacks and their mitigation techniques," ACES, 2014, First International Conference. IEEE, 2014.
- [7] C.Tokunaga, "Secure AES engine with a local switched-capacitor current equalizer," ISSCC Dig. Tech. Papers, pp64-65, Feb. 2009.
- [8] M.D.Verdieralet, "A side-channel and fault-attack resistant AES circuit working on duplicated complemented values," ISSCC Dig. Tech. Papers, pp274-275, Feb. 2011.
- [9] N.Miuraal, et al., "A local EM-analysis attack resistant cryptographic engine with fully-digital oscillator-based tamer-access sensor," VLSI Circuits Digest of Technical Papers, pp10-13, Jun. 2014.
- [10] L.Huang, et al., "Ultra low power wireless and energy harbesting technologies," IEEE International Conference on Communication systems, p295-300, 2010.
- [11] Y.Zhangal, et al., "A HIGH-SENSITIVE ULTRA-THIN MEMS CAPACITIVE PRESSURE SENSOR," Transducers'11, pp112-115, Jun.2011.
- [12] José María Gómezal, et al., "Force-Balance Interface Circuit Based on Floating MOSFET Capacitors for Micro-Machined Capacitive Accelerometers," IEEE Transactions on Circuits and Systems-II : Express Brief, Volume.53, Issue.7, pp546-552, Jul.2006.
- [13] Kelvin Yi-Tse Laial, et al., "A 3.3V 15.6b 6.1pJ/0.02%RH with 10ms Response Humidity Sensor for Respiratory Monitoring," Solid-State Circuits Conference (A-SSCC), 2014 IEEE Asian, pp293-296, Nov.2014.
- [14] Miroslav DulikJureckaStanislav, "Measuring capacitance of various types of structures," IEEE Transactions on Instrument and measurement, Volume58, Issue9, pp2931-2937, Aut.2009.
- [15] Danielle Griffithal, et al., "5.9A 24MHz crystal oscillator with robust fast start-up using dithered injection," IEEE International Solid-State Circuits Conference, 2016, Feb 2016.
- [16] Shunta Iguchial, et al., "Variation-Tolerant Quick-Start-Up CMOS Crystal Oscillator With Chirp Injection and Negative Resistance Booster," IEEE Journal of Solid-State Circuits, Vol.51, Issue 2,

pp496-508, 2016.

[17] Behzad Razavi(2001), Design of Analog CMOS Integrated Circuits, The McGraw-Hill Companies inc, (黒田 忠広(訳)(2003), アナログ CMOS 集積回路の設計基礎編, 丸善株式会社), p64.

[18] W.Kung, et al., "A 0.7pF-to-10nF fully digital capacitance-to-digital converter using iterative delay-chain discharge," ISSCC Dig. Tech. Papers, pp1-3, Feb 2015.

[19] H.Ha, et al., "A 160nW 63.9fJ/conversion-step capacitance-to-digital converter for ultra-low-power wireless sensor nodes," ISSCC Dig. Tech. Papers, pp220-221, Feb 2014.

[20] Z.Tan, et al., "A 1.2-V 8.3-nJ CMOS Humidity Sensor for RFID Applications," JSSC, Vol.48, Issue.10, pp2469-2477, Aug 2013.

[21] S.Oh, et al., "15.4b incremental sigma-delta capacitance-to-digital converter with zoom-in 9b asynchronous SAR," IEEE Symp. VLSI Circuit, pp1-2, Jul 2014.

## 本研究に関する発表

- [1] パック ジフン, 高宮 真, 桜井貴康, “IoT 端末に対する物理的盗聴感知に向けた端子容量の微小変化検出回路の研究,” 電子情報通信学会全国大会, C-12-22, 2016 年 3 月
- [2] パック ジフン, 高宮 真, 桜井貴康, “多段チャージトランスファを用いた電源電圧・温度ばらつきにロバストな微小容量変化検出回路,” 電子情報通信学会和文論文誌 C, 投稿予定

## 謝辞

本研究は東京大学大学院工学系研究科電気系工学専攻融合情報学コースの修士課程において桜井 貴康教授のご指導とご鞭撻の下に行われたものであり、本研究を遂行するにあたって修士有益な教育的指導をいただいたこと、そして常に研究に打ち込めるように学業面、生活面において最大限のご配慮をいただいたことについて深く感謝の意を示し、熱くお礼申し上げます。

高宮 真准教授には研究の成果に対する鋭い指摘とアドバイスをいただき、研究そのもののみならず一人の研究者としてのあるべき姿を示していただきました。そのお教えのすべてについて深謝いたします。いつも近くで見守り、困ったことがある度に助力を惜しまずに手を貸してくださったイスラム マーフズル助教、崔 通特任助教、森 時彦研究員、高橋 亮氏(本研究室ポストドクター)にも心より感謝いたします。

同じ研究室で浸食をともにし、時には優しく時には厳しく研究をサポートしてくださった宮崎 耕太郎氏(本研究室博士課程3年)、チェン シアン ウ氏、李 承俊氏(本研究室博士課程2年)、本田 雅宜氏、山内 義高氏(高宮研究室博士課程1年)にも深謝いたします。時を同じくして入学し、慣れない大学院生活の中で協力し合い競い合いながらお互いを高めあうことができた同期の蔡 定勲氏(高宮研究室修士課程2年)と、驚くほどの熱情と探求心を持ち真摯に研究に向き合う姿勢を思い出させた小野寺 尚人氏(本研究室修士課程1年)、宇野 祐輝氏(高宮研究室修士課程1年)にも心より感謝いたします。

誰よりも、入学当初から回路の基礎、各種ソフトの扱い方、研究の進め方など研究に関するあらゆることの手引きをしていただき、学校生活においても校内の地理、単位の取得、食事の事情にいたるまで助言を惜しまず、研究の至るところで血となり肉となるアドバイスで導いてくださった染谷 晃基氏(本研究室博士課程2年)には感謝の念を禁じえません。理論検証の段階から設計、測定系の構成、データ収集に考察までに渡り本論文の隅々にまで同氏の助力なしでは成されることはなかったことから心よりお礼申し上げ、今後の更なるご活躍をお祈りします。

各種手続きを総括し、研究に集中できる環境を助成して下さり、数々の面倒をおかけしたにも関わらず誠実に対応していただいた奈良 池内 三重子女史と奈良 裕子氏にも感謝いたします。

本研究室で研究するための足場を整えてくださった小淵 恵三元首相と金 大中元大統領、そして学費の援助をしていただいた公益財団法人 日本国際教育支援協会、そして日本の高等教育を支える資金の元となる税金を納付して下さった日本国民及び在日外国人各位にも深く感謝の意を表します。また奨学金の需給において様々な手助けをいただいた大部 みちる氏に感謝いたします。

健全な精神と健やかな心を保つにあたって幾度となくお世話になった Twitter 社、Amazon.com 社にも深謝いたします。



困難なとき快く力を貸し、激励の言葉と心からの助言で心の支えになってくださった友人犬飼 康裕氏、伊藤 正吾氏、岩崎 大和氏、鎌田 英紀氏、北形 大樹氏、中山 寧孝氏、平島 遼にもお礼申し上げます。行き詰る度に新しい観点からの意見をくださった丹沢ヤマヌメ氏、深い溪谷から水平線までをこよなく愛するものとしてのお手本となってくくださった綿目 蔵人氏、自らも厳しい状況に置かれながらも強かな態度で勇気をくれた金智雲氏、人として成長するための道を示す指南役を買って出てくださった酒乱亭 漏師匠、同じく正しい心の在り方についてお手引きしていただいた痛風亭 復帰師匠、留学生であるが故のトラブルの度に最大限の力添えをいただいた木村 心氏に深く感謝申し上げます。

望んだ成果が得られず落ち込み悩んでいたとき、立ち直るための気力の源となった石田 彰氏、悠木 碧氏、双見 酔氏、水島 努氏にも感謝いたします。

最後に、愚息を信じて応援を惜しまなかった父 尚熙と母 淑伊、そして同じく応援してくれた姉 修慶にもできる限りのお礼申し上げます。