

# 異方性エッチングにより作製した シリコン単電子トランジスタの室温動作

Room Temperature Operation of Silicon Single Electron Transistors Fabricated by Anisotropic Etching Technique

平 本 俊 郎\*・高 橋 信 義\*\*・石 黒 仁 揮\*\*\*・齋 藤 真 澄\*

Toshiro HIRAMOTO, Nobuyoshi TAKAHASHI, Hiroki ISHIKURO and Masumi SAITOH

## 1. は じ め に

シリコン単電子トランジスタ (SET) は, 将来の超低消費電力集積デバイスとして大いに注目されている. シリコン SET では, ドット中の電子数をクーロンブロッケード現象によりゲート電圧を用いて一つ一つ制御することが可能である. デバイスが消費するエネルギーは, そのデバイス中に存在する電子数にほぼ比例するので, SET は究極の低消費電力デバイスであるといえる. また, シリコンを用いて LSI プロセスと互換性のある作製方法で SET が集積化できれば, 既存の CMOS 回路との整合性もよく, 将来の有望な集積化デバイス候補となりうる.

シリコンナノプロセスの進展によりごく小さなデバイスの作製が可能となり, 室温でクーロンブロッケード振動を示すデバイスが報告されるようになった<sup>1-4)</sup>. ところが, 多くの場合, 振動のピーク・バレー電流比 (PVCR) はほとんど 1 であった. より大きな PVCR を室温で得るためには, チャンネル中のドットサイズを 5 nm 以下にする必要がある. 一方, 極めて細いチャンネル中にシリコンドットが自然に形成されるメカニズムについても研究が進んでおり<sup>5,6)</sup>, 量子閉じ込め効果と酸化時の圧縮応力が影響していると考えられている.

本報告では, 室温で PVCR が 2 という大きなクーロンブロッケード振動について報告をする. このデバイスはポイントコンタクト型の MOSFET であり, ゲート酸化膜は減圧化学気相堆積法 (LP-CVD) で形成したものである. 一電子付加エネルギーやドットサイズを実験結果から導出し, またドット形成機構についても考察を行った.

## 2. デバイス作製法

図 1 は試作したポイントコンタクト MOSFET の模式図

\*東京大学生産技術研究所 物質・生命部門

\*\*松下電器産業 K.K

\*\*\*K.K 東芝

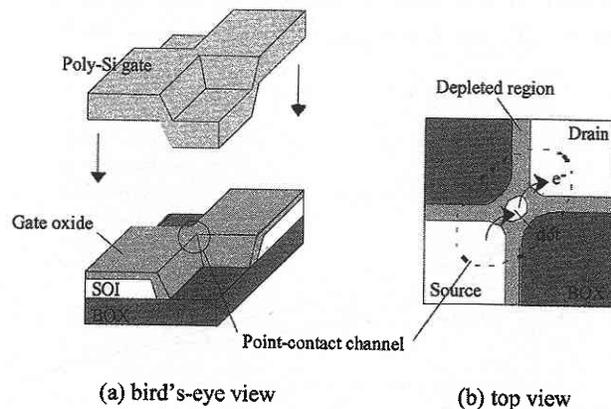


図 1 ポイントコンタクト型 SET の模式図

である. SIMOX による (100) 方向の SOI 基板を用いた. 埋め込み酸化膜の厚さは 403 nm である. まず, 初期膜厚 205 nm の表面シリコン層を, 熱酸化とウェットエッチングの繰り返しにより 34 nm まで薄膜化する. 次に, マスクとなる膜厚 7 nm の熱酸化膜を形成する. レジスト塗布後, ポイントコンタクトのパターンを電子ビームリソグラフィにより描画する. 現像後, パターンを酸化膜マスクに緩衝 HF により転写する. ここで, tetramethylammonium-hydroxide (TMAH) によるシリコンの異方性エッチングを行い, ポイントコンタクトチャンネルを形成する. このエッチングで (111) 面が露出するので, レジストパターンの揺らぎはきれいに除去される<sup>4)</sup>. 35 nm 厚のゲート酸化膜を LP-CVD により堆積し, 酸化膜の膜質を強化するため, 850 °C で 1 分間のアニールを 1 Torr の真空中で行う. ゲート電極は 200 nm 厚のポリシリコンで形成する. P イオンをゲート, ソース, ドレイン領域に注入し, 保護酸化膜, コンタクトホール, Al 配線を形成してデバイスは完成する. 最終的なシリコン膜厚は約 25 nm である.

3. 測定結果

図2にさまざまな温度におけるドレイン電流のゲート電圧依存性を示す。図2 (a) は 27 K から 77 K, 図2 (b) は 150 K から 300 K の範囲で温度を変化させている。このゲート電圧の範囲内では2つのクーロンブロックド振動のピークが観測されている。最初のピークは温度の上昇とともに不明瞭になっていくが、2番目のピークは室温でもはっきり観測されており、そのPVCRは1.99である。図3

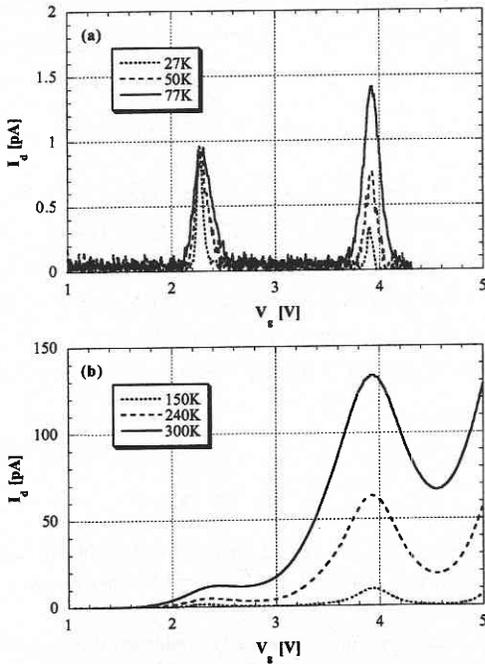


図2 さまざまな温度におけるSETのドレイン電流  $I_d$  とゲート電圧  $V_g$  との関係。(a) 27 K から 77 K. (b) 150 K から 300 K.

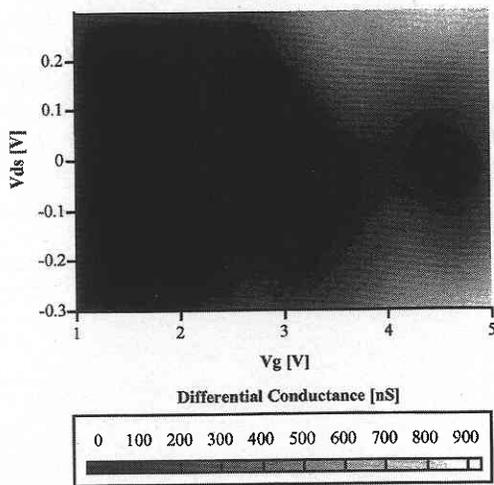


図3 300 Kにおける微分コンダクタンス ( $\partial I_d / \partial V_{ds}$ ) の等高線。ドレイン電圧とゲート電圧の関数で表してある。

は微分コンダクタンスの等高線をドレイン電圧とゲート電圧の関数でプロットしたものである。クーロンブロックドによる菱形の形状が室温でも観測されている。図2 (b) で、第2のピークの高さは温度の上昇とともに急激に高くなっている。これは、高温では熱励起によりトンネル障壁を越えて伝導する電子電流が支配的になっていくからである<sup>7)</sup>。

4. デバイスパラメータの導出

これらの電流-電圧特性から、このSETの各種デバイスパラメータを導出した。ゲート電圧  $V_g$  が  $\Delta V_g$  だけ変化すると、量子ドット中のポテンシャル  $\phi_{dot}$  は  $\Delta\phi_{dot} = C_g \Delta V_g / C_{dot} = \alpha \Delta V_g$  だけ変化する。ここで、 $C_g$  はゲートドット間の容量、 $C_{dot}$  はドットの総容量、 $\alpha$  はゲイン変調係数である。 $\alpha$  は電流ピークの半値全幅 FWHM の温度依存性から、 $FWHM = 4.35 k_B T / (\alpha e)$ <sup>8)</sup> なる関係式を用いて求められる。ここで  $k_B$  はボルツマン係数、 $T$  は温度、 $e$  は電荷素量である。図4に第2のピークのFWHMの温度依存性を示す。両者には線形な関係があり、 $\alpha$  の値は0.151と求められる。

ドットへ電子を1個付加するために必要な1電子付加エネルギー  $E_a$  は、クーロン帯電エネルギー  $e^2/C_{dot}$  とドット中の量子エネルギーレベル間隔  $\Delta E$  の合計でよく近似できる。即ち、

$$E_a = \frac{e^2}{C_{dot}} + \Delta E \dots\dots\dots (1)$$

である。 $\alpha$  を用いると、 $E_a$  とピーク間の電圧  $\Delta V_g$  との関係は、

$$\Delta V_g = \frac{E_a}{\alpha e} = \frac{e}{\alpha C_{dot}} + \frac{\Delta E}{\alpha e} \dots\dots\dots (2)$$

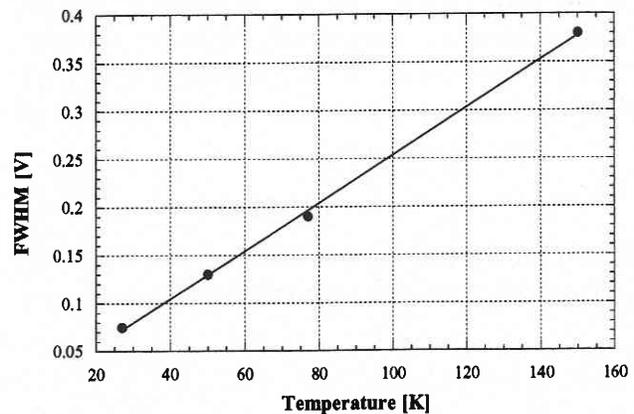


図4 第2の電流ピークのFWHMの温度依存性。

## 研究速報

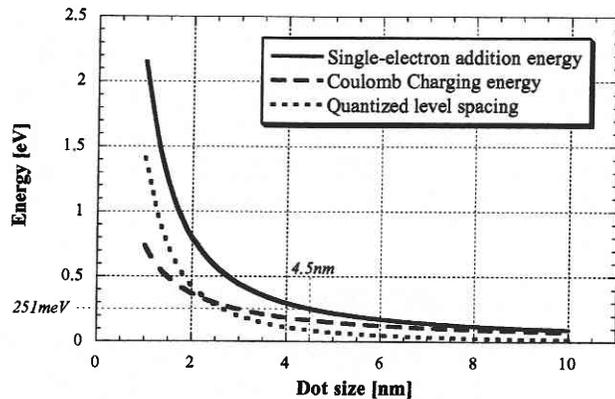


図5 1電子付加エネルギー、クーロン帯電エネルギー、量子エネルギーレベル間隔の計算結果。ドットの直径の関数で表してある。

で与えられる。図2より、 $\Delta V_g$  (第1のピークと第2のピークとの間隔) は約1.66 Vである。1電子付加エネルギー  $E_a$  は式(2)より251 meVと求められ、これは室温における熱エネルギーの約10倍もの値である。従って、このデバイスはSET回路等において安定な室温動作が可能である<sup>9)</sup>。

クーロン帯電エネルギーと量子エネルギーレベル間隔を簡単な計算によって推定した。図5は、シリコン酸化膜中に埋め込まれた球形のドットを仮定して式(1)により1電子付加エネルギーを計算し、ドットの直径の関数で表したものである。シリコンと酸化膜との伝導帯オフセットは3.1 eVと仮定した。図5より、1電子付加エネルギー251 meVは直径約4.5 nmに相当することがわかる。この場合、量子エネルギーレベルの間隔は87 meV、クーロン帯電エネルギーは164 meVである。このような極めて小さなドットでは量子レベルの間隔がクーロン帯電エネルギーと同程度にまで大きくなる<sup>10)</sup>。図5より、ドットサイズがさらに小さくなると、量子レベルの間隔の方が支配的になることがわかる。この計算では、球形のドットを仮定し自己容量を用いたため、量子レベル間隔と帯電エネルギーを過大評価していると考えられる。従って、実際にはドットサイズはさらに小さいものと思われる。

### 5. ドット形成機構

極めて狭窄されたチャンネルで1つのシリコンドットと2つのトンネル障壁が形成される機構についてはこれまでに

研究が行われている<sup>5,6)</sup>。最も可能性の高い説明は、量子閉じ込め効果によるバンドギャップの拡大<sup>5)</sup>と、熱酸化時の圧縮応力によるバンドギャップの縮小<sup>6)</sup>の競合である。ところが、本デバイスでは、35 nm厚のゲート酸化膜は熱酸化ではなくLP-CVDで形成した。酸化膜堆積後に酸素雰囲気中でアニールを行っているが、アニール条件とCVD酸化膜の厚さを考えると、アニール中に進行する酸化の厚さは1 nmより遙かに小さいと予想される。従って、このデバイスでは、測定結果にみあうような小さなドットとトンネル障壁が酸化時の圧縮応力で形成されたとは考えにくい。他の要因でドットが自然形成された可能性が考えられるが、その機構については現在不明である。

### 6. 結論

SETとして動作するシリコンポイントコンタクト型MOSFETを異方性エッチング法を用いて作製し、室温において大きなクーロンブロック振動を観測した。ドットへの1電子付加エネルギーは251 meVと極めて大きく、ドットサイズは4.5 nm以下と推定される。ドットとトンネル障壁の形成機構は未解明であり、今後さらなる研究が必要である。

(2000年12月26日受理)

### 参考文献

- 1) Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadate, Y. Nakajima, S. Horiguchi, K. Murase and M. Tabe: *Electron. Lett.* **31** (1995)136.
- 2) H. Ishikuro, T. Fujii, T. Saraya, G. Hashiguchi, T. Hiramoto and T. Ikoma, *Appl. Phys. Lett.* **68** (1996)3585.
- 3) L. Zhuang, L. Guo and S. Y. Chou, *Appl. Phys. Lett.* **72** (1998)1205.
- 4) H. Ishikuro and T. Hiramoto, *Appl. Phys. Lett.* **71** (1997)3691.
- 5) H. Ishikuro and T. Hiramoto, *Appl. Phys. Lett.* **74** (1999)1126.
- 6) K. Shiraishi, M. Nagase, S. Horiguchi, H. Kageshima, M. Uematsu, Y. Takahashi and K. Murase, *Physica E* **7** (2000)337.
- 7) K. A. Matveev and L. I. Glazmann, *Phys. Rev. B* **54** (1996)10339.
- 8) C. W. J. Beenakker, *Phys. Rev. B* **44** (1991)1646.
- 9) K. K. Likharev, *Proc. IEEE* **87** (1999)606.
- 10) T. Hiramoto and H. Ishikuro, *Superlattices Microstruct.* **25** (1999)263.