

半導体デバイスはどこまで小さくなるか？

平本 俊郎 (東京大学生産技術研究所 物質・生命部門 教授)

皆様おはようございます。本日は、朝早くから、多数お集まりくださりまして、どうもありがとうございます。平本でございます。

本日は、「半導体デバイスはどこまで小さくなるか？」という、いささか難しいタイトルでお話しさせていただきたいと思っております。お話しする内容は、ここにまとめております。半導体がいかに大事かということをお話ししたあと、限界はどの辺にありそうかということについて、私なりの考えを述べさせていただきます。また、サイズが小さくなりますので、当然半導体のなかでも量子効果等の新しい物性が現れてまいります。それを使ってどのような夢のあるデバイスができそうかということをお話しさせていただきたいと考えております。

(スライド 1)

「半導体」といいますと、皆さんどのようなイメージをお持ちになるでしょうか。例えば、今日皆様が朝起きてからここにいらっしゃるまでに、おそらく色々なところで半導体の恩恵を受けていると思っております。ところが皆さんの中に、半導体そのものを今日見た方はいらっしゃらないでしょう。半導体は現在の高度な情報化社会を陰で支えている、ということがいえると思っております。

これは、将来どのようになりそうかということをごく簡単に書いたものでございますが、将来的に色々なところに情報化社会として半導体が使われていくだろうと思われまします。例えば無線を使ってインターネットをしたり電子メールを送ったり、またデジタル家電とよばれているものもございまして。それから、ホームオートメーション、健康管理や介護ロボットなど、今後ありとあらゆるものが半導体をベースとして発展していくだろうと考えられております。

そのなかでキーワードの一つとして最近よく聞かれるのが「ユビキタス」という言葉です。これはもともとラテン語だと聞いていますが、「どこにでもある」というような意味です。したがって、情報を、いつでも、どこでも、だれとでも、しかも意識せずに自然に、知らず知らずのうち

にやりとりする、そして人と人とがネットワークでつながっている、そういう社会でございます。おそらく、このような「ユビキタス」というキーワードで表される新しい社会が今後やってくるだろうと考えられており、それを実現するための基盤となる技術、それが間違いなく半導体であるわけです。

(スライド 2)

例えばユビキタス情報社会を実現しようと思つくと、現在の信号処理スピードよりもはるかに速いものをつくらなければなりません。例えば、言葉で情報を入力するようになれば、当然音声認識も必要になります。

それから通信です。大容量の通信が必要になります。ストレージも必要になります、それらを指数関数的に飛躍的に今後増大させる必要があります。それのもとになるのはすべて半導体で、すべての情報化機器、ネットワーク、無線通信の性能は半導体が決めているわけです。したがって、半導体が元気でないと情報化社会も夢物語で終わってしまう、そういう状況に私たちはいるということになるかと思っております。

現在の状況をこのあと少し詳しく説明いたしますけれども、シリコンを主体とした CMOS といわれているデバイスをベースとした半導体チップがいまや全世界に広まっています。しかもそれが急速に進歩を続けてきております。今後も進歩するだろうといわれております。これは私自身の考えですが、今後、間違いなく、10年か15年後もシリコンの LSI が主役になるだろうと考えております。

皆さんもご存じのように、最近、「ナノテクノロジー」という言葉もキーワードとして盛んになってきておまして、ほかの材料でもナノテクノロジーを使って新しい発展を見込むという研究が最近盛んになってきています。本学のこの研究所でもたくさん研究されています。例えば、化合物半導体、有機半導体、カーボンナノチューブなどで、最近のトピック的な新しい研究成果が続々と出てきております。しかし私は、おそらく10年、15年後を見る限り

はシリコンが主役であろうという考えをもっており、今シリコンを研究開発するということが非常に重要であると考えております。

しかも、シリコンでも微細化が進んでおり、いまやナノスケールの領域に入ってきています。したがって、数あるナノテクノロジーのなかでも、おそらくシリコンナノテクノロジーといわれる分野が現在最も重要で、これが今後5年、10年の日本、あるいは半導体産業の趨勢を決めていく重要なテクノロジーであろうと考えています。

(スライド3)

このグラフは、半導体の世界にいる人はよくご覧になる図だと思いますけれども、半導体のデバイスが過去30年にわたってどのように小さくなってきたかというものを表したグラフです。横軸が年度、縦軸はゲート長とよばれるゲートの長さ、半導体のMOSトランジスタの性能を決める最も重要なパラメータでございます。これが小さければよいということですが、1970年代ぐらいに 10μ であったサイズが、このように、同じスピードで、過去30年にわたって小さくなってきています。

縦軸を注意していただきたいのですが、これはログスケールでございます。ログスケールで、直線で小さくなってきているということは、要するに指数関数的に小さくなってきているということです。現在2002年でございますが、 0.1μ 程度のもので実用化されています。

ここまで直線的に変化が起きますと、今後も直線的に変化するのではないかとということが予想されます。このような傾向のことを「トレンド」と申しまして、半導体の世界では、「トレンドに従って微細化が進んできた」というような言い方がされます。驚くべきことに、ほぼ一定のスピードで過去30年ぐらい進んできたわけです。

あとで申しますが最近はこのトレンドが狂いつつありますが、いずれにしても、この先このまま進みますと、2010年、2020年ぐらいに、いよいよナノの領域に入ります。この 0.01μ というサイズは、ナノメートルに直しますと 10nm でございますので、いよいよシリコンもナノスケールだということがわかってくるわけです。

どこまで小さくなるだろうかということは当然皆さんも考えることで、過去にいろいろな人が考えてきたわけです。いよいよこの辺で限界だという声も聞かれてきていましたし、またここで新しい量子効果ですとか単電子効果という、いままで考えなくてもよかったような物理現象が現れてきてしまうともいわれていました。大抵のケースでは、こういう新しい現象は、シリコンのMOSトランジスタの世界では悪い効果だと言われておりまして、これが起こってしまったらもう限界だろうといままで考えられていたわけです。したがって、今後10年、20年でどうなるだろうかと

ということが物理的にも興味がありますし、半導体産業の将来を考えるうえでも非常に重要なポイントになってきます。きょうはこのあたりを、お話しすることになります。

(スライド4)

小さくなってきていると申しましたけれども、何が小さくなっているのかということをごくごく簡単に表したのがこのグラフでございます。これは代表的なMOSトランジスタの断面を極めて模式的に書いたものです。ソースと呼ばれている部分とドレインと呼ばれている部分の間を電子が流れます。この電子の流れをゲートでコントロールするというのがMOSトランジスタの基本でございます。矢印で書きました部分がゲート長とよばれるゲートの長さでございますが、ゲート長を短くすればするほどトランジスタが高速で動作することがわかっています。したがって、この断面をシュリンクしたい、小さくしたい、これが過去30年間にわたる半導体デバイスの開発の指針であったわけです。

(スライド5)

なぜ小さくするのだろうかということを改めて考えますと、半導体のデバイスの世界は、「スケーリング則」と呼ばれている非常に有名な法則がございます。この法則は、1974年にIBMのグループが発表したものですが、物理法則に基づくしっかりした法則でございまして、「小さくすると速くなる」ということがこれからわかります。

簡単にそのさわりを書いてございますが、例えばトランジスタの寸法、先ほど申しましたゲートの長さですとかゲートの幅をK分の1にします。Kと書くとよくわかりませんので、例えば2分の1にします。これはKが2の場合を考えていることになります。また、横方向だけではなく、縦方向の深さや膜厚も同じく2分の1にします。すると、なんと遅延時間が2分の1になります。要するに回路のスピードが2倍になるのです。しかも電力は4分の1になり、パワーが減るということになります。しかもトランジスタ数も増やすことができますので、集積度が上がるということになります。

これは、よく考えますと本当に魔法のような法則でございまして、微細化をすると、高速化と低消費電力化と高集積化が同時に達成できるという打ち出の小槌のような非常にすばらしい法則です。過去30年間ほぼこの法則に従って半導体デバイスは小さくなってまいりました。

ただ、簡単にこの法則が守られてきたわけではありませぬ。技術的に非常に難しい点がたくさんありまして、技術開発は30年間を要しているわけでございますが、ほぼこの法則に従って小さくなってきています。したがって、小さくしさえすれば性能が上がるというのが半導体でござい

ます。いかに小さくするかということが問題だったわけです。

(スライド 6)

小さくした結果、どの程度のものできているかというのをここに表しました。これはアメリカのインテルという世界最大手の半導体メーカーがパソコン用につくっている Pentium 4 というチップです。0.13 μ m というリソグラフィの技術を使って、ゲート長は 60 nm まですでに小さくなってきています。すなわち、100 nm を切って、まさにナノメートルになっています。また、なんと 1 チップの中に 5500 万個のトランジスタが集積されているのです。

パソコンを好きな方はご存じだと思いますけれども、動作周波数は、いまや 2.2 ギガヘルツで、最近 2.4 ギガも出ました。非常に速い動作周波数が達成されています。

(スライド 7)

インテルの創始者の 1 人が、「ムーアの法則」という、これもまた非常に有名な法則を 30 年程度前に発表していますが、このムーアの法則は経験則でございます。物理法則に関係ない法則でございます。要するに 30 年前に、こうなるだろうという予測をしたということです。トランジスタは 1.5 年から 2 年ごとに、だいたい 2 倍に増えていく、集積度がどんどん上がっていくということを予想したわけでございますけれども、まさにそのとおりに、このようにトランジスタ数が年を追うごとに増えてきています。いまや 1 億個に迫る勢いになってきています。

皆さんパソコンをお持ちの方は多いと思いますけれども、昔であれば、スーパーコンピュータでしかできなかったような計算が、即座にパソコンでできてしまう、そういう世界に発展してきているわけでございます。

(スライド 8)

これもインテルのホームページから引っ張ってきたデータでございますが、過去 10 年ぐらいでどのくらい進歩したかを書いた指標でございます。

1990 年は、「486 プロセッサ」というプロセッサで、まだペンティアムという名前のものでなかったのですが、33 MHz でした。当時として 33 MHz というとすごく速いと思ったものですが、12 年後の現在、2.2 GHz になっています。約 10 年間で 100 倍に動作周波数が上がったことになります。動作周波数が上がったということは、同じ処理をする時間が 100 分の 1 で済んでいるということでございます。スピードが 100 倍になったということでございます。

その内訳はといいますと、これはインテルの非常におもしろいデータだと思いますけれども、約 100 倍のうち 20

倍はプロセス技術で達成されています。要するにトランジスタが微細化した効果が圧倒的に大きく、それ以外にもコンピュータのアーキテクチャーやコンパイラ技術でももちろんパソコンの性能は上がってきているのですが、ほとんどが半導体の技術だということになります。半導体が微細化されたことによって——微細化係数はここに書いてございますが、だいたいゲート長で 17 分の 1、ゲート酸化膜圧で 13 分の 1 でございますが、これだけ小さくすることによって飛躍的にマイクロプロセッサの性能が上がってきたということがわかります。このように微細化の恩恵というのはすばらしいものがあるのです。

(スライド 9)

一方、研究レベルでは、どのくらい小さいトランジスタができていたのかというものをここに書きました。非常に有名な仕事として 1993 年に東芝のグループが 40 nm のトランジスタをつくりました。これは非常に有名な、非常に大きな成果だと思いますけれども、その後しばらく学会発表レベルで小さいトランジスタというのはなかなか出てきませんでした。2000 年の 12 月にインテルが 30 nm を発表しました。これは非常に大きなニュースになりました。と思いましたが、その後どんどん小さくなりまして、1 年で半分になってしまったということで、いま一番小さな CMOS トランジスタは、アメリカの AMD という会社が昨年 12 月に発表した 15 nm です。ついにトランジスタのサイズが 15 nm になってしまったということで、本当にシリコンはナノテクノロジーなのだということがわかるかと思えます。

(スライド 10)

このように半導体は小さくなることで性能を上げ、その性能が上がったことで新しい産業を切り拓き、新しいマーケットを拓いてきて、どんどん大きくなってきた、それが半導体産業でございますけれども、今後どうなるだろうかということやだれしもが心配したり、あるいは期待をするわけです。それを表す指標として非常におもしろい本が作られております。これを「半導体ロードマップ」といって、昨年 12 月に作られたものをもってまいりました。ここに半導体の今後 15 年間のほぼすべてのことが書かれています。

これはもともと 92 年に最初にアメリカで作られたものです。当時アメリカは半導体が弱かったものから、日本にキャッチアップするために、こういうものをアメリカ国内で作って、一丸となって国策として半導体に力を入れようということで作られたものです。今は全世界で一緒に作られています。トランジスタのサイズから設計の仕方、テストのやり方、パッケージング・実装、工場のつくり方、

環境への配慮, そういうことまですべてが網羅されています。

92年につくられましたけれども, 約2年おきに改訂されておりまして, 2001年版が昨年に出ました, 現在2003年版を作るという準備が全世界で進んでいます。私もそのロードマップの委員会に参加させていただいて, トランジスタの部分について意見を述べているところです。

この半導体ロードマップを見ますと, 将来のことが書いてあるわけです。ところが, 予測あるいは目標値ですので当たるとはかぎりません。またこうなってほしいという期待値と, こうあるべきだという物理の法則からくるものとの話し合いで決まりますので, 必ずしも辻褄が合わない部分もあり, ある程度妥協の産物でもございます。これをながめると色々なことがわかるのです。本日はそれを少し紹介したいと思います。

(スライド 11)

これは半導体ロードマップのテクノロジー Node と呼ばれているリソグラフィの値で決まる値です。リソグラフィの最小線幅に相当します。これは, DRAM と呼ばれているメモリではゲート長にほぼ相当しているものでございます。

これは1994年に出されたバージョンの予測値でございます。これは最初に私がお見せしたグラフとだいたい一致しておりまして, 94年の時点では, このように将来, 微細化が進んでいくであろうと予測されていたわけです。ところが予測は外れます。現在, テクノロジー Node がどこにいるかということ, 2002年でここにあります。したがって, 94年の時点よりも実際には早く微細化が進んだことがこれからわかるわけです。

94年以降のバージョンが約2年おきに出ています, 新しいバージョンが改訂されるたびに少しずつ予測が前倒しになってきています。これは97年バージョン, 99年バージョン, 2001年バージョンです。バージョンが改訂されるたびに1.2年前倒しになってきています。おもしろいことに, もともとこれは将来のトレンドを議論するものですが, バージョンのトレンドというものが存在しそうだということで, 次もまた1.2年前倒しになるかなという気がいたします。というわけで, 94年時点でも予測は非常に甘く, しかも97年の時点の予測も甘かったということで, 世の中は急速に進展しているということがこれからわかります。

これはDRAMというメモリのゲート長に相当すると申し上げました。それではマイクロプロセッサはどうかと申しますと, 現在のマイクロプロセッサのゲート長をここにプロットしますと, なんとここにきます。DRAMとマイクロプロセッサがとても乖離しているということがわかり

ます。マイクロプロセッサに限って言うと, ゲート長だけをものすごく微細化して高速化しようという戦略を最近各社がとってきているということになります。

(スライド 12)

したがって, マイクロプロセッサのゲート長という新しい項目をつくる必要が生じてきました。それが99年バージョンからですが, MPUのゲート長に関しては, 99年バージョンでこんな線が引かれました。DRAMよりも数割短くなるだろうということです。その2年後の2001年バージョンではこんなに小さくなると予測されています。99年時点での予測が見事に外れたということです。インテルを中心とするマイクロプロセッサメーカーはものすごい勢いで微細化をしていることがこれからわかります。

(スライド 13)

このスケールで書きますと, 下がはみ出してしまいますので, 書き直しますと, このようになります。一番最近に出た2001年バージョンでは, MPUのゲート長が, 15年後の2016年に9nmになる, すなわち, ついにナノメートルの1桁, 9nmになるということがこの本にしっかりと書いてあります。これも当たるかどうかもちろんわかりませんが, 少なくとも半導体の技術者はこうなるだろうと信じております。

しかも, 先ほど申しましたようにロードマップのトレンドがございまして, もう少し早くなるかも知れませんが, 10nmに達する時期は2016年と考えていると大間違いかも知れません。2010年ぐらいにはくるのではないかとということで, 今のうちから準備を進めていく必要があるという私は考えております。

(スライド 14)

そのほかにもいろいろなロードマップの指標がございすけれども, 特に予測がはずれたパラメータをみてみましょう。例えばチップサイズです。半導体チップのサイズは昔はとても小さかったのです。数ミリだったのですが, 最近では1.5cm, 2cm角があたりまえになってきております。過去のトレンドを踏襲しますと, チップサイズは将来的にものすごく大きくなるのではないかと予想されていたのですが, 最近では, さすがにそんなことはないということで, 大修正がなされてきております。この理由は, 歩留まりが上がらないという点と, パワーの点です。チップサイズがここまで大きくなりますと, トランジスタ数が格段に増えますので, パワーがどうしても増えてしまい, そのパワーを抑えるためにトランジスタ数も抑えなければなりません。少ないトランジスタ数で高い性能を出すという方向に転換しなければいけないという, その表れでございま

す。

(スライド 15)

次に動作周波数です。これはマイクロプロセッサのスピードを表す指標でございますが、これはまた大きく予測が外れまして、94年時点ではこの程度だろうと予想されていましたが、実は1999年にあっさりと超えてしまいました。ものすごい勢いでマイクロプロセッサは進歩しているということです。

(スライド 16)

チップの消費電力も増えております。2001年バージョンでは、200Wを超えてもかまわないということで、ものすごい予測値がひかれております。高々1cm角のチップが200Wの消費電力を出すというのは、熱のことを考えたことがある方であれば、いかにすごいことかということがおわかりいただけるかと思えます。当然触ることはできません。熱対策をしないと100°Cを超えて、おそらく150°C、200°Cに近い温度になってしまうと思われま

す。それから、ローパワーのほうもまた非常に進んでおりまして、同じ性能でもずっと低い消費電力で、昔考えられていたよりも低い消費電力で達成できるだろうと考えられております。このように、ロードマップの中を見ますと、特に過去のロードマップと比べることで最新情報がわかり、非常におもしろいと思えます。

(スライド 17)

以上、まとめますと、微細化競争が非常に盛んで、特にマイクロプロセッサなど競争の激しい世界ほど微細化が進んでいます。それから、台湾などの新興勢力は微細化を一気に進めて主導権を握ろうとしています。

それから、以前よりもずっと速く性能が上がっているということです。昔はシリコンではできないだろうと思われていた非常に高度な計算処理などが、シリコンでたぶん可能になるだろうということがロードマップからわかります。したがって、シリコンこそ大部分の情報基盤を担い、シリコンで情報基盤技術が可能になるだろうと考えられます。私は色々なところで、「シリコンこそ戦略技術である」と述べています。

それから、いまのロードマップでもわかりましたように、昔は半導体のデバイスの種類はそう多くなかったのですが、DRAMとMPUが明らかに分かれてきました。それから高速トランジスタと低消費電力トランジスタもロードマップでまったく別の表に書かれてまして、二分化してきているといえます。このように、アプリケーションによってデバイスが多様化してきているということがここからわかり

ます。

では、日本の強みは何だろうかということ、日本の強いところに特化するような、そういう戦略が求められてきていると思います。

(スライド 18)

それから、きょうはあまりビジネスのお話をするつもりはないのですが、最近日本の半導体というのは非常に暗いニュースが多くて、完全にアメリカ、ヨーロッパ、韓国、台湾、中国に押されています。日立と三菱が提携をして半導体を分社化し、NECは半導体を分社化しますということで、ネガティブにとらえる向きが非常に多いようです。私はこれをプラス指向に、チャンスだということにとらえております。

と申しますのは、これも新聞記事でございますが、日本経済新聞に、NECが半導体を分社化するという発表して、アメリカのアナリストが、分社化された半導体会社の時価総額の将来を占ったところ、NEC本体よりも高いことがわかったという記事が書かれていました。技術はあるのです。ですから、ビジネスをうまくやれば日本の半導体の技術をもってすれば必ずいいビジネスができると思えます。

世界を見渡しますと、インテルは相変わらずものすごい高収益を上げています。韓国のサムソンも昨年度、史上最高益を上げたということで非常にいいビジネスをしているわけです。分社化して身を軽くすれば必ず日本の半導体は伸びるだろうと考えております。

微細化に関する考え方ですが、いろいろな会社が、特にアメリカと台湾のグループがものすごい勢いで微細化してきて、日本のなかには、どうしてこんなに急いで微細化するのだろうという声が聞こえてきます。1社でも微細化に成功すれば、それがスタンダードであるという厳しい競争の世界です。したがって、競争が続く限り、おそらく行き着くところまで行くだろう、限界までいこうと私は考えております。したがって微細化は必須です。微細化はすべての情報機器のエンジンに相当するものですので、それを日本がやらないというわけにはいかないと思えます。車にたとえますと、トヨタがエンジンを自分のところで作らなくなるようなものだと考えております。ぜひ最先端の微細化を必ず日本でやってほしいと私は考えております。

日本の強みを考えますと、モバイルを中心とした低消費電力の情報端末機の類、その発展系というのが非常に今後見込まれます。私は10年後をにらんで、10nmのCMOSの開発というものを今から着手すべきだという提言を最近まとめました。

(スライド 19)

いよいよ、どこまで小さくなるかという話です。微細化限界論というのは30年前からありました。半導体が微細化を始めたところから心配する方がいて、そろそろだめなのではないかということを書いていたわけです。ところが、ことごとく限界論というのは打ち破られて、いまや60 nmに達してしまったわけです。したがって、技術の進歩はなかなか止められない、しかも、限界があると思っても技術が進歩して軽く超えてしまうということが過去30年間起こってきているということになります。

最近では、半導体の微細化限界を議論するのは非常に危険だという認識になってきています。技術限界を唱えても破られてしまうということで、最近限界論を唱える人は少なくなりました。どちらかという技術限界ではなくて物理限界を議論しようという世界に入ってきています。

(スライド 20)

「物理限界」は、これまたいろいろ議論されております。例えば半導体は非常にマクロな性質でいままでも動いてきていましたけれども、そういうマクロな性質が消えて量子効果のようなものが見えてきます。あるいはドーパントの数、不純物の数が少なくなってきており、もう数十個の世界になってきています。ディスクリートのドーパントの影響がみえてくると、もう動作しないのではないかと、そういう物理的な限界が最近議論されています。

もともとは、こちらの「技術的な限界」の議論のほうが主流でした。つくれないとか、微細化しても特性は向上しないとか、要するにある時点での技術水準を仮定して、この技術水準ではこれはできない、という考え方です。確かにいろいろな障壁があって大変難しく、微細化で主導権を握るのは大変なのですが、おそらく半導体のメーカーのすべての方が英知を結集すれば、このあたりは必ず克服されるのではないかと思います。

もう一つ心配なのが「経済的限界」です。つくれるけれども、コストが格段に高くなってしまいう問題です。小さくすれば性能は上がりますが、性能が上がるよりもずっとコストが上がってしまって、だれも買ってくれないという状況です。これも技術的な限界と絡んでいまして、技術が進めば安くなるという可能性がありますが、「経済的限界」が先に来る可能性を指摘する方が比較的多いようです。

(スライド 21)

量子効果にはどのようなものがあるかということですが、現在のMOSトランジスタでは、量子効果は、はっきり申し上げて悪い効果でございます。量子効果といいますのは、電子が波の性質を持つということです。例えば酸化

膜があると電子はそれを壁のように感じ、物理的な壁が本当に存在すれば、当然粒子は壁を通り抜けて向こうに行くことはできません。ところが量子効果の世界では、この電子というのは波です。波というのは、このトンネルをスルッと抜けることができます。この壁が非常に薄くなってくると、トンネル効果によって至るところにリーク電流が流れてしまいます。これがトンネル効果です。ただし、これも材料を変えたり構造を工夫することで克服できる可能性が残されています。最近非常にホットな話題でございます。

(スライド 22)

これはドーパントでございますけれども、半導体は不純物というもので制御されているのですが、その不純物の数が小さくなってくると数個になってしまいます。5個とか6個の世界になりますと、5個入っているものと6個入っているもので当然特性が変わってきます。したがって、ばらつきが増えてしまって集積ができなくなるということです。ただし、不純物を使わないやり方も最近考案されていて、物理限界も新たな技術開発で克服されてくる可能性が残されています。

(スライド 23)

最近最も有力な限界と思われているのは、ソース・ドレインの間の直接トンネルというものです。トランジスタは、ソースとドレインの間の電流をゲートでコントロールするという基本ですが、ゲートでコントロールするまでもなく、スルッと量子効果で抜けてしまう、こうなったらもうゲートでコントロールできないので、MOSトランジスタにならないというのが最も確からしいと現在言われています。ところが、これもわかりません。もしこれが起こるとするとゲート長は5 nm程度です。まだだいぶ先であるということがこれからわかります。

でも、本当の限界は原子スケールかもしれません。原子まで小さくなったら、原子間距離はだいたい0.3 nmですので、まだまだ先はあると考えられておりまして、限界が来るのは、私自身はもう少し先だと考えています。

(スライド 24)

きょう申し上げたいことの一つは、「微細化の限界はシリコンの限界だろうか」ということでございます。さまざまな場で「ポストシリコン」という言葉がキーワードになって議論されています。ナノテクノロジーの新聞報道などを見ますと、最初に必ず「シリコンは10年後に限界を迎える」と枕詞のように書いてあるわけですが、本当に限界を迎えるのだろうかということです。私の意見はこうでございます。

(スライド 25)

「微細化限界がシリコンの限界ではない」．微細化しなくなったらシリコンは終わりではありません．微細化以外の方法でシリコンは進化するという事です．

例えば材料を変えましょう，構造を変えましょう，3次元的に集積していきましょう．あるいは回路のほうまで考慮に入れると回路や並列化，いろいろな方法ございます．ここでキーワードになってくるのが「シリコンナノテクノロジー」でございまして，小さくなくてもその物理現象によってさらなる性能アップを図る，そういうアプローチも残されています．したがって，「微細化限界＝シリコンの限界ではない」とぜひ主張させていただきたいと思いません．

(スライド 26)

ナノ構造では一体何が起こるかということですが，大まかに分けて二つの現象が起こります．半導体を非常に小さくしていきますと，原子の波としての性質が現れます．先ほど申しました量子効果でございます．

一方，まったく正反対の性質として，波ではなくて電子は一個一個数えられるという粒子としての性格が現れてきます．それがいわゆる単電子と呼ばれている，電子一つ一つのふるまいが見える効果でございます．この二つがナノ構造特有の物理現象で，シリコン以外の半導体で非常によく研究されているテーマでございます．

私自身は，これをシリコンでやったらどうなるのかと考えてきました．シリコンでこのようなことを考えている方は比較的少なかったものですから，これを考えて，将来のLSIの突破口にしていきたいと考えているわけです．

(スライド 27)

例えば，悪いと思われていた量子効果を使って，しきい値電圧を制御したり，その移動度を増大させて性能アップを図るというような話，あるいは単電子デバイスを使って電子一個一個でものすごく消費電力の低いデバイスを実現したり，あるいは整数個の電子を使ってばらつきを抑制したりする研究です．電子の数は整数個です．必ず1個，2個，3個で途中がないわけです．1.5個というのはないのです．その効果を利用して電子数の正確な制御でばらつきを抑制するというような，色々なアプローチが考えられております．今日は，その中からシリコンの単電子デバイスというものを紹介させていただきたいと思いません．

(スライド 28)

単電子トランジスタ，単電子デバイスというものはかなり古くから物理学者が研究してきています．シリコンでこういう研究がなされるようになったのは比較的最近で，93

年ぐらいからでございます．

簡単に原理を申し上げます．小さくなるとこんなことが起こるとい原理でございますが，例えば電流の流れ道の中へ，このようにドットと呼ばれているものをつくります．ソースとドットの間は一応分離されているのですが，この距離が短ければトンネルはできるというような状況をつくります．このドットが非常に小さいと，仮に1個電子がここに入りますと，電子はチャージをもっておりますので，自分自身のチャージによって，このドットはエネルギーが上がってしまいます．マイナスに帯電されるということでございます．

このドットがマイナスに帯電されますと，2個目の電子がクーロン反発力を受けて入れなくなってしまうという現象が起こります．これをクーロン反発力で電子が入っていかないということで，「クーロンブロックード」というように呼びます．

ブロックされますと電流が流れなくなってしまいます．ゲート電圧に対して電流が流れないというところが発生します．ただし，ゲート電圧をうまくコントロールしてやりますと，2個目入ってもよいという条件になります．そうしますと電流が流れます．

さらにゲートを変えてやると，電子数は2個でなければならず，3個目は入れないという条件になります．そうしますとまた電流が流れなくなります．このようにゲート電圧に対して電流が振動するという現象が起こります．これが見られるのはドットが非常に小さいときか，あるいは熱エネルギーの擾乱を受けないごくごく低温，絶対零度に近い低温です．その二つの条件でこの現象が見られます．

ただし，このドットをものすごく小さくすると，この現象は室温でも見ることが出来ます．私どもこういう構造のトランジスタをつくってみました．

(スライド 29)

これがトランジスタの写真でございます．予想どおりこのように大きな振動が見えます．

(スライド 30)

ふつうのトランジスタは，ゲート電圧に対して電流は直線的に増加する一方のはずですけれども，このような現象が起こると振動します．一度上がったものがまた下がります．この緑で書いたものが室温のデータです．室温でこれだけ大きな振動が見られる例は，世界的にはまだ数が少ないのですが，この現象をぜひ使って何か新しいものをつくっていきたくて考えております．

(スライド 31)

その一つの例です．半導体のデバイスが処理をするとき

に、どのぐらいのエネルギーを使っているのでしょうか。このエネルギーが少なければ少ないほどローパワーデバイスです。例えば携帯電話で言いますと、電池が長持ちをするわけですが、そのエネルギーを考えると、簡単にこういう式で与えられます。

一方、ではそのトランジスタの中に電子が何個あるかという電子数はこのような式で与えられます。実はこのエネルギーと電子数の式はほぼ同じです。

どういうことかと申しますと、消費するエネルギーを小さくしようと思ったら、電子数を減らせばよいということです。したがって、電子一つで動く単電子トランジスタというものは究極の低消費電力デバイス、これ以上消費電力の低いデバイスはないという、そういうデバイスでございます。これがうまく実現されて、集積化されて、LSI になってくると、非常に低消費電力の集積回路ができるだろうと考えられます。これをぜひ LSI の中に融合させたいというのが私の将来的な研究のターゲットでございます。

(スライド 32)

シリコンでも、このようにドットをつくることができまして、これを使いますとうまくメモリ効果を出すことができます。これは私どもの室温でのメモリの特性例でございます。

(スライド 33)

これの応用は、非常に低消費電力のメモリができるということに加えて、電子数の制御ができるということです。先ほど少し申し上げました。これは、このドットの中に平均的に電子が何個入っていくかというものを計算したものでございます。理想的に、もしすべてのドットが同じサイズでできていけば、あるゲート電圧で一斉にドットに電子が入っていきます。また、あるゲート電圧で一斉に2個目が入ります。あるゲート電圧に対して電子数の平均値がフラットになるのです。

これは何をいっているかと申しますと、仮に電圧がばらついても電子数は一定であるということです。また、ドッ

トサイズが少々ばらついても、フラットな部分が残りますので、サイズのばらつきや、あるいはノイズみたいなものに左右されない、ばらつきに非常に強いデバイスができる可能性が残っているということでございます。このような効果をぜひ使って LSI の限界の打破に挑戦したいと考えております。

(スライド 34)

これも簡単な模式図ですが、現在の LSI は、傾向として、一つのチップの中にメモリやプロセッサやアナログ回路など、色々なものが集積化されてきていて、これらはすべて CMOS ベースでできています。将来的には CMOS に、例えば単電子のメモリとか、量子効果を利用したデバイスなど、こういうものが集積されて、CMOS 以外のものが徐々に入っていくって機能がどんどん高まる、こういうようなビジョンを持ったデバイスができてくるのではないかと思います。10 nm CMOS の次にこういう世界が来ると私は考えております。

(スライド 35)

本日のまとめでございますが、まず最初に、シリコンのデバイスのトレンドとそのロードマップについてお話いたしました。微細化が非常に加速してきて競争が激しくなっています。しかもデバイスが多様化してきており、強みをいかしたアプリケーションを指向した微細 CMOS の開発が必須になってくるだろうと考えております。

それから、微細化限界でございますが、技術的な限界は必ず打破されるということで、まだまだシリコンは伸びます。仮に微細化の限界がきても、それはシリコンの限界ではないと考えております。

最終的には、さらに進んでナノ構造の物理現象を利用しますと、夢のようなわくわくするような物理現象がいろいろ起こってきます。それを LSI の世界に応用していきたいと考えております。

以上でございます。どうもありがとうございました。

(了)