

博士論文

垂直入射型アバランシェフォトダイオードの高速高感度化に向けた
素子設計およびその光通信応用に関する研究

名田 允洋

目次

- 1 序章
- 2 本研究の背景と目的
 - 2.1 社会的背景
 - 2.2 光通信における光レシーバ
 - 2.3 アバランシェフォトダイオード
 - 2.4 本研究の目的
- 3 アバランシェフォトダイオードの設計・作製・特性評価方法
 - 3.1 基本設計
 - 3.1.1 ドリフト拡散モデル
 - 3.1.2 インパクトイオン化ローカルモデルとノンローカルモデル
 - 3.1.3 利得帯域積
 - 3.2 作製手法
 - 3.2.1 結晶成長および結晶性評価
 - 3.2.2 ウエハプロセス
 - 3.2.3 モジュールへの電気実装および光学実装
 - 3.3 評価手法
 - 3.3.1 I-V 特性
 - 3.3.2 C-V 特性
 - 3.3.3 利得-帯域特性
 - 3.3.4 ビットエラーレート特性
- 4 垂直入射・反転型アバランシェフォトダイオードの設計
 - 4.1 アバランシェフォトダイオードの一般的な構造と課題
 - 4.1.1 垂直入射型
 - 4.1.2 導波路型
 - 4.2 ハイブリッド光吸収層によるキャリア輸送時間の低減と高感度化
 - 4.2.1 PIN 型光吸収層
 - 4.2.2 単一キャリア走行 (UTC) 型光吸収層
 - 4.2.3 ハイブリッド光吸収層
 - 4.2.4 ハイブリッド吸収層を有する APD
 - 4.2.5 増倍電流成分を考慮した APD の応答特性

- 4.3 反転型アバランシェフォトダイオードの設計指針
 - 4.3.1 多段メサ構造
 - 4.3.2 Low-high-low 電界強度プロファイル
- 4.4 反転型アバランシェフォトダイオードの基本動作の確認
- 4.5 まとめ

- 5 反転型アバランシェフォトダイオードの Lateral Scalability と電界狭窄効果
 - 5.1 トリプルメサ構造
 - 5.2 Lateral Scalability
 - 5.2.1 素子容量による評価
 - 5.2.2 暗電流特性による評価
 - 5.2.3 高周波特性による評価
 - 5.3 暗電流成分の解析
 - 5.4 まとめと今後の展望

- 6 反転型アバランシェフォトダイオードの高速・高感度化
 - 6.1 100G 級システム (25Gbit/s) 動作に向けた高速・高感度設計
 - 6.1.1 必要な感度・帯域に向けたハイブリッド光吸収層の設計
 - 6.1.2 利得帯域積の向上に向けた増倍層設計
 - 6.1.3 作製した素子の特性
 - 6.2 超 100G 級システム (50Gbit/s) 動作に向けた高速・高感度設計
 - 6.2.1 50Gbit/s 動作に向けた課題
 - 6.2.2 超高速・高感度応答に向けたハイブリッド光吸収層の設計改善
 - 6.2.3 感度、帯域の最適化に向けた素子スケールリング技術
 - 6.2.4 作製した素子の特性
 - 6.3 まとめと今後の展望

- 7 反転型アバランシェフォトダイオードの光レシーバへの応用
 - 7.1 100Gbit/s イーサネット応用に向けた 25Gbit/s アバランシェフォトダイオード光レシーバ
 - 7.1.1 実装形態
 - 7.1.2 光レシーバにおける特性
 - 7.1.3 ビットエラーレートおよび伝送特性
 - 7.2 100Gbit/s 光パケットルーター応用に向けた 25Gbit/s アバランシェフォトダイオード バーストモード光レシーバ
 - 7.2.1 100Gbit/s 光パケットルータの構成と光レシーバへの要求条件

- 7.2.2 バーストモード光レシーバの実装形態
- 7.2.3 バースト応答特性
- 7.2.4 ビットエラーレート特性
- 7.3 超 100G システムに向けた 50Gbit/s アバランシェフォトダイオード光レシーバ
 - 7.3.1 実装形態
 - 7.3.2 光レシーバにおける特性
 - 7.3.3 ビットエラーレート特性
- 7.4 まとめと今後の展望

8 結論

- 8.1 本研究のまとめ
- 8.2 今後の展望
 - 8.2.1 多値変調動作に向けたアバランシェフォトダイオードの高線形化
 - 8.2.2 更なる高速高感度動作に向けた利得帯域積の拡大

第1章 序章

近年のモバイルネットワークやクラウドネットワークの普及、およびそれらのネットワークを利用したデジタルコンテンツの高度化に伴い、データセンタ内外等の近～中距離におけるネットワークトラフィックが顕著に増加している。これら近～中距離のネットワーク容量の拡大を目的として、これまで米国の The Institute of Electrical and Electronics Engineers, Inc. (IEEE)では、1 伝送媒体あたり 100 Gbit/s までの伝送容量を保証する 100 Gbit/s イーサネット (100GbE) が標準化されており、更なるデータセンタ内外のネットワークの大容量化に向け、200 Gbit/s イーサネットや 400 Gbit/s イーサネットが議論されている。いずれにおいても、データセンタにおける伝送装置の高密度集約、および大容量化に伴う顕著な消費電力の増大を避ける為、これらのイーサネットの光トランシーバへの要求条件としては、小型、低消費電力であることが大前提となる。

100GbE においては、伝送距離 2 km から最大 40 km までを、シングルモードファイバ (SMF) を用い、1 レーンあたり 25 Gbit/s、LAN-WDM 波長を用いた 4 レーンの構成により、1 ファイバあたり 100 Gbit/s の伝送容量を保証している。伝送距離 2 km や 10 km であれば、100GbE のトランシーバ構成としては、Electro-absorption modulator (EAM)を集積した分布帰還型レーザ(EML) または直接変調レーザ(DML)を光トランスミッタとして、PIN 型フォトダイオード(PIN-PD)を受信器として用いればよいが、伝送距離を 40 km まで保証することを考えると、PIN-PD の受光感度は不十分である。そこで、受信器に半導体光アンプ(SOA)を集積することにより、信号光が PIN-PD に入射する手前で、信号光を増幅することが考えられる。しかし SOA は、通常受信器を構成する PIN-PD、および Trans-impedance amplifier (TIA)と比較しても大きな消費電力を有するため、光トランシーバの小型、低消費電力化が困難になる。

また、超 100GbE においては、光トランシーバの小型低消費電力化の観点から、単純に 25 Gbit/s のレーンレートを適用し、レーン数を拡大するアプローチは困難であり、1 レーンあたりのビットレートの拡大が要求される。1 レーンあたりのビットレートが拡大した場合、光トランスミッタの消光比の劣化や変調速度の劣化、光レーザの受信感度の劣化、更には光ファイバ内における分散の影響による信号品質の劣化により、1 レーンあたり 25 Gbit/s を採用した 100GbE と比較して、顕著な伝送距離の縮減が予測される。この為、たとえば 10 km の伝送距離を確保するためにおいても、デジタルコヒーレント方式等の直接検波に依らない検波方式の採用や、SOA やファイバアンプなどの光増幅の技術が必要とされる可能性がある。しかし、これらの方式や光増幅器の採用は、100GbE までの単純な光トランシーバと比較して大規模な電気信号処理や光増幅の集積が必要とされ、光トランシーバの小型低消費電力化が困難になる。

アバランシェフォトダイオード (Avalanche photodiode; APD) は、素子そのものが増幅作用を有するため、PIN-PD と比較して高感度での光受信が可能な受光素子である。PIN-PD においては、半導体光吸収層において入射する光子を電子に変換するため、その量子効率 は 100%が限度であるが、APD においては半導体光吸収層において光電変換されたキャリアを素子内で増倍するた

第1章 序章

め、100%を超える量子効率が可能になる。更には、APDは素子のサイズは一般的なPIN-PDと同等のサイズで作製することが可能であり、また消費電力も、光トランスミッタにおけるレーザダイオードやドライバ、受信器におけるTIA等と比較すると、無視できる程度に小さい。これらの優れた特徴から、APDは100Gおよび超100G次世代光通信システムにおいて適用が期待されるキーデバイスである。しかし、APDはこれまで、実用デバイスとしては10 Gbit/sの動作速度までしか実現されておらず、100G級、超100G級光システムに適用するためには、作製プロセスの再現性やモジュールへの実装時のトレランスを確保したまま、飛躍的に高速性を向上させる必要がある。また、APDはPIN-PDと比較して30V程度の高い電圧が必要となるため、信頼性を保証出来得る素子構造が必要である。

本論文では、100G級、および超100G級光通信システムへの適用により、同システムにおける伝送装置の飛躍的な高密度集約化および低消費電力化を実現することを目的とした、高速、高感度APDの設計手法、デバイスの特性、および同APDを用いた光受信器による伝送特性について議論する。

第2章では上述の研究背景についてより詳細に述べる。世界全体の通信トラヒックの動向について述べるとともに、取り組むべき社会課題である、トラヒックの局在箇所について整理する。近年の通信トラヒックの大部分が、データセンタ内、およびデータセンタまでの通信網やデータセンタ間等の近～中距離に集中していることを述べ、更に今後もその傾向は顕著になっていくことを明らかにし、近～中距離の光通信の大容量化および経済化が社会課題となっており、その解の必要性を述べる。その上で、光通信における光レシーバの役割と課題について述べ、本論文の目的となるAPDの目標性能や、設計に向けた要求条件を整理する。

第3章では、基本的なAPDの動作原理や特性の制限要因について述べ、目的とする特性を有するAPDの実現に向けた設計性のある要素について議論する。APDにおける動作速度を決定する、キャリアの輸送機構について整理し、またPIN-PDとは大きく異なる、APD特有の要素である「インパクトイオン化」現象およびAPDの利得と動作帯域のトレードオフの関係について詳細に述べ、高速高利得性を有するAPDを実現するための増倍層設計の設計要素について述べる。また、APDの素子やモジュールの作製手法、それらの評価手法について述べる。

第4章では、目的とするAPDの特性を得るための素子設計上のアプローチを整理し、実際に作製するAPDの素子構造を提案する。一般的なAPDの素子構造として、キャリアの輸送方向および信号光の入射方向がともに基板と垂直となる構造の「垂直入射型」と、キャリアの輸送方向と信号光の入射方向が互いに垂直となる構造の「導波路型」が挙げられるが、キャリアの移動距離と信号光が吸収層を通過する距離を独立に設計できる導波路型が原理的には高速高感度特性を得る上では有利である。一方で、導波路型は微細な導波路プロセスが必要であり、またモジュールに実装する上でも、微細な導波路に入射光を結合する必要があるため、ウエハプロセス、モジュ

第1章 序章

ール実装の両面から、作製トレランスが小さい。垂直入射型はその両面で有利であるが、感度と動作帯域のトレードオフがより顕著である。第4章では、上述のトレードオフを克服し、垂直入射型を採用しながらも高速高感度動作を可能とする「ハイブリッド光吸収層」を提案し、最適設計を行う。また、ハイブリッド光吸収層を適用し、APDの素子作製プロセスを更に簡易化し、動作信頼性も担保する「反転型構造」を提案し、その設計について議論する。

第5章では、第4章において提案、設計した反転型APDを実際に試作し、その特徴的な動作特性について議論する。提案する反転型APDは、半導体層構造の最上部に位置するn型コンタクト層によって形成されるメサの面積で動作領域が決定され、以下の半導体層をどのような面積に加工しても動作領域には影響しないことを実験的に示す。この結果は、提案する反転型APDが、動作状態においては素子の側面に電界が発生していないことを示唆しており、APDの動作信頼性を担保するうえで有利に働いていることを述べる。

第6章では、目的とする100G級光通信システム、および超100G級光通信システムへの適用に向けて、半導体層の層構成や素子構造を最適設計し、25 Gbit/s、および50 Gbit/sにおける高感度動作を可能とする特性が得られていることを実験的に示す。反転型構造を適用することで、25 Gbit/s動作、および50 Gbit/s動作それぞれに向け、半導体層の最上部に位置するn型コンタクト層の面積の変更、およびAPDの層厚を変更するのみの軽微な最適化により、所望する帯域と感度が得られていることを示す。第6章で述べる結果により、反転型APDが、設計性の高い構造であることを示すと同時に、100G級、および超100G級光通信システムにおける光レシーバの高感度化に有望な素子であることを示す。

第7章では、第6章で述べたAPDを光レシーバへと実装し、伝送実験を行った結果を述べる。25 Gbit/sにおいては光アンプを用いず40 kmのエラーフリー動作を実現し、さらに4チャンネルAPDを小型集積した光レシーバにおいても40 km以上のエラーフリー伝送を実証する。1レシーバでのスループットは100 Gbit/sであり、この結果は本APDの100GbEへの高い適用性を示している。また将来の大規模低消費電力スイッチとして有望である100G級光電融合型パケットルータの実現に向け、25 Gbit/sバースト信号に対しても高い感度でのエラーフリー動作を実証する。更に、超100G級システムに向けて50 Gbit/s動作が可能な光レシーバを作製し、実際に50 Gbit/s光信号に対して20 kmのエラーフリー伝送が可能な高感度動作を実証する。

第8章は結論である。本研究のまとめとして、提案したAPDが高速、高感度性、動作信頼性、素子やモジュールの作製の容易性の観点から有望であること、および目的とした100G級、超100G級光通信システムを小型低消費電力で実現できることを述べ、さらに今後の展望として多値変調への適用性と更なる高速高感度化の指針について述べる。

第2章 本研究の背景と目的

2.1 社会的背景

近年のクラウドネットワークやモバイル端末、タブレット端末の普及、更にはそれらを用いた高精度動画配信サービスやオンラインゲーム等のデジタルコンテンツの高度化に伴い、世界中でのネットワークトラフィックは過去に例を見ない急激な成長を見せている。これらのネットワークやコンテンツの発展を支える光通信システムとしては、通信キャリアによって運用され、数100 km～数千 km の伝送距離を保証するラインサイドと呼ばれるコア・ネットワークと、通信キャリアのみならず、データセンタ運用会社等によって運用され、数10 km までの伝送距離を保証するクライアントサイドと呼ばれるメトロ・、アクセス・、およびデータセンタ・ネットワークに大別される。次世代のコア・ネットワークとしては、デジタル信号処理とコヒーレント検波を組み合わせた、デジタルコヒーレント方式による100G級のコア・ネットワークが主流となってきたが、近年のトラフィック増加の傾向の中で特徴的な点は、長距離トラフィックの増加と比較して、比較的短距離のメトロネットワークにおけるトラフィックの増加が支配的になっている点である。図2-1に、2013年から2018年までのメトロトラフィックおよび長距離トラフィックの推移の予測を示す[2-1]。2013年時点で既に、メトロトラフィック量は長距離トラフィック量を上回っており、2018年にはトラフィック全体の63%を占めることが予想されている。2013年から2018年までの間に、メトロトラフィックは長距離トラフィックの約2倍以上の割合で増加を続けることが予想される。

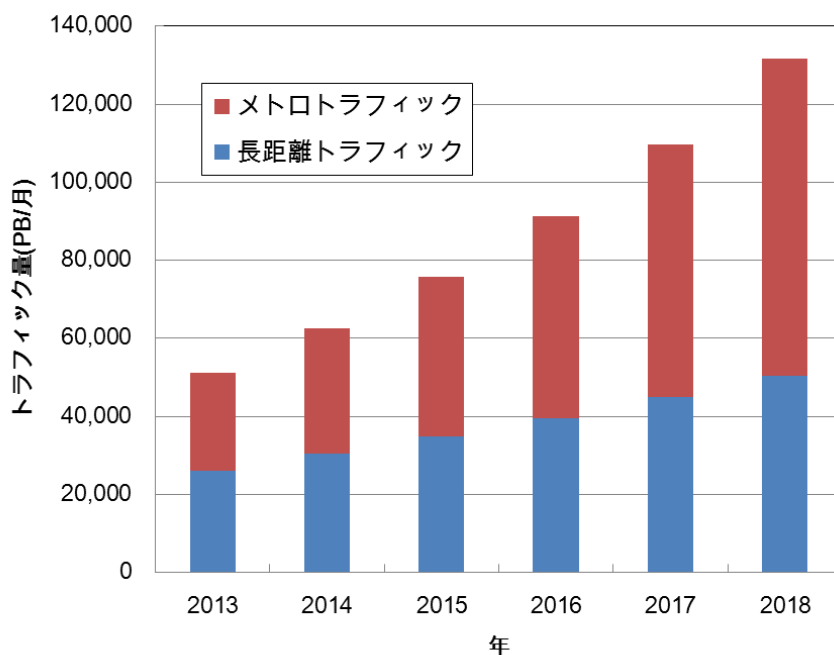


図 2-1 2013 年～2018 年の長距離およびメトロ IP トラフィックの増加予測

第2章 本研究の背景と目的

この様なトラフィックの局在化の中で支配的な要因が、データセンタ内外を介したトラフィックの急増である。2013年から2017年までに、データセンタを経由するトラフィックは440%の増大を示すことが予測されている[2-2]。このように、データセンタ内外における膨大なトラフィックをどのように今後処理するかは、今後の情報社会を継続的に発展する上で大きな問題であるが、同時に、予想されるようなトラフィックを実際にデータセンタが処理する場合、その消費電力も同様に無視できない課題となる。図2-2に、2013年から2018年までのデータセンタ内およびデータセンタ間を含む近—中距離ネットワークにおける消費電力の予測を示す [2-3]。

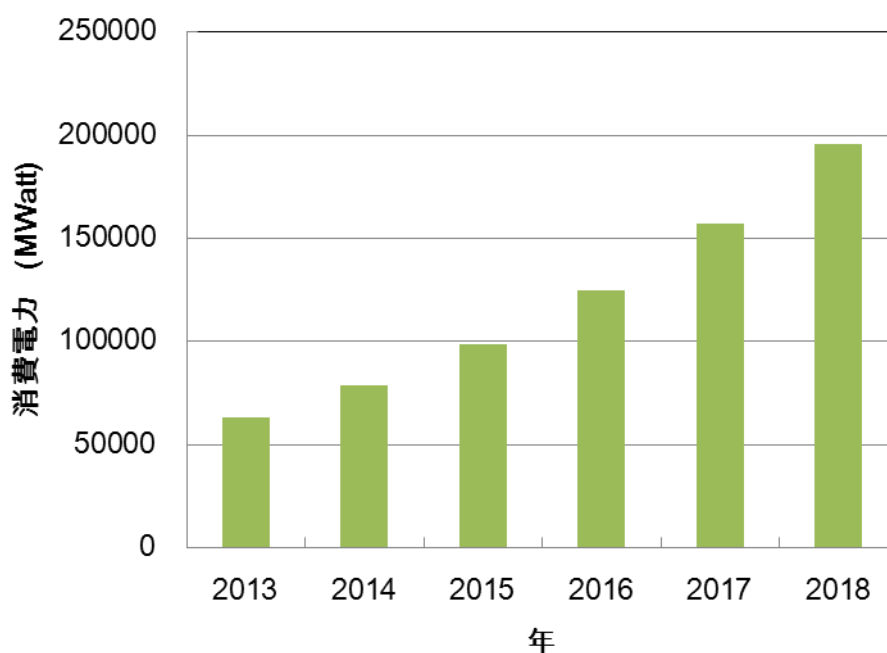


図 2-2 2013 年～2018 年のデータセンタ内およびデータセンタ間を含む近—中距離ネットワークにおける消費電力の予測

2013年と比較して、2018年にはデータセンタ内およびデータセンタ間を含む近—中距離ネットワークによる消費電力は、3倍以上に急増することが予想されている。現在においても、データセンタに関する消費電力は、全世界の消費電力の数パーセントにのぼると言われているが、このままデータセンタに関する消費電力が増大し続けると、その消費電力は、近いうちに全世界の消費電力の10%近くに達することが予想される。このように、将来のデータセンタ内およびデータセンタ間を含む近—中距離ネットワークには、大容量化に加えて、低消費電力化が強く要求される。

このような近—中距離におけるトラフィックの急増に対応するため、2010年にIEEEにおいて、データセンタ内およびデータセンタ間において1ファイバあたり100 Gbit/sの伝送速度で通信を行う“100-Gbit/s Ethernet”(100GbE)が標準化された[2-4]。100GbEにおいては、マルチモードフ

第2章 本研究の背景と目的

ファイバ(MMF)またはシングルモードファイバ (SMF) を伝送路とし、伝送距離 2 km から最大 40 km までを保証する方式が標準化されている。基本的なシンボルレートは 25 Gbit/s であり、4 レーンとすることで1ファイバあたり 100 Gbit/s のスループットを実現することが要求されている。表 2-1 に、現在 IEEE において標準化されている、光ファイバを用いた 100GbE の方式をまとめる。

表 2-1 100GbE における光ファイバを用いた方式

| 名称 | 伝送路 | 波長 | 伝送距離 |
|--------------|-----|---------|-------|
| 100GBASE SR4 | MMF | 850 nm | 100 m |
| 100GBASE LR4 | SMF | LAN-WDM | 10 km |
| 100GBASE ER4 | SMF | LAN-WDM | 40 km |

伝送距離 100 m を保証する、100GBASE SR4 においては、実装コストの小さい MMF が採用されており、また 100 m 程度の伝送距離においてはファイバロスや分散の影響も限定的であるため、波長は GaAs ベースの垂直共振器面発光レーザ(VCSEL)による 850 nm 帯を前提としている。

10 km までを保証する 100GBASE LR4 においては、伝送路として SMF が採用されており、波長は 1295.56 nm, 1300.05 nm, 1304.59 nm, 1309.14 nm の、いわゆる 1.3 μm 帯を用いた LAM-WDM が採用された。これまでの光通信システムにおいては、ファイバロスの影響を低減するため、1.5 μm が採用されることがほとんどであったが、100GbE においては、1 レーンあたり 25 Gbit/s もの高速信号を用いることから、1.5 μm 帯では波長分散による信号品質の劣化が無視できなくなると判断されたためである。また、イーサネットのような、システムとしての廉価性が要求される標準化において、波長多重方式(WDM)が採用されたことも特徴的である。これは、100GbE 以降の超大容量イーサネットが必要とされるようなシステム、すなわちデータセンタ周辺のネットワークについては、その伝送装置の高密度集約が必要とされる為であると考えられる。伝送装置 1 台あたりのスループットを極力高くし、1 つのデータセンタでの処理能力を高くすることで、データセンタにおける空調システムにかかる消費電力等を低減できる。すなわち、WDM 方式を採用し、光トランシーバにより高度な技術を搭載してでも、光トランシーバ 1 台当たりの伝送容量を拡大する必要がある程、データセンタにおける消費電力は現時点においてでも最重要の課題であることがうかがえる。100GBASE LR4 における光トランスミッタとしては、4 つの InP ベースの直接変調レーザ(DML)または電界効果型変調器集積分布帰還型レーザ (EA-DFB, EML) が用いられ、レーザおよびドライバ IC によって生成された 4 波の信号光は平面導波路型合波器または薄膜フィルタによる合波器 (MUX) を用いて合波し、SMF に送られる。受信器としては同様の分波器 (DEMUX)、PIN-PD、および Trans-impedance amplifier(TIA) が搭載されることが一般的であり、SMF から出射した光信号は DEMUX によってもとの 4 波の光信号に分波され、それぞれの信号光が PIN-PD および TIA によって電気振幅に変換される。

伝送距離 40 km までを保証する 100GBASE ER4 においては、用いる伝送路や波長は 100GBASE

第2章 本研究の背景と目的

LR4 と同一であるが、レーンあたり 25 Gbit/s もの高速性を有しながら 40 km の伝送距離を確保することは容易ではない。100GBASE LR4 と同一の光トランスミッタを用いた場合、40 km 伝送後に PIN-PD で受信することは、ファイバロスを考えて困難であるし、光トランスミッタの出力強度を、40 km 分のファイバロスを経た後でも PIN-PD で受信できる程度に上昇させようとした場合、10dB 程度の出力強度の向上が必要になり、これも困難である。コア・ネットワークに用いられるようなデジタルコヒーレント方式を採用することで伝送距離は大幅に改善可能だが、ファイバアンプやデジタル信号処理が必要になるため、消費電力が大幅に上昇することが予想され、現在のデータセンタ内およびデータセンタ間のネットワークが強く要求している、低消費電力性を考慮すると同方式の導入もまた困難である。すなわち、100GbE における 40 km の伝送距離を保証する、100GBASE ER4 を満足させるためには、受信器において大幅な高感度化を実現することが必須条件となる。

一方、100GbE の更に次世代にあたる、400GbE について見てみると、やはり高ビットレート、低消費電力、小型光トランシーバの導入によるデータセンタの高密度集約が強く意識されていることがわかる[2-5]。現在のところ、400GbE における標準化の議論の対象 (Objective) としては、MMF を用いた 100 m、SMF を用いた 500 m、SMF を用いた 2 km、SMF を用いた 10 km までの伝送距離となっている。100GbE の単純な拡張である、25 Gbit/s の 16 レーンによる提案は、光トランシーバの小型化が困難であり、かつ 1 トランシーバあたり 16 個もの光源、IC、受光素子を用いることは消費電力がきわめて大きくなるとの観点から受け入れられなかった。100GbE までの方式と異なり特徴的な点は、多値変調方式 (Higher order modulation; HOM) の導入が積極的に議論されている点である。これは、例えば 100GbE と同様に 4 レーンをそのまま 400GbE に適用した場合、1 レーンあたりのビットレートは 100 Gbit/s にもなり、従来のような non-return-to-zero (NRZ) 方式では現時点での光部品や IC に技術的優位性が無いためであり、比較的規模の小さい電気処理を適用することで、光部品や IC のシンボルレートの上昇を限定的にしつつ、レーンあたりのビットレートを上昇させるためである。実際に、500 m までの伝送距離を保証する方式においては、50 Gbaud、4 波長を用い、さらに変調フォーマットとして 4-レベル パルス振幅変調 (PAM4) を用いることが想定されている。PAM4 を用いても、各レーンの光部品や IC には 50 Gbaud ものボーレートが要求されるが、500 m 程度の距離であれば多少の信号波形の乱れは許容できるとの判断であると考えられる。一方、伝送距離 10 km までの方式においては、25 Gbaud による PAM4、8 波を用いる方式が採用される見込みである。このように、400GbE においては、最低でも 50 Gbit/s の伝送速度が 1 レーンあたりに要求されるようになる。一般的に、光トランシーバにおけるシンボルレートが上昇した場合、光トランスミッタの出力パワーの低減ないしは消光比の劣化、伝送路における波長分散、光レシーバの感度の劣化により、伝送距離は短縮される。100GBASE ER4 同様、ファイバアンプ等の使用によって伝送距離を拡大することは可能であるものの、消費電力や小型性を考慮すると、400GbE 以降における光通信においても、光レシーバの大幅な感度の改善が必要条件になる。

2.2 光通信における光レシーバ

光通信における光レシーバは、主に受光素子にあたる PD、および増幅素子に当たる TIA により構成される。図 2-3 に、典型的な光レシーバのブロック図を示す。光ファイバより入射される光信号を、PD によって電流信号に変換し、さらに後段の TIA によって、増幅された電圧振幅信号に変換される。この際、PD における受光感度は、入射する光信号から電流信号への変換効率を意味しており、受光感度が高い方がより強度の小さい光信号に対して、送信信号をエラーなく復調することが可能になる。光レシーバにおいては、PD において既に光信号から電気信号に変換されているが、光レシーバの後段において、信号の 0/1 判定を行い、更に信号処理を行う上では、PD からの電気出力はその強度が小さい。そこで、TIA によって、PD からの電気信号を増幅し、より大きな電圧振幅に変換する必要がある。光レシーバの後段における電気信号処理では、一定の電圧振幅が必要になるため、TIA の増幅利得は後段の信号処理部の要求する電圧振幅となるよう決められる必要がある。

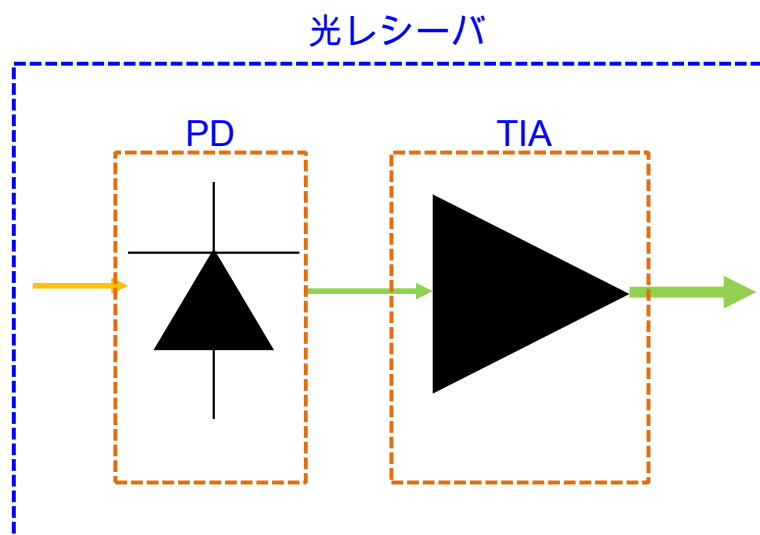


図 2-3 光レシーバのブロック図

一般的な光レシーバの受信感度は、信号成分と雑音成分の比 (S/N 比) によって決められるが、雑音成分はショット雑音と熱雑音に分類される。ショット雑音は、PD や TIA の半導体デバイス内におけるキャリアのランダム性によるものであり、PD の光電流や暗電流、TIA 内を流れる回路電流等によって変化する。これらの電流の和 I によるショット雑音の 2 乗平均電流は、動作帯域幅を B 、電気量を q として、以下で表される。

$$\langle i_{Ns}^2 \rangle = 2qIB \quad (2.1)$$

第2章 本研究の背景と目的

また、熱雑音は抵抗体内のキャリアの熱運動に起因する雑音であるため、抵抗体の抵抗、および熱によるキャリアの平均運動エネルギーに依存する。ボルツマン定数を k_B 、TIA の雑音指数を F_T 、温度を T 、抵抗体の抵抗値を R としたとき、熱雑音による 2 乗平均電流は以下で示される。

$$\langle i_{Nt}^2 \rangle = \frac{4k_B T F_T B}{R} \quad (2.2)$$

一般的な光レシーバの場合、雑音成分は上述の 2 種であり、したがって光レシーバにおける信号電流の 2 乗平均を $\langle i_p^2 \rangle$ とした場合、光レシーバの S/N 比は以下で表される。

$$\frac{S}{N} = \frac{\langle i_p^2 \rangle}{\langle i_{Ns}^2 \rangle + \langle i_{Nt}^2 \rangle} = \frac{\langle i_p^2 \rangle}{2qIB + \frac{4k_B T F_T B}{R}} \quad (2.3)$$

したがって、光レシーバの S/N 比を改善するためには、PD の受光感度を向上させることによって、一定の入力光強度における $\langle i_p^2 \rangle$ を向上させ、かつ光電流以外の成分に起因する電流値を現象させることにより、 $\langle i_p^2 \rangle = I$ の条件に近づけることが重要になる。また、熱雑音については、TIA における雑音指数が支配的になるため、 F_T の小さい TIA を選択することが重要になる。

また上式にあるように、TIA の振幅利得は、本質的に S/N 比には影響せず、あくまでも影響する要因は PD の光電流、暗電流等の余剰の電流、および TIA の雑音指数である。これは、TIA としてどれほど高性能のものを適用しても本質的に S/N 比は PD 部分で決められることを示しており、高感度の光レシーバを実現するためには、高性能な PD が必要とされることがわかる。

100GbE における光レシーバでは、前節で述べたように、WDM 方式を採用しているため、光レシーバ内に DEMUX が集積されている。図 2-4(a)に、基本的な 100GbE 向けの光レシーバのブロック図を示す。DEMUX には、平面光導波路を用いたものや薄膜フィルタを用いたものがあるが、例えば平面光導波路を用いた場合、結合損や原理損により 1-2dB 程度のロスが生じる。また、100GBASE ER4 においては、前節で述べたとおり、光レシーバに大幅な感度の改善が要求されるが、100GbE の標準化の過程においては、半導体光アンプ (Semiconductor optical amplifier; SOA) が合波器の前段に配置されるレシーバ構成が提案された。このブロック図を図 2-4(b)に示す。提案された光レシーバの構成においては、光レシーバに入射した信号光を SOA で 4 波一括増幅し、その後 DEMUX によって 4 波に分波され、それぞれの信号光は 4 つの異なる PD に入射される。SOA の利得は 20dB 程度であり、1.3 μm 波長帯における 40 km の伝送路によるファイバロスを補償するには十分の利得であった[2-6]。

第2章 本研究の背景と目的

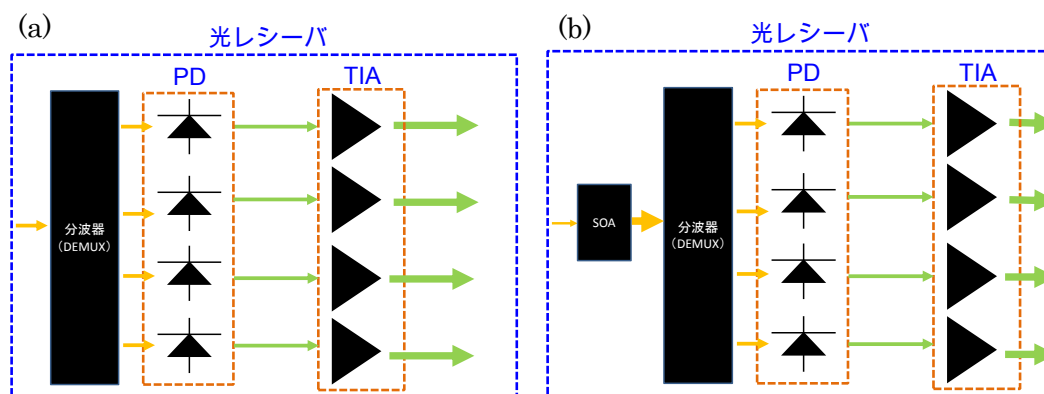


図 2-4 (a)100GbE 用光レシーバのブロック図、(b)SOA を集積した、100GBASE-ER4 向け光レシーバのブロック図

一方で、100GbE においては、データセンタにおける高密度集約を実現する観点から、標準化の議論中から盛んに光トランシーバの小型化が議論されてきた。100GbE において、最初に提案された光トランシーバのフォームファクタは CFP であったが、その後 CFP2, CFP4, QSFP といったように、より小さなフォームファクタによるトランシーバ構成が提案されてきた。表 2-2 に、100GbE で提案されてきたフォームファクタの一覧を示す。フォームファクタの世代が進むにつれて、より小型になり、ボードあたりのスループットも飛躍的に増大している。100GbE 標準化初期に提案された CFP と比較して、将来導入が見込まれている QSFP28 を適用した場合、ボードあたりのスループットは 4.5 倍にもなる。フォームファクタが小型化するにつれて、内蔵される光トランスミッタ、および光レシーバにも小型集積することが求められるが、重要な点は、より小さなフォームファクタほど許容される消費電力が小さくなる点である。これは、フォームファクタのフットプリントに起因する放熱性の問題によるものであり、小型フォームファクタであるほど、放熱効率が小さく、許容される消費電力も小さい。すなわち、100GbE 以降の光通信システムにおいては、前節で述べたように、小型低消費電力化が最重要課題であるが、光トランシーバの観点からは小型化と低消費電力化は同義であると言える。

表 2-2 100GbE における光ファイバを用いた方式

| 名称 | サイズ (W×L×H, mm) | 許容消費電力 | ボードあたりの 実装台数 | ボードあたりの スループット |
|--------|--------------------|--------|-----------------|-------------------|
| CFP | 82×145×14 | 32 W | 4 | 400 Gbit/s |
| CFP2 | 41×104×13 | 18 W | 8 | 800 Gbit/s |
| CFP4 | 22×92×10 | 6 W | 16 | 1.6 Tbit/s |
| QSFP28 | 18×52×8.5 | 3.5 W | 18 | 1.8 Tbit/s |

第2章 本研究の背景と目的

フォームファクタに実装される光レシーバの消費電力について考えてみると、PD および TIA の4レーン分の合計で、消費電力はおおよそ1W程度になる。光レシーバを100GBASE ER4 の様な40kmの伝送距離に適応させるためには、当初SOAの採用が想定されたことを前節に述べたが、現状でSOAの消費電力は3W程度になるため、光トランシーバとしての消費電力の低減は困難になる。また、SOAを光レシーバに集積した場合、光トランスミッタの消費電力も併せて考えると、消費電力およびSOAのチップのフットプリントの観点から、CFP4、QSFP28等の小型フォームファクタへの実装も不可になる。実際に、これまでの報告においてもSOAを用いた光トランシーバのフォームファクタはCFPであり[2-6]、100GBASE LR4や100GBASE SR4などの比較的短距離の方式においては、積極的にCFP4やQSFP28の適用に向けた研究開発が進められている現状と比べると、小型低消費電力化が困難であることがうかがえる。

400GbEのような、超100GbE光通信システムにおいては、光レシーバの小型低消費電力化と受信感度のトレードオフはより顕在化している。図2-5では、これまで報告されている400GbEをターゲットとした変調速度と受信感度をまとめている。

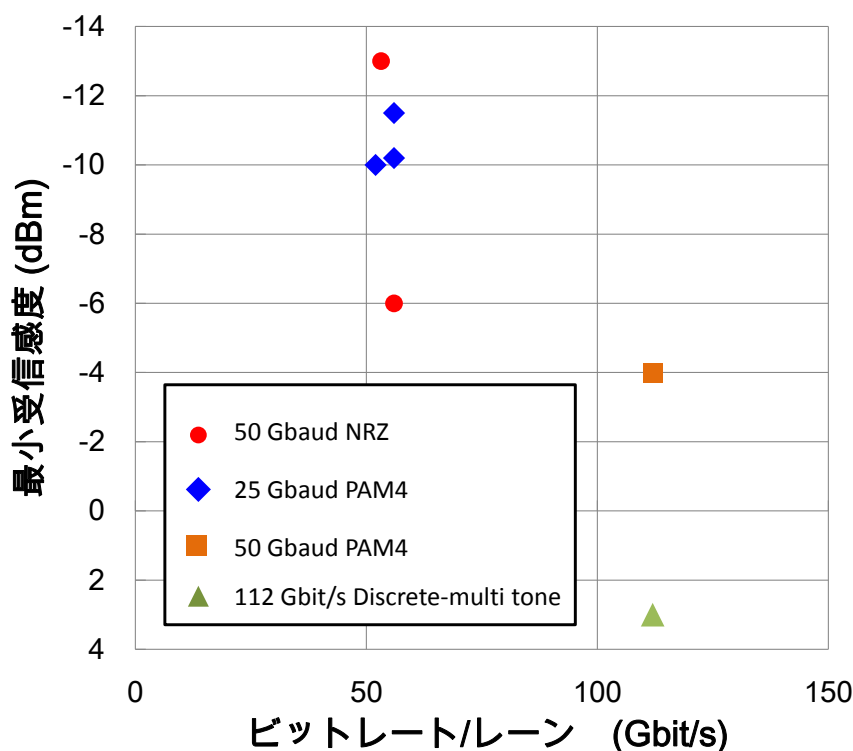


図 2-5 400GbE をターゲットとした伝送実験の変調速度と受信感度のまとめ[2-7~2-12]

400GbE に向けた超高速光トランシーバの研究開発においては、変調フォーマットとして PAM4 や NRZ が用いられており、またレシーバには前方符号誤り訂正 (Forward error corrector; FEC) の導入が予想されている。FEC を用いた場合、PD および TIA からの出力信号においては、

第2章 本研究の背景と目的

エラーフリーとなるビットエラーレート(BER)は 10^{-12} で規定されず、TIA出力で $10^{-3} \sim 10^{-5}$ であればFECを介した後に 10^{-13} までエラーレートが低減する。そのような条件であっても、PAM, NRZのいずれを用いても受信感度はもっとも良好なデータで-13 dBm程度である。これは、100GbEにおいて10 kmの伝送距離を保証する100GBASE LR4において規定されている最小受信感度相当の値であり、100GbEと同じファイバロスや送信信号品質を仮定しても、400GbEにおいては10 kmの伝送距離が限界であるか、合分波におけるロスを考慮すると10 kmの伝送距離も確保できなくなる可能性があることを示唆している。もちろん、100GbEと同様にSOAを用いることで伝送距離の延伸は可能であるが、消費電力や光トランシーバ小型化の要請に応えることはできず、また、400GbEにおいて8波長を採用した場合、8波長をSOAで一括増幅することの困難性も生じる。このように、超100GbEの光通信システムにおいては、10 kmの伝送距離の確保においても、小型低消費電力化と伝送距離の確保の困難性がうかがえる。

そこで、一般的なPIN-PDと比較して、素子そのものが内部利得を有するために、高い受光感度が可能なアバランシェフォトダイオード(Avalanche photodiode; APD)の100GbEへの適用が期待されている。APDは高い受光感度を実現できるのみではなく、その動作状態において印可電圧はおおむね30 V、光電流は100 μ Aであり、消費電力は1レーン当たりせいぜい数mWと、レーンバ全体としてみた時の消費電力の増加は無視できるほど小さい。また、PIN-PDとAPDはチップ形態はほぼ同じであるため、APDを適用することによる光レーンバ内におけるフットプリントの増大も無視できる。この為、100GbEおよび400GbEの様な将来の光通信システムに適用できるほどの高速高感度のAPDが実現できれば、PIN-PDを用いた構成の光レーンバと比較して消費電力やモジュールサイズを増大させることなく、光レーンバの受信感度を向上し、伝送距離を延伸することができる。

2.3 アバランシェフォトダイオード

APDは受光素子の一種であるが、素子そのものがアバランシェ増倍機構による電流増幅作用を有しているため、PIN-PDなどの一般的な受光素子と比較して高感度動作が可能である。

アバランシェ増倍の原理は、高電界下にあるキャリアの、格子原子への衝突に伴うインパクトイオン化である。すなわち、半導体における高電界領域に注入された電子ないしは正孔が、高電界により加速されて格子原子に衝突し、格子原子をイオン化させることで新たに電子正孔対を発生し、これを繰り返すことでキャリアの増幅作用を生む、というものである。結果、APDにおいては、入射光により生じた電子正孔対よりも多くの電子正孔対を出力するため、微弱な光信号に対して大きな電気出力を可能とし、高感度の受光素子として機能する。

典型的なAPDのバンド構造および電界プロファイルを図2-6に示す。図2-6では、電子増倍層に注入する、電子注入型APDに関して例示している。光通信に用いるAPDは、一般的には光吸収層と増倍層、および動作時に両層における電界強度の強弱を調整するために電界制御層によ

第2章 本研究の背景と目的

り構成される。光吸収層としては、通信波長に当たる $1.3\ \mu\text{m}$ および $1.5\ \mu\text{m}$ の両波長に感度を持つ、InGaAs (In 組成比 0.53、バンドギャップ 0.75 eV) が用いられる。光吸収層において生じた電子は増倍層へ注入され、正孔は p 型コンタクト層へと移動する。APD においてアバランシェ増倍利得を得るためには、増倍層において高い電界強度を生じる必要があるが、高電圧を印加し、光吸収層にも高い電界が生じた場合、光吸収層における増倍やトンネル暗電流が APD の高速性能を損ない、また高い暗電流が生じる恐れがある。そこで、両層の間に p 型にドーピングした電界制御層を設けることにより、APD の動作時において、光吸収層の電界強度は低く (Low)、増倍層の電界強度は高く (High) した “Low-high 電界プロファイル” となるように設計される。

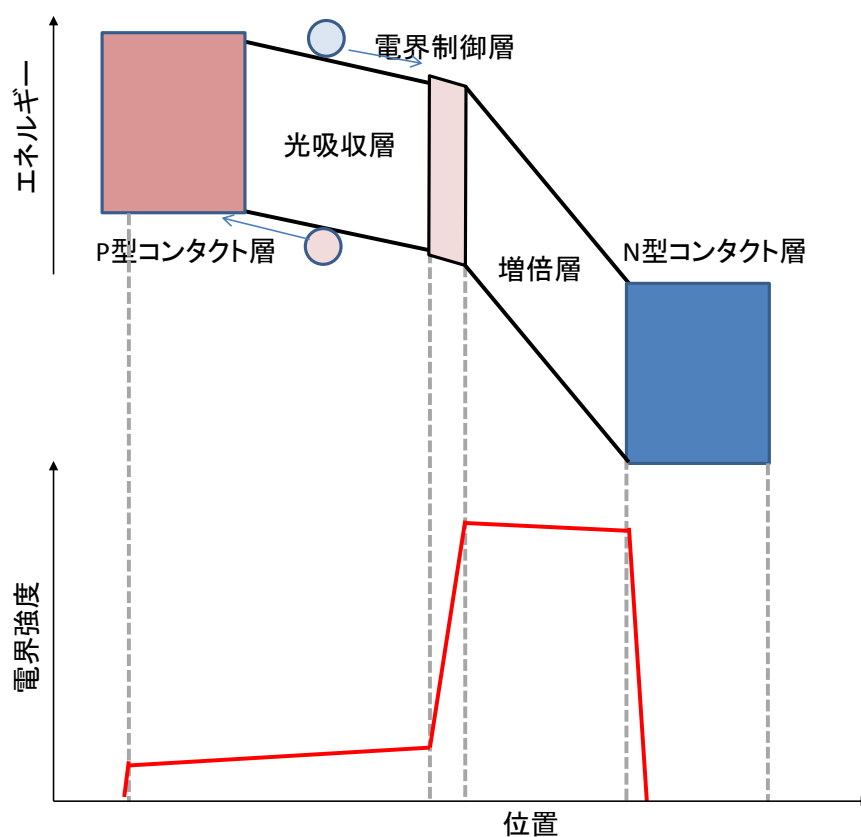


図 2-6 典型的な APD のバンド図および電界プロファイル

このアバランシェ増幅過程の模式図を図 2-7 に示す。半導体における増倍過程として、増倍領域を走行する電子ないしは正孔が、インパクトイオン化を生じるためには、それぞれのキャリアが、衝突によりイオン化を生じる程度に高い運動エネルギーを有する必要がある。電子および正孔は、それぞれ平均自由行程の違いや伝導帯または価電子帯の構造の違いにより、電子の衝突によるインパクトイオン化率と正孔の衝突によるインパクトイオン化率は異なることが一般的であるが、図 2-7 における模式図は電子および正孔のインパクトイオン化率が同じであると仮定している。

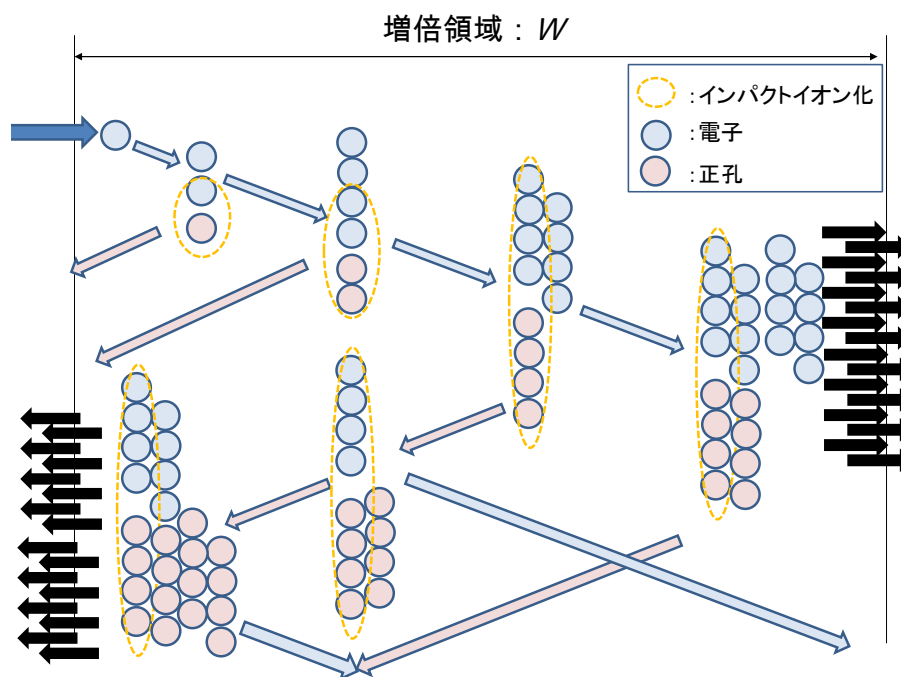


図 2-7 電子と正孔のインパクトイオン化率が同じ場合のアバランシェ増倍の模式図

電子注入による増倍過程を考えると、電子と正孔のインパクトイオン化率が同じ場合には、増倍により生じた電子正孔対は、互いにランダムな走行距離を経て更なるインパクトイオン化を繰り返す。正孔注入による増倍過程を考えてもまったく同じである。最初のインパクトイオン化を引き起こすキャリアが電子か正孔かのみの違いを残して、一旦インパクトイオン化が生じると、あとはインパクトイオン化によって生じたキャリアにより自動的に増倍が継続する。電子ならびに正孔の集団としての振る舞いを見た時には、これらは一定の増倍領域内を何度も進行しては戻って、を繰り返すことになる。これは、入力としてある規則性を持った光信号による光励起によって注入されたキャリアに対しては、出力として大きな揺らぎを伴う。これは、受光素子としてみた場合、熱雑音およびショット雑音とは異なる、APD 特有の雑音としてみることができ、過剰雑音と呼ばれている[2-13]。過剰雑音は、増倍率が大きいほど大きな揺らぎが生じる為、APD の増倍率に依存して大きくなる。

一方、電子のインパクトイオン化率と正孔のインパクトイオン化率が大きくことなる場合について考える。この場合のアバランシェ増倍の模式図を図 2-7 に示す。図 2-7 では、電子注入による増倍過程で、かつ電子によるインパクトイオン化率が正孔によるインパクトイオン化率よりも極端に高い場合を仮定している。図 2-8 からわかるように、電子によるインパクトイオン化率と正孔によるインパクトイオン化率が極端に異なる場合、電子と正孔の集団の増倍領域における行き来はほとんどなく、電子正孔ともに一方向に向かって進行するため、増倍に伴う揺らぎは小さい。図 2-7 に示した例と比較するとこのアバランシェ増倍は、過剰雑音をほとんど生じることな

く増倍が生じることを意味している。

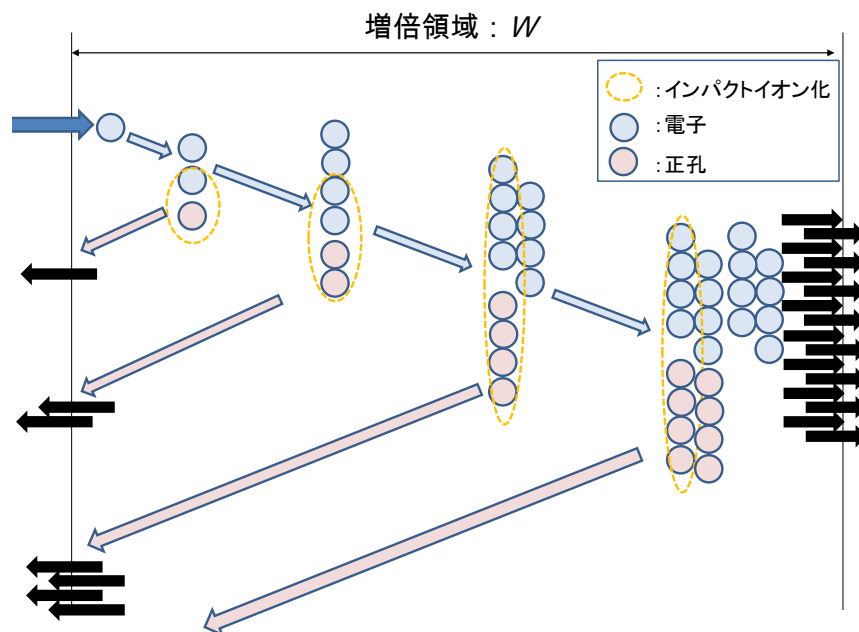


図 2-8 電子と正孔のインパクトイオン化率が極端に異なる場合のアバランシェ増倍の模式図

一般的に、電子によるインパクトイオン化率を α 、正孔によるインパクトイオン化率を β と呼び、その比を k として

$$k = \frac{\beta}{\alpha} \quad (2.4)$$

と表されるが、電子注入 APD の場合、 k が 0 に近いほど過剰雑音が小さくなる、という一般則が成り立つ。

過剰雑音は、APD に特有の雑音であるが、温度に依存しないため、PIN-PD におけるショット雑音に相乗されるものとして扱うことができる。この場合、APD の過剰雑音およびショット雑音電流の 2 乗平均は、増倍率 M に対して

$$\langle i_{N_s}^2 \rangle = 2qIBM^2F \quad (2.5)$$

で表される。 F は過剰雑音指数と呼ばれており、APD のイオン化率比、すなわち k に依存する値であり、以下で表される。

$$F = M[1 - (1 - k)(\frac{M-1}{M})^2] \quad (2.6)$$

図 2-9 に、電子注入 APD において k を変化させた場合の過剰雑音指数の増倍率依存性を示す。

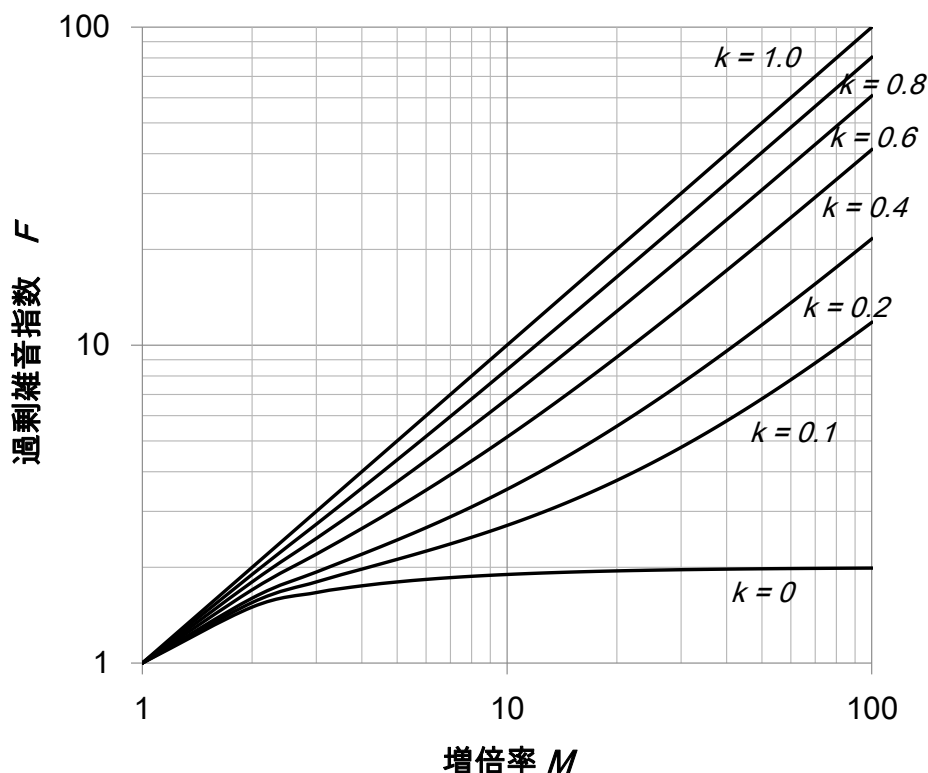


図 2-9 電子注入 APD における過剰雑音指数の増倍率依存性

図 2-9 に示すように、過剰雑音指数は増倍率が大きくなるにつれて大きくなるが、 k が 1 に近づくにつれて、その過剰雑音指数の上昇が顕著になることがわかる。いずれの k においても、増倍率が 1、すなわち PD モードで動作させる上では、 $F=1$ となり、ショット雑音電流の値は、一般的な PD のショット雑音と等しくなり、過剰雑音の成分は現れない。 $k=0$ の場合においても増倍率が大きくなった場合は $F=2$ に向かって過剰雑音指数は漸近する。すなわち、理想的な APD の場合においても、ショット雑音電流は PD と同等にならない。

APD における増倍率の、受信感度への影響について考えてみると、式(2.3)で示した一般的な PD による光レシーバの S/N 比における、 $\langle i_p^2 \rangle$ および $\langle i_{Ns}^2 \rangle$ をそれぞれ、APD による増倍率 M の成分を考慮して $\langle i_{p_APD}^2 \rangle$ と $\langle i_{Ns_APD}^2 \rangle$ に拡張することができる。信号成分は増倍率分の増幅があるので、以下で表すことができる。

$$\langle i_{p_APD}^2 \rangle = M^2 \langle i_p^2 \rangle \quad (2.7)$$

第2章 本研究の背景と目的

雑音成分における、信号成分以外の電流としては、拡散電流やトンネル電流のように、増倍領域を通過することで、増幅される電流成分 I_{dM} と、表面リーク電流のように、増倍領域を通過せず、増倍されない電流成分 I_{ds} がある。雑音電流成分のうち、ショット雑音電流成分はこれらの和となるので、

$$\langle i_{Ns_APD}^2 \rangle = 2q(I_{dM} + I_s)BM^2F + 2qI_{ds}B \quad (2.8)$$

となる。よって APD による光レシーバの S/N 比は、

$$\frac{S}{N} = \frac{\langle i_{p_APD}^2 \rangle}{\langle i_{Ns_APD}^2 \rangle + \langle i_{Nt}^2 \rangle} = \frac{M^2 \langle i_p^2 \rangle}{2q(I_{dM} + I_s)BM^2F + 2qI_{ds}B + \frac{4k_B T F_T B}{R}} \quad (2.9)$$

で与えられる。

図 2-10(a)に、APD における信号成分、雑音成分の増倍率依存性の模式図を、(b)に APD に S/N 比の増倍率依存性の模式図を示す。一例として、異なるイオン化率比 k のショット雑音、S/N 比を示している。

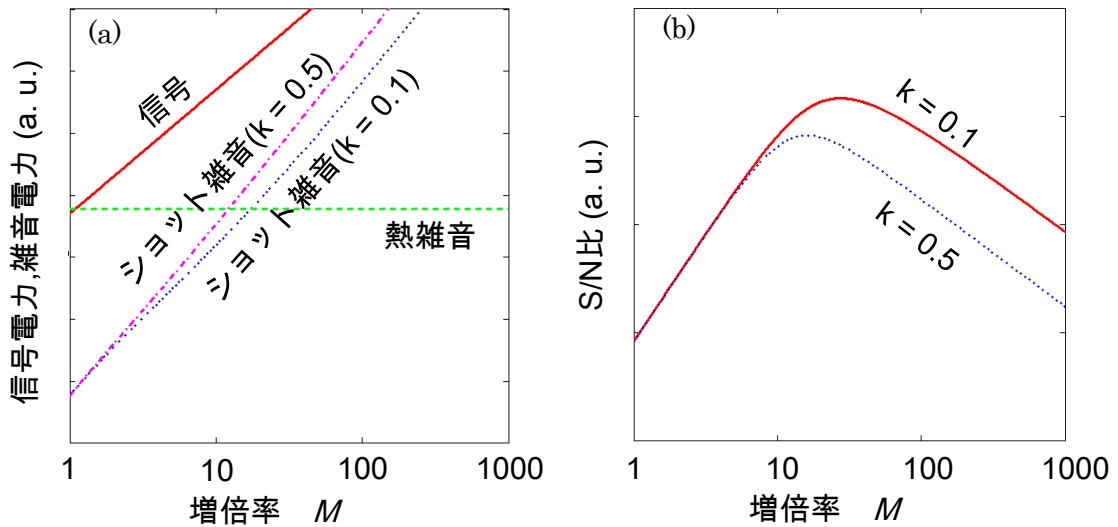


図 2-10 (a)APD の信号成分、雑音成分の増倍率依存性、(b)S/N 比の増倍率依存性

この様に APD においては、過剰雑音を含むショット雑音成分が、ある一定の増倍率に以下において熱雑音成分よりも十分に小さい場合は、S/N 比は単調に上昇するが、ショット雑音が熱雑音よりも十分大きくなる増倍率以上ではその雑音成分が支配的となり、S/N 比は劣化する。すなわち、APD においては S/N 比が最大となる増倍率が存在する。また、最適な増倍率および S/N 比の最大値はイオン化率比 k に大きく影響されることがわかる。以上に示したように、APD の高感度動作のためには、 k の小さい材料系を増倍領域に適用することが重要である。

第2章 本研究の背景と目的

一方、APDの高感度化に向けて、高利得状態を維持したまま高速動作を実現する上でも、 k は重要なパラメータとなる。増倍層に、光励起された電子が注入されたとする。この場合、増倍層内においては、電子注入によるインパクトイオン化により、電子正孔対が生じ、生じた電子正孔対はそれぞれ一定の割合で電子注入によるインパクトイオン化および正孔注入によるインパクトイオン化を繰り返し、一定の増倍率で電子/正孔は増倍層の外へと抽出される。ここで、注入される電子を瞬時に0にしたと仮定する。増倍層から出力される電子正孔対について考えてみると、注入電子が0になった後も、一定時間、増倍された電子および正孔がそれぞれインパクトイオン化を繰り返し、増倍層から出力される。これは、増倍された出力電子および正孔は、注入電子に対して、その層厚に対するキャリア走行時間以上の一定の遅延時間を持って出力されているかのように振る舞う。この遅延時間は、増倍層における電界強度が小さく、増倍が無い場合には、キャリア走行時間に等しいが、増倍率が大きくなるほど顕著になる。この遅延時間は **Avalanche build-up time** と呼ばれている。

$k=0$ の場合、電子は増倍層において増倍を繰り返すが、生じた正孔は全く増倍プロセスを経ることなく出力される。この為、 $k=0$ の場合においては、電子および正孔のインパクトイオン化の繰り返しの伴う遅延は生じず、**Avalanche build-up time** は0とみなすことができる。一方、 k が大きい場合には、注入電子が0になった後の電子および正孔の増倍の繰り返しはより顕著であり、結果大きい **Avalanche build-up time** が生じる。よって、有限の k を持つ増倍層においては、増倍率を大きくすると、**Avalanche build-up time** の制約により動作帯域が劣化する。この関係は、利得帯域積 (**Gain-bandwidth product; GBP**) として以下のように記述される。

$$GBP = \frac{1}{2\pi N k \tau_{av}} \quad (2.10)$$

GBP が大きいほど、高い増倍率において広帯域動作が可能である。 N は k に依存する値であり、 $k=1$ の場合 1/3, $k=0.001$ の場合 2 の値を取る[2-14]。また、 τ_{av} は増倍層内における、電子および正孔の平均走行時間である。この為、**GBP** を向上させるためには、① k を小さくすること、② τ_{av} を小さくすること、が重要である。 k は一般的には材料依存の値である。また、 τ_{av} を小さくするためには、増倍層厚を小さくすること、および電子・正孔のドリフト速度の大きい材料系を選択することが考えられる。

上述のように、次世代高速ネットワークにおいて、小型低消費電力、および伝送距離の延伸を可能とするため、光受信器の高速化および受信感度の向上を実現するためには、APDの増倍層の選択や膜厚設計に伴うAPDの高速・高利得化が必要になる。

2.4 本研究の目的

第2章 本研究の背景と目的

これまでに述べたように、急増する情報トラフィックおよびそれに伴う消費電力の増大に対応した、低消費電力の次世代のネットワークを実現するためには、光レシーバの高速・高感度化および小型低消費電力化が必須になる。単純に光レシーバの感度を向上させる上では、SOAの適用などが考えられるが、SOAは大きな消費電力を必要とする。そこで本研究では、光通信応用に向けたAPDの高速・高感度化に向けた設計技術を確立し、また設計したAPDを試作評価することで、次世代ネットワークの実現に供する特性をAPDに付与することを目的とする。また、作製したAPDを光レシーバへと適用し、次世代ネットワークとして期待される、100 Gbit/sおよび400 Gbit/s級のネットワークへの適用性を実験的に示すことを目的とする。

これまでのAPDの高性能化に向けた研究開発においては、APDの高性能性の性能指標としてはGBPの向上が主たる研究対象であった。これは上述の通り、GBPは、APDの潜在的な高速性と高利得性を本質的に支配するパラメータであることに依る。しかしながらAPDを高速・大容量の光ネットワークに用いることを考えた場合、GBPは必ずしも唯一のAPDの性能指標とはならない。GBP以外の重要な要素としては、まず作製の簡易性および動作安定性、信頼性が必要になる。特にAPDは一般的なPIN-PDと比べ10倍以上の高い電界強度が素子に生じる。特に素子の表面に高い電界が生じた場合、材料劣化に伴う信頼性や素子動作の安定性が懸念されるが、これらの向上の為複雑な素子構造を用いた場合、作製プロセスの複雑化や歩留まりの低下が懸念される。また、光レシーバへの実装容易性も、効率的な素子実装および高いファイバ結合率を実現するために重要な要素になる。第2に、高いGBPとともに高速、高感度性の実現が求められる。APDの動作時の受光感度は、利得と光吸収層における量子効率で決定され、また帯域はAPDの素子抵抗や容量からなるCR時定数、および素子全体のキャリア走行時間によって支配される為である。即ち、仮に500 GHzのGBPが実現できたとしても、最大帯域が10 GHzでは高速なネットワークには適用できず、また最大帯域が100 GHzであっても光吸収層における量子効率が5%であれば、利得を持っていても高い受光感度は期待できない。よって、APDの高性能化に向けては、高いGBPを実現しながらも、高速ネットワークに資する高い受光感度と広帯域性を同時に実現する必要がある。

上述の目的に向けて、本研究では以下の項目について検討した。

- I. 作製プロセス、および光レシーバへの実装が容易であり、また将来的な実用に供するような動作安定性、信頼性が担保できるAPDの新規な素子構造
- II. 上記のAPDの素子構造に基づいた、100 Gbit/s級ネットワークに供するAPDの素子特性（広帯域性および高感度性）および光レシーバ特性の実現
- III. 上記のAPDの素子構造に基づいた、400 Gbit/s級ネットワークに供するAPDの素子特性（広帯域性および高感度性）および光レシーバ特性の実現

参考文献

- [2-1] “Cisco Visual Networking Index 予測と方法論 2013-2018年,” p.8, (2014).
- [2-2] “Bell Labs Metro network traffic growth : an architecture impact study,” p.5, (2013).
- [2-3] <http://gwatt.net/network>
- [2-4] 100Gb/s Ethernet taskforce; <http://www.ieee802.org/3/ba>.
- [2-5] 400Gb/s Ethernet taskforce; <http://www.ieee802.org/3/bs>.
- [2-6] R. Arima, T. Yamashita, T. Yahagi, T. Ban, M. Sasada, H. Takamatsu, M. Sakai, N. Sasada, T. Toyonaka, H. Hamada, M. Shishikura, T. Hatano, K. Hiramoto, and H. Irie, “Demonstration of World-First 103 Gbit/s Transmission over 40 km Single Mode Fiber by 1310 nm LAN-WDM Optical Transceiver for 100GbE,” in Proc. NFOEC2011, JWA9 (2011).
- [2-7] M. Mazzini, M. Traverso, M. Webster, C. Muzio, S. Anderson, P. Sun, D. Siadat, D. Conti, A. Cervasio, S. Pfnuer, J. Stayt, M. Nyland, C. Togami, K. Yanushefski, T. Daugherty, “25GBaud PAM4 Error Free Transmission over both Single Mode Fiber and Multimode Fiber in a QSFP form factor based on Silicon Photonics,” in Proc. OFC2015, Th5B.3 (2015).
- [2-8] G. Denoyer, C. Cole, A. Santipo, R. Russo, C. Robinson, L. Li, Y. Zhou, J. Alan Chen, B. Park, F. Boeuf, S. Cremer, and N. Vulliet, “Hybrid Silicon Photonic Circuits and Transceiver for 50 Gb/s NRZ Transmission Over Single-Mode Fiber,” J. Lightwave Technol., **33**, p. 1247 (2015).
- [2-9] P. Stassar, X. Wang, Y. Xu, X. Chang, “Further considerations on 400Gb/s Ethernet SMF PMDs,” http://www.ieee802.org/3/bs/public/15_01/stassar_3bs_01_0115.pdf
- [2-10] T. Tanaka, M. Nishihara, T. Takahara, W. Yan, L. Li, Z. Tao, M. Matsuda, K. Takabayashi, and J. C. Rasmussen, “Experimental Demonstration of 448-Gbps DMT Transmission over 30-km SMF,” in Proc. OFC2014, M2I.4 (2014).
- [2-11] W. Way, T. Chan, and A. Lebede, “Improved Results for both 56 and 112Gb/s PAM4 Signals,” http://www.ieee802.org/3/bs/public/15_01/way_3bs_01a_0115.pdf
- [2-12] M. Shirao and K. Kojima, “Big Ticket Item and supplemental information for 8 × 50G NRZ,” http://www.ieee802.org/3/bs/public/15_03/shirao_3bs_01a_0315.pdf
- [2-13] R. J. McIntyre, “Multiplication Noise in Uniform Avalanche Diodes,” IEEE Transactions on Electron. Devices, **13**, p. 164 (1966).
- [2-14] R. B. Emmons, “Avalanche-Photodiode Frequency Response,” J. Appl. Phys., **38**, p. 3705 (1967).

第3章 アバランシェフォトダイオードの設計・作製・特性評価方法

3.1 基本設計

3.1.1 キャリア走行帯域と CR 帯域

一般的な半導体デバイスにおいては、古典的には一定の電界下におけるキャリア輸送を記述するドリフト移動と、電界が非常に小さいないしはゼロである状態におけるキャリア輸送を記述する拡散移動によって成るドリフト拡散モデルを用いられることが一般的である。しかし、素子に高い電圧を印加し、素子の層構成の内ほとんどを空乏化させて用いる典型的な APD においては、そのキャリア輸送機構は、インパクトイオン化を生じる増倍層以外の層においては、ドリフト移動によって決定されることがほとんどである。

APD を含む受光素子においては、光吸収し、フォトキャリアを生じる層（吸収層）における光吸収効率が高いほど高い受光感度が可能であるため、高い受光感度を得るためには、例えば受光素子の受光面積を大きくすることで入射光と受光素子との結合損失ないしはケラレ損失を低減したり、または光吸収層を厚膜化し、光吸収層で吸収されず透過する光の割合を低減させるといった工夫が必要となる。ただし、これらの方法は動作帯域とトレードオフの関係にあるため、所望の感度と帯域を両立するためには、慎重な設計が必要となる。ここでは、単純な受光素子の構造を例として、受光素子の帯域の支配要因となる、ドリフト電流によるキャリア走行帯域と CR 帯域について検討する[3-1]。

今、光吸収によって生じたフォトキャリアのすべてが、素子内においてドリフト移動すると仮定したら、ドリフト電流 J_{dr} は、

$$J_{dr} = -q \int_0^W G(x) dx \quad (3.1)$$

と記述される。 q は電荷素量、 W は空乏化した光吸収層厚、 $G(x)$ は光入射による電子正孔対の生成確率である。ここで、光吸収層における、入射光の光路長と光吸収層厚が等しいと仮定すると、光吸収層における吸収係数を α として、 $G(x)$ は以下で表現される。

$$G(x) = -\frac{P}{Ah\nu} \alpha \exp(-\alpha x) \quad (3.2)$$

P は入射光強度、 h はプランク定数、 ν は入射光の振動数、 A はデバイス面積である。これらより、光電変換における量子効率 η は、

$$\eta = 1 - \exp(-\alpha W) \quad (3.3)$$

で表される。すなわち、受光素子における光吸収層での受光感度を向上させるためには、光吸収層の厚膜化が必要であることがわかる。

一方で、同様の構造におけるキャリア走行帯域について考えると、光吸収層内のある位置 x における誘導電流 J_{cond} の値は、

$$J_{cond}(x) = q\Phi \exp(j\omega \left(t - \frac{x}{v_s} \right)) \quad (3.4)$$

となる。 Φ は光子の流束、 ω は誘導電流の角周波数、 v_s はキャリア飽和速度である。光通信用の受光素子に用いられる、InGaAs 等の III-V 族半導体は、一般的にはより飽和速度の小さい正孔によってその動作帯域が制限されるため、飽和速度 v_s は正孔飽和速度が用いられる。さて、 $\nabla \cdot J_{tot} = 0$ であるので、同層内における全電流 J_{tot} は、

$$J_{tot} = \frac{1}{W} \int_0^W (J_{cond} + \epsilon_s \frac{\partial E}{\partial t}) dx \quad (3.5)$$

となる。 $\epsilon_s \frac{\partial E}{\partial t}$ は変位電流である。式(3.5)を計算すると、

$$J_{tot} = \left[\frac{j\omega\epsilon_s V}{W} + q\Phi \frac{1 - \exp(-j\omega t_r)}{j\omega t_r} \right] \exp(j\omega t) \quad (3.6)$$

V は印可電圧および内蔵電位の和、 t_r はキャリア走行時間である。式(3.6)より、短絡電流 J_{sc} は

$$J_{sc} = (q\Phi \frac{1 - \exp(j\omega \frac{W}{v_s})}{j\omega \frac{W}{v_s}}) \exp(j\omega t) \quad (3.7)$$

となる。式(3.7)において、キャリア走行時間は吸収等厚とドリフト走行時間のみに依るとして、 $t_r = W/v_s$ とした。周波数が十分小さい状態と比較した、高周波動作状態における電流強度の比 R を図 3-1 に示す。

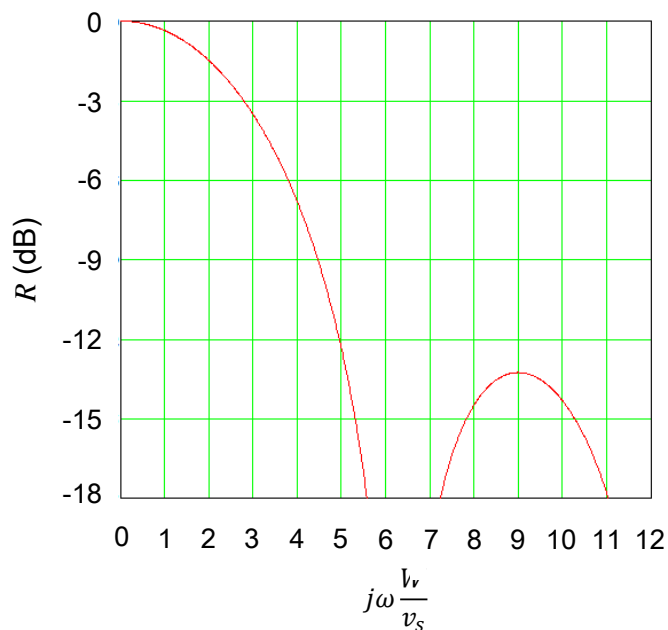


図 3-1 吸収層における電流強度の周波数依存性

図 3-1 において、低周波に対して電流強度が 1/2 (-3dB) となる周波数を、キャリア走行時間による遮断周波数もしくは真性帯域と呼び、 f_t と示す。遮断周波数となる $\omega W/v_s$ は 2.77 となるため、様々な吸収層厚や飽和速度に対し、真性帯域がどの程度になるかを見積もるためには、 $\omega W/v_s = 2.77$ として求めればよい。図 3-2(a)、(b)に、入射光波長 $1.3 \mu\text{m}$ に対する、量子効率と真性帯域の膜厚依存性を示す。吸収層材料として InP 上格子整合の InGaAs を仮定しており、 $1.3 \mu\text{m}$ での吸収係数は $1.16 \times 10^4 / \text{cm}$ 、正孔飽和速度として $4.6 \times 10^7 \text{ cm/s}$ を仮定している。

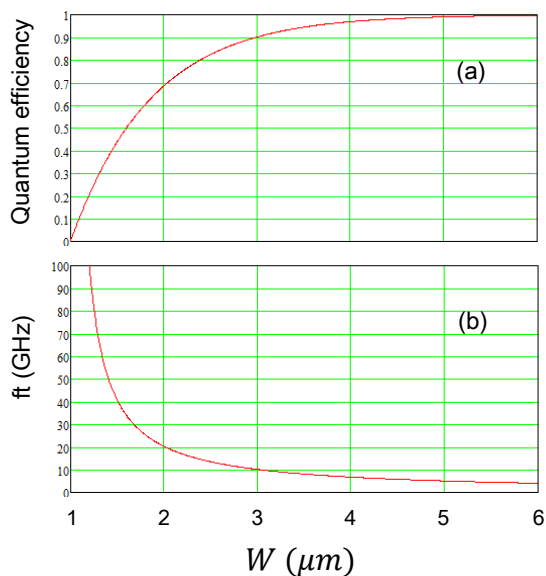


図 3-2 吸収層における(a)量子効率および(b)3dB 帯域の膜厚依存性

実際の APD を含む受光素子においては、例えば素子に光反射用のミラーの集積等により、より小さい膜厚においても量子効率を向上させる工夫がなされている。また、APD においては、上記の例ほど単純な層構成を取ることはできず、より複雑な設計が必要となるが、具体的な APD のキャリア走行帯域の取り扱いおよび量子効率の取り扱いについては、第4章で述べる。

次に、もう一つの帯域制限要因である CR 帯域について述べる。受光素子は、キャリア発生源となる光吸収層を電流源とし、また実際の素子の容量 C_j 、信号を取り出すための負荷抵抗 R_L および内部抵抗 R_i を有する等価回路で示すことができる。この為受光素子は、回路で表現される以上、変調信号に対し、容量や抵抗に応じた周波数特性を有することになる。典型的な等価回路を図 3-3 に示す。

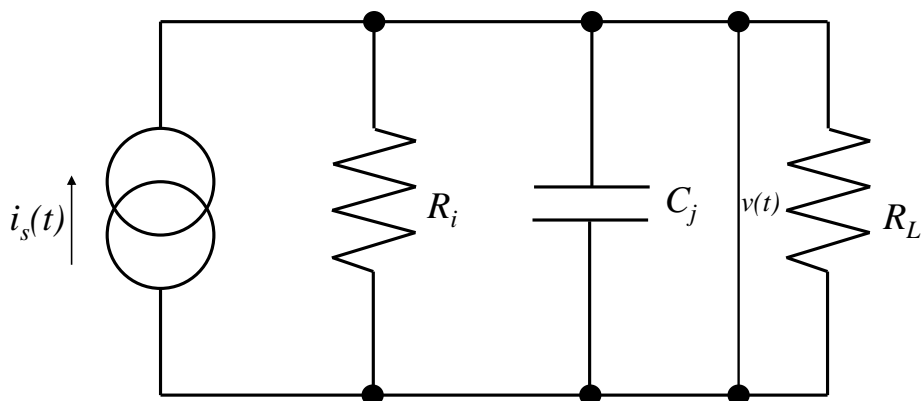


図 3-3 受光素子の等価回路

一定の周波数を持った光信号に伴い、受光素子からは $i_s(t)$ の信号電流が生じた場合について考える。内部抵抗 R_i と負荷抵抗 R_L は並列接続とみなせるので、等価回路全体としての負荷抵抗を R とした場合、

$$\frac{1}{R} = \frac{1}{R_i} + \frac{1}{R_L} \quad (3.8)$$

となる。この時、負荷抵抗 R の両端に生じる電位差を $v(t)$ とすると、

$$C_j \frac{dv(t)}{dt} + \frac{v(t)}{R} = i_s(t) \quad (3.9)$$

となる。ここで、信号電流を

$$i_s(t) = i_0 e^{j\omega t} \quad (3.10)$$

とおくと、(3.9)および(3.10)より、

$$v(t) = \frac{i_0 R}{1 + j\omega C_j R} e^{j\omega t} \quad (3.11)$$

となる。周波数が十分小さい場合には、この電圧振幅は $i_0 R$ となるため、低周波動作状態に対する高周波動作状態における信号振幅電圧の比は、 $1/(1+j\omega C_j R) = 1/((1+\omega C_j R)^2)^{1/2}$ となる。

低周波に対し、高周波において信号振幅強度が-3dB、すなわち $1/\sqrt{2}$ となる周波数が CR 帯域となるため、

$$1 + \omega C_j R = 2 \quad (3.12)$$

$$\omega C_j R = 1 \quad (3.13)$$

を満たす ω が CR 帯域となる。よって、CR 帯域 f_{CR} は、

$$f_{CR} = \frac{1}{2\pi C_j R} \quad (3.14)$$

で記述される。

したがって、受光素子の高速化のためには、キャリア走行帯域を向上させるとともに、素子容量および素子抵抗を低減することが必要とされる。素子容量の削減のためには、素子の動作領域を縮小することが有効であるが、受光面積が低減するため、光学結合における損失が生じる。また、素子の厚膜化により空乏層幅を拡大することでも素子容量を低減し、CR 帯域を向上させることが可能だが、キャリア走行帯域が低下する。結局、CR 帯域の観点からも、高速化と高感度化はトレードオフの関係にある。

上述のように、単純な吸収層のみを有する受光素子においては、キャリア走行帯域 f_i と CR 帯域 f_{CR} によってその動作帯域が制限される。実際の受光素子の動作帯域 f_{tot} は、これら f_i および f_{CR} から、以下のように近似される。

$$f_{tot} = \sqrt{\frac{f_{CR}^2 f_t^2}{f_{CR}^2 + f_t^2}} \quad (3.15)$$

上記のように、受光素子の高速動作のためには、キャリア走行帯域、CR帯域の両方をバランスよく向上させることが必要になる。

3.1.2 インパクトイオン化ローカルモデルとノンローカルモデル

APDにおけるインパクトイオン化に伴う、過剰雑音の発生に関しては、前章および引用文献[2-13]に示したように、古典的には電子衝突によるインパクトイオン化率 α と、正孔衝突によるインパクトイオン化率 β は、増倍層における局所的な電界強度にのみ依存し、すべてのインパクトイオン化は、インパクトイオン化以前の履歴を持たないことを前提として説明される。このMcIntyreによって提唱された、古典的な過剰雑音モデルは、10 Gbit/以下での動作速度を目的とした、厚い増倍層を有し、動作状態において電界強度がたとえば500 kV/cm以下のような、従来のAPDに対しては、ほとんどの場合、実験値と良い一致を与えてきた。図3-3に、10 Gbit/s以下の動作に向けたAPDの増倍層材料として一般的に用いられてきた、InPの α および β のイオン化率の電界強度依存性を示す。

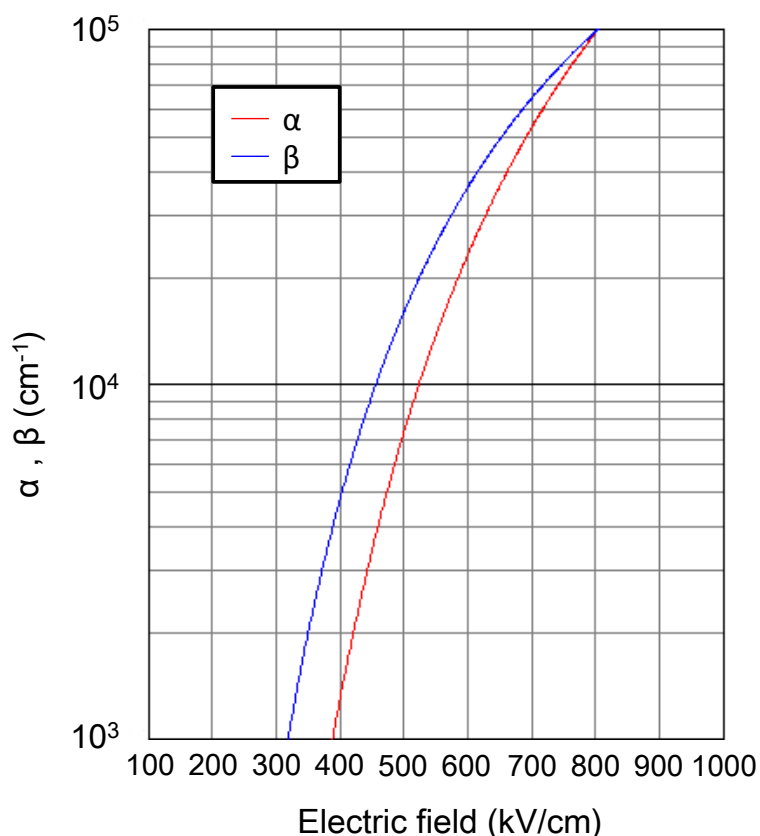


図3-4 InPにおける電子衝突および正孔衝突によるインパクトイオン率の電界強度依存性

[3-2]

図 3-4 からわかるように、電界強度が高くなるほど α と β の比が小さくなり、1 に近づいていくことがわかる。これは、電界強度が高くなるほど、過剰雑音が大きくなり、また GBP が低下していくことを意味している。一般的に、APD の動作時における電界強度は、増倍層膜厚が小さくなるほど大きくなる (第 4 章)。この為従来の APD においては、増倍層の厚さを、動作状態においても一定のイオン化率比を維持できるよう、走行帯域を損なわない程度に厚くなるよう設計されてきた。

しかしながら近年、このような古典的な過剰雑音モデルが、きわめて薄い増倍層厚におけるイオン化率比ないしは過剰雑音に対しては説明できないことがわかってきた[3-3, 3-4, 3-5, 3-6]。これは、増倍層内における電子および正孔はそれぞれ、インパクトイオン化を引き起こす程度にまで運動エネルギーを蓄積するためには、一定の走行距離が必要であるためと考えられており、この走行距離はデッドスペースと呼ばれている。増倍層厚が大きい場合には、このデッドスペースはその増倍層厚と比較して無視できる程度であるが、増倍層厚がデッドスペースと比較して無視できない程度に小さくなった場合には、インパクトイオン化率および過剰雑音が、増倍層における局所電界強度のみに依存するという古典的なモデルは適用できなくなる。上述の、インパクトイオン化率および過剰雑音が、増倍層における局所電界強度のみに依存するという古典的なモデルをローカルモデルと呼び、デッドスペース効果の顕著になった、インパクトイオン化率および過剰雑音が、増倍層における局所的な電界強度にのみ依存しないモデルをノンローカルモデルと呼ぶ。

図 3-5 に、電子注入型 APD を例にとった場合の、ノンローカルモデルを説明する概念図を示す。増倍層厚が $0.05 \sim 0.5 \mu\text{m}$ のそれぞれの場合について、電子注入によるイオン化確率を、増倍層における電子注入端からの距離に対して模式的に示している。増倍層厚が $0.05 \mu\text{m}$ と非常に薄い場合については、増倍層厚のうち電子注入される側の一定の距離は、最初のインパクトイオン化のためのデッドスペースとして消費されるが、増倍層全体の中では、イオン化確率が高くなる領域は局所的である。一方、増倍層厚が大きくなるにつれて、イオン化確率は増倍層全体にわたって広く分布することになる。即ち、極めて薄い増倍層においては、電子のインパクトイオン化確率の空間分布は小さくなる。このことは、増倍後に電子が増倍層の外に取り出される時点においてはその取り出される電子の揺らぎが小さくなることを意味している。電子によるインパクトイオン化に伴い生じた正孔についても同様に振る舞い、特に電子衝突によるインパクトイオン化率よりも、正孔衝突によるインパクトイオン化率が小さい場合には、吸収層厚が小さい場合、その距離のほとんどすべてがデッドスペースにより占められることになる。

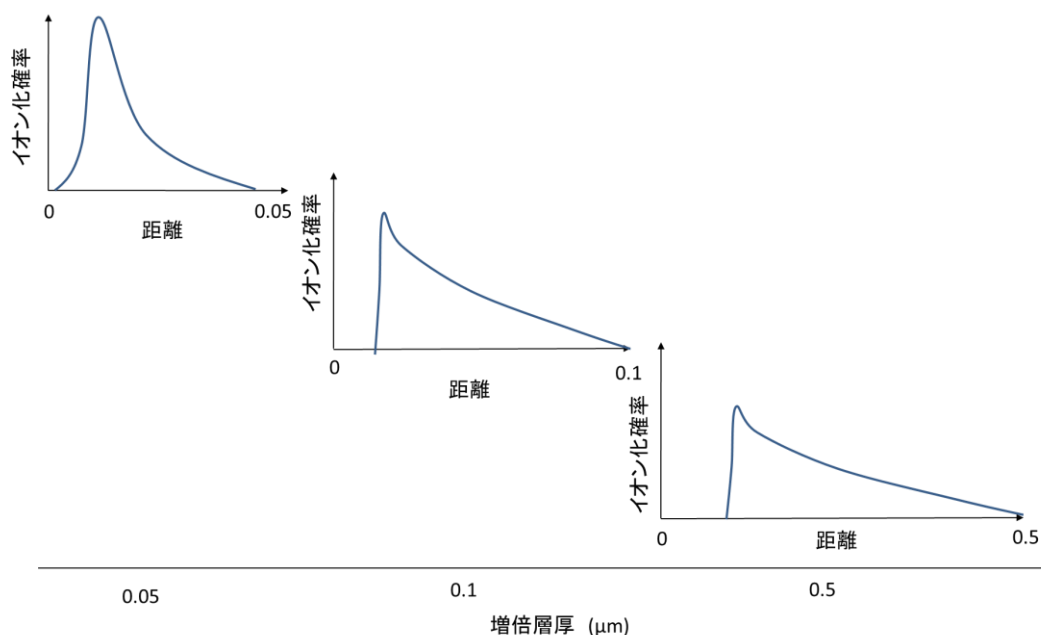


図 3-5 電子注入による APD のノンローカルモデルの模式図

上述のように、デッドスペース効果を考慮したノンローカルモデルについては、イオン化率比 k は、古典的なローカルモデルにより導かれるイオン化率比 k よりも小さくなるのが、計算的にも、実験的にも示されている[3-6, 3-7]。また、第2章で述べたように、電子、正孔ともに一定のインパクトイオン化を生じる APD においては、高次のインパクトイオン化を繰り返すことによるキャリアの揺らぎにより雑音が発生するため、 k が 1 に近いほど過剰雑音が大きいのを説明したが、ノンローカルモデルに依れば、非常に薄い増倍層においては、デッドスペース効果によりイオン化確率は局在化するため、キャリア移動による揺らぎは小さい。このように、 k の観点および、イオン化確率の局在化の観点から、ノンローカルモデルに依れば過剰雑音は古典的なローカルモデルよりも小さくなる。図 3-5 から分かるように、増倍層厚が大きくなった場合には、デッドスペースの影響がほぼ無視できるため、イオン化率比や過剰雑音はほぼ古典的なローカルモデルに従い、ノンローカルモデルによる表現を用いても結果はローカルモデルと同一となる。

ノンローカルモデルを定量的に説明する目的で、simple Monte Carlo モデル[3-9]や、random-path model[3-10]、history-depend model[3-11]などがある。simple Monte-Carlo model および random-path model は電子および正孔のそれぞれの振る舞いのある境界条件の元、乱数的に扱い、history-depend model は、増倍層内にある任意のキャリアが、増倍層内における電界強度に加え、位置の関数に拡張して扱うモデルである。近年では、これら多くのモデルによるノンローカルモデルによるインパクトイオン化率が、従来のローカルモデルによるインパクトイオン化率を表現する式を拡張することで近似できることが示されている。一例として、図 3-6 にローカルモデルとノンローカルモデルによる InP のインパクトイオン化率の計算結果を示す[3-12]。ノンローカ

ルモデルに従えば、600 kV/cm 以上の高い電界強度（すなわち、薄層の増倍層を採用した場合）においても、 α と β の比率が大きく変化しないことがわかる。

増倍層厚を小さくした場合、インパクトイオン化の振る舞いはノンローカルモデルに従うため、 k が低減し、過剰雑音の低減および GBP の拡大が期待されるが、一方で一定の増倍率を得るための電界強度は大きくなる。これは、増倍層におけるトンネル電流の増大につながり、トンネル電流が光電流に対して無視できない場合には、信号の S/N 比を劣化させる。

この為、APD の過剰雑音を小さくし、また GBP を向上させるためには、増倍層の材料選択とともに、最適なその膜厚設計が必要になる。

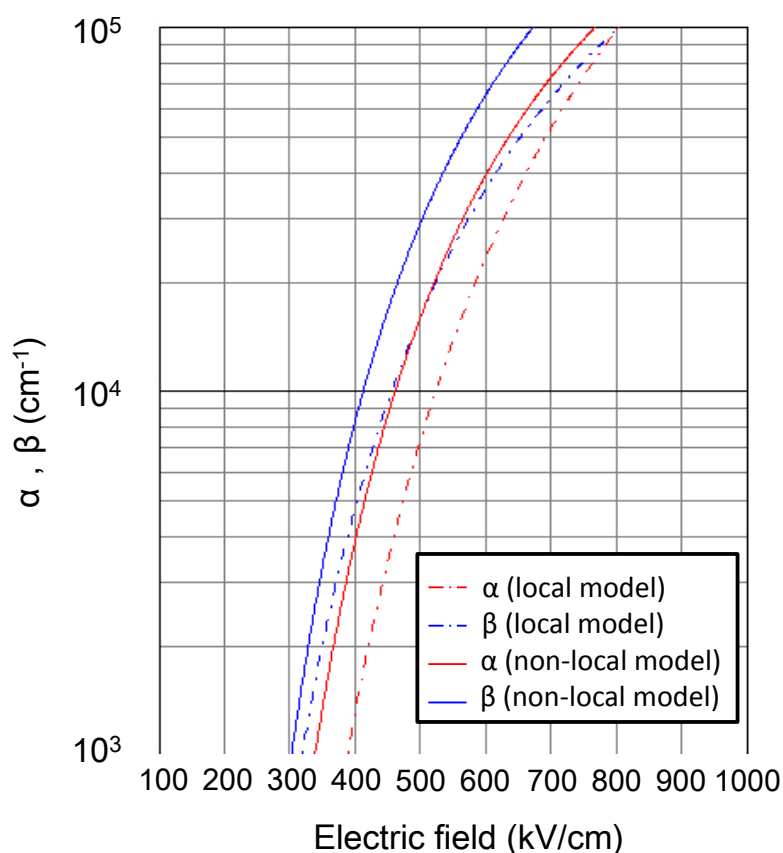


図 3-6 ノンローカルモデルとローカルモデルによるイオン化率の電界強度依存性

3.1.3 利得帯域積

PIN-PD のような一般的な受光素子と異なり、キャリア走行帯域および CR 帯域に加えて、APD において特有の帯域の制限要因、ないしは受光感度とのトレードオフとなる要因が、利得帯域積 (GBP) である。第 2 章で述べたように、GBP は

$$GBP = \frac{1}{2\pi Nk\tau_{av}} \quad (3.16)$$

で表されるため、上述したノンローカルモデルを積極的に用いて、増倍層厚を薄層化することで τ_{av} およびイオン化率比 k を低減させ、GBP を拡大することが、高速高感度化に向けて重要な設計指針となる。

一方で、APD の光吸収層としては、光通信への応用（1.3 μm 帯）への応用を考慮すると、光吸収係数およびキャリア飽和速度の観点からは、InP 基板に格子整合する InGaAs を用いることが理想的である。このため、APD の増倍層材料としては、InP 基板に格子整合する材料系であることが必要になる。光通信用の APD の増倍層材料としては、古くから InP が用いられてきたが、近年、イオン化率比の点で InP よりも優れる材料として、InAlAs が用いられている。表 3-1 に、これまで発表されている代表的な APD の増倍層材料と GBP を示す。

表 3-1 光通信用 APD の増倍層材料、膜厚、注入キャリア、 k ファクタおよび GBP

| 増倍層材料 | 増倍層膜厚 (μm) | 注入キャリア | k | GBP (GHz) | 引用文献 |
|--------|-------------------------|--------|------|-----------|--------|
| InP | 0.24 | 正孔 | - | 80 | [3-13] |
| InP | 0.55 | 正孔 | - | 70 | [3-14] |
| InP | 0.3 | 正孔 | - | 100 | [3-15] |
| InAlAs | 0.2 | 電子 | 0.22 | 140 | [3-16] |
| InAlAs | 0.1 | 電子 | - | 180 | [3-17] |
| InAlAs | 0.13 | 電子 | - | 130 | [3-18] |
| InAlAs | 0.2 | 電子 | 0.15 | 120 | [3-19] |

結晶成長技術の高度化に伴い、InAlAs 増倍層が用いられるようになってからはより薄層増倍層の成長が可能となり、ノンローカル効果が顕著になっている影響もあるが、比較的厚い増倍層と比較しても、InAlAs の方がより高い GBP が可能であることが分かる。

ある有限の GBP が存在する中では、GBP 制限による帯域は以下のように表現される。

$$f_{GBP} = \frac{GBP}{M} \quad (3.17)$$

M は増倍利得である。この為、GBP が高い方が高利得状態において高速動作が可能である。

上述のように、APD における帯域の制限要因は、キャリア走行帯域、CR 帯域、および GBP である。キャリア走行帯域、CR 帯域による実効的な帯域を f_{tot} としたが、更に GBP による帯域制限 f_{GBP} を考慮すると、APD の実行帯域 f_{tot_APD} は、

$$f_{tot_APD} = \sqrt{\frac{f_{tot}^2 f_{GBP}^2}{f_{tot}^2 + f_{GBP}^2}} \quad (3.18)$$

となる。APD 量子効率、

$$\eta_{APD} = \eta \times M \quad (3.19)$$

である。

よって、高速・高感度の APD の実現のためには、GBP を拡大しつつ、キャリア走行帯域・CR 帯域を拡大し、更に光吸収層における量子効率を向上させる、ということすべて同時に満たすことが要求される。

3.2 作製手法

3.2.1 結晶成長および結晶評価

APD は一般的には化合物半導体ヘテロ接合により形成される。このような半導体結晶成長技術としては、分子線エピタキシ (MBE) や、有機金属気相成長 (MOVPE) などがある。

本研究では、結晶成長手法として、MOVPE を用いた。図 3-7 に用いた MOVPE 装置の概略図を示す。

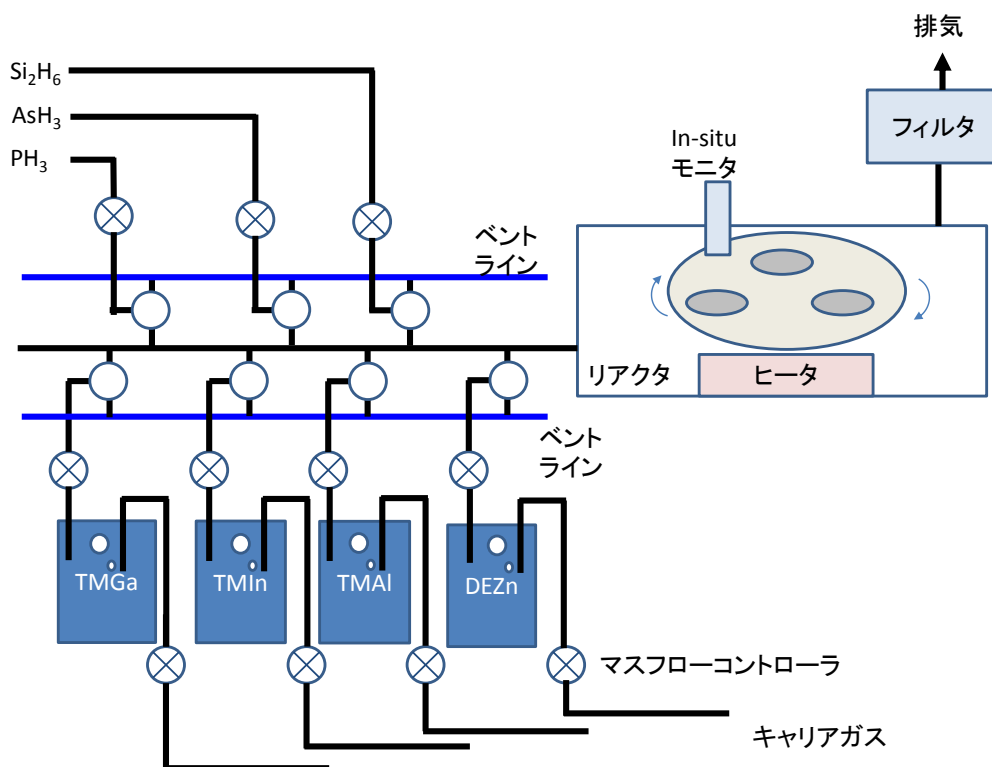


図 3-7 有機金属気相成長装置の概略図

III 族元素は、トリメチルガリウム (TMGa) やトリメチルインジウム(TMIn)などの有機金属を原料とし、水素などのキャリアガスによってリアクタへと供給される。キャリアガスや原料ガスのラインにはそれぞれマスフローコントローラが設けられており、ここで供給量を調節することで、InGaAs や InAlGaAs などの3元ないしは4元混結での組成比を制御することができる。また、リアクタへの原料供給に際し、急激な圧力変動に伴う乱流などを防ぐため、装置動作中は常にベントラインに原料を流し続け、必要に応じてベントラインとランラインを切り替える、「ベント・ラン方式」が用いられる。

リアクタ内においては、ヒーターおよび熱伝導性の良い SiC コーティングされたサセプタが配置されており、サセプタ内に成長用基板を配置する。サセプタ上における、原料ガスの供給の面内分布を低減するため、サセプタには回転機構が取り付けられている。また、成長中における試料の表面状態を観察するため、可視、および赤外光による成長その場反射率測定装置が組み込まれている。本研究においては、3インチ半絶縁性(100)InP を成長用の基板として用いている。

InP 基板上に作製したエピタキシャル結晶に対してプロセスを行い、デバイスを作製する前に、作製した結晶が所望のドーピング濃度、膜厚となっているか、あるいは所望の混晶組成比であって、良好な結晶性が得られているかを知ることは、作製したデバイスに対して、特性評価および課題抽出を行う上で重要である。本研究では、APD のデバイス構造を成長する前に、APD を構

成する個々の層の成長条件の最適化を目的とし、成長速度、ドーピング濃度、結晶性、および混晶組成比の評価を行った。成長速度は段差測定、ドーピング濃度はホール測定、結晶性、混晶組成比はX線回折測定により行った。

段差測定は、半導体結晶薄膜や、プロセス用のレジストなどの数 μm 以下の微少な段差を測定する手法である。任意の半導体薄膜をある条件で InP 基板上に成長し、半導体薄膜のみを選択的にエッチングし、段差測定を行うことで、同条件における半導体薄膜の膜厚が測定できる。また、膜厚を成長時間で割ることで、同条件における成長速度を求めることができる。本研究では、最大レンジ $6.5 \mu\text{m}$ の触針式段差径を用いた。

ホール測定は、半導体などの薄膜試料のキャリア移動度および濃度を評価する手法であり、その原理は電流に対し垂直に磁場がかけられた場合に、その両方に直交する向きに起電力が生じるホール効果に基づいている。ホール測定の概略図を図 3-8 に示す。任意の磁場 B 中の薄膜試料に電流 I を流した場合、試料内のキャリアはローレンツ力を受けるため、磁場、電流のいずれに対しても垂直な方向に進行方向を曲げられる。進行方向の曲げられたキャリアにより、内部電位 E が生じるので、図 3-8 内のホール起電力 V_H を測定することで、内部電位 E を求めることができる。薄膜試料中に存在するキャリアの量が定量化できる。

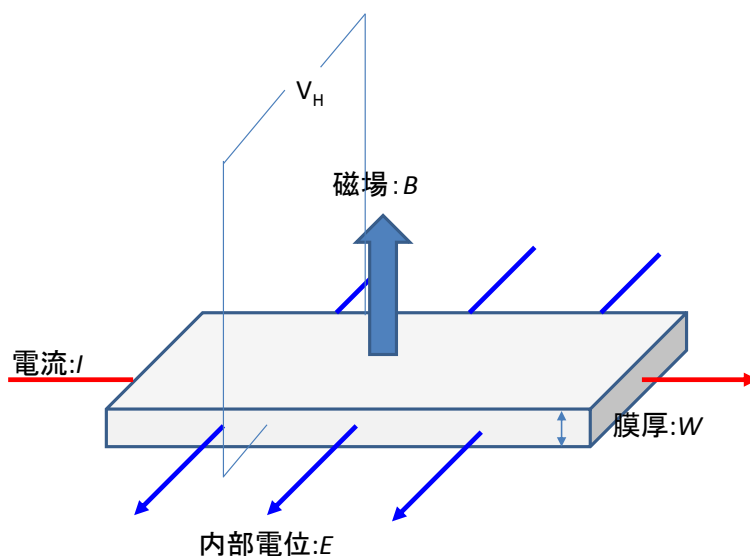


図 3-8 ホール測定の概略図

内部電位 E は、試料膜厚を W 、電流密度を J として、

$$E = V_H \times W = \frac{1}{qn} \times J \times B \quad (3.20)$$

となる。 W は上述の段差測定により求めればよい。また、上式より求められるキャリア濃度に対し、電気伝導度 σ がわかっているならば、

$$\sigma = \mu_H q n \quad (3.21)$$

より、ホール移動度を求めることができる。本研究においては、磁場源として0.37Tの永久磁石を用いた。また、コンタクト金属としては、n型ドーピング試料に対してはInを、p型ドーピング試料に対してはZn含有率5%程度のInZnを用い、測定前には窒素雰囲気下、200℃でのシンタリングを行った。

結晶構造の評価としては、X線回折法を用いているが、X線回折法は、作製した結晶の周期性とブラッグ反射を利用している。図3-9に、X線回折の模式図を示す。結晶の格子間隔を d とし、波長 λ を有する入射X線が θ の入射角度を持つとする。この時、Bragg反射の生じる条件は、

$$2d \sin \theta = n \lambda \quad (3.22)$$

となる。よって、入射角 θ および検出角 2θ を変えながらX線を検出し、その反射X線強度を測定していくことで、結晶の格子定数や結晶構造、面方位を知ることができる。例えば、作製した3元や4元混晶が、所望の回折角度からずれた位置にピークを持ったデータが得られた場合には、作製した結晶の組成比がずれていることが考えられ、また回折ピーク強度が小さい場合には、高い結晶性が得られていない可能性が考えられる。

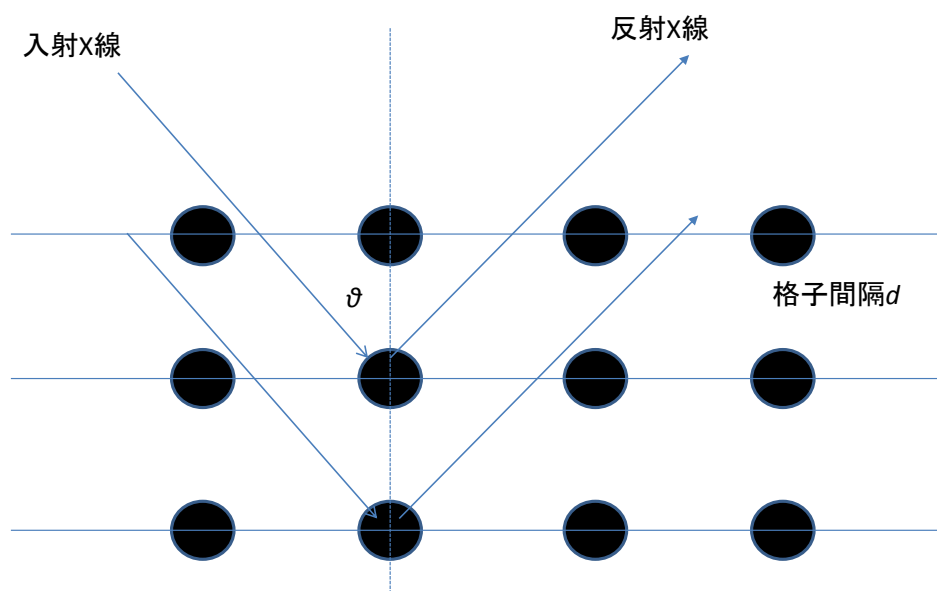


図3-9 X線回折の概略図

実際の測定系においては、3次元的に入射角度を変える為、 θ のみならず入射角度として ω も有しており、 ω - 2θ 法と呼ばれる。本研究では、特性X線光源としては、Cu (0.154060 nm)を用い、Ge(220)結晶により単色化されたX線を入射しており、反射X線は再びGe(220)およびスリットを通してシンチレーションカウンタにより検出している。

3.2.2 ウェハプロセス

APD素子は、その層構造がエピタキシャル成長されたウェハをドライエッチングやウェットエッチングによる形状加工、イオン注入や選択拡散によるドーピング、金属による配線加工、保護膜の形成等のウェハプロセスによって作製される。

第4章で述べるように、本研究におけるAPDは、イオン注入や選択拡散などの選択ドーピング技術を一切必要とせず、エッチングによる形状加工のみによって有効なヘテロ接合が形成される。本研究における基本的なプロセスフローを図3-10に示す。

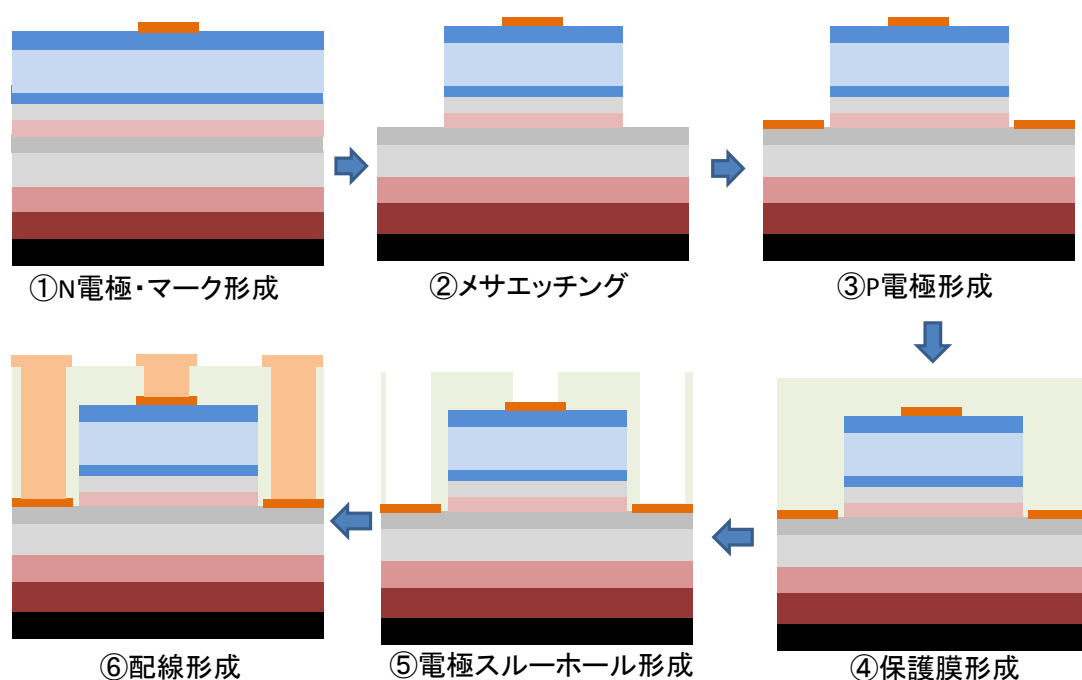


図 3-10 本研究の APD の基本的なプロセスフロー

まず初めに、レジストの塗布、露光、現像によりウェハの最上面に形成する n 電極およびアライメントマークのパターンを形成する。露光においては3インチウェハ用 i 線ステップを用いている。レジストパターンの形成後、電子ビーム (EB) 蒸着により、Ti/Au などによる n 型電極およびマーク金属を形成し、有機溶剤によるリフトオフによってパターン外の金属を除去する。その後、同様のレジスト塗布、露光、現像を行い、所望のメサパターンを形成する。メサの作製に当たって

は、本研究においてはウエットエッチングを用いた。As系半導体のウエットエッチングにおいては、希釈した硫酸系のエッチャントを、InPのウエットエッチングにおいては、塩酸系のエッチャントを用いた。P型コンタクト層までエッチングした後、n電極形成過程と同様にしてp電極を形成する。その後、BCB等の有機膜のスピンコートおよびキュアリングによって、ウエハ前面に保護膜を形成する。保護膜の形成後、レジストの塗布、露光、現像により保護膜表面から電極金属までのスルーホールパターンを形成し、ドライエッチングによってスルーホールを形成する。本研究では、ドライエッチング手法として、垂直性の高い加工が可能である反応性イオンエッチング(RIE)を用い、 CF_4/O_2 混合ガスを用いた。最後に、レジストの塗布、露光、現像により、配線パターンを形成し、EB蒸着により配線を形成する。

実際のAPD素子においては、高性能および高信頼性を担保する為、メサ形成過程において、ウエットエッチングを複数回に分ける多段メサ構造を採用している(第4章に記述)が、基本的なプロセスフローは上述の通りである。

3.2.3 モジュールへの電気実装および光学実装

作製するAPDは、最終的には微弱かつ高速な疑似ランダム光信号を受光し、電気信号に変換する、伝送実験に用いることが目的であるが、ウエハプロセスが終わった段階では、チップにプローブを当てて高周波特性を測定することはできても、そのままでは伝送実験に用いることはできない。これは、APD単体では、その出力電流ないしは電圧振幅が、伝送実験におけるエラーディテクタの許容する電圧振幅に対してきわめて微弱であるためであり、伝送実験を行う際には、APDの電気出力をTIAで増幅する必要があるためであり、APDとTIAを1つのモジュール内に電氣的に実装する必要がある。また、光ファイバから出射される光をAPDに入射するため、ファイバをモジュールに実装する光学実装も必要になる。

電気実装においては、例えばAPD、TIAおよび電気出力端子をつなぐワイヤーがインダクタンス成分を持つ為、適切な電気実装を行わなければ、電気信号の群遅延に伴い出力信号の特性が劣化する。図3-11に、典型的なAPDモジュールの上面からの模式図と、等価回路を示す。

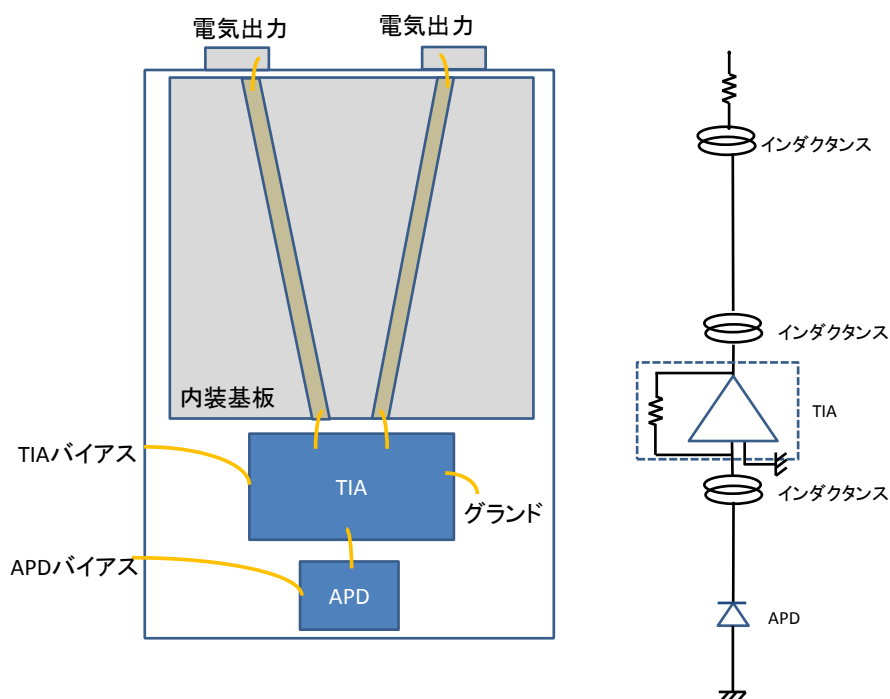


図 3-11 基本的な APD-TIA モジュールの上面模式図と等価回路

等価回路に示すように、APD から TIA へのワイヤ、TIA から内装基板へのワイヤ、内装基板から電気出力へのワイヤそれぞれがインダクタンスとして働く。本来、内装基板自体もインダクタンスおよびインピーダンスを有し得るが、内装基板をマイクロストリップ線路で構成し、線路幅や基板膜厚、線路ピッチを適切に設計することでほとんどインダクタンス、インピーダンスが電気信号の伝送上影響を与えないようにすることが可能である。図 3-12 に、モジュール内におけるインダクタンスが増大した場合におけるモジュールの周波数特性を模式的に示す。本来、APD の実装状態においてインダクタンスが完全に無くなることは考えにくく、TIA は基本的には一定のインダクタンス（および APD の抵抗と容量）を前提として設計されている。インダクタンスが一定の値までは、信号の群遅延に伴い、一見して 3dB 帯域は伸びるように見えることがある。しかし、インダクタンスが許容の値を超えると、群遅延成分が顕著になり、周波数特性は大きく上に凸となり（ピーキングと呼ぶ）、3dB 帯域も劣化する。また、モジュール全体として、インダクタンス L 、容量 C を有するため、一つの LC 共振回路としてみなすことができる。この為、共振条件を満たす C および L であった場合にはモジュールの周波数特性は非常に大きな共振ピークを伴い、伝送実験にはほとんど適用不可となる。よって、モジュールの電気実装に当たっては、実装前に、APD の素子容量、および抵抗を正しく把握しておく必要がある。

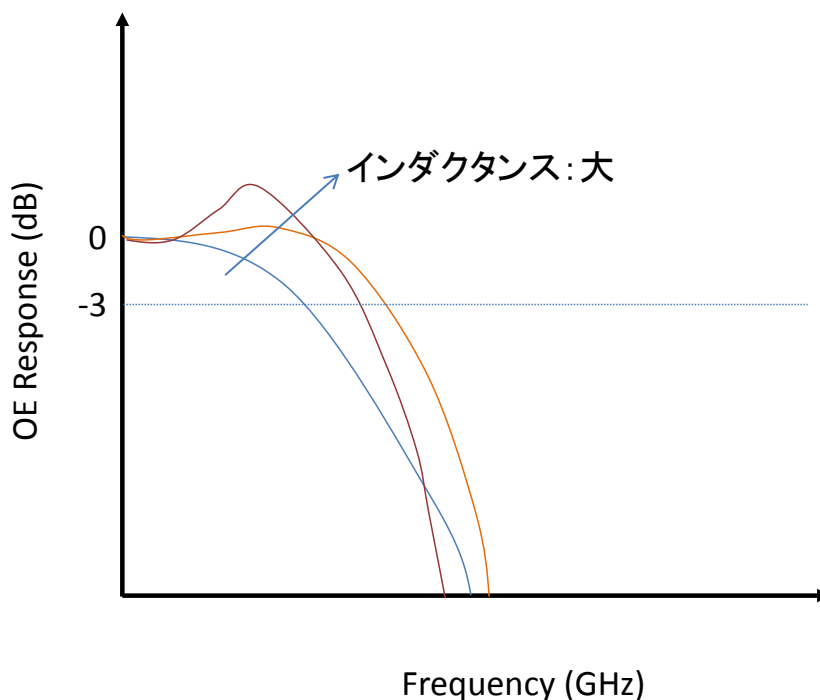


図 3-12 モジュールの周波数特性の模式図

また、光学実装においては、ファイバから出射される光を可能な限り高い効率で APD に入射しなければ、ケラレ損としてモジュールとしての光電変換効率が劣化する。このためファイバと APD の間に適切にレンズを配置し、ファイバと APD との光路長を考慮したうえで、入射光が APD の受光径に対して入射光径が同程度か、十分に小さくなる必要がある。

図 3-13 に、典型的な APD モジュールの断面図を示す。APD への光入射は、APD 素子の上面にミラーを集積し、入射光と反射光の両方を吸収層で吸収させるため、素子の裏面から入射されることが多い。図 3-13 の例では、モジュール横方向にファイバを接続し、APD に裏面から光を入射するため、跳ね上げミラーを用いている。APD、TIA、内装基板は全てサブキャリア上に配置されており、サブキャリア本体の APD 配置部は、部分的に斜めに跳ね上げミラーを設置できるよう加工されている。

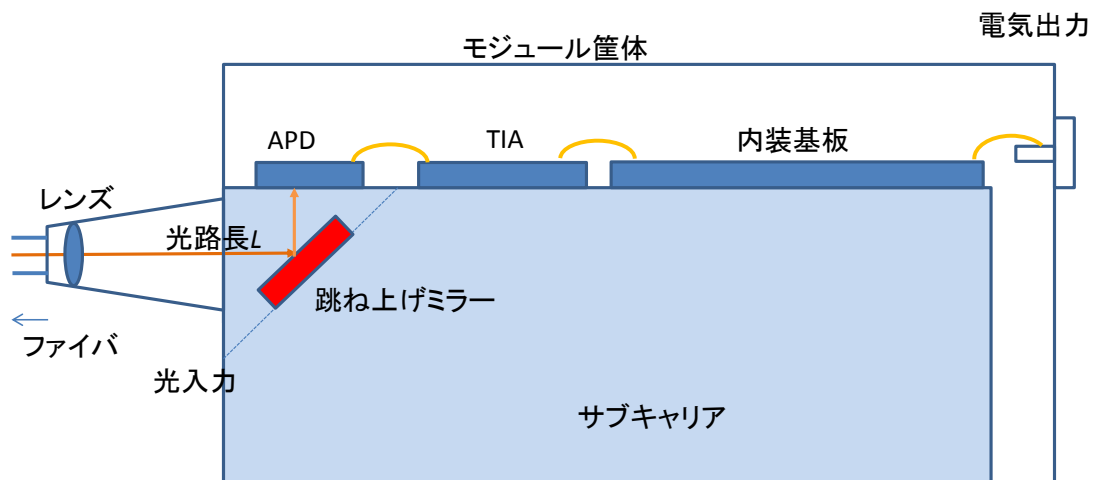


図 3-13 モジュールの断面模式図

APD 素子に有効に光結合をするためには、レンズの持つ焦点距離から、ファイバ端 f_1 、光路長 L を適切に設定する必要がある。今、一般的な球面レンズを適用することを考える。レンズ両面の曲率を r_1, r_2 とすると、焦点距離 f は、

$$\frac{1}{f} = (n - 1) \left(\frac{1}{r_1} - \frac{1}{r_2} \right) + \frac{(n - 1)^2}{n} \frac{t_c}{r_1 r_2} \quad (3.23)$$

t_c はレンズの肉厚である。像倍率 M は、

$$M = \frac{L - f}{f} \quad (3.24)$$

であるので、ファイバ出射端における出射光の MF 径および APD の受光径を勘案し、適切なレンズの選択と光路長 L を設定する。

3.3 評価手法

3.3.1 I-V 測定

APD に逆バイアスを印加し、光入射時および非入射時における電流値（光電流、暗電流と呼ぶ）のバイアス依存性を評価するダイオード評価手法である。典型的な測定系を図 3-14 に示す。

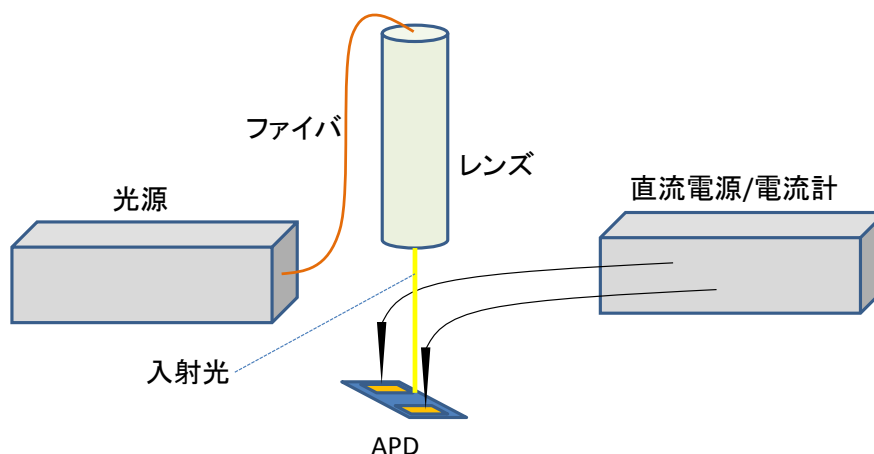


図 3-14 APD の I-V 測定系

APD のある電圧における増倍率 M は、光電流 I 、暗電流 I_{md} 、増倍が無い場合の光電流 I_p 、増倍が無い場合の暗電流 I_d において、

$$M = \frac{I - I_{md}}{I_p - I_d} \quad (3.25)$$

であるので、光電流および暗電流の電圧依存性を調べることで、APD の増倍率を知ることができる。APD の光電流は、第 2 章で述べたように、電子および正孔のインパクトイオン化を繰り返して、増倍層がある電界強度に達したときに急激に上昇する。一方で、暗電流についても、増倍層や吸収層を含むすべての層において生じたトンネル電流が増倍層で増幅されることによって、光電流と同様に、増倍層が一定の電界強度に達したときに急激に上昇する。この電圧を APD におけるブレイクダウン電圧 (V_b) と呼ぶ。典型的な APD の I-V 特性を図 3-15 に示す。結晶欠陥や増倍層以外の層における局所的な電界強度の異常上昇が生じた場合には、増倍層の電界強度が本来 V_b により決められる電界強度になるよりも小さい電界強度においてブレイクダウンが生じる。このように、I-V 測定を行うことで、APD の増倍率の電圧依存性のみならず、作製した APD が設計通りのドーピングプロファイルが実現できているか、結晶性は十分に良好であるか、等の多くの情報を得ることができる。

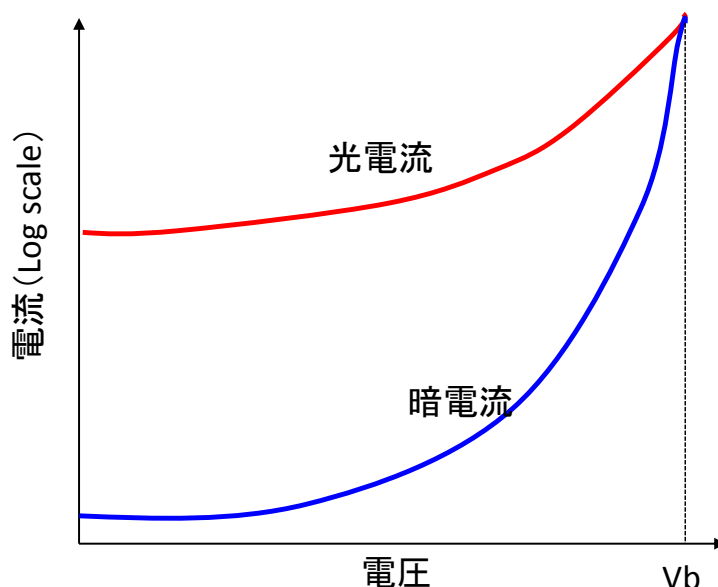


図 3-15 APD の典型的な I-V 特性

3.3.2 C-V 特性

APD に逆バイアスを印加し、任意のバイアス点における素子容量を測定する評価方法である。APD は、一般的にはアンドープ (i-) 増倍層を中心とした、PIN 接合で形成されるが、逆バイアスが大きくなるに従い p 型、n 型にドーピングされた不純物層の空乏化が進行し、高濃度にドーピングされたコンタクト層を除く、APD を構成する各層が、完全空乏化した時点で、素子容量の電圧依存性はほぼなくなる。このため、C-V 測定により、APD を構成する各層の、実際のキャリア濃度を推定することができる。また、APD の高周波特性は、CR 時定数の制限により、素子容量により大きく影響される。この為、作製した素子が計算値に沿った値を示していなかった場合、素子プロセス上や設計上の課題を洗い出すうえでも、C-V 測定は重要である。

素子の有効面積 S を持つ APD の、あるバイアスにおける素子容量 C は、空乏層幅を d として

$$C = \epsilon_0 \frac{S}{d} \quad (3.26)$$

と表される。この為、有効面積の異なるいくつかの素子を測定し、面積に対して素子容量をプロットすることで、素子の有効部分以外（たとえば、パッドなど）での寄生容量を測定することもできる。

3.3.3 利得-帯域特性

APDの帯域と感度は、その素子の有するGBPの範疇でトレードオフの関係にある。すなわち、APDを用いて高速、高感度のレシーバを構成する上では、APDが、どの程度大きい増倍率まで、所望の値以上の帯域を維持できるかが重要になる。そこで、APDの利得と帯域の実験的に評価するため、APDの逆バイアス値、すなわち増倍率を変更しながら、各増倍率での高周波特性を評価する、利得帯域特性を得ることが重要になる。図3-16に、利得帯域特性の評価系を示す。

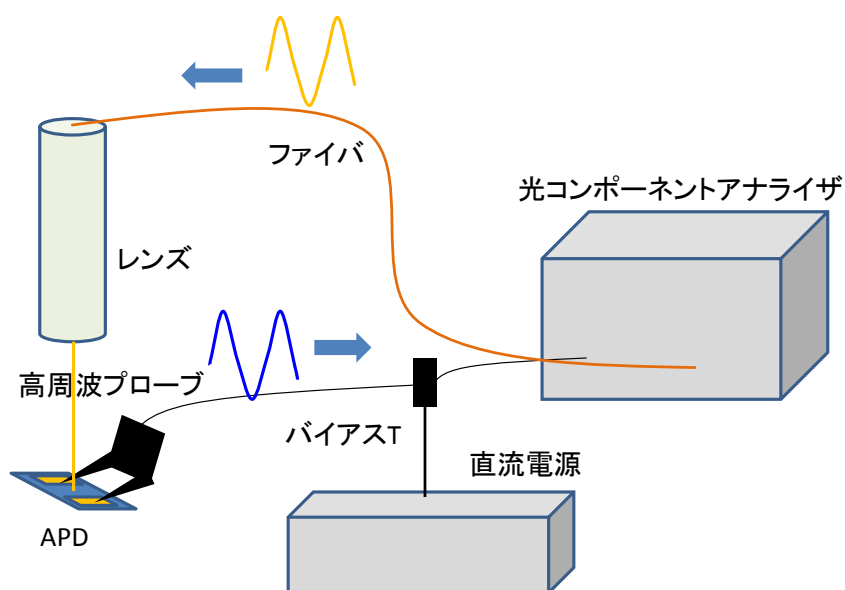


図 3-16 APD の利得帯域特性の評価系

APDの利得帯域評価系においては、直流電源より印加される電圧が、バイアスTを介し高周波プローブを通じてAPDに供給される。光コンポーネントアナライザからは、数MHzから数10GHzまでの変調光信号が送信され、この光信号は光ファイバ、レンズおよび空間光学系を介してAPD素子に入力される。APDからは、入力光信号に応じた電気出力信号が生じ、この電気出力信号を高周波プローブを介して光コンポーネントアナライザで受信する。光コンポーネントアナライザにおける光信号と電気信号の周波数特性は、あらかじめ校正用の光レシーバないしは校正用基板によってキャリブレーションが行われる。

一般的に、ダイオードの様な2端子素子において、入力方向に進む信号波の振幅を a_1 、 a_2 、出力方向に進む信号波の振幅を b_1 、 b_2 とすると、それぞれの振幅強度の関係は、

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (3.27)$$

で表される。 S_{11} は端子1における反射信号強度、 S_{21} は端子1から信号を入射した場合における端子2の通過信号強度、 S_{12} は端子2から信号を入射した場合における端子1の通過信号強度、 S_{22} は端子2における反射信号強度である。それぞれの a, b, S の関係の模式図を図3-17に示す。APDの場合、入力電気信号の双方向性はないため、APDにおける信号透過特性を評価する場合には S_{21} を評価すればよい。 S_{21} が出力信号を1/2(3dB低下)とする周波数が、3dB帯域となる。

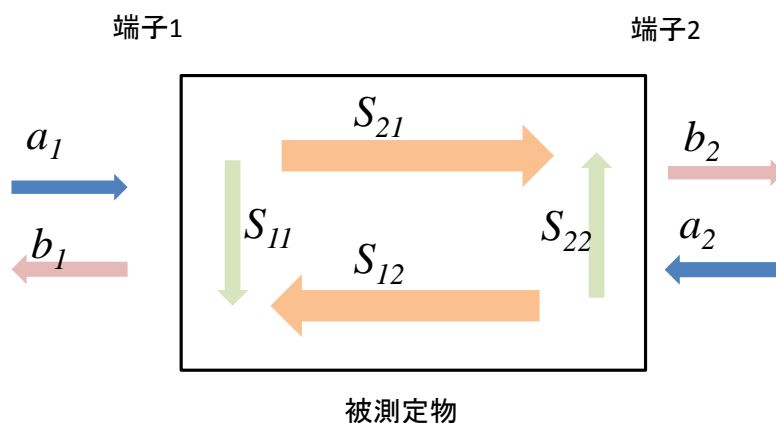


図3-17 高周波測定における、被測定物に対する入出力信号と S パラメータ

APDの逆バイアスを変更させながら光コンポーネントアナライザにより S_{21} を取得し、それぞれの逆バイアス条件(ないしは増倍率)に対して、 S_{21} より得られる3dB帯域をプロットすることでAPDの利得帯域特性が得られる。典型的なAPDの利得帯域特性を図3-18に示す。

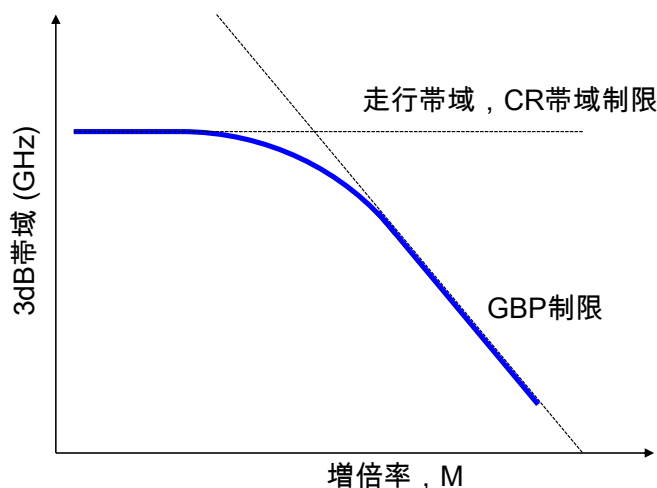


図3-18 APDの典型的な利得帯域特性

図3-18に示すように、GBPが十分に大きい場合、APDの3dB帯域は、増倍率が低い場合では

主にキャリア走行帯域および CR 帯域によって制限される。APD の逆バイアスを大きくし、増倍率を上げていくと 3dB 帯域は次第に低下していき、増倍率が十分大きくなると、やがて 3dB 帯域×増倍率が一定の値となる。この値が、実験的に求められる GBP である。

3.3.4 ビットエラーレート特性

作製した APD の、最終的な光通信への応用性を確認するためには、APD を光レシーバとして実装し、ビットエラーレート (BER) 特性を評価する必要がある。BER とは、全受信ビット数に対するエラービット数の割合であり、BER が小さいほど、受信ビットを正確に電気信号へと復調できていることを示している。図 3-19 に、(a)理想的な 1 及び 0 による信号列、および(b)雑音を含む実際の信号列、の模式図を示す。

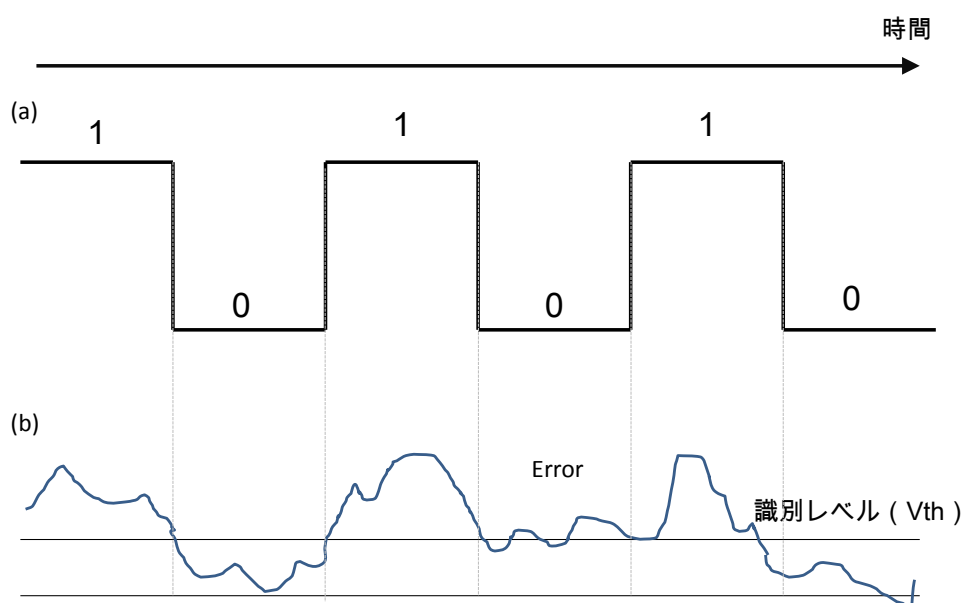


図 3-19 (a)理想的なビット信号列 (b)雑音を含んだ、実際のビット信号列

一般的に、光信号は光レシーバで電気信号に変換された後に、0 及び 1 を識別する判定回路を介することで電気信号のビット列に復調される。この識別判定の際に、0 レベルでありながら識別レベル(V_{th})を超える信号、ないしは 1 レベルでありながら V_{th} を下回る信号が検出された場合には、そのビットはエラーとなる。

BER は、誤差関数 $\text{erfc}(x)$ と S/N 比(SNR)を用いて、以下のように示される。

$$\text{erfc}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} \exp(-t^2) dt \quad (3.28)$$

$$\text{BER} = \frac{1}{2} \text{erfc}\left(\frac{Q}{\sqrt{2}}\right) \quad (3.29)$$

ただし、

$$Q \equiv \frac{s_1 - s_0}{\sigma_1 - \sigma_0} \quad (3.30)$$

である[3-20]。s、σはそれぞれの信号レベルにおける平均振幅と確率分布の標準偏差である。

よって、第2章に示したように、BERを小さく抑えるためには、雑音を下げ、S/N比を向上させることが必要であることが分かる。図3-20に、BER測定系の模式図を示す。

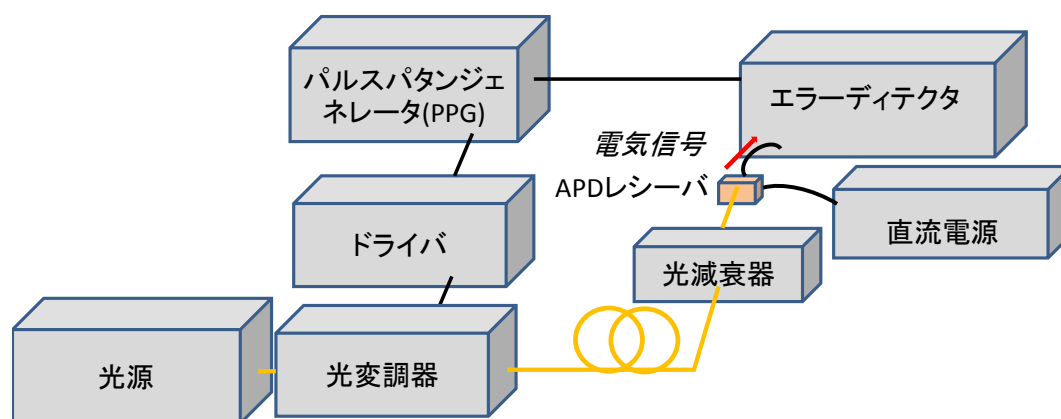


図3-20 APD レシーバの BER 測定系

パルスパタンジェネレータ(PPG)により生成された電気信号をドライバによって増幅し、増幅された電気信号を光変調器に入力する。この状態で光変調器に光を入力することで、ドライバからの電気信号に応じた光信号が、光変調器より出力される。光変調器としては、LN変調器が用いられることが一般的であるが、最近では、半導体DFBレーザと電界吸収型(EA)変調器が集積された、EA-DFBレーザも用いられる。光変調器の出力部は光ファイバに接続され、ある程度の伝送実験を行う場合には、任意の長さを持つファイバが用いられる。光ファイバは、光減衰器により、任意の光出力強度とされ、APDレシーバに入力される。APDレシーバは、APD素子およびTIAへのバイアス給電用の直流電源に接続され、また電気出力部はエラーディテクタに接続されている。エラーディテクタはPPGと同期され、PPGからの出力電気信号と、APDレシーバからの出力電気信号の0および1のビットストリームを比較することでエラー判定を行う。

図 3-21(a) に、典型的な BER 特性を示す。BER 特性は、横軸として APD に入力される光強度、縦軸として BER をプロットされることが一般的である。光送信信号および APD レシーバの特性が不良で、送信信号ないしは APD レシーバの雑音が多い場合には、光信号強度を大きくしても APD レシーバから出力される電気信号の S/N 比が改善せず、BER は小さくならず、エラーフロアを引くことになる。両者が良好な送信および受信特性を有する場合、光入力強度が大きくなると、BER は小さくなる。BER が最小となる光強度を最小受信感度と呼ぶ。例えば 100GbE においては、BER=10⁻¹²以下をエラーフリーと規定しており、この BER が達成される光強度のうち、もっとも小さい光強度が最小受信感度となる。

図 3-21(b)に、APD レシーバの、利得を変化させた場合における最小受信感度の増倍率依存性の例を示す。第 2 章で述べたように、APD においては、増倍率が上昇した場合には、ある一定の増倍率までは最小受信感度は向上するが、増倍率が十分大きくなった場合には、過剰雑音の影響が顕著になり、結果 S/N 比が劣化し、BER が劣化する。また同時に、増倍率が大きくなった場合には、GBP の制約により、APD の帯域が低下するため、ある信号速度に対しては、APD の帯域が信号速度に対して不足し、結果同様に BER が劣化する。このように APD レシーバにおいては、GBP および過剰雑音の 2 つの要因が、BER 特性における最適な増倍率 (M_{opt}) を制限する。

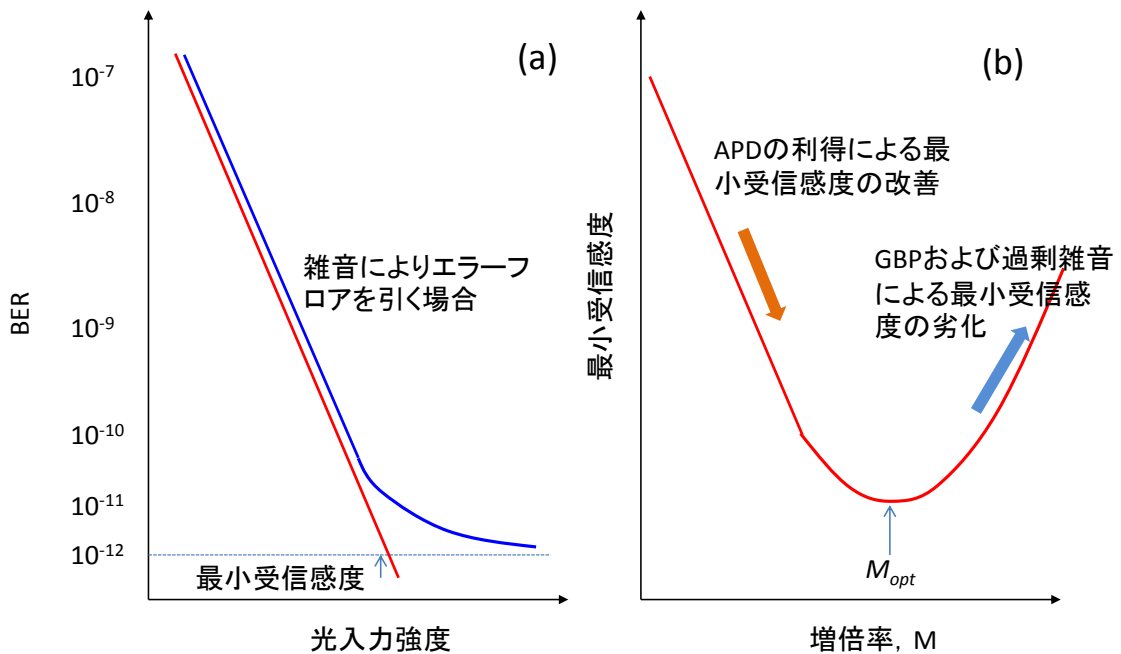


図 3-21 (a)光レシーバの BER 特性, (b)APD 光レシーバの最小受信感度の増倍率依存性

参考文献

- [3-1] S. M. Sze and K. K. Ng (2006). *Physics of semiconductor devices Third Edition*. WILEY.
- [3-2] I. Umebu, A. Choudhury, and P. Robson, "Ionization coefficients measured in abrupt InP junctions," **36**, p. 302, (1980).
- [3-3] Y. K. Jhee, J. C. Campbell, W. S. Holden, A. G. Dentai, and J. K. Plourde, "The effect of nonuniform gain on the multiplication noise of InP/InGaAsP/ InGaAs avalanche photodiodes," IEEE J. Quantum Electron., **QE-21**, p. 1858, (1985).
- [3-4] J. S. Marsland, "On the effect of ionization dead spaces on avalanche multiplication and noise for uniform electric field," J. Appl. Phys., **67**, p. 1929, (1990).
- [3-5] M. M. Hayat, W. L. Sargent, and B. E. A. Saleh, "Effect of dead space on gain and noise in Si and GaAs avalanche photodiodes," IEEE J. Quantum Electron., **28**, p. 1360, (1992).
- [3-6] J. S. Marsland, R. C. Woods, and C. A. Brownhill, "Lucky drift estimation of excess noise factor for conventional avalanche photodiodes including the dead space effect," IEEE Trans. Electron Devices, **39**, p. 1129, (1992).
- [3-7] P. Yuan, C. Hansing, K. Anselm, C. Lenox, H. Nie, A. Holmes, B. G. Streetman, and J. C. Campbell, "Impact Ionization Characteristics of III-V Semiconductors for a Wide Range of Multiplication Region Thickness," IEEE J. Quantum Electrom., **36**, p. 198, (2000).
- [3-8] D. Ong, K. Li, G. Rees, G. Dunn, J. P. R. David, and P. N. Robson, "A Monte Carlo Investigation of Multiplication Noise in Thin $p^+ - i - n^+$ GaAs Avalanche Photodiodes," IEEE Trans. on Electron Devices, **45**, p. 1804, (1998).
- [3-9] S. A. Plimmer, J. P. R. David, D. S. Ong, and K. F. Li, "A simple model for avalanche multiplication including dead space effect," IEEE Trans. Electron Devices, **46**, p. 769 (1999).
- [3-10] D. S. Ong, K. F. Li, G. J. Rees, J. P. R. David, and P. N. Robson, "A simple model to determine multiplication and noise in avalanche photoiodes," J. Appl. Phys., **83**, p. 3426, (1998).
- [3-11] P. Yuan, K. A. Anselm, C. Hu, H. Nie, C. Lenox, A. L. Holmes, B. G. Streetman, J. C. Campbell, and R. J. McIntyre, "A New Look at Impact Ionization—Part II: Gain and Noise in Short Avalanche Photodiodes," IEEE Trans. Electron Devices, **46**, p. 1632 (1999).
- [3-12] L. J. J. Tan, J. S. Ng, C. H. Tan, and J. P. R. David, "Avalanche Noise Characteristics in Submicron InP Diodes," IEEE J. Quantum Electron., **44**, p. 378 (2008).
- [3-13] D. S. Franco, K. Vaccaro, W. R. Clark, W. A. Teynor, H. M. Dauplaise, M. Roland, B. Krejca, and J. P. Lorenzo, "High-performance InGaAs-InP APDs on GaAs," IEEE Photon. Technol. Lett., **17**, p. 873 (2005).
- [3-14] J. C. Campbell, W. T. Tsang, G. J. Qua, and J. E. Bowers, "InP/InGaAsP/InGaAs avalanche photodiode with 70 GHz gain-bandwidth product," Appl. Phys. Lett., **51**, 1454, (1987).
- [3-15] W. R. Clark, A. Margittai, J. P. Noel, S. Jatar, H. Kim, E. Jamroz, G. Knight, and D. Thomas, "Reliable, high gain-bandwidth product InGaAs/InP avalanche photodiode for 10 Gb/s receivers,"

- in Proc. OFC1999, TuI1-1, (1999).
- [3-16] A. Rouvie, D. Carpentier, N. Lagay, J. Decobert, F. Pummereau, and M. Achouche, "High Gain Bandwidth Product Over 140-GHz Planar Junction AlInAs Avalanche Photodiodes," IEEE Photon. Technol. Lett., **20**, p.455, (2008).
- [3-17] T. Nakata, T. Takeuchi, I. Watanabe, K. Makita, and T. Torikai, "10 Gbit/s high sensitivity, low-voltage-operation avalanche photodiodes with thin InAlAs multiplication layer and waveguide structure," Electron. Lett., **36**, 2033, (2000).
- [3-18] B.F. Levine, R.N. Sacks, J. Ko, M. Jazwiecki, J.A. Valdmanis, D. Gunther, and J.H. Meier, "A Novel High Performance Planar InGaAs/InAlAs Avalanche Photodiode," in Proc. SPIE6532, 63521D, (2006).
- [3-19] E. Yagyu, E. Ishimura, M. Nakaji, T. Aoyagi, and Y. Tokuda, "Simple Planar Structure for High-Performance AlInAs Avalanche Photodiodes," IEEE Photon. Technol. Lett., **18**, p. 76, (2006).
- [3-20] 池上徹彦, 土屋治彦, 三上修.(1996).半導体フォトニクス工学. コロナ社

第4章 垂直入射・反転型アバランシェフォトダイオードの設計

4.1 アバランシェフォトダイオードの一般的な構造と課題

APD は、ただ単にフォトキャリアをインパクトイオン化により増幅するのみであれば、単純な PIN-PD における動作電圧を大きくし、光吸収層である i 層の電界強度を、アバランシェブレークダウンが生じる程度に大きくすればよい。しかしながら、近年そして将来に要求される、超高速光通信へと適用するためには、APD のエピタキシャル層構造およびデバイス構造の両面から、様々な工夫がなされている。光通信に APD を応用する上で、典型的な構造上の特徴は、吸収増倍分離型 (Separated Absorption and Multiplication; SAM) 構造である[4-1]。SAM 構造では、通信波長帯に対応した光吸収層 (InGaAs) と、増倍層 (InP) のヘテロ接合により APD を形成する、今日ではごく一般的な構造であるが、SAM 構造が提案されるまでは、APD は純粋なホモ接合により形成され、光吸収層や増倍層の層厚や材料といった、自由度の高い設計概念はそもそも存在しなかった。SAM 構造の提案により、吸収層と増倍層は独立して設計することが可能となり、増倍層として InP を用いることで、高い増倍率を実現することができた。

SAM 構造から更に発展し、増倍層と光吸収層の界面にライトドープを行うことで、光吸収層と増倍層の電界強度が“Low-High”となる“Separated Absorption, Charge, Multiplication; SACM”構造が提案された[4-2]。SACM 構造によれば、APD の動作時に、光吸収層の電界強度は小さく、増倍層の電界強度は大きく出来る為、光吸収層に起因したトンネル電流や光吸収層における増倍は避けながら、増倍層において選択的にキャリアのインパクトイオン化が実現でき、結果、低暗電流、低雑音、高速な APD が可能になった。

現在の光通信用の APD においては、基本的なエピタキシャル構造は、上記 SACM 構造から大きく逸脱していない。ただし、デバイス構造の観点からは、大きく分けて、光導波路を APD 素子に集積した「導波路型構造」と、結晶成長方向と同方向に光を入射する「垂直入射型構造」の2種類に大別される。本節では、この導波路型と垂直入射型について、それぞれの基本的な素子構造と利点、欠点について述べる。

4.1.1 垂直入射型

垂直入射型は、信号光をエピタキシャル成長方向と平行に入射する APD の構造であり、APD の基本的な構造である。垂直入射型の場合、APD の受光面は、入射する光のスポットサイズよりも大きければ良い。入射光はレンズにより集光されていることがほとんどであり、そのスポットサイズは 10 μm 程度には容易にできるため、APD の受光面としては、10 μm 以上の直径であれば十分である。作製プロセスにおいても、受光面 10 μm 以上であれば、ステッパの精度やウエット/ドライエッチングのサイドエッチング等の影響を考慮しても、比較的容易である。すなわち、垂直入射型構造は、光学実装、作製プロセスの両面から、トレランスの大きい構造とすることが可能である。

また、APDの実用に向けて、信頼性を確保するためには、APDの側面に電界が生じることを避けなければならない[4-3, 4-4]。これは、APDにおいてまず信頼性上課題になる点が、APDの層構成の中で最もバンドギャップの小さいInGaAsの表面からの材料劣化となるためである。APDの電界を素子内部に閉じ込め、素子側面における電界を抑制する目的で、垂直入射構造に不純物の選択拡散[4-5]やイオン注入[4-6]による選択ドーピングがしばしば適用される。図4-1に、Zn選択拡散による垂直入射型APDの一例を示す[4-5]。

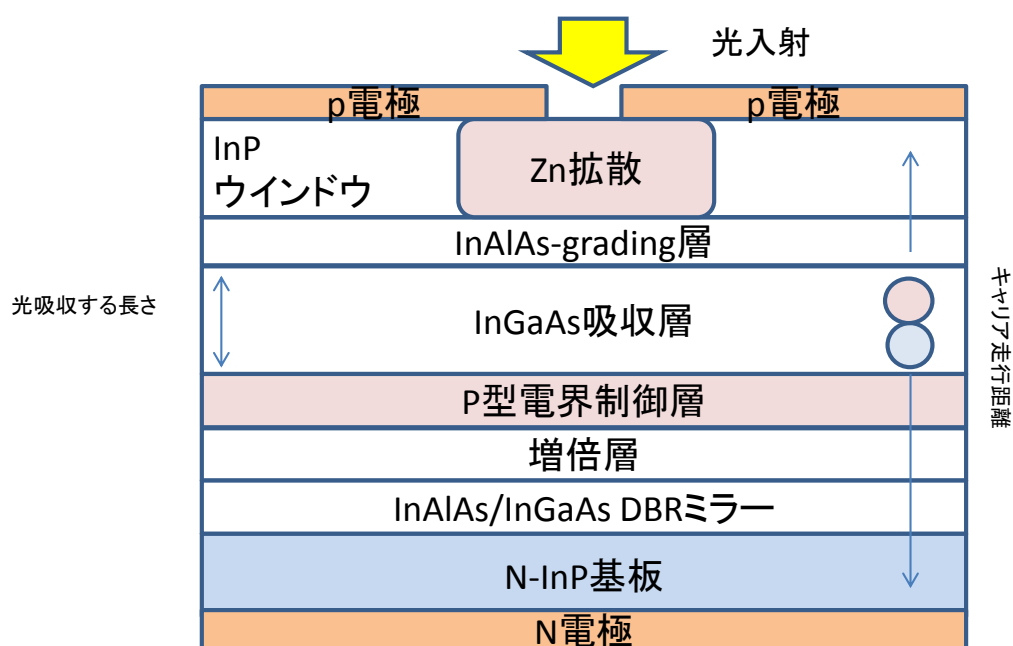


図4-1 垂直入射型APDの概略図

図4-1の構造においては、n型InP基板上に、半導体多層膜による分布帰還型ミラー、InAlAs増倍層、電界制御層、光吸収層、InPのウインドウ層がエピタキシャル成長されており、結晶成長後にZnを選択拡散することによってp型のコンタクトを形成している。素子の実効的な動作領域は、Zn選択拡散領域によって規定されるため、素子の側面の電界強度は小さく抑えられる。図4-1の構造においては、入射光は素子の上面から入射される（上面入射）構造であり、またn型コンタクトは基板裏面によって規定される為、APDチップのモジュールへの実装上非常に簡便である。同構造において、10 Gbit/sでのエラーフリー伝送が実現されている。

図4-1に代表される、垂直入射型においては、光吸収層厚が大きいほど、受光感度は高くなる。通信波長帯であれば、光吸収層厚が1 μmあれば、ミラーによる反射光も適用できれば光電変換効率として70%以上が可能になる。一方、厚い光吸収層は、キャリアの走行時間が大きくなるために、帯域を劣化させる。この為、垂直入射型APDは、本質的な感度と帯域のトレードオフ

が存在する。

4.1.2 導波路型

上述の垂直入射型における、本質的な感度と帯域のトレードオフを克服するべく、導波路型の APD が提案された[4-7]。導波路型 APD においては、光吸収層の積層方向に対して垂直に光が入射される。このため、光路長すなわち受光感度は、素子の平面方向の長さに依存し、一方でキャリア走行時間すなわち帯域は、光吸収層の厚さに依存する。よって垂直入射型 APD と異なり、光路長とキャリア走行時間を独立的に設計できるため、垂直入射型 APD においては本質的であった帯域と受光感度のトレードオフを低減できる。図 4-2 に、典型的な導波路型 APD の模式図を示す[4-8]。

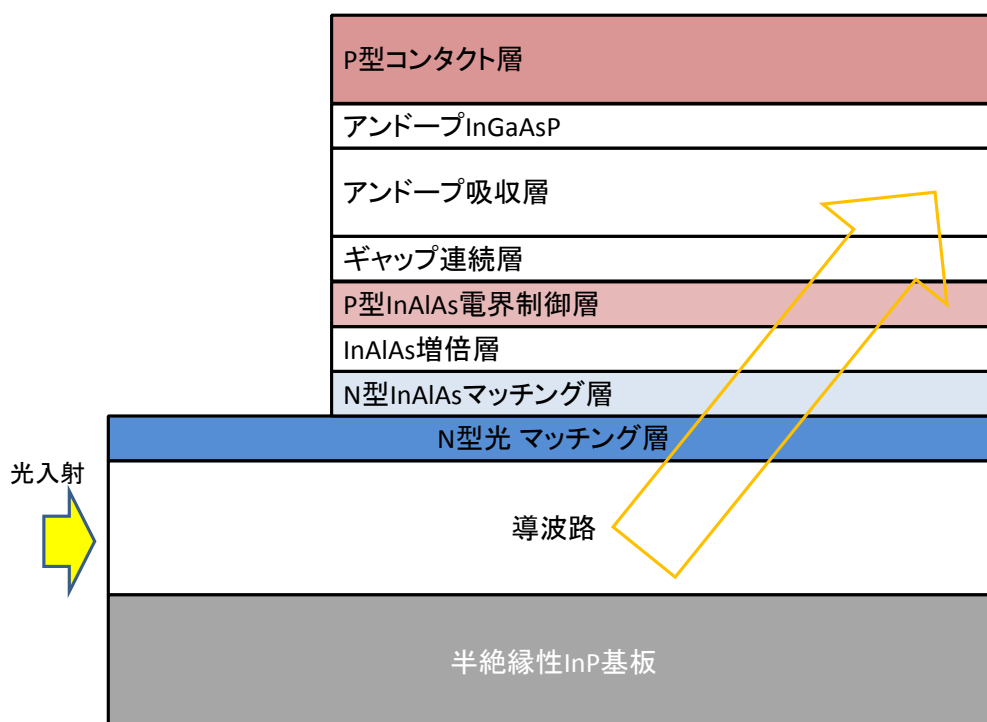


図 4-2 導波路型 APD (エバネッセント結合) の概略図

図 4-2 に示す導波路型 APD は、光導波路と光吸収層の光結合は、エバネッセント光結合により構成されている。光吸収層厚は 190 nm と非常に薄いですが、内部量子効率から推定される受光感度は 0.62 A/W と高い感度が得られており、最大帯域は 35 GHz と、高速性と高感度性を両立している。図示したエバネッセント結合型においては、導波路から光吸収層への光の移行が緩やかであるため、光吸収層の、光の信号方向に対する長さが受光感度に大きく影響する。また、入射

光を、損失を小さく光導波路や光吸収層内に閉じ込めるためには、光導波路や光吸収層の幅をある程度大きなものにしなくてはならない。このように、導波路型 APD においては、垂直入射型と比較して、キャリア走行時間と受光感度のトレードオフは解決できるものの、光吸収層の長さ、および幅に起因した CR 時定数が帯域を制限する。また、導波路型 APD においては、反射防止膜 (AR コート) の導波路端面への形成や、またファイバと導波路の光結合に向けたスポットサイズ変換器 (SSC) の集積観点から、垂直入射型 APD と比較して、高速高感度動作を実現するためには、高いプロセス精度が要求される。これらの要因から、現時点で、実用化されている導波路型 APD は報告されていない。

4.2 ハイブリッド光吸収層によるキャリア輸送時間の低減と高感度化

APD の高速高感度動作を実現する上で、作製する素子がどの程度の動作帯域を有するかを事前にシミュレーションしておくことは極めて重要である。特に光吸収層においては、光吸収層の厚さや構成が、受光感度、帯域に直接影響する。このため光吸収層の設計は、APD の高速高感度化に向けた最重要の設計事項の一つである。

本節では、本研究において達成した、高速高感度動作の大きな要因である光吸収層の設計論を述べる。本研究においては、光吸収層として高速高感度化が可能であるハイブリッド光吸収層を用いている。ハイブリッド光吸収層は、通常の PIN 型光吸収層と、後述する UTC 型光吸収層のキャリア輸送機構の違いを積極的に用いたものである。本節では、受光素子において典型的な光吸収層構造である、PIN 構造と、高速受光素子においてエポックメイキングであった、単一キャリア走行フォトダイオード (Uni-traveling carrier Photodiode; UTC-PD) 構造について、その原理を述べ、本研究の APD におけるユニークな構造であるハイブリッド光吸収層の設計論について述べる。

4.2.1 PIN 型光吸収層

半導体層内におけるキャリア輸送の振る舞いは、古典的には、ドリフト電流成分の周波数依存成分 J_{dr} と拡散電流成分の周波数依存成分 J_{diff} によるドリフト拡散モデルによって表現することができる。いま、単純な空乏化した光吸収層における電流応答について考える。素子内を流れる全規格化電流の周波数依存成分を J_{PIN} とすると、

$$J_{PIN} = J_{dr} + J_{diff} \quad (4.1)$$

となる。このうち、ドリフト電流は、空乏化され電界が生じている領域において生じることを考え、また 1 次近似的に光吸収層内におけるキャリア発生は、吸収層における光の減衰の影響を受けないとする。電子ドリフト電流の内、位置 x における規格化電流 J_{edr} については[4-9]

$$J_{edr}(f, x) = \frac{1}{W} \frac{v_{es}}{j\omega(f)} (1 - \exp(j\omega(f) \frac{-x}{v_{es}})) \quad (4.2)$$

同様に、正孔ドリフト電流の内、周波数依存する規格化電流成分 J_{hdr} については、

$$J_{hdr}(f, x) = \frac{1}{W} \frac{v_{hs}}{j\omega(f)} (1 - \exp(j\omega(f) \frac{x-W}{v_{hs}})) \quad (4.3)$$

となる。ここで、 v_{es} , v_{hs} , ω , f はそれぞれ電子飽和速度、正孔飽和速度、角周波数、周波数である。

W は空乏層厚（光吸収層厚）である。位置 x における電子ドリフト電流および正孔ドリフト電流の規格化電流の周波数依存成分の和としては、

$$J_{dr}(f, x) = J_{edr}(f, x) + J_{hdr}(f, x) \quad (4.4)$$

であるので、全領域における規格化電流は

$$J_{PIN}(f) = \frac{1}{W} \int_0^W J_{dr}(f, x) dx + J_{diff} \quad (4.5)$$

となる。単純な PIN 構造においては、拡散電流の寄与は無視できる程度に小さいため、電子および正孔によるドリフト電流成分のみで、素子内の電流の表現としては十分になる。

光吸収層における 3dB 帯域 (f_{3dB}) を求めるには、規格化電流密度の二乗が 1/2 となる周波数を求めればよい。

4.2.2 単一キャリア走行 (UTC) 型光吸収層

UTC 構造のフォトダイオードは、光吸収層として、アンドープ層ではなく、p 型にドーピングされた半導体層を用いるユニークな構造である[4-10]。図 4-3 に典型的な UTC-PD のバンド構造を示す。

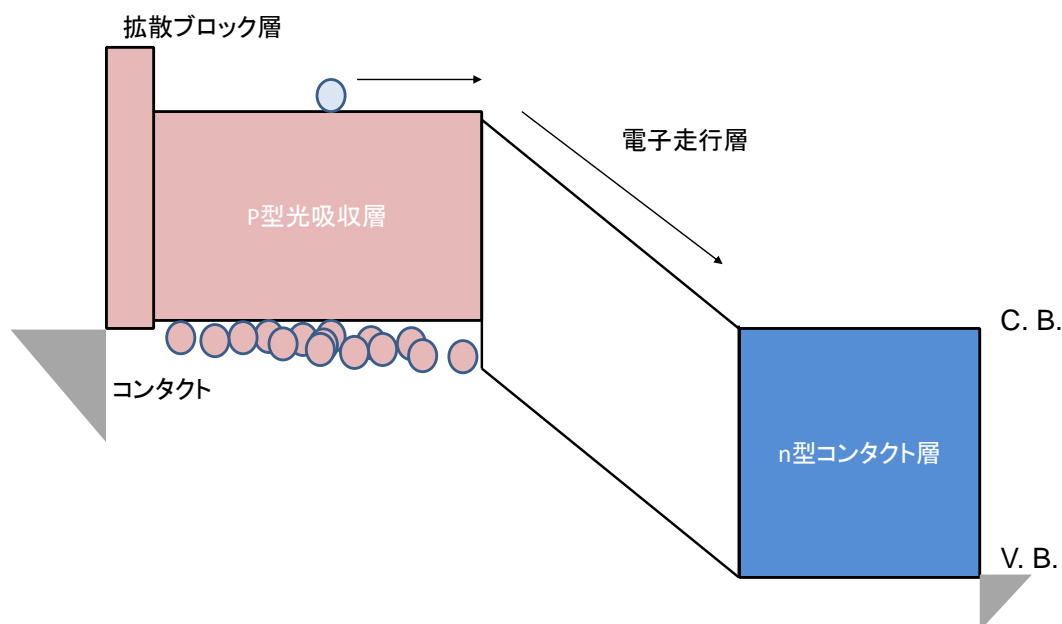


図 4-3 UTC-PD のバンド構造

UTC-PD においては、p 型の光吸収層においてフォトキャリアが生じる。ドーピング濃度は、動作状態においてもドーピング層が空乏化せず、電氣的に中性が保たれている程度であるため、動作状態においては光吸収層に電界は生じていない。光吸収層には多くの正孔が存在しているため、生成した正孔は個別のキャリアとして振る舞うことは無く、一時近似的には誘電緩和過程に従う。一方で生成した電子は、電界が生じていないためにドリフト移動の成分は有さず、拡散過程を経て電子走行層へと注入され、電子走行層においてはドリフト移動を経て n 型コンタクト層へと移動する。P 型光吸収層においては、コンタクト付近に、伝導体端が光吸収層よりも高エネルギーに位置する材料を配置することで、光吸収層における電子の、p 型コンタクト層側への拡散移動を防いでいる。結果、UTC-PD においては、走行帯域を制限するキャリアは電子のみになり、正孔はキャリア輸送特性に寄与しない。

UTC-PD の応答特性を、光吸収層および電子走行層のみに絞り簡易化したモデルにおいて考えてみよう。UTC-PD におけるキャリア輸送を、ドリフト拡散モデルを基に考えてみる[4-11]。考慮する電流の概略図を図 4-4 に示す。いま、p 型光吸収層の膜厚を W_A 、電子走行層の膜厚を W_C とする。光吸収層で生じた電子電流および正孔電流は、光励起によって生じた電流が $e^{j\omega t}$ の進行波として移動するとし、また電子走行層においては、光吸収層と電子走行層の界面における電子電流 $J_n(W_A)$ に対し同様に $e^{j\omega t}$ を以て伝搬するとする。

UTC-PD に流れる規格化電流は、式(3.5)と同様の形で表現すると、電子電流 J_e および正孔電流 J_h を用いて

$$J_{tot} = \frac{1}{W} \int_0^W (J_n + J_p + \epsilon_s \frac{\partial E}{\partial t}) dx \quad (4.6)$$

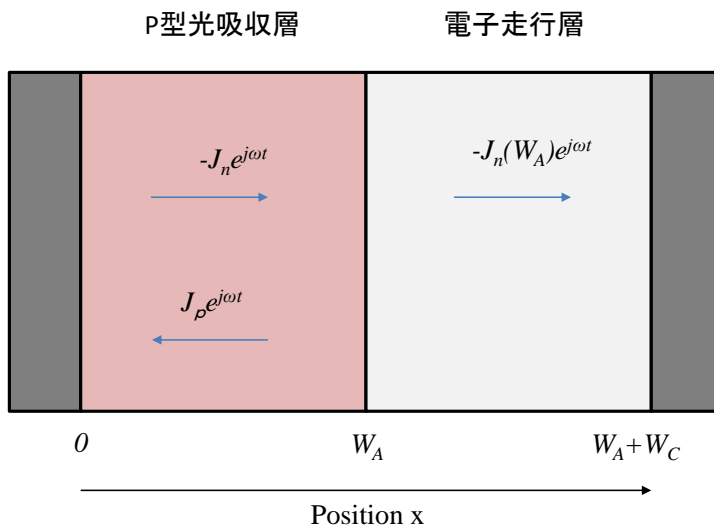


図4-4 UTC-PDの電流モデルの概略図

ただし、 $W = W_A + W_C$ である。

ここで、 $\epsilon_s \frac{\partial E}{\partial t}$ は変位電流の項である。短絡状態においては変位電流は0となるので無視することができる。また、電子走行層内における電流成分は、光吸収層より注入される電子電流のみである。これらから、短絡状態における式(4.6)は以下のように展開できる。

$$J_{UTC_tot} = \frac{1}{W} \int_0^{W_A} (J_n + J_p) dx + \frac{1}{W} \int_{W_A}^{W_A+W_C} J_n dx \quad (4.7)$$

式(4.7)における第1項は光吸収層における規格化電流成分、第2項は規格化電子走行層における電流成分である。

電子電流 $J_n(x)$ および正孔電流 $J_p(x)$ は、電流連続の関係から、電子濃度 n 、正孔濃度 p を用いて以下のように表される。

$$\begin{aligned} \frac{\partial n}{\partial t} &= G - \frac{n}{\tau} + \left(\frac{1}{q}\right) \frac{\partial J_n(x)}{\partial x} \\ &= G - \frac{n}{\tau} + \frac{\partial}{\partial x} [\mu_e n (E_0 + E) + D_e \frac{\partial n}{\partial x}] \end{aligned} \quad (4.8)$$

$$\begin{aligned}\frac{\partial p}{\partial t} &= G - \frac{p}{\tau} - \left(\frac{1}{q}\right) \frac{\partial J_h(x)}{\partial x} \\ &= G - \frac{p}{\tau} - \frac{\partial}{\partial x} [\mu_h(p_0 + p)E - D_h \frac{\partial p}{\partial x}]\end{aligned}\quad (4.9)$$

ここで、 p_0 はバックグラウンドの正孔濃度、 G はキャリア生成率、 τ は再結合確率、 E は光励起されたキャリアによる電界強度、 E_0 は少数キャリアである電子における疑似電界強度、 μ_e 、 μ_h はそれぞれ電子、正孔の移動度、 D_e 、 D_h はそれぞれ電子、正孔の拡散係数である。

いま、小信号応答であることを仮定することで、 nE および pE を無視することができる。UTC-PD 内においては正孔は多数キャリアであり、電子とは異なる振る舞いをする。いま、光吸収層におけるドーピング濃度、すなわちが p_0 十分に大きいとき、 $p \approx n$ の疑似的な中性状態が維持され、光吸収によって生じた余剰の正孔 p による拡散電流に比べて、バックグラウンドにある p_0 によるドリフト電流が支配的になる。すなわち、光吸収によって生じた正孔が、ポアソン方程式

$$\frac{\partial E}{\partial x} = (q/\epsilon)(p - n) \quad (4.10)$$

に従う電界強度 E によって輸送されるとしても、 p_0 が十分に大きい条件では UTC-PD 内における電荷のインバランスは無視できる程度に小さい。従って、式(4.9)における、光吸収によって生じた拡散電流の項 $D_h \frac{\partial p}{\partial x}$ は無視することができる。

以上から、小信号応答を考える場合、式(4.8)、(4.9)は以下のように表現できる。

$$\frac{\partial n}{\partial t} = G - \frac{n}{\tau} + \frac{\partial}{\partial x} [\mu_e n E_0 + D_e \frac{\partial n}{\partial x}] \quad (4.11)$$

$$\frac{\partial p}{\partial t} = G - \frac{p}{\tau} - \frac{\partial}{\partial x} (\mu_h p_0 E) \quad (4.12)$$

さて、電流連続の関係

$$J_n + J_p + \epsilon \frac{\partial E}{\partial t} = \text{constant} \quad (4.13)$$

から、

$$\begin{aligned}\frac{\partial J_p}{\partial x} &= -\frac{\partial J_n}{\partial x} - \varepsilon \frac{\partial^2 E}{\partial x \partial t} \\ &= \frac{\partial J_n}{\partial x} - j\omega\varepsilon \frac{\partial E}{\partial x}\end{aligned}\quad (4.14)$$

を得る。また、先に述べたように、正孔電流は光吸収層へのドーピングによる多数キャリアドリフト成分のみを考えればよいので、

$$\frac{\partial J_p}{\partial x} = \frac{\partial}{\partial x}(q\mu_n p_0 E)\quad (4.15)$$

となる。また、 E は電子電流 J_e に関連するため

$$\frac{\partial(J_p + J_n)}{\partial x} = -j\omega\varepsilon \frac{\partial E}{\partial x} = \frac{j\omega\tau_R}{1 + j\omega\tau_R} \frac{\partial J_n}{\partial x}\quad (4.16)$$

となる。ここで、 τ_R は光吸収層における誘電緩和時間であり、 $\tau_R = \varepsilon/q\mu_n p_0$ である。

上式を、 $J_n = J_n(W_A)$ 、 $J_p(W_A) = 0$ の境界条件のもとで解くと、 $J_n + J_p$ は J_n の関数として表現することができる。

$$J_n + J_p = J_n(W_A) \left[1 - \frac{j\omega\tau_R}{1 + j\omega\tau_R} \left(1 - \frac{J_n}{J_n(W_A)} \right) \right]\quad (4.17)$$

一方で、電子走行層における電子電流(式(4.7)における第2項)は、伝達関数 $R(\omega)$ を用いた表現で比較的良好に近似することができ、以下で示される。

$$J_n = \frac{W_c}{W} J_n(W_A) R(\omega) \exp(j\omega t)\quad (4.18)$$

電子走行層内における電子ドリフト速度 v_e が一定だと仮定すると、電子電荷 $[J_e(W_A)/qv_e] \exp(j\omega t)$ は v_e で伝搬することになる。この場合、伝達関数 $R(\omega)$ は

$$R(\omega) = \frac{\sin\left(\frac{\omega\tau_c}{2}\right)}{\frac{\omega\tau_c}{2}} \exp(-j\omega\tau_c/2)\quad (4.19)$$

で表される[4-12]。ここで、 τ_c は電子走行層内における電子輸送時間で、 W_c/v_e に等しい。

UTC-PD 内における全電流は、式(4.17)、(4.19)を式(4.7)の第1項を光吸収層内における電流成分、第2項を電子走行層における電流成分とし、以下で表現される。

$$J_{tot}(\omega, x) = \frac{1}{W} \int_0^{W_A} J_n(W_A) \left[1 - \frac{j\omega\tau_R}{1+j\omega\tau_R} \left(1 - \frac{J_n}{J_n(W_A)} \right) \right] dx + \frac{W_c}{W} J_n(W_A) \frac{\sin\left(\frac{\omega\tau_c}{2}\right)}{\frac{\omega\tau_c}{2}} \exp(-j\omega\tau_c/2) \quad (4.20)$$

式(4.20)にあるように、UTC-PD の全層における応答特性を得るには、光吸収層における電流応答に対応する $J_n(W_A)$ を求めればよいことがわかる。

いま、UTC-PD 内における光吸収は一様であり、また光吸収層内における電子輸送がドリフト成分を持たない（すなわち光吸収層内に疑似電界は生じていない）と仮定すると、UTC-PD の光吸収層における電子電流はその主成分は拡散電流および熱電子放出によるものと考えることが出来る。よって、UTC-PD 内の光吸収層における電子電流成分は、

$$J_n(f) = \frac{J_{DC}}{1+j\omega(f)\tau_A} \quad (4.21)$$

となる[4-13]。 J_{DC} は平均光電流($J_{DC}=qGW_A$)であり、 q は電気素量、 G はキャリア生成確率である。したがって、UTC-PD の周波数応答を考慮する際には定数として扱うことができる。 τ_A は光吸収層内における電子輸送時間であり、UTC-PD の場合は拡散時間と熱速度により規定されるため、以下のように表現できる。

$$\tau_A = \frac{W_A^2}{3D_e} + \frac{W_A}{v_{th}} \quad (4.22)$$

第1項が電子拡散による項、第2項が熱電子放出による項である。 v_{th} は電子の熱速度である。結局、UTC-PD における電流の周波数応答は、

$$J_{UTC_tot}(f, x) = \frac{1}{W} \int_0^{W_A} \frac{J_{DC}}{1+j\omega(f)\tau_A} \left\{ 1 - \frac{j\omega\tau_R}{1+j\omega\tau_R} \left(1 - \frac{J_n(x)}{J_n(W_A)} \right) \right\} dx + \frac{W_c}{W} \frac{J_{DC}}{1+j\omega(f)\tau_A} \left(\frac{\sin(\omega\tau_c/2)}{\omega\tau_c/2} \right) e^{-i\omega\tau_c/2} \quad (4.23)$$

より、

$$J_{UTC_tot}(f) = \frac{W_A}{1 + j\omega(f)\tau_A} + \frac{W_C}{1 + j\omega(f)\tau_A} \exp(-j\omega(f)\frac{W_C}{v_e}) \quad (4.24)$$

となる。ただし、吸収層内におけるキャリア生成率 $G = 1/q$ と仮定した。式(4.24)の第1項が光吸収層の $x=W_A$ における電流成分、第2項が $x=W=W_A+W_C$ における電流成分である。この UTC-PD の規格化電流密度が、周波数 0 の状態に対して -3 dB となる周波数が、UTC-PD の f_{3dB} となる。

一般的な PIN-PD と、UTC-PD の周波数特性を、吸収層膜厚に対して比較してみよう。PIN-PD における吸収層膜厚 W に対する全電流の規格化電流密度式(4.5)より、UTC-PD については(4.24)より求めることができる。上記の PIN および UTC の2式の内、吸収層内におけるキャリア輸送時間に相当する項を見てみよう。PIN-PD の場合、

$$\tau_{A_PIN} = \frac{W_A}{v_s} \quad (4.25)$$

UTC-PD の場合、

$$\tau_{A_UTC} = \frac{W_A^2}{3D_e} + \frac{W_A}{v_{th}} \quad (4.26)$$

である。 W_A が極限に小さくなる状態を除いて、PIN-PD ではキャリア輸送時間は、膜厚に比例して大きく、UTC-PD ではキャリア輸送時間は膜厚の2乗に比例して大きくなる。これは、UTC-PD の PIN-PD に対する特異性を端的に示している。

PIN-PD および UTC-PD のそれぞれの電流成分が、周波数に対してその強度が 3dB 低下する 3dB 帯域(f_{3dB})を、膜厚に対してプロットしたものが図 4-5 である。簡単のため、光吸収層におけるキャリア応答速度についてのみ議論している。すなわち、PIN-PD においては、アンドープ光吸収層厚のみがキャリア応答に寄与し、UTC-PD については、電子走行層の影響は考慮せず、p 型光吸収層の膜厚のみがキャリア応答に寄与するものとした。

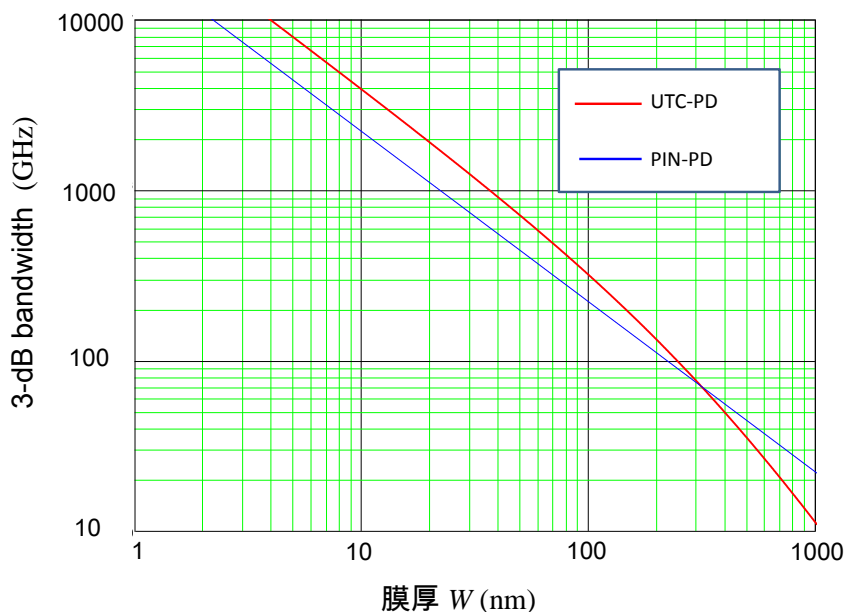


図 4-5 UTC-PD と PIN-PD の光吸収層における 3dB 帯域の膜厚依存性

図 4-5 の計算結果は、UTC-PD のキャリア輸送メカニズムの PIN-PD との違い、すなわち、UTC-PD は膜厚の二乗に依存し、PIN-PD は膜厚に対してリニアな関係にある、という違いを顕著に反映している。UTC-PD は、光吸収層厚が 200 nm を下回るような膜厚においては、PIN-PD を上回る 3dB 帯域が期待され、光吸収層厚が大きくなるほど、その速度は熱移動過程によるものに漸近する。一方で、PIN-PD は、吸収層厚が数 100 nm 以上になると UTC-PD を上回る 3dB 帯域になる。

特筆すべきは、UTC-PD と PIN-PD のキャリア輸送メカニズムが、全く異なるという点である。この特徴を有効に用いた光吸収層の構成が、本研究にて提案、適用したハイブリッド光吸収層である。ハイブリッド光吸収層においては、UTC-PD のキャリア輸送メカニズムと PIN-PD のキャリア輸送メカニズムが、互いに干渉しないよう吸収層構成を設計し、高速高感度動作を実現している。

4.2.3 ハイブリッド光吸収層

APD の高速高感度化に向けて、光吸収層における帯域と感度のトレードオフを緩和する上で、上に光吸収層構成として典型的な PIN-PD 構造と、超高速動作が可能な UTC-PD 構造について述べた。一般的な APD の光吸収層構成として用いられる PIN-PD 構造においては、膜厚の最適化以外に格別な高速高感度効果を期待することは困難であり、また、UTC-PD 構造においては、膜厚が小さい場合には PIN-PD をはるかに凌駕する高速動作を可能とするが、膜厚が大きい場合

にはむしろ PIN-PD よりも速度性能が劣化する。

本研究においては、PIN-PD と UTC-PD の、キャリア輸送機構が全く異なることに着目した。図 4-6 に、提案したハイブリッド光吸収層のキャリア輸送を説明する図を示す。

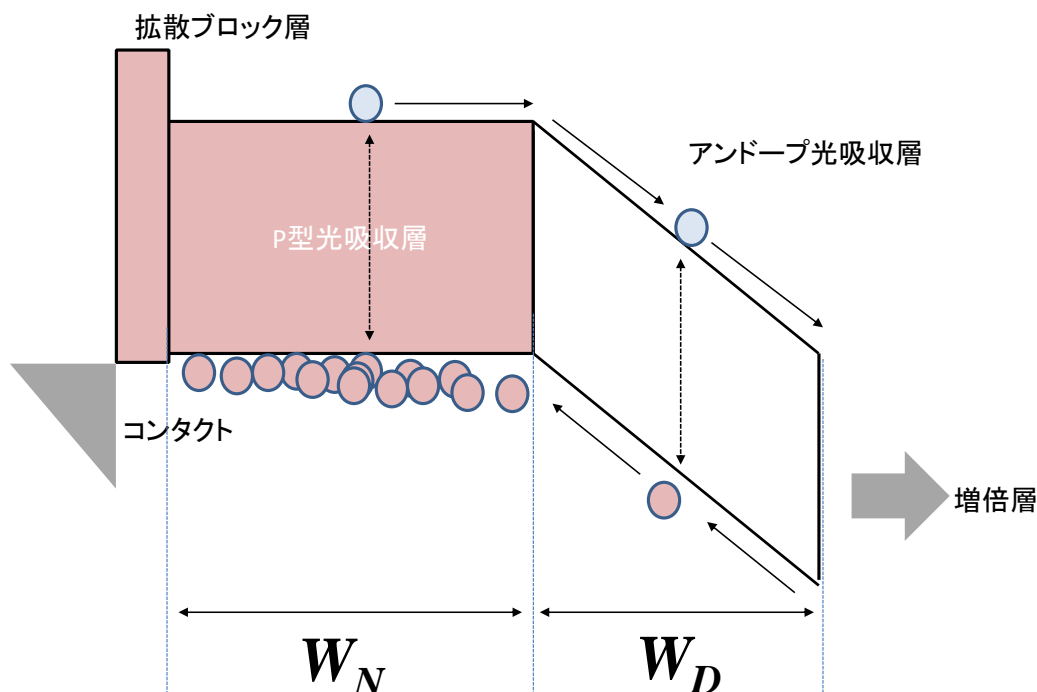


図 4-6 ハイブリッド光吸収層におけるキャリア輸送

ハイブリッド光吸収層は、膜厚 W_N を有する p 型にドーピングされた（すなわち、UTC-PD の動作原理を有する）部分と、 W_D アンドープの（すなわち、PIN-PD の動作原理を有する）部分の組み合わせによって成っている。P 型、アンドープ量両吸収層とも、典型的には InP 基板に格子整合する InGaAs で形成されており、受光感度はこの両層の膜厚の和 ($W_N + W_D$) で決まる。

ハイブリッド光吸収層のキャリアの振る舞いについて考えてみる。電子に着目すると、P 型光吸収層における光励起により生じた電子は、UTC-PD と同様に、拡散および熱移動過程によってアンドープ光吸収層へと移動する。アンドープ光吸収層において生じた電子は、ドリフト過程による電子輸送が支配的となる。P 型光吸収層から注入された電子も同様、ドリフト過程を経ることになり、共に増倍層側へと移動する。

一方、正孔に注目してみよう。P 型光吸収層において生じた正孔は、UTC-PD と同様に、誘電緩和過程に従うため、キャリア輸送特性としては無視できる。アンドープ光吸収層において生じた正孔は、ドリフト過程を介して、p 型光吸収層へと注入される。P 型光吸収層に注入された正孔は、同様に誘電緩和過程を経る為、キャリア輸送特性としては無視できる。

ヘテロバイポーラトランジスタの例から考えて、アンドープ光吸収層に注入された電子は、オーバーシュート速度を有して振る舞う [4-14]。このオーバーシュート速度 ($\sim 3.0 \times 10^7$ cm/s) は、正孔の飽和速度 ($\sim 5.0 \times 10^6$ cm/s) に比べて 1 桁近く大きいため、アンドープ光吸収層における電子

ドリフトの輸送過程は、同様の正孔のドリフト過程と比較すると無視できる。

まとめると、電子、正孔の実効的な走行距離と輸送機構は、表 4-1 に示すようになる。

表 4-1 ハイブリッド光吸収層における電子、正孔の実効的な走行距離

| キャリア | 実効的な走行距離 | 輸送機構 |
|------|----------|--------------------------|
| 電子 | W_N | 拡散および熱移動 (UTC-PD モード) |
| 正孔 | W_D | ドリフト (PIN-PD モード) |

すなわちハイブリッド吸収層においては、受光感度は全光吸収層厚 ($W_N + W_D$) によって決まるが、キャリア走行距離は、電子にとっても正孔にとっても、互いに異なる領域分しか実効的には影響しない。結果、ハイブリッド光吸収層を適応した場合、全光吸収層厚を大きくしながらも、走行時間を低減することが出来る為、高速高感度化が実現できる。

ハイブリッド光吸収層におけるキャリアの振る舞いについて、ドリフト拡散モデルを基に詳細に考えてみよう。ハイブリッド吸収層内における考慮する電流成分、および各座標を図 4-7 に示す。

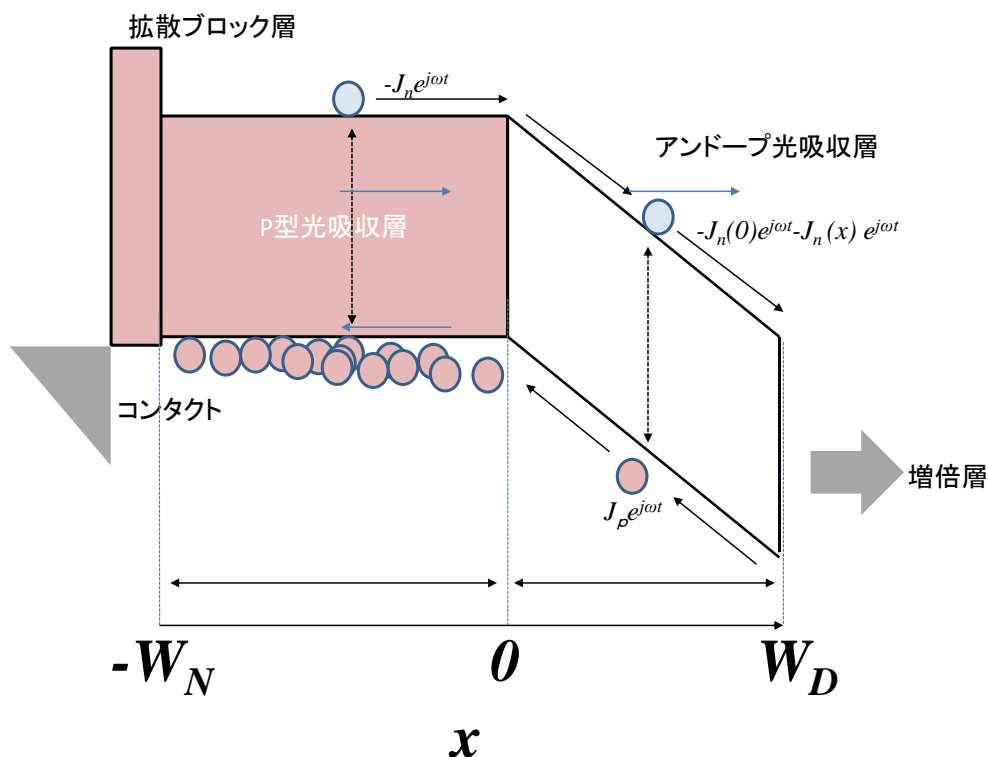


図 4-7 ハイブリッド光吸収層におけるキャリア輸送

P型吸収層とアンドープ吸収層の界面の座標を0としている。

いま、吸収層内におけるキャリア生成率 $G = 1/q$ と仮定すると、p型光吸収層における電子電流は、式(4.24)にあるように、UTC-PDと同様にして拡散と熱移動によるため、

$$J_{Ne}(f) = \frac{W_N}{1 + j\omega(f)\tau_{AN}} \quad (4.27)$$

であり、

$$\tau_{AN} = \frac{W_N^2}{3D_e} + \frac{W_N}{v_{th}} \quad (4.28)$$

である。ここで、 $\omega(f)$ は電子電流の角周波数であり、 $2\pi f$ に等しい。 f は周波数である。 W_N は動作状態において、p型ドーピングにより電気的中性を維持している光吸収層厚である。

一方、アンドープ光吸収層における電子電流は、同層において光生成した電流に加えて、p型光吸収層からの注入電流の寄与が生じる為、

$$J_e(f, x) = \frac{v_{se}}{j\omega(f)} \left(1 - \exp\left(j\omega(f) \frac{-x}{v_{se}}\right) \right) + J_{Ne}(f) \exp\left(j\omega(f) \frac{-x}{v_{se}}\right) \quad (4.29)$$

となる。第1項は、アンドープ光吸収層において新たに生成した電子による電流、第2項は、p型光吸収層より注入された電子電流である。 v_{se} は、電子速度を示している。

一方、p型光吸収層において生じた正孔は、キャリア輸送特性には寄与せず、アンドープ光吸収層において生じた正孔の輸送特性は、

$$J_h(f, x) = \frac{v_h}{j\omega(f)} \left(1 - \exp\left(j\omega(f) \frac{x - W_D}{v_h}\right) \right) \quad (4.30)$$

v_h は正孔速度であり、 $W = W_N + W_D$ である。

電子電流、正孔電流を合わせると、

$$J_{eh}(f, x) = J_e(f, x) + J_h(f, x) \quad (4.31)$$

となる。したがってハイブリッド光吸収層の規格化電流密度は、

$$J_{HYB_tot}(f, x) = \frac{1}{W_D(W_N + W_D)} \int_0^{W_D} J_{eh}(f, x) dx \quad (4.32)$$

となる。

上記の規格化電流が-3dB となる周波数が f_{3dB} である。上式からわかるように、規格化電流は W_D, W_N の値によって変化し得る。

ハイブリッド吸収層の規格化電流について、異なる角度から議論してみよう。今、全吸収層厚 $W_D + W_N = W$ とすると、式(4.32)は、

$$J_{HYB_tot}(f, x) = \frac{1}{(W - W_N)W} \int_0^{W - W_N} J_{eh}(f, x) dx \quad (4.33)$$

となる。すなわち、一意の W に対し、 W に占める W_D の膜厚（言い換えると、一意の W に対する W_D と W_N の割合）によって、ある周波数における規格化電流、すなわち f_{3dB} が変化し得ることを示している。

図 4-8 に、 $W = 1.0 \mu\text{m}, 0.6 \mu\text{m}, 0.2 \mu\text{m}$ における、ハイブリッド光吸収層の f_{3dB} の、p 型光吸収層の比率依存性を示す[4-12]。図 4-7 には、それぞれの全光吸収層厚に対する、波長 $1.3 \mu\text{m}$ における $M = 1$ での受光感度の計算結果も示している。受光感度の計算結果については、反射ミラー集積による戻り光も受光感度に寄与するものと仮定している。

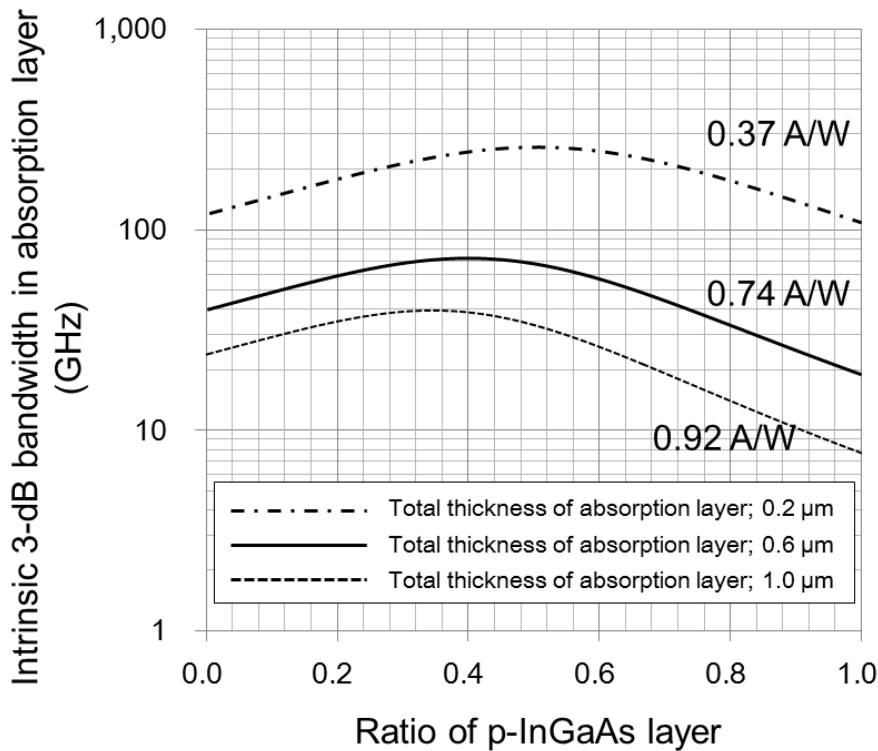


図 4-8 ハイブリッド光吸収層における f_{3dB} の p 型光吸収層比率依存性

図4-8における、横軸0がPIN-PD型の光吸収層、横軸1.0がUTC-PD型の光吸収層に対応している。計算したいずれの全光吸収層厚に対しても、 f_{3dB} が最大となるp型光吸収層の膜厚比率が存在することを示している。全光吸収層厚が1.0 μm においては、受光感度0.9 A/W以上が期待できる。これは10 Gbit/s級のAPDと同等の値であるが、光吸収層における f_{3dB} は、p型光吸収層厚の比率を最適化した場合、40 GHz程度に達する。実際にAPDとして高速動作を実現するためには、光吸収層以外の層構成や素子径を慎重に設計することで、CR時定数や走行帯域を最適化する必要があるが、この程度の光吸収層におけるキャリア走行帯域は、25 Gbit/s動作に向けた真性帯域としては十分である。

[4-8]に紹介した、エバネッセント結合導波路型APDにおいては、光吸収層厚は190 nmであり、APDとしての最大帯域は35 GHzであった。ハイブリッド光吸収層を用いた場合、全光吸収層厚0.6 μm で光吸収層における最大帯域は70 GHzである。この程度 f_{3dB} であれば、[4-8]に示した以上の受光感度を得ることが可能でありながら、光吸収層における f_{3dB} はボトルネックとはならないと考えられ、素子作製上またデバイスの実装上有利な垂直入射型を採用しながらも、導波路型を凌ぐ高速高感度動作を実現できる可能性がある。

また、全光吸収層厚が小さくなるほど、 f_{3dB} が最大となるp型光吸収層厚の比率が大きくなっていることが分かる。これは、全光吸収層厚が小さくなるほど、UTC-PDの原理に基づくキャリア輸送機構を積極的に用いた方が高速化に有利であることを示しているが、注目すべきは、純粋なUTC-PD (p型光吸収層厚比率 = 1.0) 光吸収層よりもより広帯域が可能であるという点である。このように、ハイブリッド型光吸収層は、前節までに示した、PIN-PD型およびUTC-PD型の光吸収層と比較して、より高い感度、速度性能を実現するキーとなる設計技術になる。本研究では、上記ハイブリッド光吸収層をすべてのAPD構造に適用し、目標とする動作ビットレートに応じて、膜厚およびアンドープ/p型比率の最適化を行っている。

4.2.4 ハイブリッド吸収層を有するAPDの応答特性

実際のAPDにおいては、光吸収層のみならず、電界制御層や増倍層などの層が存在する。このように、光吸収層以外の層が存在する場合に、ハイブリッド光吸収層のp型、アンドープ層厚の比率についてはどのように考えていけばいいだろうか。

図4-9に、一つの典型的なAPDのバンド構造を示す。APD全体としての電子電流成分、正孔電流成分を示しており、増倍率が1である限り、図のAPD構造において、正孔電流成分がキャリア輸送特性に影響を与える箇所は、アンドープ光吸収層のみになる。

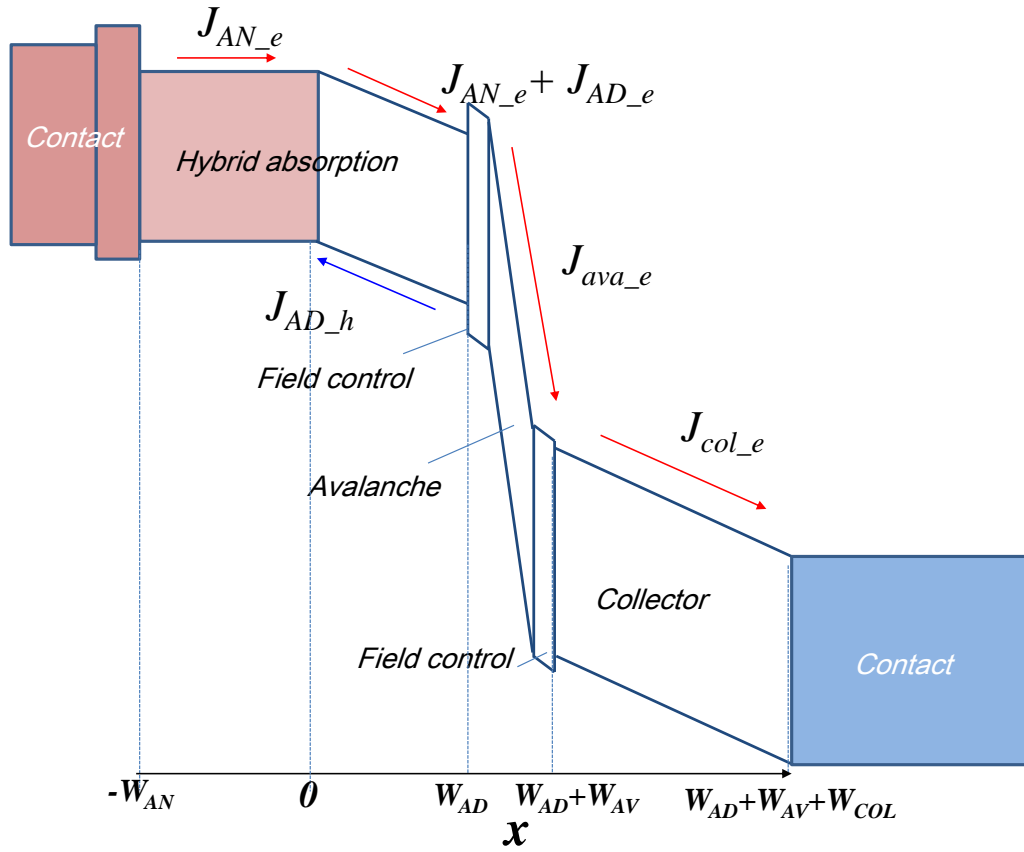


図 4-9 ハイブリッド光吸収層を有する APD のバンドダイアグラムおよび各電流成分

APD 全体としての規格化電流密度は、式(4.33)と同様の形を取るとして、図 4-9 に表記の各電流成分、座標を示す。P 型光吸収層厚を W_{AN} 、アンドープ光吸収層厚を W_{AD} 、電界制御層と増倍層の膜厚の和を W_{AV} 、電子走行層の膜厚を W_{COL} としている。層全体の規格化電流は

$$J_{APD_{tot}}(f) = \frac{1}{(W_{AN} + W_{AD})(W_{AD} + W_{AV} + W_{COL})} \left[\int_0^{W_{AD}} (J_{AN_e}(f, x) + J_{AD_e}(f, x) + J_{AD_h}(f, x)) dx \right. \\ \left. + \int_{W_{AD}}^{W_{AD}+W_{AV}} J_{ava_e}(f, x) dx + \int_{W_{AD}+W_{AV}}^{W_{AD}+W_{AV}+W_{COL}} J_{col_e}(f, x) dx \right] \quad (4.34)$$

となる。ただし、APD における利得成分は考慮せず、 $M=1$ を仮定している。ここで、各電流成分について見てみよう。 J_{AN_e} 、 J_{AD_e} 、 J_{AD_h} は、ハイブリッド吸収層内の電流成分であるので、式(4.29)、(4.30)と同様である。

$$J_{AN_e}(f) = \frac{W_{AN}}{1 + j\omega(f)\tau_{AN}} \quad (4.35)$$

$$J_{AN_e}(f, x) + J_{AD_e}(f, x) = \frac{v_{se}}{j\omega(f)} \left(1 - \exp\left(j\omega(f) \frac{-x}{v_{se}}\right) \right) + J_{AN_e}(f) \exp\left(j\omega(f) \frac{-x}{v_{se}}\right) \quad (4.36)$$

$$J_{AD_h}(f, x) = \frac{v_h}{j\omega(f)} \left(1 - \exp\left(j\omega(f) \frac{x - W_{AD}}{v_h}\right) \right) \quad (4.37)$$

さて、増倍層および電子走行層を流れる電流は、UTC-PD で議論した電子走行層と同様の取扱い（式(4.24)）である。即ち、増倍層においては、アンドープ光吸収層を通過した電流成分が、一定の遅延成分を持つ進行波として、電子走行層においては増倍層を通過した電流成分が一定の遅延成分を持つ進行波ととらえることができる。よって、

$$J_{ava_e}(f, x) = (J_{AN_e}(f, x) + J_{AD_e}(f, x)) \exp\left(j\omega(f) \frac{-(x - W_{AD})}{v_{s_ava}}\right) \quad (4.38)$$

$$J_{c_e}(f, x) = J_{ava_e}(f, x) \exp\left(j\omega(f) \frac{-(x - (W_{AD} + W_{AV}))}{v_{s_col}}\right) \quad (4.39)$$

となる。 v_{s_ava} および v_{s_col} はそれぞれ増倍層内、電子走行層内における電子飽和速度である。

APD 全層中の規格化電流密度 J_{tot_APD} が、DC 状態に対して半分となる周波数 f_{3dB} を、光吸収層における p 型層の膜厚比率に対してプロットしたものが図 4-10 である。計算の前提として、光吸収層はトータルで 1000 nm, 増倍層およびエッジ電界緩和層の膜厚の和を 200 nm, コレクタ層を 200 nm としており、 $M=1$ とし、GBP の影響は考慮していない。

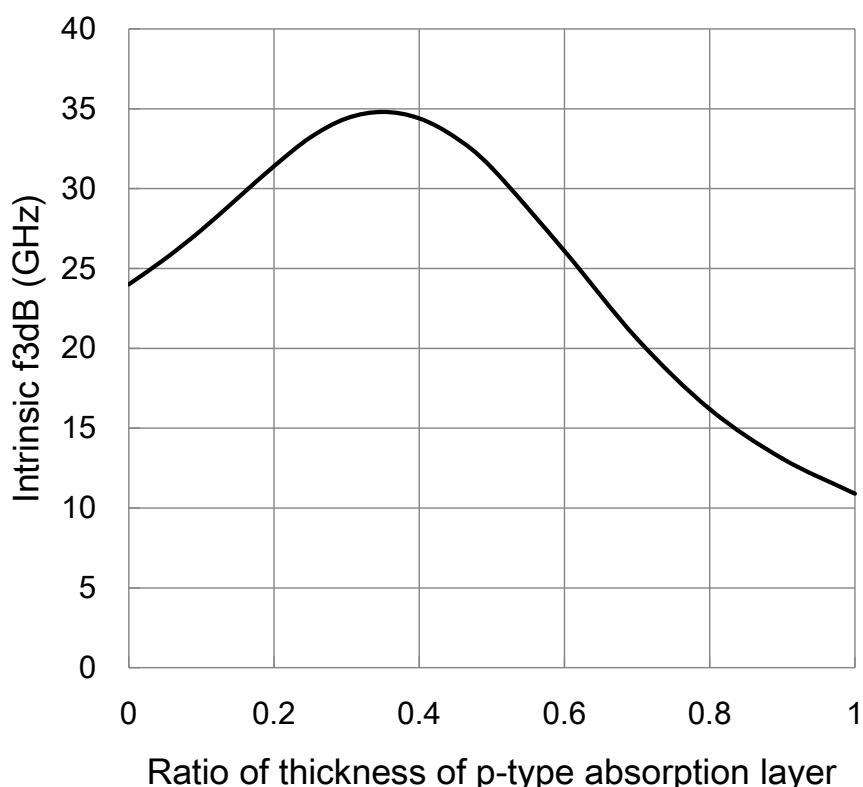


図 4-10 APD 全体の走行帯域の、ハイブリッド光吸収層における p 型層比率依存性

図 4-7 と比較してみると、走行帯域の最大値を与える p 型吸収層の比率は、光吸収層のみを取り出して計算しても、APD の全層構成を考慮して計算しても同一であることが分かる。これは、吸収層以外の層における電子輸送が、吸収層におけるキャリア輸送に影響を与えないためであり、APD 全体の真性走行帯域を最大化するためには、与えられた全膜厚に対しては、吸収層の比率のみを考量すれば十分であることを示している。

4.2.5 増倍電流成分を考慮した APD の応答特性

実際の APD において、増倍層で利得がある場合には、図 4-9 における光吸収層での正孔電流成分 ($J_{AD,h}$) および増倍層、電子走行層の電子電流成分 ($J_{ava,e}$, $J_{col,e}$) が増倍特性を持たなければならない。

APD の増倍層では、アバランシェ増倍が生じる際に有限の増倍時間（アバランシェビルドアップタイム： τ_m ）が生じる。増倍率が大きくなるとその分全体の遅延時間は大きくなる。

さて、これまで議論してきた電流連続の式に基づく電流応答に、アバランシェ増倍の寄与を組み入れる為には、増倍時における電流成分の増倍と、アバランシェ増倍時間による遅延成分を組み入れた伝達関数を考慮すればよい[4-15]。即ち、一般的に電流成分 J に対し、アバランシェ増

倍時間の遅延を与える場合、入力電流 J に対する出力電流 J' は

$$J' = R_m(M) J \exp(j\omega \frac{W}{v}) \tag{4.40}$$

ただし、

$$R_m(M) = \left(\frac{M - 1}{1 + j\omega(M - 1)\tau_m} \right) \tag{4.41}$$

であり、 $M \geq 1$ である。

式(4.40)の形を式(4.37)、(4.38)、(4.39)に適用し、増倍後の吸収層における正孔電流、増倍層の電子電流、電子走行層の電子電流をそれぞれ $J_{mAD,h}$ 、 $J_{mava,e}$ 、 $J_{mcol,e}$ とした場合の各電流成分を求めてみよう。図 4-11 に、増倍がある場合の APD の電流成分を示す。

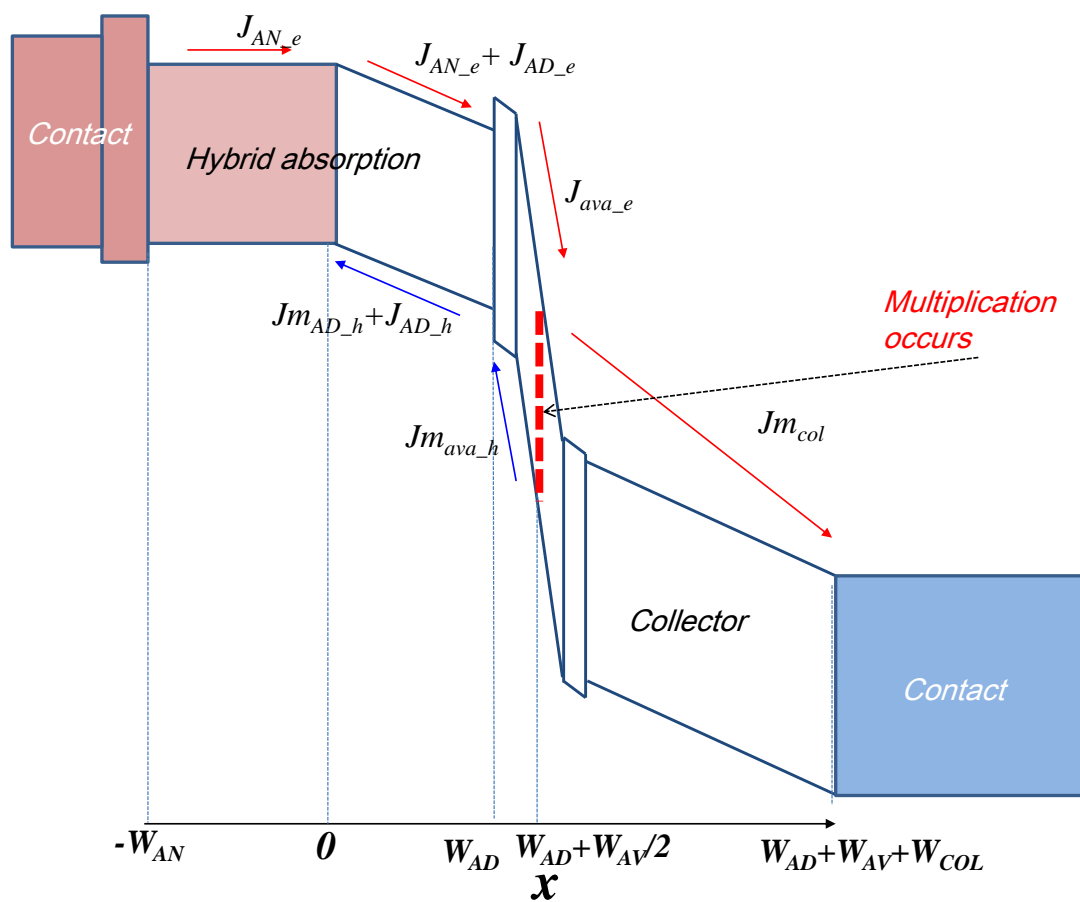


図 4-11 増倍を考慮した APD の電流成分

第4章 垂直入射・反転型アバランシェフォトダイオードの設計

今、簡単のために全てのアバランシェ増倍が、増倍層の中心位置で生じると仮定する。また増倍層の中心位置から電子走行層の端までを一つの増倍電子電流成分として取り扱っている。光吸収層に注入される増倍された正孔の電流成分は、

$$Jm_{ava_h}(f, x, M) = R_m(M)J_{ava_e}(f, x)\exp(j\omega(f)\frac{x-(W_{AD}+\frac{W_{AV}}{2})}{v_h}) \quad (4.42)$$

と、増倍層における電子電流 J_{ava_e} の関数で表される。これは、増倍正孔電流の起源は増倍層に注入される電子電流によるためである。したがって、光吸収層内における増倍された正孔電流成分は

$$Jm_{AD_h}(f, x, M) = Jm_{ava_h}(f, x, M)\exp(j\omega(f)\frac{x-W_{AD}}{v_h}) \quad (4.43)$$

となる。吸収層内における全電流成分は

$$Jm_{abs}(f, x, M) = J_{AN_e}(f, x) + J_{AD_e}(f, x) + J_{AD_h}(f, x) + Jm_{AD_h}(f, x, M) \quad (4.44)$$

となる。

増倍層内における全電流成分は

$$Jm_{ava}(f, x, M) = J_{ava_e}(f, x) + Jm_{ava_h}(f, x, M) \quad (4.45)$$

電子走行層内における全電流成分は、

$$Jm_{col}(f, x, M) = (R_m(M) + 1)J_{ava_e}(f, x)\exp(j\omega(f)\frac{-(x - (W_{AD} + W_{AV}/2))}{v_{s_col}}) \quad (4.44)$$

となる。これらの電流成分による規格化電流成分は、式 (4.34) と同じ形をとり、

$$Jm_{APD_tot}(f, M) = \frac{1}{(W_{AN} + W_{AD})(W_{AD} + W_{AV} + W_{COL})} \left[\int_0^{W_{AD}} Jm_{abs}(f, x, M) dx \right. \quad (4.45)$$

$$\left. + \int_{W_{AD}}^{W_{AD} + \frac{W_{AD}}{2}} Jm_{ava}(f, x, M) dx + \int_{W_{AD} + \frac{W_{AD}}{2}}^{W_{AD} + W_{AV} + W_{COL}} Jm_{col}(f, x, M) dx \right]$$

となる。

図4-12は、全吸収層厚を1 μmとした場合の $M=1$, および $M=10$ における真性帯域の p 型吸収層厚依存性である。 $M=10$ においては、吸収層における増倍正孔電流の影響により、真性帯域がピークとなる p 型吸収層厚が $M=1$ の状態と比較して大きくなることが分かる。実際の APD においては、所望の動作状態（動作利得）に応じて、適切に吸収層厚および p 型/アンドープ型の比率を調整する必要があることが分かる。

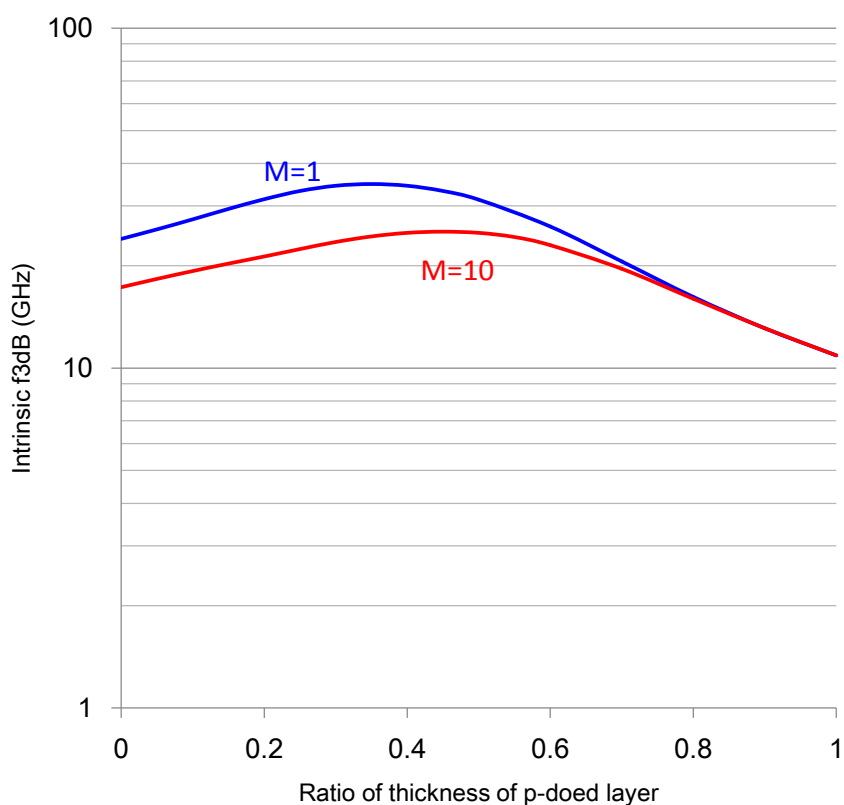


図4-12 $M=1, M=10$ における APD の真性帯域の p 型吸収層厚依存性

4.3 反転型アバランシェフォトダイオードの設計指針

上述の、高速高感度動作を可能とするハイブリッド光吸収層を前提として作製する APD の設

計指針について述べる。APD を実用的なものにするためには、単純に高速高感度動作を実現するのみではなく、表面リーク電流の低減や長期信頼性を確保する上での必要条件になる、素子側面における電界強度の低減が必須になる。また、実際の製造を低コストに実現するため、可能な限り簡易な製造プロセスが要求される。本節では、上記の必要条件を満たすべく設計された「反転型構造」について、その設計指針と、実際の素子構造に関して述べる。

4.3.1 多段メサ構造

本研究では、素子作製および実装の容易性の観点から、垂直入射型での APD の高速高感度動作を目標としているが、高速動作に向けては、ハイブリッド光吸収層によるキャリア走行時間の短縮だけではなく、CR 時定数の削減に向けた素子容量の低減が必要になる。4.1.1 で述べたように、垂直入射型 APD においては、選択拡散やイオン注入により素子の実効面積を規定してきたが、これら選択ドーピングによる手法では 30~50 μm 程度の素子実効面積を前提としている。25 Gbit/s 以上の動作速度を実現するためには、より小さい実効的な素子面積が要求されるが、これら選択ドーピングによる手法では、選択ドーピング過程およびプロセス熱履歴によるドーパントの拡散により、精度の高い実効面積を、再現性良く実現することは困難になると考えられる。一方、エッチングでのメサ形成によれば、再現性よく、精密性の高い素子面積の規定が可能になるが、単純なメサ構造であれば、素子の側面に、素子内部と同様の高い電界が生じる為、側面暗電流が増加し、また長期信頼性の確保が困難になることが予想される。

本研究においては、エッチングによるメサ構造を採用しながらも、側面電界を十分に緩和する APD の素子構造を目指して設計を行っている。図 4-13 に、本研究における基本構造である反転型 APD 構造を示す[4-16-4-18]。

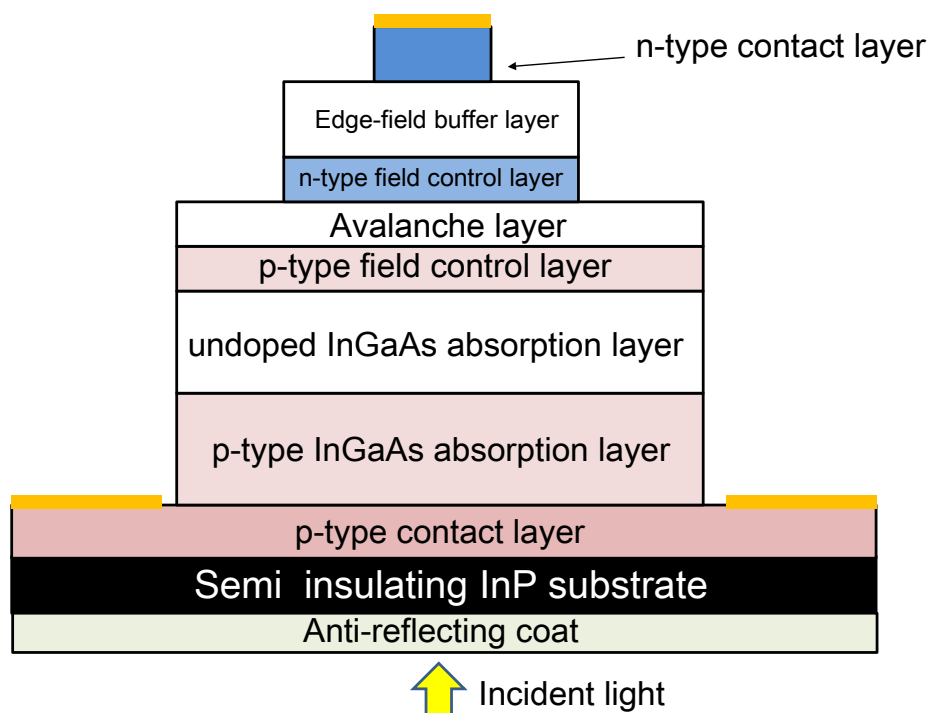


図 4-13 反転型 APD の素子構造

反転型 APD においては、InP 基板側より、p 型コンタクト層、p 型光吸収層、アンドープ光吸収層、p 型電界制御層、増倍層、n 型電界制御層、エッジ電界バッファ層、n 型コンタクト層が積層されている。メサ構造としては、n 型コンタクト層をもっとも小さいメサに (1st メサ)、次にエッジ電界バッファ層および n 型電界制御層をより大きいメサに (2nd メサ)、そして増倍層以下をもっとも大きいメサ (3rd メサ) とした 3 段構造を採用している。2nd メサ上にはテラス 1、3rd メサ上にはテラス 2 が形成される。このような 3 段メサ構造を採用した場合、APD の動作電圧において、素子側面における電界の緩和が期待できる。その理由を以下に述べる。

反転型 APD は、増倍層を中心とした複合的な p-i-n 接合とみなすことが出来る。すなわち、APD に電圧を印加していった場合、増倍層の電界強度が上昇するとともに、まずは p 型/n 型電界制御層の空乏化が進行する (図 4-13(a))。この時、3rd メサ上のテラス 2 はアンドープである増倍層により形成される。この為、3rd メサにおけるテラス 2 直下の領域においては、原理的に電界が生じない。更に電圧を印加すると、p 型電界制御層および n 型電界制御層が完全空乏化し、光吸収層およびエッジ電界緩和層に電界が生じ始める。今、p 型電界制御層と比較して、n 型電界制御層の方が不純物面密度が小さいとする。この場合には、n 型電界制御層が p 型電界制御層よりも低電圧において完全空乏化し、エッジ電界バッファ層にのみ電界が生じ始める (図 4-13 (b))。エッジ電界バッファ層はアンドープであっても、若干の残留不純物が存在することが予想されるが、その濃度が 10^{16} cm^{-3} 程度であれば、n 型電界制御層が空乏化する電圧からほとんど追加の印可電圧なくして、空乏層は 1st メサによる n 型コンタクト層にまで広がる。

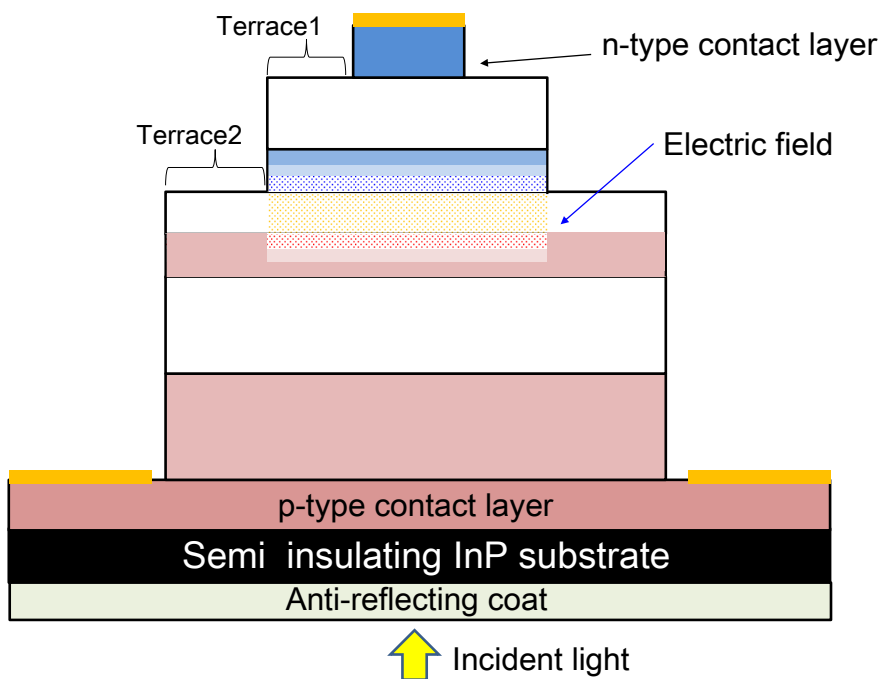


図 4-13(a) 反転型 APD の低電圧印加時の電界分布

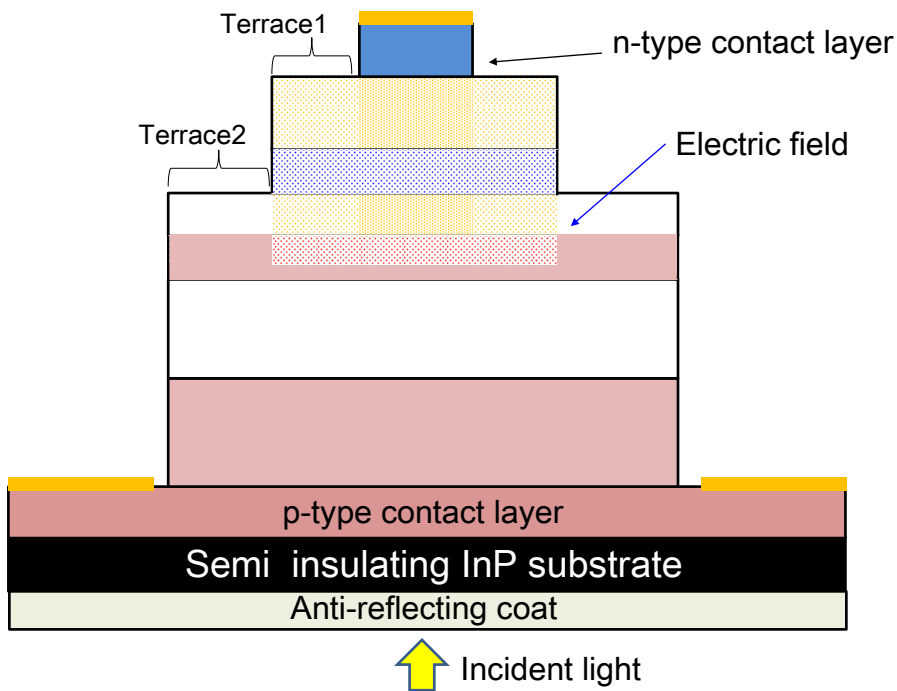


図 4-13(b) 反転型 APD における、図 4-12(a)よりも更に電圧印加した時の電界分布

2nd メサ側面（テラス1直下の領域）の電界強度は、n型電界制御層の空乏化後、エッジ電界緩和層の残留不純物が空乏化する過程では、素子内部と同様に生じる。しかし、エッジ電界緩和層が完全空乏化し、空乏層がn型コンタクトに及んだ時点で、テラス1直下の電界強度は、それ以上電圧を印加したとしても上昇しない。これはテラス2における電界の振る舞いと同様、空乏層が2nd メサのテラス1に及んだ時点で、テラス1上には電荷が存在しないためであり、これ以上の電圧印加に対しては、1st メサの直下においてのみ電界が上昇する。

更なる電圧印加に対し、p型電界制御層が空乏化すると、アンドープ光吸収層において電界が生じ始める。この電圧においては光吸収層で生じたフォトキャリアはドリフト移動を始める為光電流が流れはじめる。この電圧が、オン電圧(V_{on})となる。3rd メサ側面は電圧印加を始めた時点から電界が生じていないので、V_{on}以降においても電界強度が上がることは無い。p型電界制御層におけるテラス2直下の領域は、APDの動作電圧まで電気的中性を保ち続ける。このように、3段メサを適用し、n型、p型電界制御層によりドーピングダイポールを形成することで、APDを構成する材料系の内、最もバンドギャップが小さく信頼性上課題となりうる、光吸収層の側面における電界強度は、ほぼ0のままに維持することが出来る。また、エッジ電界緩和層の側面においては一定の電界強度が生じるが、この2nd メサの側面は、空乏層がn型コンタクト層に達した電圧以上の電圧に対しては電界強度は上昇せず、またエッジ電界緩和層をInP等の比較的バンドギャップの大きく化学的に安定な材料を用いることで側面劣化は回避できる。このように、3段メサ構造においては、1st メサによるn型コンタクト層の面積のみによって動作電圧における実効面積が規定され、テラス幅が実効面積に影響することは無い。

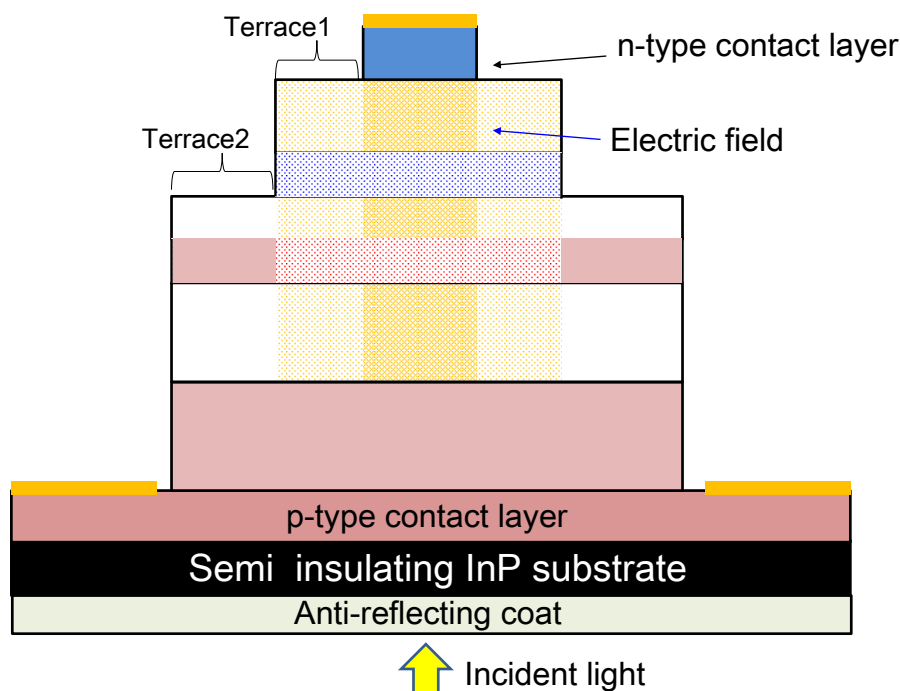


図 4-13(c) 反転型 APD における、動作電圧における電界分布

3段メサによって、APDの側面電界を小さく（部分的には0に）抑えることで、動作安定性および信頼性を確保できることを上に述べたが、この3段メサ構造に、高速高感度動作のためのハイブリッド光吸収層を適用するためには、「反転型構造」が必須となる。

仮に、「反転型構造」を用いず、（すなわち、n型コンタクト層を基板側に配置して、）3段メサ構造にハイブリッド光吸収層を適用することを考えてみよう。図4-14(a)に示すように、ハイブリッド光吸収層におけるp型光吸収層は、p型コンタクト層に隣接していないと正孔が誘電緩和的に振る舞うことが出来ないので、3段メサ構造における、テラス1の領域がp型光吸収層になる。この状態においては、動作電圧において、テラス1の領域が空乏化することは無いため、1stメサによって電界が狭窄されることはない。もう一つの例である図4-14(b)においては、p型光吸収層までを1stメサとし、アンドープ光吸収層を2ndメサとしている。この場合は、テラス1がアンドープ光吸収層となるため、電界狭窄効果が期待できるが、APDを構成する材料系の内もっとも信頼性上脆弱なInGaAsの表面露出が大きくなり、また側面における電界強度が一定の値までは大きくなる。

以上のように、ハイブリッド光吸収層を適用しつつ、3段メサ構造を適用するためには、「反転型構造」とすることが必須になる。

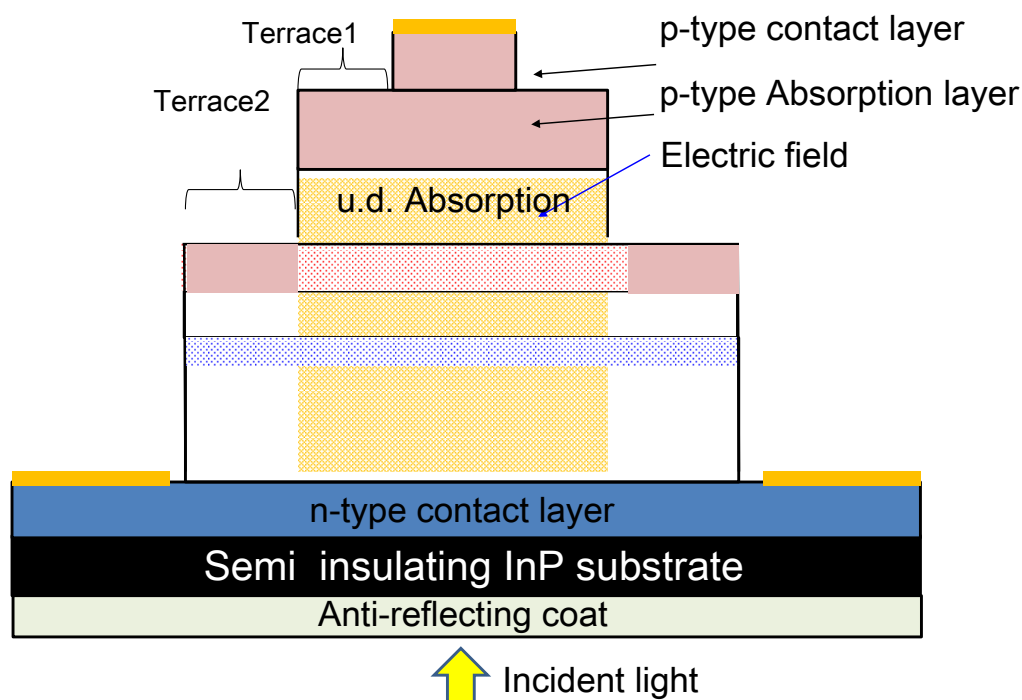


図4-14(a) 3段メサ、ハイブリッド光吸収層を有するp型層を上層としたAPD

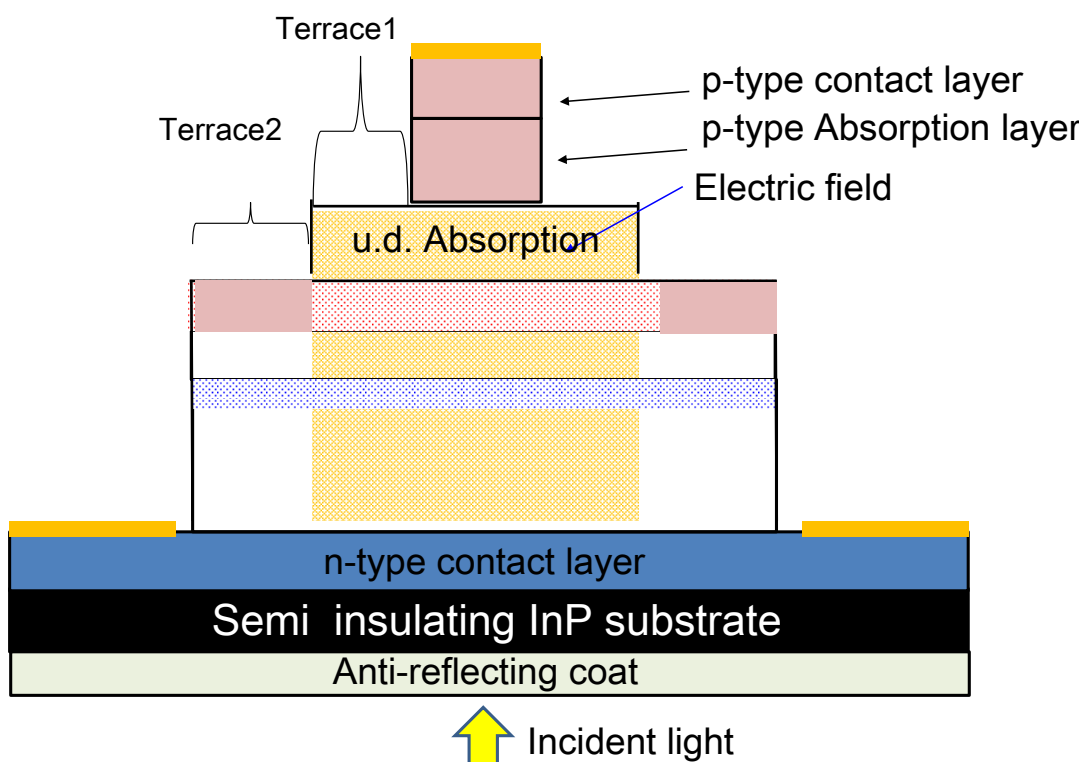


図 4-14(b) 3 段メサ、ハイブリッド光吸収層を有する p 型層を上層とした APD

4.3.2 Low-high-low 電界強度プロファイル

前節においては、3 段メサ構造によって、APD の素子側面における電界強度が低減でき、特に光吸収層においては動作電圧においても電界強度が 0 にできることを示した。

一方で、APD においては、動作電圧において増倍層では 700 kV/cm を超える高い電界強度が必要になるが、その他の層においては電界強度は、キャリアがドリフト移動する程度には電界強度が高い必要があるが、増倍層以外の層においてインパクトイオン化、ないしはツェナー降伏が生じるような電界強度であってはいけない。そこで、素子内部においても、増倍層においてのみ電界強度を局所的に高くし、異常ブレイクダウンを抑制する素子構造が必要になる。具体的には、3 段メサ構造において注意を払うべき箇所は以下になる。

1. エッジ電界の緩和
2. 光吸収層における電界強度の低下

1. について詳細に説明する。図 4-15 に示すように、一般的に素子側面における電界の発生を抑制するために電界狭窄を試みた場合、狭窄部の端（エッジ）は、電気力線の集中により、局所的

に電界強度が高くなる。これは研究のように多段メサ構造を適用していても、あるいは選択ドーピングによる手法を用いていても共通の課題であり、避けがたい現象になる[4-19]。選択ドーピングによる手法では、例えば選択ドーピングを2回の工程に分け、1回目のドーピングでは低濃度、2回目では高濃度といった、「Double diffusion」構造とすることでエッジ電界を緩和する工夫を行っている。

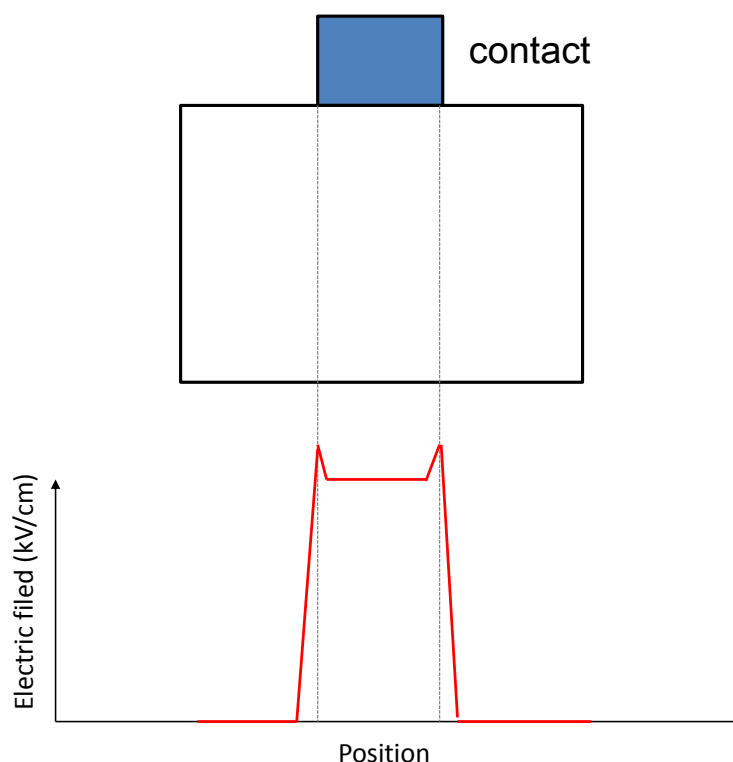


図 4-15 APD におけるエッジ電界の発生

この様にエッジ電界が顕著に生じた場合、増倍層におけるエッジ電界部分は局所的な電界強度の上昇に伴い、局所的なトンネル電流の発生に伴い暗電流が増加する懸念があるのみではなく、局所的なブレイクダウンにより正常な APD の利得動作を示すことなくブレイクダウンに至る懸念がある。

また、2. に関しては上述したように、APD を構成する材料系で最もバンドギャップの小さい光吸収層は、高電界が生じた場合、長期信頼性上深刻なウイークポイントとなる。APD の動作電圧においても、特に光吸収層における電界強度は 250 kV/cm 以下を目安として小さくする必要がある。

本研究における反転型、3 段メサ構造において、上の 2 つの課題にたいして設計された部分が「p 型/n 型電界制御層」および「エッジ電界緩和層」である。

本研究における素子構造のうち、動作電圧においてもっとも電界強度が高くなる箇所は、1st メ

サ直下である。すなわち、本研究の APD のうち、1st メサ形状に起因したエッジ電界が、局所的なブレークダウンの抑制に向けては最も配慮を払う必要がある箇所となり、特に増倍層内における 1st メサのエッジ直下の部分に配慮を払わなければならない。そこで本研究における APD の素子構造では、1st メサと増倍層の間に、エッジ電界緩和層を挿入することで、1st メサと増倍層を空間的に分離し、1st メサによるエッジ電界の増倍層への影響を抑制した。この場合、エッジ電界緩和層そのものには強いエッジ電界が生じる。しかしながら、n 型電界制御層を導入することで、本 APD では、n 型電界制御層の空乏化電圧まではエッジ電界緩和層に電界は発生しないため、動作状態においては増倍層とエッジ電界緩和層とは電界強度に任意の差を設けることが出来る。このため、エッジ電界緩和層にエッジ電界が生じていても、その層の電界強度を十分小さくすることで、エッジ電界による素子特性上の影響を排除できる。図 4-16 に、反転型 3 段メサ構造の増倍層、エッジ電界緩和層、光吸収層の動作時における面内方向の電界強度プロファイルの模式図を示す。

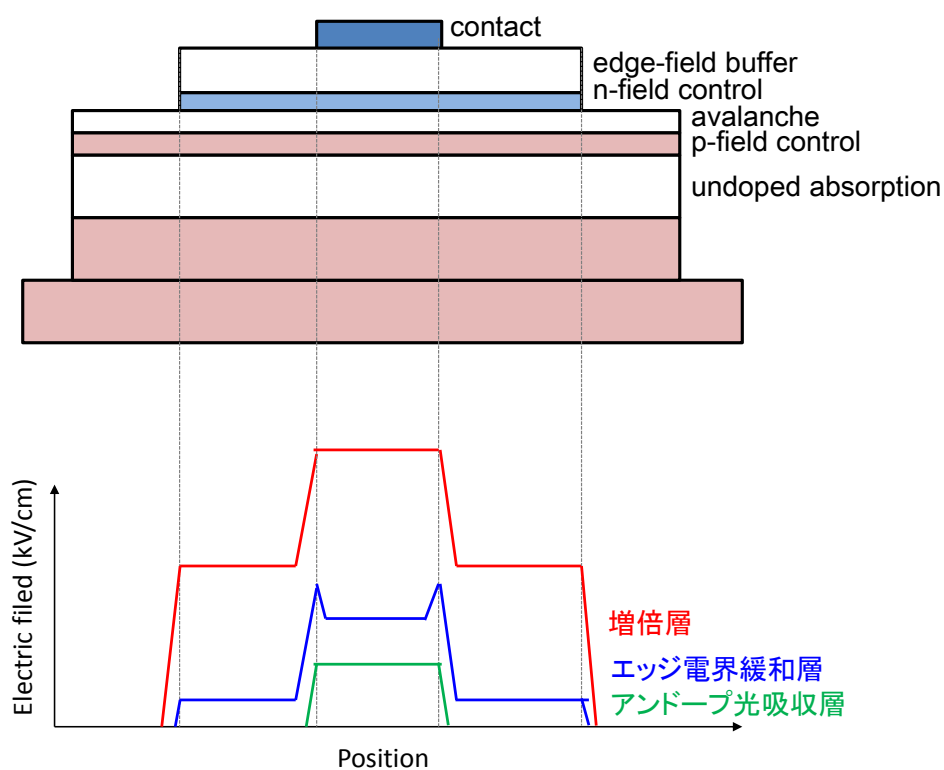


図 4-16 反転型 3 段メサ APD の各層における電界プロファイルの模式図

更に、本研究で提案している反転型、3 段メサ APD においては、エッジ電界緩和層として Slightly n-doped の InP を用いている。このことで、エッジ電界緩和層の電界強度は n 型コンタクト層に向かって傾斜的に小さくなり、かつ InP はバンドギャップが比較的大きいため、多少のエ

ッジ電界が生じたとしてもエッジ電界の影響が素子特性上見えにくい。更に、InPは電子飽和速度が比較的大きいため、高速動作上においても、エッジ電界緩和層の膜厚による影響は小さい。

結局、反転型3段メサ構造のAPDにおいては、増倍層の両端をp型/n型電界制御層によるドーピングダイポールとすることで、光吸収層、増倍層、エッジ電界緩和層の電界強度を“Low-high-low”の電界プロファイルとすることが出来る。この電界プロファイルにおいて、エッジ電界緩和層としてInP等の適切な材料を用いることで、エッジ電界は普遍的に生じるものの、その素子特性上の影響を排除することが出来る。

図4-17に、ポアソン方程式によって計算した、反転型3段メサAPDの電界強度プロファイルを示す。素子の中心、2ndメサ、3rdメサの側面について2次元で表示しており、素子はBCBで埋め込まれているものとしている。また、計算において仮定した電圧は、素子中心における電界強度が $M=10$ を与える電圧としている。

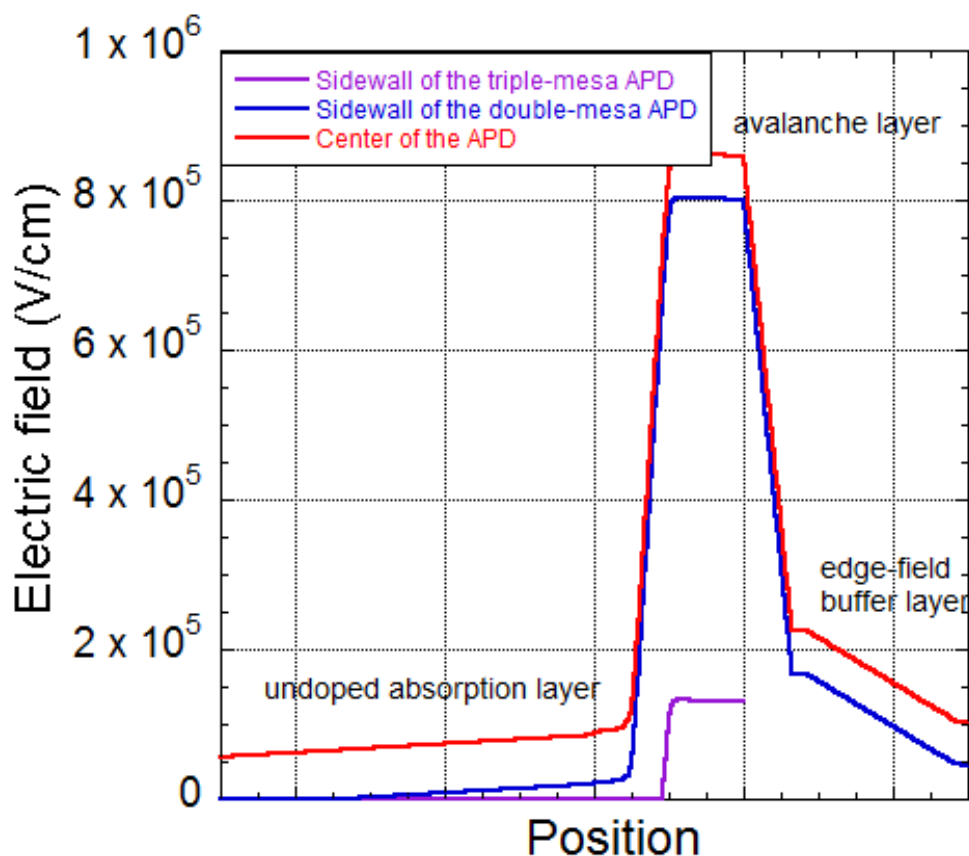


図4-17 反転型3段メサAPDの電界プロファイルの計算結果

p型/n型電界制御層のドーピング濃度および膜厚を適切に設定することで、動作電圧素子中心における電界強度は900 kV/cm程度まで大きくなっているものの、光吸収層、エッジ電界緩和層の電界強度は~200 kV/cm程度と、Low-high-lowの電界プロファイルが有効に作られる。また、

それぞれの素子側面における電界強度は有効に低減、ないしは0となっていることが確認できる。

この様に、本研究のAPDでは、3段メサ構造、反転型構造、low-high-low電界プロファイルを特徴として、高速高感度、および高信頼、高安定動作を実現することを目標としているが、上記の設計項目の内、それ単独では上記目標に向けては機能しない。3つの設計項目が相互に作用することで、高速高感度でありながら、高信頼、高安定動作を実現することができる。

以降より、上記の設計に基づいたAPDを、「反転型APD」と呼称する。

4.4 反転型アバランシェフォトダイオードの基本動作の確認

上記の設計指針に基づき、反転型APDを試作し、基本動作を確認した。図4-18に試作したAPDのI-V特性およびM-V特性を示す。

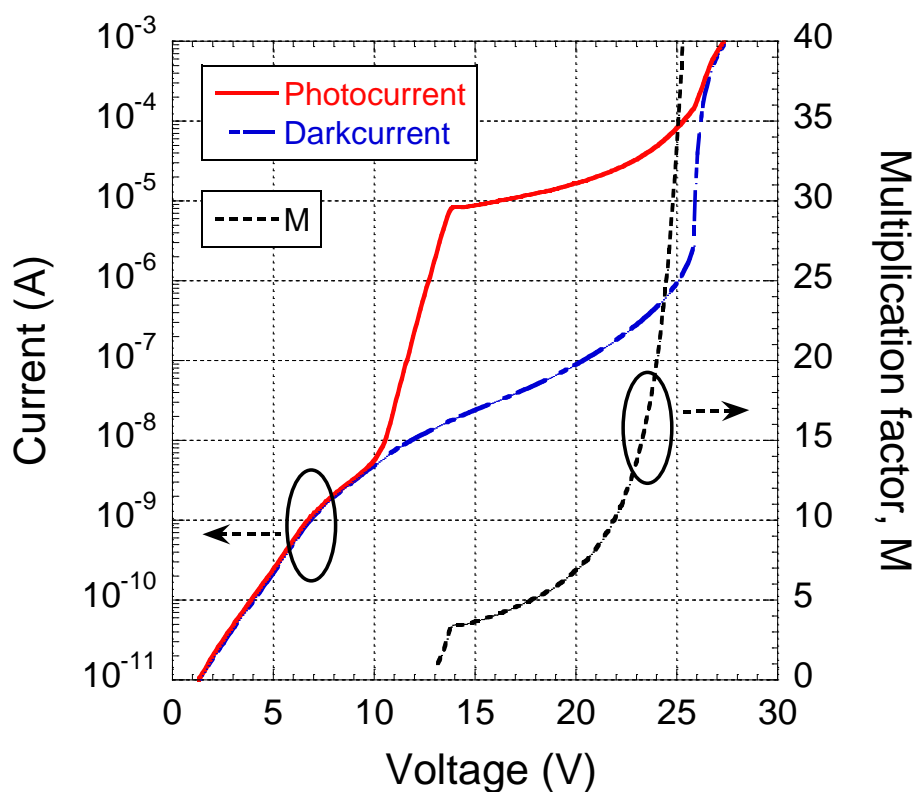


図4-18 試作した反転型APDのI-V、M-V特性

試作した素子の1stメサの直径は20 μm であり、全光吸収層厚400 nm、増倍層は100 nmのInAlAsとした。Von, Vbはそれぞれ14、26.5 Vである。暗電流は連続的にブレークダウン電圧まで上昇しており、エッジブレークダウンのような異常ブレークダウンの影響は見られない。増倍率もI-V特性に従い連続的に上昇し、 $M = 40$ を超える高い増倍率を示している。異常ブレークダウンが生じた場合には、増倍率は数10まで上昇するまでにショートを示す、ないしは暗電流

と光電流の差分が無くなることから増倍率そのものが上昇しない、という傾向があることから、このような高い増倍率を示すことから、異常ブレークダウンが生じていないことを示唆している。

暗電流は、1 V 程度までは pA オーダーであり、また 10 V 程度まで数 nA の非常に小さい暗電流を示している。このことは、素子側面における暗電流が無視できる程度に小さいことを示唆している。

4.5 まとめ

本研究における目標を明確化し、これまでの素子構造の長短所を整理した上での目標に向けた構造設計の指針を示した。

APD の基本的な素子構造としては、作製プロセスおよび光学実装上簡易であるが、本質的に光吸収層においてタイトな帯域と感度のトレードオフが存在する「垂直入射型」と、作製プロセスおよび光学実装に高い精度が要求されるものの光吸収層における感度と帯域のトレードオフが比較的小さい導波路型 APD がある。ただし、導波路型においても、一定感度に対して得られる帯域は無限大ではなく、導波路長や導波路幅による制約がある。本研究の目的である、高速高感度 APD のレシーバとしての実用という観点から、垂直入射型 APD を前提とし、光吸収層における感度と帯域のトレードオフを緩和することで、作製、実装の容易性を確保しつつ高速高感度な APD を実現するという指針とした。

基本的な光吸収層構造としては、キャリアのドリフト輸送を動作原理とした PIN-PD 型と、キャリアの拡散、熱移動を動作原理とした UTC-PD 型があるが、どちらも感度と帯域のトレードオフを解消するものではない。PIN-PD 型においては、帯域の制限要因は正孔のドリフト速度、UTC-PD 型においては、帯域の制限要因は、電子の拡散速度であるが、両者の吸収層構造において、キャリア輸送原理が全く異なることを利用し、「ハイブリッド型」光吸収層を提案した。ハイブリッド型光吸収層においては、受光感度は p 型、アンドープの両吸収層厚の和で決まるが、キャリア走行時間は、p 型光吸収層における電子拡散時間、およびアンドープ型光吸収層における正孔ドリフト時間で決まる。すなわち、電子も正孔も、実行時間的に両層の膜厚分を速高する必要がない。このため、吸収層の膜厚は大きくしながらも、キャリア輸送時間をできるため、高速高感度動作が可能になる。

上記ハイブリッド光吸収層を用いながら、更に実用上必須になる、素子の高信頼化、高安定化を目的として、「反転型構造」を提案した。反転型構造は、ハイブリッド光吸収層の適用、p 型層の基板側への配置、エッジ電界バッファ層の導入、p 型、n 型電界制御層のドーピングダイポールの導入、および 3 段メサ構造を特徴としている。3 段メサ構造およびハイブリッド光吸収層に p 型層の基板側への配置を組み合わせることで、高速高感度でありながら、素子側面における電界を緩和、ないしは 0 とすることが出来、2 種の電界制御層およびエッジ電界緩和層の導入により、素子内部におけるエッジ電界による異常ブレークダウンの懸念を回避できる。反転型構造によれば、素子最上部の n 型コンタクト層の面積によってのみ有効動作面積が決まるため、プロセス上のトレランスが大きく、また、Lateral scaling も容易である。

上記の反転型構造の APD を試作し、 I - V および M - V 特性を測定し、小さい暗電流と高い増倍率を確認した。この結果より、提案する反転型 APD の基本動作を確認した。

参考文献

- [4-1] N. Susa, H. Nakagome, O. Mikami, H. Ando, and H. Kanbe, "New InGaAs/InP avalanche photodiode structure for 1-1.6 μm wavelength region," **16**, p. 864, (1980).
- [4-2] F. Capasso, A. Y. Cho, and P. W. Foy, "Low-dark-current low-voltage 1.3-1.6 μm avalanche photodiode with high-low electric field profile and separate absorption and multiplication regions by molecular beam epitaxy," *Electron. Lett.*, **20**, p. 635, (1984).
- [4-3] H. Sudo, and M. Suzuki, "Surface degradation mechanism of InP/InGaAs APD's", *IEEE J. Lightwave Technol.*, **6**, p. 1496 (1988).
- [4-4] H. Sudo, M. Suzuki, and N. Miyahara, "Observation of the surface degradation mode of InP/InGaAs APD's during bias-temperature test," *IEEE Electron. Device Lett.*, **8**, p. 386, (1987).
- [4-5] E. Yagyu, E. Ishimura, M. Nakaji, T. Aoyagi, and Y. Tokuda, "Simple planar structure for high-performance AlInAs avalanche photodiodes," *IEEE Photonics Technol. Lett.* **18**, p. 1264 (2006).
- [4-6] Y. Hirota, Y. Muramoto, T. Takeshita, T. Ito, H. Ito, S. Ando, and T. Ishibashi, "Reliable non-Zn-diffused InP/InGaAs avalanche photodiode with buried n-InP layer operated by electron injection mode," *Electron. Lett.*, **40**, p. 1378 (2004).
- [4-7] G. Kinsey, C. Hansing, A. Holmes, B. Streetman, J. Campbell, and A. Dentai, "Waveguide $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ - $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ avalanche photodiode," *IEEE Photon. Technol. Lett.*, **12**, p. 416 (2004).
- [4-8] S. Demiguel, X. Zheng, N. Li, X. Li, J. C. Campbell, J. Decobert, N. Tschertner, and A. Anselm, "High-responsivity and high-speed evanescently-coupled avalanche photodiodes," *Electron. Lett.*, **39**, p. 1848 (2003).
- [4-9] 米津宏雄 (2003). *光通信素子光学工学図書*. 株式会社.
- [4-10] T. Ishibashi, N. Shimizu, S. Kodama, H. Ito, T. Nagatsuma, and T. Furuta, "Uni-traveling-carrier photodiode," in *Proc. OSA TOPS on Ultrafast Electronics and Optoelectronics*, p.83 (1997).
- [4-11] T. Ishibashi, S. Kodama, N. Shimizu, and T. Furuta, "High-speed response of uni-traveling-carrier photodiode," *Jpn. J. Appl. Phys.*, **36**, p. 6263 (1997).
- [4-12] G. Lucovski, R. F. Piskorski, and R. B. Emmons, "Transit-time considerations in p-i-n diodes," *J. Appl. Phys.*, **35**, p. 622 (1964).
- [4-13] T. Ishibashi, T. Furuta, H. Fushimi, S. Kodama, H. Ito, T. Nagatsuma, N. Shimizu, and Y.

- Miyamoto, "InP/InGaAs Uni-traveling-carrier photodiode," **6**, p. 938 (2000).
- [4-14] K. Kurishima, H. Nakajima, T. Kobayashi, Y. Matsuoka, and T. Ishibashi, "Fabrication and characterization of high-performance InP/InGaAs double-hetero bipolar transistors," IEEE Trans. Electron. Devices, **41**, p. 1319 (1994).
- [4-15] J. C. Campbell, B. C. Johnson, G. J. Qua, and W. T. Tsang, "Frequency response of InP/InGaAs avalanche photodiode," J. Lightwave Technol., **7**, p. 778 (1989).
- [4-16] M. Nada, H. Yokoyama, Y. Muramoto, T. Ishibashi, and H. Matsuzaki, "50-Gbit/s vertical illumination avalanche photodiode for 400-Gbit/s Ethernet systems," Optics Express, **22**, p. 14681 (2014).
- [4-17] M. Nada, Y. Muramoto, H. Yokoyama, N. Shigekawa, T. Ishibashi, and S. Kodama, "Inverted InAlAs/InGaAs avalanche photodiode with low-high-low electric field profile," Jpn. J. Appl. Phys., **51**, 02BG03 (2012).
- [4-18] M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi, and M. Matsuzaki, "Triple-mesa avalanche photodiode with inverted p-down structure for reliability and stability," IEEE J. Lightwave Technol., **32**, p. 1543 (2014).
- [4-19] Y. Liu, S. Forrest, J. Hladly, M. Lange, G. Olsen, and D. Ackley, "A planer InP/InGaAs avalanche photodiode with floating guard ring and double diffused junction," IEEE J. Lightwave Technol., **10**, p. 182 (1992).

第5章 反転型アバランシェフォトダイオードの Lateral Scalability

と電界狭窄効果

第4章においては、APDの高速高感度化を実現するとともに、その動作安定性、信頼性を確保するため、素子の側面における電界強度を低減し、素子内部へと電界を狭窄する「反転型構造」を提案した。本章では、提案、設計した反転型APDを試作し、実際に反転型APDが電界狭窄出来ていることの実験的確認を行う。

5.1 Lateral Scalability

5.1.1 素子容量による評価

反転型APDにおける、1stメサ(nコンタクトメサ)の面積による電界狭窄効果を確認するため、素子容量測定により1stメサ面積の実効容量への依存性を検討した[5-1,5-2]。まず、1stメサ直径200 μm の素子のC-V測定を行い、low-high-low電界プロファイルの確認を行った。図5-1(a)に、作製した素子のC-V特性を示す。参考のため、図5-1(b)に第4章で示したI-V特性を示す。図5-1(a)から、4V付近および12.5Vにおいて大きく素子容量が低減する。これらの容量の低減は、p型電界制御層およびn型電界制御層の空乏化によるものと考えられるが、どちらの空乏化がどの電圧での容量低下に寄与しているものかはC-V特性のみからは判断できない。そこで、図5-1(b)のI-V特性とC-V特性を比較してみる。I-V特性からは、4V付近では光電流、暗電流ともに顕著な変化は見られず、単調に両電流とも増加しているが、12.5V付近からは光電流が急激に増加している。ここで、再度反転型APDの層構成を考えてみると、n型電界制御層はエッジ電界緩和層に、p型電界制御層はアンドープ光吸収層にそれぞれ隣接している。すなわち、p型電界制御層が空乏化したときのみ、光吸収層に電界が生じ始め、光電流が発生すると考えられる。よって、I-V測特性により光電流が生じ、かつC-V特性により素子容量が大きく低減する12.5Vがp型電界制御層の空乏化電圧であり、4Vにおいては、n型電界制御層の空乏化が完了した電圧であると考えられる。 M - V 特性からも、12.5V以降で M が立ち上がりはじめ、増加を示している。エッジ電界緩和層に電界が生じたのみでは、増倍層に注入されるキャリアが存在したいため、 M が観測できないはずであり、 M は光吸収層から電子が注入された場合にのみ確認できるものと考えられる。4V-12.5Vまでは素子容量は緩やかに減少しており、この容量減少は、エッジ電界緩和層、n型コンタクト層、およびp型電界制御層の空乏化の進行に伴うものと考えられる。12.5V以上の電圧印加に対しては、素子容量はほぼ変化しない。これは、作製したAPDが完全空乏化したことを示唆している。

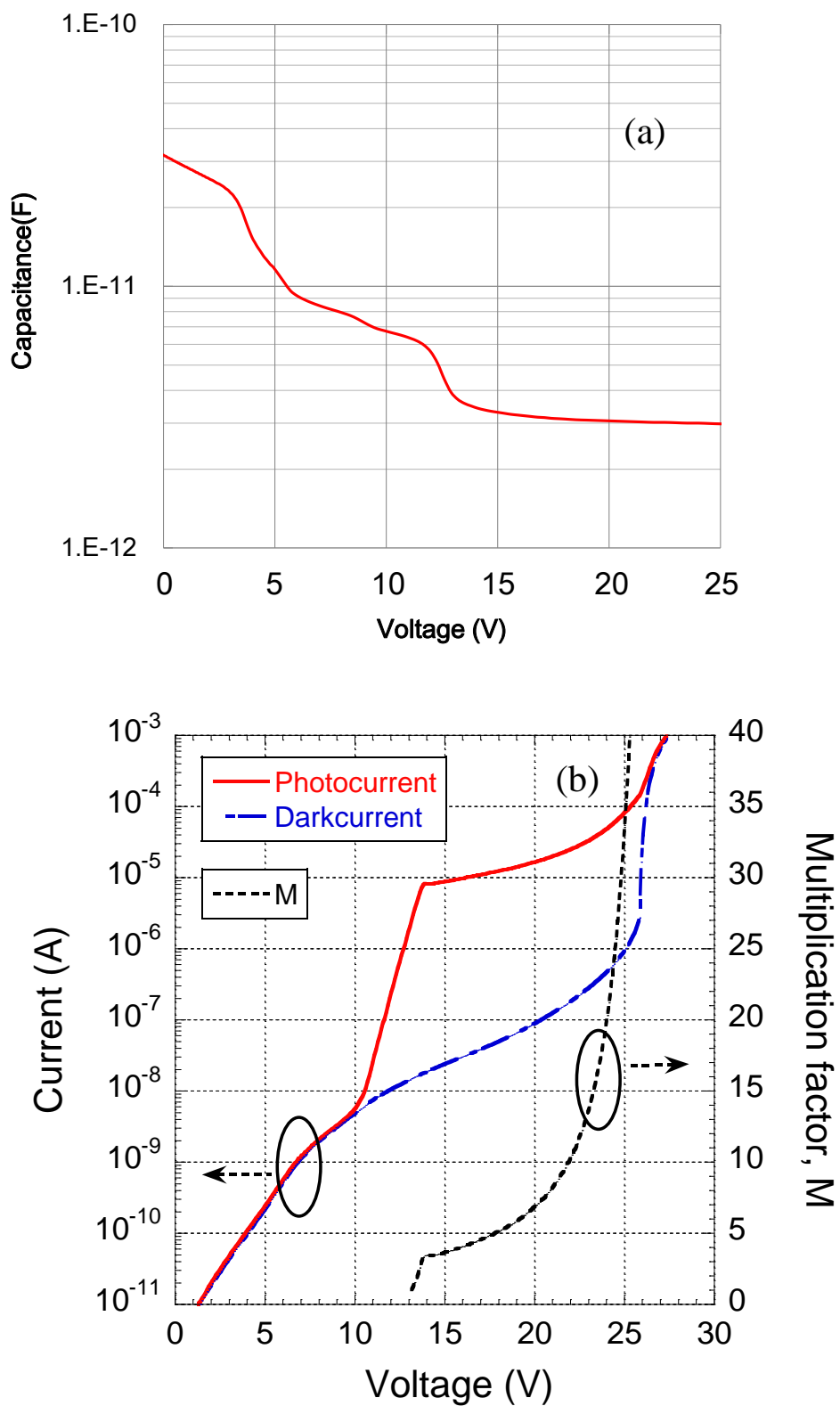


図 5-1 (a) 1^{st} メサ直径 $200 \mu\text{m}$ の反転型 APD の C-V 特性、(b) 図 4-15 から再掲した反転型 APD の I-V および M-V 特性

1st メサ直径を 5 – 30 μm の反転型 APD を作製し、それぞれの素子容量を測定した。図 4-10 (a)-(c)に示したように、反転型 APD においては、低電圧状態 (p 型、n 型電界制御層のいずれも空乏化していない状態) においては、素子容量は、2nd メサの面積によって支配され、空乏層が 1st メサに到達した時点で、素子内の電界は 1st メサによって狭窄されるはずである。図 5-2 に、2 V における反転型 APD の素子容量の 2nd メサ面積依存性を示す。ここで、2nd メサ上のテラス 1 幅は全 1st メサ系の素子に対して同一であり、5 μm としている。図 5-2 に示すように、素子容量は 2nd メサの面積に対して比例的に増加している。図 5-2 には 2 V における反転型 APD の空乏層幅と 2nd メサの面積 (= 1st メサの半径 + 5 μm 、の半径に基づいた面積) から計算した素子容量を同時に示しているが、この計算結果とも実験結果は良い一致を示している。この結果は、3rd メサにおけるテラス 2 の長さは、素子容量に影響を与えていないことを示しており、本結果から、2 V においては、3rd メサのテラス 2 直下部分は、素子の実効的な面積に寄与していないことが確認できる。

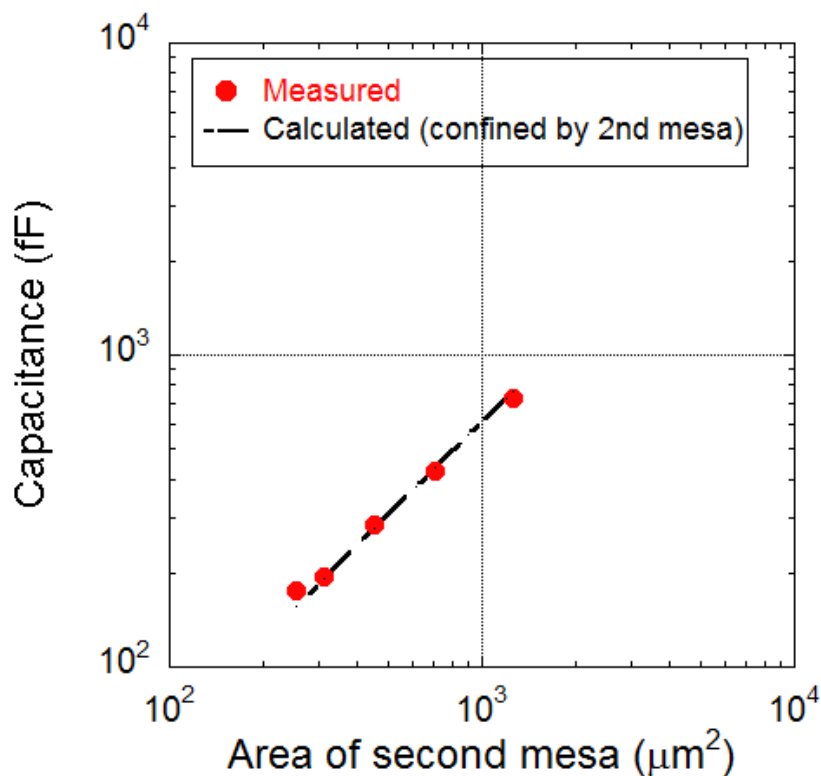


図 5-2 2 V における反転型 APD の素子容量の 2nd メサ面積依存性

更に電圧を上昇し、 V_{on} 以上の実動作電圧における電界狭窄効果について考えてみる。実動作面積においては、図 4-10 (a)-(c)に示したように、1st メサによって素子の実効面積は規定されることが期待される。図 5-3 に、22 V ($M = 10$) における反転型 APD の素子容量の 1st メサ面積依存性を示す。図 5-3 には、空乏層はばおよびメサ面積から見積もった、素子容量の 1st メサお

よび 2nd メサ面積依存性の計算結果も示されている。測定した素子容量は、1st メサ面積に対して比例的に増加していることが確認される。計算された 2nd メサの面積に対する素子容量変化とは実験値は大きく離れており、測定結果が 1st メサ面積にのみ強い依存性を有していることが確認できる。この結果は、反転型 APD の実動作電圧においては、その素子容量は、2nd メサのテラス 1、および 3rd メサのテラス 2 の長さとは無依存であることを示している。

図 5-3 から、APD の素子容量は、1st メサ面積が小さくなるほど完全な比例関係よりは若干大きくなっていることが分かる。これは、素子のペリフェリー容量に伴うものと考えられる。すなわち、反転型 APD の 1st メサの Lateral Scaling Down を進めた場合に、ある一定のペリフェリー容量が無視できなくなり、作製した 1st メサ面積よりも若干容量が多くなることが予想される。

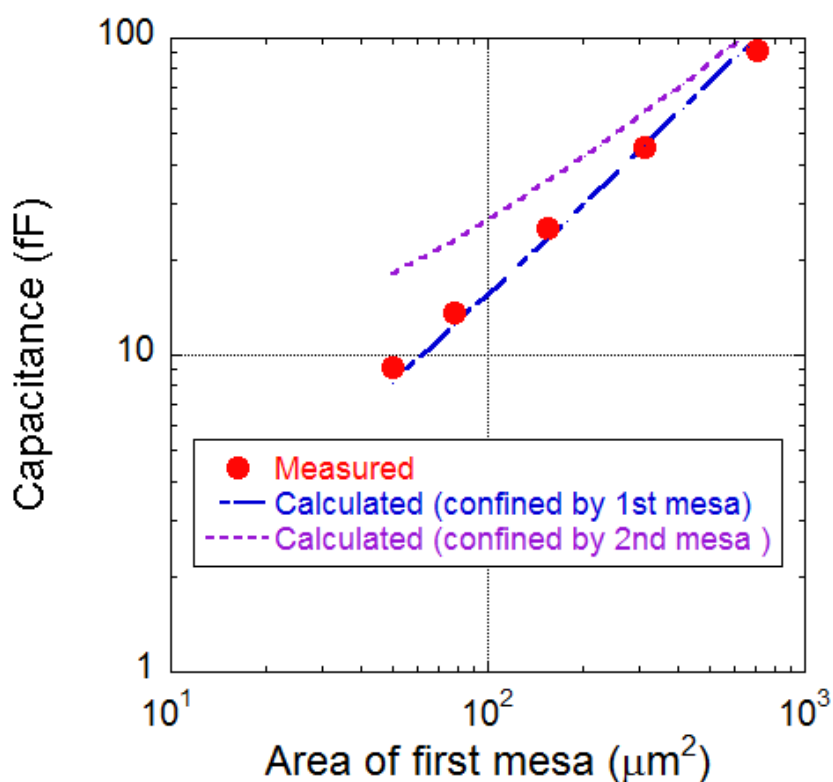


図 5-3 22 V における反転型 APD の素子容量の 1st メサ面積依存性

図 5-4 に、実測の素子容量に対し、ペリフェリー容量を与える実効面積の広がり、0,1,2 μm として計算した結果を示す。

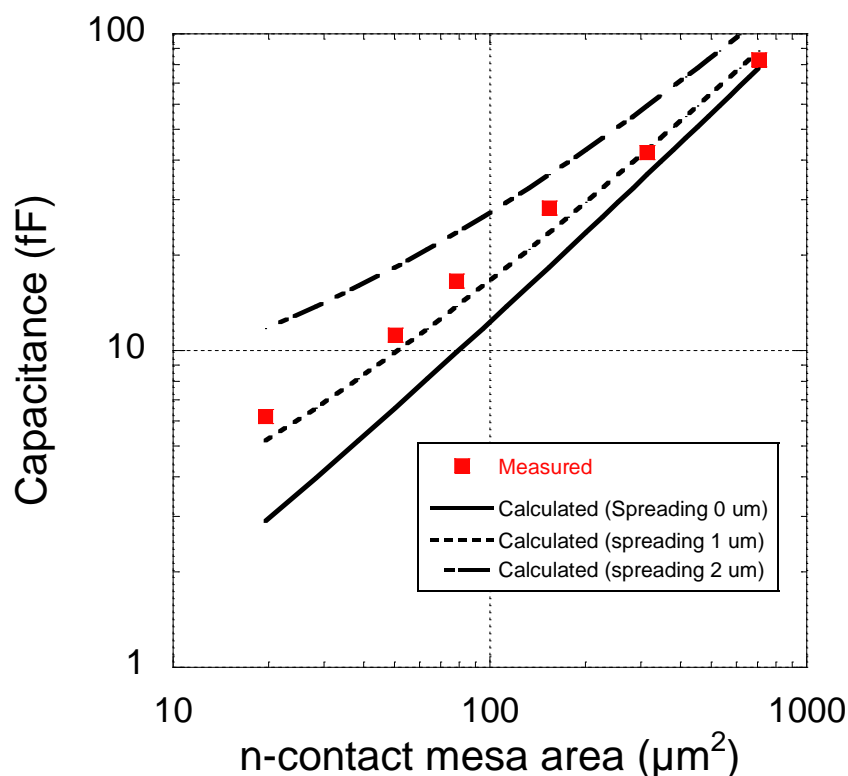


図 5-4 反転型 APD の素子容量の電界の広がりによる影響

図 5-4 からわかるように、電界の広がりを、1st メサから 1 μm としたときに一致がよい。このように、素子容量による検討からは、電界広がりが 1 μm で 1st メサ面積により実効面積が規定されていると考えられる。

5.1.2 暗電流特性による評価

次に、素子容量に関する議論と同様の検討を、暗電流に関して行った[5-1]。図 5-5 に、各 1st メサ直径に対する暗電流の I-V 特性を示す。いずれの電圧においても、素子径が小さいほど暗電流値が小さいことがわかる。一般的に APD の暗電流としては、素子内部に起因するものおよび素子表面に起因するものとして大別できるが、内部に起因するものは、暗電流値は素子面積に対して比例関係に、素子表面に起因するものは素子の周囲長に対して比例関係になるはずである。

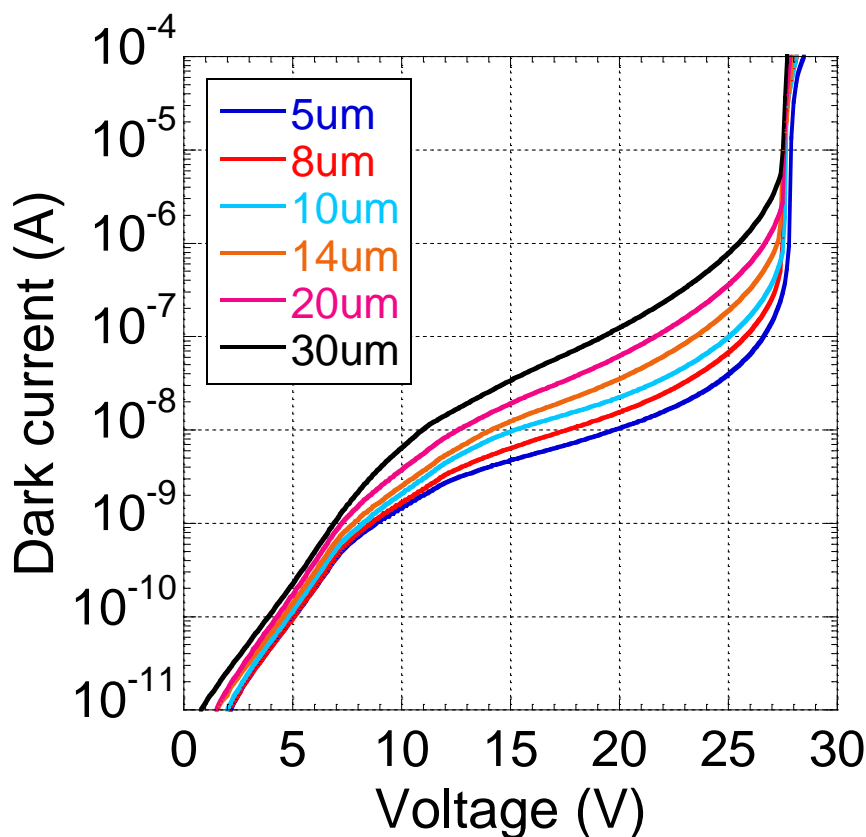


図 5-5 反転型 APD の暗電流の電圧依存性

図 5-6 に、反転型 APD の 2 V における暗電流の 1st メサ(n コンタクトメサ)面積依存性を示す。暗電流値は、1st メサ面積に対して比例関係にはなく、概ね面積に対して 1/2 乗の増加を示している。2 V における暗電流成分としては、表面暗電流が主成分と考えられる。しかしながら、計算結果と良好な一致を示しているとも言えず、このような低電圧状態での、pA オーダの電流成分に関しては、拡散電流や生成再結合による寄与も考えられる。一方、実動作電圧 (22 V) における暗電流成分および 1st メサ面積について検討してみる。図 5-7 に、22 V における暗電流の 1st メサ面積依存性を示す。22 V においては、暗電流はほぼ 1st メサ面積に対して比例的に増加しており、また、素子容量の議論と同様、1 μm の電界広がり仮定した場合の計算結果とも良く一致する。

APD における暗電流成分のうち、面積依存する暗電流は、拡散電流、再結合電流、トンネル電流があるが、このうち顕著な電圧依存性を示すものはトンネル電流のみになる。従ってこれらの結果は、動作電圧における反転型 APD の 1st メサによる電界狭窄効果を再度示しているとともに、動作電圧においては、室温での暗電流の主成分がトンネル電流であることを示唆している。

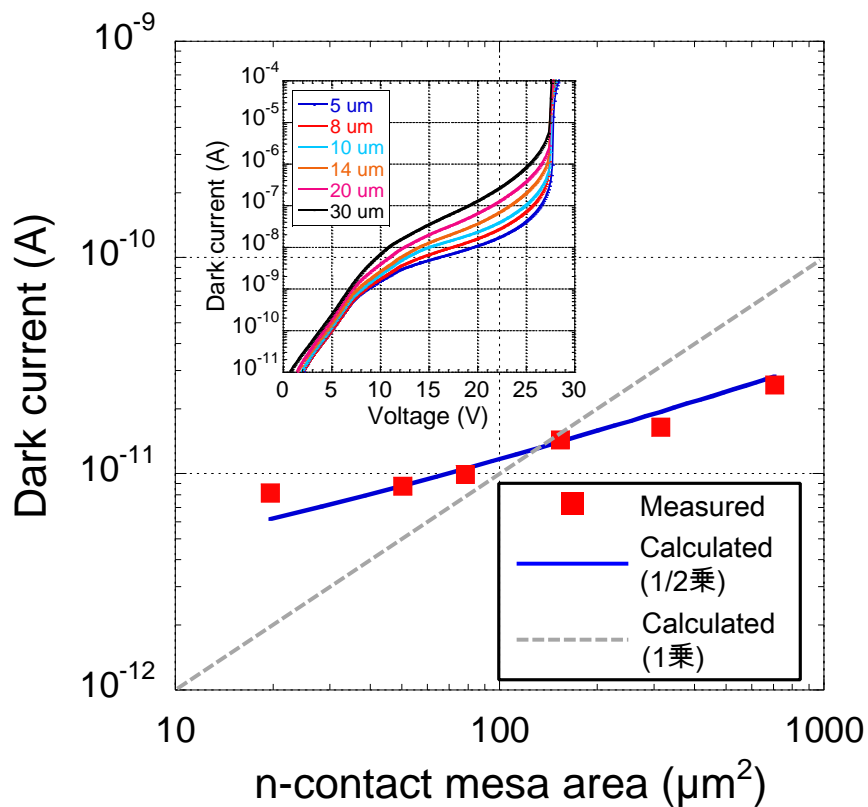


図 5-6 反転型 APD の 2 V における暗電流の n コンタクトメサ面積依存性

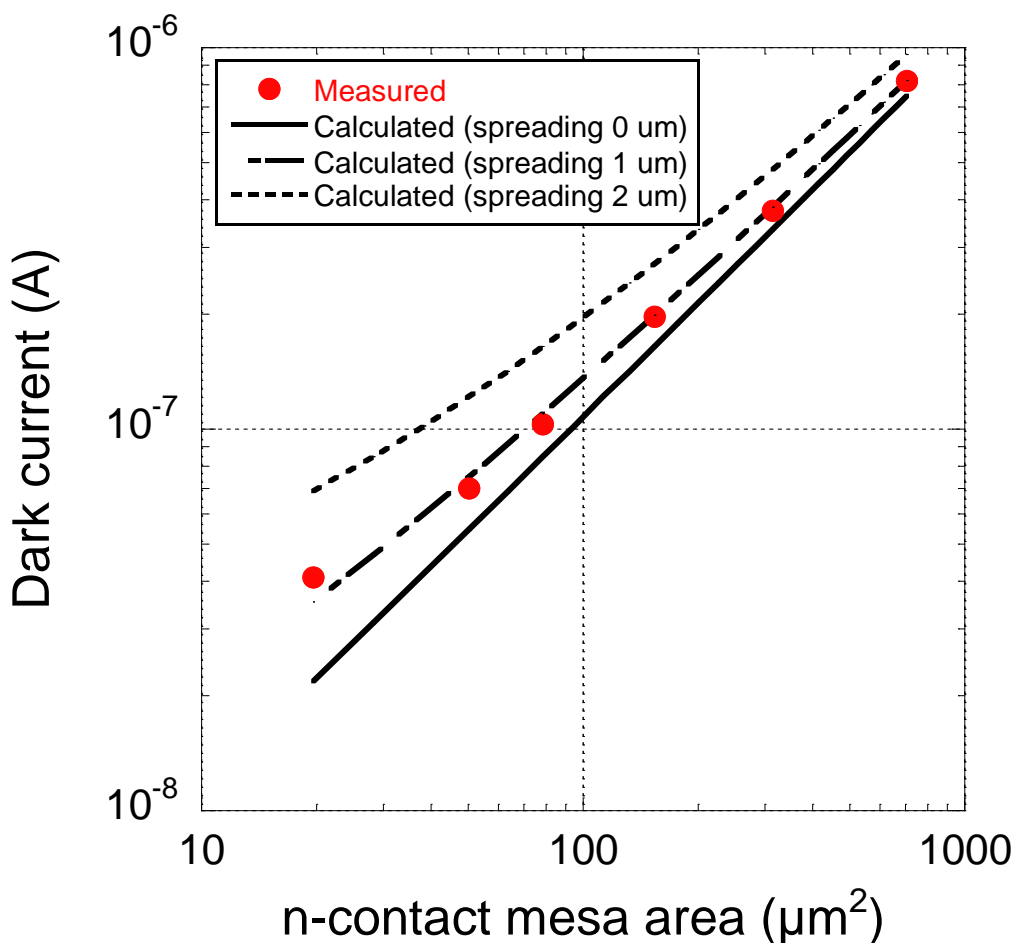


図 5-7 反転型 APD の 22 V における暗電流の n コンタクトメサ面積依存性

5.1.3 高周波特性による評価

5.1.1、5.1.2 までで、反転型 APD の静特性上において、1st メサによる電界狭窄効果を確認した。反転型 APD のもう一つの設計指針である、エッジ電界の緩和について検討しよう。エッジ電界が素子特性に影響を与える場合、エッジ電界が顕著な箇所においてのみ局所的に電界強度が高くなるため、増倍率（すなわち、光電流値）が局所的に大きくなるはずである。また、増倍率が大きい場合、GBP による帯域制限により、ある電圧においては局所的に f_{3dB} が小さくなることが予想される。そこで、 $M = 10$ (22 V) において、光電流値および f_{3dB} の位置依存性を調査した。用いた素子は、1st メサ直径 20 μm である。入射光は波長 1.55 μm であり、素子裏面から光入射をしている。モードフィールド径は 7 μm であり、1st メサの中心から $\pm 20 \mu\text{m}$ を 2 次元的にスイープしながら光電流および f_{3dB} 帯域を測定した。光電流の測定結果を図 5-8(a)に、 f_{3dB} の測定結果を図 5-8(b)に示す。

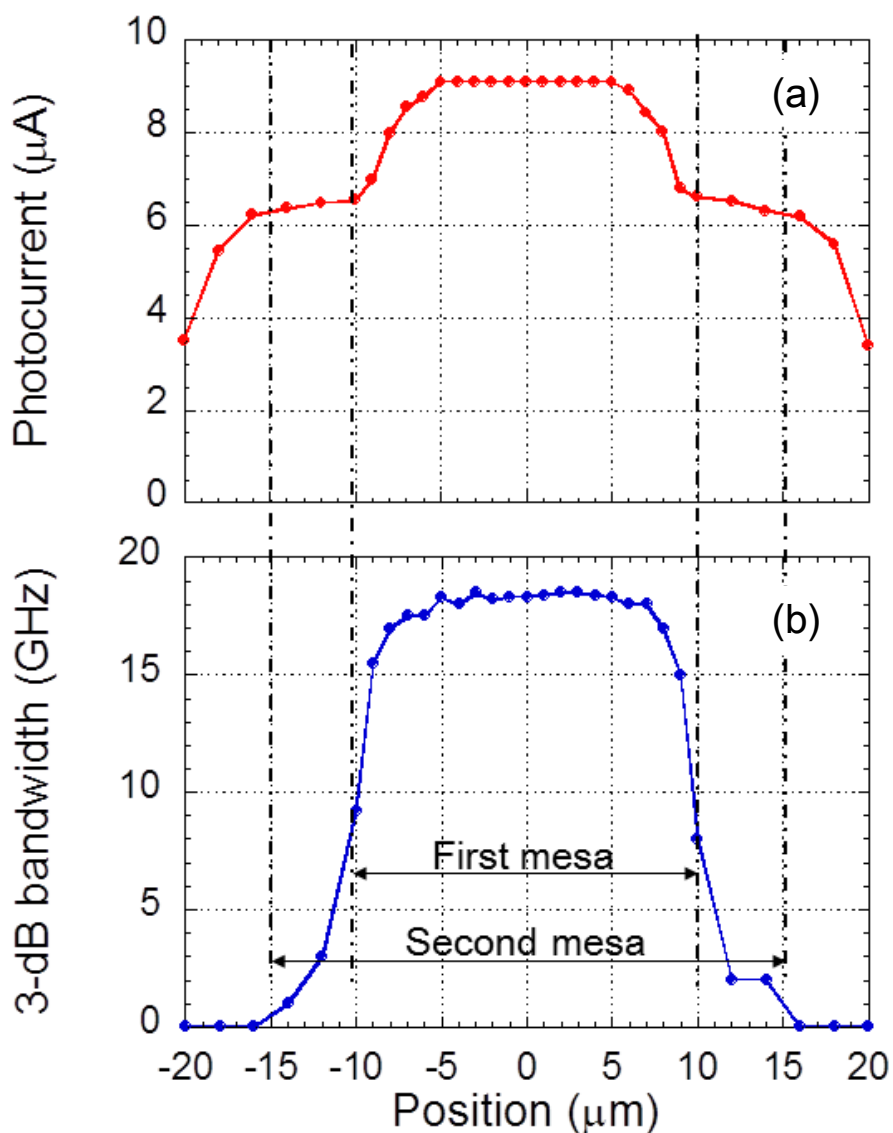


図 5-8 (a)1st メサ周辺の光電流プロファイル、(b)1st メサ周辺の f_{3dB} プロファイル

図 5-8(a)より、光電流は明確に 1st メサの形状を反映している。 $-10, 10 \mu\text{m}$ の位置が、1st メサによるエッジ電界が生じる位置であるが、この位置において顕著な光電流の増加は見られない。光電流は、 $-5, 5 \mu\text{m}$ において緩やかな減少を示しているが、これは素子上面に形成された電極金属によって、ミラーの反射戻り光を十分に得られていないためと考えられる。また、 $-20 \sim -10, 10 \sim 20 \mu\text{m}$ の位置においては、値は小さいものの、光電流が検出されている。これは、フォトキャリアの拡散に伴う光電流と考えられる。また、図 5-8(b)における f_{3dB} プロファイルにおいても、明確に 1st メサの形状を反映しており、エッジ電界の影響は見られない。光電流プロファイルとは異なり、1st メサ外の領域においては、 f_{3dB} は急峻に低下している。これは、光電流プロファイルにおける 1st メサ領域外の電流が拡散によるものという考察と矛盾せず、拡散によるフォ

トキャリアが高周波特性に寄与しないためと考えられる。

次に、高周波特性上においても、静特性と同様に反転型 APD が Lateral scalability を有するかを検討した。静特性評価と同様、5-30 μm の 1st メサ直径を有する素子の f_{3dB} を評価した。全光吸収層厚は 1000 nm であり、テラス 1,2 の幅は全ての素子において同一である。GBP による帯域制限による影響を排除するため、測定状態は $M=6$ としている。測定結果を図 5-9 に示す。赤プロットは、同様の素子径を素子容量に、同様の全光吸収層厚を走行時間に反映させ計算した結果である。計算値と実験値は、全 1st メサ径においてほぼ同様の振る舞いをしており、作製した反転型 APD が、高周波特性上も Lateral scalability を有していることを示している。全 1st メサ径において、測定値が計算値よりも 2 GHz ずつ小さい f_{3dB} を示しているが、これは配線やパッド等による寄生容量の影響によるものと考えられる。黒プロットでは、キャリア走行時間を無視した場合の CR 走行帯域を示している。この計算結果から、各 1st メサの面積および光吸収層の膜厚の最適化により黒プロットの範囲において $M=6$ での f_{3dB} と 1st メサ径のスケールリングが成り立つことを示唆している。

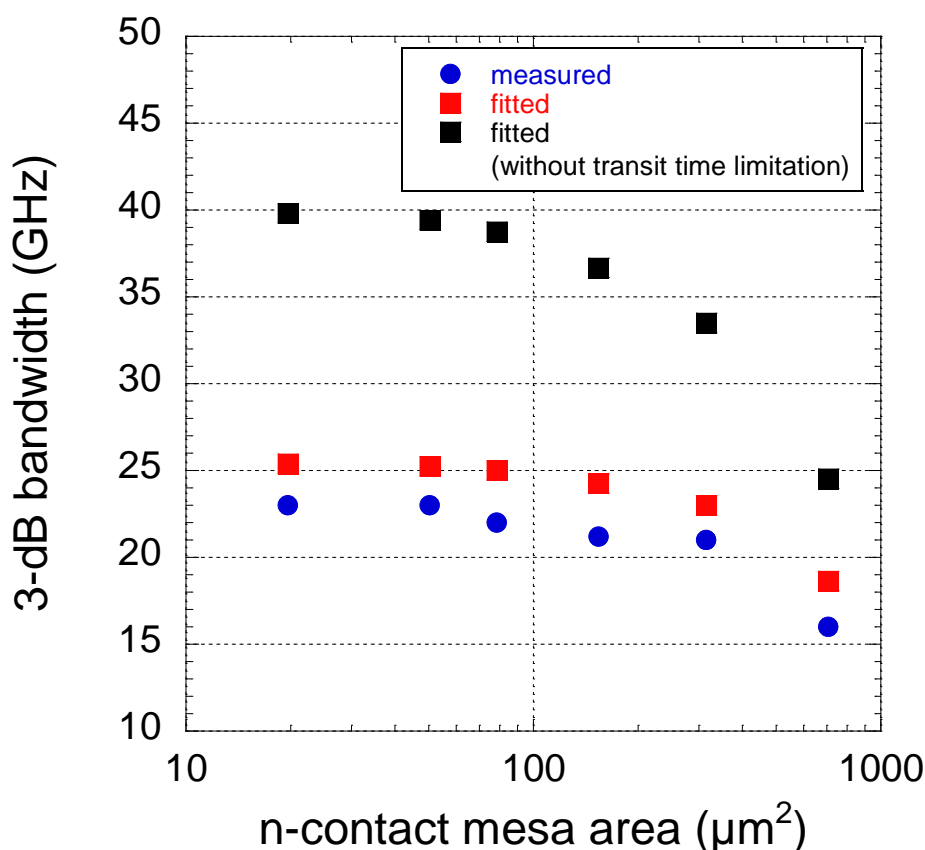


図 5-9 反転型 APD の f_{3dB} の 1st メサ面積依存性

5.2 暗電流成分の解析

反転型 APD においては、I-V 特性により低電圧状態により低い暗電流が示されたが、動作状態における暗電流成分は、I-V 特性のみからでは成分の解析が困難であり、動作状態における側面暗電流の有無については議論できなかった。そこで、0.9 Vb における暗電流の温度依存性を調査し、暗電流成分を解析した。図 5-10 に、測定した暗電流の温度に対するアレニウスプロットを示す。

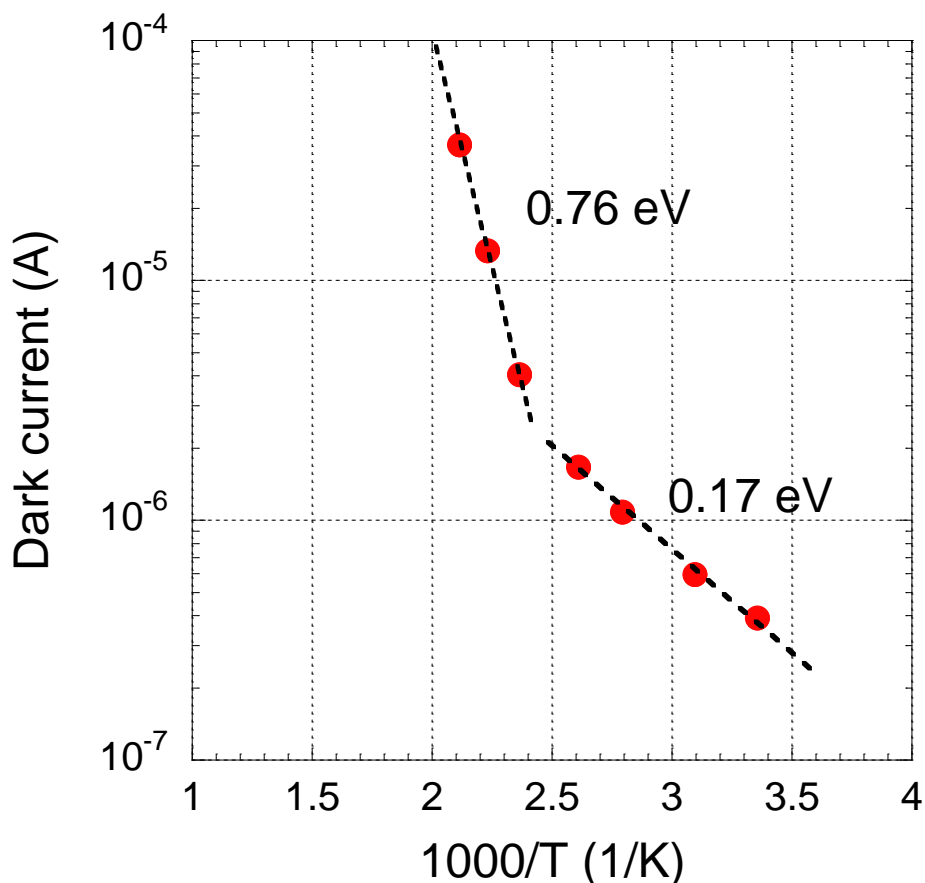


図 5-10 反転型 APD の 0.9Vb における暗電流のアレニウスプロット

T は温度であり、温度範囲は $25^{\circ}\text{C} \sim 200^{\circ}\text{C}$ である。APD の V_b は、光学フォノン散乱の影響により、高温ほど高電圧側にシフトするが、各暗電流値は、は各温度における 0.9 Vb の値でプロットした。比較的低温度の領域 ($1000/T = 2.6\text{-}3.4$, $25^{\circ}\text{C}\text{-}110^{\circ}\text{C}$) においては、暗電流の活性化エネルギーは 0.17 eV を示しているが、温度がより高くなる ($1000/T = 2.1\text{-}2.4$, $150^{\circ}\text{C}\text{-}200^{\circ}\text{C}$) と、その活性化エネルギーは 0.76 eV 程度に上昇する、2 段階の温度特性を示している。この結果は、0.9Vb の暗電流の主成分が温度によって変化していることを示している。高温側においては、その活性化エネルギーは、光吸収層である InGaAs のバンドギャップ (0.75 eV) に相当しており、この領域における暗電流成分が InGaAs から生じている拡散電流に起因していることを示唆して

いる。低温度領域については、0.17 eV の小さい活性化エネルギーが確認される。ここで、トンネル電流は温度変化に対するバンドギャップエネルギーの変化分だけ変化し、側面電流は温度依存性は原理上無い。このため、低温度領域における暗電流成分はトンネル電流が支配的であると考えられる。これらの温度特性は、表面電流の影響を抑制している、プレーナ型の APD の温度特性の振る舞いとよい一致を示しており [5-3]、反転型 APD においては、全電圧領域において、信頼性および安定性上問題となりうる側面暗電流の影響が無視できる程度に小さいことを示している。

5.3 まとめ

提案した反転型 APD を試作し、期待される Lateral Scalability と電界狭窄効果が得られていることを確認した。素子容量および暗電流の 1st メサ面積依存性の測定により、Von 以下の低電圧状態においては、素子の実効面積は 2nd メサの面積に依存していることを確認し、実動作電圧においては、1st メサの面積によって依存されていることを示した。これは同時に、テラス 1、テラス 2 の幅は実動作面積に対して影響を与えないことも示している。また、実効的な、素子内の電界の 1st メサ面積の広がりには 1 μm 程度であることを示した。これらの結果は、反転型 APD が十分な電界狭窄効果を有していることを示している。

光電流および f_{3dB} の素子内における位置依存性より、反転型 APD が有効にエッジ電界による影響を排除していることを確認した。また、 f_{3dB} に対する反転型 APD の Lateral scalability も確認し、反転型 APD が、1st メサのエッチングサイズのみによる、非常に簡易なプロセスで高い Scalability を有していることを示した。

また、0.9Vb における暗電流の温度依存性から、動作状態における暗電流の主成分がトンネル電流によるものであることを確認した。この結果は、動作時における反転型 APD の電界狭窄効果および Lateral Scalability を再度実証する結果であった。

よって、反転型 APD が、簡易な作製プロセスを有しながらも Lateral scalability に優れ、また長期信頼性、動作安定性の観点からも有望な素子構造であることを示した。

参考文献

- [5-1] M. Nada, H. Yokoyama, Y. Muramoto, T. Ishibashi, and S. Kodama, "Lateral scalability of inverted p-down InAlAs/InGaAs avalanche photodiode," in Proc. International conference on Indium Phosphide and Related Materials (IPRM) 2012, p. 215 (2012).
- [5-2] M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi, and M. Matsuzaki, "Triple-mesa avalanche photodiode with inverted p-down structure for reliability and stability," IEEE J. Lightwave Technol., **32**, p. 1543 (2014).
- [5-3] E. Ishimura, E. Yagy, M. Nakaji, S. Ihara, K. Yoshiara, T. Aoyagi, Y. Tokuda, T. Ishikawa, "Degradation Mode Analysis on Highly Reliable Guardring-Free Planar InAlAs Avalanche

Photodiodes,” IEEE J. Lightwave Technol., **25**, p. 3686 (2007).

第6章 反転型アバランシェフォトダイオードの高速・高感度化

前章までにおいて、光吸収層における、ハイブリッド光吸収層の適用による高速高感度設計および、ハイブリッド光吸収層を適用した反転型 APD の電界狭窄効果、Lateral scalability を確認し、さらに同構造が長期信頼性、動作暗転性上有望であることを示した。

しかしながら、APD の帯域および感度は、光吸収層のみでは決まらない。反転型 APD を前提とした場合、p 型、n 型電界制御層、増倍層、エッジ電界緩和層におけるキャリア走行時間を考慮してキャリア走行帯域を設計する必要があり、さらにこれらの層の膜厚は、動作時においては空乏化しているため、素子容量にも影響を与える。また、APD の感度は $M = 1$ での受光感度と、動作時の増倍率の積となるため、GBP を拡大するために適切な増倍層厚を設定することも重要であるが、GBP の拡大のために極端に増倍層厚を薄層化した場合、トンネル電流による暗電流の増加も顕著になる。

本研究においては、反転型 APD の 100 Gbit/s、および 400 Gbit/s などの超 100G 級システムへの適用性を示すことが目的であり、そのためにチャネルあたり 25 Gbit/s および 50 Gbit/s の動作を実現することを目標としているが、目標の動作ビットレートにおいて、感度を最大化するためには、これら増倍層厚、吸収層厚（ないしはハイブリッド光吸収層における p 型/アンドープ層膜厚比率）、エッジ電界緩和層等の最適化が必要になる。

本章では、25 Gbit/s、50 Gbit/s 動作に向けた、反転型 APD の設計論について述べるとともに、試作した素子特性について述べる。

6.1 100G 級システム（25 Gbit/s）動作に向けた高速・高感度設計

6.1.1 必要な感度・帯域に向けたハイブリッド光吸収層の設計

25 Gbit/s での動作を帯域ペナルティを小さく実現するためには、帯域の不足によるアイ波形上のペナルティを考慮する必要がある。帯域不足による、電圧振幅方向のアイマスクマージンの縮小（Vertical Eye-Closer Penalty; VECP[6-1]）を考慮すると、25 Gbit/s に対する各 f_{3dB} でのペナルティは図 6-1 のようになる。図 6-1 より、 f_{3dB} がビットレートの 0.6 倍以下になった場合、ペナルティは 0.5dB を上回るようになる。そこで、本研究では目標とする帯域を、ビットレートの 0.7 倍とする。

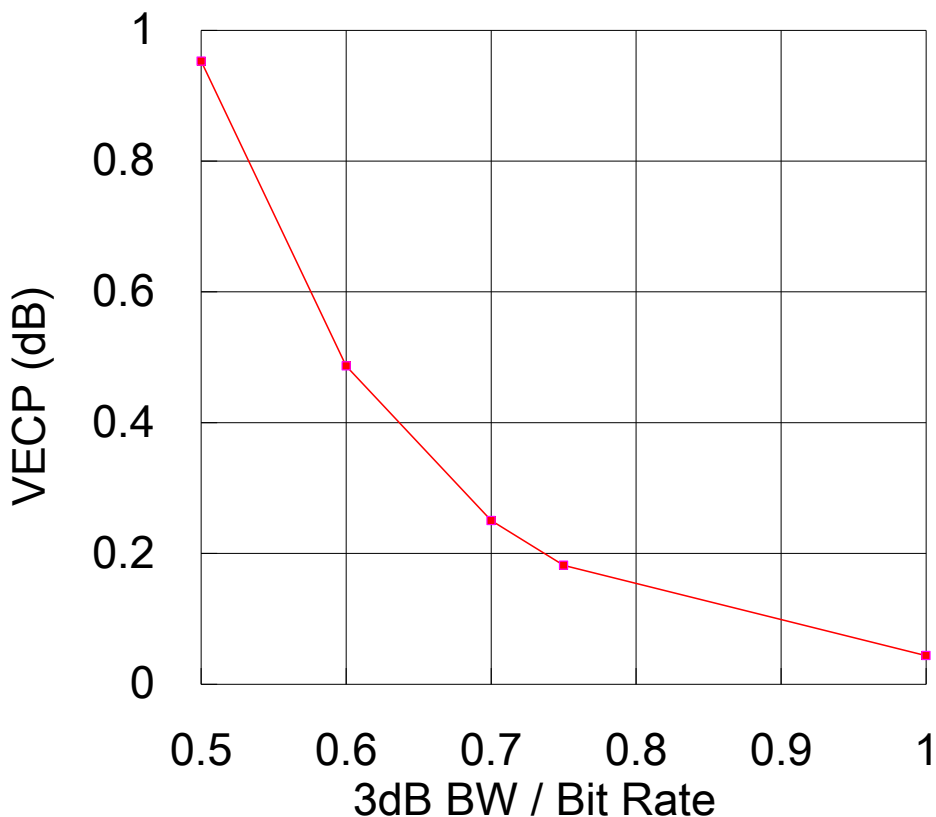


図 6-1 25 Gbit/s における f_{3dB} と感度ペナルティ (VECP) の関係

25 Gbit/s 級の APD において、増倍層および p 型/n 型電界制御層の膜厚の和を 200 nm 程度とし、エッジ電界緩和層においては、その膜厚を 200 nm 程度であれば、十分増倍層におけるエッジ電界を緩和できるとする。この時、ハイブリッド光吸収層から生じた全規格化電流は、式(4.34)に述べたとおりである。

この条件を基に、キャリア真性の走行帯域（すなわち、GBP および CR 帯域による制限がない場合）を考えてみよう。

いま、全光吸収層膜厚を 1000 nm とした場合、光吸収層において最大帯域を与える p 型/アンドープ光吸収層膜厚の比率は、図 6-2 に示す通りとなる。

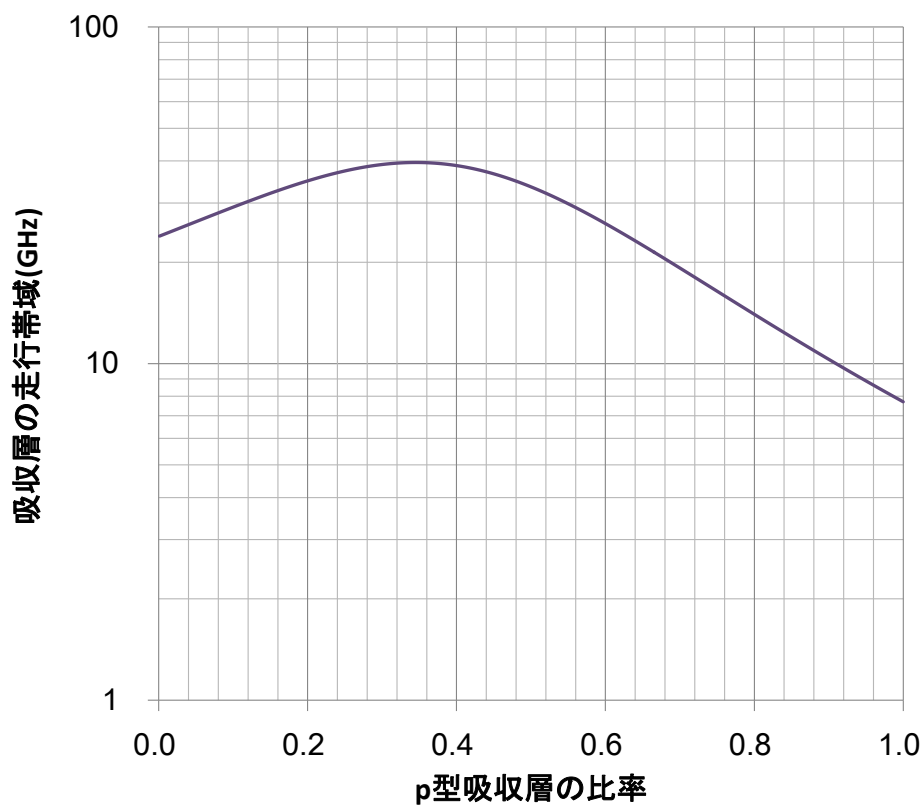


図 6-2 光吸収層 1000 nm に対する吸収層での走行帯域の p 型光吸収層比率依存性

p 型光吸収層比率が 0.4 程度が最も大きい f_{3dB} を与え、光吸収層の帯域としては、40 GHz 程度である。上式から、この光吸収層での f_{3dB} に、p 型/n 型電界制御層+増倍層およびエッジ電界緩和層におけるキャリア走行時間を加味した場合、反転型 APD 全体のキャリア走行帯域としては、38 GHz 程度が得られる。この場合の $M=1$ における受光感度としては、0.94 A/W となる。

前述のキャリア走行帯域を前提として、CR帯域を加味した素子径の設計が必要になる。キャリア走行帯域 38 GHz において、CR帯域を加味した $M=1$ での f_{3dB} の素子容量依存性を図 6-3 に示す。図 6-3 における計算の前提としては、素子の直列抵抗として 30Ω、50Ω で終端されていることとした。

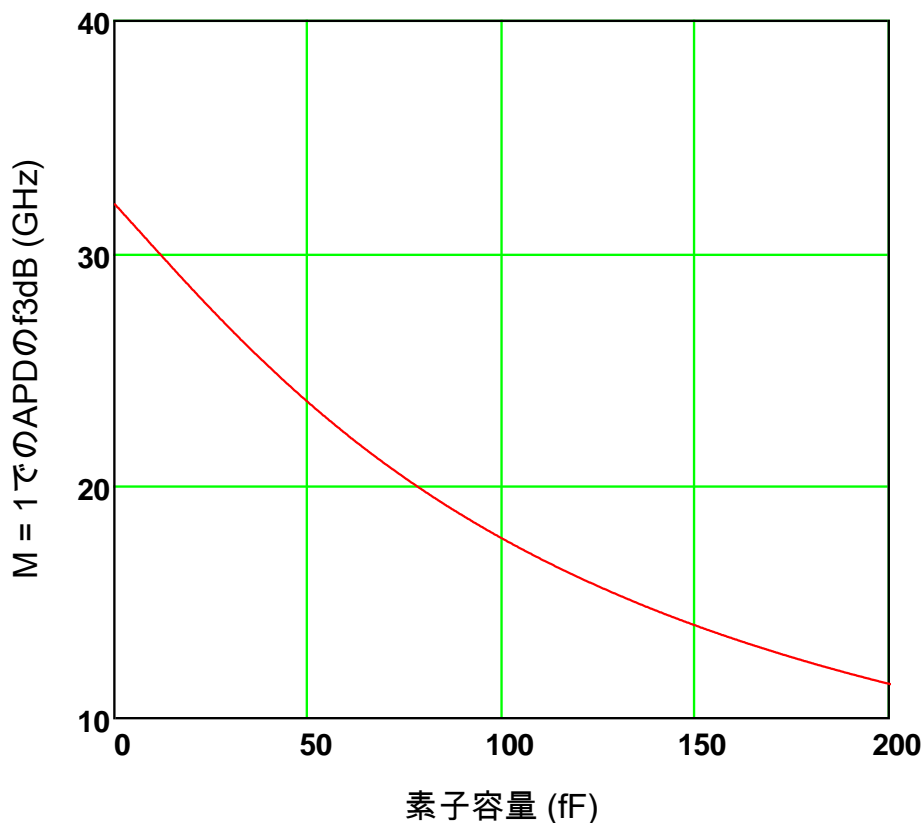


図 6-3 走行帯域 38 GHz に対する、反転型 APD の $M=1$ での f_{3dB} に対する素子容量依存性

図 6-3 より、素子容量が 50 fF 程度であれば、 $M=1$ での f_{3dB} として 24 GHz 程度を得ることが出来ることが分かる。次に、この所望の素子容量を得るために必要な、反転型 APD における 1st メサの直径について考えてみる。今、5-1 で述べたように、1st メサ面積から 1 μm の電界の広がりがあるとすると、1st メサの半径と素子容量の関係は、図 6-4 によるになる。

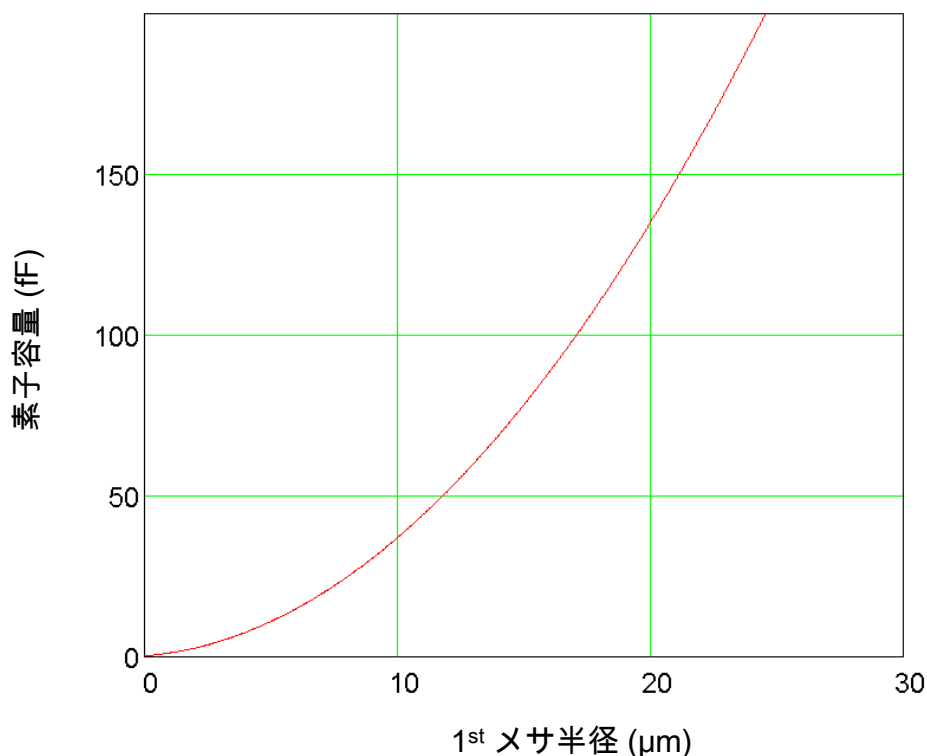


図 6-4 反転型 APD における 1st メサ半径と素子容量の関係

APD の光学実装への適用を考えた場合、実効面積に相当する 1st メサの面積は、CR 帯域の許す範囲内で大きい方がよい。また、実素子においては、素子の実効面積に依存するジャンクション容量のみならず、10 fF 程度のパッド容量を含む寄生容量が予想される。この為、25 Gbit/s 動作向けの反転型 APD の 1st メサ半径としては、ジャンクション容量として 40 fF 程度が期待できる 10 μm (直径 20 μm) を適用した。

6.1.2 利得帯域積の向上に向けた増倍層設計

APD における受光感度は、光吸収層の膜厚によって決まる、 $M=1$ での感度と、動作電圧における利得の積で決まる。即ち、GBP を向上させ、25 Gbit/s 動作に必要な 17 GHz の帯域を可能とする動作状態での利得を向上させなければならない。図 6-5 に、GBP を 100 GHz から 300 GHz まで変化させた場合の、APD の利得帯域特性のシミュレーション結果を示す。帯域のシミュレーションとして、走行帯域としては前節で議論した 38 GHz を、CR 帯域としては素子容量 50 fF、素子直列抵抗 30 Ω、50 Ω 終端されていることを仮定し、全ての利得状態においてこれらの値は一定とした。

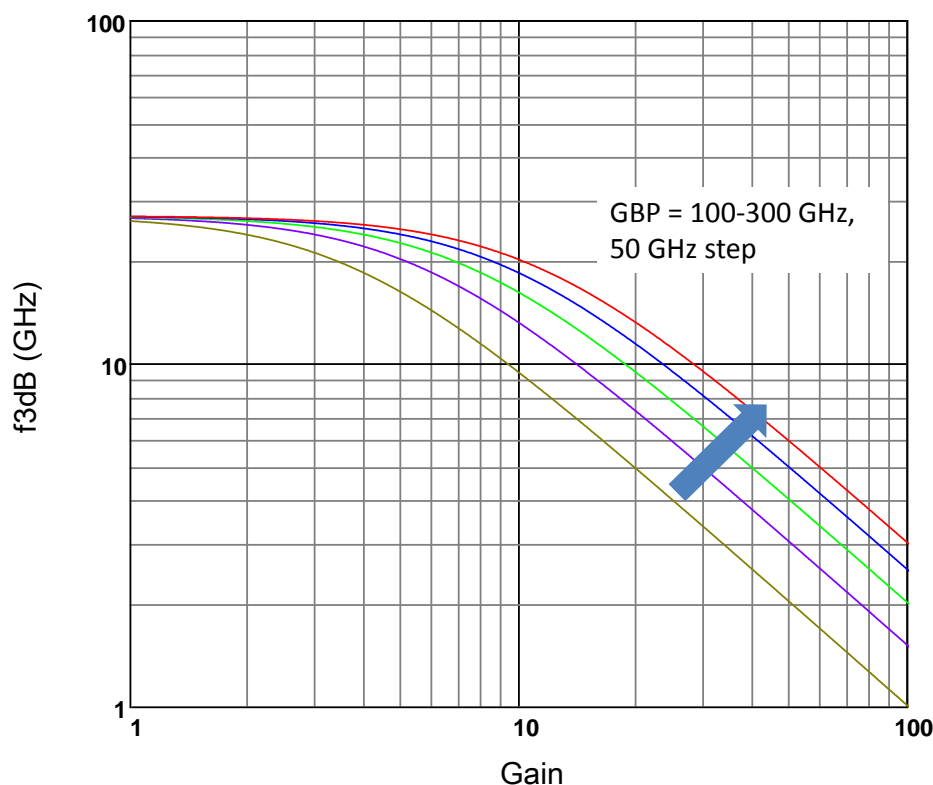


図 6-5 反転型 APD の利得帯域特性の GBP 依存性の計算結果

GBP = 100 GHz は、10G 級の APD で用いられてきた InP 増倍層による APD の GBP の典型値である[6-2,6-3, 6-4]。図 6-5 からは、GBP = 100 GHz で f_{3dB} がビットレート 25 Gbit/s の 0.7 倍となる 17.5 GHz 以上となる増倍率は、3 程度となる。光吸収層における $M = 1$ の受光感度 0.94 A/W を仮定すると、 $M = 3$ での受光感度は 2.82 A/W 程度である。GBP が上昇すると、 f_{3dB} が 17.5 GHz 以上となる増倍率は上昇してゆき、GBP = 150, 200, 250 300 GHz に対して 6, 8, 10, 13 程度となる。これらは受光感度に変換すると、5.64, 7.52, 9.4, 12.2 A/W 程度になる。

本研究における 25 Gbit/s 動作の目標としては、イーサネットにおけるビル間通信を可能とする 40 km 程度の伝送を実現することであり、40 km のエラーフリー伝送に必要な光レシーバとしての受信感度は、ファイバロス 0.5 dB/km, 送信器の出力を 4 dBm とすると、40 km 伝送後は光レシーバに注入される光強度は、-16 dBm 以下となる、実際にはコネクタ等のロスとして 2dB 程度のペナルティが生じることを考えると、-18 dBm 程度の受信感度を有することが望ましい。このために必要な APD としての受光感度は、7.0 A/W 程度となる。このため、25 Gbit/s 動作を目標とした APD の GBP としては、200 GHz 以上を目標とした。

GBP = 200 GHz 以上を実現するためには、10G 級 APD で用いられてきた InP ではその実現は困難と考えられる。そこで本研究では、インパクトイオン化率比がより優れ、高い GBP が報告されている InAlAs を用いた[6-5, 6-6, 6-7]。

一方で、APDの光吸収層としてInPに格子整合するInGaAsを用いる限り、従来APDの増倍層として用いられてきたInPをInAlAsに置き換えることは、吸収層と増倍層間のバンドオフセットの変更を伴う。特に電子注入型のAPDについて考えた場合、電子から見た実効的なバンドオフセットである伝導帯オフセットはInPに比べてInAlAsが大きくなる。このことのAPD動作への影響について考えてみよう。InPに格子整合するInGaAs吸収層に対する、InP、InAlAsのそれぞれの伝導帯、価電子帯のバンドオフセット (ΔE_c 、 ΔE_v) は以下のとおりである[6-8]。

表 6-1 InGaAs に対する InP, InAlAs のバンドオフセット

| Material | ΔE_c (eV) | ΔE_v (eV) |
|----------|-------------------|-------------------|
| InP | 0.22 | -0.41 |
| InAlAs | 0.52 | -0.17 |

表 6-1 からわかるように、InGaAs から増倍層への電子注入を考えた場合、InAlAs を用いると InP に比べて 2 倍以上の ΔE_c が予想され、より顕著な電流ブロッキングが考えられる。図 6-6 に (V_{on}) 付近の電圧におけるバンド図を示す。両計算において、増倍層以外のパラメータは同一であり、同電圧でのバンド図を示している。

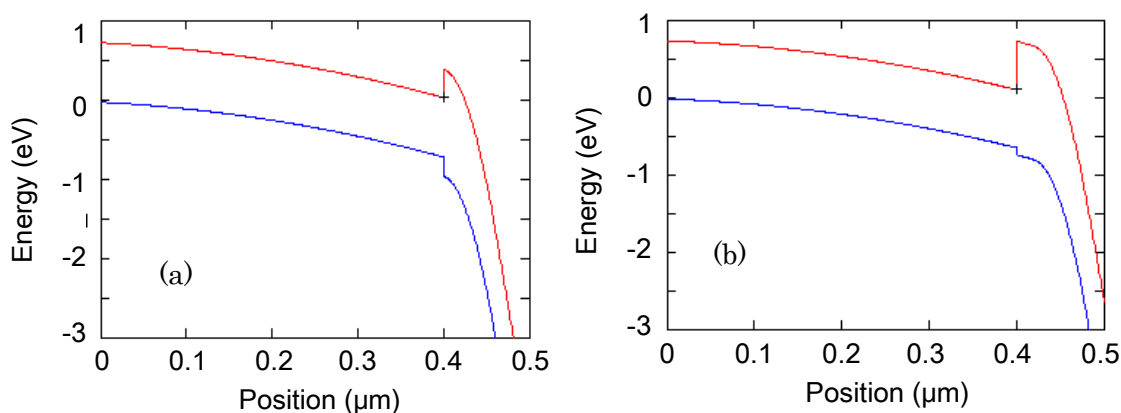


図 6-6 (a)InP および(b)InAlAs を増倍層とした場合の、 V_{on} 付近のバンド図

図 6-6 から明らかなように、InP においては V_{on} 付近の電圧では、増倍層の伝導帯のバンドパイルアップの先端は十分に吸収層の 0 位置の伝導帯よりも低エネルギーにあり、吸収層で得られるエネルギーにより電子は増倍層に注入される。一方 InAlAs ではより増倍層でのパイルアップが大きく、この状態では顕著なブロッキング効果の影響を受けると考えられる。より電圧を印加することで InAlAs でも電子ブロッキングは緩和されるが、その追加の電圧によって増倍層はより増倍率を大きくするため、GBP による帯域劣化が生じる可能性があり、結果 APD の最大帯域は低下する可能性がある。

この ΔE_c に関わるブロッキング効果は、適切な Gap grading 層を増倍層と吸収層の間に挿入す

ることで回避することが出来る。今、光吸収層と増倍層の間に、1.1 eV の InAlGaAs による Gap grading を適用してみる。図 6-6(c)にそのバンド図を示す。

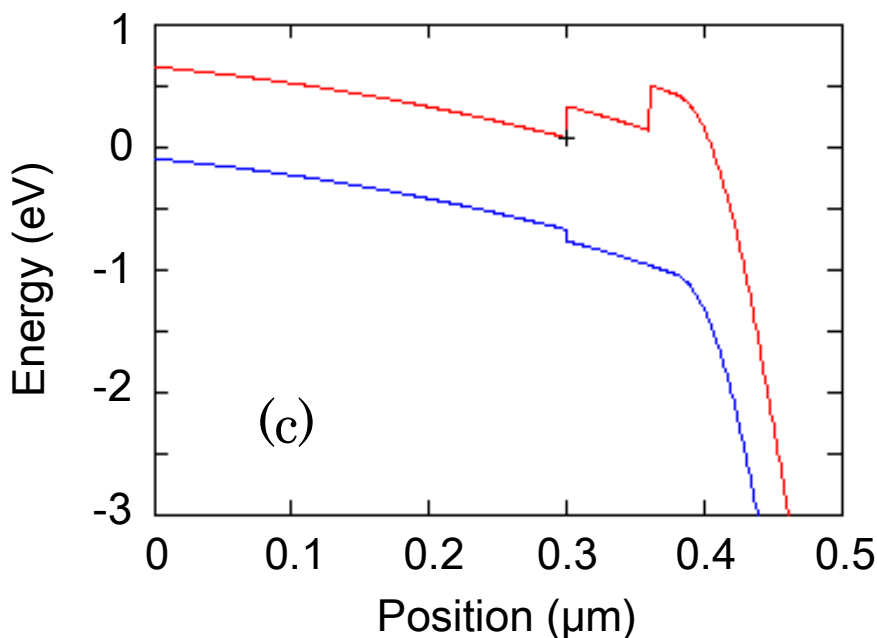


図 6-6(c) 1.1 eV InAlGaAs 層を有する InAlAs-APD のバンド図

図 6-6(c)からわかるように、同じ動作状態であっても、Gap grading 層を有することで電子ブロッキングを低減できることが分かる。素子の動作電圧を上げ、GBP の帯域制限が支配的になるような電圧であれば、Gapn grading 層の有無にかかわらず動作帯域に影響は及ぼさないが、低利得で素子の最大帯域を議論する際には、上記のような電子ブロッキングを抑制することは有用である。

次に、InAlAs 増倍層の膜厚について考えてみる。ノンローカルモデルに従えば、デッドスペース効果を有効に利用することでインパクトイオン化率比を薄層増倍層において提言することができ、GBP を拡大できる。図 6-7 に、ノンローカルモデルを含んだ電子、正孔のインパクトイオン化率[6-9]を含んだインパクトイオン化率による、InAlAs 増倍層における GBP の膜厚依存性の計算結果を示す。増倍層厚 200 nm 程度では、InP 増倍層と同程度の GBP しか期待できないが、100 nm まで薄層化することで 200 GHz を超える GBP が期待できる。25 Gbit/s 動作に向けては、100 nm の InAlAs 増倍層を適用した。

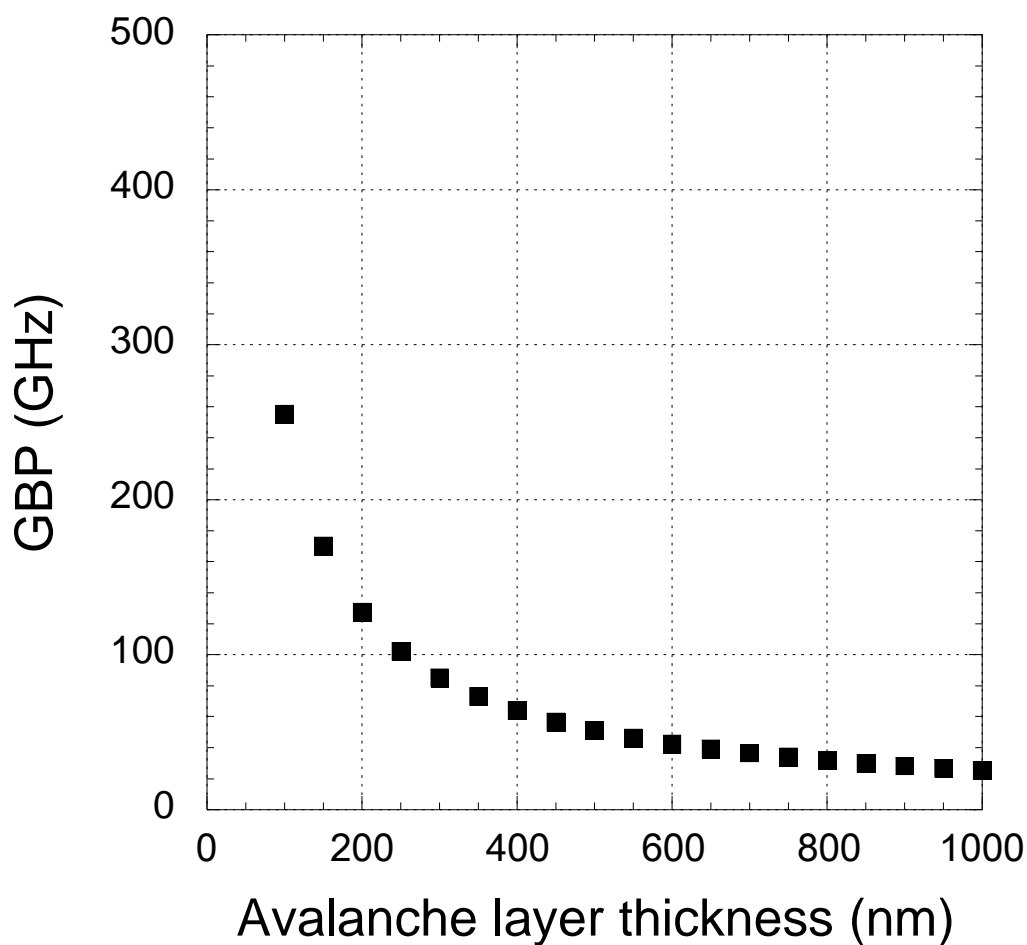


図 6-7 InAlAs 増倍層の GBP の膜厚依存性

6.1.3 作製した素子の特性

上述の設計指針に基づき、25 Gbit/s 動作に向けた反転型 APD を試作、評価した[6-10]。表 6-2 に、再度 APD の設計値を整理する。

表 6-2 25 Gbit/s 動作に向けた反転型 APD の設計パラメータ

| 項目 | 設計値 |
|----------------------|--------|
| P 型光吸収層膜厚 | 300 nm |
| アンドープ光吸収層膜厚 | 700 nm |
| 1 st メサ直径 | 20 μm |
| 素子容量 | 50 fF |
| エッジ電界緩和層膜厚 | 200 nm |
| 増倍層材料 | InAlAs |
| 増倍層膜厚 | 100 nm |

図6-8に、作製したAPDのI-V特性および受光感度の増倍率依存性を示す。作製したAPDは、素子上部にTi/Auによるミラーを作製しており、基板裏面にARコートを作製してある。信号光は基板裏面から入射されており、素子上部のミラーで反射される2-pass構造である。Vonは13.5V、Vbは26Vであり、Vb付近において異常ブレイクダウンの振る舞いはみられない。受光感度の電圧からも、電圧に対し受光感度は連続的に40 A/Wまで増加しており、作製した反転型APDが、有効にエッジ電界等の影響による異常ブレイクダウンを抑制していることがわかる。

図6-9に、 $M=1$ での受光感度0.91 A/Wを仮定した、増倍率の電圧依存性の計算結果と実験値の比較を示す。計算結果と実験結果は、広い動作電圧範囲においてよい一致を示しており、作製した反転型APDが $M=1$ の受光感度として0.91 A/Wであることを示唆している。計算値としては $M=1$ の受光感度として0.94 A/Wが期待されるが、わずかに実測の受光感度が小さい原因としては、ARコートでの入射光の透過率が100%ではないこと、またミラーの反射率が100%ではないことが考えられる。 $M=10$ となる電圧は22Vであり、この電圧が期待される実動作電圧である。

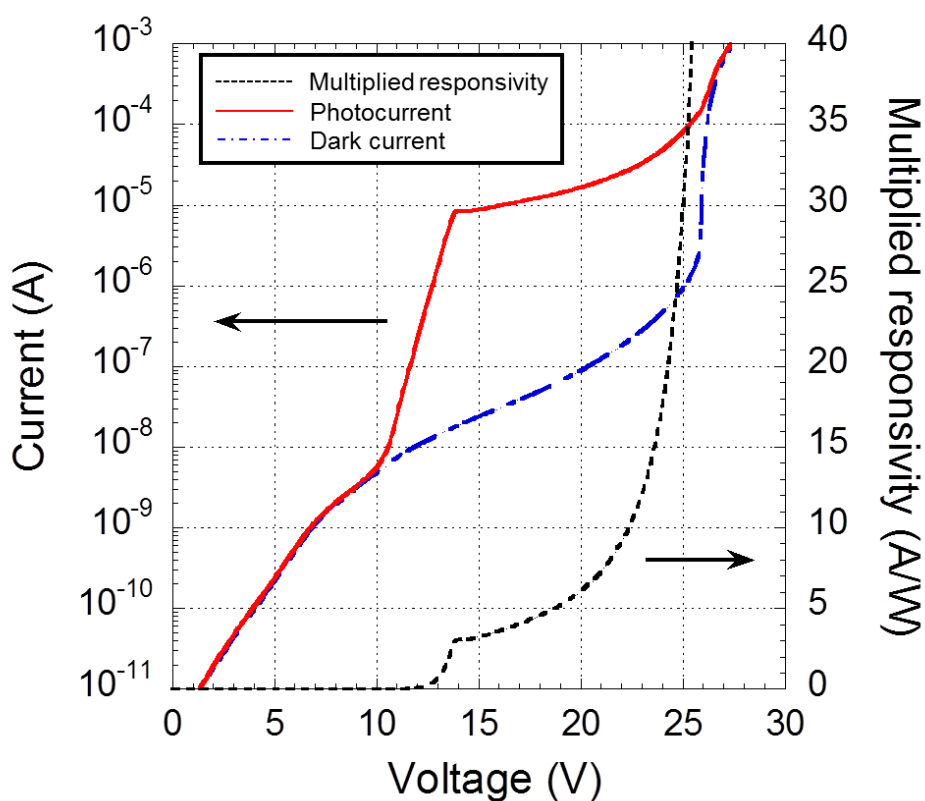


図6-8 作製した25 Gbit/s級反転型APDのI-V特性および受光感度の電圧依存性

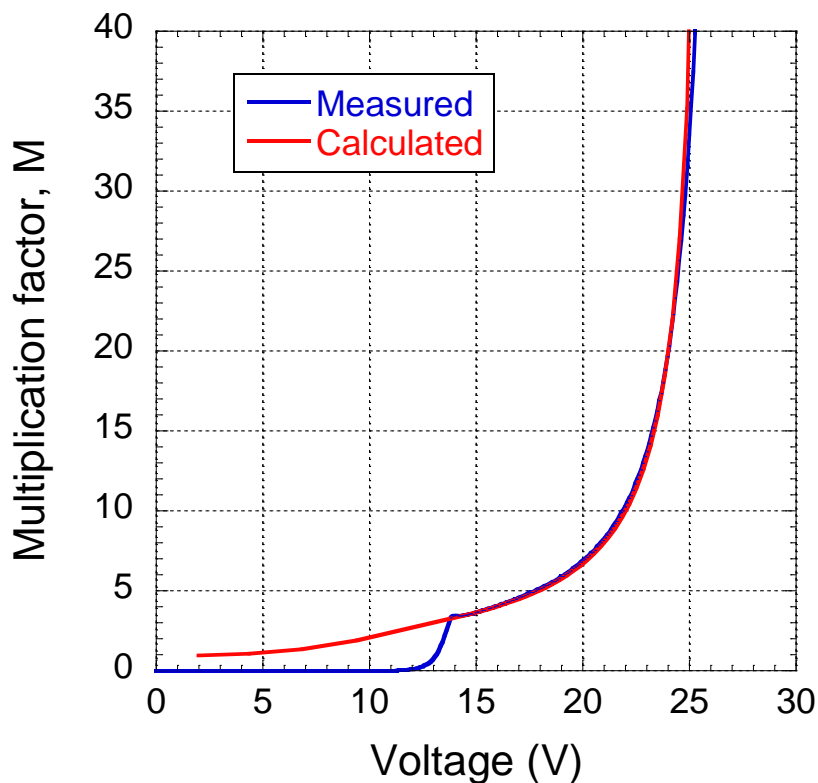


図 6-9 作製した 25 Gbit/s 級反転型 APD の増倍率の電圧依存性

図 6-10 に、作製した反転型 APD の C-V 特性を示す。I-V 特性の光電流の結果と総合し、5 V 付近での容量低下は n 型電界制御層の、14 V 付近の容量低下は p 型電界制御層の空乏化に伴うものと考えられる。14 V 以上の電圧変化に対し、素子容量はほぼ変化せず、14 V において作製した反転型 APD は完全空乏化したものと考えられる。完全空乏化した状態での素子容量は 52 fF 程度である。ジャンクション容量は 40 fF 程度と計算される為、パッド等による寄生容量は 12 fF 程度と見積もられるが、1st メサ直径 20 μm 素子に対してほぼ設計した通りの素子容量が得られている。

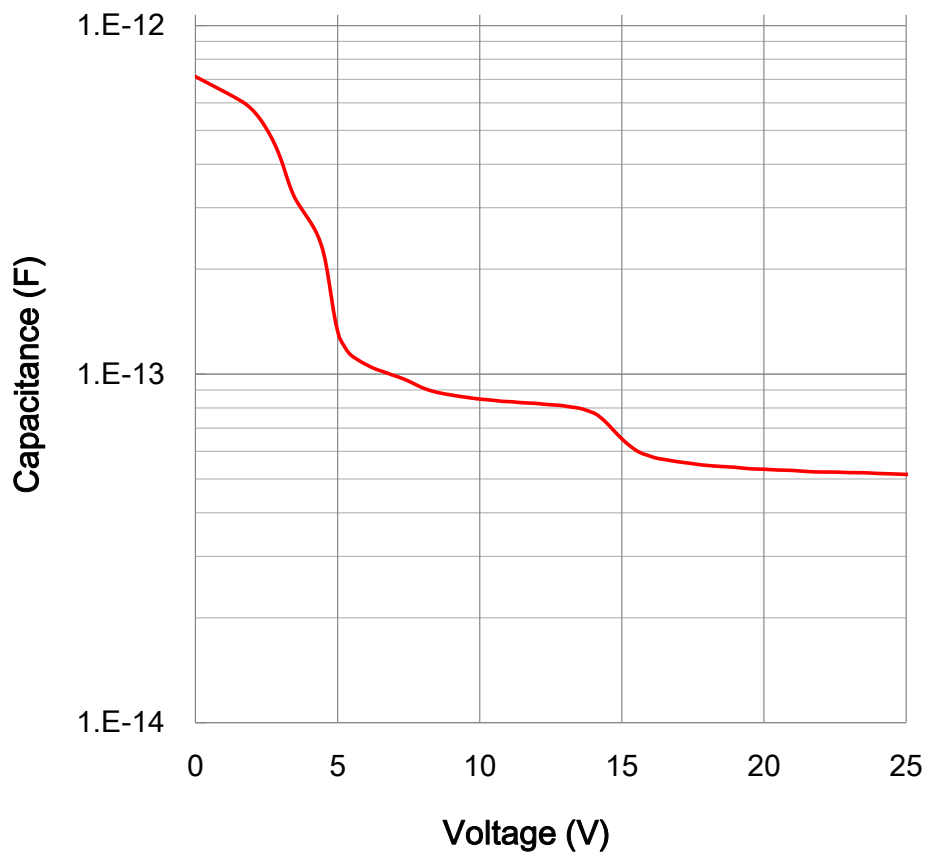


図 6-10 作製した 25 Gbit/s 級反転型 APD の C-V 特性

図 6-11 に、実動作電圧として期待される 22 V ($M = 10$)における反転型 APD の周波数特性を示す。 f_{3dB} として 18.5 GHz が得られており、25 Gbit/s 動作に向けては帯域ペナルティの小さい、十分な帯域と考えられる。

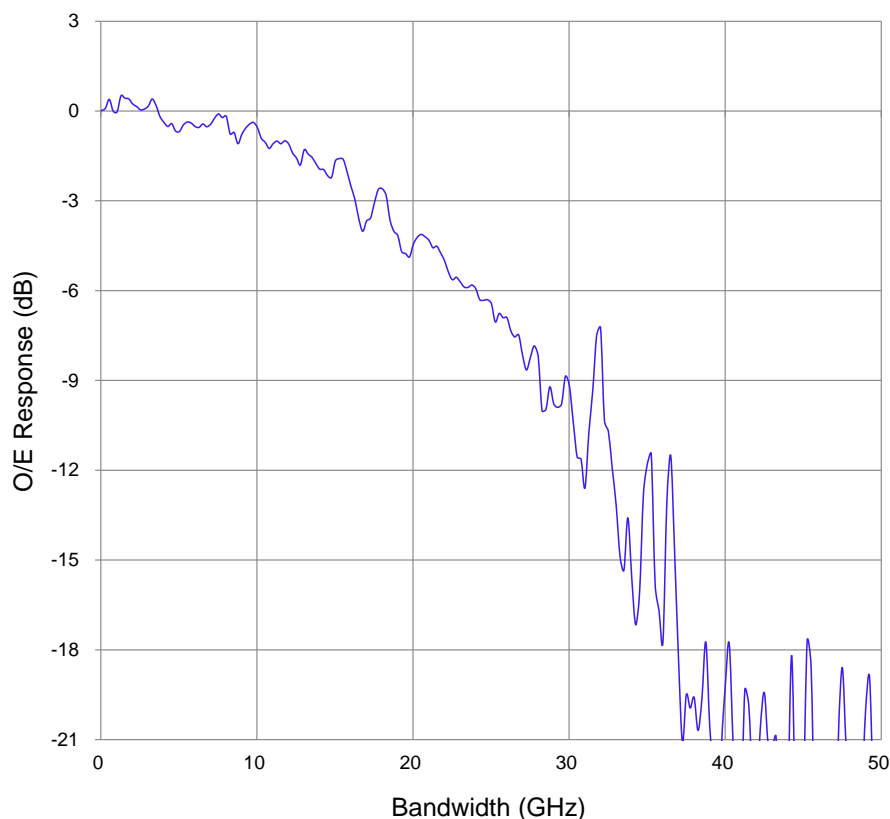


図 6-11 反転型 APD の $M = 10$ における光電応答の周波数特性

図 6-12 に、作製した反転型 APD の利得帯域特性を示す。最大帯域は $M = 4.47$ において 23 GHz であった。この増倍率は、GBP による制限が小さく、素子の走行帯域と CR 帯域によって決まる、単純な PIN-PD の帯域と比較的近い。6.1.1 では、素子の材料および膜厚、そして素子容量から決まる帯域としては 24 GHz となるよう設計をしたが、得られた $M = 4.47$ における最大帯域の結果は、計算値と良い一致を示している。GBP は、 $M = 20$ 以上における f_{3dB} の実測値を最小二乗近似し、235 GHz が得られている。この値は、従来の InP 系の増倍層を有する APD と比較しても 2 倍程度の高い値である。図 6-10 に述べたように、 $M = 10$ においても 18.5 GHz と、25 Gbit/s 動作に十分な f_{3dB} を維持しており、この動作状態における受光感度は 9.1 A/W となる。以上により、ハイブリッド光吸収層、および薄層の InAlAs 増倍層を適用することで、25 Gbit/s 動作に十分な高速動作を、9.1 A/W の高感度性ととも実現することができた。

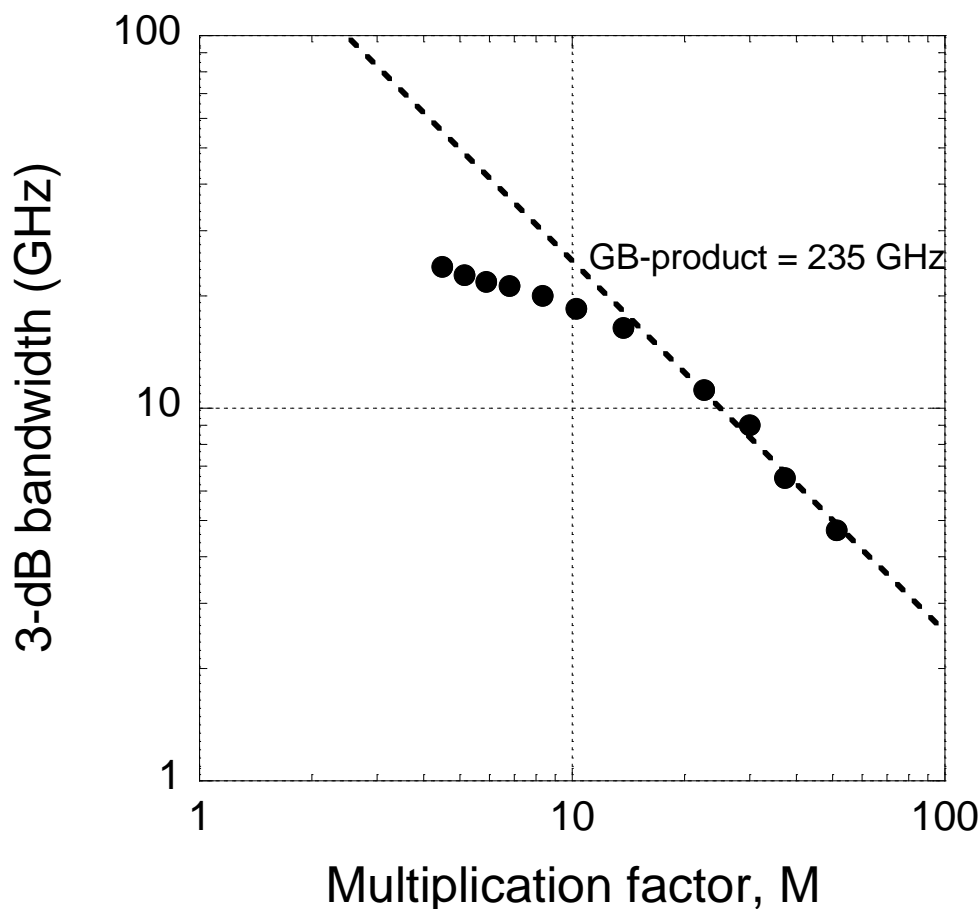


図 6-12 作製した反転型 APD の利得帯域特性

これまで議論してきたように、APD の性能指標としては、GBP がしばしば重要視される。GBP は、材料および膜厚の選択により増倍率と帯域のトレードオフを支配する、APD においては本質的なパラメータであることは疑いようがない。一方で、APD の実用化の観点では、GBP の拡大のみならず高速動作と高受光感度も同様に重要なパラメータであり、またそれぞれがトレードオフの関係性を有している。例えば、GBP は 500 GHz と極めて高く、 f_{3dB} も $M = 10$ において 30 GHz を有しているが、受光感度は $M = 1$ で 0.05 A/W の APD があったとする。この場合、30 GHz での受光感度は 0.5 A/W となり、PIN-PD や UTC-PD と比べて優位性がない。逆も同様で、GBP = 500 GHz、受光感度が $M = 1$ で 1.0 A/W であったとしても、走行帯域および CR 帯域から決められる f_{3dB} が 10 GHz であれば、高ビットレートへの適用は困難になる。すなわち、APD の実用上重要なパラメータは、単純な GBP ではなく、 M (利得) $\times R$ ($M=1$ の受光感度) $\times B$ (帯域)、すなわち増倍感度-帯域積(Multiplied-responsivity bandwidth product: MR-B product)であると考えられる。

図 6-13 に、APD の実動作状態における感度と f_{3dB} の比較を示す。

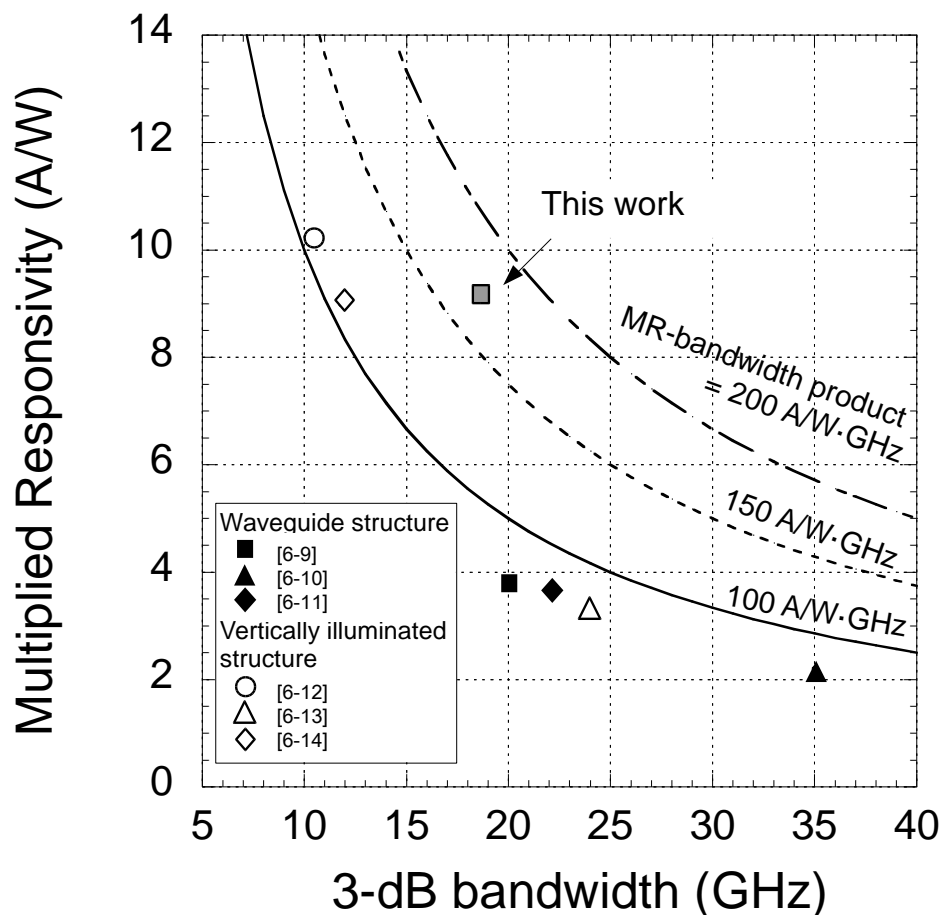


図 6-13 APD の実動作状態における感度と f_{3dB} の比較

図 6-13 には、既報告の値を垂直入射型、導波路型に分けてプロットしている。前述のとおり、導波路型が広帯域を実現できており、垂直入射型では高感度を実現できているが、MR-B product = 100 A/W · GHz 程度のトレードオフのラインから大きく逸脱できてはいない。本研究での 25 Gbit/s 動作向け APD においては、高い受光感度と f_{3dB} のバランスよく向上させ、MR-B product としては 168 A/W · GHz に達している。図 6-12 の比較からも、反転型 APD が従来あった受光感度と帯域のトレードオフを大きく緩和するものであることが分かる。

表 6-3 に、25 Gbit/s 動作に向け設計、試作した反転型 APD の設計値と実測値をまとめる。帯域、受光感度ともにほぼ設計通りの値が得られていることが分かる。これらの結果より、反転型 APD は 25 Gbit/s 動作に向けて、高い設計性を有しながら十分な特性を得られていることが分かった。

表 6-3, 25 Gbit/s 動作に向けた反転型 APD の設計パラメータ

| 項目 | 設計値 | 実測値 |
|----------------------|---------------|---------------|
| 最大帯域 | 24 GHz | 23 GHz |
| GBP | Over 200 GHz | 235 GHz |
| f_{3dB} @ $M = 10$ | Over 17.5 GHz | 18.5 GHz |
| 素子容量 | 50 fF | Minimum 52 fF |
| 受光感度 @ $M = 1$ | 0.94 A/W | 0.91 A/W |

6.2 超 100G 級システム (50 Gbit/s) 動作に向けた高速・高感度設計

6.2.1 50 Gbit/s 動作に向けた課題

6.1 で述べた、所望とするビットレートに対する必要帯域の関係に基づけば、50 Gbit/s 動作に対して必要な f_{3dB} は、35 GHz 程度となる。25 Gbit/s 動作用途に設計・試作した反転型 APD は、最大帯域であっても $f_{3dB} = 23$ GHz 程度であったので、50 Gbit/s 動作に向けては更なる帯域向上のための設計が必要になる。

4.1.2 で述べたように、APD の素子構造としては、比較的帯域の拡大が容易な導波路型と、帯域と感度に厳しいトレードオフのある垂直入射型があるが、より広帯域化の容易な導波路型においてでも、50 Gbit/s 動作はこれまで報告されていない。25 Gbit/s 動作向け反転型 APD の、走行帯域および CR 帯域の設計について振り返ってみると、走行帯域としては 38 GHz, CR 帯域として 39GHz 程度であった。すなわち、CR 帯域と走行帯域のどちらか一方が律速要因とならない設計としていたことになる。このことは、35 GHz の f_{3dB} を目指す上では、単純にハイブリッド光吸収層の膜厚を薄くするだけの設計変更では、CR 帯域が律速要因になり、また単純に素子径を縮小するだけの設計変更では、走行帯域が律速要因となることを意味している。即ち、35 GHz の帯域を実現するためには、走行帯域と CR 帯域の両者に対して最適化設計が必要になることを意味している。

一方、より高い増倍率での動作を実現するため、GBP の更なる拡大も期待される。実験により求められる GBP の値は、測定可能な M の値や走行帯域、CR 帯域次第では誤差が大きくなるため、InAlAs 増倍層の膜厚に対する GBP の値は過去の報告においても多少のばらつきがある。本研究における 25 Gbit/s 動作を目指した反転型 APD では、235 GHz の GBP が得られており、増倍層でのトンネル電流の許す範囲で薄層化することで、更なる GBP の拡大が期待できる。

本研究では、Lateral scaling が容易であり、また光吸収層における高速高感度化が容易な反転型 APD 構造を基として、各層の膜厚最適化、および素子径の最適化により、50 Gbit/s 動作を可能とする APD の設計論および試作した素子特性について述べる。

6.2.2 超高速・高感度応答に向けたハイブリッド光吸収層の設計改善

図 6-14 に、ハイブリッド光吸収層における、吸収層の f_{3dB} と $M = 1$ での $1.3 \mu\text{m}$ 帯における受光感度の計算結果を示す。作製した APD を光レシーバへと実装する必要を考慮すると、素子径の縮小に伴う CR 帯域の拡大には限度があり、光吸収層における f_{3dB} および感度の最適化は重要な設計項目になる。25 Gbit/s 向けの反転型 APD の設計と同様に、走行帯域、CR 帯域の両者を含めて 35 GHz 以上の帯域を得るためには、走行帯域、CR 帯域の両方が 70 GHz 以上の帯域が必要とされる。ハイブリッド光吸収層においては、図 6-14 に示す通り、トータル膜厚 600 nm において光吸収層における f_{3dB} は 71 GHz になる。このときの $1.3 \mu\text{m}$ での受光感度としては、0.76 A/W が期待される。

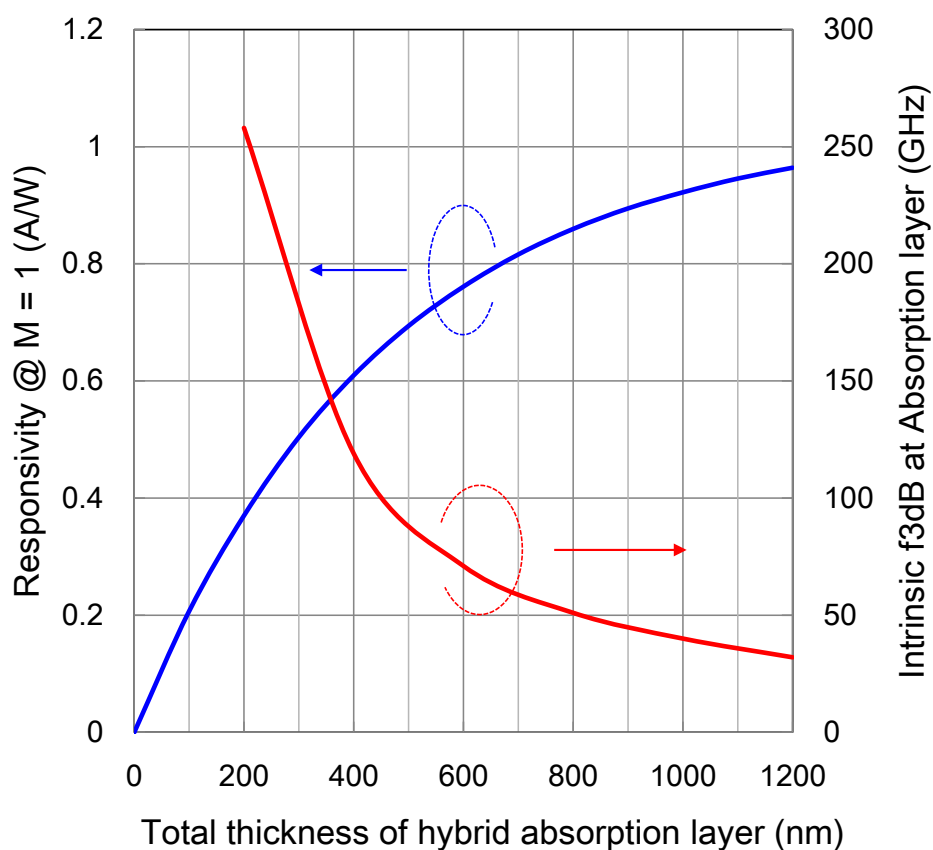


図 6-14 50 Gbit/s 動作に向けた計算によるハイブリッド光吸収層の膜厚と感度の関係

各ハイブリッド光吸収層における、最大帯域を実現する p 型/アンドープ層の膜厚比について考えてみる。図 6-15 に示すように、ハイブリッド光吸収層の全膜厚が小さくなるにつれて、最大帯域を示す p 型光吸収層の膜厚の比率が大きくなること分かる。このことは、全光吸収層厚が小さくなるにつれて、UTC-PD の原理に基づいた光吸収層層構造が広帯域化に向けては有効であることを示している。

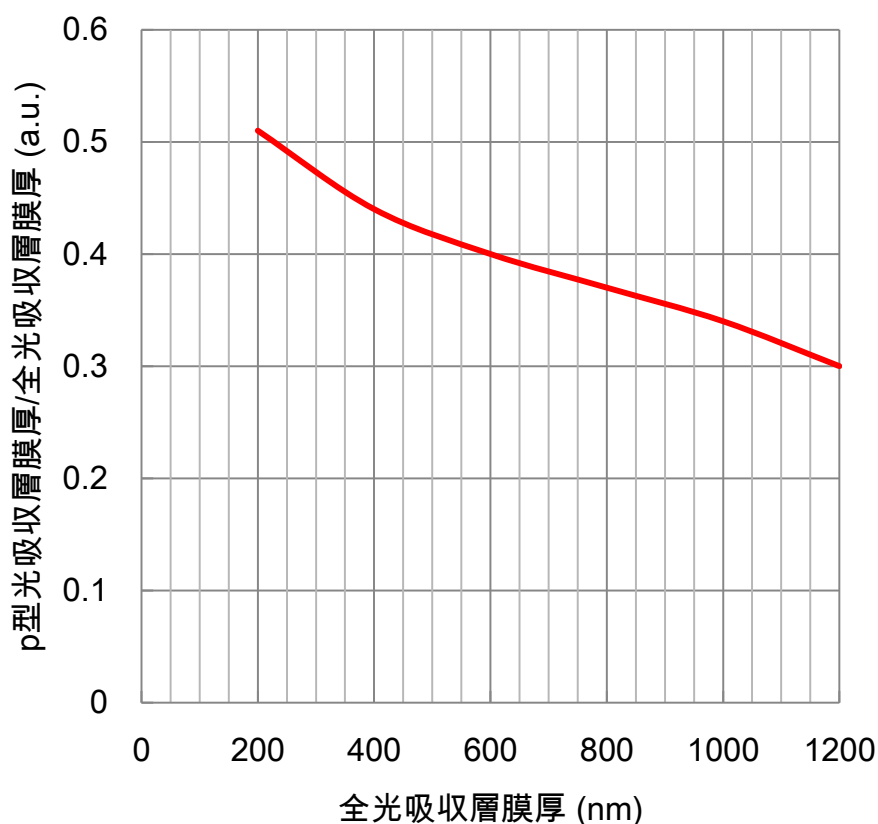


図 6-15 ハイブリッド光吸収層の全膜厚に対する、最大帯域となる p 型光吸収層膜厚比率の関係

今回、50 Gbit/s 動作に向けて適用する光吸収層の全層厚は 600 nm としているが、最大帯域を実現するためには p 型光吸収層の比率が 40 % である必要がある。注意すべきは、ここでの p 型光吸収層厚とは、動作状態において、その層が空乏化せず、電氣的に中性であることを意味している。よって p 型となるようアクセプタドーピングを施した層の層厚を 600 nm の 40% である 240 nm とした場合、動作状態においてはアクセプタドーピングした層の一部が空乏化される為、実効的には電氣的中性を保った層厚が小さくなる。本研究では、p 型光吸収層の膜厚を 300 nm とし、動作時に電氣的中性を保つ層厚が 240 nm となるよう設計した。

6.2.3 感度、帯域の最適化に向けた素子スケーリング技術

次に、反転型 APD の 50 Gbit/s 動作に向けた Lateral scaling について考えてみる。CR 帯域は、走行帯域と同様に 70 GHz 程度の帯域を有することが望ましい。図 6-16 に、素子容量に対する CR 帯域の計算結果を示す。70 GHz の CR 帯域を実現するためには、素子容量として 30 fF 程度

を有することが望ましい。一方、25 Gbit/s 動作に向けた反転型 APD の設計、および試作で得られたように、パッド容量等の寄生容量は 12 fF と考えられ、この寄生容量はジャンクションサイズに依存しない。即ち、ジャンクション容量としては、素子全体の容量である 30 fF から寄生容量 12 fF を引いた、18 fF 程度となることが要求される。先に図 6-4 で示したように、30 fF の素子容量を実現するためには、ジャンクション半径として 7 μm 程度が必要になる。本研究では、上記指針に伴い、1st メサの半径を 7 μm とした。直径としては 14 μm であり、実装上也ケラレ損の無視できる素子径である。

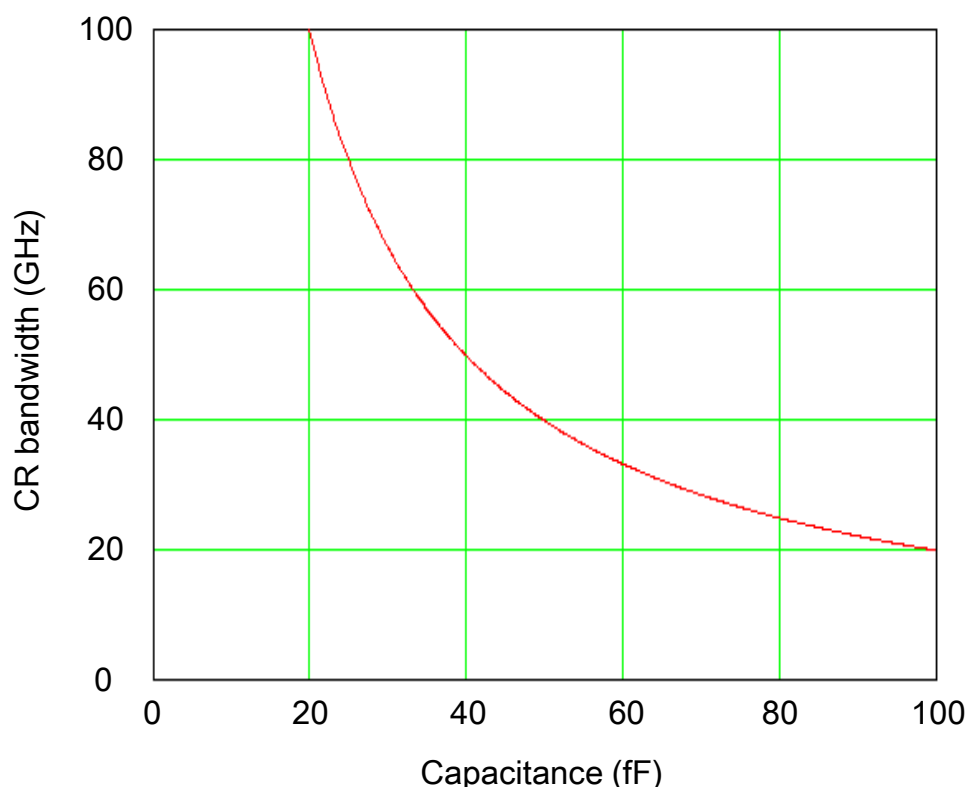


図 6-16 CR 帯域の素子容量依存性

しかしながら、50 Gbit/s 動作に向けた反転型 APD の設計においては、光吸収層におけるキャリア走行時間を短縮する為、ハイブリッド光吸収層の層厚を Vertical scaling しており、その他の層厚が 25 Gbit/s 動作に向けた APD と同じであれば、空乏層幅の現象に伴い素子容量が増大する。そこで、反転型 APD の層構成の内、光吸収層以外の層の層厚を拡大することで、素子容量を低減する必要がある。

反転型 APD の層構成の中で、アンドープ光吸収層以外で膜厚の設計性がある層は増倍層とエッジ電界緩和層になる。増倍層における膜厚拡大は、GBP を低下させる懸念があり、また増倍層材料を構成する InAlAs においては、動作状態においては注入される電子ではなく、インパクトイオン化に伴い生じた正孔のドリフト速度によって輸送特性が制限される。一方、エッジ電界

第6章 反転型アバランシェフォトダイオードの高速・高感度化

緩和層の膜厚を拡大した場合について考えてみる。エッジ電界緩和層は InP で構成するが、エッジ電界緩和層においては、増倍層を経た電子のみがキャリア輸送特性に寄与し、また InP は電子飽和速度が $\sim 1.0 \times 10^7$ cm/s 程度と比較的飽和速度が大きい。すなわち、エッジ電界緩和層の膜厚拡大は、キャリア走行時間に対するインパクトが比較的小さく、有効に素子容量を低減できる可能性があると考えられる。

図 6-17 に、増倍層、およびエッジ電界緩和層の膜厚を変化させた場合の、 $M = 1$ における反転型 APD の f_{3dB} の計算結果を示す。増倍層膜厚を変化させた場合においては、膜厚の拡大に伴い急峻に f_{3dB} が低下するが、エッジ電界緩和層の膜厚を変化させた場合においては、 f_{3dB} が最大値をとる膜厚が存在することが分かる。得られる f_{3dB} の最大帯域は 37 GHz であり、この値は 50 Gbit/s 動作が十分に期待できる値である。本研究では、上記設計に伴い、エッジ電界緩和層の層厚を 300 nm とした。

また、より高増倍率での高速動作に向け、GBP の更なる拡大も必要になる。GBP の拡大には、増倍層の層厚の薄層化が有効であるが、トンネル電流の増加による暗電流の増加が懸念される。図 6-18 に、報告されている InAlAs-APD の増倍層厚と GBP の関係、およびトンネル電流密度の計算結果を示す。GBP は、多少ばらつきはあるものの、増倍層厚に対して反比例的に拡大していることが分かる。一方、トンネル電流密度は増倍層の縮小に対し、指数関数的に増大していくことが分かる。例えば GBP は増倍層厚が 200 nm から 100 nm へと変化するに従い、約 100GHz の増加がみられるが、トンネル電流は一桁の増大が見られる。

50 Gbit/s 動作に向けては、トンネル電流の顕著な増大を避けながらも GBP を拡大するため、増倍層厚を 90 nm とした。

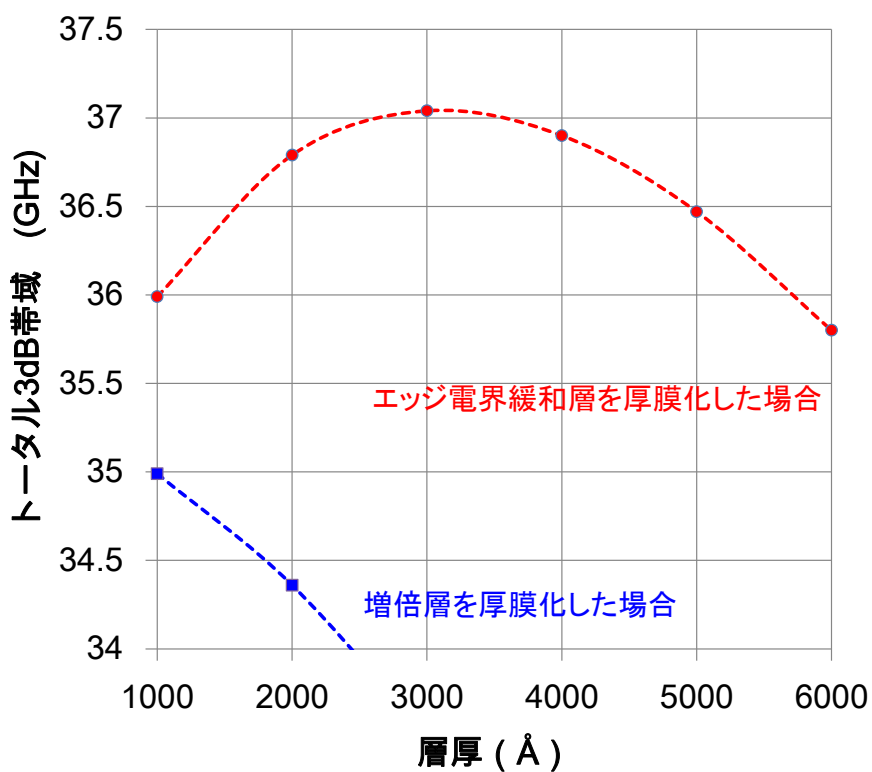


図 6-17 増倍層、エッジ電界緩和層の膜厚に対する、 $M=1$ における反転型 APD の f_{3dB} の変化

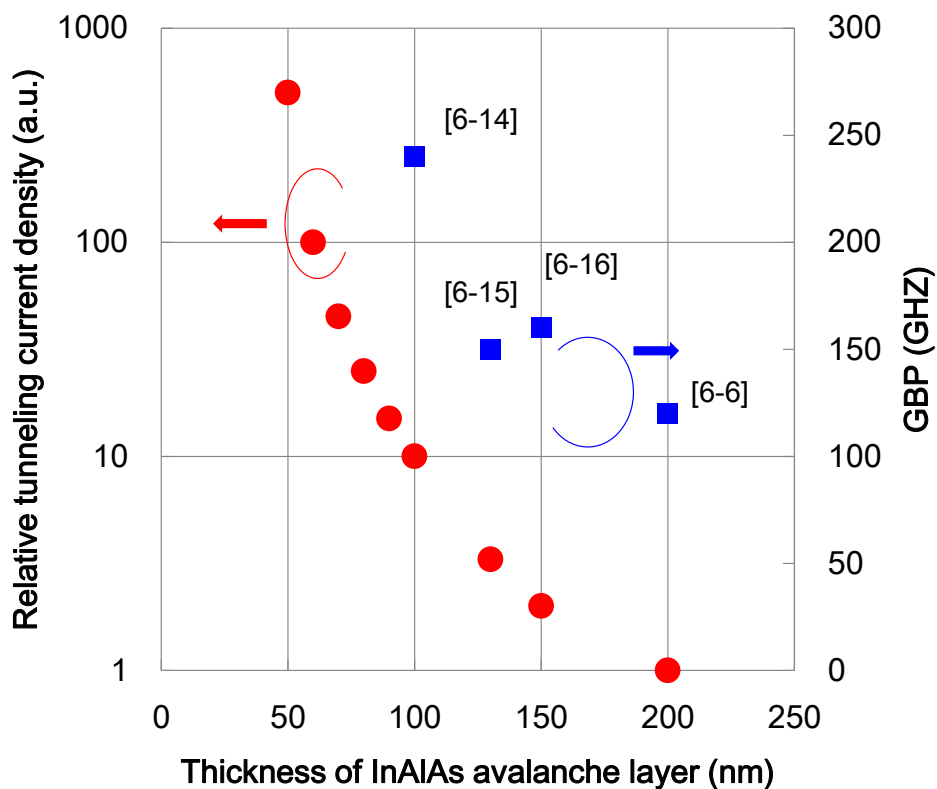


図 6-18 InAlAs 増倍層膜厚に対する GBP の報告値とトンネル電流密度の変化

上述のように、反転型 APD の 50 Gbit/s 動作に向けては、1st メサの Lateral scaling および光吸収層、エッジ電界緩和層、増倍層の Vertical scaling による最適化設計を行った。表 6-4 に、50 Gbit/s 動作向け反転型 APD の設計パラメータを示す。

表 6-4, 50 Gbit/s 動作に向けた反転型 APD の設計パラメータ

| 項目 | 設計値 |
|----------------------|------------|
| P 型光吸収層膜厚 | 300 nm |
| アンドープ光吸収層膜厚 | 300 nm |
| 1 st メサ直径 | 14 μ m |
| 素子容量 | 30 fF |
| エッジ電界緩和層膜厚 | 300 nm |
| 増倍層材料 | InAlAs |
| 増倍層膜厚 | 90 nm |

6.2.4 作製した素子の特性

図 6-19 に、50 Gbit/s 動作に向けて試作した反転型 APD の I-V 特性および増倍率の電圧依存性を示す[6-18]。Von は 13 V, Vb は 30.5 V であり、光電流、暗電流ともに連続的に増加しており、エッジブレークダウンのような異常ブレークダウンの振る舞いは見られない。0.9 Vb における暗電流は 3 μ A 以下と、増倍率を薄層化した影響により、25 Gbit/s 動作に向けた反転型 APD より若干大きいものの、十分な消光比が得られるものと期待できる。増倍率も電圧に対し連続的に増加し、40 以上の増倍率が得られている。M = 10 となる電圧は 26.5 V であった。

図 6-20 に、作製した APD および計算による受光感度の電圧依存性を示す。計算における受光感度の電圧依存性は、M = 1 における受光感度として 0.69 A/W, ノンローカルモデルを考慮した電子および正孔のインパクトイオン化率比を用いている[6-8]。計算による感度は実験値とよい一致が得られており、作製した反転型 APD の M = 1 における受光感度としては、0.69 A/W 程度と考えられる。計算により得られる理想的な受光感度である 0.74 A/W よりはやや小さい値であり、AR 膜における透過率が 100 % ではないこと、およびミラーにおける反射率が 100% となっていないことが計算値と実験値との乖離の理由であると考えられる。

図 6-21 に作製した反転型 APD の C-V 特性を示す。素子容量の変曲点としては、6 V, 9 V の 2 点があり、光電流の I-V 特性との比較により、6 V が n 型電界制御層の空乏化電圧であると考えられる。光電流が生じる 13 V と、C-V 特性上 p 型電界制御層の空乏化電圧とみられる 9 V では 4 V の乖離があるが、これはバンドオフセットに起因すると考えられる。完全空乏化状態における素子容量は 35 fF であった。ほぼ設計値である 30 fF に近い値が得られた。

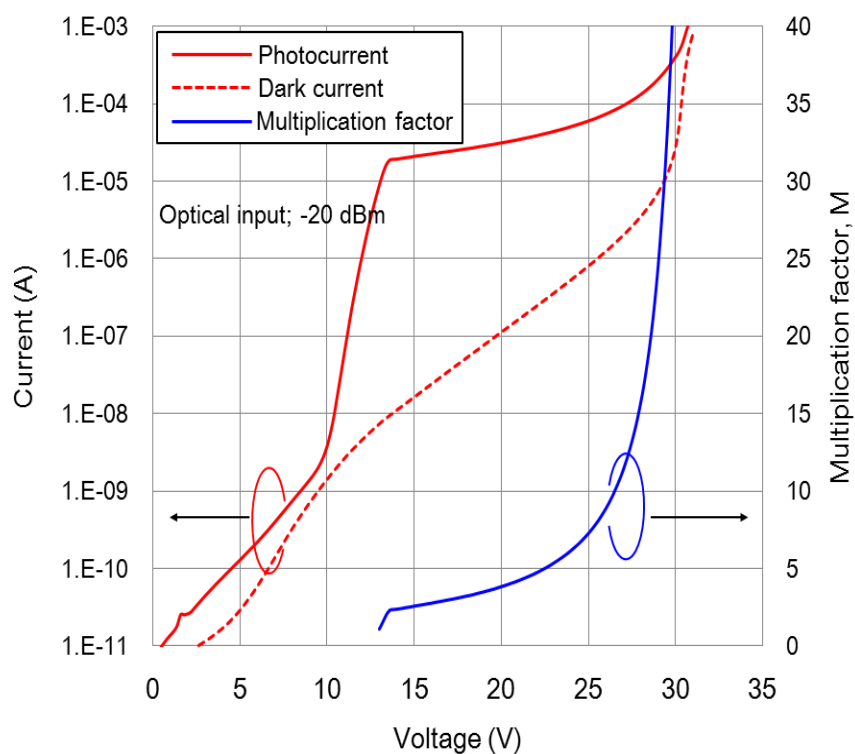


図 6-19 作製した反転型 APD の I-V 特性および増倍率の電圧依存性

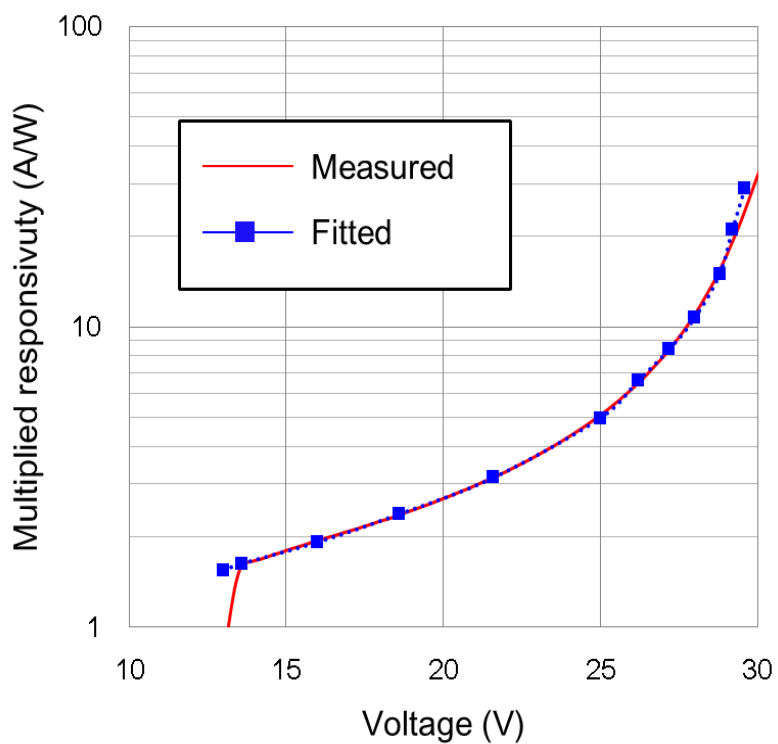


図 6-20 作製した反転型 APD および計算による受光感度の電圧依存性

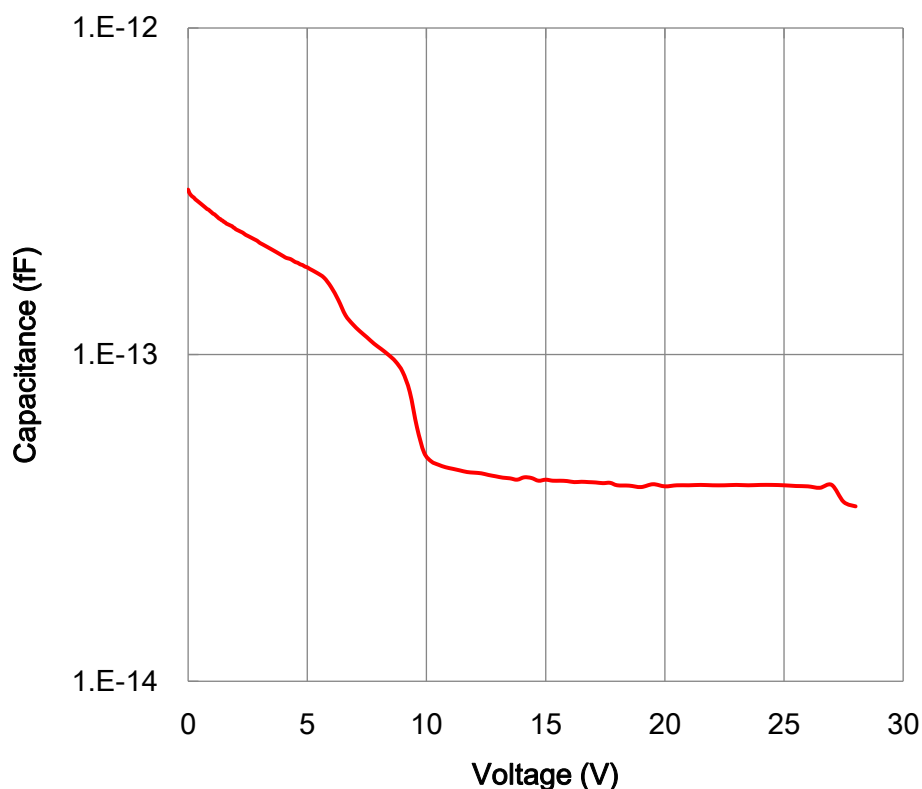


図 6-21 作製した反転型 APD の C-V 特性

図 6-22 に、作製した反転型 APD の利得帯域特性を示す[6-18,6-19]。図 6-22 中には、GBP = 270 GHz を仮定した利得帯域特性の計算結果も同時に示している。作製した素子の最大帯域は、 $M = 3$ において 35 GHz であり、 $M = 4.6$ まで 30 GHz 以上の f_{3dB} を維持している。 $M = 4.6$ における受光感度は 3.1 A/W であり、この受光感度において 30 GHz 以上の帯域での動作が可能であることを示している。また、 $M = 10$ における f_{3dB} は 21 GHz である。GBP = 270 GHz を仮定した計算結果と実験結果は、広い増倍率において良い一致を示している。この結果は、90 nm の薄層 InAlAs 増倍層を用いることで、有効に GBP を拡大できたことを示している。

以上の結果より、反転型 APD の lateral scaling および vertical scaling による最適設計により、50 Gbit/s 動作に向けた基本特性を得ることが出来た。GBP は 270 GHz であり、受光感度は $M = 1$ で 0.69 A/W であった。最大帯域は 35 GHz であり、30 GHz 以上の f_{3dB} が $M = 4.6$ まで得られている。 $M = 4.6$ は、光レシーバとしてみた場合、PIN-PD と比較すると 6 dB 以上の感度改善が期待できる増倍率である。

表 6-5 に、50 Gbit/s 向け反転型 APD の、特性上の設計値と試作結果による実験値の比較を示す。ほぼすべての設計項目について、実測値は設計に近く、反転型 APD の設計性の高さを示している。

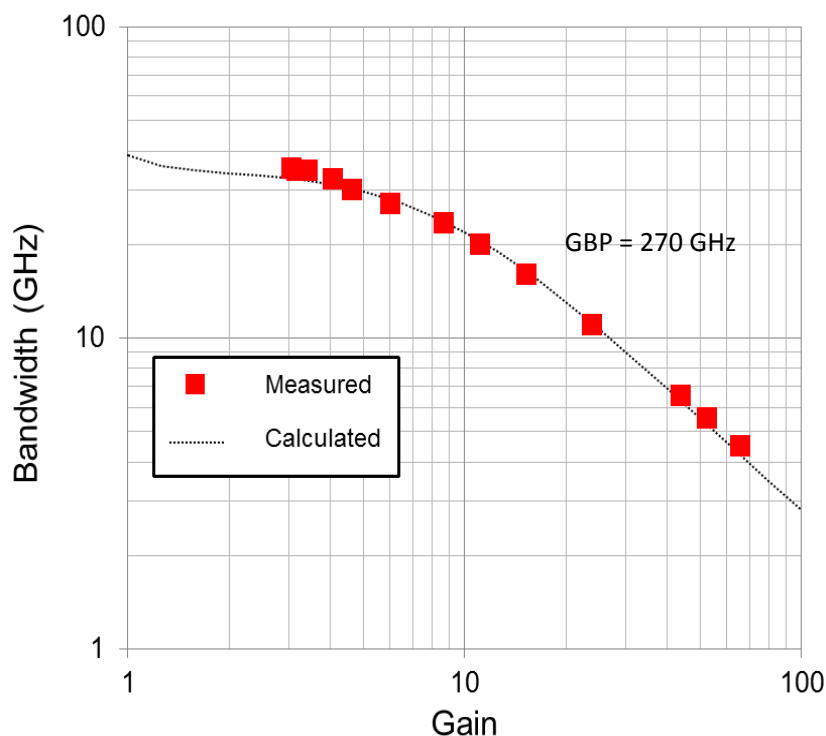


図 6-22 作製した反転型 APD および計算による利得帯域特性

表 6-5 50 Gbit/s 動作に向けた反転型 APD の設計パラメータ

| 項目 | 設計値 | 実測値 |
|----------------------|--------------|----------|
| 最大帯域 | 37 GHz | 35 GHz |
| GBP | Over 235 GHz | 270 GHz |
| f_{3dB} @ $M = 10$ | - | 21 GHz |
| 素子容量 | 30 fF | 35 fF |
| 受光感度 @ $M = 1$ | 0.74 A/W | 0.69 A/W |

6.3 まとめと今後の展望

これまでに議論してきた反転型 APD の設計指針を基に、25 Gbit/s および 50 Gbit/s 動作に向けた高速高感度 APD を試作、評価した。25 Gbit/s 動作に向けた反転型 APD では、1000 nm のハイブリッド光吸収層および 100 nm の InAlAs 増倍層を用い、GBP = 235 GHz、 $M = 1$ における受光感度として 0.91 A/W を得ることが出来た。最大帯域は 23 GHz であり、 $M = 10$ における f_{3dB} は 18.5 GHz であった。即ち、受光感度 9.1 A/W において 18.5 GHz の動作帯域が得られており、25 Gbit/s 高感度動作に向けて有望な素子特性を得ることが出来た。

また、50 Gbit/s 動作に向けては、光吸収層、InAlAs 増倍層、エッジ電界緩和層を Vertical scaling

により再設計した。光吸収層の膜厚を 600 nm とし、さらに UTC-PD のキャリア輸送機構をさらに積極的に適用した。またキャリア輸送特性に対し顕著な影響を与えないエッジ電界緩和層の膜厚を拡大することで、走行帯域の劣化を小さくしながらも、CR 帯域を拡大した。また、InAlAs 増倍層の膜厚を 90 nm とすることで、トンネル電流の増大を抑制しながらも有効に GBP を拡大した。結果として、 $M = 1$ において 0.69 A/W の受光感度、最大帯域 35 GHz を得られており、GBP としては 270 GHz が得られている。30 GHz 以上の f_{3dB} が、 $M = 4.6$ まで得られている。これらの結果は、50 Gbit/s の高感度動作に向けて有望な値である。

今後の展望としては、増倍層更なる最適化による GBP の拡大が望まれる。25 Gbit/s 動作に向けては、 $M = 10$ 以上の動作が、現状の素子特性で実現できているため、ほぼ過剰雑音により受信感度が制約を受けることが予想されるが、50 Gbit/s 動作に向けては未だ動作時の増倍率さえ拡大できれば、受信感度の拡大が見込まれる。単純な増倍層厚の縮小により GBP の拡大が期待できるが、システムとして許容できる暗電流の上限を明確化することで、暗電流と GBP のバランスの最適値が得られるであろう。

参考文献

- [6-1] http://www.jdsu.com/ProductLiterature/SRS-Testing_wp_tnt_ae.pdf
- [6-2] Y. Hirota, Y. Muramoto, T. Takeshita, T. Ito, H. Ito, S. Ando, and T. Ishibashi, "Reliable non-Zn-diffused InP/InGaAs avalanche photodiode with buried n-InP layer operated by electron injection mode," *Electron. Lett.*, **40**, p. 1378 (2004).
- [6-3] J. Campbell, W. Tsang, G. Qua, and J. Bowers, "InP/InGaAsP/InGaAs avalanche photodiodes with 70 GHz gain - bandwidth product," *Appl. Phys. Lett.*, **51**, p.1454 (1987).
- [6-4] L. Tarof, "Planar InP/InGaAs avalanche photodetector with gain-bandwidth product in excess of 100 GHz," *Electron. Lett.*, **27**, p. 34 (1991).
- [6-5] T. Nakata, T. Takeuchi, K. Makita, Y. Amamiya, T. Kato, Y. Suzuki and T. Torikai, "High-sensitivity 40-Gb/s receiver with a wideband InAlAs waveguide avalanche photodiode" *Proc. European Conf. and exhibition on Optical Communication (ECOC)*, 2002, Paper 10.5.1.A1
- [6-6] E. Ishimura, E. Yagyū, M. Nakaji, S. Ihara, K. Yoshiara, T. Aoyagi, Y. Tokuda, T. Ishikawa, "Degradation Mode Analysis on Highly Reliable Guardring-Free Planar InAlAs Avalanche Photodiodes," *IEEE J. Lightwave Technol.*, **25**, p. 3686 (2007).
- [6-7] M. S. Hybertsen, "Band offset transitivity at the InGaAs/InAlAs/InP(001) heterostructure," *Appl. Phys. Lett.*, **50**, p. 1759 (1991).
- [6-8] L. J. J. Tan, J. S. Ng, C. H. Tan, and J. P. R. David, "Avalanche Noise Characteristics in Submicron InP Diodes," *IEEE J. Quantum Electron.*, **44**, p. 378 (2008).
- [6-9] M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi, and S. Kodama, "InAlAs APD with high multiplied responsivity-bandwidth product (MR-bandwidth product) of 168 A/W·GHz for 25 Gbit/s

- high-speed operations,” *Electron. Lett.*, **48**, p. 397, (2012).
- [6-10] N. Yasuoka, H. Kuwatsuka, A. Kuramata, T. Uchida, Y. Yoneda, and S. Nakai, “High-speed and high-efficiency InP/InGaAs waveguide avalanche photodiodes for 40 Gbit/s transmission systems”. *Proc. Optical Fiber Communication Conf., (OFC), Los Angeles, CA, USA, 2004, (Paper TuM2)*
- [6-11] T. Nakata, T. Takeuchi, K. Makita, Y. Amamiya, T. Kato, Y. Suzuki, and T. Torikai, “High-sensitivity 40-Gb/s receiver with a wideband InAlAs waveguide avalanche photodiode”. *Proc. European Conf. and Exhibition on Optical Communication (ECOC), Copenhagen, Denmark, 2002, (Paper 10.5.1)*
- [6-12] S. Shimizu, K. Shiba, T. Nakata, K. Kasahara, and K. Makita, “40 Gbit/s waveguide avalanche photodiode with p-type absorption layer and thin InAlAs multiplication layer”, *Electron. Lett.*, **43** p. 476 (2007).
- [6-13] Y. Kang, H. Liu, M. Morse, M. Paniccia, M. Zadka, s. Litski, G. Sarid, A. Pauchard, Y. Kuo, H. Chen, W. Zaoui, J. Bowers, A. Beling, D. McIntosh, X. Zheng, and J. Campbell, “Monolithic germanium/silicon avalanche photodiodes with 340 GHz gain-bandwidth product”, *Nature Photonics*, **3**, p.59 (2009).
- [6-14] M. Nada, Y. Muramoto, N. Shigekawa, H. Yokoyama, T. Ishibashi, and S. Kodama, “Inverted p-down avalanche photodiode with low-high-low field profile”, *Jpn. J. Appl. Phys.* **51**, p. 02BG03 (2012).
- [6-15] M. Lahrichi, G. Glastre, E. Derouin, D. Carpentier, N. Lagay, J. Decobert, and M. Achouche, “240-GHz gain-bandwidth product back-side illuminated AlInAs avalanche photodiodes”, *IEEE Photonics Technol. Lett.*, **22**, p. 1373 (2010).
- [6-16] B.F. Levine, R.N. Sacks, J. Ko, M. Jazwiecki, J.A. Valdmanis, D. Gunther, and J.H. Meier, “A Novel High Performance Planar InGaAs/InAlAs Avalanche Photodiode,” in *Proc. SPIE6532, 63521D*, (2006).
- [6-17] S. Demiguel, X. Zheng, N. Li, X. Li, J. Campbell, J. Decobert, N. Tschertner, and A. Anselm, “High-responsivity and high-speed evanescently-coupled avalanche photodiodes,” *Electron. Lett.*, **39**, p. 1848 (2003).
- [6-18] M. Nada, H. Yokoyama, Y. Muramoto, T. Ishibashi, and H. Matsuzaki, “50-Gbit/s vertical illumination avalanche photodiode for 400-Gbit/s ethernet systems,” *Opt. Express*, **22**, p. 14681 (2014).
- [6-19] M. Nada, “50-Gb/s vertical illumination APD for 400 GbE”, in *proc. SPIE9390, 939006* (2015).
- [6-20] M. Nada, T. Yoshimatsu, Y. Muramoto, H. Yokoyama, and H. Matsuzaki, “Design and performance of high-speed avalanche photodiodes for 100-Gbit/s systems and beyond,” *IEEE J. Lightwave Technol.*, **33**, p. 984 (2015).

第7章 反転型アバランシェフォトダイオードの光レシーバへの応用

前節までにおいて、100G 級および 400G 級システムに供する、25 Gbit/s および 50 Gbit/s 動作に向けた反転型 APD を設計、試作し、その素子動作特性を確認した。本節では、試作した反転型 APD を光レシーバへと実装し、伝送実験を行い BER 特性を評価することで、実際の目標とする光通信システムへの適用性を検討する。

7.1 100 Gbit/s イーサネット応用に向けた 25 Gbit/s アバランシェフォトダイオード光レシーバ

25 Gbit/s 動作に向けて作製した反転型 APD を、100 Gbit/s イーサネット (100GbE) への応用に向けて光レシーバを作製し、伝送特性を検討した。100GbE においては、25.8 Gbit/s において、最大 40 km の伝送距離を保証することが要求されており、また光レシーバが搭載される、光トランシーバ全体としては CFP4 (許容電力 6 W) ないしは QSFP28 (許容電力 3.5 W) といったフォームファクタの実現が期待されている。本研究では、所望のビットレートにおいて、エラーフリー規定であるビットエラーレート 10^{-12} において、最小受信感度が 40 km 伝送を満たすものであるかを中心に検討を行う。

7.1.1 実装形態

100GbE における 40 km 伝送方式への適用性を確認するため、25 Gbit/s 動作に向けて設計試作した反転型 APD を用いて、1ch の光レシーバを作製した。図 7-1 に、試作した 1ch の APD 光レシーバの写真を示す。1ch 光レシーバは、CAN 型システムを有しており [7-1]、CAN システム内に 25 Gbit/s 動作に向けて作製した反転型 APD がフリップチップ実装され、また市販の InP 系トランスインピーダンスアンプ (TIA) が実装されている。チップ間は Au ワイヤにより接続されている。光学インタフェースとしてはレセプタクル型を採用しており、レセプタクル内に 1 枚レンズにて APD 素子に光学実装されている。電気出力部としては、フレキシブルプリント回路 (FPC) を用いている。

また、25 Gbit/s 動作に向けた反転型 APD を 4 素子集積したアレー素子を作製し、石英平面光回路技術による、アレー導波路型回折格子 (PLC-AWG) をベースとした分波器、および 4ch TIA を集積し、LAN-WDM 波長に対応した 4ch-APD レシーバを試作した。作製した 4ch-APD レシーバの実装概念図を図 7-2 に示す。入力光は、PLC-AWG によって LAN-WDM の 4 波に分波され、レンズアレーで集光された後、APD アレーに入射される。APD からの電気出力は市販の 4ch TIA アレーに入力され、FPC から出力される。即ち、4ch 光レシーバにおいては 100 Gbit/s のスループットを有している。レシーバのサイズとしては、 $21.5 \times 89 \times 9.5 \text{ mm}^3$ であり、CFP4 に搭載可能

なサイズである。



図 7-1 25 Gbit/s 動作に向けた反転型 APD を実装した 1ch CAN 型光レシーバ

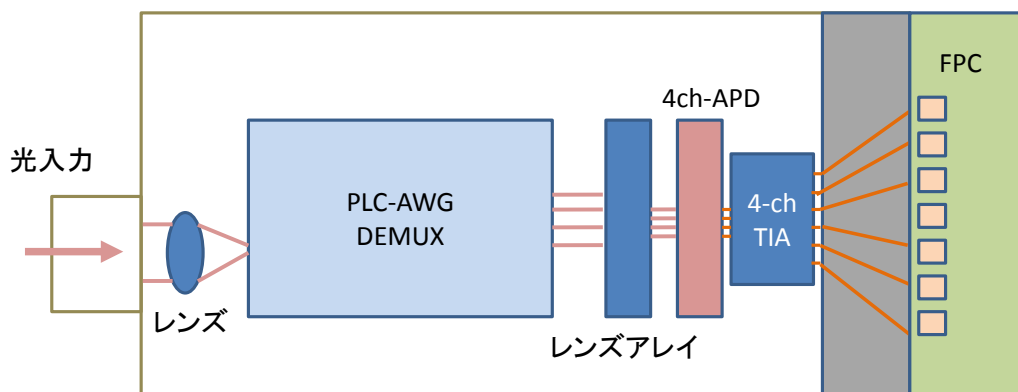


図 7-2 25 Gbit/s 動作に向けた反転型 APD の 4ch アレーを実装した 4ch 光レシーバの模式図

7.1.2 光レシーバにおける特性

図 7-3 に、作製した 1ch APD レシーバの周波数特性を示す。比較のため、オンウエハ状態での APD の周波数特性も同時に示している。光レシーバ実装状態、オンウエハ状態ともに増倍率は 10 である。オンウエハ状態と比較して、実装状態においては 15 GHz 程度において応答が若干改善するピーキングが見られる。これは、実装時におけるワイヤのインダクタンスによる信号の群遅延の影響と考えられる。ピーキングの影響により、 f_{3dB} はオンウエハ状態よりも若干上昇し、19 GHz 程度である。 $M = 10$ における実装状態で、25 Gbit/s 動作には十分な帯域が得られてい

ると考えられる。

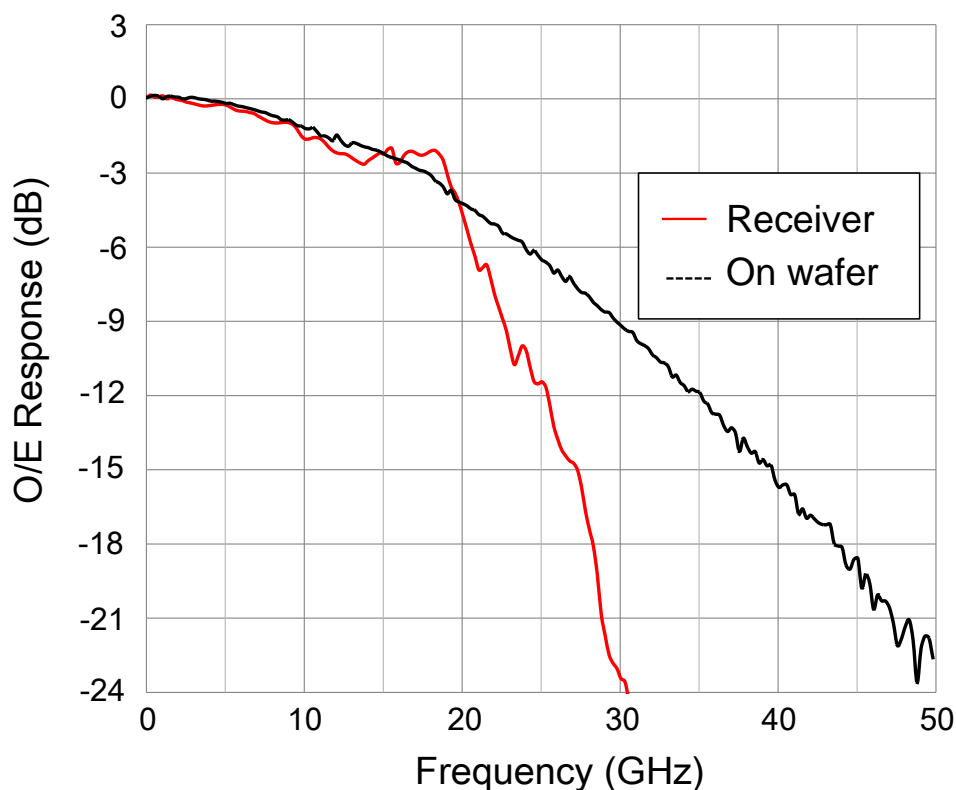


図 7-3 1ch APD レシーバの高周波特性

7.1.3 ビットエラーレートおよび伝送特性

作製した 1ch および 4ch の 25 Gbit/s 級 APD レシーバを用いて、ビットエラーレート (BER) 特性を評価した。図 7-4 に、APD の BER 評価系を示す。APD に入力する non-return to zero (NRZ) 光信号は、波長 1.3 μm 光源、パルスパタンジェネレータ (PPG)、ドライバアンプ、およびリチウムニオブ酸 (LN) マッハツェンダ変調器によって生成した。変調速度は、100 Gbit/s イーサネットで規定されている 25.8 Gbit/s であり、pseudo-random bit sequence (PRBS) は $2^{31}-1$ としている。送信信号は、シングルモードファイバ (SMF) および可変減衰器 (VOA) を通して APD 光レシーバに入力される。VOA は APD の手前に配置されており、VOA において APD への光入力強度が規定される為、APD の受信感度は VOA の値によるものである。APD 光レシーバからの電気出力は、サンプリングオシロスコープおよびエラーディテクタに接続されており、それぞれ APD 光レシーバからのアイ波形観測および BER の測定に用いた。

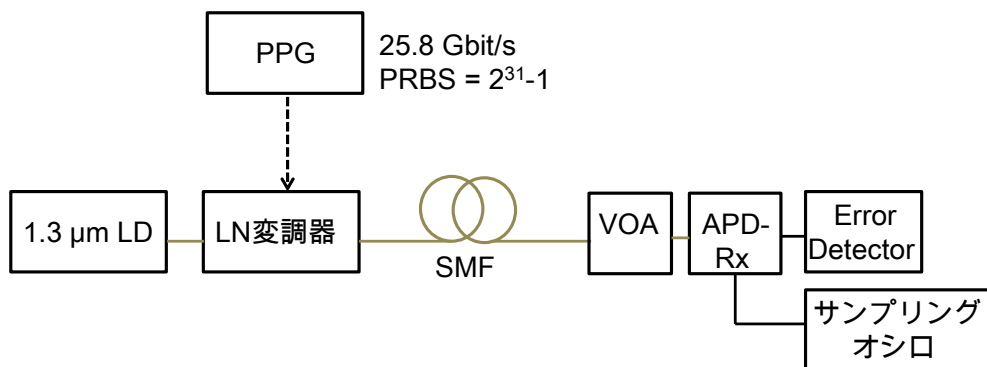


図 7-4 APD 光レシーバのビットエラーレート測定系

1ch APD 光レシーバの BER 評価においては、Back-to-back、および 40 km の SMF 伝送後において、アイ波形および BER を評価した[7-2]。図 7-5 に、1ch APD 光レシーバの (a)送信光波形、(b)APD からの $M = 10$ における Back-to-back での電気出力波形、(c)APD からの $M = 10$ における 40 km 伝送後の電気出力波形を示す。送信光波形の消光比は 8 dB であった。

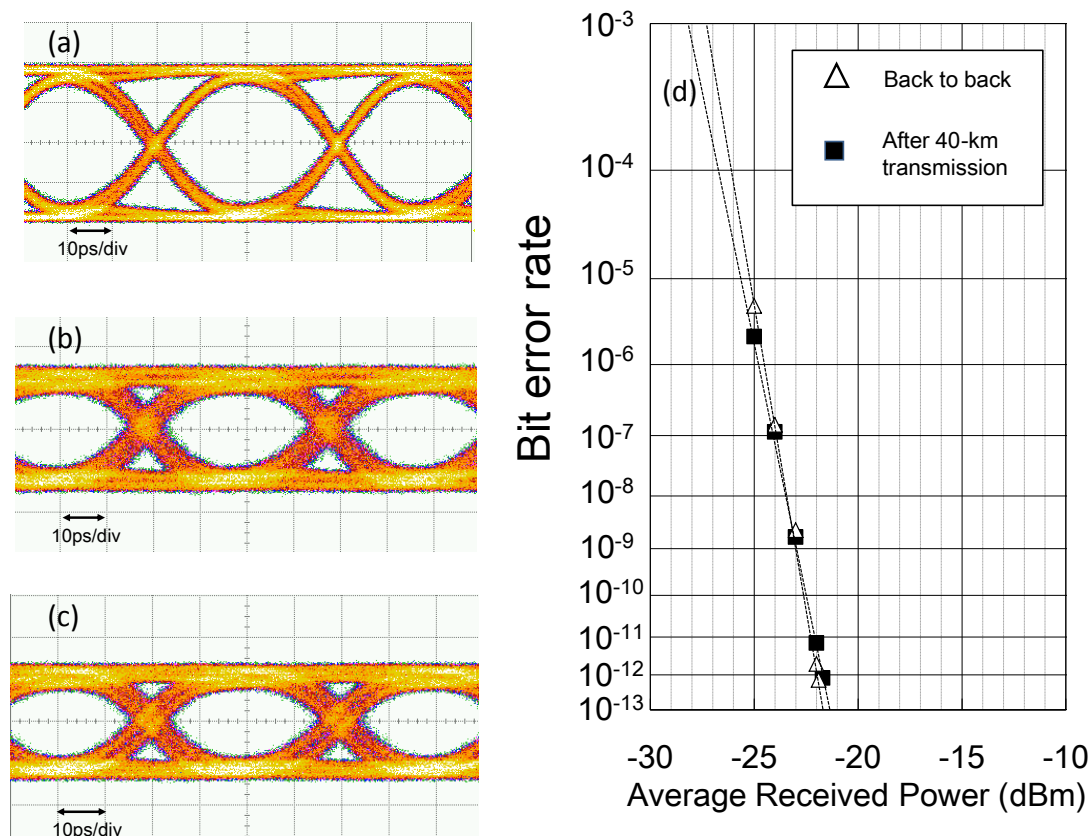


図 7-5 (a)光送信波形、(b)back-to-back の APD 光レシーバからの電気波形、(c)40 km 伝送後の APD からの電気波形、(d) back-to-back および 40-km 伝送後の BER 特性

第7章 反転型アバランシェフォトダイオードの光レシーバへの応用

40 km 伝送実験に用いた SMF のロス は 0.47 dB/km である。図 7-5 (b) より、 $M = 10$ であっても明瞭なアイ開口が確認できる。また、図 7-5 (c) より、同様の M であり、さらに 40 km 伝送後であっても、明瞭なアイ開口を維持していることが分かる。図 7-5 (d) に、back-to-back および 40 km 伝送後の BER 特性を示す。Back-to-back および 40 km 伝送後にいずれにおいても、 $BER = 10^{-12}$ 以下のエラーフリー動作が得られている。Bck-to-back では $BER = 10^{-12}$ となる最小受信感度は -21.9 dBm、40 km 伝送後では -21.7 dBm であった。これらの結果は、APD による 25.8 Gbit/s での、光アンプを用いない 40 km 伝送のファーストレポートである。40 km 伝送後の最小受信感度のペナルティは、back-to-back と比較して 0.2 dB であり、無視できる程度に小さい。以上の結果より、1ch APD 光レシーバにより 25.8 Gbit/s での 40 km エラーフリー伝送を実現し、反転型 APD の 100 Gbit/s イーサネットへの適用性を示した。

次に、作製した 4ch APD レシーバの内、1ch のみを用いて $BER = 10^{-12}$ となる最小受信感度の、APD の増倍率依存性を検討した [7-3]。APD の最小受信感度の制限要因としては、GBP リミットによる帯域ペナルティ、または過剰雑音による影響が考えられる。図 7-6 に、測定による最小受信感度の増倍率依存性と、APD のイオン化率比 k を 0.1~0.5 とした場合の計算結果を示す。

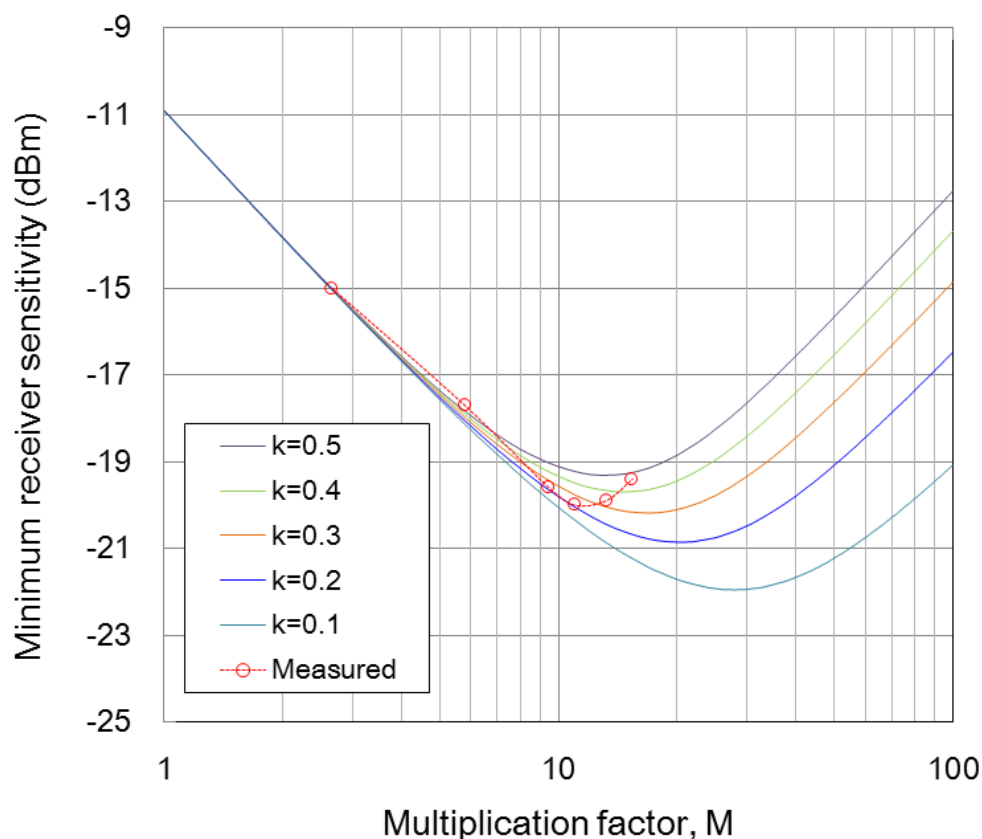


図 7-6 最小受信感度と増倍率の関係

計算においては、GBP の制約による帯域ペナルティは考慮しておらず、 k の値により、 M が大き

第7章 反転型アバランシェフォトダイオードの光レシーバへの応用

い場合での計算による BER の変化は、過剰雑音の影響のみを反映している。また $M = 1$ の受光感度は実測による受光感度を用いており、 0.46 A/W としている。1ch APD レシーバと異なり、AWG DEMUX でのロスにより、受光感度は劣化している。また、APD 後段の TIA ノイズは、実装されているものと同様、 $27 \text{ pA}/\sqrt{\text{Hz}}$ として計算している。計算は、全ての k において最小受信感度は増倍率が上昇するにつれて低下するが、 k が大きいほど小さい M において、最小受信感度の低下は飽和し、更に大きい M では最小受信感度は上昇する。測定結果においても同様の振る舞いを示しており、 $M = 10$ 程度までは $k = 0.2$ の計算結果と良い一致を示している。この結果により抽出されたイオン化率比は、[7-4]などの InAlAs 増倍層のイオン化率比と比較しても矛盾が無い。 $M = 10$ を超えると、実験値は計算値から外れて最小受信感度は上昇を始める。よって、本 APD レシーバにおいては、最小受信感度の制限要因は GBP 制限による帯域ペナルティであると考えられる。

最後に、4ch APD 光レシーバでの 100 Gbit/s のスループットを確認するため、全 ch での BER 評価を行った[7-5]。図 7-7(a)は back-to-back の 4ch 分の APD からの電気出力波形、(b)は、 50 km 伝送後の APD からの電気出力波形である。L0~L3 は、4ch の入力の内、それぞれのチャンネルからの出力を示している。1ch での APD 光レシーバの結果と同様、全 ch において、back-to-back および 50 km 伝送後も同様に明瞭なアイ開口を示している。図 7-7(c)は、back-to-back および 50 km 伝送後の全チャンネルの BER 特性である。Back-to-back の結果から、4ch 間でのエラーフリー動作時の最小受信感度のばらつきは 0.5 dB 以下である。Back-to-back での最小受信感度は、 -20 dBm 以下であり、1ch APD 光レシーバと同様の良好な感度特性が得られている。また、 50 km 伝送後においては、back-to-back よりも良い感度が得られており、最小受信感度は -20.8 dBm 程度である。これは、SMF の波長分散と、LN 変調器のポジティブチャープの影響によるものと考えられる。作製した 4ch APD 光レシーバでのスループットは 103 Gbit/s であり、CFP4 に搭載可能な超小型、かつ低消費電力なレシーバでありながら、 100 Gbit/s のスループット、および 40 km 以上の伝送に十分可能な高い感度を有している。これらの結果は、作製した APD 光レシーバが、 100 G イーサネットに対し高い適応性を有していることを示している。

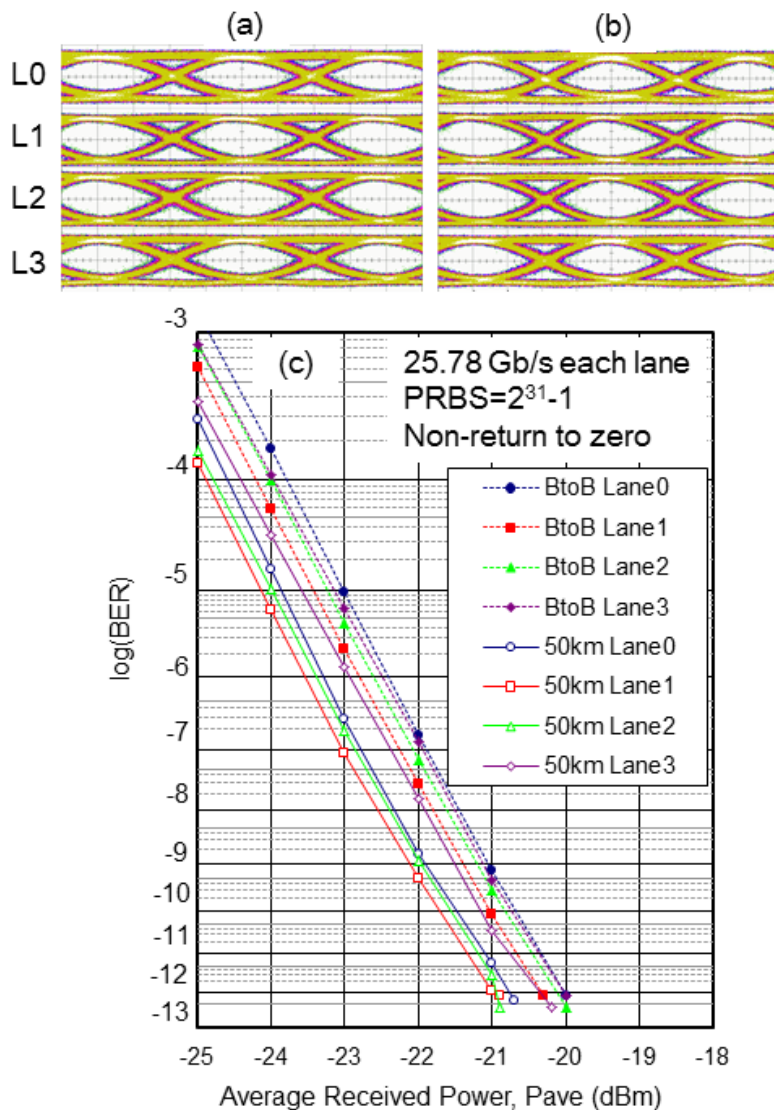


図 7-7 (a) back-to-back の APD 光レシーバからの電気波形、(c)50-km 伝送後の APD からの電気波形、(c) back-to-back および 50-km 伝送後の全チャンネルの BER 特性

7.2 100 Gbit/s 光パケットルーター応用に向けた 25 Gbit/s アバランシェフォトダイオード バーストモード光レシーバ

データセンタにおける、もう一つの消費電力の大きい部分がルーターである。現在はルーターとしては、全て電気による信号処理を行っているが、この電気ルータの消費電力を大幅に低減することができるルータの構成として、光電子融合型のパケットルータが提案されている[7-6]。この光電子パケットルータにおいては、やはり高感度の光レシーバが要求される。

7.2.1 100 Gbit/s 光パケットルータの構成と光レシーバへの要求条件

光パケットルータにおいて、最も重要な役割を果たす部分は、光パケットの経路を支配する光パケットスイッチである。光パケットスイッチの部分においては、ロジック信号処理は CMOS において制御し、光パケットスイッチは LD, 変調器, PD 等を用いた光ネットワークの構成を取っている。図 7-8 に、光パケットスイッチの模式図を示す。

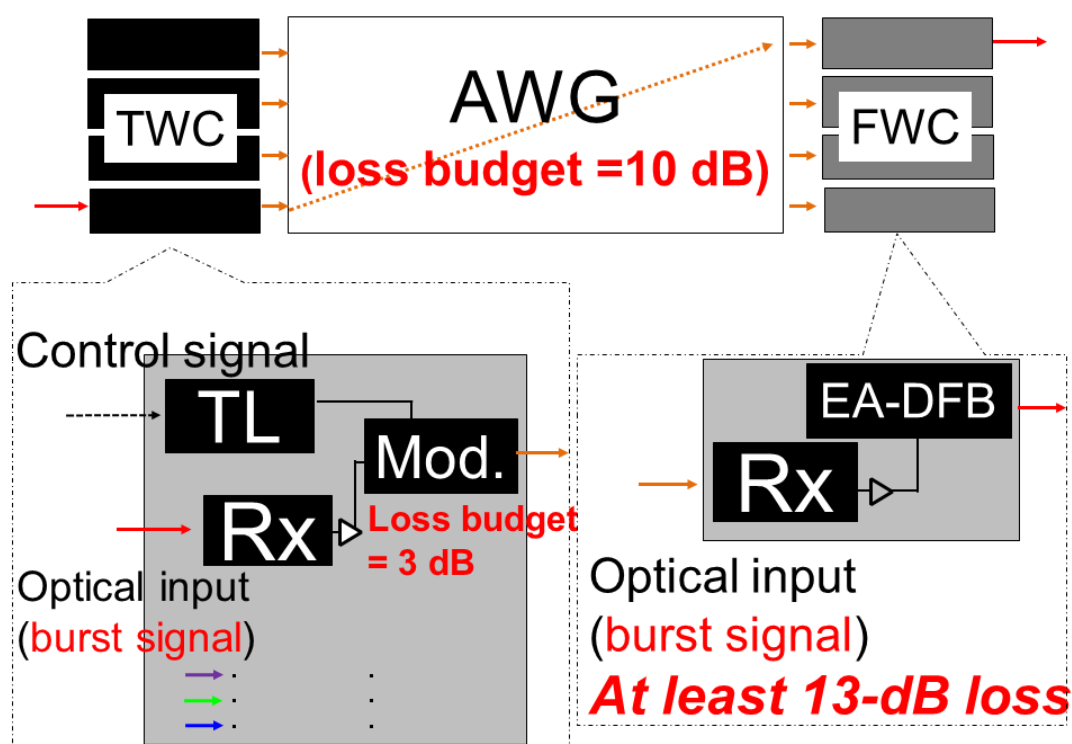


図 7-8 光パケットスイッチの模式図

光パケットスイッチシステムの構成は、Tunable wavelength converter (TWC)、周回性 AWG、および Fixed wavelength converter (FWC) によって構成されている。TWC は、チューナブルレーザ (TL)、光レシーバ、および変調器から構成されている。光レシーバに入射された光信号は、光レシーバにおいて電圧振幅に変換され、その電圧振幅によって変調器を駆動させる。TL からは任意の波長の光が出射されており、この TL からの出射光が、光レシーバにより駆動される変調器によって、TWC に入射されたものと同じデータストリームを付与される。TWC から出射された光信号は、周回性 AWG を通過するが、この際、TWC における TL がどの波長を選択したかによって、周回性 AWG 内の光信号のパスが変わる。すなわち、この部分で光信号のスイッチングが行われるわけである。AWG においてルーティングされた光信号は、FWC に注入される。FWC

は、光レシーバおよび EA-DFB レーザによって構成されているが、TWC と同様、光レシーバにおいて光信号が電圧振幅に変換され、その電圧振幅によって EA-DFB レーザの出射光が変調される。EA-DFB からは、もともとの TWC に入射された波長と同様の波長の光信号が出射される。光パケットスイッチの研究開発においては、これまで 10 Gbit/s 級の動作が確認されたきたが [7-6]、データセンタにおけるファイバあたりのスループットが 100 Gbit/s となり、1ch あたりの伝送速度が 25 Gbit/s に向かっている以上、光パケットルータ、ないしは光スイッチにも、1ch あたり 25 Gbit/s の動作速度が要求されることになる。

100 Gbit/s 級の光パケットスイッチングに向けて必要な、APD 光レシーバの特性について検討してみよう。パケット-バイ-パケット方式を採用している光パケットスイッチングシステムにおいては、通常の光通信システムと異なり、パケットが交換される瞬間以外まったく光信号の交換が存在しない。即ち、TWC および FWC のいずれの APD 光レシーバにおいても、光ファイバがダークの状態から唐突に光パケットが入力されることとなるため、APD 光レシーバにはバーストモードでの動作が要求される。また、一般的なバーストモードでのデータ通信においては、各データの先頭数ビットをプリアンプルとして割り当て、本データはプリアンプル以降に組み込むことで光レシーバは先頭の数ビットの情報を犠牲にしながらもバーストモード動作を保証してきたが、帯域利用効率の観点からは、上述のプリアンプルは完全に 0 となることが望ましい。すなわち、光レシーバが、光信号の先頭の 1 ビットから正確に復調することが出来れば、プリアンプルは 0 としてバーストモード動作が実現でき、極限状態の帯域利用効率を実現できる。また、光のルーティングを支配する周回性 AWG においては、およそ 10 dB もの原理損が存在する。更に TWC における変調器部分においても 3 dB のロスが生じるため、TWC に入射する光信号の強度が 0 dBm であったとしたら、FWC における光レシーバには少なくとも -13 dBm の受信感度が必要になる。これらの光パケットスイッチングに求められる光レシーバへの要求条件をまとめると、表 7-1 となる。

表 7-1 100 Gbit/s 光パケットスイッチングに向けた光レシーバへの要求条件

| 項目 | 伝送路 |
|---------|----------------------------------|
| ポーレート | 25 Gbit/s |
| 信号形式 | NRZ, バースト信号 |
| 最小受信感度 | BER = 10^{-12} において -13 dBm 以下 |
| 立ち上がり時間 | 先頭 1 ビットを復調可能 |

本検討では、25 Gbit/s 動作を実証した反転型 APD を用い、バーストモード TIA の適用、およびバーストモード動作に最適化した実装構成を適用し、100 Gbit/s 級の光パケットスイッチングに向けたモジュール動作を検証した。

7.2.2 バーストモード光レシーバの実装形態

図 7-9 に、作製した 25 Gbit/s バーストモード APD 光レシーバの写真を示す。作製した光レシーバは電気出力として GPPO 端子を備えており、バタフライ型のパッケージを適用している。

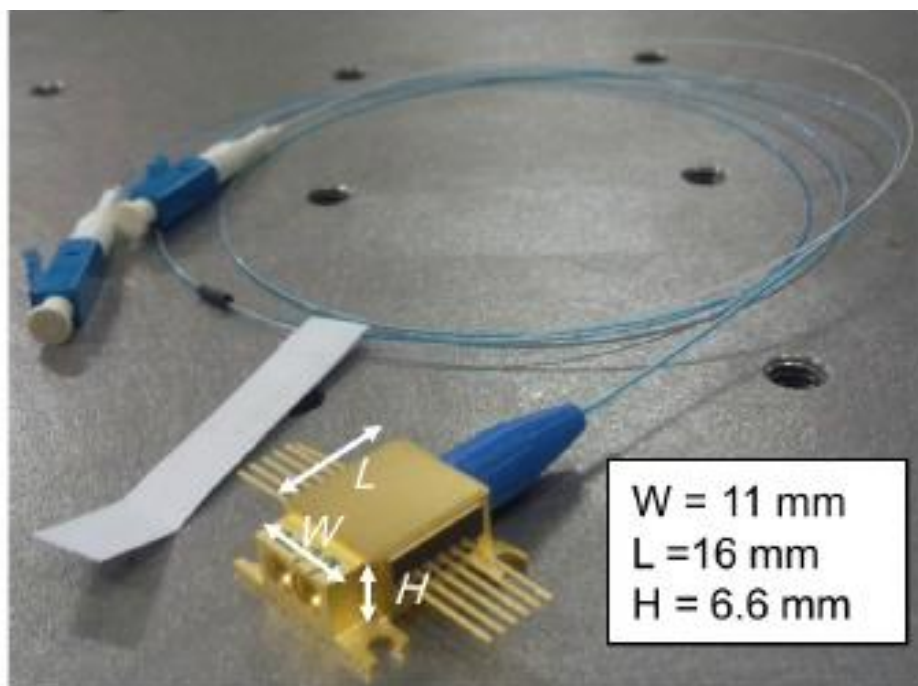


図 7-9 作製した 25 Gbit/s バーストモード APD 光レシーバ

光レシーバに用いた APD は、6.1 に述べた 25 Gbit/s 動作向け反転型 APD を基本としているが、 $1.5\ \mu\text{m}$ 波長に適合するよう AR コート等を変更している。用いた TIA は、 $0.13\text{-}\mu\text{m}$ SiGe BiCMOS テクノロジーを用いている。 f_t , f_{max} はそれぞれ 200 GHz, 270 GHz である。

高い帯域利用効率を有しながら、バースト信号に対して APD 光レシーバが応用するためには、入射する光信号の先頭 1 ビットから、APD 光レシーバが応答することが望ましい[7-7]。一般的な TIA および光レシーバにおいては、低域でのノイズを取り除く目的で、一定の容量を実装した容量性結合を用いるが、本研究においては、先頭 1 ビットからの応答を実現するため、TIA の内部設計、および光レシーバの配線等のすべての線路を DC 結合としている。

図 7-10(a) に、作製した 25 Gbit/s バーストモード APD 光レシーバの受光感度に対する周波数特性を示す。APD への印可電圧を変化させることで、4.1 A/W, 5.1 A/W, 5.9 A/W での周波数特性を示しているが、5.9 A/W においても 17 GHz 以上の f_{3dB} を実現している。得られた f_{3dB} は、25 Gbit/s 動作に向けては十分な帯域であると考えられる。

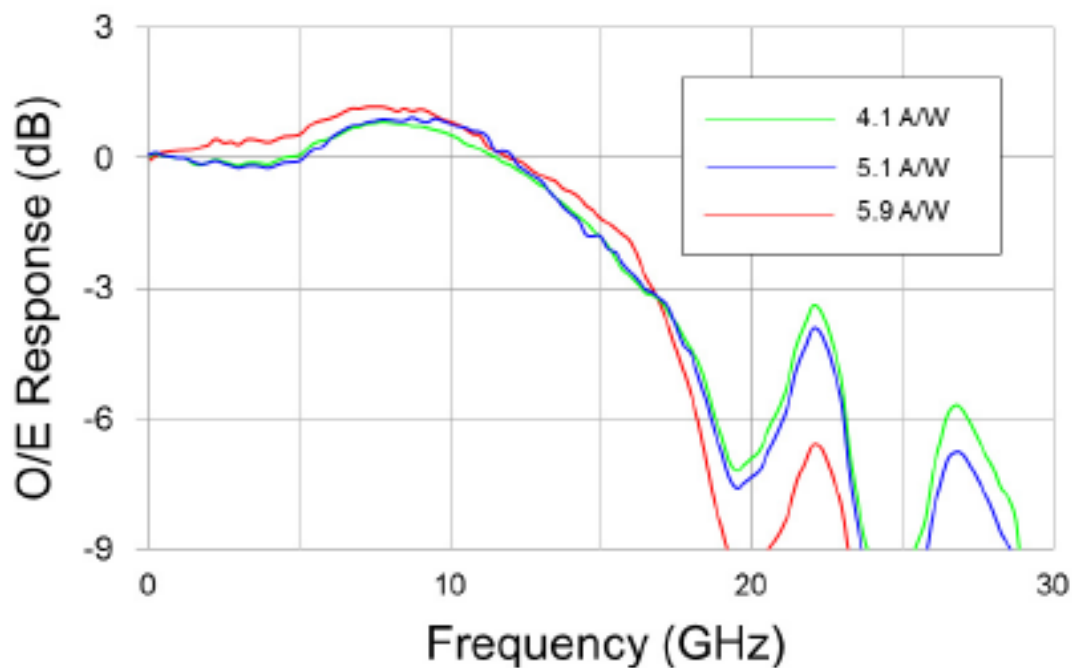


図 7-10 作製した 25 Gbit/s バーストモード APD 光レシーバの周波数特性

7.2.3 バースト応答特性

作製した 25 Gbit/s バーストモード APD 光レシーバの、バースト応答特性を評価した[7-8]。図 7-11(a), (b)に、25 Gbit/s バースト光信号を示す。バーストモード光信号は、1550 nm 光源および LN 変調器を用いて作成した。バースト信号のガードタイムおよびパケット長はともに 150 ns である。図 7-11(c)に 25 Gbit/s バーストモード APD 光レシーバからの電気出力を示す。電気出力はバースト光信号に対し、明瞭な立ち上がりを示していることが分かる。先頭 1 ビットにおける応答は、2 ビット目以降に対し、0.4 dB 以下の減衰量であり、2 ビット目以降はほぼ平坦な電圧振幅が得られている。この結果は、作製したバーストモード APD 光レシーバが、バーストモード光信号においてプリアンプを必要としないことを示しており、極めて高い周波数利用効率を実現できることを示している。

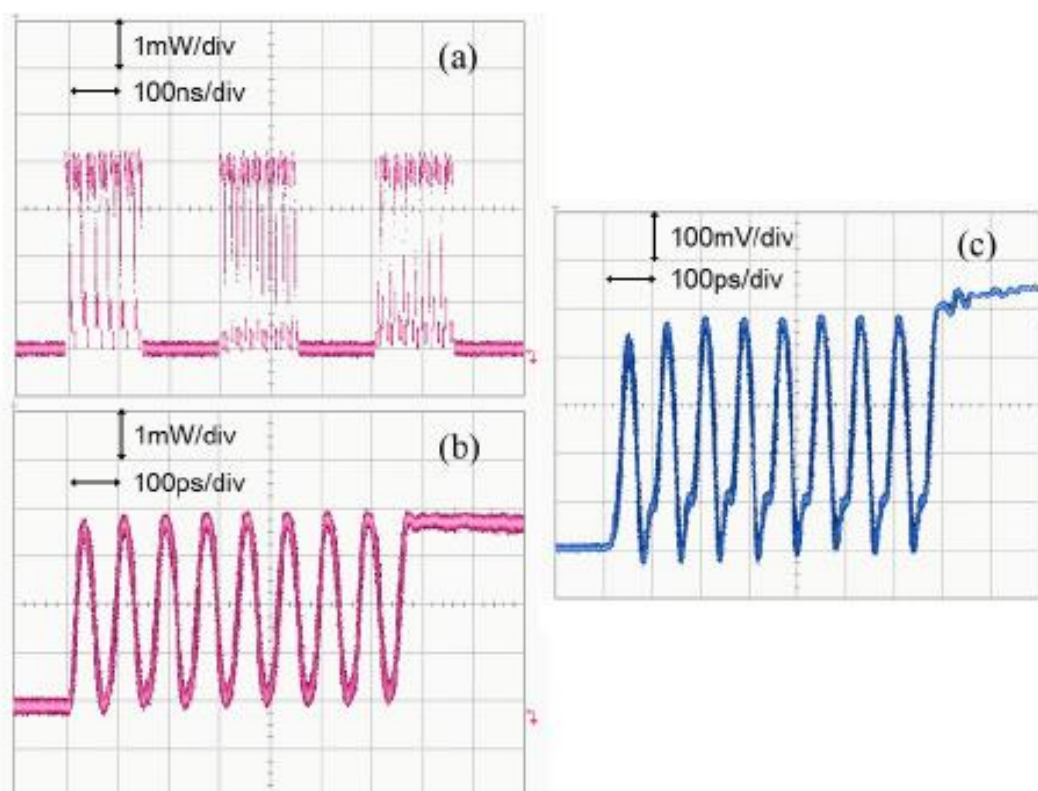


図 7-11 (a)、(b) バーストモード光入力信号、(c)APD 光レシーバからの電気出力信号

7.2.4 ビットエラーレート特性

作製した 25 Gbit/s バーストモード APD 光レシーバの BER 特性を評価した。バーストモード動作に対し、比較のため、連続信号による BER 特性も同時に行った。バーストモードおよび連続信号はともに 25.00 Gbit/s, NRZ 信号であり、波長は 1550 nm である。PRBS は $2^{31}-1$ とした。バーストモード光信号の消光比は 8.7 dB、連続信号の消光比は 11.76 dB であった。APD 光レシーバは、APD の受光感度が 5.9 A/W となるよう増倍率が設定されている。図 7-12 (a),(b) はバーストモードの入力光波形および APD 光レシーバからの出力電気波形であり、(c),(d) は連続信号の入力光波形および APD 光レシーバからの出力電気波形である。バーストモード、および連続信号のいずれの光入力に対しても、APD 光レシーバは明瞭なアイ開口を示している。アイ波形から見る限り、バーストモード入力時において、連続信号入力時と比較して顕著なアイパタンの劣化は見られない。

図 7-13 に、バーストモードおよび連続信号に対する BER 特性を示す。APD の印可電圧は、アイパタン測定と同様、感度が 5.7 A/W となるよう設定している。25 Gbit/s バーストモード信号に対しては、BER = 10^{-12} において -15.5 dBm の最小受信感度が得られている。連続信号に対しては、同様の最小受信感度は -16.5 dBm であり、バーストモード信号での動作時には、連続信号に対して 1 dB のペナルティがあるが、これは送信信号の消光比がことなることが大きな要因で

あると考えられ、Optical modulation amplitude (OMA) で表記した場合にはこの受信感度の差は 0.4 dB まで縮まる。アイ波形からは、バーストモード信号の場合、送信信号にジッタが乗っているようにも見られるが、バーストモード信号と連続信号の受信感度の差は、送信信号の消光比による影響が大きいとして説明可能である。これらの結果は、100 Gbit/s 級光パケットスイッチに必要な受信感度である -13 dBm は十分に満足するものであり、25 Gbit/s 動作に向けて作製した反転型 APD の、100 Gbit/s 級光パケットスイッチングへの応用性も示すことが出来た。

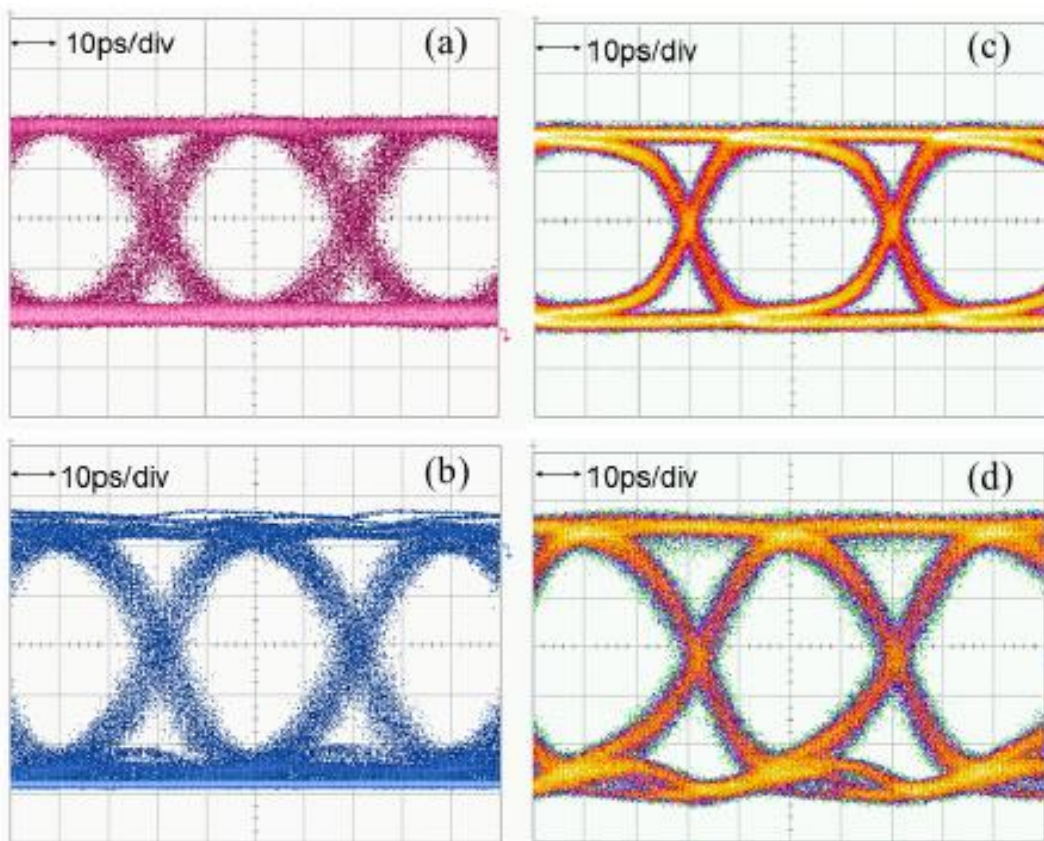


図 7-12 (a)、(b) バーストモード光入力信号および電気出力信号、(c)、(d)連続信号での光入力信号および電気出力信号

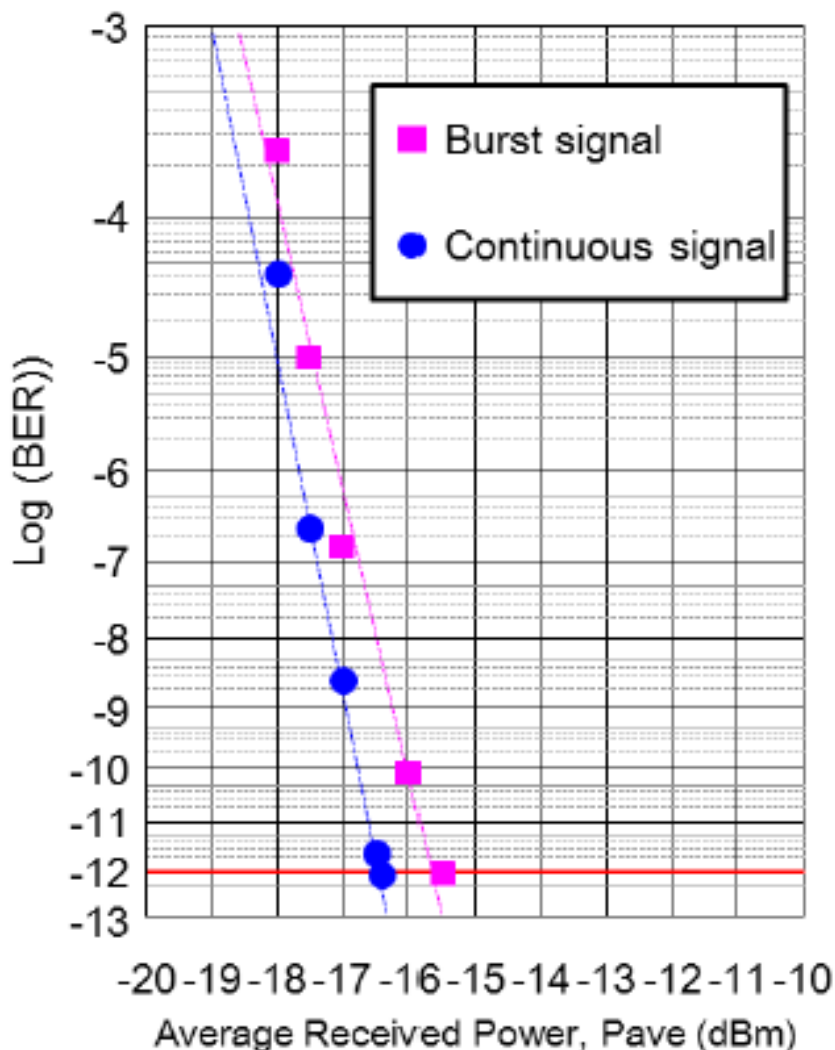


図 7-13 25 Gbit/s バーストモード信号および連続信号に対する、APD 光レシーバの BER 特性

7.3 超 100G システムに向けた 50 Gbit/s アバランシェフォトダイオード光レシーバ

6.2 で検討し、設計試作した 50 Gbit/s 級反転型 APD を光レシーバへと実装し、伝送特性を評価した。400GbE においては、25 Gbaud の多値化による 1 波長あたり 50 Gbit/s、および 500 m の短距離用途では、50 Gbit/s の多値化による 1 波長あたり 100 Gbit/s の方式が採用されており、新しいイーサネットの規格が設立されるとともに波長あたりのビットレートが拡大している。ビットレートの拡大に伴い、送信器の出力や受信器の感度の低下、およびファイバ分散の影響により、

一般的には伝送距離を確保することが困難になるため、100GbE で規定されていた、PIN-PD を用いた 10 km の伝送距離ですら、1 波長あたりのビットレートが 50 Gbit/s ないしは 100 Gbit/s となると艱難になってくる。本研究では、作製した 50 Gbit/s 級の APD 光レシーバが、50 Gbit/s 信号に対しエラーフリー規定であるビットエラーレート 10^{-12} において、10 km を超えるような中距離の伝送距離を維持できるかを中心に検討を行う。

7.3.1 実装形態

図 7-14 に、50 Gbit/s 動作に向けた APD 光レシーバの写真を示す。作製した APD 光レシーバは、バタフライ型パッケージを用いており、パッケージにおける電気信号の高周波ロスを低減するため、GPPO 型電気出力を用いている。パッケージ内には、APD、TIA チップおよび電気出力コネクタまでの配線基板が実装されており、それぞれのチップは金ワイヤで接続されている。用いた TIA は 40 Gbit/s 動作に向けた InP-HBT によって構成されている市販品を用いている。APD チップは、モジュール内において表面実装されている。入射光は、モジュール内において跳ね上げミラーにより跳ね上げられ、APD チップの裏面より信号が入射するようになっている。

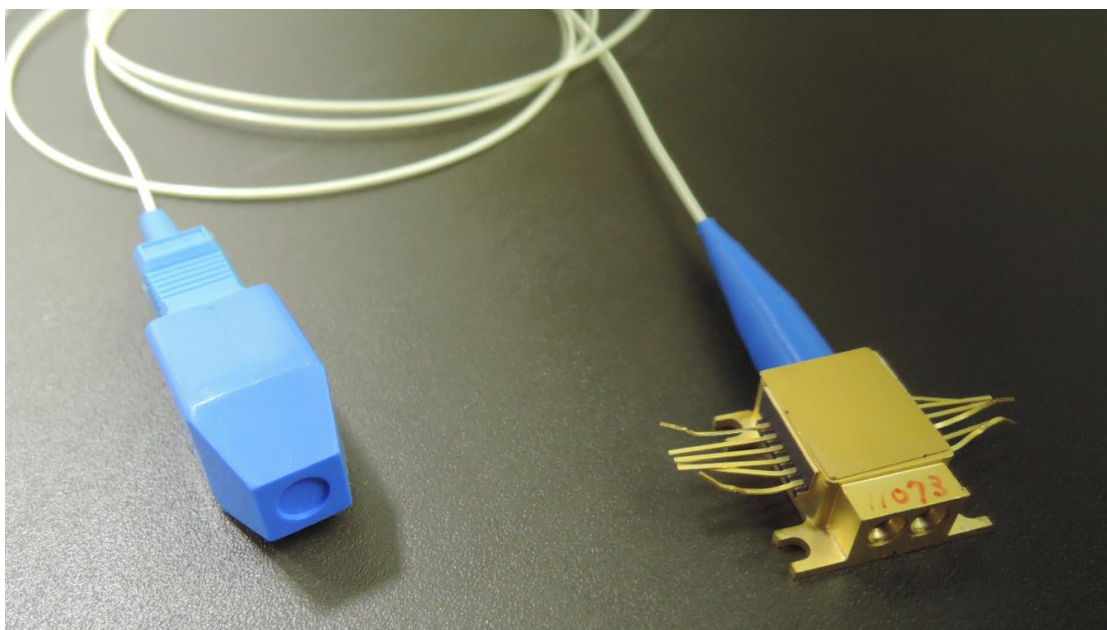


図 7-14 50G 級 APD 光レシーバ写真

7.3.2 光レシーバにおける特性

作製した 50 Gbit/s 動作向け APD 光レシーバの周波数特性を図 7-15 に示す。比較のため、APD 素子のオンウェハ状態における周波数特性も同時に示している。測定した APD の増倍率は、レシーバ状態、オンウェハ状態ともに 3 としている。

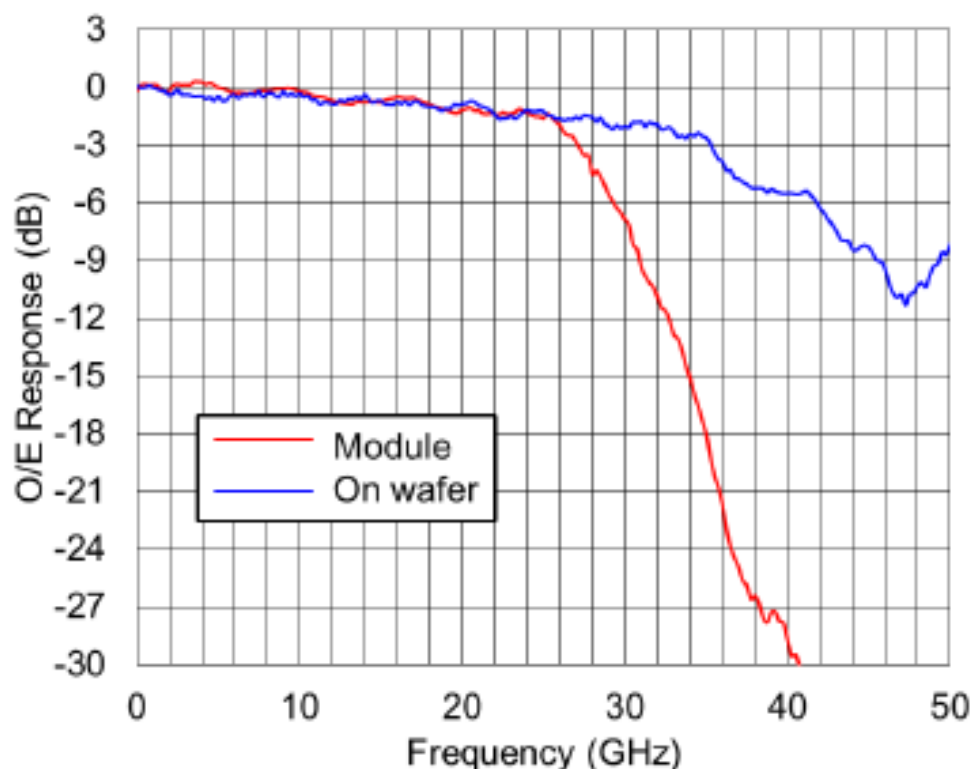


図 7-15 $M=3$ における光レシーバ状態およびオンウェハでの APD の周波数特性

6.2 で述べたように、オンウェハ状態では 35 GHz の f_{3dB} が得られているが、光レシーバの状態においては、25 GHz 程度から急峻なロールオフが見られる。これは、40 Gbit/s 動作向けに設計された TIA の f_{3dB} (27 GHz) による制限と考えられる。7.1、および 7.2 で述べた 25 Gbit/s 動作と異なり、50 Gbit/s 動作に向けては、APD チップ以外の周辺部品の対応が未だ十分ではなく、BER 特性においては一定のペナルティが予想される。

7.3.3 ビットエラーレート特性

作製した APD 光レシーバの BER 特性を評価した[7-9, 7-10]。図 7-16 に、50 Gbit/s における APD の BER 評価系を示す。50 Gbit/s の電気信号は PPG から出力され、1.3 μm 光源を、PPG および LN 変調器により変調し、送信光信号を作成している。Psuedo-random bit sequence (PRBS) は $2^{31}-1$ としている。送信信号は SMF を介して VOA, APD 光レシーバへと接続されており、

VOA において APD の受信感度を見積もっている。

一般的に光信号をファイバを通して行う伝送実験においては、伝送距離が数 10 km になると、LN 変調器による生成信号のドリフトが無視できなくなる。このため、BER 測定時には、受信信号と送信信号のクロックとデータを同期することで、伝送路における信号ドリフトをキャンセルするクロックデータ再生器が必須となるが、現在、50 Gbit/s もの高速信号に対応するクロックデータ再生器は存在しない。

このため、50 Gbit/s での BER 特性評価においては、伝送実験は実施せず、back-to-back のみの評価を行った。

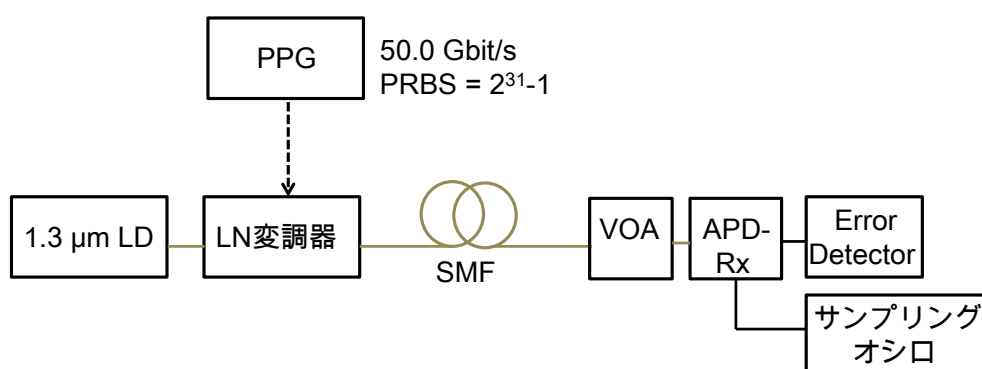


図 7-16 50 Gbit/s における APD 光レシーバの BER 特性評価系

図 7-17(a)に 50 Gbit/s 送信光信号のアイ波形を、(b)に APD からの出力電気信号のアイ波形を示す。送信光信号の消光比は 7.7 dB であった。送信信号に対し、出力電気波形は、若干のアイマスクマージンの縮小がみられるものの、明瞭なアイ開口が確認できる。図 7-17(c)に BER 特性を示す。増倍率は 4.36 である。BRE = 10^{-12} となる最小受信感度は -10.8 dBm を達成していることが確認できる。この動作状態において、APD の消費電力は約 500 mW であり、この消費電力のうち 98 % は TIA による消費電力である。得られている最小受信感度は、送信器のランチパワーを 0 dBm、ファイバロス を 0.5 dB/km を仮定すると、20 km の伝送を可能とする感度である。

表 7-2 に、報告されている APD および pin-PD の光レシーバの特性を比較している。本研究における APD は、感度と f_{3dB} において良好なバランスを有しており、垂直入射構造を有しながらも、世界初となる 50 Gbit/s での動作を実現している。これらの結果は、反転型 APD が光学実装、作製プロセスのトレランスを大きく確保しながらも、50 Gbit/s までの変調速度を有する、低消費電力な光通信システムにむけて有望であることを示唆している。

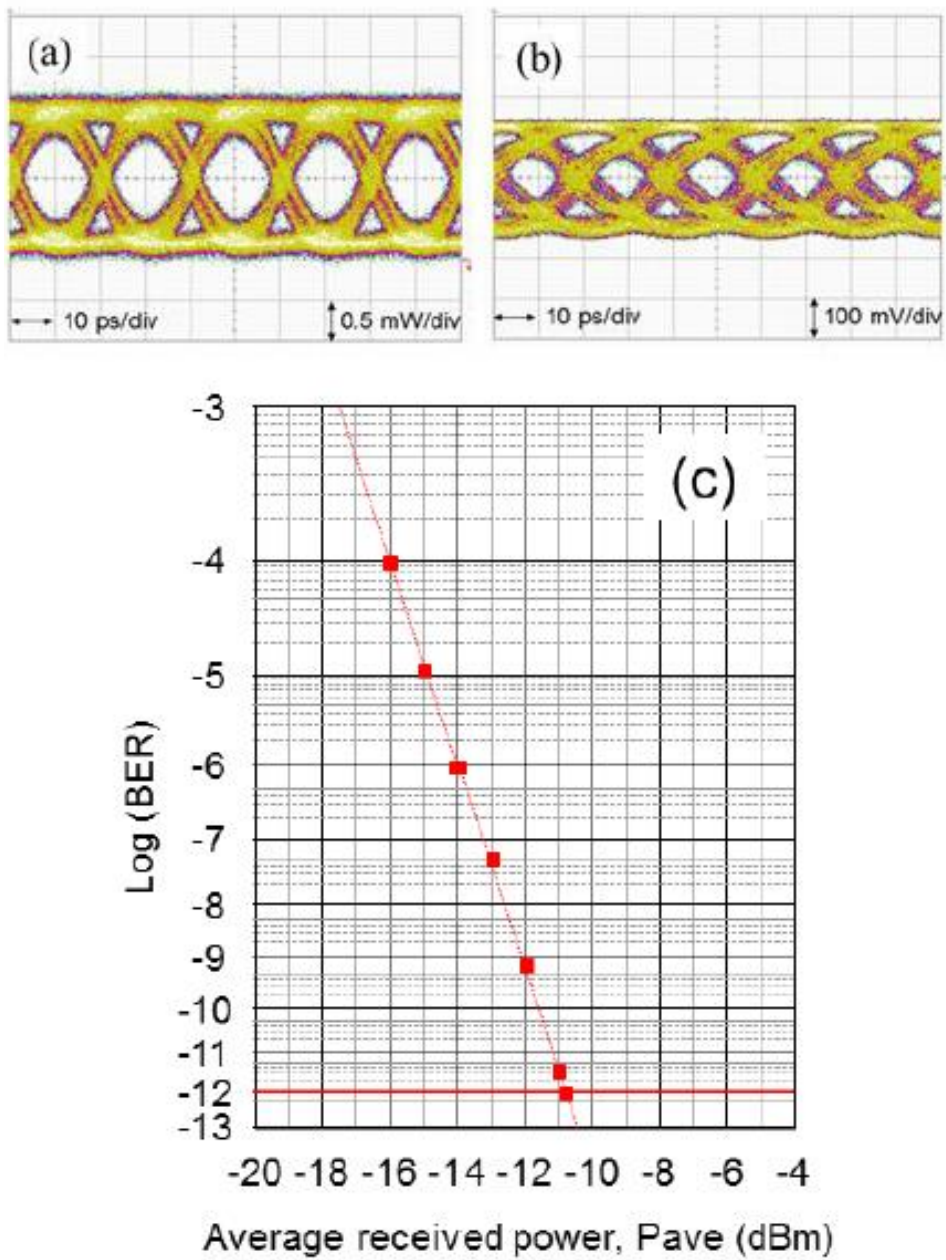


図 7-17 (a) 50.0 Gbit/s 送信光波形、(b) APD からの電気出力波形、(c) BER 特性

表 7-2 APD および PIN-PD の特性比較

| Works | This work | Ref. [3] | Ref. [4] | Ref. [7-1] |
|---|-----------------------|------------|-----------|-----------------------|
| Device | APD | APD | APD | PIN-PD |
| Structure | Vertical illumination | Waveguide | Waveguide | Vertical illumination |
| Responsivity at operation condition (A/W) | 3.0 | 3.8 | N/A | 0.84 |
| 3-dB bandwidth at operation condition (GHz) | 32.5 | 20 | 27 | 32 |
| Bit rate (Gbit/s) | 50.0 | 39.8 | 39.8 | 40.0 |
| PRBS | $2^{31}-1$ | $2^{31}-1$ | 2^7-1 | $2^{31}-1$ |
| Receiver sensitivity (dBm) | -10.8 | -19 | -17.8 | -9 |

7.4 まとめと今後の展望

作製した反転型 APD を光レシーバに実装し、伝送特性を評価することで、反転型 APD の 100 Gbit/s および 400 Gbit/s 級光通信システムへの適用性について検証した。

100 Gbit/s 級システムへの適用性については、1ch あたり 25 Gbit/s の動作特性を検証した。N コンタクトメサ(1stメサ)直径 20 μm、ハイブリッド光吸収層 1000 nm の反転型 APD を 1ch APD 光レシーバに実装し、増倍率 10 において、最小受信感度 -21.9 dBm が得られており、また実際に 40 km の SMF を用いて伝送実験を行い、40 km 伝送後においても良好なアイ開口およびエラーフリー動作が得られた。また、同 APD の 4ch アレー素子を用いて 4 ch 集積型の APD 光レシーバを作製し、1 レシーバにおいて 100 Gbit/s のスループットを実現した。作製した 4ch 集積 APD 光レシーバでは、LAN-WDM 波長において全ての ch で -20 dBm 以下の最小受信感度を得られており、また 50 km までのエラーフリー伝送に成功している。また、4ch 集積型光レシーバのサイズも、CFP4 に実装可能なサイズでありこれらの結果は、反転型 APD の 100 Gbit/s イーサネットに対する動作速度、受信感度、およびサイズ、消費電力の観点での良好な適用性を示している。

また、25 Gbit/s 級の反転型 APD を、100 Gbit/s 級のパケットスイッチングシステムへの適用性を検証した。TIA、および光レシーバ内での配線を DC 結合とすることで、低周波での動作も可

能とすることで、入力光信号に対し、先頭1ビットからの応答、およびバーストモード信号に対する動作も確認した。最小受信感度は-15 dBmである。光パケットスイッチングシステムにおいては、PIN-PDでは受信できない程度にスイッチ部の光強度のロスが大きくなるが、本研究のAPDを適用することで、光スイッチのロスを十分保証する受信感度が得られており、100 Gbit/s 級光パケットスイッチシステムへの適用性を示した。

反転型 APD を lateral scaling および vertical scaling し、400 Gbit/s 級システムへの適用に向けた 50 Gbit/s 動作を検討した。APD 素子帯域は最大 35 GHz であったものの、TIA の f_{3dB} の不足により、光レシーバとしての最大帯域は 25 GHz であった。50.0 Gbit/s 光信号に対する最小受信感度としては、-10.8 dBm が得られており、これは送信器のランチパワーとして 0 dBm、伝送路のロスとして 0.5 dBm を仮定すると、20 km の伝送が可能な最小受信感度である。消費電力のうち 98% は TIA による消費電力であり、APD を用いることの、レシーバへの消費電力のインパクトは非常に小さいながらも有効に受信感度を向上できることを確認した。また、本研究結果は、世界初となる APD の 50 Gbit/s 動作でもある。

今後の展望としては、100 Gbit/s 級システムへの適用に向けては、集積型の光レシーバにおける信号間のクロストークや、4ch 一括実装の経済性、再現性の確認など、産業の観点からの更なる適用性の確認が望まれる。また、400 Gbit/s 級システムへの適用に向けては、クロックデータ再生器や TIA 等、APD 以外の周辺部品の 50 Gbit/s 動作の実現が待たれる。これらは、産業への応用上、ただ 50 Gbit/s の動作をデモンストレーションするのみではなく、願わくば CMOS による廉価で消費電力の小さい技術による実現が期待される。また APD そのものも現在の帯域を維持しながらもより動作時の増倍率を高くする、すなわち GBP の拡大が期待される。ただし InAlAs 増倍層の最適設計には限界があると考えられ、劇的な GBP の拡大に向けては Si や InAs 等のよりインパクトイオン化率比の優れた増倍層材料の適用も視野に入れる必要がある。一方で、光吸収層材料としては、光吸収係数およびキャリア飽和速度の観点からは InGaAs が理想的であり、増倍層材料とどのように技術融合を図るかがカギとなると思われる。

参考文献

- [7-1] T. Ohno, Y. Muramoto, K. Sano, S. Kodama, and N. Shigekawa, "A CAN-type MIC-PD ROSA operating at 40-Gbpt/s", in proc. ECOC2010, Paper Th. 10. D. 2.
- [7-2] M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and S. Kodama, "High-sensitivity 25 Gbit/s avalanche photodiode receiver optical sub-assembly for 40 km transmission," Electron. Lett., **48**, p.777 (2012).
- [7-3] M. Nada, Y. Muramoto, H. Yokoyama, T. Yoshimatsu and H. Matsuzaki, "(Invited) Design and performance of high-speed avalanche photodiodes for 100-Gb/s systems and beyond" J. Lightwave Technol., **33**, p. 984 (2015).

- [7-4] Y. L. Goh, A. R. J. Marshall, D. J. Massey, J. S. Ng, C. H. Tan, M. Hopkinson, J. P. R. David, S. K. Jones, C. C. Button, and S. M. Pinches, "Excess Avalanche Noise in In_{0.52}Al_{0.48}As," *IEEE J. Quantum Electron.*, **43**, p. 503 (2007)
- [7-5] T. Yoshimatsu, M. Nada, M. Oguma, H. Yokoyama, T. Ohno, Y. Doi, I. Ogawa, H. Takahashi and E. Yoshida, "Compact and High-Sensitivity 100 Gb/s (4 × 25 Gb/s) APD-ROSA with LAN-WDM PLC Demultiplexer," *Opt. Express*, **20**, p. B393 (2012).
- [7-6] T. Nakahara, R. Urata, T. Segawa, Y. Suzuki, H. Takenouchi, and R. Takahashi, "Hybrid optoelectronic router prototype for asynchronous optical packet switched networks," in *Proceedings of PS 2010, PTuC1* (2010).
- [7-7] T. Nakahara, R. Takahashi, T. Yasui, and H. Suzuki, "optical clock-pulse-train generator for processing preamble-free asynchronous optical packets," *IEEE Photon. Technol. Lett.*, **18**, p. 1849 (2006).
- [7-8] M. Nada, M. Nakamura, and H. Matsuzaki, "25-Gbit/s burst-mode optical receiver using high-speed avalanche photodiode for 100-Gbit/s optical packet switching," *Opt. Express*, **22**, p. 444 (2014).
- [7-9] M. Nada, H. Yokoyama, Y. Muramoro, T. Ishibashi, and H. Matsuzaki, "50-Gbit/s vertical illumination avalanche photodiode for 400-Gbit/s ethernet systems," *Opt. Express*, **22**, p. 14681 (2014).
- [7-10] M. Nada, "50-Gb/s vertical illumination APD for 400 GbE", in *proc. SPIE9390*, 939006 (2015).
- [7-11] N. Yasuoka, H. Kuwatsuka, and A. Kuramata, "High-speed and high-efficiency InP/InGaAs waveguide avalanche photodiodes for 40 Gbit/s transmission systems," in *Proceedings of OFC2004*, TuM2 (2004).
- [7-12] S. Shimizu, K. Shiba, T. Nakata, K. Kasahara, and K. Makita, "40 Gbit/s waveguide avalanche photodiode with p-type absorption layer and thin InAlAs multiplication layer," *Electron. Lett.* **43**, 476 (2007).

第8章 結論

8.1 本研究のまとめ

本研究では、データセンタなどの消費電力が急増し、また伝送速度も急速に拡大しているクライアント領域での適用に向けて、高速高感度の APD の実現に向けて、その設計論と APD の試作評価により、APD の適用性を検討した。

4 章においては上記目標に対しては、APD の光吸収層における高速高感度化、および増倍層における高速高利得化が必要であること、および実用上の観点からは作製プロセスの容易性、光学実装におけるトレランスの確保、および APD 動作の信頼性、安定性が必要であることを明確にし、「反転型 APD」と呼ばれる新規な APD の素子構造を提案した。光吸収層の典型的な構造としては、PIN-PD 構造と UTC-PD 構造があるが、これらの構造におけるキャリア輸送メカニズムの違い、およびこれらの輸送メカニズムが互いに干渉しないことに着目し、高速性、高感度性に優れたハイブリッド光吸収層を提案した。ハイブリッド光吸収層を適用することで、導波路型の光吸収層に匹敵する高速高感度特性を、作製プロセス、光学実装ともに容易な垂直入射型構造においても実現できることを示し、ハイブリッド光吸収層の垂直入射型への導入を、目標の APD の実現に向けた第 1 の指針とした。また、動作安定性および信頼性の実現に向けては 3 段メサ構造を採用し、3 段メサ構造による電界狭窄効果について説明した。これらハイブリッド光吸収層と 3 段メサ構造を組み合わせた構造を「反転型 APD」として、その動作メカニズムについて述べた。

5 章においては、提案した反転型 APD を実際に試作し、素子容量や暗電流、高周波特性の評価により、反転型 APD が実際に素子の内部にのみ電界を狭窄しており、動作安定性、信頼性ともに有望な構造であることを実験的に示した。3 段メサの内、反転型 APD では最上部に位置する 1st メサ (n 型コンタクト層によるメサ) によってのみ、動作時の有効面積が決まり、素子の側面における電界強度は、部分的にはゼロ、生じていてもきわめてその電界強度が小さいことを示した。容量および暗電流測定により、1st メサ面積からの電界の広がりはずか $1\ \mu\text{m}$ であることが明らかになった。この結果は、信頼性、安定性への有用性ととも、反転型 APD が Lateral scalability に優れていることも示唆している。

6 章においては、目標とする 100 Gbit/s および 400 Gbit/s システムへの適用に向けて、1ch あたり 25 Gbit/s、および 50 Gbit/s で動作する反転型 APD を設計、試作しその素子特性を評価した。25 Gbit/s 動作に向けては、ハイブリッド光吸収層膜厚を 1000 nm、増倍層を InAlAs としてその膜厚を 100 nm、1st メサ直径を 20 μm とすることで、最大帯域 23 GHz、増倍率 1 における受光感度 0.91 A/W、増倍率 10 における f_{3dB} として 18.5 GHz を実験的に達成した。GBP は 235 GHz であった。動作時の受光感度は 9.1 A/W になり、この受光感度は 10 Gbit/s 級の APD と比較しても遜色ない。また、50 Gbit/s 動作に向けては、反転型 APD の lateral scaling および vertical scaling による最適化設計を行った。ハイブリッド光吸収層の膜厚を 600 nm、増倍層を 90 nm の InAlAs

とし、素子容量の低減のため、エッジ電界緩和層の層厚を 300 nm とすることで、最大帯域 35 GHz, GBP 270 GHz が得られており、増倍率 1 での受光感度として 0.69 A/W が得られた。増倍率 4.6 まで 30 GHz 以上の f_{3dB} が得られており、50 Gbit/s 動作に十分な f_{3dB} を実験的に示した。

7 章においては、試作した APD 素子を光レシーバに実装し、伝送特性を評価することで 100 Gbit/s および 400 Gbit/s 級システムへの適用性を検討した。25 Gbit/s 級反転型 APD を 1ch CAN 型レシーバモジュールに、また 25 Gbit/s 級反転型 APD の 4ch アレー素子を 4ch 集積型レシーバモジュールに実装した。1ch APD 光レシーバにおいては、25.8 Gbit/s において、最小受信感度 -21.9 dBm が得られており、また世界初となる APD による 25.8 Gbit/s 光アンプレスによる 40 km エラーフリー伝送を達成した。また、最小受信感度の増倍率依存性より、反転型 APD のインパクトイオン化率比が 0.2 程度であることを実験的に示した。4ch 集積モジュールにおいては、LAN-WDM 波長の全チャンネルにおいて、-20 dBm 以下の最小受信感度を得られた。この 4ch 集積 APD 光レシーバのスループットは 103.2 Gbit/s になる。これらの結果から、反転型 APD の 100 Gbit/s イーサネットへの適用性を示すことが出来た。また、25 Gbit/s 反転型 APD を用いて、100G 級光パケットスイッチへの適用性を検討した。TIA および内装配線を DC 結合としたバーストモード APD 光レシーバを作製し、バーストモード信号に対する APD 光レシーバの動作を確認するとともに、入力光信号に対する先頭 1 ビットからの高速立ち上がり動作を確認した。最小受信感度は -15 dBm であり、この受信感度は、光パケットスイッチングシステムにおける光レシーバとして必要な受信感度としては十分であり、反転型 APD の 100G 級光パケットスイッチへの適用性を示した。更に反転型 APD を lateral scaling および vertical scaling による最適化を行い、400 Gbit/s 級システムへの適用性を検討するため、50 Gbit/s, 1ch の APD 光レシーバを作製評価した。最小受信感度としては -10.8 dBm が得られており、この受信感度は、ランチパワー 0 dBm、ファイバロス 0.5 dB/km を仮定すると、20 km 以上の伝送が可能な感度である。これは、APD の 50 Gbit/s 動作の世界初となる動作報告である。光レシーバにおける消費電力のうち、98 % は TIA による消費電力であり、APD の高速高感度性と、システム応用に向けた消費電力上のメリットを示した。

8.2 今後の展望

8.2.1 多値変調動作に向けたアバランシェフォトダイオードの高線形化

以上により、反転型 APD の、100G 級および 400G 級のクライアント系光通信システムへの有用性を示してきた。一方で、イーサネットについては、400 Gbit/s や 1 Tbit/s といった将来の方式においては、パルス振幅変調方式 (pulse-amplitude modulation : PAM) などの、比較的信号処理の負担の小さい多値変調方式が導入される見込みである。これは、本研究において 50 Gbit/s の超高速動作を示したように、個々のデバイスでは研究レベルでの高速化は進展しているものの、システムとしての完成度の向上が現状の市場要求の大容量化に追い付いていない現状に基づいたものである。今後は、高ポーレート化と多値化を組み合わせた形で標準化が進行していくもの

と予想される。

一方で、システムの大容量化により、光レシーバの高感度化に対する要求は高まっていくと考えられ、例えば 400 Gbit/s イーサネット以降においては、PIN-PD では 10 km の伝送すら、可能かどうか議論となることが想像され、APD が要求される場合は、これまで以上に短距離から中距離まで多くなっていくであろう。

この時、APD には高速高感度性ととともに、線形性が要求されることになる。多値変調方式においては、入出力の線形性の欠如は波形ひずみなどの信号劣化に直結するためである。

APD は、PIN-PD や UTC-PD と比較すると線形性の面では大きく劣る。その理由は、以下の2点による。

1. 高光入力時における素子温度上昇に伴う APD の増倍率の変化
2. 高光入力時における光吸収層での空間電荷効果に伴う正孔の蓄積

1 は APD の層構造に依らず避けがたく生じる現象である。電子注入型を例にとって説明しよう。APD において、増倍層に注入される電子のインパクトイオン化は、注入電子がインパクトイオン化を引き起こすことが出来る程度に高い運動エネルギーをもった時に生じるが、この運動エネルギーを電子が獲得するまでに必要な距離はその平均自由行程よりも大きい。つまり、電子がインパクトイオン化を引き起こすためには、平均自由行程以上の距離を加速された「ラッキーエレクトロン」の存在が必要になる。よって、APD の素子温度が上昇した場合、optical-phonon mean free path が小さくなる (Optical phonon 散乱確率が上昇する) ため、「ラッキーエレクトロン」の割合が低下する。結果、同じ増倍層内の電界強度であっても素子温度が上昇した場合、増倍率は低下する[8-1]。

上に述べたように、増倍率の温度依存性はキャリア平均自由行程、光学フォトン散乱確率の関数になる。したがってその材料に強く依存する[8-2]。

2 は、空乏化した光吸収層における、比較的速度の小さい正孔に起因している。図 8-1 にその概念図を示す。図 8-1 (a) は、入射光強度の小さい状態における APD の吸収層付近の正孔の移動を示している。動作状態において、p 型電界制御層は空乏化しており、イオン化したアクセプタ不純物とそのドーピング領域に存在している。この部分マイナスの電荷を有している。(b) は光入力強度が強い場合である。正孔は p 型コンタクト層に移動するが、比較的コンタクト層から距離の大きい、増倍層および p 型電界制御層付近において、ドリフト速度の小さい正孔が蓄積し、プラス電荷を有する空間電荷として分布する。このとき、プラスの電荷を有する空間電荷と、マイナス電荷を有するアクセプタ不純物が互いに電荷をキャンセルする。この状態は、p 型電界制御層におけるドーピング濃度が、空間電荷分だけその濃度が小さくなった状態に相当する。結果、光入力大きい場合、ある印可電圧に対し、光吸収層の電界強度は大きくなるとともに、増倍層の電界強度は小さくなる。すなわち、APD としてみた場合、光入力強度が大きいときにはその増倍率が低下する。

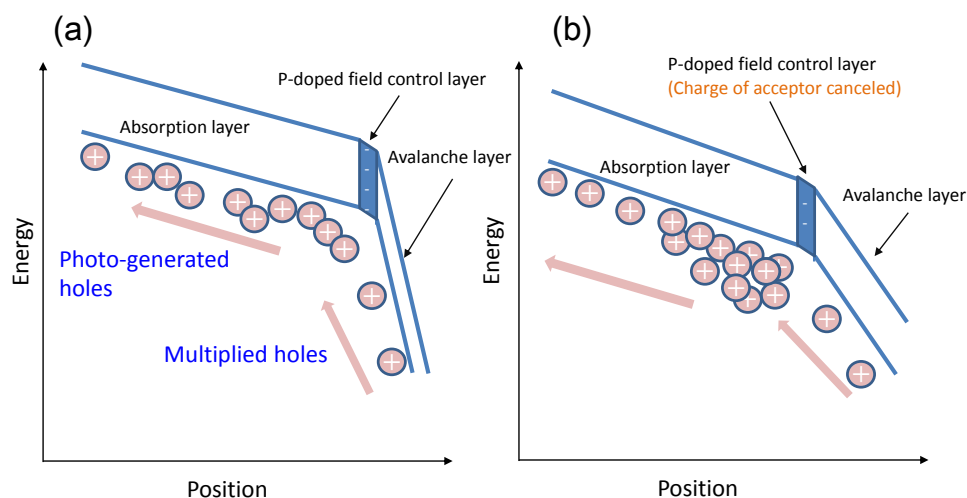


図 8-1 (a)光入力小さい場合、(b)大きい場合、のバンド図

光入力大きい場合の空間電荷効果は、一般的な **pin-PD** においても生じ得る。**Pin-PD** の場合は、空間電荷により光吸収層の電界強度が低下し、結果感度と帯域が劣化する。従って **pin-PD** の場合は、さらに電圧を加えた場合、再び光吸収層の電界が大きくなり、感度と帯域は改善する。

APD の場合は、光吸収層の電界強度は小さくならないにもかかわらず感度が低下する。すなわち、さらなる電圧印加に対して空間電荷効果を除去することができない。

UTC-PD の場合は、そもそも吸収層は高濃度にアクセプタドープされており、正孔は少数キャリアとして取り扱う必要が無いため、この種の空間電荷効果は生じない。

上記のような線形性劣化のメカニズムから、1 に起因する線形性劣化は増倍層材料を根本的に変えるか、ないしは素子そのものの放熱性を改善する必要がある、デバイスの層構造からは避けることのできない課題であるのに対し、2 は正孔による空間電荷を避けることでその影響を低減することが可能である。本研究では、ハイブリッド吸収層を用いることで、正孔の移動距離を低減し、空間電荷効果の低減を試みた。

図 8-2 は線形性の向上を目指した **APD** の光吸収層付近のバンド構造である。これまでの議論と同様に、ハイブリッド吸収層を用いている。ハイブリッド構造においては、受光感度は **p** 型光吸収層とアンドープ光吸収層の膜厚の和によって決められるが、線形性の劣化の要因となる正孔の走行距離はアンドープ光吸収層の膜厚分だけで良い。結果、ハイブリッド吸収層を用いた場合には、受光感度の低下を招くことなく空間電荷効果の低減が可能になると考えられる。本試作においては、全光吸収層厚を 600 nm, **p** 型光吸収層厚を 300 nm とした[8-3]。

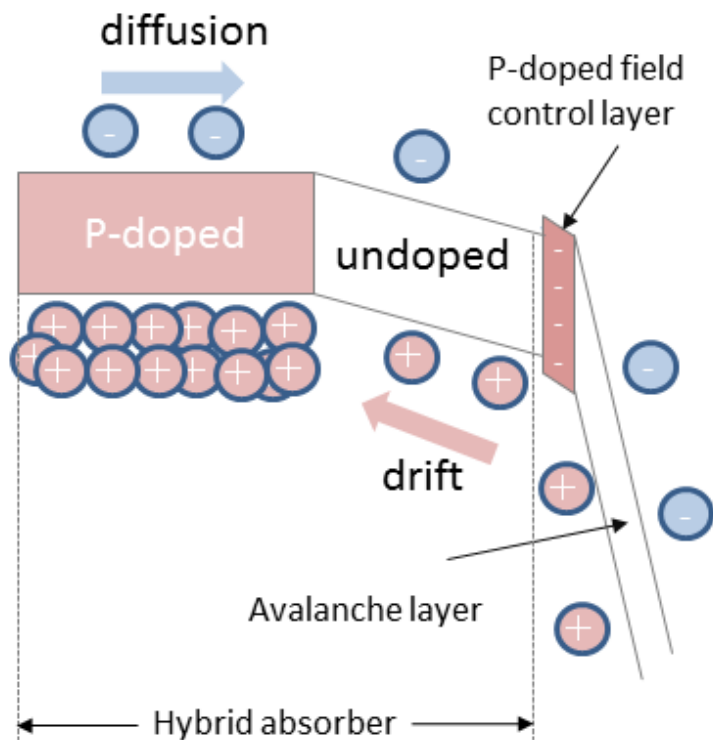


図 8-2 ハイブリッド吸収層付近のバンド図

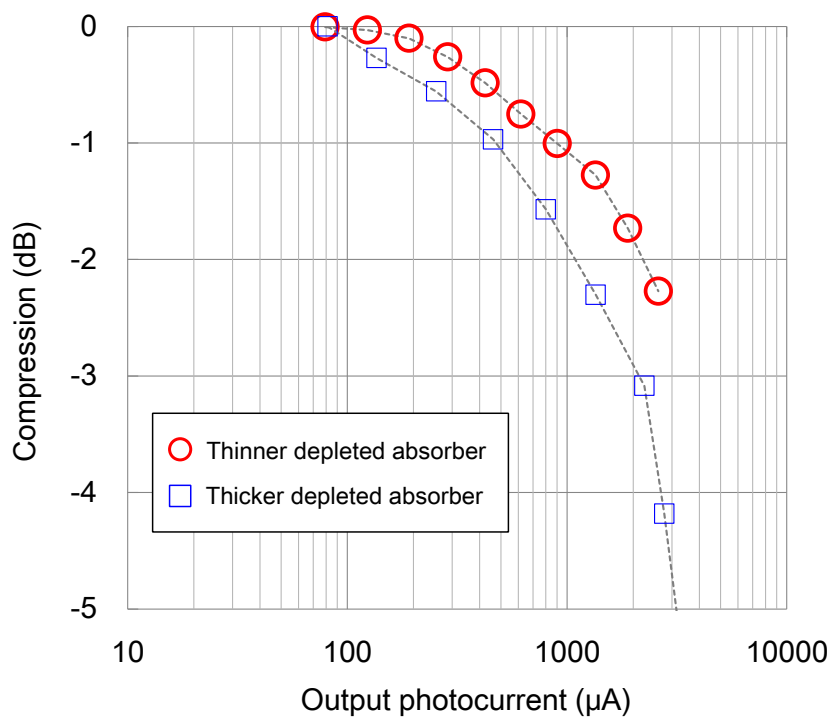


図 8-3 APD の出力光電流に対する線形性からの縮減度合

図 8-3 は作製した APD の $M=10$ における出力光電流に対する、線形性からの出力電流の低減度合 (compression) を示している。比較の為、アンドープ光吸収層厚が 2 倍である 600 nm の APD の結果も同時に示している。アンドープ吸収層厚 300 nm の素子については、出力電流 0.9 mA において 1dB compression に達するが、アンドープ吸収層厚が 2 倍の素子では 0.46 mA で 1dB compression となる。このように、今回作製した吸収層構造においても $M=10$ における線形性は完全とは言えないが、正孔の走行距離が線形性に影響を与えることは確認できた。今後は、より線形性の改善に向けて、更なる構造の最適化が求められると思われる。

8.2.2 更なる高速高感度動作に向けた利得帯域積の拡大

更なる高ボーレートでの APD 動作もこれまで通り求められ続け蹴るであろう。APD の動作速度については、本報告で示した 50 Gbit/s が現在のところ最高速度であるが、今後は、例えば 1 波長あたりのビットレートで考えると、50 Gbaud \times PAM4 による 100 Gbit/s、および 100 Gbaud \times PAM4 での 200 Gbit/s といったように、通信システムとしてはボーレート向上と多値化を組み合わせて進展していくと考えられる。

光吸収層の感度としては、どのような構造を用いようと、光電変換効率として 100% を上回ることは無い。即ち、より高速高感度化を目指した場合、増倍層における GBP を根本的に上昇させるしかない。

増倍層として、InAlAs よりも高い GBP を得られる材料系としては、Si や InAs が報告されている。Si は GBP = 320 GHz、InAs は 570 GHz もの GBP が報告されている[8-3, 8-4]。しかし、Si 増倍層に適合する Ge 光吸収層は、InGaAs と比べるとキャリア輸送速度や光吸収係数の面で特性上のペナルティが生じると考えられる。Si 増倍層として利得は上昇できる分、高感度化は可能になると思われるが、50 Gbit/s を超える高速動作については未だ報告が無い。InAs 増倍層については、例えば基板の絶縁化が困難なことで寄生容量成分を抑えることが困難であったり、光吸収層として、増倍層と同じ InAs のホモ接合を用いざるを得ず、現在の APD の様な精密なバンドエンジニアリングが困難であり、未だ改善すべき技術課題が多い。更なる APD の高速高感度化に向けては、これら InP 基板ベースの技術から逸脱した新しい材料系の適用が必要不可欠であるが、これらをどのように最適な光吸収層と適合させ、どのように最適な構造を作っているかが課題となると考えられる。

参考文献

- [8-1] C. R. Crowell and S. M. Sze, "Temperature dependence of avalanche multiplication in semiconductors," *Appl. Phys. Lett.*, **9**, 242 (1966).
- [8-2] L. J. J. Tan, D. S. Ong, J. S. Ng, C. H. Tan, S. K. Jones, Y. Wian, and J. P. R. David, "Temperature dependence of avalanche breakdown in InP and InAlAs," *IEEE J. Quantum Electron.*, **46**, p. 1153 (2010).
- [8-3] M. Nada, T. Hoshi, H. Yamazaki, T. Hashimoto, and H. Matsuzaki, "Linearity improvement of high-speed avalanche photodiodes using thin depleted absorber operating with higher order modulation format," *Optics Express*, **23**, p. 27715 (2015).

謝辞

本論文は、東京大学大学院 工学系研究科 電気系工学専攻 中野義昭 教授のご指導の下でまとめられた。このような研究の機会を与えていただくとともに、丁寧なご指導を頂きました中野教授に感謝いたします。

また、本論文の審査にあたり、様々なご指導をいただきました、東京大学大学院 工学系研究科 電気系工学専攻 菊池和朗教授、東京大学大学院 工学系研究科 マテリアル工学専攻 和田一実 教授、東京大学工学系研究科 電気系工学専攻 山下真司 教授、東京大学大学院 工学系研究科 電気系工学専攻 種村拓夫 准教授に感謝いたします。

本研究を遂行するに当たり、日本電信電話株式会社および関連会社の皆様に様々なご協力を頂きました。

石橋忠夫様（現・NTT エレクトロニクステクノ株式会社）には、APD 研究の師として、デバイス設計論、評価および解析方法に至るまで綿密なご指導を頂きました。また、新規デバイス構造に実現に向けて多くのご議論を頂きました。ここに感謝いたします。

NTT 先端集積デバイス研究所 星拓也様、横山春喜様（現・鈴鹿高専教授）、NTT エレクトロニクス株式会社安藤清後様には、APD の結晶成長を一手に引き受けていただきました。

NTT デバイスイノベーションセンタ 村本好史様、中島史人様、吉松俊英様、大野哲一郎様、中西泰彦様、NTT エレクトロニクス株式会社 本田謙一様、杉谷末広様、島田浩様、大橋弘美様、廣田幸弘様、楠本隆様には、APD の完成度の向上、実用化において多大なご協力をいただきました。

NTT 先端集積デバイス研究所 松崎秀昭様、児玉聡様、明吉智幸様（現・NTT エレクトロニクス）、村田浩一様（現・GIGPEAK）、榎木孝知様（現・NTT エレクトロニクス）、重川直輝様（現・大阪市立大学教授）、井田実様には、マネージャの立場から APD の研究開発を支援していただきました。

ここに篤く感謝いたします。

本研究が国際的な舞台で発表される機会を得るに当たり、ヴァージニア大 Joe C. Campbell 教授、シェフィールド大 John P. David 教授、C. H. Tan 教授より多大な支援を頂きました。ここに篤く感謝いたします。

最後に、これまでの研究を支えてくれた妻 亮、長男 啓一郎、長女 埜乃に感謝いたします。

論文および発表リスト

1 本論文

主著

M. Nada, Y. Muramoto, H. Yokoyama, T. Yoshimatsu and H. Matsuzaki, “(Invited) Design and characteristics of high-speed avalanche photodiodes for 100-Gb/s systems and beyond” J. Lightwave Technol., vol. **33**, (2015) p. 984.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and H. Matsuzaki, “Triple-mesa avalanche photodiode with inverted p-down structure for reliability and stability” J. Lightwave Technol., vol. **32**, (2014) p. 1543.

M. Nada, Y. Muramoto, H. Yokoyama, N. Shigekawa, T. Ishibashi and S. Kodama, “Inverted InAlAs/InGaAs Avalanche Photodiode with Low–High–Low Electric Field Profile,” Jpn. J. Appl. Phys., vol. **51**, (2012) p. 02BG03.

共著

F. Nakajima, M. Nada, T. Yoshimatsu, “(Invited) High-Speed Avalanche Photodiode and High-Sensitivity Receiver Optical Sub-Assembly for 100-Gb/s Ethernet,” J. Lightwave Technol., accepted for publication.

2. レター論文

主著

M. Nada, T. Hoshi, H. Yamazaki, T. Hashimoto and H. Matsuzaki “Linearity improvement of high-speed avalanche photodiodes using thin depleted absorber operating with higher order modulation format,” Opt. Express, vol. **23**, (2015) p. 27715.

M. Nada, H. Yokoayama, Y. Muramoto, T. Ishibashi and H. Matsuzaki “50-Gb/s vertical illumination avalanche photodiode for 400-Gb/s Ethernet systems,” Opt. Express, vol. **22**, (2014) p. 14681.

M. Nada, M. Nakamura and H. Matsuzaki “25-Gbit/s Burst-mode Optical Receiver using High-speed Avalanche Photodiode for 100-Gbit/s Optical Packet Switching,” Opt. Express, vol. **22**, (2014) p. 443.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and H. Matsuzaki, "High-power-tolerant InAlAs avalanche photodiode for 25 Gbit/s applications," *Electron. Lett.*, vol. **49** (2013) p. 62.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and S. Kodama, "High-sensitivity 25 Gbit/s avalanche photodiode receiver optical sub-assembly for 40 km transmission," *Electron. Lett.*, vol. **48** (2012) p.777.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and S. Kodama, "InAlAs APD with high multiplied responsivity-bandwidth product (MR-bandwidth product) of 168 A/W · GHz for high-speed operations," *Electron. Lett.*, vol. **48** (2012) p. 397.

共著

T. Yoshimatsu, M. Nada, M. Oguma, H. Yokoyama, T. Ohno, Y. Doi, I. Ogawa, H. Takahashi and E. Yoshida, "Compact and High-Sensitivity 100 Gb/s (4 × 25 Gb/s) APD-ROSA with LAN-WDM PLC Demultiplexer," *Opt. Express*, vol. **20**, (2012) p. B393.

3. 国際学会

主著

M. Nada, "(Invited) Is APD the Future?: How to Break through Responsivity-Bandwidth Limit of Optical Receivers," OFC2015 Workshop "Are there limits to high-speed interface rates?"

M. Nada, S. Kanazawa, H. Yamazaki, Y. Nakanishi, W. Kobayashi, Y. Doi, T. Ohyama, T. Ohno, K. Takahata, T. Hashimoto and H. Matsuzaki, "High-linearity avalanche photodiodes for 40-km transmission with 28-Gbaud PAM4," in *proc. OFC2015*, Los Angeles, CA, USA, Mar. 2015, M3C.2.

M. Nada, "(Invited) Vertical illumination APD for 400GbE," in *proc. Photonics West 2015*, San Francisco, CA, USA, Feb. 2015, 9390-5.

M. Nada, Y. Muramoto, H. Yokoyama, and H. Matsuzaki, "(Invited) High-speed, high-power tolerant avalanche photodiodes for 100-Gb/s applications," in *proc. 2014 IEEE Photonics Conference*, San Diego, CA, USA, Oct. 2014, TuA1.4.

M. Nada, Y. Muramoto, H. Yokoyama, T. Yoshimatsu and H. Matsuzaki, “(Invited) High-speed avalanche photodiodes for 100-Gb/s systems and beyond,” in *proc. ECOC2014*, Cannes, France, Sep. 2014, We2.4.3.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and H. Matsuzaki, “Vertical illumination InAlAs avalanche photodiode for 50-Gbit/s applications,” in *proc. IPRM2014*, Montpellier, France, May 2014, Tu-D3-1.

M. Nada, M. Nakamura and H. Matsuzaki “25-Gbit/s Burst-mode Optical Receiver using High-speed Avalanche Photodiode for 100-Gbit/s Optical Packet Switching,” in *proc. ECOC2013*, London, UK, Sep. 2013, We.2.B.4.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and H. Matsuzaki “Study of lowering onset gain for a high-speed InGaAs/InAlAs avalanche photodiode,” in *proc. IPRM2013*, Kobe, Japan, May 2013, MoD3-5.

M. Nada, Y. Muramoto, H. Yokoyama, T. Ishibashi and S. Kodama, “Lateral scalability of inverted p-down InAlAs avalanche photodiode,” in *proc. IPRM2012*, Santa Barbara, CA, USA, Aug. 2012, We2.D.2.

M. Nada, Y. Muramoto, H. Yokoyama, N. Shigekawa, T. Ishibashi and S. Kodama, “An inverted InAlAs/InGaAs avalanche photodiode with low-high-low field profile,” in *proc. SSDM2011*, Nagoya, Japan, Sep. 2011, I-1-5.

共著

F. Nakajima, M. Nada, T. Yoshimatsu “(Invited) High-speed avalanche photodiode for 100 Gbit/s Ethernet,” in *proc. OFC2015*, Los Angeles, CA, USA, Mar. 2015, M3B. 5.

T. Segawa, M. Nada, M. Nakamura, Y. Suzaki and R. Takahashi, “An 8x8 Broadcast and Select Switch based on Monolithically Integrated 1x8 EAM-Gate Switches,” in *proc. ECOC2013*, London, UK, Sep. 2013, We.4.B.1.

T. Yoshimatsu, M. Nada, M. Oguma, H. Yokoyama, T. Ohno, Y. Doi, I. Ogawa and E. Yoshida, “Compact and High-Sensitivity 100 Gb/s (4×25 Gb/s) APD-ROSA with LAN-WDM PLC Demultiplexer,” in *proc. ECOC2012*, Amsterdam, Nederland, Sep. 2012, Th3B.5.