

審査の結果の要旨

論文提出者氏名 山田 淳二

本論文は、Register Files of Superscalar Processors for Area and Energy Efficiency (スーパスカラプロセッサのレジスタ・ファイルの面積・エネルギー効率向上に関する研究)と題し、英文で 10 章から成る。高性能な out-of-order スーパスカラ・プロセッサ・コアは現在の情報社会の発展の基礎となっているが、最近では、レジスタ・ファイル (RF) と呼ばれる部分の回路面積と消費電力の増加が問題となっている。従来、RF は、マルチポートメモリを用いて構成されており、同時実行命令数の 2 乗に比例して回路規模が拡大することから、回路面積と消費エネルギーが極めて大きい。そこで、RF を、レジスタ・キャッシュ (RC) と、メイン・レジスタ・ファイル (MRF) に分割するレジスタ・キャッシュ・システム (RCS) や、多バンクに分割するマルチバンク・レジスタ・ファイル (MBRF) を用いる手法がいくつか提案されている。

本論文は、塩谷らが提案した NORCS (Non-latency Oriented Register Cache System) のデザイン・評価と、従来の MBRF で問題であったバンク・コンフリクトによる性能低下を解決する 2 つの新しいマイクロアーキテクチャの提案からなる。

新規提案する第一の技術は、Bank-Aware Instruction Scheduler (BAIS) であり、命令のスケジューリング時にバンク・コンフリクトを解決する。第二の技術は、Skewed Multistaged Multibanked Register File (MStage) であり、MBRF へのアクセスに 2 ステージを割当て、バンク・コンフリクトによって命令パイプラインが直ちにストールすることを防ぐ。これらの技術により、IPC (Instructions Per Cycle: クロック・サイクルあたりの実行命令数)を維持しながら、RF の面積と消費エネルギーを大幅に削減することができる。

第 1 章 “Introduction” は、研究の背景、目的を述べるとともに、本論文の構成についてまとめたものである。

第 2 章 “Basics of Register File Systems” は、背景知識として、本論文で面積・エネルギー効率の向上を提案する RF の構造や動作について説明したものである。

第 3 章 “NORCS” は、第 4 章で詳しく評価する NORCS について、マイクロアーキテクチャの観点から説明する。

第 4 章 “Design of NORCS” では、45nm のオープンソースのプロセス・デザイン・キットである FreePDK45 を用いた、NORCS のデザインを示す。マニュアル・レイアウト、RC 容量抽出を行って、SPICE シミュレーションにより最適な設計を検討した。結果は、以前の研究と概ね整合した。また、NORCS や通常の RF のデザインについての有用な情報を提供する。

第 5 章 “Multibanked Register File Systems” では、提案技術の基となる MBRF について説明する。従来、MBRF について詳細に検討した例は少なく、標準的な実装は存在しない。このため本章で、次章以降で述べる提案技術の基となる MBRF を定義する。

第 6 章 “Bank-Aware Instruction Scheduler” では、命令スケジューラにおいてバンク・コンフリクトを解決する技術を提案する。従来、その可能性を示唆した研究はあるが、実際に検討を行った研究はなかった。検討の結果、従来の研究で非現実的とされたバンク毎の調停回路は、大規模ではあるが、並列動作するため遅延は問題とならないことが分かった。

第 7 章 “Skewed Multistaged Multibanked Register File System” では、MBRF へのアクセスに 2 ステージを割当て、バンク・コンフリクトによる命令パイプラインのストールを削減する技術を提案する。提案技術では、バンク・コンフリクトが発生したアクセスを 2 ステージ目に繰越して 2 回目のチャンスを与えることでストール確率を大幅に低下させる。

第 8 章 “Evaluation of IPC” では、提案手法の IPC についてシミュレータを用いて行った評価の結果を示す。SPEC CPU 2006 ベンチマークの全 29 プログラムを実行した結果、従来の大規模な RF に比較して、24 バンクの BAIS では平均 97.2%、18 バンクの MStage では 97.3% の IPC を維持できることが確認された。

第 9 章 “Evaluation of Area and Energy Consumption” では、CACTI と FreePDK15 の組み合わせにより、面積とエネルギーの評価を行った。この結果、RF の面積とエネルギーは、NORCS を基準とした場合に、24 バンクの BAIS で 23.6% 及び 61.8%、18 バンクの MStage で 40.6% 及び 68.9% 削減できることが示され、有用性を確認できた。

第 10 章 “Conclusion” は、結論を述べ、展望を示して、本論文を結んでいる。

以上、これを要するに本論文はスーパスカラプロセッサのレジスタ・ファイルの面積・エネルギー効率向上について新規性に富む優れた方式提案を行い、緻密な評価によってその有用性を検証しており、電子情報学の発展に寄与するところが小さくない。

よって本論文は博士(情報理工学)の学位請求論文として合格と認められる。