

# 博士論文

金属/ゲルマニウム界面におけるフェルミレベルピンニングの研究

西村 知紀



## 目次

第 1 章 序論	1
1.1 電界効果トランジスタ (MOSFET) の高性能化	2
1.1.1 微細化による高性能化	
1.1.2 新たなチャネル材料への期待	
1.2 ゲルマニウム (Ge) MOSFET	6
1.2.1 nFET 特性の改善	
1.2.2 ゲート絶縁膜の薄膜化と信頼性の向上	
1.2.3 残される課題	
1.3 金属/半導体界面におけるショットキー障壁高さ	14
1.3.1 Schottky-limit と Bardeen-limit	
1.3.2 界面準位密度とショットキー障壁高さ	
1.4 金属/半導体界面における Fermi-level pinning (FLP) メカニズム	19
1.4.1 FLP モデルの整理	
1.4.2 Metal induced gap states (MIGS)	
1.4.3 Bond polarization model	
1.4.4 Disorder induced gap states (DIGS)	
1.4.5 Universal defect model	
1.5 本研究の目的と本論文の構成	30
第 2 章 金属/Ge 界面の Fermi-level pinning	35
2.1 金属/Ge 界面のショットキー障壁高さについての先行研究	36
2.2 金属/Ge 界面の FLP	37
2.2.1 試料作成	
2.2.2 金属/Ge 接合の電流-電圧特性	
2.2.3 ショットキー障壁高さの見積もり	
2.2.4 金属の仕事関数と金属/Ge 界面のショットキー障壁高さ	
2.2.5 Ge の FLP と Si の FLP の比較	
2.3 金属/Ge 界面における支配的な FLP メカニズムの推測	52
2.3.1 これまでの結果と各種モデルとの整合性	
2.3.2 外因的欠陥に由来する FLP の可能性について	
2.4 MIGS 抑制のアプローチ	58
2.5 本章のまとめ	60

第 3 章	極薄絶縁膜を用いた FLP の緩和	65
3.1	界面層の導入による MIGS 緩和の試み	66
3.2	十分厚い絶縁膜を用いた金属/絶縁膜/Ge 界面の FLP	68
3.3	低仕事関数金属/極薄 GeO <sub>2</sub> /Ge 接合の電流-電圧特性	70
3.4	金属/極薄 GeO <sub>2</sub> /Ge 界面における FLP	74
3.5	膜厚効果と界面効果の区分け -GeO <sub>2</sub> 膜厚依存性-	76
3.6	様々な界面層での FLP 緩和	81
3.7	バンドオフセットと絶縁膜	83
3.7.1	トンネル抵抗	
3.7.2	TiO <sub>2</sub> 界面層による金属/Ge 界面の FLP 緩和	
3.7.3	更なる低抵抗化に向けた近年の試み	
3.8	メタルソースドレイン Ge n-MOSFET 動作の実証	88
3.9	その他の半導体への応用	92
3.10	本章のまとめ	93
第 4 章	金属特性の制御による FLP の緩和	97
4.1	金属側からの FLP 制御	98
4.1.1	MIGS の再考と金属中の自由電子密度	
4.1.2	結合を考慮した MIGS における金属の影響	
4.2	低自由電子密度金属の選択	104
4.3	低自由電子密度金属/Ge 界面の FLP	106
4.3.1	試料作成	
4.3.2	ジャーマナイド形成の確認と相の同定	
4.3.3	ジャーマナイドの仕事関数とキャリア密度	
4.3.4	ジャーマナイド/Ge 接合の電流-電圧特性	
4.3.5	ジャーマナイド/Ge 界面のショットキー障壁高さと FLP	
4.4	半金属 Bi/Ge 界面におけるバンドアライメント	117
4.5	FLP の傾向から逸れた n-Ge への低ショットキー障壁	119
4.6	低自由電子密度金属の薄膜化	122
4.6	本章のまとめ	124
第 5 章	FLP 緩和に伴う界面効果の顕在化と ショットキー障壁高さ制御性の向上	127
5.1	MIGS により隠されていた界面特性	128
5.2	Ge 基板面方位の寄与	132
5.2.1	ジャーマナイド/Ge 界面	



5.2.2	元素金属/極薄絶縁膜/Ge 界面	
5.2.3	ダイレクト金属/Ge 界面における Ge 面方位の寄与	
5.3	極薄絶縁膜種と FLP エネルギー準位	141
5.4	本章のまとめ	144
第 6 章	金属/半導体界面における	
	ショットキー障壁高さの制御性に関する考察	147
6.1	金属/半導体界面における金属の仕事関数と FLP	148
	6.1.1 MIGS と仕事関数表面項	
	6.1.2 金属/半導体界面における金属の仕事関数	
6.2	金属/半導体界面における FLP の制御	153
第 7 章	総括	157
付録	実験手法	161
	A Ge 基板	
	B プロセス装置	
	C 構造解析装置	
	D 電気特性評価装置	
	業績リスト	179
	謝辞	185



## 図目次

- 図 1.1 Intel 社プロセッサにおける年代とトランジスタ実装数
- 図 1.2 Ge pMOSFET 及び nMOSFET の移動度特性
- 図 1.3 Ge nMOSFET におけるピーク移動度報告値の時系列
- 図 1.4 ゲートスタックにおける rigidity
- 図 1.5 YScO<sub>3</sub>/Y-doped GeO<sub>2</sub>/Ge スタックにおける容量-電圧特性
- 図 1.6 Si 及び Ge 中の各種元素の拡散係数
- 図 1.7 Si nFET のスケーリングにおけるチャネル長と寄生抵抗成分の関係
- 図 1.8 半導体の不純物イオン濃度に応じた電流メカニズム
- 図 1.9 Ge 中各元素の固溶限
- 図 1.10 Schottky-Mott モデルに沿った金属/半導体界面のバンドアライメント
- 図 1.11 Bardeen limit における金属/半導体界面のバンドアライメント
- 図 1.12 半導体側の界面準位を想定した金属/半導体界面のバンドアライメント
- 図 1.13 界面準位モデルに沿った  $D_{it}$  と S パラメータの関係
- 図 1.14 種々の FLP モデル
- 図 1.15 Mönch により整理された FLP 強さと光学誘電率の関係
- 図 1.16 半導体の Branch point と Fermi 準位のアライメントに基づいた MIGS による界面の実効電荷, 及びそれに伴うバンドアライメントの変化
- 図 1.17 半導体の FLP 強さと  $E_g$  の関係
- 図 1.18 様々な半導体の絶縁膜/半導体界面, 金属/半導体界面の電荷中性準位
- 図 1.19 様々な半導体の S パラメータと  $E_{HO}-E_v$  の相関
- 図 1.20 金属の仕事関数と金属/6H-SiC 界面ショットキー障壁高さの SiC 洗浄法依存性
- 図 1.21 GaAs, GaSb, InP における表面での FLP, 及び推測される半導体の欠陥準位
- 図 1.22 Au/GaSb 基板表面からの光電子スペクトル
- 図 2.1 これまでに報告されている金属の仕事関数と金属/n-Ge 界面のショットキー障壁高さの関係
- 図 2.2 金属/Ge 界面ショットキー障壁高さの金属仕事関数依存性の調査に用いた金属とその仕事関数, 及び Si, Ge の伝導帯端, 価電子帯端との関係
- 図 2.3 代表的な金属/Ge 接合の電流 - 電圧特性
- 図 2.4 代表的な金属/Si 接合の電流 - 電圧特性
- 図 2.5 電流, 及び容量とショットキー障壁高さの関係を示す模式図
- 図 2.6 典型的なショットキー接合の電流-電圧特性と飽和電流密度  $J_s$  の導出
- 図 2.7 典型的なショットキー接合の容量-電圧特性
- 図 2.8 I-V 法, C-V 法で見積もることができるショットキー障壁高さの範囲

- 図 2.9 局所的な低ショットキー障壁が均一性を仮定した実効ショットキー障壁高さの見積りに与える影響
- 図 2.10 金属の仕事関数と金属/n-Ge 界面におけるショットキー障壁高さの関係
- 図 2.11 Dimoulas らが調査した金属の仕事関数と金属/n-Ge 界面におけるショットキー障壁高さの関係
- 図 2.12 金属の仕事関数と金属/n-Si, 金属/n-Ge 界面のショットキー障壁高さ
- 図 2.13 低温界面形成及び Ge 基板面方位と界面のショットキー障壁高さの関係
- 図 2.14 H<sub>2</sub>アニール (650°C, 15min) 前, 及び直後の Ge(111)表面の原子間力顕微鏡像 (1 μm<sup>2</sup>) 及び後者の横軸方向の断面高さプロファイル
- 図 2.15 アニール (500°C, 5min) 処理により Ge(111)表面を平坦化して形成した金属/Ge 界面のショットキー障壁高さ
- 図 2.16 各種半導体構成元素の光学誘電率 (誘電バンドギャップと相関) と FLP 強さ S の関係 (図 1.14 と同じ)
- 図 3.1 空間的ギャップの形成による MIGS 抑制の概念図
- 図 3.2 金属/GeO<sub>2</sub> (15 nm) /p-Ge キャパシタの容量-電圧特性
- 図 3.3 C-V 特性より推測される強い FLP を有さない金属/GeO<sub>2</sub>/Ge スタックにおける(a)金属/絶縁膜及び(b)絶縁膜/Ge 界面
- 図 3.4 Al/極薄 GeO<sub>2</sub>/Ge 接合の電流-電圧特性 (log スケール)
- 図 3.5 Al/極薄 GeO<sub>2</sub>/Ge 接合の電流-電圧特性 (線形スケール)
- 図 3.6 界面絶縁膜による実効なショットキー障壁低下の可能性
- 図 3.7 電流-電圧特性より推測される Al/極薄 GeO<sub>2</sub>/Ge 界面のバンドアライメント
- 図 3.8 Al/極薄 GeO<sub>2</sub>/Ge 界面の断面 TEM 観察像
- 図 3.9 (a)極薄 SiN 膜による金属/Si 界面の MIGS の抑制イメージと(b)Mg/n-Si 界面のショットキー障壁の低減
- 図 3.10 金属の真空仕事関数と金属/GeO<sub>2</sub> (~1 nm) /Ge 接合界面のショットキー障壁高さの関係
- 図 3.11 連続的に界面 GeO<sub>2</sub> 膜厚を変化させた金属/GeO<sub>2</sub>/Ge 接合を作成するプロセスを示す模式図
- 図 3.12 同一基板上に作成した Al, Cu, Au/極薄 GeO<sub>2</sub>/n-Ge(100)接合の電流-電圧特性
- 図 3.13 同一基板上に作成した Al, Cu, Au/極薄 GeO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さ と GeO<sub>2</sub> 膜厚の関係
- 図 3.14 Al, Cu, Au/極薄 GeO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さより見積もった S パラメータと GeO<sub>2</sub> 膜厚の関係
- 図 3.15 GeO<sub>2</sub> 膜を構成する基礎構造である GeO<sub>4</sub> 四面体
- 図 3.16 単純化した絶縁膜による MIGS の低減のシミュレーション
- 図 3.17 金属の真空仕事関数と金属/極薄界面層/Ge 接合におけるショットキー障壁高さ

- 図 3.18 Direct tunneling と Fowler-Nordheim tunneling
- 図 3.19 様々な絶縁膜と Ge 伝導帯とのバンドオフセット
- 図 3.20 Al/TiO<sub>2</sub>/Ge 接合の電流-電圧特性
- 図 3.21 Al, Cu, Au/極薄 TiO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さと TiO<sub>2</sub> 膜厚の関係
- 図 3.22 ドーピングにより伝導性を高めた酸化膜界面層 (ZnO, ITO) を用いた際の Ti/n-Ge コンタクト抵抗
- 図 3.23 メタルソースドレイン型 n-MOSFET における on-off 動作を示すソース-チャンネル-ドレイン間のバンド図
- 図 3.24 Al/極薄 GeO<sub>2</sub>/Ge コンタクトを用いたメタルソースドレイン型 n-MOSFET の断面構造模式図
- 図 3.25 Al/極薄 GeO<sub>2</sub>/Ge コンタクトを用いたメタルソースドレイン型 n-MOSFET の I<sub>s</sub>-V<sub>d</sub> 特性
- 図 3.26 Al/極薄 GeO<sub>2</sub>/Ge コンタクトを用いたメタルソースドレイン型 n-MOSFET における反転層キャリア移動度
- 図 3.27 極薄界面層による Al/GaAs コンタクト抵抗の低減
- 図 3.28 極薄界面層によるペンタセンへのオーミック接合形成
- 図 4.1 半導体及び真空への波動関数の浸み出しと界面及び表面に形成されるダイポール
- 図 4.2 エネルギースケールにおける金属の仕事関数の内訳
- 図 4.3 金属中の自由電子密度との金属の真空仕事関数, バルク項, 表面項
- 図 4.4 金属の仕事関数と元素金属/Si, シリサイド/Si 界面のショットキー障壁高さの関係
- 図 4.5 元素金属/Si 及びシリサイド/Si 界面における MIGS の起源となるダングリングボンド
- 図 4.6 本研究で用いたジャーマナイド/Ge 接合の作成プロセス
- 図 4.7 熱処理後における金属/Ge スタックの代表的な XRD プロファイル
- 図 4.8 Au の UPS スペクトル
- 図 4.9 UPS により見積もったジャーマナイド及び元素金属の仕事関数と元素金属の仕事関数の文献値の関係
- 図 4.10 磁束密度とジャーマナイドの Hall 電圧の関係
- 図 4.11 代表的なジャーマナイド, 元素金属/n-Ge(100) 接合の電流-電圧特性
- 図 4.12 作成した全てのジャーマナイド/n-Ge(100) 接合の電流-電圧特性
- 図 4.13 I-T 法によるジャーマナイド/Ge 界面のショットキー障壁高さとリチャードソン定数 A の見積もり
- 図 4.14 C-V 法によるジャーマナイド/Ge 界面のショットキー障壁高さの見積もり
- 図 4.15 ジャーマナイドの仕事関数とジャーマナイド/n-Ge(100)界面のショットキー障壁高さの関係

- 図 4.16 半金属 Bi/Ge(100)接合の電流-電圧特性
- 図 4.17 Bi の仕事関数とショットキー障壁高さの関係
- 図 4.18 n-Ge に対して低ショットキー障壁を形成することが報告された金属の例
- 図 4.19 Fe<sub>3</sub>Si/Ge(111)界面の格子整合性と TEM 像
- 図 4.20 GdGe<sub>x</sub>/n-Ge 界面のショットキー障壁高さの GdGe<sub>x</sub> 膜厚依存性
- 図 4.21 GdGe<sub>x</sub> バルク抵抗とコンタクト抵抗の総和に対する試算
- 図 5.1 MIGS の緩和による界面構造に由来したダイポールの顕在化を示す模式図
- 図 5.2 FLP メカニズム A と B が共存する際の実効的な FLP 強さ  $S^{\text{TOT}}$  と FLP エネルギー準位  $\Phi_{\text{CNL}}^{\text{TOT}}$
- 図 5.3 FLP メカニズム A と B が共存する際の実効的なショットキー障壁高さと金属の仕事関数の関係
- 図 5.4 FLP とダイポールが共存する際の実効的なショットキー障壁高さと金属の仕事関数の関係
- 図 5.5 様々な面方位の Ge 基板上に形成した Gd ジャーマナイド/n-Ge 接合の電流-電圧特性
- 図 5.6 I-T 法により見積もった Gd ジャーマナイド/n-Ge 界面のショットキー障壁高さとりチャードソン定数  $A^*A$
- 図 5.7 低温 (100K) にて C-V 法により見積もった Gd ジャーマナイド/n-Ge 界面ショットキー障壁高さ
- 図 5.8 様々なジャーマナイド/n-Ge 界面のショットキー障壁高さ
- 図 5.9 Gd ジャーマナイド/n-Ge スタックにおける Gd ジャーマナイドの配向性の Ge 基板面方位依存性
- 図 5.10 Gd ジャーマナイド/n-Ge(111)界面の断面 TEM 像, 界面近傍の拡大像, 及び Gd ジャーマナイド領域の FFT 像
- 図 5.11 単純立方格子における Smoluchowski 効果の概念図
- 図 5.12 1.6 nm の GeO<sub>2</sub> 膜を界面に導入した Al/Ge 接合における電流-電圧特性の面方位依存性
- 図 5.13 Bi/ Ge(100), (111)接合における電流-電圧特性, 及び界面のバンドアライメントの模式図
- 図 5.14 Ge を含むダイヤモンド構造半導体における各面の結合とその密度
- 図 5.15 Ge 表面の結合電子由来のダイポールと伝導帯へのショットキー障壁高さの関係
- 図 5.16 様々な絶縁膜を導入した元素金属/Ge 界面の FLP
- 図 6.1 真空への波動関数の浸み出しと半導体への波動関数の浸み出し, 及びそれぞれに対応する表面, 界面ダイポール
- 図 6.2 図 6.2 金属から真空, 及び半導体に対する電子, 及び正孔の浸み出しと障壁の関係
- 図 6.3 IV 族半導体のバンドギャップと支配的な FLP メカニズム

- 図 6.4 フラットバンド電圧より求めた  $\text{SiO}_2$  上と  $\text{HfSiON}$  上の実効仕事関数
- 図 6.5 金属/絶縁膜界面における電子軌道の混成

## 表目次

- 表 1.1 電界一定における MOSFET のスケーリング則
- 表 1.2 様々な半導体材料のバルク中の電子・正孔移動度とバンドギャップ
- 表 1.3 実験的に得られたショットキー障壁高さと半導体の Branch point との関係
- 表 2.1 Si, Ge, GaAs における  $A^*$
- 表 2.2 金属の仕事関数  $\Phi_m$  と I-V 法, C-V 法で見積もられた n-Ge(100)へのショットキー障壁高さ  $\Phi_{bn}$
- 表 4.1 典型的な元素金属中の自由電子密度
- 表 4.2 典型的な金属 Si 化合物金属中のキャリア密度
- 表 4.3 UPS にて決定したジャーマナイドの仕事関数とジャーマナイド/n-Ge(100) 界面のショットキー障壁高さ
- 表 6.1 真空, 及び半導体への波動関数の浸み出しに関するキャリアのタイプと浸み出しを決める障壁高さ, 及び浸み出しによる表面・界面ダイポールが 0 となる電荷中性準位



## 第 1 章 序論

本研究では微細化された Ge Complementary metal-oxide-semiconductor (CMOS) デバイスにおける金属/Ge 界面のショットキー障壁高さの決定機構, 及び制御性に焦点を当てる.

本章ではまずこれまでの Si CMOS 技術における高性能化の歴史, 及び今後の高性能化の選択肢として有力な Ge CMOS の可能性について述べる. 次に Ge CMOS の実現に向けてこれまで克服されてきた課題, 未だ残されている課題について紹介すると共に, 本研究で注目する金属界面に形成されるショットキー障壁高さとの関係について述べる. 最後に, 今日もなお議論をされ続けている金属/半導体界面のショットキー障壁高さの決定機構について整理をするとともに, これらを踏まえて本研究の目的及び本論文の構成について記す.

## 1.1 電界効果トランジスタ (MOSFET) の高性能化

### 1.1.1 微細化による高性能化

今日の高度情報化社会を支える電子デバイスは多岐に渡るが、その基礎は半導体大規模集積回路 (VLSI) 技術により支えられている。VLSI を構成する金属-酸化膜-半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field effect transistor: MOSFET) の高性能化は、これまで Dennard により見いだされた法則 (Dennard 則, スケーリング則) に基づいた微細化により達成されている。表 1.1 に示す通り、デバイス内の電界を一定とする様にデバイスのサイズであるゲート長  $L$ , ゲート幅  $W$ , ゲート酸化膜厚  $t_{ox}$ , 接合深さ  $x_j$  のサイズを  $k$  倍 ( $k < 1$ ) に縮小し、チャンネル不純物濃度を  $1/k$  倍、デバイスの動作電圧が  $k$  倍にすることで、デバイス当たりの遅延時間を  $k$  倍に、デバイス当たりの消費電力を  $k^2$  倍にすることができる。またデバイスの消費電力密度を保持したまま、集積度が  $1/k^2$  倍上がることを示す。この微細化に伴う高性能化、更にはコストの低減等のアドバンテージもあり、Moore の法則に沿った微細化が進められている。実際に Intel 社のプロセッサにおける年代とトランジスタ実装数の関係[1]をみても明らかである (図 1.1)。

表 1.1 電界一定における MOSFET のスケーリング ( $k < 1$ ) 則.

デバイスパラメータ			性能パラメータ		
		スケーリング因子 ( $k < 1$ )			スケーリング因子 ( $k < 1$ )
チャンネル長	$L$	$k$	電界	$E$	1
チャンネル幅	$W$	$k$	電流	$I$	$k$
ゲート酸化膜厚	$t_{ox}$	$k$	ゲート容量	$C$	$k$
接合深さ	$x_j$	$k$	遅延時間 (デバイス当たり)	$CV/I$	$k$
チャンネル不純物濃度	$N$	$1/k$	消費電力 (デバイス当たり)	$IV$	$k^2$
動作電圧	$V$	$k$	消費電力密度	$IV/S$	1
デバイス面積	$S$	$k^2$			

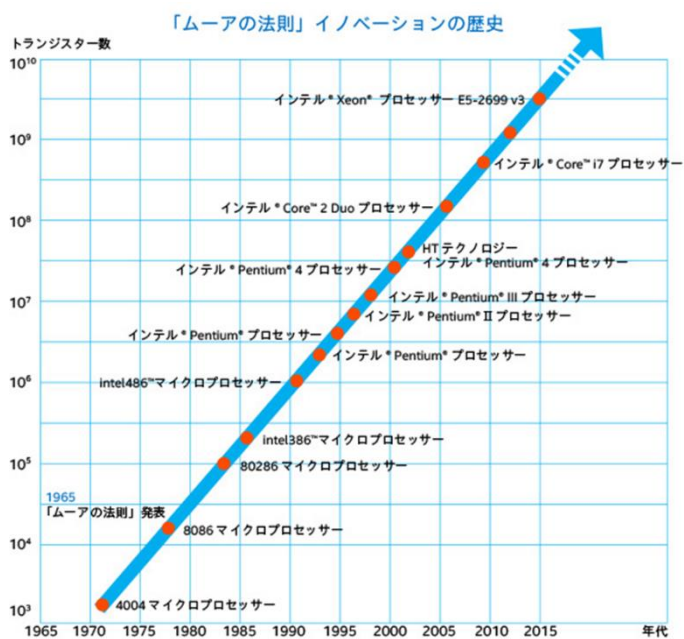


図 1.1 Intel 社プロセッサにおける年代とトランジスタ実装数.  
 “「ムーアの法則」イノベーションの歴史”より  
 <<http://www.intel.co.jp/content/www/jp/ja/innovation/processor.html>>  
 (最終アクセス 2017 年 2 月 28 日)

### 1.1.2 新たなチャネル材料への期待

Si MOSFET におけるゲート絶縁膜は Si チャネルと電氣的に極めて良好な界面を形成可能な SiO<sub>2</sub> が用いられてきた。しかしながら 2000 年代になり微細化に伴い SiO<sub>2</sub> が 2 nm 程度にまで薄膜化されると、ゲート絶縁膜を介したトンネルリーク電流が大きな課題となった。この課題を解決するに当たり、電氣的膜厚を薄く且つトンネルリークを抑制可能な物理膜厚を確保できる SiO<sub>2</sub> に比べて誘電率が高い SiON 膜が採用された。その後、更なる微細化による電氣的膜厚の薄膜化の要求に基づいて、いよいよゲート絶縁膜は Si ベースの絶縁膜を離れ、“high-k” と呼ばれる Hf 酸化膜、更にはゲート poly-Si 電極の容量を低減する為の TiN 等の金属ゲート電極が導入されるに至っている。ゲートスタックにおいて Si ベースの材料に留まらず様々な材料が用いられる様になった現在においては、チャネル材料についてもより大きな電流が得られる他の材料を適用することが選択肢になりつつある。

典型的な IV 族半導体、及び III-V 族半導体のバルク中における電子及び正孔の移動度、及びバンドギャップを表 1.2 に示す。III-V 族半導体は圧倒的に高い電子移動度を有し、電子をキャリアとする nMOSFET に対しては大きなアドバンテージがある。が、一方で正孔の移動度は電子と比較してかなり低い。高い正孔移動度を有する材料はバンドギャップも極めて狭いものとなり、室温付近での動作を前提とするデバイスにおいては実用的ではない。一方で、Ge は電子・正孔共に Si の数倍移動度が高く、電子と正孔をそれぞれキャリアとする nMOSFET と pMOSFET において高性能化を実現できるポテンシャルを有している。

表 1.2 様々な半導体材料のバルク中の電子・正孔移動度とバンドギャップ。

	Si	Ge	GaAs	In <sub>0.47</sub> Ga <sub>0.53</sub> As	InSb
Electron mobility (cm <sup>2</sup> /Vs)	1500	3900	8500	7800	80000
Hole mobility (cm <sup>2</sup> /Vs)	450	1900	400	450	1250
Band gap (eV)	1.12	0.66	1.42	0.74	0.17

VLSI 中の演算回路がこれらの nMOSFET と pMOSFET を相補的に用いた Complimentary Metal-Oxide-Semiconductor (CMOS) により成り立っていることを考えると, Ge は Ge のみの単一材料で Si CMOS を高性能化できることを意味している. また更に Si と同じ IV 族半導体であることは, これまでの Si において構築されたプロセス資産を適用し易いこともメリットとして挙げられるだろう.

Si に対して電子, 正孔移動度においてアドバンテージを有する Ge は MOSFET の歴史においてその酸化膜である  $\text{GeO}_2$  膜が水溶性であることによるプロセス耐性の低さ ( $\text{SiO}_2$  は極めて安定である), 及び電氣的に劣悪な  $\text{GeO}_2/\text{Ge}$  界面特性 ( $\text{SiO}_2/\text{Si}$  界面は電氣的に極めて良好) により, Si によって実は一度淘汰されている. しかしながら, 様々な材料が導入され始めた現在, Ge が改めて見直されているのである.

## 1.2 Ge MOSFET

### 1.2.1 nFET 特性の改善

Siに代わるチャネル材料としてGeが注目されたのは2002年末における国際電子デバイス会議 International Electron Devices MeetingにおいてStanford大学のChuiらによる報告[2]がきっかけであろう。High-k材料となり得るZrO<sub>2</sub>膜をゲート絶縁膜に用い、正孔をキャリアとするpFETにおいて既にSi MOSFETにおけるユニバーサル移動度[3]の2倍に至る特性が報告された。以降、pFETに関してはSiを上回りながら、更に改善された移動度特性が報告されるに至っている。

ところが一方で電子をキャリアとするnFETについては予想以上に特性が悪いことが分かってきた。pFETにおいて良好な特性が報告されて以降もnFETに関してはSiのユニバーサル移動度を越えることすら適わなかった[4]のである。その頃より当研究室においてもGeの研究を始め、ゲートスタックに関する研究を進めてきた。詳細は各々の論文に譲るが、まず基本構造であるGeO<sub>2</sub>/Geスタックに立ち戻り、GeOの脱離が界面を電氣的に劣化させることを明らかにすると共に[5]、その上でGeOの脱離を動力学・熱力学的に制御することに成功した[6]。またそれに適したhigh-k材料を用いることにより、pFETは勿論、nFETにおける移動度特性の大幅な改善(図1.2)が当研究室を含めいくつかの研究グループより報告されるに至っている。[7,8]。

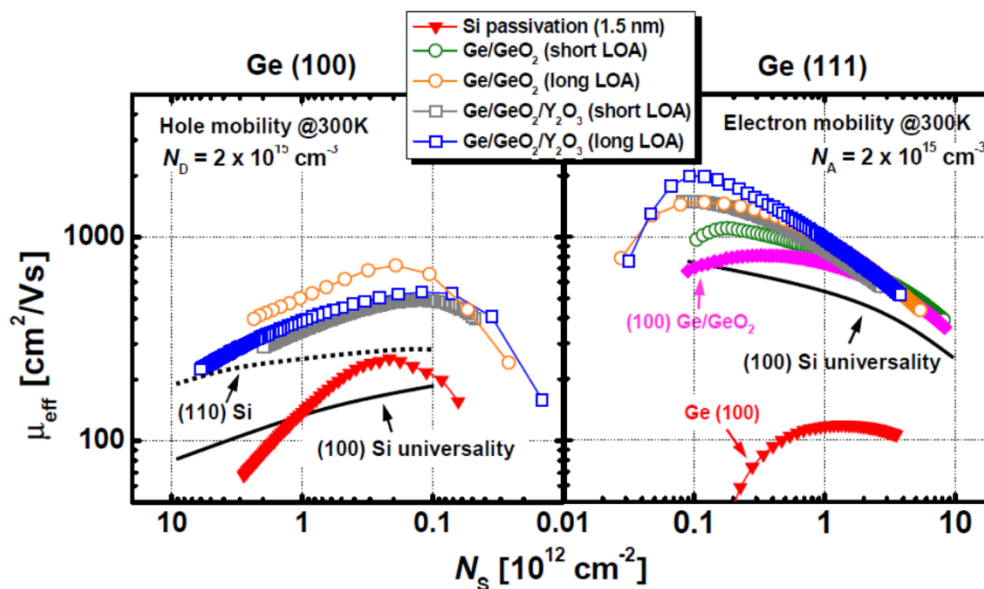


図 1.2 Ge pMOSFET 及び nMOSFET の移動度特性.  
C. H. Lee, et al., Tech, Dig. IEDM 2010. より.

また、Ge nFET のピーク移動度の報告値を時系列的に図 1.3 に示す。2009 年以降に至っては ref. 7, 8 の結果を含め Si ユニバーサル, 及び歪 Si を意識できる Si ユニバーサルの 2 倍を越える極めて高い移動度特性が得られるまでに改善をしており, Ge CMOS のパフォーマンスにおけるポテンシャルがいよいよ示されたのである。

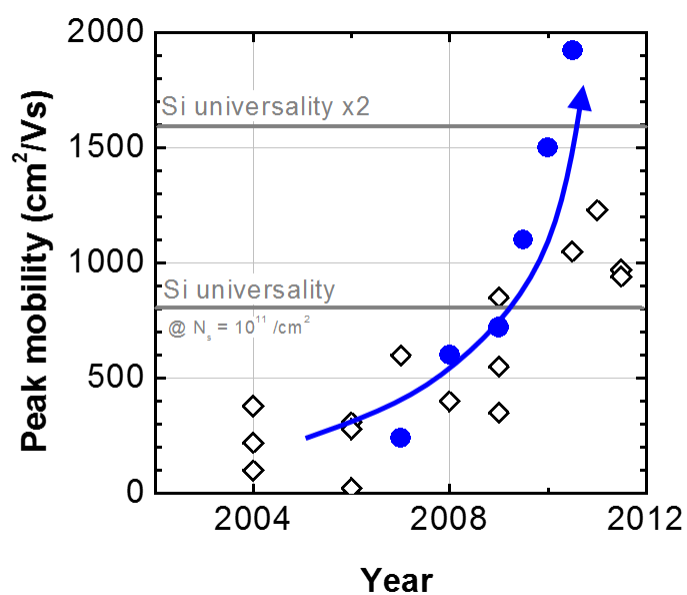


図 1.3 Ge n-MOSFET におけるピーク移動度報告値の時系列.  
青丸で示す点は当研究室において得られてきた結果.

## 1.2.2 ゲート絶縁膜の薄膜化と信頼性の向上

その後 Ge ゲートスタックにおいて GeO<sub>2</sub> 膜は界面層として極めて良い初期特性を示すことはよく知られる様になったが、当然ながら Ge CMOS を適用する世代においては、微細化そのものも極限に進んでいるであろう。SiO<sub>2</sub> 膜厚換算で 0.5 nm を切る様な電氣的な膜厚に加え、更には十分なリーク電流の抑制、加えて信頼性の高さが要求される。ゲート絶縁膜の薄膜化においては、既に Si において適用されている HfO<sub>2</sub> 膜と良好な界面を形成できる Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge スタックを組み合わせた例[8]等が知られている。一方当研究室では絶縁膜中の結合において rigidity という考え方を導入し、GeO<sub>2</sub> 膜に希土類系金属元素である Y を添加することにより、絶縁膜/Ge 界面の界面準位（若しくは初期のトラップ準位）と電氣的なストレスに起因したトラップ準位生成のバランスのとり方の重要性について、酸化膜信頼性の観点から提案した（図 1.4）[9]。また更に希土類系高誘電率膜 YScO<sub>3</sub> 膜を組み合わせると SiO<sub>2</sub> 膜厚換算で 0.5 nm のゲートスタックを達成している（図 1.5）[10]。

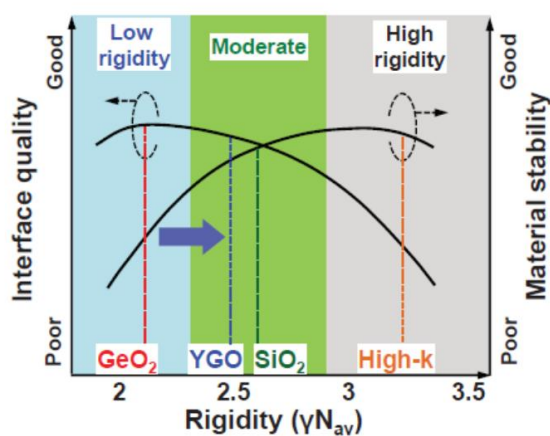
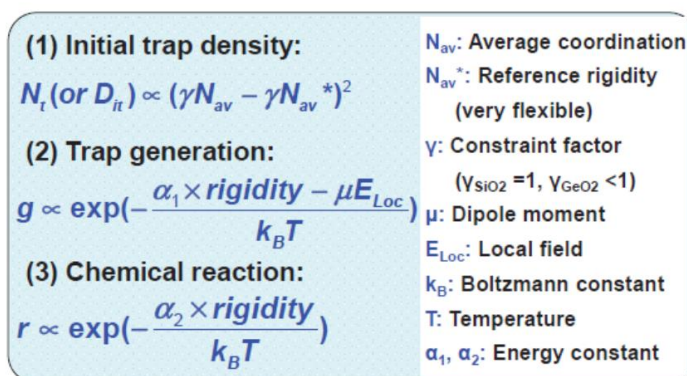


図 1.4 ゲートスタックにおける rigidity.  
C. Lu, et al., Tech. Dig. IEDM 2015. より。



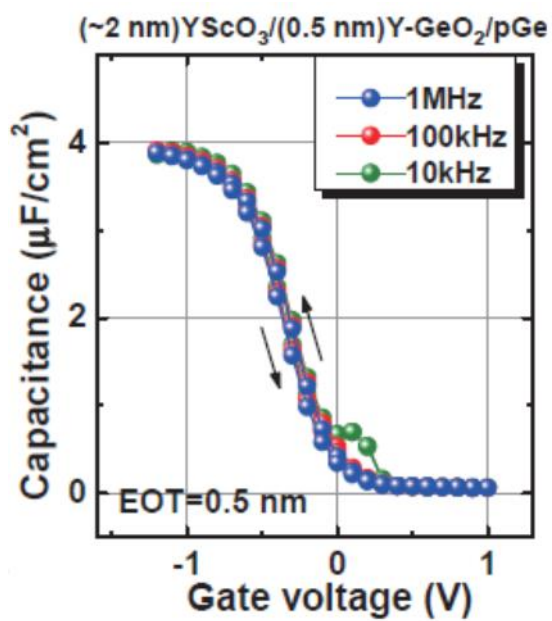


図 1.5 YScO<sub>3</sub>/Y-doped GeO<sub>2</sub>/Ge スタックにおける容量-電圧特性.  
魯 辞莽, 博士論文 東京大学 (2015). より.

### 1.2.3 残される課題

前項までに紹介した様に Ge CMOS に向けたゲートスタックの技術はパフォーマンス, スケーリング, 信頼性等の点において大幅に改善されている. 一方でソースドレイン周辺に課題が残されており, これらは Ge に限られた話ではないが代表的なものとして極浅接合の形成と寄生抵抗の低減が挙げられる.

極浅接合の形成は微細化に伴い顕著になる短チャネル効果を制御する為に要求される. 既に Si MOSFET の構造がプレーナーより FIN 構造へとシフトし, 今後 Gate All Around 構造に移ったとしても, 微細化されたデバイス構造の中で不純物元素はより精緻に導入されなければならない. 興味深い点は Si においては p 型不純物の拡散が n 型不純物の拡散に比べて速い (拡散係数のプリファクターが 1 桁程度大きい) ことが知られているが, Ge ではこれが逆で n 型不純物の拡散が圧倒的に速く (図 1.6) [11], 更には欠陥などにより増速拡散することである. 詳細については割愛するが, 特に Ge nMOSFET において問題となるであろう n 型不純物の拡散制御は依然残る大きな課題の一つである.

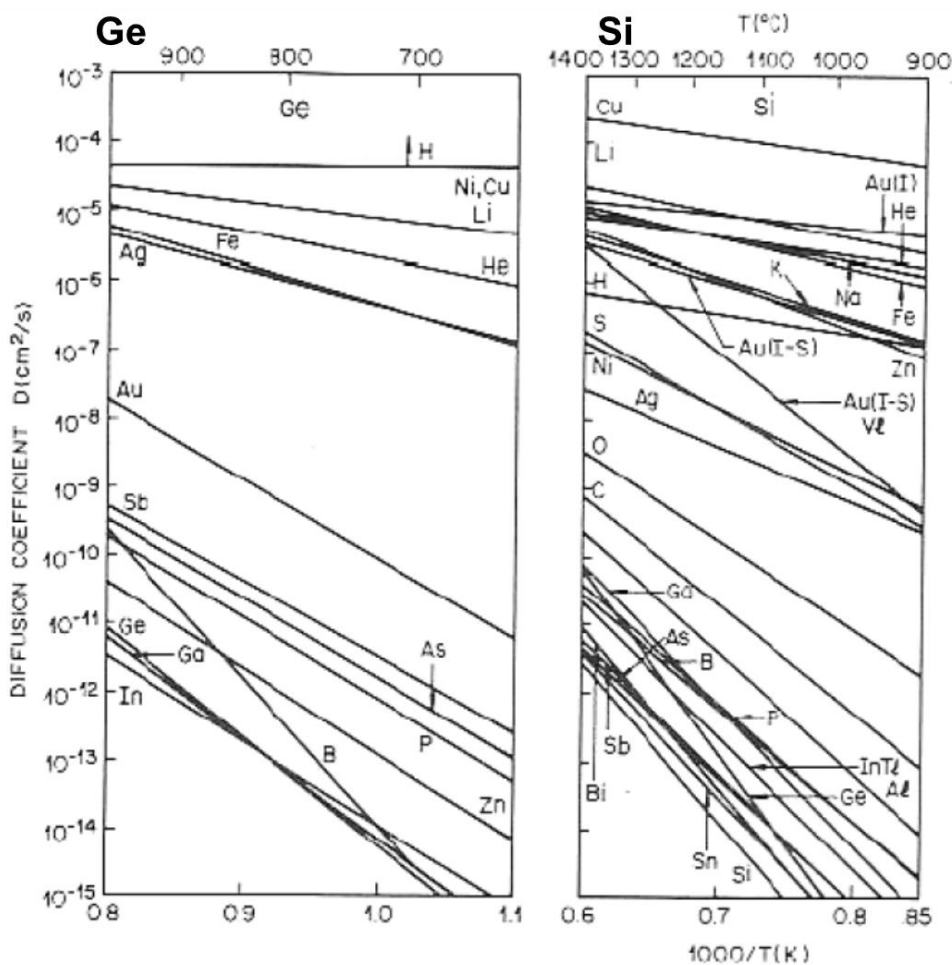


図 1.6 Si 及び Ge 中の各種元素の拡散係数.

寄生抵抗の問題は、微細化に伴う数少ない弊害の1つである。微細化に伴う寄生抵抗の問題は既に1980年代より議論が行われており、Si MOSFETのチャネル長に対して各寄生抵抗要素の寄与について見積もった結果[12]を図1.7に示す。

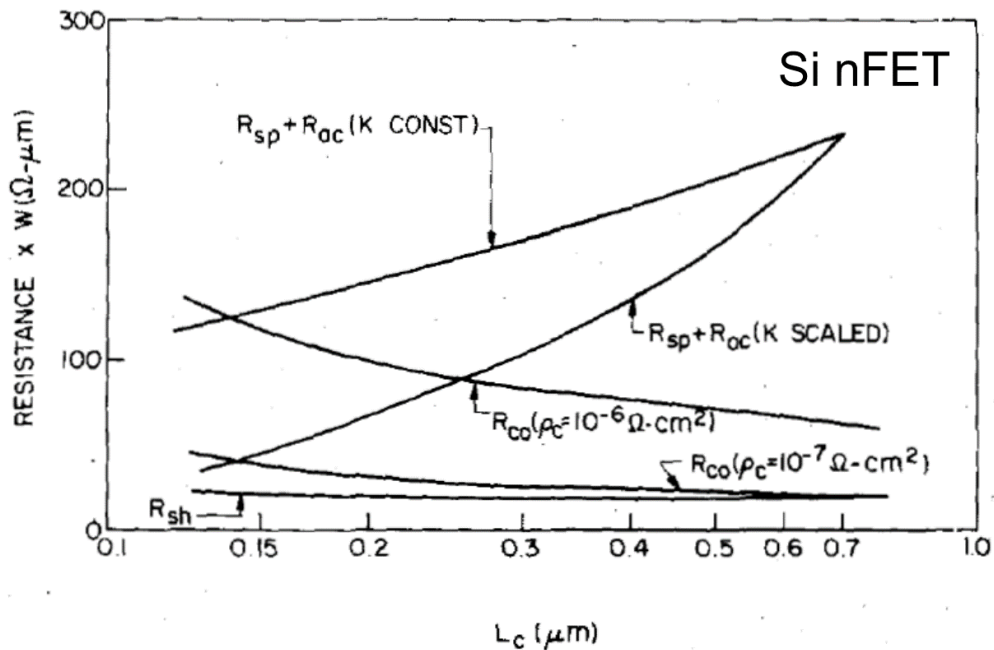


図 1.7 Si nFET のスケーリングにおいて  
対応するチャネル長と寄生抵抗成分の関係。

K. K. Ng, and W. T. Lynch, IEEE Trans. Electron Devices **34**, 503  
(1987). より。

ここで  $R_{ac}$  はゲート電極直下の蓄積層抵抗,  $R_{sh}$  は高濃度ソースドレイン領域のシート抵抗,  $R_{sp}$  は高濃度域がゲート直下にて深さ方向に縮小する領域で生じる拡がり抵抗,  $R_{co}$  は金属/Si コンタクト抵抗に相当する。図 1.7 の横軸を左に向かうにつれて、即ちスケーリング則に沿って微細化が進むにつれて、金属/半導体界面のコンタクト抵抗が本質的に大きな課題となることが示唆されている。コンタクト抵抗率は次頁以降に示す様にスケーリング則に含まれないパラメータを含めて決まる為、図に示されている様にスケーリング則外の問題も含めて如何にコンタクト抵抗率  $\rho_c$  を低減できるかが重要となる。

では金属/半導体界面におけるコンタクト抵抗率 $\rho_c$ を決めるパラメータについて示す. その前に金属/半導体界面を流れる電流のメカニズムには Thermionic emission, Thermionic field emission, そして Field emission (図 1.8) の3つの分類がある[13]が, コンタクト抵抗を低減するためにも半導体側に十分不純物が導入された界面においては, ショットキー障壁を直接トンネルする Field Emission 過程で電流が流れることとなる.

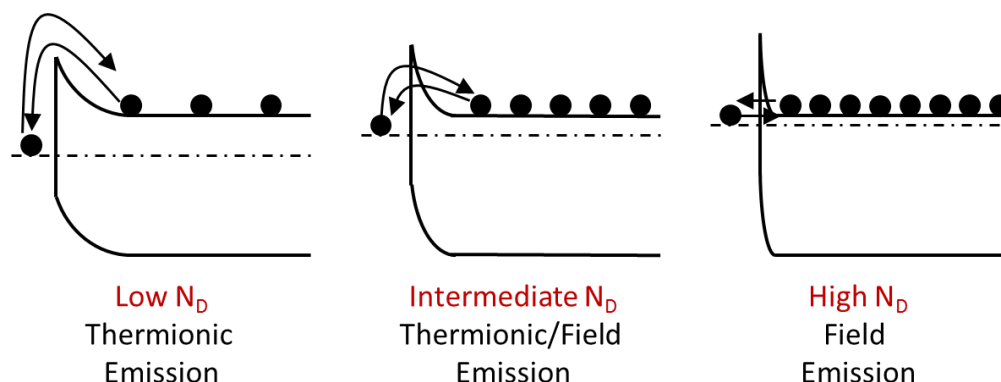


図 1.8 半導体の不純物イオン濃度に応じた電流メカニズム[13].

Field emission が支配的な界面において, コンタクト抵抗率 $\rho_c$ は以下の式で表される[14].

$$\rho_c = \left[ \frac{A^* A \pi q T}{k \sin(\pi c k T)} \exp\left(\frac{-\Phi_b}{E_{00}}\right) - \frac{A^* A q}{c k^2} \exp\left(\frac{-\Phi_b}{E_{00}} - u_f\right) \right]^{-1}$$

$$E_{00} = \frac{q h}{2} \sqrt{\frac{N}{m_{tun}^* \epsilon_s}}$$

$$c = \frac{1}{2E_{00}} \ln\left(\frac{4\Phi_b}{u_f}\right) \quad (1.1)$$

ここで  $A^* A$  は実効リチャードソン定数,  $\Phi_b$  は界面のショットキー障壁高さ,  $N$  は半導体中の不純物イオン濃度,  $m_{tun}^*$  は半導体中における電子のトンネル質量,  $u_f$  は半導体バンドエッジとフェルミエネルギーの差分に相当するが, これらをより近似・簡略化することにより, 定数  $C$  を用いて以下の式で記述される.

$$\rho_c \propto \exp\left(C \frac{\Phi_b}{\sqrt{N}}\right) \quad (1.2)$$

つまり 1.2 式を踏まえれば、ショットキー障壁高さを低減し、半導体中の不純物イオン濃度を上げることによってコンタクト抵抗が低減されることとなる。

Ge 中での不純物導入に関しては、浅接合形成で問題となった n 型不純物において課題が存在する。Si と比較して Ge 中の固溶限は比較的高い P においても  $10^{20}/\text{cm}^3$  台と Si よりも 1 桁低く (図 1.9) [15], また電気的な活性化濃度としては更に低くなる可能性も指摘されている[16]. しかしながら近年ではレーザーアニールなどの新しい技術により克服もされつつある[17].

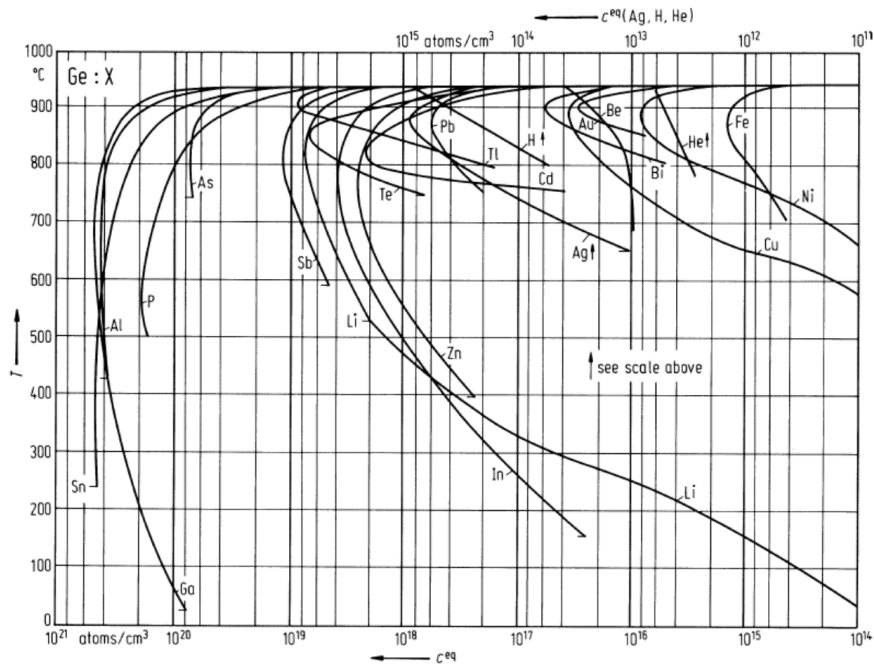


図 1.9 Ge 中各元素の固溶限.

Landolt Bornstein – Group III Condensed Matter.; (Springer-Verlag) 41  
A2A (2002). より.

もう一つのパラメータがショットキー障壁高さである。本研究ではまさにここに焦点を当てるが、まずは次節より一般的な金属/半導体界面におけるショットキー障壁高さがどのように形成されるのかを過去の知見、モデルを基に整理したい。

### 1.3 金属/半導体界面におけるショットキー障壁高さ

#### 1.3.1 Schottky-limit と Bardeen-limit

仕事関数が異なる金属間界面においては接触電位差が発生するが、金属/半導体界面を考えるときには半導体中には自由電子が存在しない。よって半導体中の空乏層内のイオンがその電荷を受け持ち、界面において電荷移動を生じないという立場を取るのが Schottky-Mott モデルである。とすると界面のバンドアライメントは真空準位の連続性により決まることとなり、図 1.10 に示す様に金属/半導体界面に形成される（半導体伝導帯への）ショットキー障壁高さは金属の仕事関数と半導体の電子親和力の差分で決まる。またこの時、界面のショットキー障壁高さは金属の仕事関数を変えた分に対応して変化し、Schottky-limit と呼ばれる。

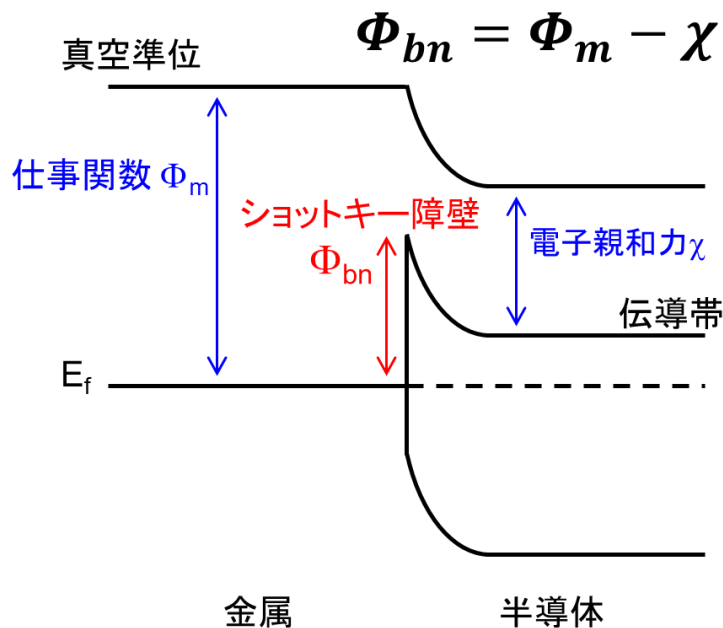


図 1.10 Schottky-Mott モデルに沿った金属/半導体界面のバンドアライメント.

一方で、半導体のバンドギャップはバルクにおける周期構造により形成されるものである。故に Tamm 準位や Shockley 準位として知られる様に、表面、界面においては構造の違いや、周期性の破綻によりバルクとは異なる状態が形成されることが考えられてきている。これらの状態が仮にバンドギャップ内に存在し、上

述の Schottky-Mott モデルにおいても考慮した，界面の電位差を受け持つ程度の十分な電荷が半導体界面に存在できるとするならば，図 1.11 に示す様に金属の仕事関数に依存せず，一定の高さのショットキー障壁が形成されることとなる．この状況は金属の仕事関数に依らず，半導体の電荷中性点がフェルミ準位に完全にピン止めされている状態，即ち完全な Fermi-level pinning (FLP) を生じている状態で，Bardeen-limit と呼ばれる．

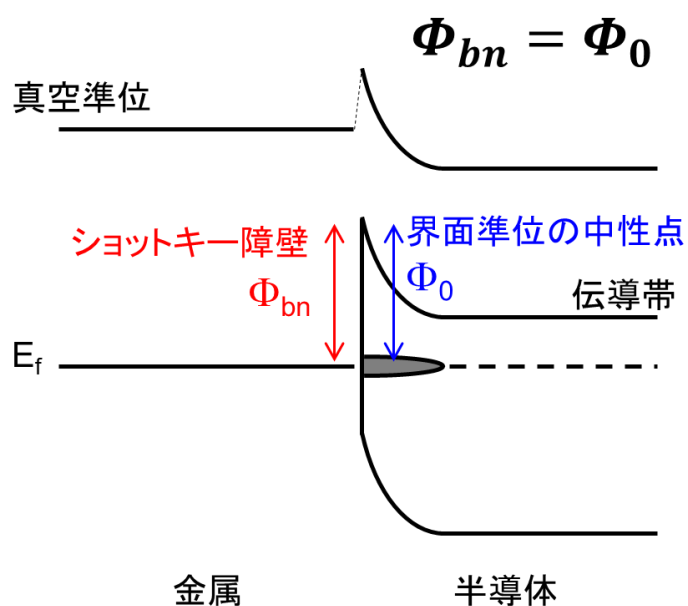


図 1.11 Bardeen-limit における金属/半導体界面のバンドアライメント.

### 1.3.2 界面準位密度とショットキー障壁高さ

金属/半導体界面のショットキー障壁高さ $\Phi_{bn}$ と金属の仕事関数の関係は一般的に Schottky limit と Bardeen limit の間となる. Cowley らは金属には依存しない半導体側の界面準位と金属との間に形成される電気二重層を仮定し, ショットキー障壁高さ $\Phi_{bn}$ と金属の仕事関数の関係を定式化すると共に, 様々な半導体について界面準位密度を見積もった (図 1.12) [18].

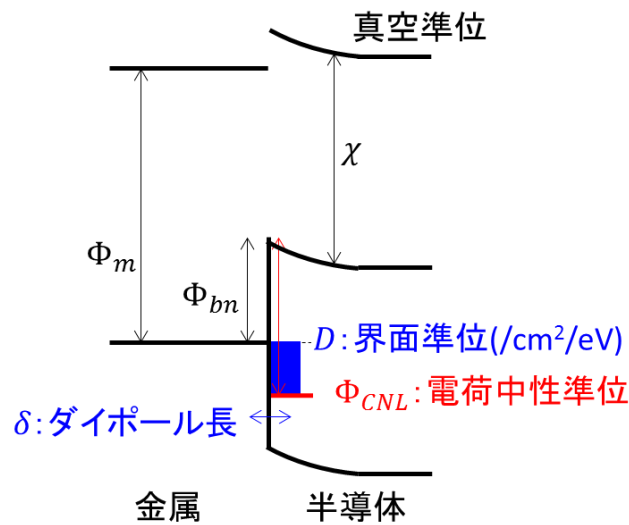


図 1.12 半導体側の界面準位を想定した金属/半導体界面のバンドアライメント[18].

金属の仕事関数と金属/半導体界面のショットキー障壁高さの関係は以下の様に記述される.

$$\Phi_{bn} = S(\Phi_m - \chi) + (1 - S)\Phi_{CNL} \quad (1.3)$$

$$S = \frac{\partial \Phi_{bn}}{\partial \Phi_m} = \left(1 + \frac{qD\delta}{\epsilon_i}\right)^{-1} \quad (1.4)$$

ここで  $D$  は界面準位密度,  $\delta$  は半導体界面準位-金属間に形成されるダイポール長,  $\epsilon_i$  はダイポール内の誘電率を示している. また, ここで  $S$  は FLP 強さを示しており,  $0$  ( $D = \infty$ ) から  $1$  ( $D = 0$ ) の値を取ることとなり,  $\Phi_{CNL}$  は界面準位にお



ける電荷中性準位に相当する。1.4 式の表記については、式を変形すると理解が容易になると考えられる。

$$\frac{1-S}{S} = \frac{qD\delta}{\epsilon_i} \quad (1.5)$$

ここで右辺は金属のフェルミ準位と半導体の電荷中性準位がアライメントしようとする際に生じる接触電位差を“界面準位電荷が界面のキャパシタの電圧降下として持つ分”と“電荷中性準位がフェルミ準位からずれる分”とで受け持つ比率を示している。即ち、“電荷中性準位が決めるショットキー障壁高さ $\Phi_{\text{CNL}}$ ”と“金属の仕事関数 $\Phi_m$ と半導体の電子親和力 $\chi$ により決まるショットキー障壁高さ $\Phi_m - \chi$ との比率を示しており、1.5 式の左辺は 1.3 式における $\Phi_{\text{CNL}}$ の係数(1-S)と $\Phi_m - \chi$ の係数(S)との比率に相当するのである。

また 1.4 式に沿って、いくつかの $\epsilon_i$ ,  $\delta$ の値を仮定した上で、 $D_{\text{it}}$ とSパラメータとの関係を見積もった結果を図 1.13 に示す。

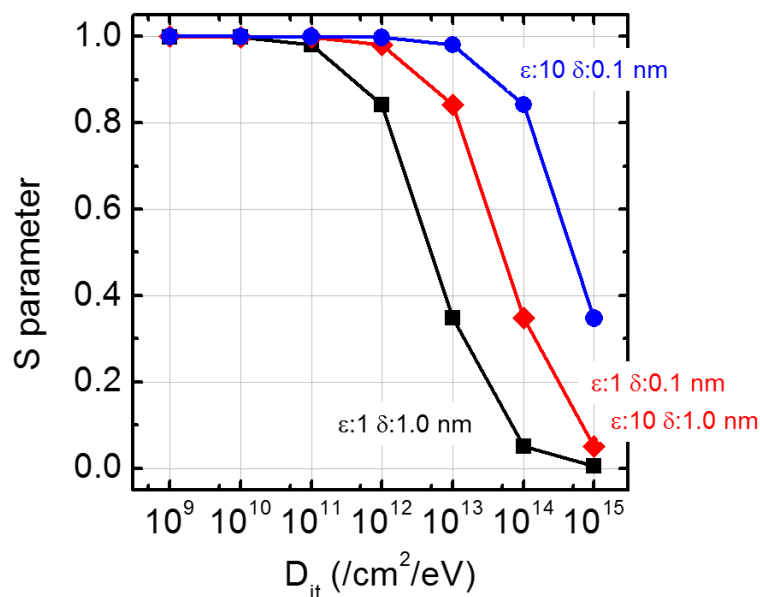


図 1.13 界面準位モデルに沿った  $D_{\text{it}}$  と S パラメータの関係。

ダイポールの形成が原子間の真空か、半導体材料中であるか、またそのダイポール長が原子の結合長程度か、 $\sim 1 \text{ nm}$  程度に及ぶかにより多少の差を生じるものの、 $D_{\text{it}}$  が  $10^{14}$  を超えると FLP が非常に強くなることが推測される。

次節より FLP を引き起こす, 界面準位等の起源となる代表的な FLP メカニズムについて紹介を行いたい.

## 1.4 金属/半導体界面における FLP メカニズム

本節ではこれまで歴史的に長い間議論されてきた FLP のモデルについて整理し、メカニズムの詳細を理解したい。

### 1.4.1 FLP モデルの整理

前述の通り FLP の起源に関しては多くのモデルが提案されているが、大きく次の2つの項目により分類されると考えている。1つは FLP の本質性である。金属/半導体ヘテロ界面における Intrinsic な電荷移動に由来するモデルと半導体内に形成される Extrinsic な欠陥準位に由来するモデルに大別される。もう1つは FLP を引き起こす現象の描像の違いである。バンド描像に基づいたモデルと実空間における局所構造に基づいたモデルに大別される。これら2つの項目により分類・整理された FLP モデル[19-22]を以下の図 1.14 に示す。各々のモデルの詳細については 1.4.2 節以降において述べる。

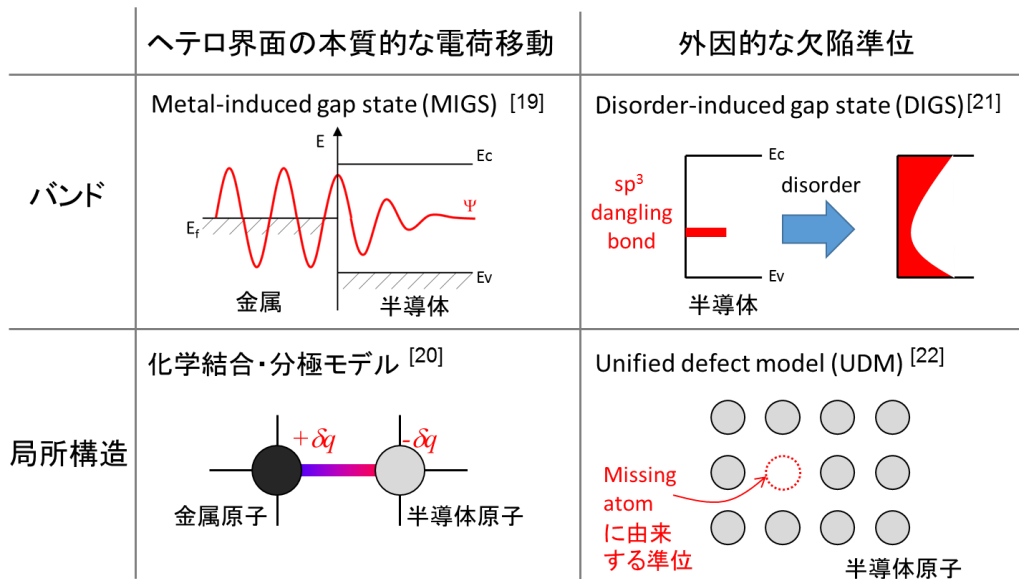


図 1.14 種々の FLP モデル.

### 1.4.2 Metal induced gap states (MIGS)

Metal induced gap states (MIGS) は有限の半導体のバンドギャップ内に存在する複素数の波数を有する連続的な仮想準位に対して、金属側より半導体のギャップ内に浸み出す電子により、FLP を引き起こす界面ダイポールが形成されると考える。このモデルは Heine により金属/半導体界面において半導体バンドギャップ内に形成される連続的な仮想準位として提案され[23]、金属/半導体界面における半導体ギャップ内準位を第一原理計算（ジェリウムモデルを適用した金属と半導体界面の電子構造を self-consistent な擬ポテンシャル法により計算）によって調査した Louie らによってその名がつけられた[24,25]。

MIGS における FLP の強さは、半導体中への波動関数の浸み出し深さという点から半導体のギャップが狭い程 MIGS はより強く効く事が直観的にも予想されるが、近年 Mönch は MIGS の観点から様々な半導体材料の光学誘電率 $\epsilon_\infty$ と S パラメータ（FLP 強さ）の関係を図 1.15 に示す様に系統的に整理している[19]。

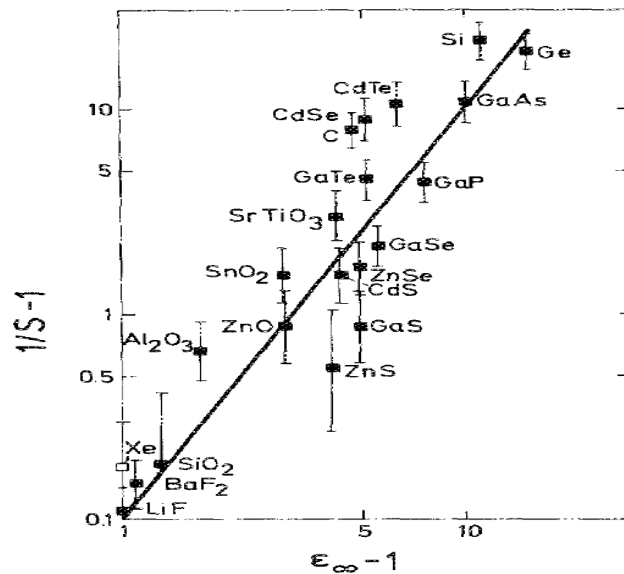


図 1.15 Mönch により整理された FLP 強さと光学誘電率の関係.  
W. Mönch, Appl. Surf. Sci. **92**, 367 (1996). より.

ここで図 1.15 における縦軸の $1/S - 1$ は 1.5 式の右辺に相当し、1.3 節で述べた界面ダイポール長と界面準位密度の積を含む $qD\delta/\epsilon$ に等しい。また Mönch は後に Penn による半導体中の自由電子モデルに基づいた平均バンドギャップ値 $\langle W_g \rangle$ [26]と光学誘電率 $\epsilon_\infty$ の関係、

$$\epsilon_{\infty} - 1 = (\hbar\omega_p / \langle W_g \rangle)^2 \quad (1.6)$$

からも改めて半導体バンドギャップと MIGS の強さの相関

$$S = \frac{1}{(\epsilon_{\infty} - 1)^2 + 1} \quad (1.7)$$

を指摘している[19].

MIGS における FLP エネルギー準位については, Tersoff により幾つかの半導体材料に関して経験的に得られている金属/半導体界面のショットキー障壁高さと自身が計算により導出したバルク半導体における実効的な Midgap に相当する Branch point との対応関係を以下の表 1.3 において指摘している[27,28].

表 1.3 実験的に得られたショットキー障壁高さと半導体の Branch point との関係.

J. Tersoff, Phys. Rev. Lett. **52**, 465 (1984). より.

	Gap (eV)	Barrier heights (eV)			Theory	$\lambda$ (Å)
		Au	Al	Other		
Si <sup>a</sup>	1.12	0.83	0.70	0.70–0.82	0.76	3.0
Ge <sup>b</sup>	0.66	0.59	0.48	0.38–0.64	0.48	4.0
GaAs <sup>c</sup>	1.42	0.94	0.78	0.71–0.94	0.74	3.0
ZnS <sup>b</sup>	3.60	2.00	0.80	0.80–2.00	1.40	1.5

金属/半導体界面において半導体の Branch point が Fermi 準位に対してピンニングする描像は以下の様に説明される. バルク半導体内におけるバンドギャップ内の電子の波動関数は複素数の波数を有するブロッホ波であり, その波動関数は伝導帯的な特性と価電子帯的な特性を有する. 伝導帯は従来電子が存在しないことから, その特性とは電子が存在することで実効的な負電荷に, 電子が存在しないことで中性となるアクセプタ準位的な振る舞いを示すことを意味する. 一方で価電子帯は従来電子で満たされていることから, その特性とは電子が存在することで中性に, 電子が存在しないことで実効的な正電荷となるドナー的な振る舞いを示すことを意味する. またエネルギー軸において伝導帯端近傍では前者が, 価

電子帯端近傍では後者の特性が強く現れる．そして **Branch point** ではこれら伝導帯的な特性と価電子帯的な特性がバランスするエネルギーに相当する．故に，図 1.16 の模式図に示す様に金属/半導体界面における半導体の **Branch point** とフェルミ準位に差を生じると，そのエネルギーの差分に対応した電荷のアンバランスを生じ（図 1.16 の左図においては負電荷が過剰にあることに相当），バランスする方向即ち **Branch point** がフェルミ準位にアライメントする様に界面のバンドアライメントが変化することと解釈される．

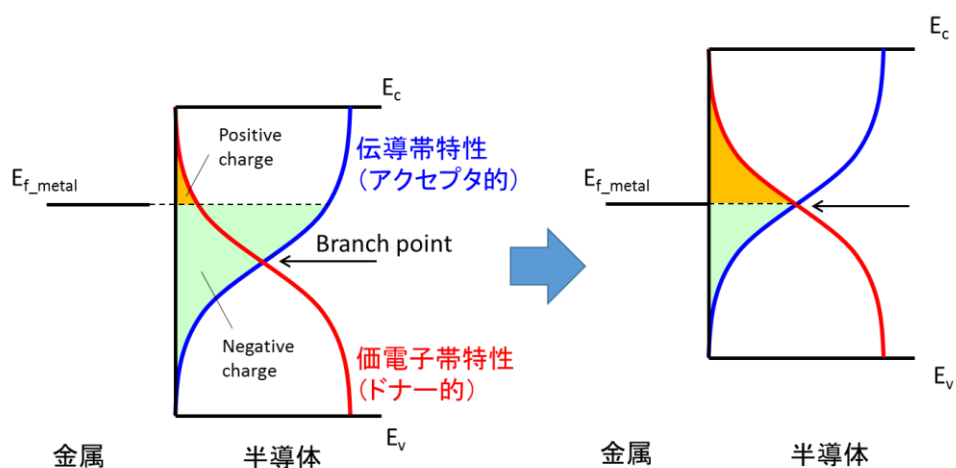


図 1.16 半導体の Branch point と Fermi 準位のアライメントに基づいた MIGS による界面の実効電荷，及びそれに伴うバンドアライメントの変化．

### 1.4.3 Bond polarization model

Bond polarization model は、金属-半導体界面における原子間の結合を介した本質的な電荷移動により、FLP を生じる界面ダイポールが形成されると考える。このモデルは Tung により提案され、その名が付けられた[20]。金属-半導体界面に生じる本質的な電荷移動が界面のエネルギーを最小にする形で実現するとしている。本モデルでは 1.3.2 項で述べた界面準位の概念は用いず、分子における電気化学ポテンシャルの平衡に基づいた電荷移動モデルに倣って、FLP 強さに関して金属-半導体界面における電荷移動を議論する。

分子内における原子  $i$  が中性状態より電荷が  $Q_i$  変化する際のエネルギーは、テイラー展開の 2 次の項まで含めて、

$$E_i(Q_i) = E_i^0 + U_i Q_i + \frac{1}{2} Y_i Q_i^2 \quad (1.8)$$

にて表される。ここで、 $E_i^0$  は中性の基底状態のエネルギー、 $U_i$  は Mulliken の電気陰性度 ( $U_i = \chi_i/2 - I_i/2$ ,  $\chi_i$ : 電子親和力,  $I_i$ : イオン化ポテンシャル),  $Y_i$  は電荷の移動し難さを示す孤立原子の電氣的な硬さ ( $Y_i = I_i - \chi_i$ ) [28] である。

更に金属-半導体界面を巨大な分子であると仮定し、原子間のクーロン相互作用項  $\kappa$  を加えた上で、系全体の自由エネルギー最小となる条件 (自由エネルギーの微分係数 = 0) より金属原子、及び半導体原子の電荷移動  $Q$  が見積もられる。ここで半導体と金属は立方格子を仮定し、クーロン相互作用 ( $J_{mm} = q^2/(4\pi\epsilon d_{mm})$ ,  $J_{ss} = q^2/(4\pi\epsilon d_{ss})$ ,  $J_{ms} = q^2/(4\pi\epsilon d_{ms})$ ) は界面を形成する半導体原子 1 層と金属 1 層の最隣接原子間のみ限定されると仮定する。また、金属原子において  $U_m = \Phi_m$ ,  $Y_m = 0$ , 半導体原子において  $U_s = \chi_s + E_g/2$ ,  $Y_s = E_g$  の関係を用いて、界面の半導体原子が中性状態より変化する電荷  $Q_s$  は、

$$Q_s = \frac{U_m - U_s}{Y_s + Y_m - 2J_{ms} + 4J_{mm} + 4J_{ss}} = \frac{\Phi_m - \chi_s - E_g/2}{E_g + \kappa},$$

$$\kappa = 4J_{ss} + 4J_{mm} - 2J_{ms} \quad (1.9)$$

と表される。界面における半導体の伝導帯へのショットキー障壁高さ  $\Phi_{bn}$  は、電荷移動に伴うダイポールの形成によって、

$$\begin{aligned}\Phi_{bn} &= \Phi_m - \chi_s + \frac{-q^2 N_B d_{ms}}{\epsilon} Q_s \\ &= S(\Phi_m - \chi_s) + (1 - \gamma_B)E_g/2, \quad S = 1 - \frac{q^2 N_B d_{ms}}{\epsilon(E_g + \kappa)}\end{aligned}\quad (1.10)$$

と記述される．ここで， $N_B$ は界面の金属-半導体原子の結合密度， $d_{ms}$ はその結合長， $\epsilon$ は界面の誘電率である．MIGS 同様に，様々な半導体材料に対して系統的に FLP 強さが整理され， $S$  パラメータの表記から， $(\epsilon(1 - S))^{-1}$ と $E_g$ の間には結合長で決まる最界面隣接原子間のクーロン相互作用項 $\kappa$  (1.8式) の負のオフセットを持つ線形関係が得られることが指摘されている (図 1.17)．(ここで負の $\kappa$ を持つことは，電荷移動によりクーロンエネルギー分のエネルギー利得があることを示す.)

MIGS との違いは結合密度  $N_B$ ，結合長  $d_{ms}$  等により金属の個性が導入され，ショットキー障壁高さが収束する FLP エネルギー準位が存在しない点，また  $E_g + \kappa$  が負となる場合において負の  $S$  パラメータが原理的に存在してもよい点等が指摘されている．但し一方で 1.3 eV 以下の狭ギャップ半導体に対しては界面原子 1 層のみでの電荷移動近似が適用できない可能性 (より半導体バルク内部の電荷移動を考慮する必要性) も述べられている[30]．故に本研究において議論する Ge に関してはその定量性に関しては単純に適用できない可能性がある点は注意しなければならない．

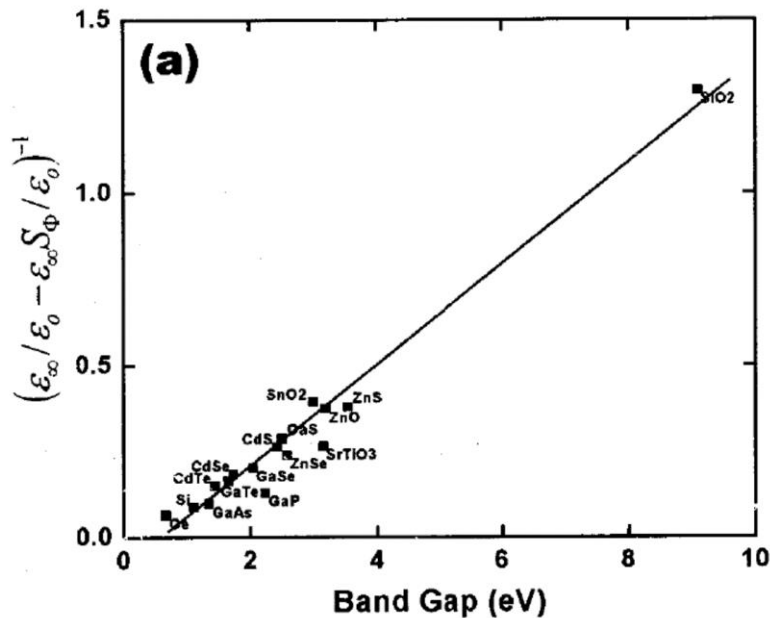


図 1.17 半導体の FLP 強さと $E_g$ の関係.  
R. T. Tung, Phys. Rev. B **64**, 205310 (2001). より.



### 1.4.4 Disorder induced gap states (DIGS)

Disorder induced gap states (DIGS) は外因的な半導体原子結合の乱れや欠陥や転移の影響による原子の乱雑な再配列に基づいて  $sp^3$  混成軌道における結合軌道と反結合軌道の分裂が弱くなり、この結果として半導体のバンドギャップ内に U-shape となる連続的なギャップ内準位が形成されることに由来する。このモデルは長谷川らによって提案され、その名が付けられている[21]。また、この DIGS に関しては、理想的に S パラメータ 1 を達成可能であることを意味する点と、FLP エネルギー準位が統一的に説明されている点に美しさもある。

長谷川らは DIGS における FLP エネルギー準位に関して III-V 族半導体である GaAs や InP について絶縁膜/半導体界面における界面準位密度 ( $D_{it}$ ) 分布は、成膜条件によりその値が大きく異なるものの U-shape となり、各半導体材料においてその密度が極小となるエネルギーがほぼ一定となると共に実験的に決まる界面の電荷中性準位となっている点に注目し、この絶縁膜/半導体界面において  $D_{it}$  が極小となるエネルギー準位と Au/半導体界面において界面の半導体のバンドギャップに対するフェルミ準位 (即ち FLP エネルギー準位) の関係を様々な半導体に対して系統的に調べた (図 1.18) [21]。図においては Ge の価電子帯端のエネルギーを基準として示している。絶縁膜界面の電荷中性準位と金属界面の FLP 準位が一致すると共にこれらが系統的に 0.1 eV のエネルギー幅の中に収まっていることが分かる。また強結合近似を用いた第一原理計算により見積もられた前述の結合状態と反結合状態の境界となるエネルギーを混成軌道エネルギー  $E_{HO}$  として、そのエネルギーが図 1.18 の電荷中性準位に一致すること指摘していると共に、1.4.2 において MIGS の FLP エネルギー準位とした Branch point とも一致すると云われている。

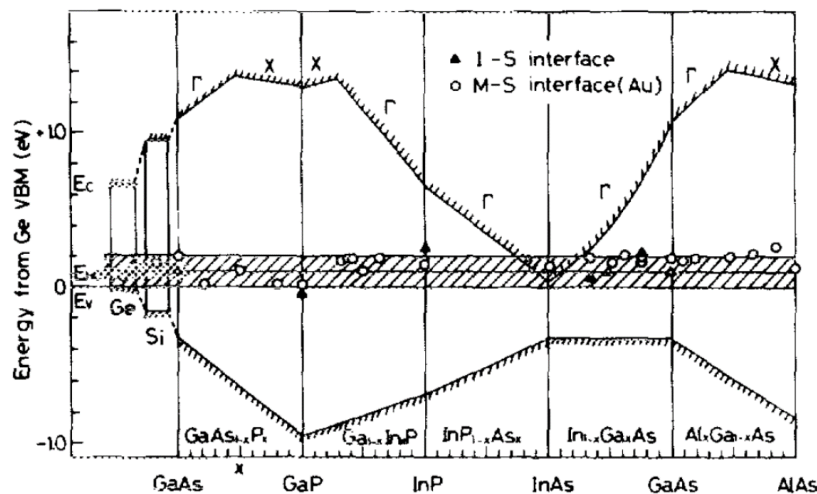


図 1.18 様々な半導体の絶縁膜/半導体界面、  
金属/半導体界面の電荷中性準位。  
長谷川 英機, 応用物理 60, 1214 (1991). より。

DIGS における FLP の強さそのものは外因的な半導体結合の乱れに相関することからも半導体材料固有の特性をもって記述はできない訳であるが、長谷川らは界面形成プロセスによる結晶の乱れ易さの点において半導体材料の特性との関連性を議論している。界面において半導体の結合を乱すことは結合軌道と反結合軌道の分裂を崩した上で  $E_{HO}$  近傍に準位を形成する事に相当するとして、DIGS における半導体結合の乱れ易さが価電子帯端のエネルギー  $E_v$  を用いて  $E_{HO}-E_v$  の値との相関性を示唆している。図 1.19 に示す様に  $E_{HO}-E_v$  が小さい程、結合の乱れが導入され易く FLP が強くなる傾向を示すことが述べられている[31].

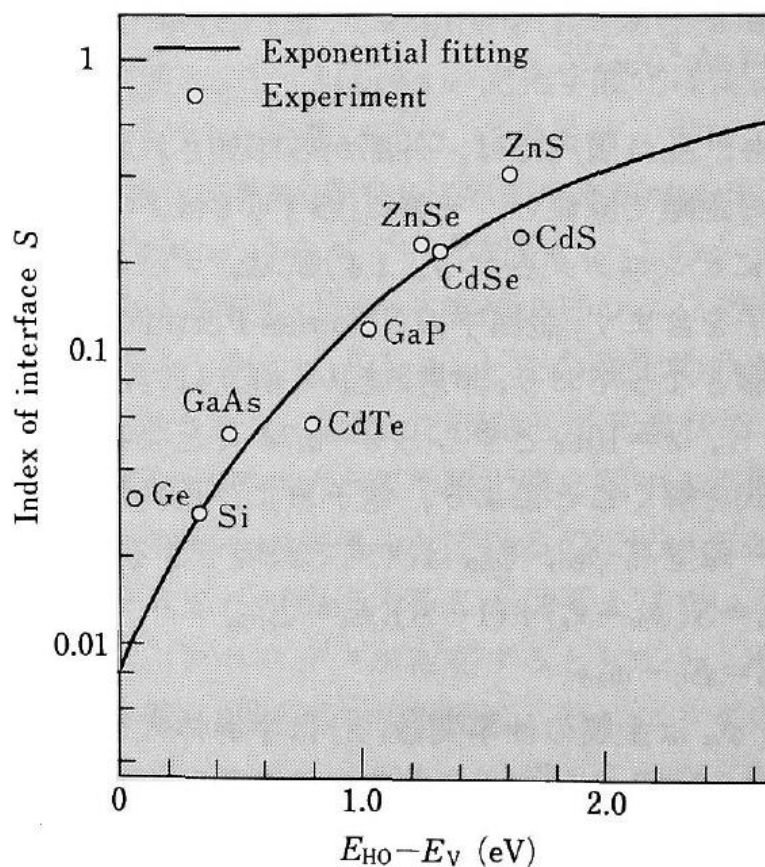


図 1.19 様々な半導体の S パラメータと  $E_{HO}-E_v$  の相関.  
長谷川 英機, 応用物理 60, 1214 (1991). より.

また典型的に DIGS が顕著に効いている系としてしばしば金属/SiC 界面が挙げられる. Mönch らによる  $\epsilon_\infty$  に基づいて推測される  $S$  パラメータ[18]  $\sim 0.3$  に対して, 図 1.20 に示す様に金属成膜前の SiC 基板表面洗浄法を改善することにより  $S \sim 1$  が達成されることが報告されている[32].

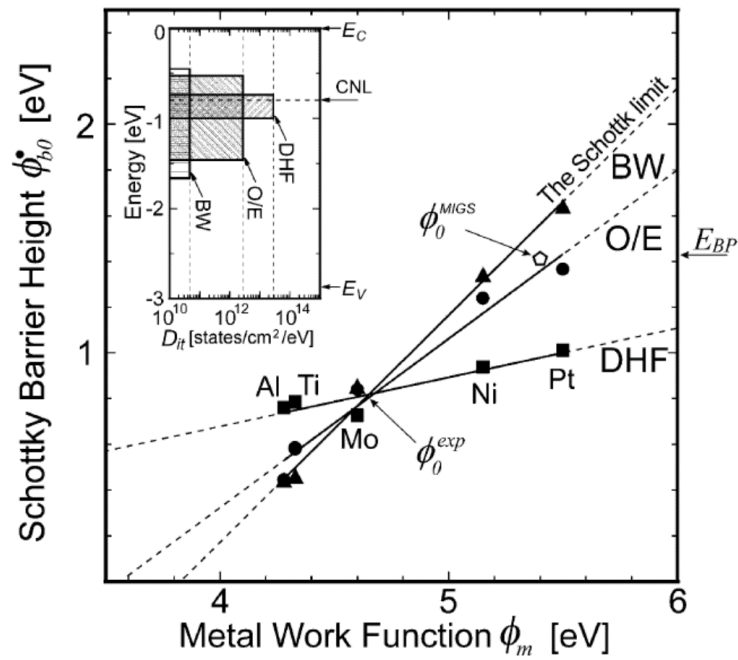


図 1.20 金属の仕事関数と金属/6H-SiC 界面ショットキー障壁高さの SiC 洗浄法依存性.

S. Hara, Surf. Sci. **494**, L805 (2001). より.

### 1.4.5 Universal Defect Model (UDM)

Universal Defect Model (UDM) は半導体との界面形成において生じる半導体原子の欠陥に由来する外因的な界面準位である。このモデルは Spicer により提案され名付けられた[22].

Spicer は GaAs, GaSb, InP 等の III-V 半導体について、界面を形成する金属や酸素といった元素に依存せず、その堆積 (付着) 量に応じて半導体の表面ポテンシャルが一定値に収束することを光電子分光により明らかにした (図 1.21). 更に、成膜した金属表面近傍に半導体元素が検出されること (図 1.22) より、半導体内に該当元素の欠陥生成が妥当に推測される。成膜した金属と半導体元素が反応、合金化 (例えば Au と Ga 等) することも調べられているが[33], ショットキー障壁高さは欠陥由来の準位と強い FLP により、図 1.21 に示す様なユニバーサリティが得られると考えられている。

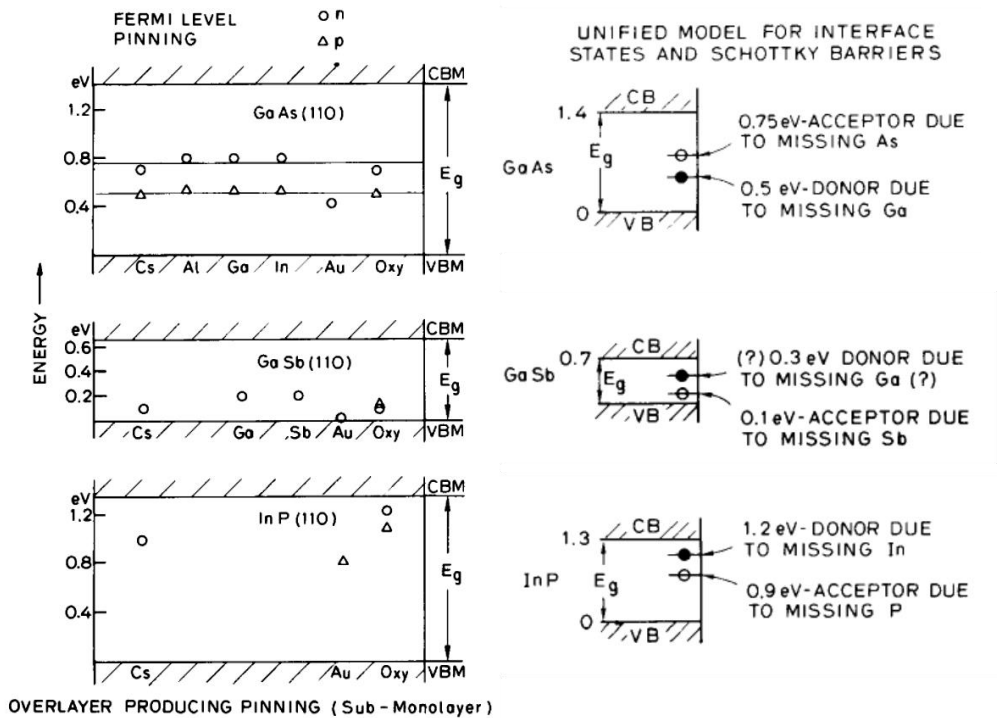


図 1.21 GaAs, GaSb, InP における表面での FLP, 及び推測される半導体の欠陥準位.

W. E. Spicer, et al., J. Vac. Sci. Technol. **16**, 1422 (1979). より.

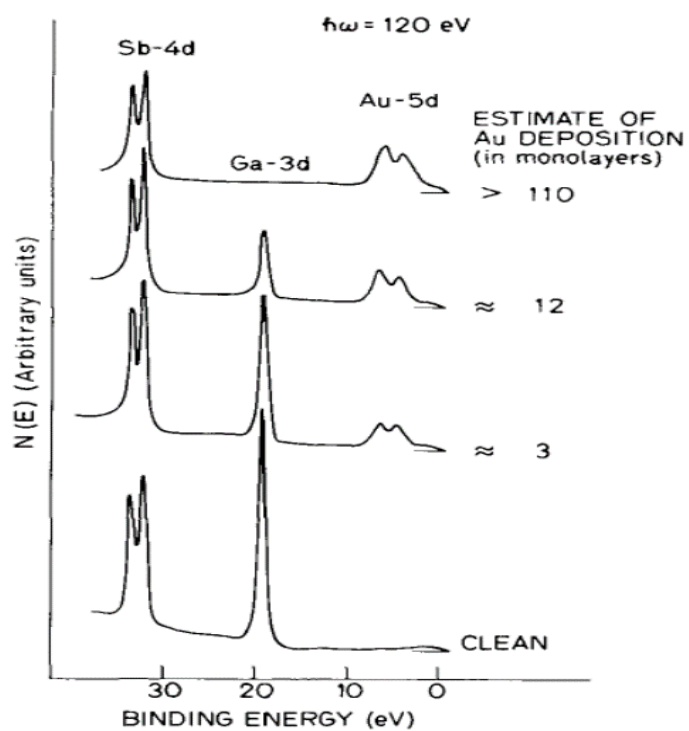


図 1.22 Au/GaSb 基板表面からの光電子スペクトル.  
W. E. Spicer, et al., J. Vac. Sci. Technol. **16**, 1422 (1979). より.

## 1.5 本研究の目的と本論文の構成

前述の様に、Ge MOSFET は VLSI 技術の根幹をなす CMOS の高性能化において極めて有望な材料であり、既に MOSFET においても性能の高さが実証されつつある。一方で MOSFET の高性能化において不可欠な微細化による本質的な問題として寄生抵抗、特に金属/半導体界面のコンタクト抵抗が挙げられ、コンタクト抵抗を決める重要な因子の 1 つに金属/半導体界面のショットキー障壁高さが挙げられる。金属/半導体界面におけるショットキー障壁高さについては金属の仕事関数との関係において様々なモデルに基づいた Fermi-level pinning (FLP) が歴史的に議論されていることを紹介し、そのモデルの整理を行った。本研究では Ge CMOS の実現において課題となる金属/Ge 界面のコンタクト抵抗の低減に向けて、そのコンタクト抵抗に関わる金属/Ge 界面のショットキー障壁に着目し、そのショットキー障壁高さを支配的に決めている FLP メカニズムを考察すると共に、それらに基づいた FLP の抑制、ショットキー障壁高さの制御性の向上の実証を目的とする。本論文における以降の章構成とその概略を以下に示す。

### 第 2 章 金属/Ge 界面の Fermi-level pinning

この章では他の半導体材料における FLP の議論に倣い、これまで系統的に調べられていなかった元素金属の仕事関数と金属/Ge 界面のショットキー障壁高さの関係、元素金属/Ge 界面の FLP を調査する。また、1 章において紹介した様々な FLP メカニズムにおいて、どのメカニズムが金属 Ge/界面において最も支配的であるかを、界面特性が FLP に与える影響の点から議論する。

### 第 3 章 極薄絶縁膜を用いた FLP の緩和

2 章の議論を踏まえ、この章では MIGS モデルに基づいて金属/Ge 界面からの FLP の抑制を金属/Ge 界面に界面層を導入することによって試みる。界面層導入により生じるショットキー障壁高さの変調に加え、界面層膜厚依存性や、絶縁膜種依存性等からも MIGS の妥当性について議論する。

### 第 4 章 金属特性の制御による FLP の緩和

同様に 2 章の議論を踏まえ、この章でも MIGS モデルに基づいて金属側からの FLP の抑制を試みる。MIGS と真空仕事関数表面項の物理的描像の類似性と、金属中電子密度と仕事関数表面項の相関について再考し、金属中の自由電子密度に着目した上で低電子密度金属/Ge 界面の FLP 緩和、及び MIGS の妥当性について議論する。

第 5 章 FLP 緩和に伴う界面効果の顕在化とショットキー障壁高さ制御性の向上  
バルク半導体特性でショットキー障壁高さが決まる FLP が緩和した金属/Ge 接合界面では、界面特性がショットキー障壁高さに影響を与える可能性、即ち界面特性により更にショットキー障壁高さを制御できる可能性が期待できる。この章では、3,4 章にて示した FLP が緩和した金属/Ge 接合について界面特性が与える影響を調査し、更なるショットキー障壁高さの制御性の向上の余地を明らかにする。

第 6 章 金属/半導体界面におけるショットキー障壁高さの制御性に関する考察

4 章において議論した MIGS と仕事関数の類似性、及びここまでの議論を踏まえ、金属/半導体界面における仕事関数についての再考を行うと共に、一般的な金属/半導体界面におけるショットキー障壁高さの制御性について考察する。

第 7 章 総括

本研究を総括する。

## 参考文献

- [1] Intel 社ホームページ “「ムーアの法則」イノベーションの歴史” より  
<<http://www.intel.co.jp/content/www/jp/ja/innovation/processor.html>>
- [2] C. O. Chui, H. Kim, D. Chi, B. B. Triplett, P. C. McIntyre, and K. C. Saraswat, A sub-400°C germanium MOSFET technology with high-k dielectric and metal gate, Tech. Dig. IEDM 2002.
- [3] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, On the universality of inversion layer mobility in Si MOSFET's: Part I—effects of substrate impurity concentration, IEEE Trans. Electron Devices **4**, 2357 (1994).
- [4] H. Shang, K.-L. Lee, P. Kozlowski, C. D'Emic, I. Babich, E. Sikorski, M. Jeong, H.-S. P. Wong, K. Guarini, and W. Haensch, Self-aligned n-channel germanium MOSFETs with a thin Ge oxynitride gate dielectric and tungsten gate, IEEE Electron Device Lett. **25**, 135 (2004).
- [5] 王 盛凱, 博士論文 東京大学 (2012).
- [6] 李 忠賢, 博士論文 東京大学 (2014).
- [7] C. H. Lee, T. Nishimura, T. Tabata, S. K. Wang, K. Nagashio, K. Kita, and A. Toriumi, Ge MOSFET performance: impact of Ge interface passivation, Tech, Dig. IEDM 2010.
- [8] R. Zhang, P. C. Huang, J. C. Lin, N. Taoka, M. Takenaka, and S. Takagi, High-mobility Ge p- and n-MOSFETs with 0.7-nm EOT using HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/GeO<sub>x</sub>/Ge gate stacks fabricated by plasma post oxidation, IEEE Trans. Electron Devices **60**, 927 (2013).
- [9] C. Lu, and A. Toriumi, Structural coordination of rigidity with flexibility in gate dielectric films for sub-nm EOT Ge gate stack reliability, Tech. Dig. IEDM 2015.
- [10] 魯 辞莽, 博士論文 東京大学 (2015).
- [11] S. M. Sze, Physics of semiconductor devices 2<sup>nd</sup> ed., (Wiley, New York, 1981).



- [12] K. K. Ng, and W. T. Lynch, The impact of intrinsic series resistance on MOSFET scaling, *IEEE Trans. Electron Devices* **34**, 503 (1987).
- [13] D. K. Schroder, *Semiconductor material and device characterization* 3<sup>rd</sup> ed., (Wiley, New Jersey, 2006)
- [14] K. K. Ng, and R. Liu, On the calculation of specific contact resistivity on <100> Si, *IEEE Trans. Electron Devices* **37**, 1535 (1990).
- [15] Landolt Bornstein – Group III Condensed Matter.; (Springer-Verlag) **41** A2A (2002).
- [16] C. O. Chui, L. Kulig, J. Moran, W. Tsai, and K. C. Saraswat, Germanium n-type shallow junction activation dependence, *Appl. Phys. Lett.* **87**, 091909 (2005).
- [17] W. Hsu, X. Wang, F. Wen, Y. Wang, A. Dolocan, T. Kim, E. Tutuc, and S. K. Banerjee, High phosphorus dopant activation in germanium using laser spike annealing, *IEEE Electron Device Lett.* **37**, 1088 (2016).
- [18] A. M. Cowley, and S. M. Sze, Surface states and barrier height of metal-semiconductor systems, *J. Appl. Phys.* **36**, 3212 (1965).
- [19] W. Mönch, Chemical trends of barrier heights in metal-semiconductor contacts: on the theory of the slope parameter, *Appl. Surf. Sci.* **92**, 367 (1996).
- [20] R. T. Tung, Chemical bonding and Fermi level pinning at metal-semiconductor interfaces, *Phys. Rev. Lett.* **26**, 6078 (2000).
- [21] H. Hasegawa, and H. Ohno, Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces, *J. Vac. Sci. Technol. B* **4**, 1130 (1986).
- [22] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su, and I. Lindau, New and unified model for Schottky barrier and III-V insulator interface states formation, *J. Vac. Sci. Technol.* **16**, 1422 (1979).
- [23] V. Heine, Theory of surface states, *Phys. Rev.* **138**, A1689 (1965).

- [24] S. G. Louie, and M. L. Cohen, Electronic structure of a metal-semiconductor interface, *Phys. Rev. B* **13**, 2461 (1976).
- [25] S. G. Louie, J. R. Chelikowsky, and M. L. Cohen, Ionicity and the theory of Schottky barriers, *Phys. Rev. B* **15**, 2154 (1977).
- [26] D. R. Penn, Wave-number-dependent dielectric function of semiconductor, *Phys. Rev.* **128**, 2093 (1962).
- [27] J. Tersoff, Schottky barrier heights and the continuum of gap states, *Phys. Rev. Lett.* **52**, 465 (1984).
- [28] M. Cardona, and N. E. Christensen, Acoustic deformation potentials and heterostructure band offsets in semiconductors, *Phys. Rev. B* **35**, 6182 (1987).
- [29] R. G. Parr, and R. G. Pearson, Absolute hardness: companion parameter to absolute electronegativity, *J. Am. Chem. Soc.* **105**, 7512 (1983).
- [30] R. T. Tung, Formation of an electric dipole at metal-semiconductor interfaces, *Phys. Rev. B* **64**, 205310 (2001).
- [31] 長谷川 英機, 化合物半導体のショットキー障壁の形成機構, *応用物理* **60**, 1214 (1991).
- [32] S. Hara, The Schottky limit and a charge neutrality level found on metal/6H-SiC interfaces, *Surf. Sci.* **494**, L805 (2001).
- [33] W. G. Petro, T. Kendelewicz, I. Lindau, and W. E. Spicer, Au-GaAs(110) interface : Photoemission studies of the effects of temperature, *Phys. Rev. B* **34**, 7089 (1986).

## 第 2 章 金属/Ge 界面の Fermi-level Pinning (FLP)

1 章においては接触電位差を半導体中の不純物イオンが受け持つ金属/半導体界面 (Schottky-Mott モデル) では金属の仕事関数変化に応じて界面のショットキー障壁高さが変化する一方, 表面, 界面準位が存在する界面ではそれらを介した電荷移動により金属の仕事関数によるショットキー障壁高さの制御性が低減する現象, Fermi-level pinning (FLP)を生じる事について触れた.

本章では, まず金属/Ge 界面におけるショットキー障壁高さを調べた先行研究について紹介すると共に, 改めて本研究において系統的に金属/Ge 界面のショットキー障壁高さ, FLP を調査する意味を述べる. その後, 具体的なショットキー障壁高さを見積もる手法にも触れながら, 実験による金属/Ge 界面のショットキー障壁高さの見積もり, 金属の真空仕事関数とショットキー障壁高さの関係に基づいた FLP の議論を行う. 最後に, 界面構造が FLP に与える影響等を基に, 金属/Ge 界面の FLP の起源を推測すると共にその制御指針について検討する.

## 2.1 金属/Ge 界面のショットキー障壁高さについての先行研究

Ge は最初のバイポーラトランジスタ, 及びショットキーダイオードがつけられた過去においてより一般的な半導体材料である. しかしながら, 意外にもこれまでに金属/Ge 界面のショットキー障壁高さに関して, 系統的な知見は少ない. 先行研究において得られている結果を図 2.1 に示す. Ref. 1 及び 2 は 1970 年代に得られた結果である. 殆どの金属が 4~5 eV の狭い範囲の仕事関数を有する金属であり, また金属成膜を行う真空排気が拡散ポンプによる為であろうか, 大きなバラつきを示している. また, この大きなバラつきは, その可能性を次章 (3.10 節) にて述べる. Ref. 3 は 1980 年代半ばに得られた結果であり, 金属の仕事関数に依らず一定のショットキー障壁高さを示す強いフェルミレベルピンニングを示す様にもみえるが, 低仕事関数側のデータ点が少ない. より正確に金属の仕事関数によるこれらの結果より金属/Ge 界面のショットキー障壁高さ, 及び FLP の議論を進める為にも, まずは図 2.1 に示される範囲において, 特に仕事関数が低い領域も十分に含むことを考慮して, 系統的な金属/Ge 界面のショットキー障壁高さを調査することとした.

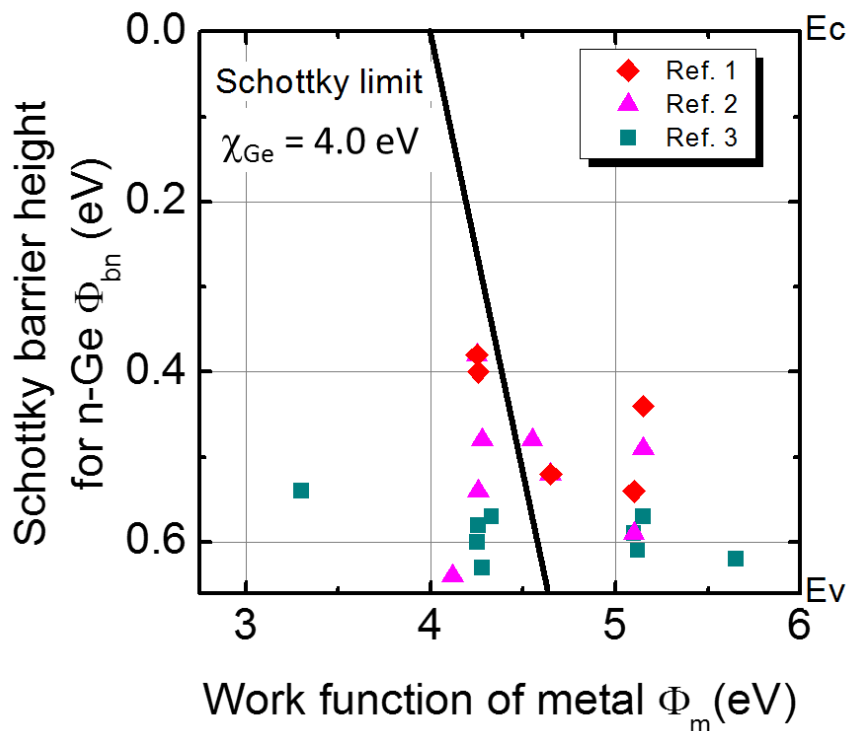


図 2.1 これまでに報告されている金属の仕事関数と金属/n-Ge 界面のショットキー障壁高さの関係[1-3].

## 2.2 金属/Ge 界面の FLP

### 2.2.1 試料作製

まず本項では金属の仕事関数と金属/Ge 界面のショットキー障壁高さの関係を系統的に調べる為に用意した金属/Ge 接合の作成方法を示す。

本実験では Ge の他に信頼性の高いデータが多く得られている Si についても同時に試料を作成しリファレンスとした。また Ge 及び Si 基板の面方位については、Si において最も一般的な(100)面を選択した。

付録に示す手法により化学洗浄を行った Ge, Si 基板上にメタルマスクを用いて金属電極を形成し、金属/Ge 及び金属/Si ダイオードを形成した。電極サイズは 200, 100, 70 $\mu\text{m}\phi$ の円形である。ここで金属の仕事関数が Ge の他リファレンスとして用いる Si の伝導帯や価電子帯と比較しても十分幅広い領域となる様、図 2.2 に示す低仕事関数の希土類金属より高仕事関数の貴金属を選択している。また図 2.2 において金属の仕事関数値については文献値[4]を用いている。故に Schottky-Mott モデルで示される界面が形成された場合、仕事関数が低い金属は n 型半導体に対してオーミック接合、p 型半導体に対してショットキー接合を形成し、一方で仕事関数が高い金属は逆に n 型半導体にショットキー接合、p 型半導体にオーミック接合を形成することが期待される。

金属の成膜にあたり、融点の低い Al, Au は真空中における抵抗加熱、その他の金属に関しては超高真空中 ( $\sim 10^{-8}$  Pa) における電子線加熱による蒸着法を用いた。所望の金属/Ge 接合を形成した後、基板裏面をダイヤモンドヤスリで擦り、Al を真空蒸着することにより基板裏面のコンタクトを形成した。裏面には多量の欠陥が導入されることにより、基板の極性やショットキー障壁高さに関わらずオーミック接合が形成されている。

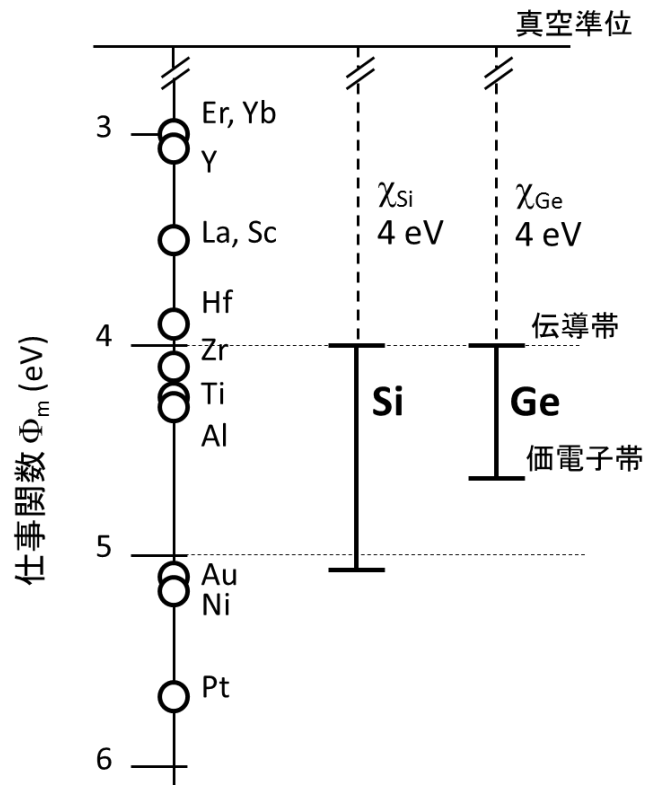


図 2.2 金属/Ge 界面ショットキー障壁高さの金属仕事関数依存性の調査に用いた金属とその仕事関数, 及び Si, Ge の伝導帯端, 価電子帯端との関係. 金属の仕事関数値は Ref. 4 を参照.

## 2.2.2 金属/Ge 接合の電流-電圧特性

2.2.1 項にて作成した金属/Ge 接合に対して、まず電流-電圧測定を行った。前節の通り、理想的な Schottky-Mott モデルで説明される様な界面が形成されているならば、図 2.2 の金属の仕事関数に応じて、電流-電圧特性はオーミック接合よりショットキー接合まで n,p 基板上において大きく変化することが期待される。

大気中・室温の環境においてプローバー及び、半導体パラメータアナライザを用いて測定した金属/Ge 接合の代表的な電流-電圧特性を図 2.3 に示す。驚くべきことに、金属の仕事関数に依らず p-Ge に対してはオーミック接合が、n-Ge に対してはショットキー接合が形成されていることが分かる。この結果は図 2.4 に示す金属/Si 接合の電流-電圧特性と比較しても極めて極端であり、また直観的に金属によらず金属/Ge 界面では価電子帯端に低いショットキー障壁が、伝導帯端に高いショットキー障壁が形成されていることが示唆される。

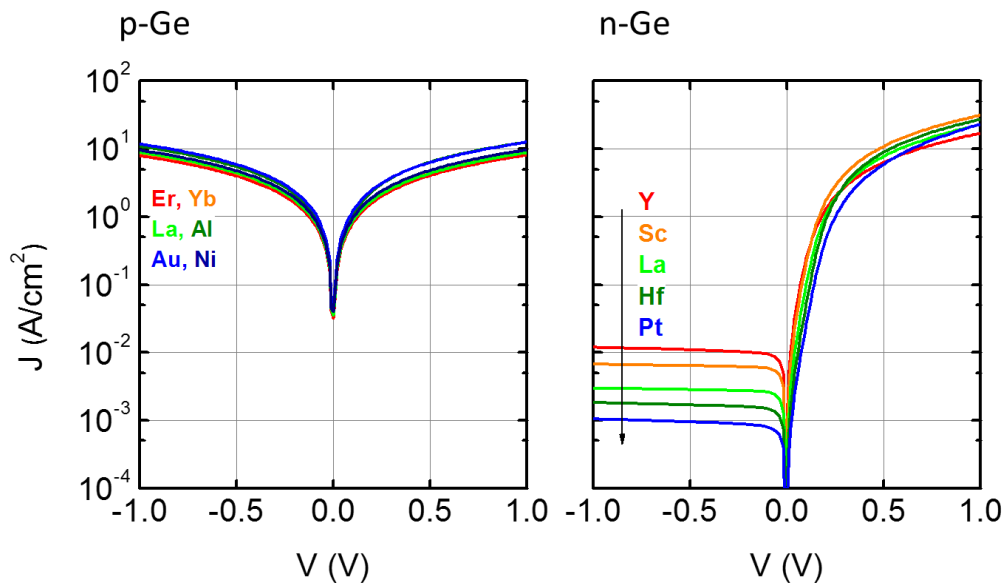


図 2.3 代表的な金属/Ge 接合の電流-電圧特性.

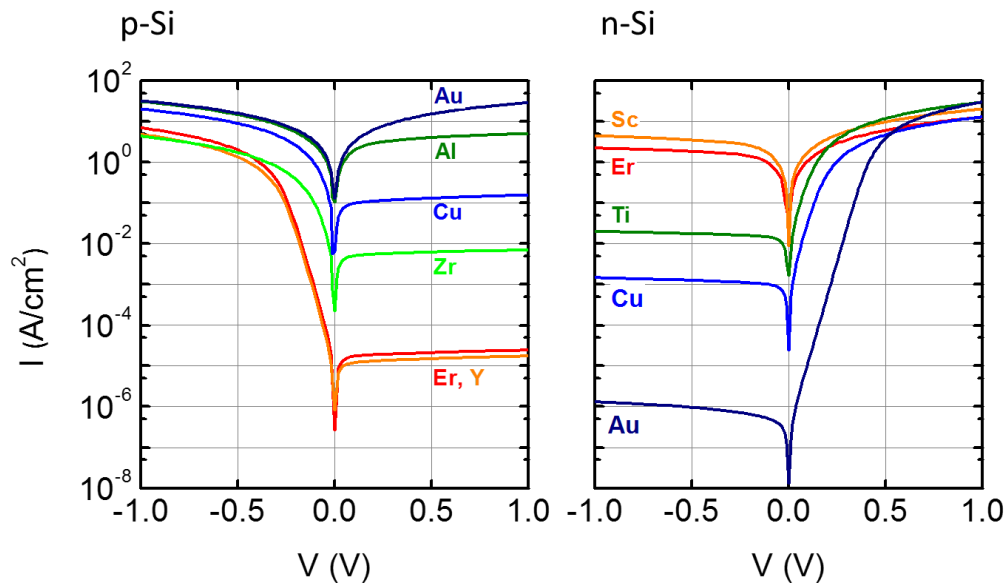


図 2.4 代表的な金属/Si 接合の電流-電圧特性.

オーミック特性を示す金属/半導体ダイオードは、電流密度が半導体基板等に由来した寄生抵抗により電流が制限されている為に界面のショットキー障壁高さを見積もることはできないが、整流性を示す金属/半導体ダイオードはその off 電流が界面のショットキー障壁により制限されている。次の 2.2.3 項では電流密度より定量的にショットキー障壁高さを見積もる手法や、それとは独立した手法として容量-電圧特性より見積もる手法について述べ、具体的に見積もったショットキー障壁高さについては更に後の 2.2.4 項にて述べる。



## 2.2.3 ショットキー障壁高さの見積もり

本項では電気特性よりショットキー接合界面の障壁高さを導出する手法について述べる。ここでは半導体内の不純物濃度は本研究で用いたものの様に十分に低く空乏層幅が十分広いことを前提とする。ショットキー障壁高さを見積もる手法として、電流-電圧特性もしくは容量-電圧特性から導出するものの2つに分類される。それぞれの測定法における測定の概念図を図 2.5 に示す。定量的な詳細はこの後に記述するが、図 2.5 に示す概念図において、青字で示すショットキー障壁高さ $\Phi_{bn}$ を越えて流れるショットキーダイオードの off 電流は、電界による実効的な障壁低下等に由来した高次項の影響を除けば、基本的に電圧に依存せずに一定の飽和電流密度 $J_s$ を示し、実験的に得られる $J_s$ よりショットキー障壁高さを見積もることができる。一方、赤字で示すショットキー接合における半導体の空乏層容量 $C_{dep}$ は空乏層を挟んだ金属-半導体電極間のキャパシタとして、半導体の空乏層幅と誘電率により決まる。ここで空乏層幅は空乏層に形成されている内蔵電位 $V_i$ 、及び金属-半導体間の電位差をパラメータとしており、実験的には金属-半導体間の印加電圧と容量の関係より内蔵電位 $V_i$ を見積もることができる。これらの手法は完全に独立しており、組み合わせることによって、実験的に見積もられたショットキー障壁高さの値の正しさを検証することができる。

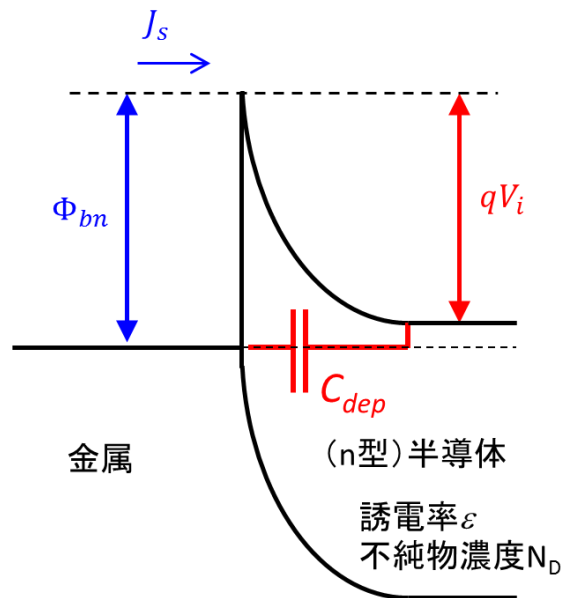


図 2.5 電流, 及び容量とショットキー障壁高さの関係を示す模式図.

・電流-電圧特性に基づいたショットキー障壁高さの見積もり

まず、電流-電圧特性よりショットキー障壁高さを見積もる手法について述べる。半導体中の空乏層幅が十分広いショットキー接合を流れる電流は熱電子電流 (Thermionic current) が支配的となり、半導体が n 型である場合、

$$J = A^*AT^2 \exp\left(-\frac{\Phi_{bn}-\delta\Phi_{if}}{kT}\right) \exp\left(\frac{qV}{nkT}\right) \left[1 - \exp\left(-\frac{qV}{kT}\right)\right] \quad (2.1)$$

$$A^* = \frac{m^*}{m_0}, \quad A = \frac{4\pi q m_0 k^2}{h^3} = 120 \text{ (A/cm}^2\text{/K}^2\text{)}$$

と記述される[5]。ここでそれぞれ $\Phi_{bn}$ はショットキー障壁高さ、 $\delta\Phi_{if}$ は鏡像効果による障壁低下、 $n$ は理想係数、 $A^*A$ は実効リチャードソン定数、 $A$ は自由電子のリチャードソン定数、 $m^*$ はキャリアの実効質量である。またここで実効リチャードソン定数 $A^*A$ は、半導体材料、及びそのキャリアによって異なり、 $A^*$ は

$$A^* = \frac{1}{m_0} \sqrt{l_1^2 m_y^* m_z^* + l_2^2 m_x^* m_z^* + l_3^2 m_x^* m_y^*} \quad (2.2)$$

により決まる。 $l_x$ は $k$ 空間における等エネルギー面からなる回転楕円体の主軸がショットキー界面を形成している方位への方向余弦、 $m_x$ は実効質量テンソルであり、Geを含む代表的な半導体における $A^*$ の値は以下の表 2.1 に示す通りである。

表 2.1 Si, Ge, GaAs における  $A^*$  [2].

	n-type <111>	n-type <100>	p-type
Si	2.2	2.1	0.66
Ge	1.11	1.19	0.34
GaAs	0.068		0.62

2.1 式において鏡像効果による障壁低下を無視できるとして、改めて図 2.6 に示す  $V = 0$  (V)における電流密度の外挿値を飽和電流密度  $J_0$  とすると、

$$J_s = A^*AT^2 \exp\left(-\frac{\Phi_b}{kT}\right) \quad \therefore \Phi_b = kT \ln\left(\frac{A^*AT^2}{J_0}\right) \quad (2.3)$$

の関係式が得られる。よって、既知のパラメータである温度  $T$ ，実効リチャードソン定数  $A^*A$  に加え，電流特性より実験的に見積もられた  $J_s$  によりショットキー障壁高さ  $\Phi_b$  が決定される。以降この手法を便宜上 I-V 法 と記述する。

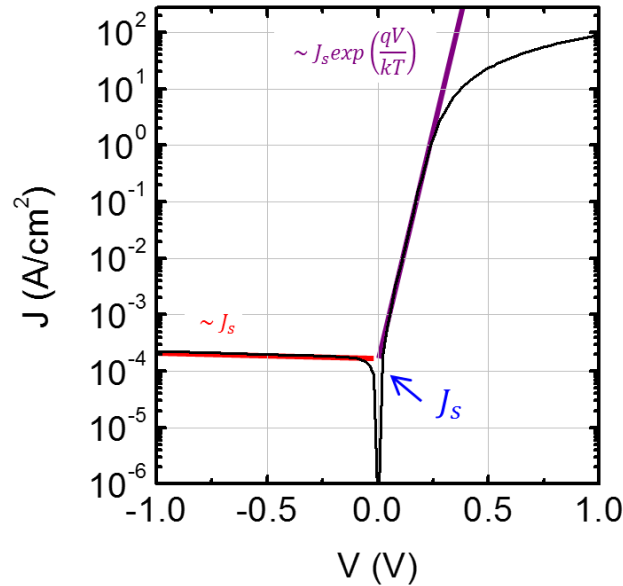


図 2.6 典型的なショットキー接合の電流-電圧特性と飽和電流密度  $J_s$  の導出。

一方で 2.3 式より，

$$\ln\left(\frac{J_s}{T^2}\right) = \frac{\Phi_b}{k} \times \frac{1}{T} + \ln(A^*A) \quad (2.4)$$

の関係が得られることから，測定温度  $T$  をパラメータとした場合には  $J_s/T^2$  の温度依存性から実効リチャードソン定数を用いずにショットキー障壁高さを見積もることができる。以降この手法を I-T 法 と記述する。また，リチャードソン定数を実験的に見積もることができることから，文献値[2]との整合性に基づいてショットキー障壁高さの均一性の議論も可能である。例えば局所的な低ショットキー障壁によるリーク電流の存在により，I-T 法により見積もられるショットキー障壁高さが実効的に低くなる場合があるが，実際に電流が流れる面積が小さいことによって，リチャードソン定数が文献値と比較して極端に小さい値と見積もられることから判断が可能である。

・容量-電圧特性に基づいたショットキー障壁高さの見積もり

次に容量-電圧特性よりショットキー障壁高さを見積もる手法について述べる。半導体の空乏層幅  $W$  が、不純物濃度  $N_D$ 、半導体誘電率  $\epsilon$ 、内蔵電位  $V_i$ 、印加電圧  $V$  を用いて

$$W = \sqrt{\frac{2\epsilon}{qN_D} \left( V_i - V - \frac{kT}{q} \right)} \quad (2.5)$$

と記述される。よってこの厚み  $W$  誘電率  $\epsilon$  の空乏層の容量  $C_{dep}$  は、

$$C_{dep} = \frac{\epsilon}{W} = \sqrt{\frac{q\epsilon N_D}{2(V_i - V - kT/q)}} \quad \therefore \frac{1}{C_{dep}^2} = \frac{2(V_i - V - kT/q)}{q\epsilon N_D} \quad (2.6)$$

と書き表せる。故に、横軸に  $V$  を縦軸に  $1/C_{dep}^2$  をプロットし、プロットの傾きより半導体不純物濃度  $N_D$ 、横軸との切片より内蔵電位  $V_i$  が得られる。典型的な例を図 2.7 に示す。これらに加えてショットキー障壁高さ  $\Phi_{bn}$  は、半導体の真性キャリア濃度  $n_i$  を用いて、

$$\Phi_{bn} = qV_i + kT \ln \left( \frac{N_D}{n_i} \right) \quad (2.7)$$

により見積もられる。以降この手法を C-V 法と記述する。

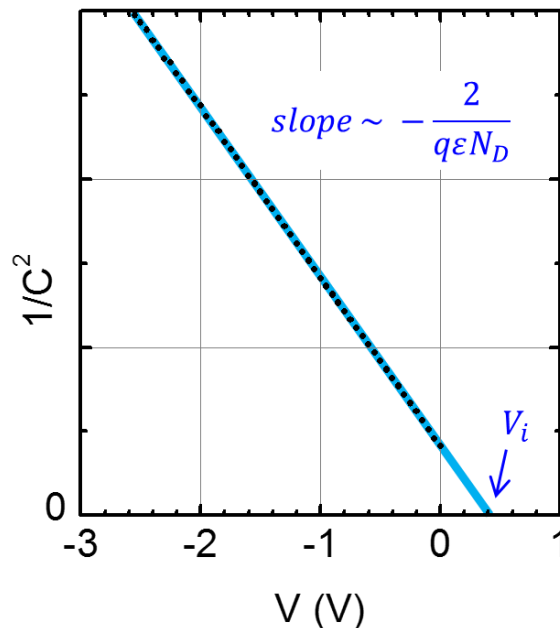


図 2.7 典型的なショットキー接合の容量-電圧特性.

・各手法の長所と短所

最後に前述の手法の長短所について、低ショットキー障壁の検出、及びショットキー障壁高さの不均一性の影響の点から述べる。低ショットキー障壁の検出の限界は接合を流れる off 電流で決まる。I-V 法, I-T 法においては外挿により飽和電流密度  $J_s$  を見積もる為、最低でも off 電流が寄生抵抗により制限される電流値よりも小さい必要がある。一方で C-V 法においては、容量測定値の精度を維持する点で off 電流即ち DC リーク電流値が凡そ  $1\mu\text{A}$  以下であることが望ましい。これは電極面積を小さくすることで低減が可能であるが、一方で検出する容量値が極めて小さくなってしまう。例えば典型的に  $10^{16}/\text{cm}^3$  程度の不純物が導入されている基板に対し、C-V 測定において  $10\text{ pF}$  前後の容量を検出することを前提に、金属/n-Ge 接合の接合面積を  $100 \times 100\ \mu\text{m}$ 、寄生抵抗を  $100\ \Omega$  と仮定して、室温における飽和電流密度とショットキー障壁高さ、及び適用可能な測定法の関係を図 2.8 に示す。C-V 法と比較して I-V, I-T 法がより低いショットキー障壁高さを検出できることがわかる。また、より低いショットキー障壁高さを見積もるに当たっては、測定温度を下げることにより  $J_s$  を低減する手法があるが、I-V 法, I-T 法の優位性は変わらない。

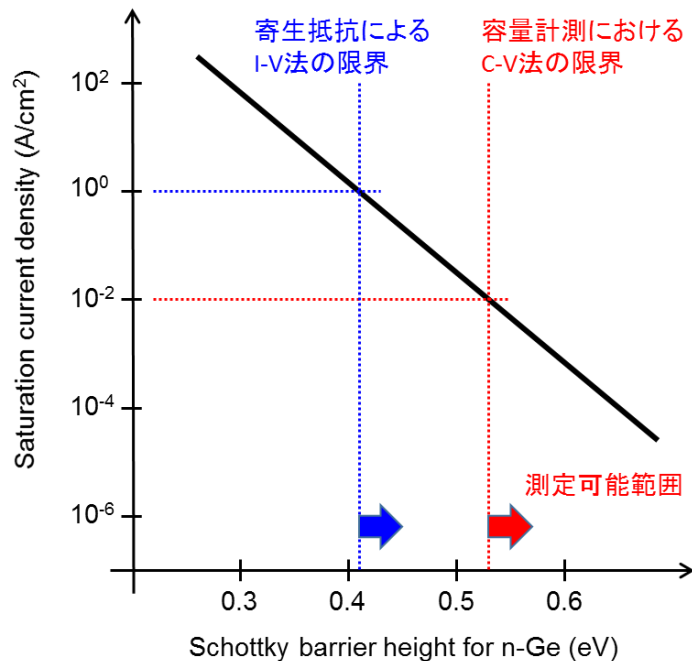


図 2.8 I-V 法, C-V 法で見積もることができるショットキー障壁高さの範囲。

次にショットキー障壁高さの不均一性，厳密には局所的なショットキー障壁の低下が均一性を仮定する障壁高さの見積りに与える影響について考える．測定電流値よりショットキー障壁高さを見積もる I-V, I-T 法においては局所的なリーク電流が見かけ上飽和電流密度  $J_s$  を桁で増大させてしまう．結果として，極めて局所的なショットキー障壁高さの低下が，均一性を仮定したショットキー障壁高さを計算上大幅に低減してしまう．一方で C-V 法においては局所的な低ショットキー障壁も並列な容量として検出される為，I-V 法ほどの見かけ上のショットキー障壁高さの低減を生じない．ここで簡単な例を示す．ほぼ均一な  $0.6\text{ eV}$  のショットキー障壁高さを形成する界面に局所的な  $0.3\text{ eV}$  の低ショットキー障壁をもつ領域があり，これらは互いに影響を与えないと仮定する．（即ち，電流や容量は並列回路の単純な和と仮定する）ここで図 2.9 は  $0.3\text{ eV}$  の低ショットキー障壁領域の比率とそれぞれの手法で均一なショットキー障壁を仮定して見積もられるショットキー障壁高さの関係を示している．C-V 法は I-V, I-T 法に比べて局所的な低ショットキー障壁の影響を極めて受けにくい利点があり，逆に I-V, I-T 法ではショットキー障壁高さの均一性に注意しなければならない．しかし前述の様に，I-T 法ではリチャードソン定数を実験的に見積もることが可能であり，実験的に見積もられる値と理論値の比較からショットキー障壁高さの均一性を検証することができる．

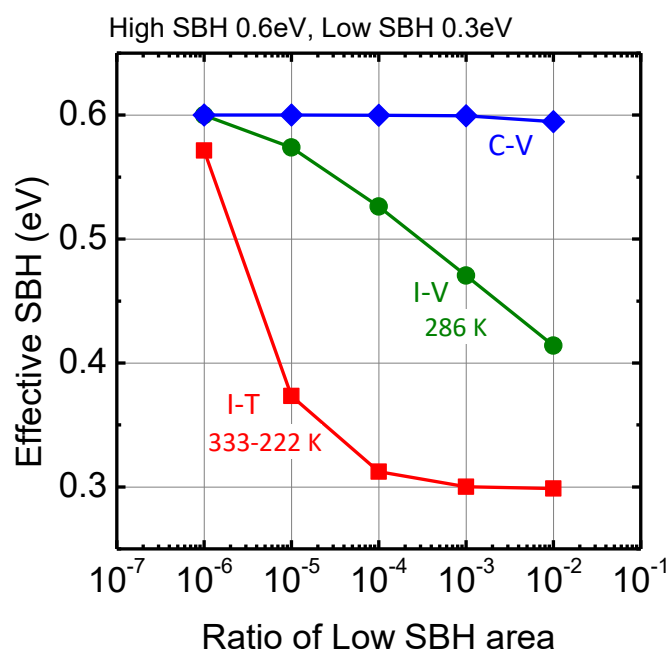


図 2.9 局所的な低ショットキー障壁が均一性を仮定した実効ショットキー障壁高さの見積りに与える影響.

本研究では I-V 法によるショットキー障壁高さの見積もりを中心に、ショットキー障壁高さの均一性の評価、及びダブルチェックの為に、I-T 法と C-V 法による測定を適宜使用することとする。

## 2.2.4 金属の仕事関数と金属/Ge 界面のショットキー障壁高さ

本項では前々項で示した整流性を示した金属/n-Ge(100)接合界面のショットキー障壁高さの見積もり, 及び金属/n-Ge(100)界面に形成されたショットキー障壁高さの金属仕事関数依存性を示す.

図 2.6 に示す様に, off 電流密度の  $V = 0$  への外挿により見積もった飽和電流密度, 及び図 2.7 に示す様に 50 mV, 100 kHz にて測定を行った容量-電圧特性を基に I-V 法, 及び C-V 法で見積もった n-Ge(100)へのショットキー障壁高さ $\Phi_{bn}$ を金属の仕事関数 $\Phi_m$ [4]と共に表 2.2 に示す.

表 2.2 金属の仕事関数 $\Phi_m$ と I-V 法, C-V 法で見積もられた n-Ge(100)へのショットキー障壁高さ $\Phi_{bn}$ .

	Er	Yb	Y	La	Sc	Hf	Zr	Al	Ti	Au	Ni	Pt
$\Phi_m$ (eV)	3.0	3.0	3.1	3.5	3.5	3.9	4.1	4.28	4.2	5.1	5.15	5.65
$\Phi_{bn}$ I-V (eV)	0.54	0.50	0.53	0.57	0.55	0.58	0.58	0.58	0.57	0.59	0.55	0.60
$\Phi_{bn}$ C-V (eV)	-	-	0.48	0.52	0.52	0.52	-	-	0.52	-	0.52	-

まず, 仕事関数が約 3 eV 弱程度異なる金属を用いたにも関わらず, I-V 法で見積もったショットキー障壁高さは 0.1 eV 程度しか変調されていないことが分かる. 同じ接合に対して, C-V 法により見積もられたショットキー障壁高が I-V 法により見積もった値よりも小さい理由は現状不明であるが, その誤差は 0.1 eV 以下となることから凡そ均一なショットキー障壁高さを有する界面が形成されていることが推測される. 金属/Ge 界面において金属の種類, 仕事関数によらず極めて強いピンニングを生じており, 更に Ge のバンドギャップが室温にて 0.66 eV であることを考慮するとその FLP エネルギー準位は Ge 価電子帯端に極めて近いことがわかる. また更に, 図 2.3 の電流特性に示される様に, 金属/n-Ge(100)の接合特性における on 電流は 0 V より指数関数的に増加した後に寄生抵抗により直ぐに飽和している. 故に理想係数  $n$  は狭い電圧の範囲のみから見積もることとなるが, 順方向電圧 0.08 ~ 0.12V の範囲より見積もった値は全て 1.1 未満となった. これは, Ge 基板内に金属の拡散等に由来したバンドギャップ内準位に由来した励起電流の影響は殆どなく, I-V 法より見積もったショットキー障壁値も正しく見積もられていることを支持している.



FLP 強さとエネルギー準位を定量化する為、金属の仕事関数と Ge との界面に形成するショットキー障壁高さの関係を図 2.10 に示す。図 2.10 内に灰色のプロットで示している文献値[1-3]ではバラつきが大きく定量化が困難であった FLP パラメータであるが、図内における傾きより FLP 強さである S パラメータ, Schottky limit を示す直線との交点より FLP エネルギーを示す電荷中性準位  $\Phi_{\text{CNL}}$  がそれぞれ 0.02, 4.58 eV と見積もられる[6]。同時期に Dimoulas らも金属/Ge 界面における FLP に関して系統的な調査を進めており[7]、その結果を図 2.11 に示す。(ここで縦軸の大小関係が図 2.1, 2.10 とは逆になっている点に注意。) 彼らの得た FLP パラメータは図 2.10 より得られたものとも極めて良く整合している。

図 2.10 に示される金属/Ge 界面の Ge 価電子帯端近傍への極めて強い FLP は、コンタクト抵抗低減の観点からみて Ge 価電子帯への低ショットキー障壁形成は極めて容易であると共に金属材料選択の幅が広がるが、一方で Ge 伝導帯への低ショットキー障壁形成は極めて困難であることを示している。

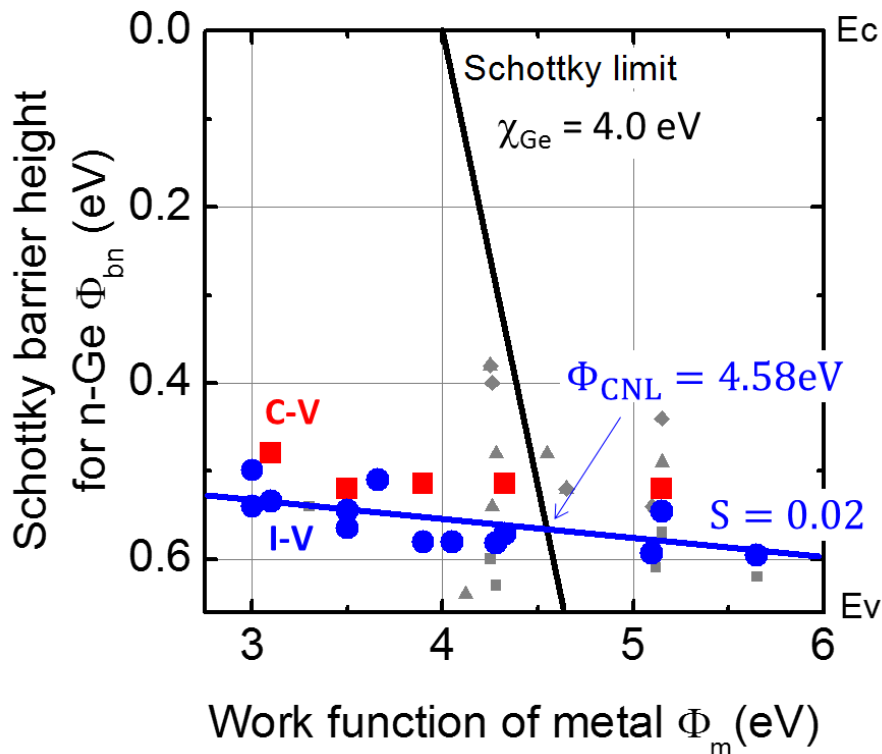


図 2.10 金属の仕事関数と金属/n-Ge 界面におけるショットキー障壁高さの関係[6].

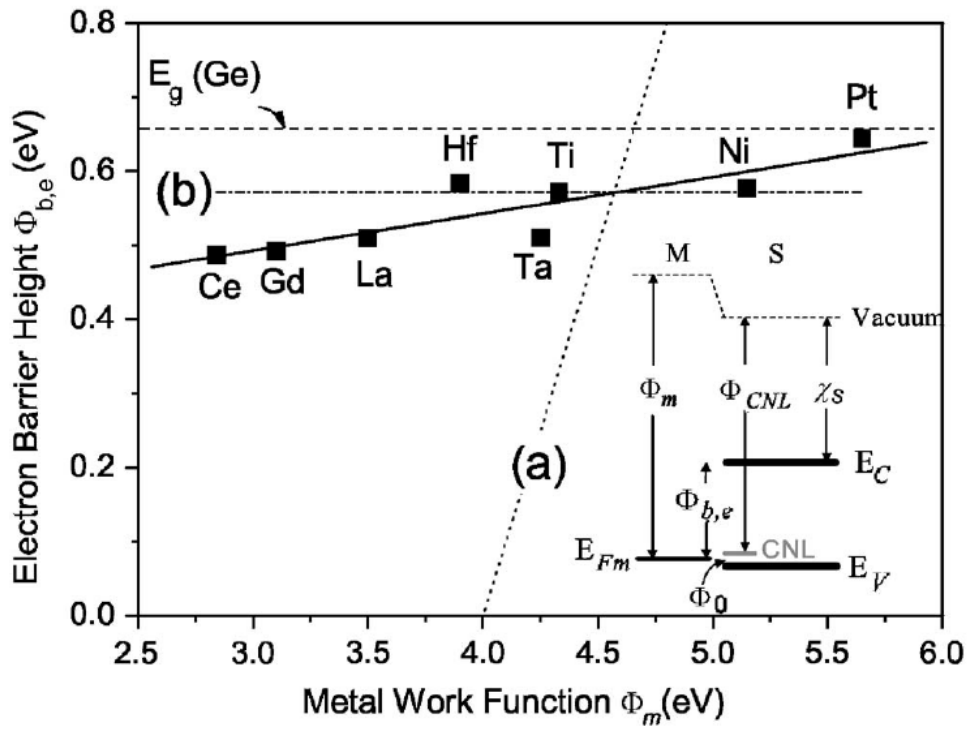


図 2.11 Dimoulas らが調査した金属の仕事関数と  
 金属/n-Ge 界面におけるショットキー障壁高さの関係。  
 A. Dimoulas, et al., Appl. Phys. Lett. **89**, 252110 (2006). より.

### 2.2.5 Ge の FLP と Si の FLP の比較

改めて今回作成した金属/Si 接合界面のショットキー障壁高さを I-V 法により求め、金属/Ge 界面のそれと比較したものを以下の図 2.12 に示す。この図では Si, Ge の電子親和力に n 型基板へのショットキー障壁高さの値を加えることにより、接合界面におけるフェルミ準位から見た界面の半導体側の真空準位までのエネルギーを示している。既に参考書等[2]にも示されているが、図 2.4 において金属/Si 接合の電流-電圧特性に金属の違いが現れる様に、Si は Ge と比較して金属の仕事関数によりショットキー障壁高さをある程度変調できる。FLP 強さを示す S パラメータ, FLP エネルギーを示す電荷中性準位  $\Phi_{CNL}$  は文献値[2]とも良く一致した。FLP を考慮しなければ、ショットキー障壁の低減はバンドギャップからも Ge の方が容易である様に思われる訳だが、前項に示した価電子帯端の極めて強い FLP により Ge は Si 以上に伝導帯への障壁を低減する事が難しいことが分かる[6]。

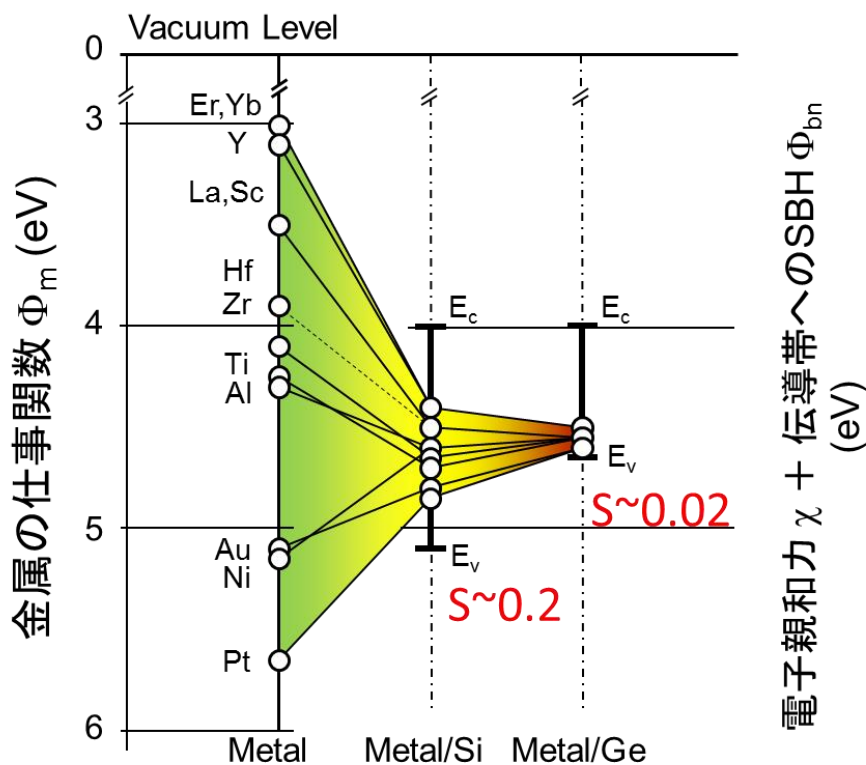


図 2.12 金属の仕事関数と金属/n-Si, 金属/n-Ge 界面のショットキー障壁高さ[6].

## 2.3 金属/Ge 界面における支配的な FLP メカニズムの推測

### 2.3.1 これまでの結果と各種 FLP モデルとの整合性

一般的な金属/半導体界面に生じる FLP のメカニズムについては既に 1 章にて記述したが、本節では 2.2 節において明らかとなった金属/Ge 界面の極めて強い FLP の起源について議論し推測したい。

まず 2.2 節において、様々な金属を抵抗加熱蒸着や電子線蒸着等の手法を用い、更には金属に応じた様々な反応が推測されるにも関わらず、金属に依らずに一定のショットキー障壁が形成されることが示された。また Ge は Si と同じダイヤモンド構造であり  $sp^3$  混成軌道による共有結合を形成しているが、2.2.5 項に示した金属/Si 界面におけるある程度のショットキー障壁高さの制御性は圧倒的に異なっている。これらの結果を素直に鑑みると、FLP の起源は界面特性に由来するものではなく、Ge バルク特性に由来した本質的な MIGS が直観的に相応しい様に思えるのである。

しかしながら今一度、金属/Ge 界面に生じる FLP を特徴づける 2 つのパラメータである FLP 強さ ( $S \sim 0.02$ )、FLP エネルギー準位 ( $\Phi_{\text{CNL}}$ : 価電子帯端より約 0.1 eV) の観点から、各モデルとの妥当性を確認したい。まずは本質的なメカニズムについてみると、MIGS においては FLP の強さについては Mönch により示されている経験的なバンドギャップとの相関関係[8]と整合し、FLP 準位についても Tersoff により示されたバルク Ge の Branch point[9]とも極めて良く一致している。もう一つの本質的なメカニズムである Bond polarization model[10]は狭ギャップ半導体では界面のボンドだけでなく半導体のバックボンドにまで電荷移動が及ぶことから単純に適用できない可能性が指摘されているが、図 2.16 に示すバンドギャップと FLP 強さの関係において FLP の強さの関係は良く整合している。しかし一方でショットキー障壁高さに金属の個性である反応性や構造依存性が現れていない点において、金属/Ge の系を表現するには MIGS がより適している様にみえる。

一方で外因的なメカニズムについて考えてみる。FLP 準位についてみれば、DIGS[11]においては Ge バルクの Branch point であり、MIGS 同様に良く一致している。また UDM[12]は主に III-V 半導体において進められた議論であるが、Ge に適用するならば、FLP 準位が Ge の欠陥レベルに相当するであろう。Ge の欠陥準位の電荷が +0 及び 0/- となる境界が Ge 価電子帯近傍 (価電子帯端より 0.05, 0.11 eV) に存在すること[13]を考慮するならば、これも比較的良く一致すると言える。

FLP 強さについては,  $S \sim 0.02$  から Ge 中の欠陥密度が極めて多量であることを示唆しており, 1.4 式に基づいて  $10^{14}/\text{cm}^2/\text{eV}$  程度存在することにより説明可能ではある.

故に金属/Ge 界面の FLP の起源はバルク由来の MIGS でありそうではあるが, 界面に於ける外因的な欠陥である可能性を否定することはできない. そこでもう少し検討材料を増やすために以下の界面に注目した実験を進めた.

- 低温での金属/Ge 界面形成  
(金属成膜時における Ge 中欠陥生成の抑制)
- Ge 基板面方位依存性  
(欠陥生成における Ge 表面構造依存性)
- Ge 基板表面の原子レベル平坦化  
(Ge 表面近傍における不規則構造の除去)

### 2.3.2 外因的欠陥に由来する FLP の可能性について

まず、金属成膜時に Ge 基板を冷却し、金属原子が Ge 表面に付着する際の欠陥生成の抑制を試みた。GaAs においては、基板温度 100 K で様々な金属を堆積して形成した界面について、金属の  $E_f$  と GaAs の価電子帯端の相関より金属/GaAs 界面のバンドアライメントについて調べられており、室温で形成した金属/GaAs 界面に生じる  $S \sim 0.1$  程度の FLP が低温形成により  $S \sim 1$  程度の Schottky-limit 近くまで緩和する事が報告されている[14]。本研究では液体窒素を用いた試料ホルダの冷却機構により 210 K 程度に冷却した n-Ge(100)基板上に Al 電極を形成した。この際に基板温度については、同等の条件で冷却した Ge 基板上に固定した熱電対により温度の校正を行っている。ここで Al は Schottky-limit において n-Ge に対してオーミック特性が期待できる仕事関数を有する。ここで、Ge 基板の洗浄法に関しては Appendix に示す通り、Al は高真空中 (Base pressure:  $\sim 10^{-5}$  Pa) での電子線蒸着により形成した。

次に欠陥生成・欠陥構造の変調効果として、ショットキー障壁高さの基板面方位依存性についても調査した。表面の原子配置が面方位依存性を有することは勿論、そこに金属電極が形成される際の欠陥導入量が面方位依存性を示すことはあってもよい様に思われる。そこで、Ge(100), (110)及び(111)基板上に形成した様々な金属/Ge 接合のショットキー障壁高さを比較した。Ge 基板の洗浄法に関しては同様に Appendix に示す通り、電極金属は超高真空中 (Base pressure:  $\sim 10^{-8}$  Pa) の電子線蒸着、もしくは真空中での抵抗加熱蒸着により形成している。

上述の試料について I-V 法により見積もったショットキー障壁高さ と Schottky-limit において想定されるショットキー障壁高さの予想値と合わせて図 2.13 に示す。低温において形成した Al/Ge 界面のショットキー障壁高さは、室温で形成したものとほぼ同じ値を示しており、依然 Schottky-limit における予想値からは大きく逸れている。また、Ge 基板面方位依存性についてみても、面方位間において差は殆どみられていない。

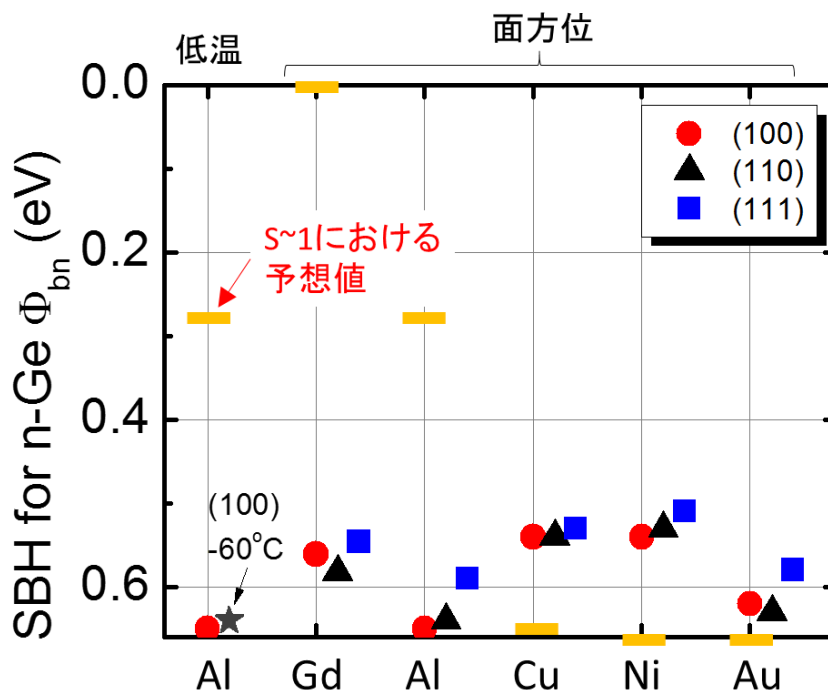


図 2.13 低温界面形成及び Ge 基板面方位と界面のショットキー障壁高さの関係.

最後に Ge 表面の平坦性が金属/Ge 界面の FLP に及ぼす影響についての検討結果を述べる. 化学洗浄直後の Ge 基板表面の  $1\ \mu\text{m}$  における表面粗さは, 付録に示した様に高さバラつきの自乗平均値 (RMS) として約  $0.2\sim 0.3\ \text{nm}$  程度であり, Si の表面粗さの RMS が  $0.15\ \text{nm}$  程度であることと比較して, やや荒れている. 基板表面凹凸の peak to valley の値が RMS の 6 倍 ( $\pm 3\sigma$ ) 程度であること, Ge 原子間の結合長が  $0.2\ \text{nm}$  程度であることを考慮すると, 基板表面の凹凸は数原子層程度に及び, それに伴う不規則な結合層が形成されている可能性も挙げられる.

一方 Si において  $\text{H}_2$  雰囲気[15]や Ar 雰囲気[16]中の熱処理により基板表面にステップ&テラス構造が形成され, テラス上が原子レベルで平坦化されることが知られている. Ge に関しても同様に化学洗浄後に  $\text{H}_2$  雰囲気中での熱処理により表面の平坦化を試みたところ, (111), (110)面については  $500^\circ\text{C}$  以上の温度の熱処理で, (100)面については  $800^\circ\text{C}$  以上の温度の熱処理で表面が平坦化することが明らかとなった[17,18]. 典型的な  $650^\circ\text{C}$ , 15min の  $\text{H}_2$  アニールを行った Ge 基板表面の原子間力顕微鏡像, 及びその断面プロファイルを図 2.14 に示す. Ge(111)面における理想的なステップ高さは  $0.326\ \text{nm}$  であり, 原子間力顕微鏡において検出されるステップ高さと極めてよく一致している. また余談ではあるが, 当研究室では  $\text{H}_2$  アニールにより Ge n-MOSFET における High-Ns 領域における反転層電子移動

度を極めて効果的に抑制し、また Ge 基板中の酸素を除去すると共に電子の移動度が改善することが明らかになっており[19], 少なくともこの点において H<sub>2</sub>アニールは極めて有効である.

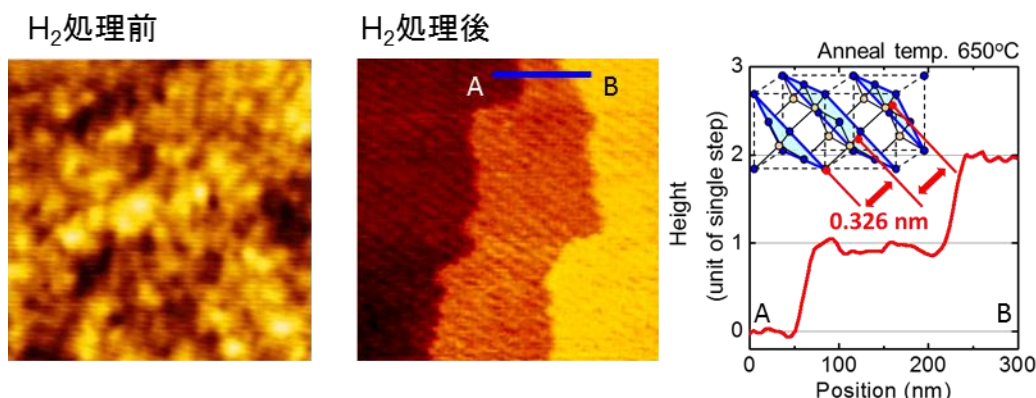


図 2.14 H<sub>2</sub> アニール(650°C, 15min)前, 及び直後の Ge(111)表面の原子間力顕微鏡像 (1 μm<sup>2</sup>)及び後者の横軸方向の断面高さプロファイル[17].

付録に示す化学洗浄の後に 650°C での H<sub>2</sub> アニールを行った n-Ge(111)基板上に Mg ( $\Phi_m$ : 3.66 eV), Al (4.28 eV) 及び Au (5.1 eV) 電極を蒸着し, 平坦な界面構造を有することが期待される金属/Ge 接合を作成した. 上述の試料について I-V 法により見積もったショットキー障壁高さを金属の仕事関数に対してプロットした結果を図 2.15 に示す. 図からも明確に分かる様に H<sub>2</sub> アニール処理を行っていない界面とほぼ同等のショットキー障壁高さを示すと共に, Schottky-limit から外れた依然強い FLP を示していることが分かる.

以上より界面欠陥生成の抑制, 及び変調の試みは金属/Ge 界面の FLP に殆ど影響を及ぼさないことが分かった. これは金属/Ge 界面における FLP の起源が外因的な欠陥に由来していない証拠にはならないが, 2.2 節における結果と併せて, 金属/Ge 界面における支配的な FLP メカニズムが MIGS である妥当性はより高まったと云えるであろう.



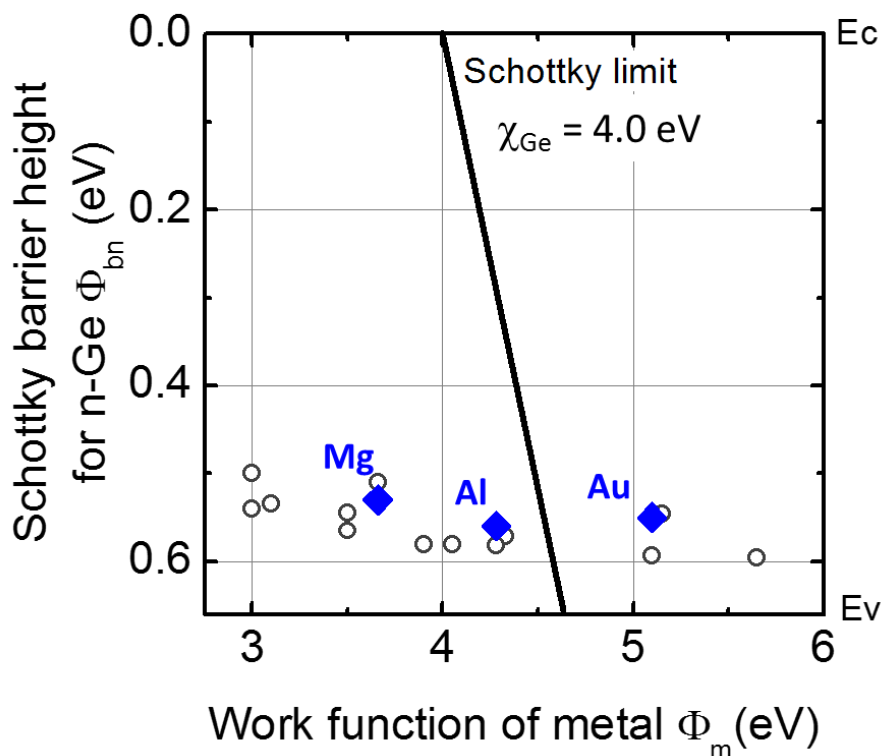


図 2.15  $H_2$  アニール (500°C, 5min) 処理により Ge(111) 表面を平坦化して形成した金属/Ge 界面のショットキー障壁高さ.  
 参考値: 処理を行っていない金属/Ge(100) 界面のショットキー障壁高さ.

## 2.4 MIGS 抑制のアプローチ

では上述の実験結果より推測される MIGS をどの様に抑制するか？金属によるショットキー障壁高さの制御性を高めるという観点から、FLP を特徴づけるパラメータの内、特に“FLP 強さ  $S$ ”について MIGS の原理に立ち戻りその手法を検討したい。

まず、MIGS の FLP 強さについてであるが、前章においても示した様に Mönch [8]が様々な半導体のバルク特性(誘電バンドギャップ)との関係を整理し(図 2.16), 半導体のバルク特性との系統的な相関を指摘している。

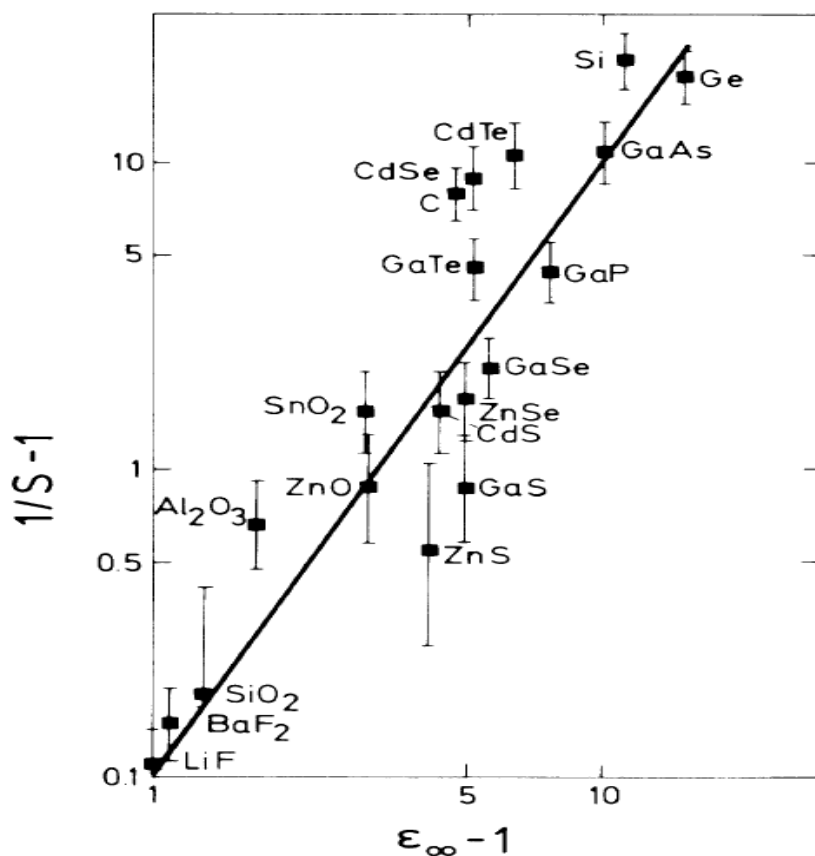


図 2.16 各種半導体構成元素の光学誘電率 (誘電バンドギャップと相関)と FLP 強さ  $S$  の関係(図 1.14 と同じ).

W. Mönch, J. Vac. Sci. Technol. B **6**, 1270 (1988). より.

MIGS は金属中キャリアの波動関数が有限の障壁を持つ半導体バンドギャップ内に浸み出すことにより、金属/半導体界面にダイポールが形成される。更に Mönch [8]の考察に従えば、図 2.16 の関係式、及び前章における Cowley と Sze の界面準位モデルに基づく電気二重層のダイポール[20]を考えると、

$$\frac{1}{S} - 1 = 0.29(\epsilon_{\infty} - 1)^2 = \frac{q}{\epsilon} D_{migs} \delta \quad (2.8)$$

の関係が得られる。ここで  $D_{migs}$  は半導体で決まる MIGS の界面準位密度、 $\delta$  はダイポール長に相当する電子の浸み出し長（波動関数の減衰長）に相当し、誘電ギャップの拡がりに伴い  $D_{migs} \delta$  が低減することを示している。即ち半導体材料に応じて  $D_{migs} \delta$  が決まることを示唆している。

ここで改めて金属/Ge 界面における MIGS の制御性について考えてみたい。半導体は既に Ge であることから、消去法的に界面、若しくは金属側からの制御しかありえない。まずは界面からのアプローチであるが、本研究では直観的な金属/Ge 界面に物理的な距離を取る手法を試みることにする。つまりダイレクト金属/半導体界面における MIGS の強さが 2.8 式において決まるとしても、金属-Ge 間において物理的な距離を取ることで、実効的に Ge 中への電子の浸み出しが抑制されれば MIGS は減少すると予想される。詳細については次の3章にて述べる。次に金属側からの制御であるが、上述の Mönch の考察に基づけば MIGS における FLP の強さを決める  $D_{migs} \delta$  は金属側より制御できない様に思われるが、電子の波動関数の浸み出しという物理描像にまで立ち戻り、金属の特性が MIGS における FLP 強さに与える影響について再考するところから検討を進める。(MIGS モデルを考案した Heine によれば FLP を生じる界面ダイポール電荷密度が金属特性に依存する可能性についても触れている[21].) 詳細については4章において述べる。

## 2.5 本章のまとめ

本章ではまずこれまでに報告されている金属/Ge 界面に形成されるショットキー障壁高さに関しての先行研究を紹介し，データのバラつきや金属の仕事関数幅が狭いことから先行研究のデータを基に FLP の議論を行う事は難しいことを示した．

本研究ではまず 3 eV 程の仕事関数幅を持たせた様々な金属を用意し，金属/Ge(100)界面に形成されるショットキー障壁高さを系統的に調査した．ショットキー障壁高さの見積もりに関しては原理が異なる I-V 法と C-V 法を組み合わせることによりその値を相互に検証し，界面において Ge 価電子帯端に極めて強い FLP (S パラメータとして 0.02) を生じることを明らかにした．

Ge のバンドギャップは 0.66 eV と Si の 1.12 eV に比べて約半分であることから，直観的には伝導帯及び価電子帯に対するショットキー障壁高さの低減が Si よりも容易であると推測されるが，現実的には上述の Ge 価電子帯端への極めて強い FLP により，Ge の伝導帯に対して低ショットキー障壁を形成は Si のそれよりもむしろ困難であることが示された．

更に低温金属成膜や，基板面方位依存性がショットキー障壁高さに与える影響が実験の範囲内ではみられないことから，金属/Ge 界面における FLP の起源について本質的かつバルク Ge の特性で FLP エネルギー準位が決まる MIGS が最も妥当であろうという結論に至った．

本章における内容は主に T. Nishmura, K. Kita, and A. Toriumi, Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface, Appl. Phys. Lett. **91**, 123123 (2007).においてまとめている．

## 参考文献

- [1] A. Thanailakis and D. C. Northrop, Metal-geranium Schottky barriers, *Solid-State Electron.* **16**, 1383 (1973).
- [2] S. M. Sze, *Physics of Semiconductor Devices* 2<sup>nd</sup> ed., (Wiley, New York, 1981)
- [3] E. D. Marshall, C. S. Wu, C. S. Pai, D. M. Scott, and S. S. Lau, Metal-germanium contacts and germanide formation, *Mat. Res. Symp. Proc.* **47**, 161 (1985).
- [4] H. B. Michaelson, The work function of the elements and its periodicity, *J. Appl. Phys.* **48**, 4729 (1977).
- [5] W. Mönch, *Electronic Properties of Semiconductor Interfaces*, (Springer, Berlin, 2004).
- [6] T. Nishimura, K. Kita, and A. Toriumi, Strong Fermi-level pinning of wide range of work-function metals at valence band edge of germanium, *Ext. Abs. Solid States Device and Materials 2006* (Yokohama, Japan),  
T. Nishimura, K. Kita, and A. Toriumi, Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface, *Appl. Phys. Lett.* **91**, 123123 (2007).
- [7] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, Fermi-level pinning and charge neutrality level in germanium, *Appl. Phys. Lett.* **89**, 252110 (2006).
- [8] W. Mönch, Mechanisms of Schottky barrier formation in metal semiconductor contacts, *J. Vac. Sci. Technol. B* **6**, 1270 (1988).
- [9] J. Tersoff, Schottky barrier heights and the continuum of gap states, *Phys. Rev. Lett.* **52**, 465 (1984).
- [10] R. T. Tung, Chemical Bonding and Fermi Level Pinning at Metal-Semiconductor Interfaces, *Phys. Rev. Lett.* **84**, 6078 (2000).
- [11] H. Hasegawa and H. Ohno, Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces, *J. Vac. Sci. Technol. B* **4**, 1130 (1986).

- [12] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su, and I. Lindau, New and unified model for Schottky barrier and III-V insulator interface states formation, *J. Vac. Sci. Technol.* **16**, 1422 (1979).
- [13] P. Broqvist, A. Alkauskas, and A. Pasquarello, Defect levels of dangling bonds in silicon and germanium through hybrid functionals, *Phys. Rev. B* **78**, 075203 (2008).
- [14] R. E. Viturro, S. Chang, J. L. Shaw, C. Mailhot, L. J. Brillson, A. Terrasi, Y. Hwu, G. Margaritondo, P. D. Kirchner and J. M. Woodall, Low temperature formation of metal/molecular-beam epitaxy-GaAs(100) interfaces: Approaching ideal chemical and electronic limits, *J. Vac. Sci. Technol. B* **7**, 1007 (1989).
- [15] L. Zhong, R. Takeda, K. Izunome, Y. Matsushita, Y. Aiba, J. Matsushita, J. Yoshikawa, K. Hayashi, H. Shirai, and H. Saito, Surface modification of silicon (111) by annealing at high temperature in hydrogen, *Appl. Phys. Lett.* **68**, 2349 (1996).
- [16] R. Kuroda, A. Teramoto, Y. Nakao, T. Suwa, M. Konda, R. Hasebe, X. Li, T. Isogai, H. Tanaka, S. Sugawa, and T. Ohmi, Complementary metal–oxide–silicon field-effect-transistors featuring atomically flat gate insulator film/silicon interface, *Jpn. J. Appl. Phys.* **48**, 04c048 (2009).
- [17] T. Nishimura, C. H. Lee, K. Nagashio, and A. Toriumi, Step and terrace formation on Ge(111) surface in H<sub>2</sub> annealing, *Appl. Phys. Express* **5**, 121301 (2012).
- [18] T. Nishimura, S. Kabuyanagi, W. Zhang, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomically flat planarization of Ge(100), (110), and (111) surfaces in H<sub>2</sub> annealing, *Appl. Phys. Express* **7**, 051301 (2014).
- [19] C. H. Lee, T. Nishimura, T. Tabata, C. Lu, W. Zhang, K. Nagashio, and A. Toriumi, Reconsideration of electron mobility in Ge n-MOSFETs from Ge substrate side -atomically flat surface formation, layer-by-layer oxidation, and dissolved oxygen extraction-, *Tech dig. IEDM 2013*.
- [20] A. M. Cowley and S. M. Sze, Surface states and barrier height of metal-semiconductor systems, *J. Appl. Phys.* **36**, 3212 (1965).

[21] V. Heine, Theory of surface states, Phys. Rev. **138**, A 1689 (1965).





## 第3章 極薄絶縁膜を用いた FLP の緩和

前章においては元素金属/Ge 界面において Ge 価電子帯端への極めて強い FLP が生じること, 及びそれらは本質的な Metal induced gap states (MIGS) に由来する可能性が高いことを示した. 本章では MIGS モデルに基づいて, その FLP の起源となる金属から半導体ギャップ内への電子の波動関数の浸み出しを元素金属/Ge 界面に極薄の絶縁膜の導入により界面から抑制する試みについて述べる. また, 金属/Ge 界面が金属/絶縁膜, 絶縁膜/Ge 界面に置き換えられている点にも注意し, 界面終端効果と膜厚による MIGS 抑制効果の切り分けについても議論を行う.

### 3.1 界面層の導入による MIGS の緩和の試み

前節において述べた MIGS のメカニズムに基づくならば，図 3.1 に示す様に金属/半導体界面にある程度の空間的なギャップを形成することにより，半導体ギャップ内への電子の波動関数の浸み出しが抑制され，FLP が緩和することが期待できる．Al/Si 界面において Si のギャップ内に形成される MIGS について第一原理計算がなされているが，1.12eV のバンドギャップを有する Si に対して MIGS の侵入長は 1 nm 程度[1]であることを考慮するならば，1 nm 程度の空間的なギャップで十分で MIGS は抑制されるであろう．この程度の距離であれば，もちろんギャップを形成する材料の障壁高さにもよるが，十分な電流が流れる筈である．

その程度の空間的ギャップを真空や大気で精緻に制御するには専用の装置系が必要になるが，一方で界面層などの薄膜を金属/Ge 界面に導入することは容易である．例えば Ge 基板の熱酸化や Ge 基板上にスパッタリングなどによる堆積を用いれば良い．次節において詳細を述べるが，厚い絶縁膜を導入した場合に相当する金属/絶縁膜/Ge 構造 (MIS キャパシタ) において，十分 FLP が弱い状況を実現していたこともあり，極薄の絶縁膜を界面層として FLP が強い元素金属/Ge 界面に導入し，FLP の緩和を試みることにした．

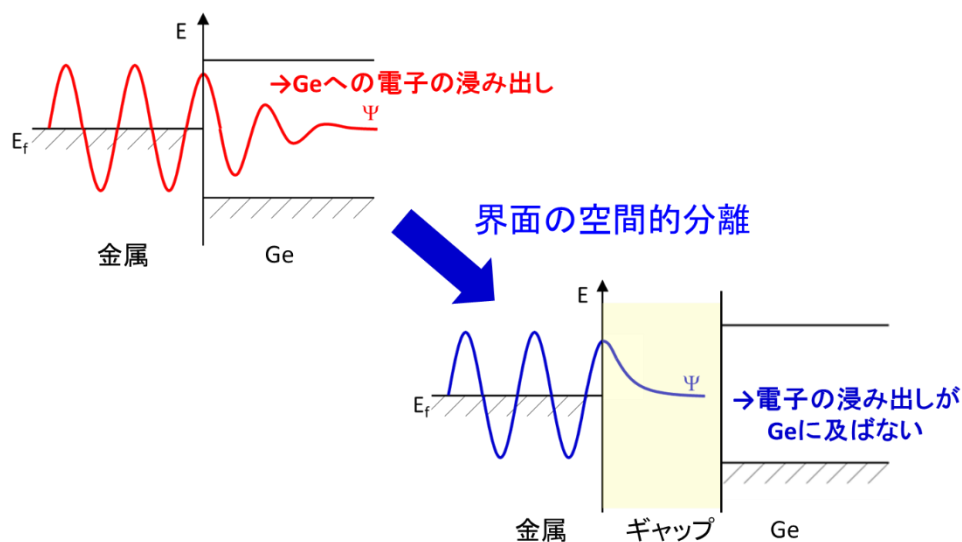


図 3.1 空間的ギャップの形成による MIGS 抑制の概念図.

本章ではまず厚い絶縁膜を導入した場合に見られる FLP を生じない良好な金属/絶縁膜/Ge 接合を示した後に、十分な電流が流れる程度の極薄絶縁膜を導入した場合における界面におけるショットキー障壁高さの変化、及び FLP について議論する。ここでは金属/Ge 界面が金属/絶縁膜、絶縁膜/Ge 界面に置き換えられている点に関しても注意し、ショットキー障壁高さ、FLP の変調効果の起源についても議論を行いたい。

### 3.2 十分に厚い絶縁膜を用いた金属/絶縁膜/Ge 界面の FLP

十分に厚い絶縁膜を有する金属/絶縁膜/Ge キャパシタでは当然ながら金属-Ge 間における MIGS は生じないと考えられるが、幸いにも既に当研究室では Ge MOSFET におけるゲートスタックに関わる研究において、確かにその様な金属/絶縁膜/Ge キャパシタでは FLP を生じない良好な界面形成が可能であることを既に実証してきた。まずはその詳細について述べたい。

図 3.2 は典型的な金属/GeO<sub>2</sub>/p-Ge キャパシタの測定周波数 1 MHz における C-V 特性を示している。ここで GeO<sub>2</sub> 膜は化学洗浄を行った p-Ge(100)基板上にスパッタリング法により 15 nm 堆積しており、堆積後に N<sub>2</sub> 雰囲気 400°C の熱処理を行っている。電極には低仕事関数の Al ( $\Phi_m$ : 4.28 eV) と高仕事関数の Au (5.1 eV) を選択し、抵抗加熱蒸着によりメタルマスクを用いてドット形状のものを GeO<sub>2</sub> 上に形成している。

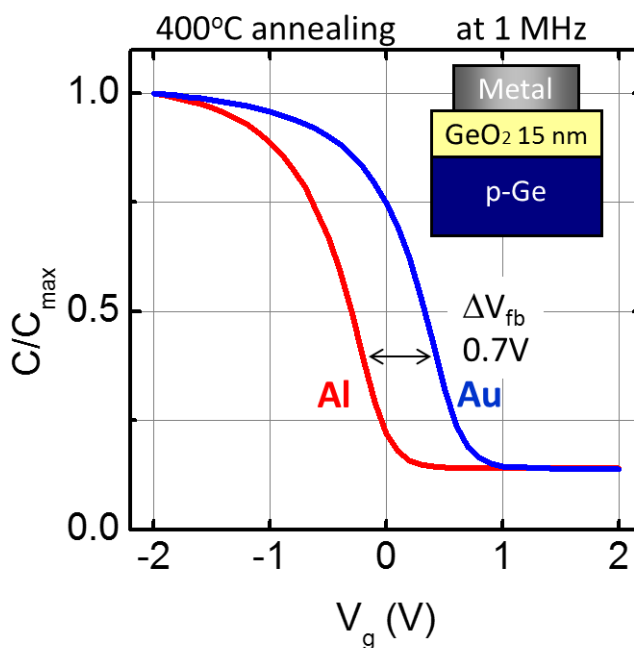


図 3.2 金属/GeO<sub>2</sub>(15 nm)/p-Ge キャパシタの容量-電圧特性.

まず図 3.2 に示す容量-電圧特性において、半導体のバンドがフラットになるゲート電圧 (フラットバンド電圧:  $V_{fb}$ ) に金属の違いが現れていることが分かる。ここで  $V_{fb}$  は蓄積領域より決まる酸化膜容量と Ge 中バルクのキャリア密度におけるスクリーニング長により決まる Ge の容量の直列合成容量をフラットバンド容量とし、測定容量値とフラットバンド容量値が一致するゲート電圧を  $V_{fb}$  としてい

る. この  $V_{fb}$  の金属による違いは図 3.3(a)に示される様に金属/絶縁膜界面において金属/絶縁膜界面のバンドアライメントにおいて金属の仕事関数差が反映されていること, 即ち金属/絶縁膜界面では金属/Ge 界面の様な FLP を生じていないことを示している. また, C-V 特性の曲線は, ゲート電圧が負電圧側より正電圧側に変わるにつれて, 絶縁膜/半導体界面近傍の半導体において蓄積, 空乏, 反転と変化し, 半導体の表面ポテンシャルがゲート電圧に応じて変化していることを示すものである (図 3.3(b)). このことは絶縁膜/Ge 界面においても同様に強い FLP は生じていないことを意味する.

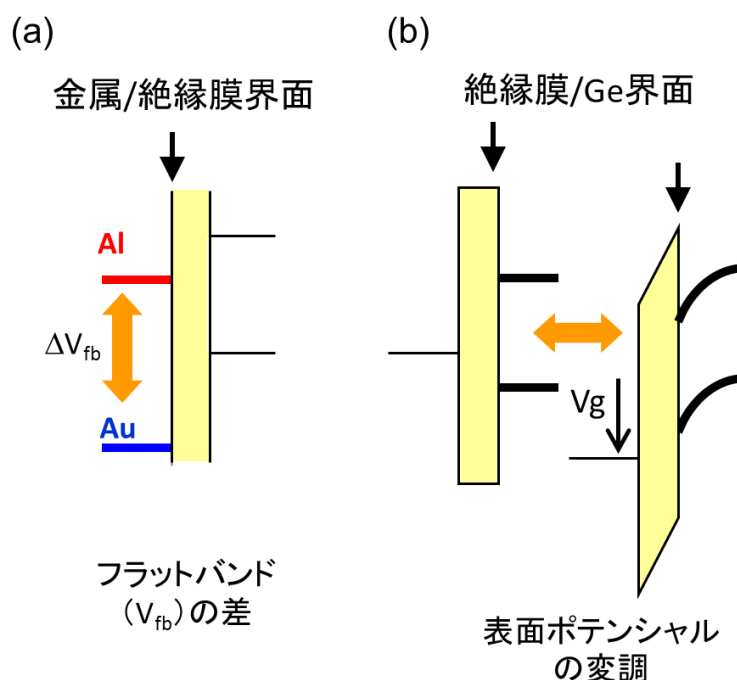


図 3.3 C-V 特性より推測される強い FLP を有さない金属/ $\text{GeO}_2$ /Ge スタックにおける(a)金属/絶縁膜及び(b)絶縁膜/Ge 界面.

$\text{GeO}_2$  の厚みが 15 nm では電流を流すことができないが, 1~2 nm 程度にまで薄膜化すれば金属/絶縁膜/Ge 接合も十分電流を流すことができる. その様な状況における FLP の振る舞いを次節より示したい.

### 3.3 低仕事関数金属/極薄 GeO<sub>2</sub>/Ge 接合の電流-電圧特性

1.3 節において述べた様に、界面での電荷移動を生じない Schottky-Mott モデルに沿った界面が形成される場合には、低仕事関数の金属が n-Ge に対してのショットキー障壁が低減し、オーミックコンタクトが形成されることとなる。そこで、比較的仕事関数が低い Al ( $\Phi_m$ : 4.28) を電極として、Al/極薄 GeO<sub>2</sub>/Ge 接合における接合特性を評価した。ここで極薄 GeO<sub>2</sub> 膜はスパッタリング法により堆積しており、膜厚は成膜時間により制御し約 1.5~2 nm とした。ここで GeO<sub>2</sub> 膜厚と成膜時間の関係は X 線反射率測定により校正を行っている。付録に示す化学洗浄を行った n 及び p-Ge(100)基板上に GeO<sub>2</sub> 膜を堆積した後、GeO の脱離を生じない程度の低温 (400°C) [2]にて N<sub>2</sub> アニールを行い、GeO<sub>2</sub> 上に Al 電極を抵抗加熱蒸着により形成した。これらの接合において得られた電流-電圧特性を図 3.4, 3.5 に示す。

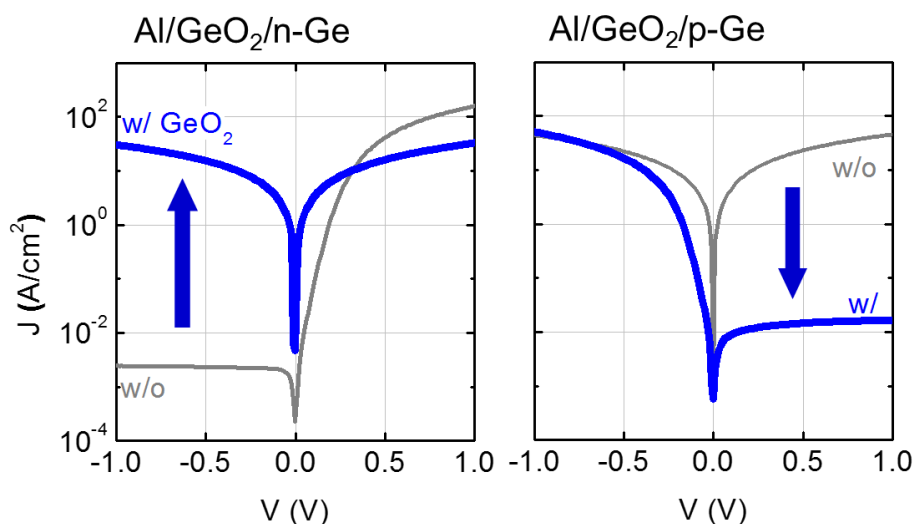


図 3.4 Al/極薄 GeO<sub>2</sub>/Ge 接合の電流-電圧特性(log スケール).

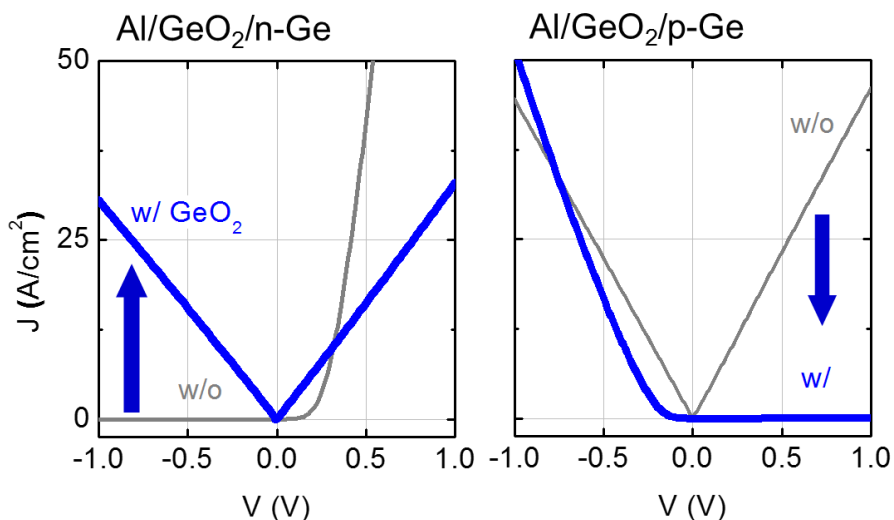


図 3.5 Al/極薄 GeO<sub>2</sub>/Ge 接合の電流-電圧特性(線形スケール).

GeO<sub>2</sub> 薄膜の導入により, n-Ge に対しての off-state 電流が増加すると共にオーミック特性が, p-Ge に対しての off-state 電流が減少してショットキー特性が得られている[3].

勿論, n-Ge に対する結果のみからは金属/Ge 界面に導入された絶縁膜が本来 Ge の空乏層が全て受け持つ内蔵電位の一部を負担することにより, 実効的なショットキー障壁高さ(界面におけるフェルミレベルと Ge のバンド端のエネルギー差)を小さくする可能性も十分考えられるが(図 3.6), p-Ge に対して逆に off-state 電流が減少していることを考慮すれば, 期待通り界面におけるフェルミ準位と Ge のバンドのアライメントが図 3.7 に示す様に変化した効果が主に現れていると推測される.

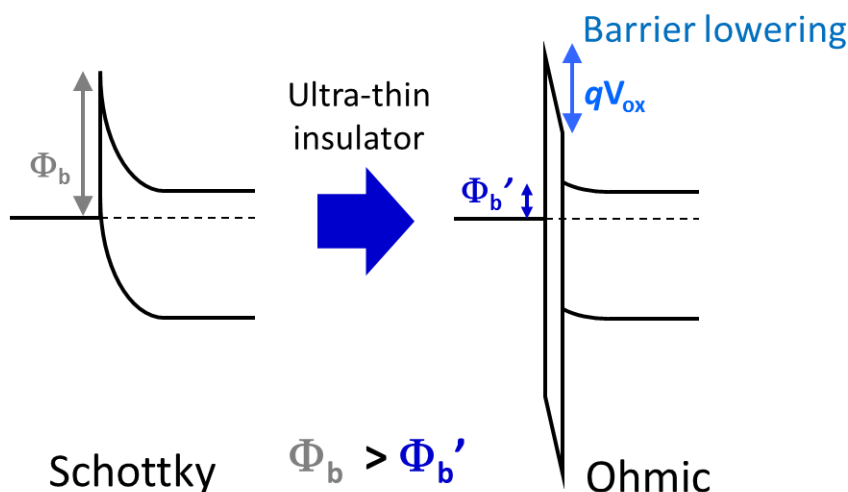


図 3.6 界面絶縁膜による実効的なショットキー障壁低下の可能性.

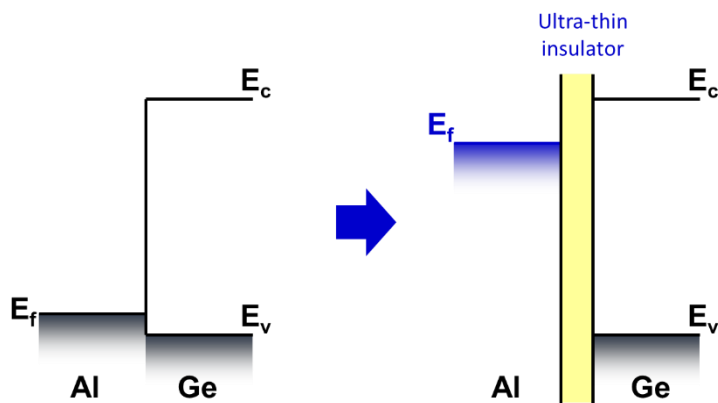


図 3.7 電流-電圧特性より推測される Al/極薄 GeO<sub>2</sub>/Ge 界面のバンドアライメント.

Al/GeO<sub>2</sub>/Ge 界面構造についても改めて TEM 観察による調査を行った。図 3.8 に断面 TEM 像を示す。アモルファス GeO<sub>2</sub> 層が Al 電極と Ge 基板との間に約 2 nm 形成されていることが分かる。

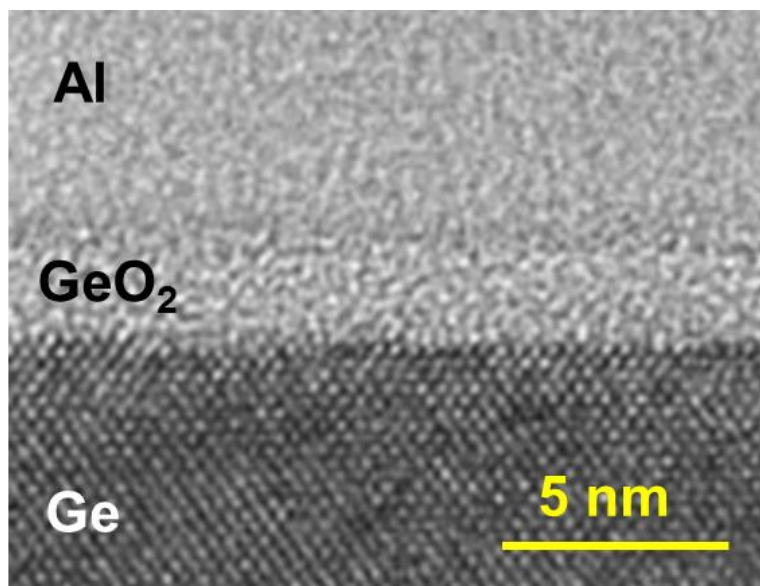


図 3.8 Al/極薄 GeO<sub>2</sub>/Ge 界面の断面 TEM 観察像。

MIGS の考え方に基づいて金属/半導体界面に極薄絶縁膜を導入する試みは、2007 年当時本研究が初めての試みであると考えていたが、文献を調べるうちに Si に関して同様のアプローチが試みられていることが分かった[4]。界面構造依存性を含めて多くの FLP モデルが議論される Si ではあるが、この研究は図 3.9 に示す様に MIGS 抑制の立場を取り FLP の抑制を試みている。Mg の仕事関数が約 3.7 eV、Si の伝導帯端が真空準位より 4.0 eV であることを考慮すると、Mott-Schottky モデルではオーミックコンタクトが期待されるが、Mg/n-Si ダイレクト接合では FLP が Ge に比べて弱いとはいえ 0.45 eV のショットキー接合を形成してしまう。そこで界面に極薄の SiN 膜を導入することにより、Mg/n-Si 界面のショットキー障壁高さを 0.20 eV にまで低減し、コンダクタンスが一定となるオーミック接合の形成に成功している。しかし、金属/Si 界面の FLP は 2.2 節において示した様に S パラメータは 0.2 程度と Ge と比較して弱く、金属の真空仕事関数によってショットキー障壁高さを制御することがある程度可能であるが、Ge はほぼ完全な FLP であるが故に本手法の有効性が示された点は重要である。また、Ge のバンドギャ



アップ狭い故に n,p 型の基板に対してショットキー、オーミック性の完全反転が現れる点も Ge ならではの特徴と云えよう。

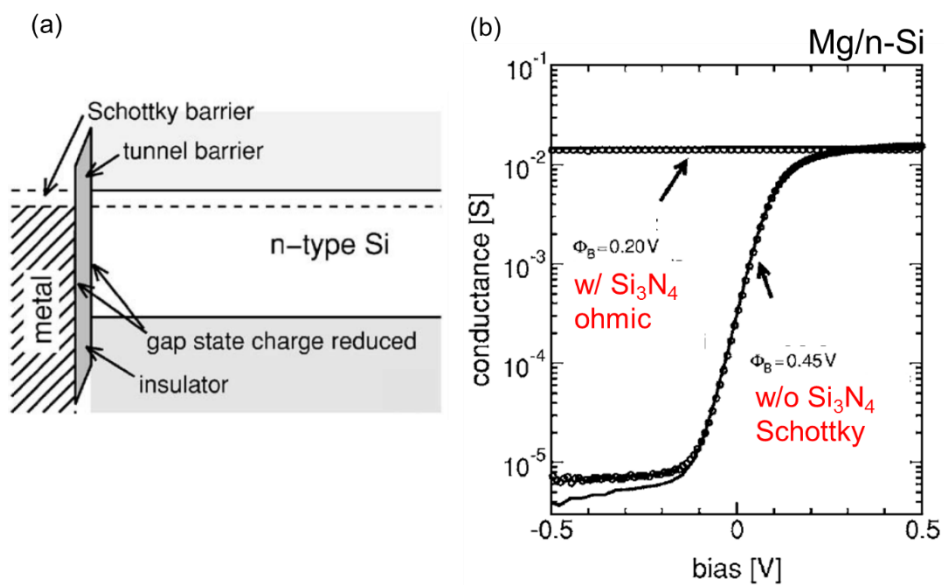


図 3.9 (a)極薄 SiN 膜による金属/Si 界面の MIGS の抑制イメージと  
 (b)Mg/n-Si 界面のショットキー障壁の低減.  
 D. Connelly, et al., Appl. Phys. Lett. **88**, 012105 (2006). より.

### 3.4 金属/極薄 GeO<sub>2</sub>/Ge 界面における FLP

前節 3.3 に示した様に、低仕事関数の Al と Ge の界面に極薄の GeO<sub>2</sub> 膜の導入により n-Ge への大幅なショットキー障壁の低下とそれに伴うオーミック接合の形成、及び p-Ge へのショットキー障壁の増大が確認された。しかしながら FLP を特徴づける FLP 強さ、及び FLP エネルギー準位のパラメータの詳細はまだ不明である。本節では仕事関数の異なる金属における極薄絶縁膜によるショットキー障壁高さの変調効果を調べ、これらの FLP パラメータの変化について示す。

付録に示す手法で化学洗浄を行った n 及び p Ge(100)基板上に約 1 nm の GeO<sub>2</sub> 膜を形成し、In ( $\Phi_m$ : 4.09 eV), Al (4.28), Ag (4.64), Cu (4.65), Au (5.1) 電極を抵抗加熱蒸着することで金属/GeO<sub>2</sub>(1 nm)/Ge 接合を作成した。電流-電圧特性より、I-V 法によりショットキー障壁高さを決定した。(極薄絶縁膜はその膜厚、誘電率に応じた電位降下があるために、C-V 法を用いたショットキー障壁高さの見積もりによる整合性の確認やショットキー障壁高さの均一性を評価することが難しい。) ここではショットキー障壁高さの導出に当たり、GeO<sub>2</sub> 膜の抵抗に起因した電流低減を考慮せず、金属/Ge 接合同様に Ge のリチャードソン定数をそのまま適用しているため、実際のショットキー障壁高さと比較して高めに見積もられている可能性がある。金属の真空仕事関数とショットキー障壁高さの関係を図 3.10 に示す。GeO<sub>2</sub> 膜の導入により、低仕事関数の金属において Ge 伝導帯へのショットキー障壁の低下が生じることは前節において定性的に示したが、一方この図からは高仕事関数の金属ではほぼ変化していないことが読み取れる。一部 n-Ge と p-Ge のショットキー障壁高さが一致しない(それぞれのショットキー障壁高さの和を取るとバンドギャップよりも大きくなる)場合があるが、これは前述の通りショットキー障壁高さを見積もるに当たり GeO<sub>2</sub> 膜による電流低減の寄与を無視していることに起因している可能性がある。しかしこれらを考慮したとしても、明確にショットキー障壁高さ<sub>と</sub>金属の真空仕事関数の関係を示す近似直線の傾き (S パラメータ) が 0.1~0.4 程度大きくなることは間違いない。つまり金属/Ge 界面は金属の仕事関数を 3 eV 以上変化させてもショットキー障壁高さが 0.1 eV も変化しない様な極めて強い FLP が、僅かな極薄絶縁膜を導入するのみで大幅に緩和しているのである。

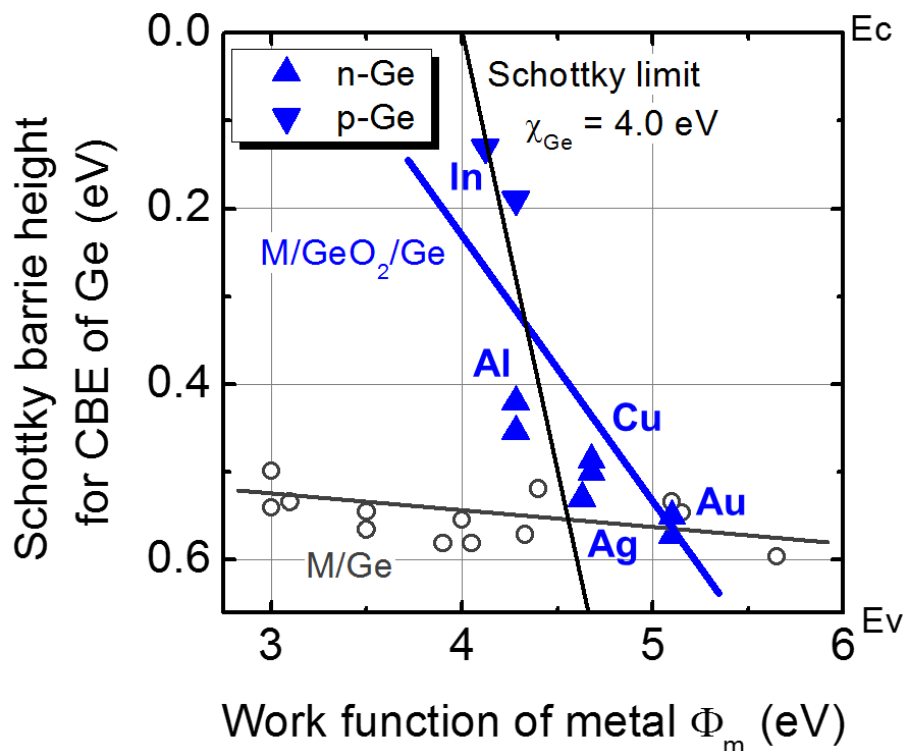


図 3.10 金属の真空仕事関数と金属/GeO<sub>2</sub>(~1 nm)/Ge 接合界面のショットキー障壁高さの関係.

一方で Schottky-limit との交点より FLP エネルギーが見積もられる. 金属/Ge 界面の様に強い FLP を示す系では,  $\chi_{\text{Ge}}$  の値に依存せず精度よく Ge 価電子帯端近傍に存在することを見積もることができた. しかしながら FLP が弱くなるとその値は  $\chi_{\text{Ge}}$  に大きく依存する様になる点には注意が必要である. 図 3.10 においては  $\chi_{\text{Ge}} = 4.0 \text{ eV}$  を仮定して Mid-gap 程度の FLP エネルギーが見積もられるが, 文献によって  $\chi_{\text{Ge}}$  の値に 4.0[5]~4.2[6]程度のバラつきがあることを考慮すると, 図 3.10 上の Schottky limit を示す線がその値に合わせて平行移動し, その線との交点から決まる FLP エネルギー準位は金属/Ge 界面のそれと比べてやや伝導帯よりから Mid-gap の間程度にシフトしていると推測される. 上述の曖昧さからシフト量の絶対値に関する議論は控えるが, 5 章において相対的な違いについて他の絶縁膜と比較して議論したい.

### 3.5 膜厚効果と界面効果の区分け - GeO<sub>2</sub> 膜厚依存性 -

ここまでの界面への極薄絶縁膜の導入による FLP の緩和は、MIGS 抑制という点から見た時に矛盾なく解釈できる訳であるが、やはり MIGS が抑制された証明にはならない。特に注意が必要になると思われる部分は、金属/Ge 界面を金属/絶縁膜、絶縁膜/Ge 界面に置き換えている点である。即ち絶縁膜により金属/Ge 界面では存在していた界面準位が終端されているという解釈も十分に可能である。そこで上述の MIGS の抑制効果と界面終端効果を区別するために、MIGS の抑制効果が膜厚効果であることに対し界面終端効果が界面効果である点に着目し、極薄絶縁膜による FLP の緩和効果の膜厚依存性について評価した[7]。

ここでは、デバイス作成毎において生じるバラつきを低減するために、以下の手法により単一基板上に異なる GeO<sub>2</sub> 膜厚を有する金属/GeO<sub>2</sub>/Ge 接合素子を作成することとした。長さ 2 cm 程度の n-Ge(100)基板を用意し、化学洗浄後に 400°C での熱酸化により 2 nm 程度の GeO<sub>2</sub> 膜を均一に成膜した後、基板の片端より 20 倍メタノール希釈を行った純水で GeO<sub>2</sub> をエッチングすることで連続的に GeO<sub>2</sub> 膜厚を変化させた GeO<sub>2</sub>/Ge 基板を作成した。更に 400°C、N<sub>2</sub> 雰囲気中で熱処理を行った後に仕事関数が大きく異なる 3 種の Al ( $\Phi_m$ : 4.28 eV), Cu (4.65 eV), Au (5.1 eV) 電極を並べて形成した (図 3.11)。ここで熱処理プロセスは GeO<sub>2</sub>/Ge 界面の電気的特性の劣化を引き起こす GeO の脱離[2]を生じない十分に低い温度 400°C にて行っている。

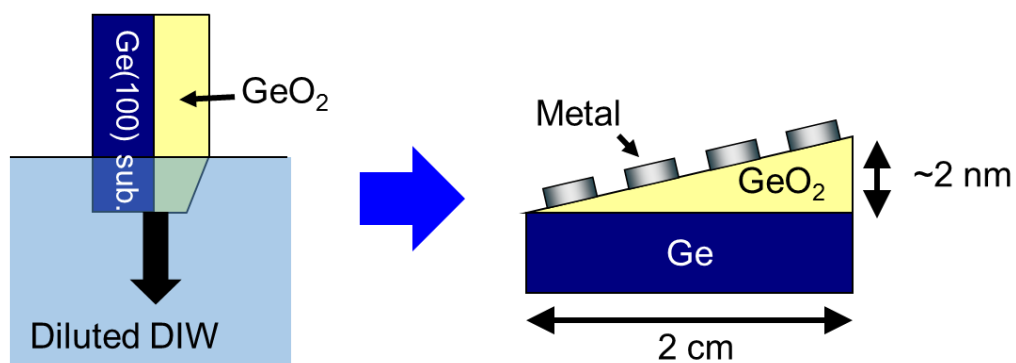


図 3.11 連続的に界面 GeO<sub>2</sub> 膜厚を変化させた金属/GeO<sub>2</sub>/Ge 接合を作成するプロセスを示す模式図。

まず界面の  $\text{GeO}_2$  膜が無い場合, 比較的薄い場合, 比較的厚い場合についての n-Ge(100) 基板に対する典型的な電流-電圧特性を以下の図 3.12 に示す.

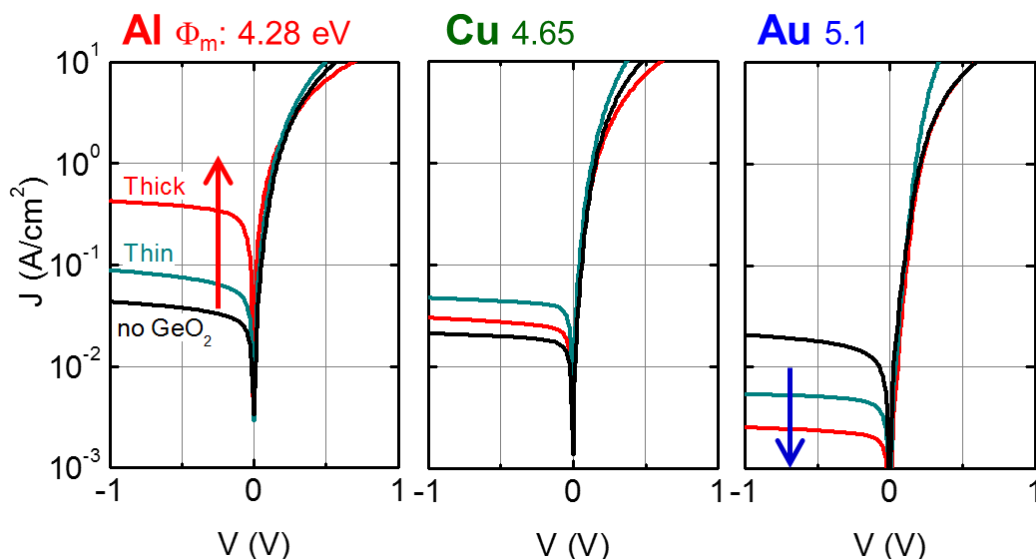


図 3.12 同一基板上に作成した Al, Cu, Au/極薄  $\text{GeO}_2$ /n-Ge(100) 接合の電流-電圧特性[7].

界面  $\text{GeO}_2$  膜厚の増加に対応して, off-state 電流に金属依存性が現れてくる. 低仕事関数の Al の場合では off-state 電流が徐々に増大する一方で, 高仕事関数の Au の場合では逆に減少している傾向が分かる.

更に基板上の数点において  $\text{GeO}_2$  膜厚を分光エリプソメトリーにより測定した上で各電極位置における  $\text{GeO}_2$  膜厚をそれら測定点の内挿により見積もり, I-V 法により決定した Al, Cu, Au の 3 種の金属に対してのショットキー障壁高さ, 及びそれらショットキー障壁高さと金属の仕事関数の関係から直線近似により求めた FLP 強さを示す S パラメータと  $\text{GeO}_2$  膜厚の関係を図 3.13, 14 にそれぞれ示す. 1 nm に至るまでの絶縁膜厚の増加に伴って, ショットキー障壁高さの値及びその金属依存性が徐々に連続的に変化しており, 1 nm の  $\text{GeO}_2$  によりショットキー障壁が低仕事関数の Al では 0.45 eV まで低減し, 一方高仕事関数の Au では 0.57 eV まで増加する. また S パラメータも徐々に増加し, ダイレクト金属/Ge 界面ではほぼ 0 程度であったものが 0.1 程度にまで増加している. Cu は理想的には SBH の増大が見込まれるところであるが, 図 3.6 にて示した実効的なバリアの低

下, 図 3.10 にて示した FLP エネルギー準位のシフト等の影響があるものと思われる.

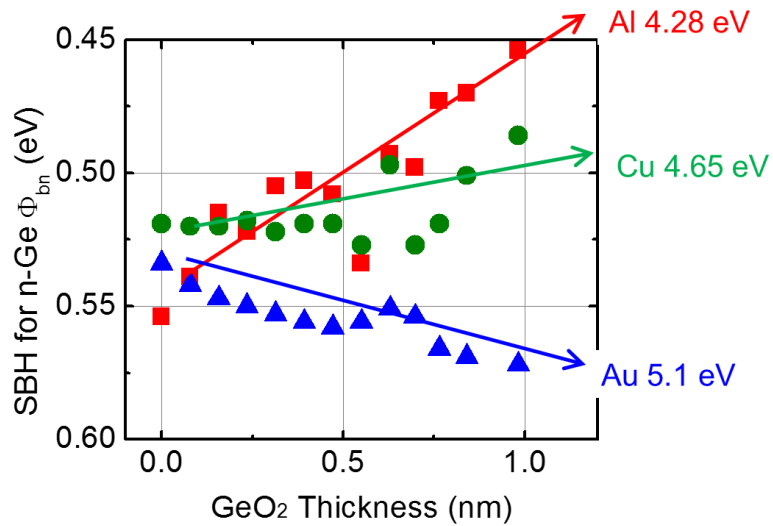


図 3.13 同一基板の上に作成した Al, Cu, Au/極薄 GeO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さと GeO<sub>2</sub> 膜厚の関係[7].

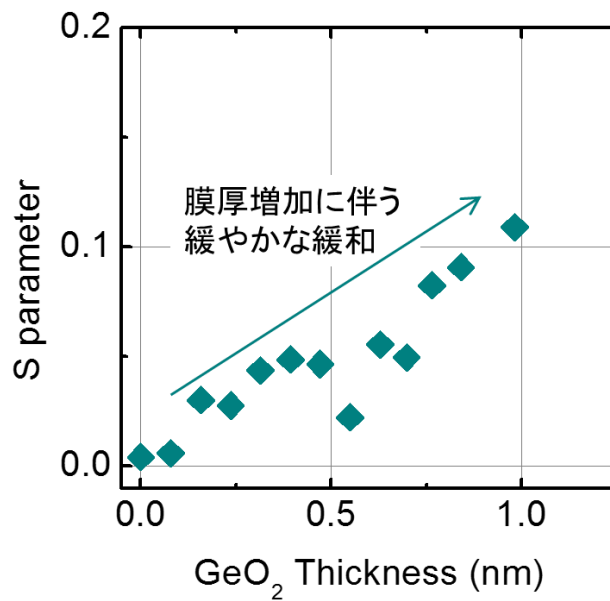


図 3.14 Al, Cu, Au/極薄 GeO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さより見積もった S パラメータと GeO<sub>2</sub> 膜厚の関係[7].

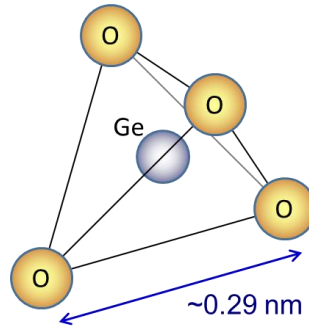


図 3.15 GeO<sub>2</sub> 膜を構成する基礎構造である GeO<sub>4</sub> 四面体.

ここで GeO<sub>2</sub> 膜の構造に目を向けてみると、スパッタリングや熱酸化により形成されるアモルファス GeO<sub>2</sub> の構造は 4 つの O を頂点として中央に Ge が含まれる正四面体構造を基礎構造とし (図 3.15), 頂点の O を共有することにより 3 次元ネットワーク構造が形成されていることが知られている. 図 3.15 に示す GeO<sub>2</sub> の正四面体構造の大きさを考慮すると, 1 nm 厚の GeO<sub>2</sub> は正四面体構造 3~4 層程度に相当する. つまり, 1 nm 程度の酸化膜の形成は既に界面の酸素終端率が変化している段階ではなくバルクとしての酸化膜厚が変化している状況であることを示す. 以上から, 前述の極薄絶縁膜による FLP の緩和効果はその膜厚の増加に対応した緩やかな変化を示すことから, 定性的には妥当に極薄絶縁膜の膜厚効果, 即ち MIGS の低減効果によるものと解釈する方が妥当であろう.

一方でこの様な緩やかな変化は, 直観的には極薄絶縁膜によって指数関数的に MIGS の低減が見込まれる中で正しいだろうか. MIGS を少し単純化した上でその妥当性を考えてみたい. 絶縁膜, 及び半導体中での波動関数の減衰を単純な exponential decay とし, 半導体中に浸み出している波動関数そのまま式 1.4 における界面ダイポール Dδ に寄与すると仮定する (図 3.16). その上で Dδ, 及び S の絶縁膜厚依存性について膜厚 0 に於いて S ~0.02 となる様にパラメータを設定して計算した例を示す.

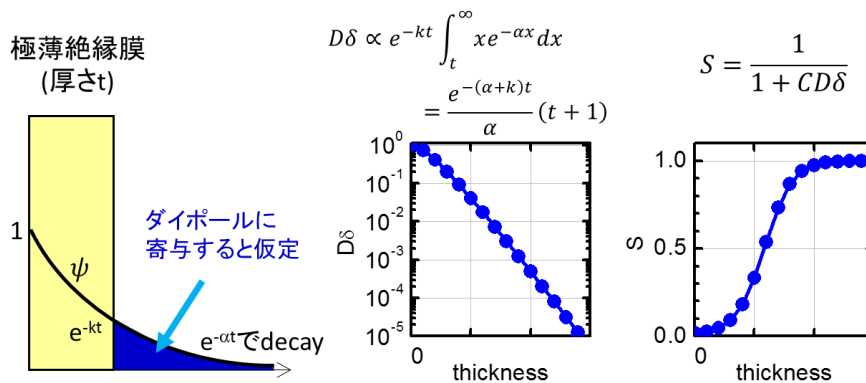


図 3.16 単純化した絶縁膜による MIGS の低減のシミュレーション.

$D\delta$ は膜厚の増加に伴ってほぼ指数関数的に減少する一方で、 $S$ は式の記述からも分かる様に、 $C$ を定数として $CD\delta \sim 1$ 近傍となる領域で大きく変化を生じる為、膜厚増加初期時には緩やかな変化を示すことは矛盾しない。

また一方で **MIGS** における電子の浸み出し長については **GaAs** や **Si** 等の半導体に対して  $1/e$  となる decay 長が  $0.3 \text{ nm}$  程度と見積もられる[8]点を踏まえると、これらの半導体よりバンドギャップの広い絶縁膜においては  $1 \text{ nm}$  もの厚みがあれば金属から **Ge** への電子の浸み出しを十分抑制できる、即ち **MIGS** を抑制するには十分な厚みであると推測される。実験的には  $1 \text{ nm}$  の絶縁膜を導入しても依然 **FLP** が残存しており  $S$  パラメータは1には遠い。ここで依然残存する **FLP** は **MIGS** 以外のメカニズム、例えば極薄絶縁膜/**Ge** 界面に形成される欠陥等によるものと推測される。またこれらの **FLP** により、膜厚に応じた  $S$  の変化は図 3.16 に示すものよりもより緩やかになるものと推測される。

また近年、第一原理計算によって **MIGS** と **Ge** 中の欠陥が形成する軌道との混成によって、**MIGS** による欠陥生成エネルギーが低減する可能性について報告がなされている[9]。金属/**Ge** 界面において **MIGS** が生じる一方で、その **FLP** の強さは **MIGS** により生成された外因的な欠陥準位に由来する可能性が指摘されている。更に、**Si** や **Ge** 等の半導体上に成膜した **Au** 等の金属が、室温において界面の半導体原子の結合を切断し、半導体原子を金属表面に拡散させる事実も良く知られている[10]。 **FLP** の抑制には **MIGS** の抑制が有効であるかもしれないが、**FLP** の起源という点においては **MIGS** の副次効果としての外因的な欠陥生成等について更なる解明が必要であろう。2章において $-60^\circ\text{C}$ での低温金属成膜を検討しているが、更なる低温での金属/**Ge** 接合の形成と、低温を保持したままでのショットキー障壁高さの解析等が可能であればより明らかになるものと考えられる。



### 3.6 様々な界面層での FLP 緩和

前項 3.4, 3.5 では金属/Ge 界面の FLP は極薄の  $\text{GeO}_2$  膜の膜厚に依存して緩やかに緩和することより,  $\text{GeO}_2$  膜による MIGS の緩和効果の妥当性について述べた. 一方で MIGS の抑制効果であれば, FLP の緩和は絶縁膜種に依らずに生じることが予想される. 極薄絶縁膜による金属/Ge 界面の FLP 緩和効果については我々の報告以後も多くの研究グループから既に報告されており, 本節ではそれらの紹介を行う.

極薄絶縁膜を導入した上で, 系統的に金属の仕事関数を変えることにより FLP 強さを調べた例は, 本研究において用いた  $\text{GeO}_2$  ( $\sim 1$  nm) の他,  $\text{GeN}$  ( $\sim 0.7$  nm) [11],  $\text{SiN}$  ( $\sim 2$  nm) [12],  $\text{WSi}_x$  ( $\sim 3$  nm) [13] などについて報告されている. 各々の界面層を用いた場合についての金属の仕事関数と界面のショットキー障壁高さの関係を整理したものを以下の図 3.17 に示す.

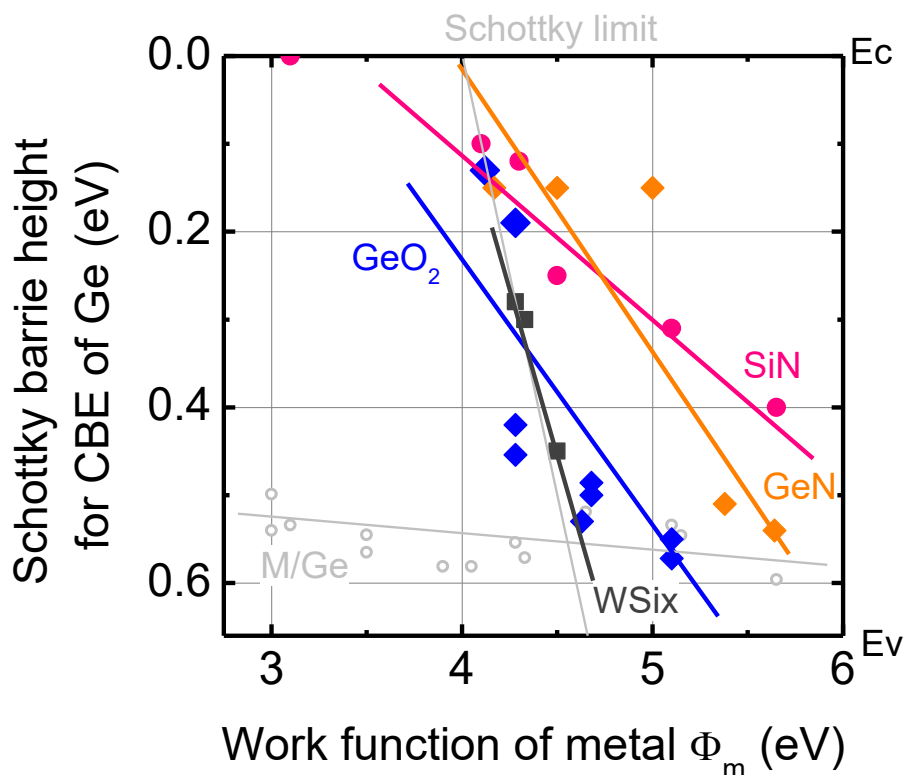


図 3.17 金属の真空仕事関数と金属/極薄界面層/Ge 接合におけるショットキー障壁高さ. ref. 11-13 におけるデータも含む.

何れの界面の場合についても FLP 強さを示す S パラメータはダイレクト金属/Ge 界面の 0.02 と比較して明らかに大きくなっている。絶縁膜種に依らず FLP の緩和を示すこれらの結果は、3.5 節における絶縁膜の膜厚依存性と独立に FLP の緩和効果が MIGS の抑制効果であることを支持するものである。界面層を導入時の FLP エネルギー準位については 5 章において改めて議論を行うこととする。

またこれらの他にも金属の種類を変えて FLP の緩和を調べてはいないものの、 $\text{Al}_2\text{O}_3$ [14],  $\text{MgO}$ [15,16]等を界面に導入することによるショットキー障壁高さの変調効果について報告もある。

### 3.7 バンドオフセットと絶縁膜

#### 3.7.1 トンネル抵抗

金属/Ge 界面への界面層の導入は，FLP の緩和により低仕事関数金属を用いての Ge 伝導帯への低ショットキー障壁を形成可能とするが，同時に界面層による抵抗を考慮しなければならない．金属/絶縁膜/半導体接合を流れる本質的な電流メカニズムについて着目すると，以下図 3.18 のダイレクトトンネルや Fowler-Nordheim (FN) トンネルが挙げられる．

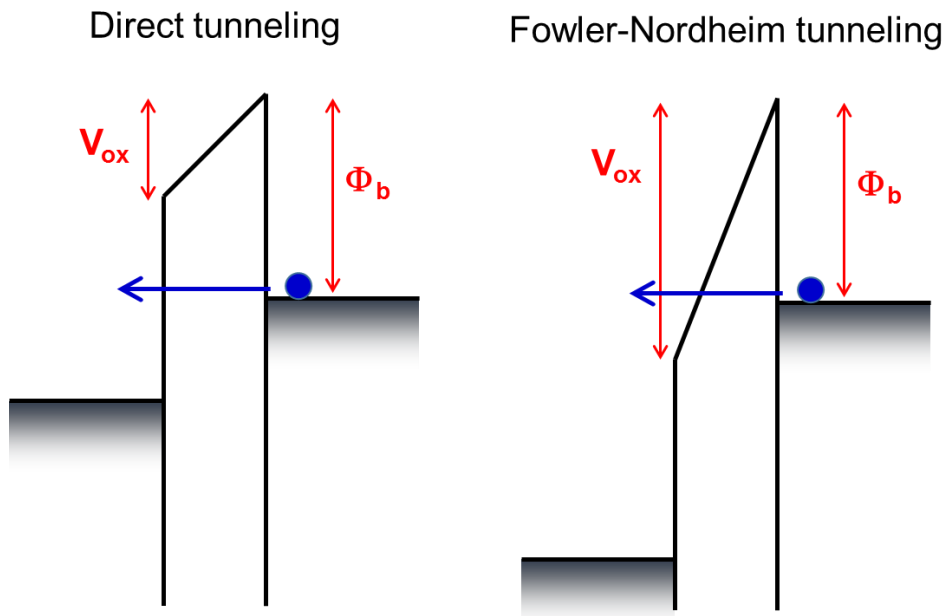


図 3.18 Direct tunneling と Fowler-Nordheim tunneling.

現在，界面に導入する界面層膜厚が 1 nm 程度であることを考慮すると，ダイレクトトンネル電流が支配的となると推測され，その表記については議論があるが，Si MOS における経験則に沿った表記[17]では以下の様になる．

$$J_{dir} = \frac{AV_G}{t_{ox}^2} \frac{kT}{q} C \exp\left(-\frac{B(1-(1-qV_{ox}/\Phi_b)^{1.5})}{E_{ox}}\right) \quad (3.1)$$

ここで， $V_G$  は MOS 界面に印加するゲート電圧， $t_{ox}$  は絶縁膜厚， $E_{ox}$  は絶縁膜に印加される電界を示し， $A, B, C$  の係数は絶縁膜中電子のトンネル質量や，半導体中の蓄積電荷密度等を含むパラメータであり，ここでは詳細は割愛する．重要な

点は図 3.18 から容易に想像出来る様に界面の障壁 $\Phi_b$  即ちバンドオフセットが小さく界面層膜厚が薄い方がトンネル電流を大きく、即ちトンネル抵抗を小さくすることができる点である。そこでまず様々な酸化膜と Ge のバンドオフセットについて注目したい。図 3.19 には様々な酸化膜と Ge とのバンドオフセットを示す。GeO<sub>2</sub>/Ge[18]以外の界面は、ここで Ge の電子親和力 $\chi_{Ge}$ は Si と同じ 4.0 eV を仮定し、絶縁膜のバンドギャップ、及び真空準位と伝導帯端とのエネルギー差については文献値[19]を引用している。バンドギャップが狭くなるにつれ伝導帯オフセットが狭くなり、TiO<sub>2</sub>に至ってはオフセットが 0 eV、即ち接合界面における抵抗を大幅に低減できることを予想させる。

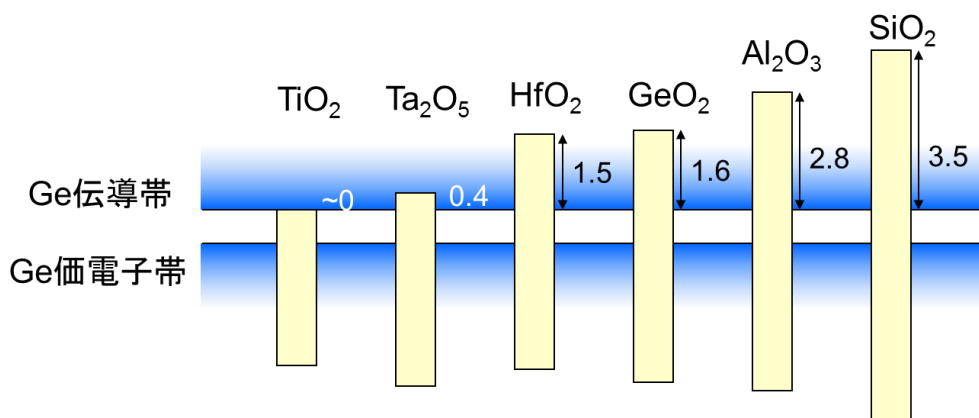


図 3.19 様々な絶縁膜と Ge 伝導帯とのバンドオフセット[18,19].

TiO<sub>2</sub> の様にバンドギャップが狭く、且つオフセットが小さい材料を用いた場合においても、GeO<sub>2</sub> 膜同様に 1 nm 程度の薄膜における FLP の緩和を生じるのであれば、その様な界面層がコンタクト抵抗を低減する点においてより適していると云えよう。

### 3.7.2 TiO<sub>2</sub> 界面層による金属/Ge 界面の FLP 緩和

前節では FLP の緩和を前提の上でバンドオフセットの点から寄生抵抗低減に関して TiO<sub>2</sub> の利点を述べた。本節ではその前提とした部分について改めて TiO<sub>2</sub> 膜による FLP の緩和について調査した。

付録に示す化学洗浄を行った Ge(100) 基板の上にスパッタリングにより 0.8 nm の TiO<sub>2</sub> 膜を堆積し、400°C N<sub>2</sub> 雰囲気中で熱処理を行った。その上で低仕事関数を有する Al ( $\Phi_m$ : 4.28 eV) を電極として抵抗加熱蒸着にて基板の上に成膜し、Al/極薄 TiO<sub>2</sub>/Ge 接合を作成して接合特性を評価した。得られた I-V 特性を図 3.20 に示す。

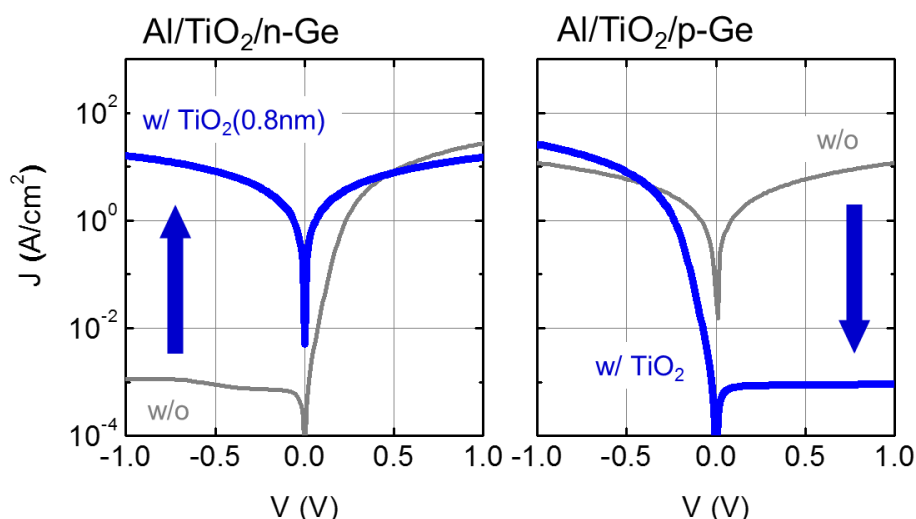


図 3.20 Al/TiO<sub>2</sub>/Ge 接合の電流-電圧特性.

約 1 nm の TiO<sub>2</sub> 膜を界面に導入することにより、n-Ge に対してオーミック接合が、p-Ge に対してショットキー接合が形成されていることが分かる。更に図 3.13 に示す GeO<sub>2</sub> 膜の場合と同様に Al, Cu, Au の 3 種の金属に対してのショットキー障壁高さと TiO<sub>2</sub> の膜厚との関係を調べた (図 3.21)。ここでショットキー障壁高さは I-V 法により決定している。ここで図内に示す破線の矢印は図 3.13 に示した GeO<sub>2</sub> 膜の結果の近似直線を示している。TiO<sub>2</sub> においても GeO<sub>2</sub> と同様、膜厚の増加に伴うショットキー障壁高さの金属依存性の顕在化を示しており、その膜厚に対する依存性の現れ方は GeO<sub>2</sub> とほぼ同等である。即ち TiO<sub>2</sub> の様な狭ギャップ絶

縁膜を用いることによって、膜厚増加に伴う FLP の緩和が極端に鈍化する傾向は無く、その様な膜であっても 1 nm 程度の膜厚で大幅な緩和を十分生じている。

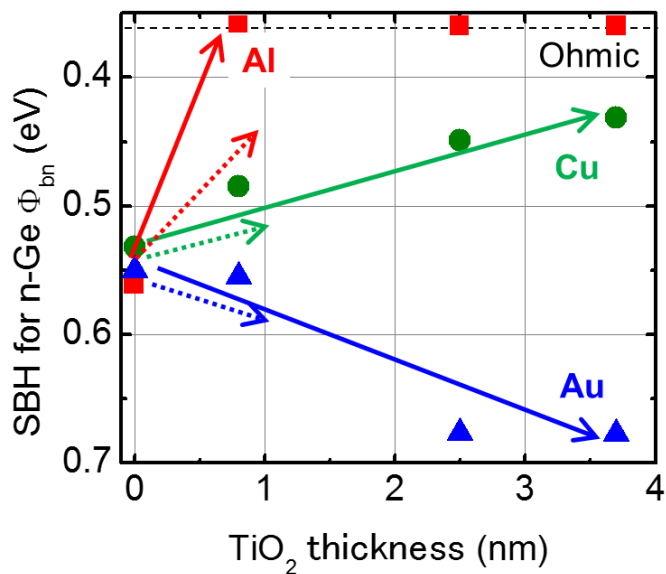


図 3.21 Al, Cu, Au/極薄 TiO<sub>2</sub>/n-Ge(100)接合におけるショットキー障壁高さと TiO<sub>2</sub> 膜厚の関係.

## 3.7.3 更なる低抵抗化に向けた近年の試み

更に近年では、Ge の伝導帯に対して低バンドオフセットを有する半導体を界面層として用いることが提案されている。半導体界面層へのドーピングにより界面層自身の伝導性を向上すると共に、Ge/界面層界面の実効ショットキー障壁の低減を介して金属/絶縁膜界面のコンタクト抵抗も低減することが期待できる。ZnO や Sn-doped In<sub>2</sub>O<sub>3</sub> (ITO) を用いた例では、n-Ge に対して  $10^{-7}\Omega\text{cm}$  台までのコンタクト抵抗の低減に成功している[20] (図 3.22)。また、金属と接する界面を Si に置換することでショットキー障壁高さの制御性を上げる Si エピ界面層を用いる試みも報告されている[21]。

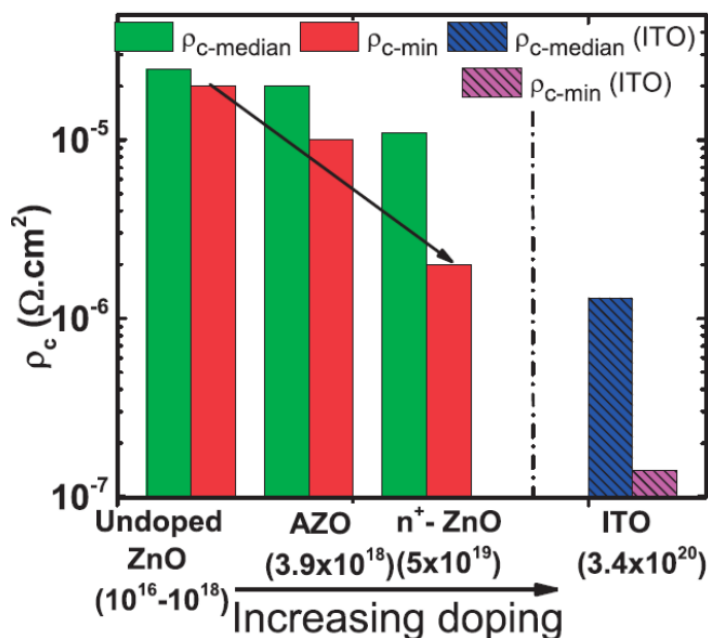


図 3.22 ドーピングにより伝導性を高めた酸化膜界面層(ZnO, ITO)を用いた際の Ti/n-Ge コンタクト抵抗.

P. P. Manik, and S. Lodha, Appl. Phys. Express **8**, 051302 (2015). より.

### 3.8 メタルソースドレイン Ge n-MOSFET 動作の実証

金属/Ge 界面において Ge の伝導帯端に対して低ショットキー障壁, 価電子帯端に対して高ショットキー障壁が形成可能であれば, ソースドレインにおける pn 接合を金属/半導体のショットキー接合に置き換えたメタルソースドレイン型の MOSFET[22]の動作も可能となる. メタルソースドレイン型の MOSFET は従来の MOSFET と比較して, ソースドレイン域の寄生抵抗の低減は勿論, ソースドレイン形成温度の低温化, 微細化時においても制御性の高い接合界面形成の急峻化が可能である点からも有力なデバイス構造である. 簡単ではあるが以下の図 3.23 にメタルソースドレイン型 n-MOSFET の on, off 状態に相当するバンド図を示す.

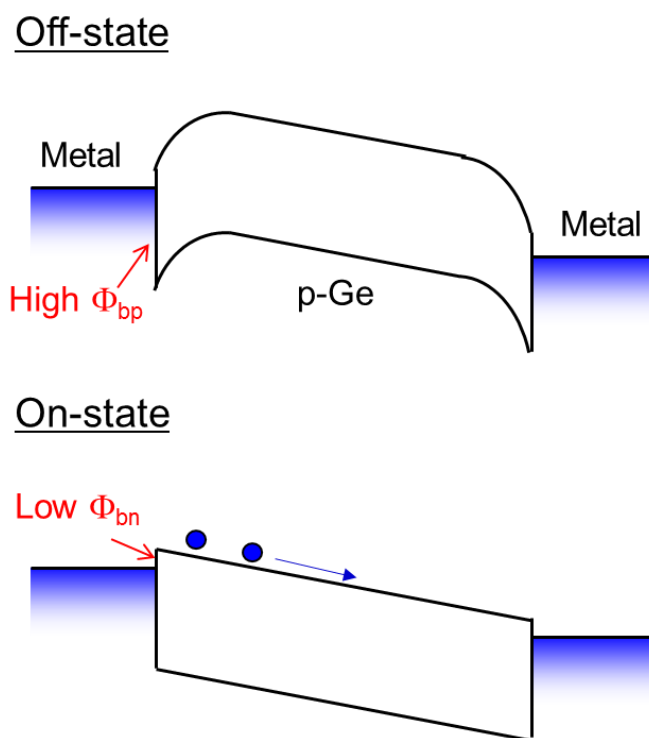


図 3.23 メタルソースドレイン型 n-MOSFET における on-off 動作を示すソース-チャネル-ドレイン間のバンド図.



ここでは極薄  $\text{GeO}_2$  膜を FLP 緩和膜としてメタルソースドレイン型の Ge n-MOSFET を不純物濃度  $N_A \sim 10^{16} / \text{cm}^3$  程度の低濃度 p-Ge(100)基板上に試作した。詳細の作成プロセスを以下に示す。

- ・ 付録に示す手法による Ge 基板の化学洗浄
- ・  $\text{O}_2$  雰囲気中  $400^\circ\text{C}5\text{min}$  熱処理による極薄 ( $\sim 2 \text{ nm}$ )  $\text{GeO}_2$  酸化膜の形成 (ショットキー障壁高さ変調用, 及びゲートスタック界面用)
- ・ 抵抗加熱蒸着によるソースドレイン Al 電極形成 (メタルマスクを使用)
- ・ スパッタリング法によるゲート  $\text{GeO}_2$  膜の堆積 (メタルマスクを使用)
- ・ 抵抗加熱蒸着によるゲート Au 電極形成 (メタルマスクを使用)

作成したデバイスの断面構造, 及びソース電流 ( $I_s$ ) -ドレイン電圧 ( $V_d$ ) 特性を図 3.24, 3.25 に示す。

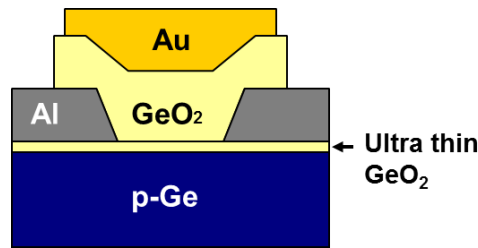


図 3.24 Al/極薄  $\text{GeO}_2/\text{Ge}$  コンタクトを用いたメタルソースドレイン型 n-MOSFET の断面構造模式図(ref. 3 APEX).

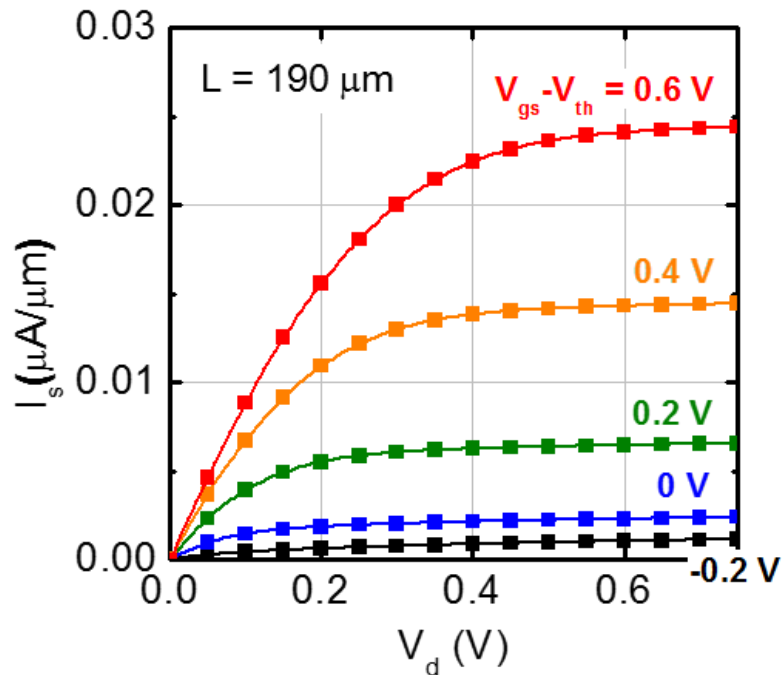


図 3.25 Al/極薄  $\text{GeO}_2/\text{Ge}$  コンタクトを用いたメタルソースドレイン型 n-MOSFET の  $I_s$ - $V_d$  特性(ref. 3 APEX).

Ge 伝導帯へのショットキー障壁高さを大幅に低減したことにより，Ge 基板中への不純物ドーピングを行うことなく，ゲート電圧によりソース電流が変調，即ち n-MOSFET が動作していることが分かる (図 3.25)．また  $V_d = 0$  近傍におけるソース電流の立ち上がりも急峻であり，寄生抵抗が大幅に低減されていることが分かる．

また，ゲート絶縁膜の容量  $C_{ox}$  ( $\mu\text{F}/\text{cm}^2$ ) とトランジスタの閾電圧  $V_{th}$  (V) からの印加電圧  $V_g$  (V) を用い，

$$qN = C_{ox}(V_g - V_{th})$$

の関係より反転層キャリア密度  $N$  ( $/\text{cm}^2$ )を見積もった．ここで，閾電圧  $V_{th}$  は  $I_s$ - $V_g$  プロット上において  $\partial I_s / \partial V_g$  が最大値を示す  $V_g$  における  $I_s$  値から，その傾きである  $\partial I_s / \partial V_g$  値の直線外挿によって  $I_s = 0$  切片にて得られる  $V_g$  値として決定している．更にグラデュアルチャネル近似を用いて，

$$I_s = \frac{W}{L} qN\mu V_D$$

の関係より見積もった反転層電子の実効移動度  $\mu$  と反転層キャリア密度  $N$  の関係を図 3.26 に示す．

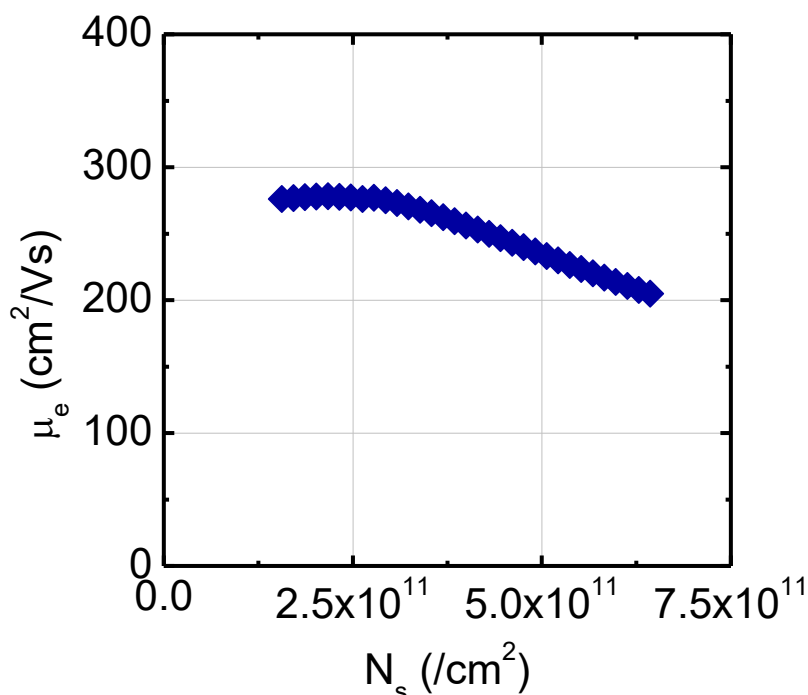


図 3.26 Al/極薄  $\text{GeO}_2/\text{Ge}$  コンタクトを用いたメタルソースドレイン型 n-MOSFET における反転層キャリア移動度 (ref. 3 APEX)．

近年理解の進む Ge ゲートスタックの設計指針に沿った Ge n-MOSFET の移動度特性[23,24]には遥かに及ばないが, 2007 年当時世界初のメタルソースドレイン型の Ge n-MOSFET の動作に成功した.

### 3.9 その他の半導体への応用

金属/Ge 界面に生じる FLP について議論する本論からはやや逸れるが、金属/半導体界面のショットキー障壁高さ制御技術として極薄界面層の導入を用いる手法は、前述の Ge や Si の研究をきっかけに現在に至るまで他の半導体材料を含めて幅広く展開されている。例えば、典型的な III-V 半導体である GaAs に対する合金プロセスを用いない低抵抗コンタクトの形成[25] (図 3.27) や有機半導体ペンタセンへのオーミック接合の形成[26] (図 3.28) などが挙げられる。

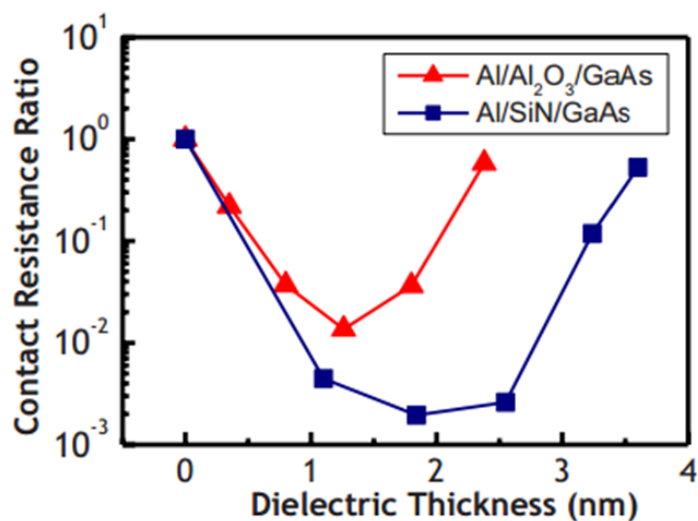


図 3.27 極薄界面層による Al/GaAs コンタクト抵抗の低減.  
J. Hu, et al, J. Appl. Phys. **107**, 063712 (2010). より.

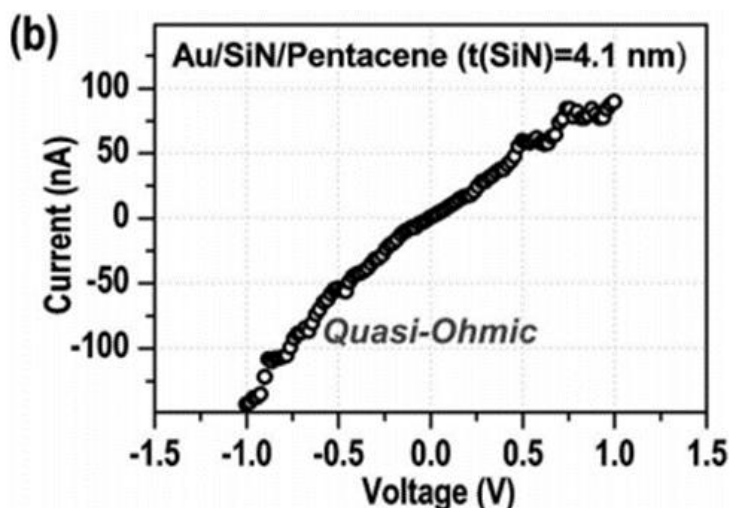


図 3.28 極薄界面層によるペンタセンへのオーミック接合形成.  
Z. Liu, et al., Phys. Rev. B **82**, 035311 (2010). より.

### 3.10 本章のまとめ

本章ではまず MIGS の考え方にに基づき、金属/Ge 界面に意図的に界面層を導入することにより、FLP の抑制を試みた。

界面層としては単純に基板の酸化物であり、厚膜において FLP を生じない良好な界面を形成する GeO<sub>2</sub> 膜を 1~2 nm 程度金属/Ge 界面に導入し、ショットキー障壁高さ及び FLP へ与える影響を調べた。期待した通り、極薄の GeO<sub>2</sub> 膜によりショットキー障壁高さに金属依存性が現れると共に、低仕事関数金属 Al においては FLP の緩和により n-Ge, p-Ge へのショットキー、オーミック特性の反転を示すことを明らかにした。

また、極薄界面層の膜厚依存性より“MIGS の緩和効果”と“界面欠陥の終端効果”の切り分けを試みた。FLP の緩和は界面層膜厚に依存して緩やかに生じており、膜厚効果として MIGS の緩和効果として妥当に解釈できることを示した。但し、MIGS により外因的な欠陥生成が引き起こされるモデルが報告されている様に、MIGS と外因的な欠陥生成との相関についてはまだ議論の余地が十分にある。最終的な FLP の抑制という意味で MIGS の抑制が不可欠である点と考える点は共通するが、今後更なる議論が必要であろう。

また接合界面においてトンネル抵抗を低減可能な Ge 伝導帯とのバンドオフセットが極めて小さい TiO<sub>2</sub> 等の材料を含め、材料に関わらず FLP が緩和することも、改めて MIGS の妥当性を支持するものであることを示した。

あくまで推測であるが、前章にて紹介した先行研究における金属/Ge 界面のショットキー障壁高さにバラツキがみられる点は意図しない金属/Ge 界面への界面絶縁膜層効果などによってショットキー障壁高さが変調したものと推測される。

その他、当研究室で極薄界面層の導入による FLP の緩和により、初めてのメタルソースドレイン構造を有する Ge n-MOSFET の動作実証を行ったこと、及び近年この手法が他の半導体材料についても応用されていること等について紹介した。

本章における内容は主に T. Nishmura, K. Kita, and A. Toriumi, A significant shift of Schottky barrier heights at strongly pinned metal/germanium interface by inserting an ultra-thin insulating film, Appl. Phys. Express **1**, 051406 (2008).においてまとめている。

## 参考文献

- [1] S. G. Louie and M. L. Cohen, Electronic structure of a metal-semiconductor interface, *Phys. Rev.* **13**, 2461 (1976).
- [2] S. K. Wang, K. Kita, C. H. Lee, T. Tabata, T. Nishimura, K. Nagashio, and A. Toriumi, Desorption kinetics of GeO from GeO<sub>2</sub>/Ge structure, *J. Appl. Phys.* **108**, 054104 (2010).
- [3] T. Nishimura, K. Kita, and A. Toriumi, Effect of ultra-thin Al<sub>2</sub>O<sub>3</sub> insertion on Fermi-level pinning at metal/Ge interface, *Ext. Abs. 2007 SSDM* (Sep. 2007, Tsukuba),  
T. Nishimura, K. Kita, and A. Toriumi, Control of Fermi-level pinning at metal/germanium interface by inserting ultra-thin oxides" *Ext. Abs. ISCSI-V* (Nov. 2007, Tokyo),  
T. Nishimura, K. Kita, and A. Toriumi, A significant shift of Schottky barrier heights at strongly pinned metal/germanium interface by inserting an ultra-thin insulating film, *Appl. Phys. Express* **1**, 051406 (2008).
- [4] D. Connelly, C. Faulkner, P. A. Clifton, and D. E. Grupp, Fermi-level depinning for low-barrier Schottky source/drain transistors, *Appl. Phys. Lett.* **88**, 012105 (2006).
- [5] S. M. Sze, *Physics of Semiconductor Devices* 2<sup>nd</sup> ed, (Wiley, New York, 1981).
- [6] H. Hasegawa and H. Ohno, Unified disorder induced gap state model for insulator-semiconductor and metal-semiconductor interfaces, *J. Vac. Sci. Technol. B* **4**, 1130 (1986).
- [7] T. Nishimura, K. Kita, K. Nagashio, and A. Toriumi, Long range pinning interaction in ultra-thin insulator-inserted metal/germanium junctions, *Ext. Abs. 2010 Silicon Nanoelectronics Workshop* (Jun. , 2010, Hawaii)
- [8] S. G. Louie, J. R. Chelikowsky, and M. L. Cohen, Ionicity and the theory of Schottky barriers, *Phys. Rev. B* **15**, 2154 (1977).
- [9] S. Sasaki, and T. Nakayama, Defect distribution and Schottky barrier at metal/Ge interfaces: Role of metal-induced gap states, *J. Jpn. Appl. Phys.* **55**, 111302 (2016).
- [10] A. Hiraki, Low temperature reactions at Si/metal interfaces; What is going on at the interfaces?, *Surf. Sci. Rep.* **3**, 357 (1984).

- [11] R. R. Lieten, S. Degroote, M. Kuijk, and G. Borghs, Ohmic contact formation on n-type Ge, *Appl. Phys. Lett.* **92**, 022106 (2008).
- [12] M. Kobayashi, A. Kinoshita, K. Saraswat, H.-S. P. Wong, and Y. Nishi, Fermi level depinning in metal/Ge Schottky junction for metal source/drain Ge metal-oxide-semiconductor field-effect-transistor application, *J. Appl. Phys.* **105**, 023702 (2009).
- [13] N. Okada, N. Uchida, and T. Kanayama, Fermi-level depinning and contact resistance reduction in metal/n-Ge junctions by insertion of W-encapsulating Si cluster films, *Appl. Phys. Lett.* **104**, 062105 (2014).
- [14] Y. Zhou, M. Ogawa, X. Han, K. L. Wang, Alleviation of Fermi-level pinning effect on metal/germanium interface by insertion of an ultrathin aluminum oxide, *Appl. Phys. Lett.* **93**, 202105 (2008).
- [15] D. Lee, S. Raghunathan, R. J. Wilson, D. E. Nikonov, K. Saraswat, and S. X. Wang, The influence of Fermi level pinning/depinning on the Schottky barrier height and contact resistance in Ge/CoFeB and Ge/MgO/CoFeB structures, *Appl. Phys. Lett.* **96**, 052514 (2010).
- [16] Y. Zhou, W. Han, Y. Wang, F. Xiu, J. Zou, R. K. Kawakami, and K. L. Wang, Investigating the origin of Fermi level pinning in Ge Schottky junctions using epitaxially grown ultrathin MgO films, *Appl. Phys. Lett.* **96**, 102103 (2010).
- [17] Y. C. Yeo, T. J. King, and C. M. Hu, MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations, *Trans. Electron Dev.* **50**, 1027 (2003).
- [18] W. F. Zhang, T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, Conduction band offset at GeO<sub>2</sub>/Ge interface determined by internal photoemission and charge-corrected x-ray photoelectron spectroscopies, *Appl. Phys. Lett.* **102**, 102106 (2013).
- [19] J. Robertson, Band offsets of wide-band-gap oxides and implications for future electronic devices, *J. Vac. Sci. Technol. B* **18**, 1785 (2000).

[20] P. P. Manik, and S. Lodha, Contacts on n-type germanium using variably doped zinc oxide and highly doped indium tin oxide interfacial layers, *Appl. Phys. Express* **8**, 051302 (2015).

[21] K. Martens, R. Rooyackers, A. Firrincieli, B. Vincent, R. Loo, B. De Jaeger, M. Meuris, P. Favia, H. Bender, B. Douhard, W. Vandervorst, E. Simoen, M. Jurczak, D. J. Wouters, and J. A. Kittl, Contact resistivity and Fermi-level pinning in n-type Ge contacts with epitaxial Si-passivation, *Appl. Phys. Lett.* **98**, 013504 (2011).

[22] S. M. Sze, SB-IGFET: an insulated –gate field-effect transistor using Schottky barrier contacts for source and drain, *Proc. IEEE* **56**, 1400 (1968).

[23] C. H. Lee, T. Nishimura, T. Tabata, W. F. Zhang, K. Nagashio, and A. Toriumi, Reconsideration of electron mobility in Ge n-MOSFETs from Ge substrate side -atomically flat surface formation, layer-by-layer oxidation, and dissolved oxygen extraction-, *Tech. Dig IEDM 2013*.

[24] C. Lu, C. H. Lee, T. Nishimura, and A. Toriumi, Design and demonstration of reliability-aware Ge gate stacks with 0.5 nm EOT, *Tech Dig. 2015 Symp. VLSI Technol.*

[25] J. Hu, K. C. Saraswat, and H.-S. P. Wong, Metal/III-V Schottky barrier height tuning for the design of nonalloyed III-V field-effect transistor source/drain contacts, *J. Appl. Phys.* **107**, 063712 (2010).

[26] Z. Liu, M. Kobayashi, B. C. Paul, Z. Bao, and Y. Nishi, Contact engineering for organic semiconductor devices via Fermi level depinning at the metal-organic interface, *Phys. Rev. B* **82**, 035311 (2010).



## 第4章 金属特性の制御による FLP の緩和

前章では金属/Ge 界面に極薄絶縁膜を導入することにより MIGS の抑制を試みた。しかしながら、界面層を導入すること自身はコンタクト抵抗を低減したい点から見れば、ショットキー障壁高さを低減できたとしても抵抗が付加される分不利であろう。つまりダイレクト金属/Ge 界面において FLP を緩和・ショットキー障壁高さを低減できることがより望ましい。

本章では MIGS の原理である“金属内の波動関数が浸み出す”描像に立ち戻り、金属側から MIGS を抑制する手法について検討する。詳細には金属中自由電子の半導体への浸み出しによる界面ダイポールが“MIGS”であるのに対し、真空への浸み出しによる表面ダイポールが“真空仕事関数の表面項”である共通の物理描像、及び真空仕事関数の表面項に大きな影響を及ぼす金属中の自由電子密度に注目し、金属中の自由電子密度と Ge との界面に生じる FLP 強さとの関係について述べる。

## 4.1 金属側からの FLP 制御

### 4.1.1 MIGS の再考と金属中の自由電子密度

1.4 節では系統的な金属の仕事関数と金属/半導体界面のショットキー障壁高さの関係を基に、MIGS の強さと半導体の誘電ギャップの関係[1]について紹介した。しかしながら、半導体中に浸み出す波動関数はあくまで金属側からの浸み出しであることを考えれば、金属の特性が影響する可能性は否定できない。そこでまず本項では MIGS モデルの原点である金属中の自由電子の金属外への浸み出しの描像に立ち戻り、改めて金属側からの MIGS の制御性について考えてみたい。

まずはより単純な系である真空への浸み出しについて、これまでの知見を基に理解を進めたいと思う。半導体、及び真空への金属中電子の波動関数の浸み出しについてバンド図をベースに描像した模式図を図 4.1 に示す。

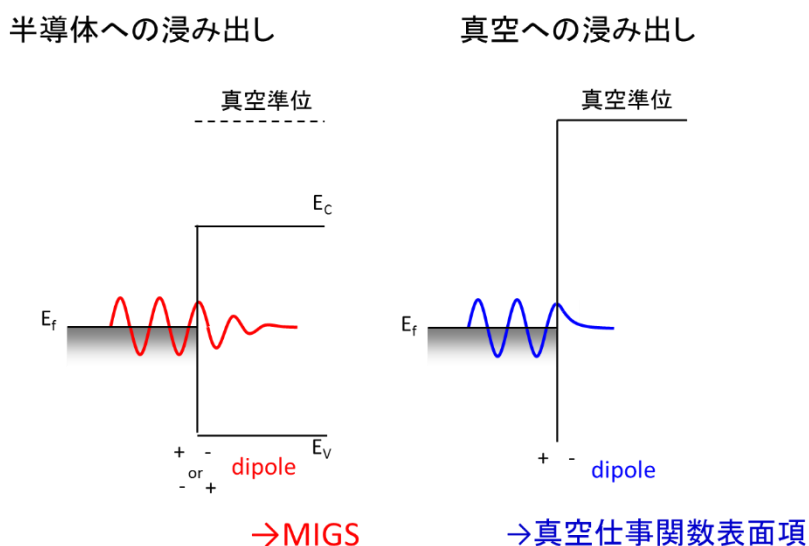


図 4.1 半導体及び真空への波動関数の浸み出しと界面及び表面に形成されるダイポール。

半導体への波動関数の浸み出しにより形成される界面ダイポールは界面のフェルミ準位及び半導体の電荷中性準位とのエネルギーの大小関係によりその向きが決まる。一方で真空への波動関数の浸み出しはより単純で、浸み出した真空側が負、金属側が正となり、金属側の電子のエネルギーが下がる方向となるダイポールが形成される。ここで重要な点は金属表面に電子の浸み出しにより形成されるダイポールを介した電位降下が真空仕事関数の表面項に相当する点である。

金属の真空仕事関数は幾つかの要素から構成されており、それらがそれぞれバルク項と表面項に分類される (図 4.2).

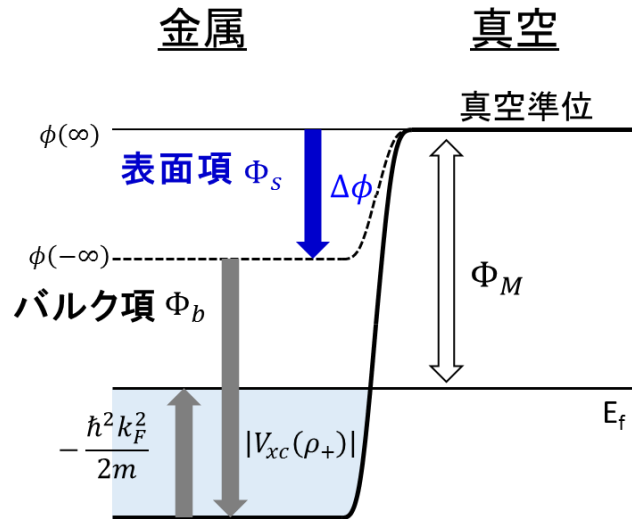


図 4.2 エネルギースケールにおける金属の仕事関数の内訳.

金属バルクの特性的みで決まるバルク項は更に正電荷による束縛項と電子の運動エネルギーによる項に分けられる. 簡単のため, ジェリウムモデルを適用した例 [2]について触れたい. 正電荷による束縛項 $|V_{xc}(\rho_+)|$ はある電子に注目すると Pauli の排他律やクーロン斥力により他の電子が近づくことができない故に, 凡そフェルミ孔程度の領域内に存在する自身を中和する正電荷によって注目している電子自身が束縛されると単純に仮定すると, 電子密度 (正電荷密度) を $\rho$ として,

$$V_{xc} \sim -\frac{3q}{2} \left( \frac{2\pi}{3} \rho \right)^{\frac{1}{3}} \quad (4.1)$$

となる. 近似が単純である分精度は粗いが, フェルミ孔の径は電子密度の増加 (即ち正電荷密度 $\rho_+$ の増加) に伴い小さくなり, 結果として仕事関数を大きくする. 電子の運動エネルギーによる項は, 電子がフェルミ粒子であることからフェルミ準位近傍の電子はフェルミ波数 $k_F$ を用いて,

$$\frac{\hbar^2 k_F^2}{2m} = \frac{\hbar^2}{2m} (3\pi^2 \rho_+)^{2/3} \quad (4.2)$$

にて表される。エネルギー的に真空準位に最も近いフェルミ準位の電子はバンド底に対してこの項に相当する分の運動エネルギーを有することとなる為、式からも分かる様に電子密度の増加に伴い運動エネルギー項が大きくなり、結果として仕事関数を小さくする。

一方で表面項は金属内部の静電ポテンシャルが真空よりどの程度下がっているかを示す項  $\Delta\phi = \phi(\infty) - \phi(-\infty)$  からなる。この項は金属内から真空への有限の障壁である真空仕事関数自身に対して電子が浸み出すことにより形成するダイポールに由来する。

ここで、ジェリウムモデルを適用して金属の仕事関数をバルク項、及び表面項から第一原理計算により見積もった結果について紹介したい[3]。文献内では電子1個当たりが占める体積球の半径  $r_s$  をパラメータとしているが、 $r_s = \left(\frac{3}{4\pi n}\right)^{\frac{1}{3}} / 0.52 \times 10^{-8} \text{ cm}$  の関係を用い、改めて自由電子密度  $n$  をパラメータとして対数軸、及び線形軸にて再プロットした結果を図 4.3 に示す。

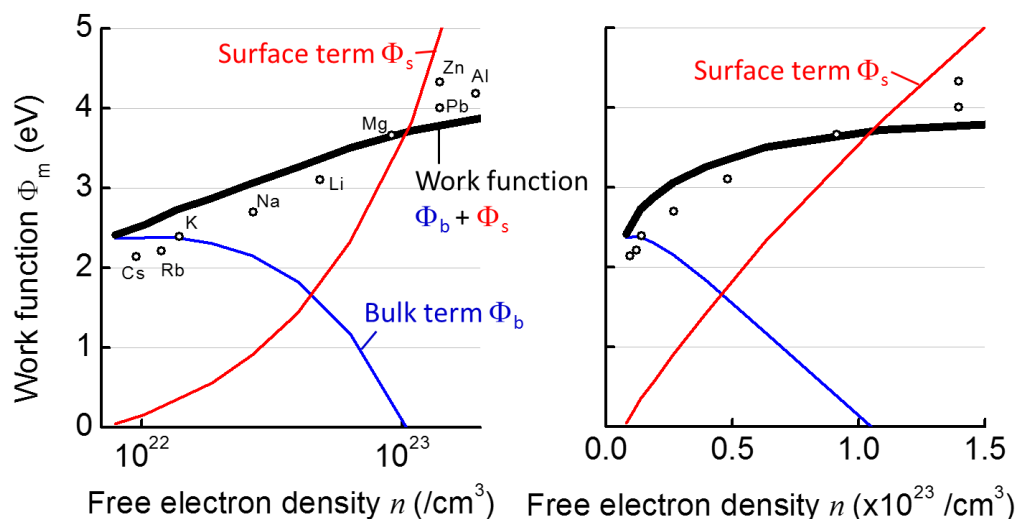


図 4.3 金属中の自由電子密度との金属の真空仕事関数, バルク項, 表面項. (左)横軸 log スケール, (右)横軸リニアスケール.  
N. D. Lang, and W. Kohn, Phys. Rev. B **1**, 4555 (1970). の計算結果について再プロットしている。

第一原理計算により得られたバルク項と表面項の和からなる真空仕事関数は金属名を示している実験値と極めてよく一致しており、金属中の自由電子密度  $n$  の増

大に伴い緩やかに増加する。しかしながらこの図 4.3 において、最も注目したいのは金属から真空への電子の浸み出しによるダイポールを介した電位降下に相当する仕事関数の表面項（赤線）と金属中の自由電子濃度  $n$  の関係であり、横軸を線形としている図 4.3 から金属中の自由電子密度の増大に対して仕事関数の表面項はほぼリニアに増大していることが分かる。仕事関数表面項の増大自身が真空に対する電子の障壁を上昇させることにより浸み出し長を抑制する効果を持つものの、圧倒的に電子数の効果が仕事関数表面項に寄与していることを示唆している。この事実は、金属中の自由電子密度を低減することにより真空への波動関数の浸み出しが劇的に減少する事を示している。

図 4.1 の物理描像の共通性に戻り、この考え方を半導体への波動関数の浸み出しに適用すると、金属/半導体界面においても金属中の自由電子密度を低減することにより、半導体への波動関数の浸み出しの抑制、即ち MIGS の緩和が期待できる。 より詳細に真空仕事関数表面項の考え方の半導体界面への適用を考えると、真空への浸み出しは真空準位を自身の障壁高さとするが、半導体界面では電子の障壁は真空準位よりも遥かに低い（1次元の系では半導体の伝導帯へのショットキー障壁となる）ことを考慮すると、半導体界面の方が真空表面よりも浸み出しがより強く効くであろう。（後の 6.1 節にて述べる様に、電子の浸み出しの他価電子帯端を障壁とする正孔の浸み出しも同時に考える必要があることが予想される為、“強く効く”ということが必ずしも“ある向きのダイポールが大きくなる”こととは一致しない。）

MIGS に関する金属の自由電子密度の寄与についてであるが、そもそも“金属”というものが自由電子密度の高い元素金属を用いることが暗黙の前提になっていたのだろうか、長い歴史の間においてほぼ議論がみられない。しかしながら、改めて MIGS モデルを提案した Heine の議論[4]に立ち戻れば、MIGS により半導体内に実効的に存在する電荷密度  $\rho(E)$  は、金属の状態密度  $n(E)$  と半導体のギャップ内に tailing する波動関数  $\psi$  について、界面より半導体内側において体積積分することにより、

$$\rho(E) = \int \psi \psi^* n(E) dv \quad (4.3)$$

とし、金属の状態密度と MIGS が形成するダイポール電荷密度の相関を示しており、前述の MIGS の再考より得られた結果と良く一致すると考えられる。

#### 4.1.2 結合を考慮した MIGS における金属の影響

前項で示した MIGS に対する考察の他、近年では元素金属/Si 及び金属 Si 化合物金属 (シリサイド) /Si 界面における FLP 強さの違いに注目し、界面のバンドアライメントが半導体側、金属側のダングリングボンドに基づくモデルの提案もみられる[5].

図 4.4 に金属の仕事関数と元素金属/Si, シリサイド/Si 界面のショットキー障壁高さの関係を示す.

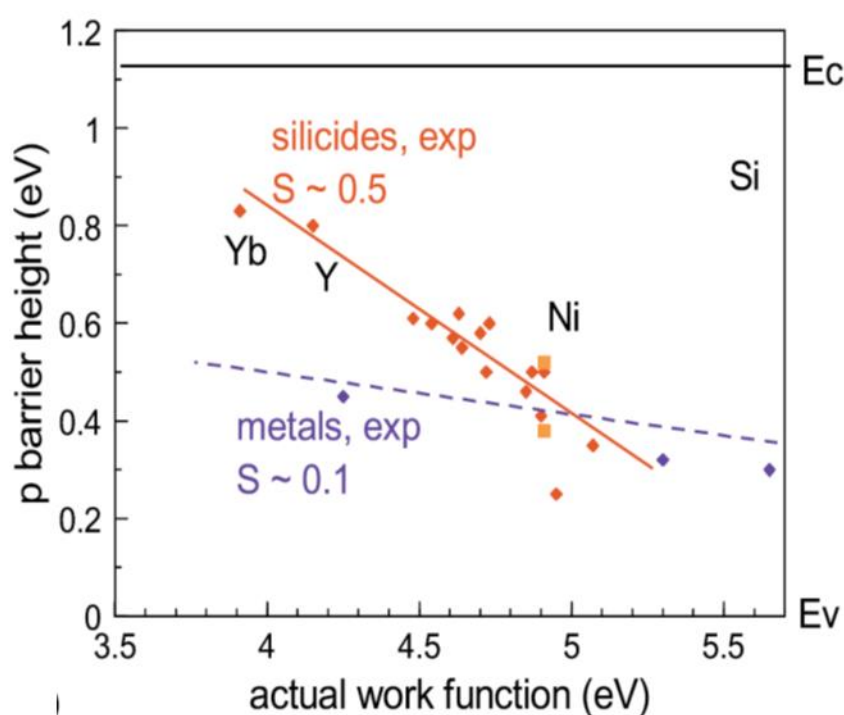


図 4.4 金属の仕事関数と元素金属/Si, シリサイド/Si 界面のショットキー障壁高さの関係.

L. Lin, et al., Appl. Phys. Lett. **101**, 052110 (2012). より.

Lin らは元素金属/Si 界面では Si の軌道に由来する準位が界面における Si のバンドギャップに対するフェルミ準位の決定に寄与するのに対し、シリサイド/Si 界面ではシリサイド中金属の軌道に由来する準位が界面のフェルミ準位を決めると推測しており (図 4.5), 金属/Ge の系に対しても適応できる可能性も触れられている. しかしながら次節においても述べる様に、シリサイドは元素金属と比較して 1~2 桁程度自由電子密度が低いことを考慮すると、前項の金属中の自由電子密

度を考慮した MIGS モデルによる考え方による解釈も可能であろう。金属中半導体元素の結合を考慮したこのモデルと前項で議論した自由電子密度を考慮した MIGS モデルの違いについては 4.4 節にて考えてみたい。

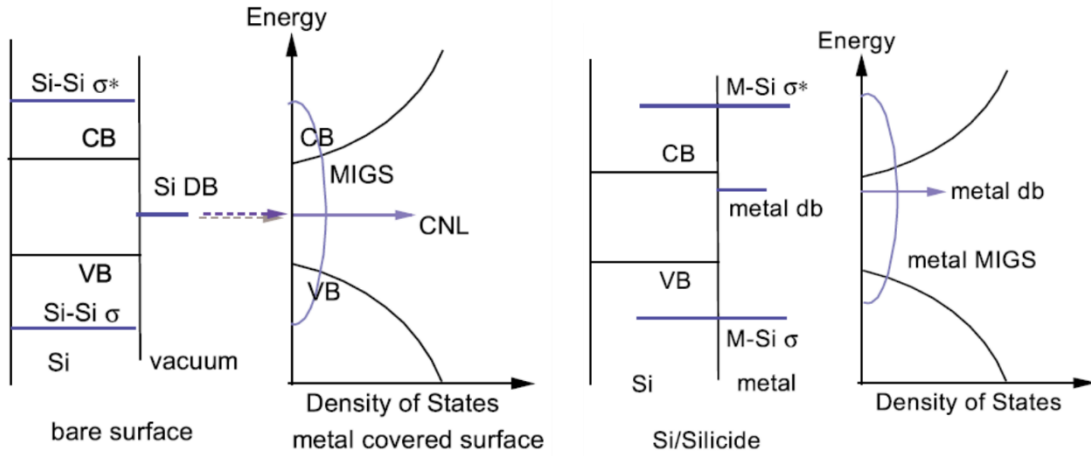


図 4.5 元素金属/Si 及びシリサイド/Si 界面における  
MIGS の起源となるダングリングボンド。  
シリサイド/Si 界面では金属元素の結合に由来した準位を形成。  
L. Lin, et al., Appl. Phys. Lett. **101**, 052110 (2012). より。

## 4.2 低自由電子密度金属の選択

一般的な元素金属中における自由電子密度は固体物理の教科書等にも記述されており，例えば以下の表 4.1 の通りである[6].

表 4.1 典型的な元素金属中の自由電子密度[6].

Metal	$n$ $\times 10^{22} / \text{cm}^3$	Metal	$n$ $\times 10^{22} / \text{cm}^3$
Li	4.70	Sr	3.20
Na	2.65	Ba	3.20
K	1.40	Zn	13.1
Cu	8.45	Cd	9.30
Ag	5.85	Al	18.0
Au	5.90	Ga	15.0
Be	24.0	In	11.5
Mg	8.60	Pb	13.2

1 個の金属原子が 1~3 個の自由電子を提供することにより，これらの金属中には凡そ  $10^{22} \sim 10^{23} / \text{cm}^3$  程度の自由電子が存在する．この様な高い自由電子密度を有する金属は Ge との界面に極めて強い FLP を生じることが 2 章において示した通りである．

表 4.2 典型的な金属 Si 化合物金属中のキャリア密度[7].

Metal	$n$ $\times 10^{22} / \text{cm}^3$	Metal	$n$ $\times 10^{22} / \text{cm}^3$
TaSi <sub>2</sub>	0.47 ~0.57	MoSi <sub>2</sub>	0.12 ~0.26
VSi <sub>2</sub>	0.68	Pd <sub>2</sub> Si	0.34 ~0.43



本研究では上述の元素金属と比較して 1~2 桁自由電子密度が少ない材料として金属 IV 族元素化合物金属に注目した。金属 Si 化合物金属（シリサイド）は材料やその構造によっては  $10 \mu\Omega\text{cm}$  程度 (NiSi) の低抵抗率を実現しており、Si テクノロジーにおいても既に用いられている典型的な化合物金属である。表 4.2 に典型的なシリサイド中のキャリア密度を示す。金属 IV 族元素化合物金属は元素金属と IV 族半導体材料を比較的低温の熱処理により、容易に反応生成できることから、本研究では元素金属と Ge を反応させた金属 Ge 化合物金属（ジャーマナイド）を低自由電子密度金属として用いることとした。

また、より単純かつ端的な例として、キャリア密度が典型的な元素金属と比較して 5~6 桁程度少なく ( $10^{17}/\text{cm}^3$  程度) [8]、従来の元素金属と同様に成膜が可能、且つ Ge と化合物を形成しない半金属である Bi に関して、当研究室で得られている研究成果についても一部併せて紹介する[9]。

### 4.3 低自由電子密度金属/Ge 界面の FLP

#### 4.3.1 試料作製

まず本節では系統的に低自由電子密度金属/Ge 界面のショットキー障壁高さの関係を調べる為に作成したジャーマナイド/Ge 接合の作成方法を示す。

付録に示した手法により Ge(100)基板を洗浄した後，Ge 基板上にメタルマスクを用いて元素金属（Y, Gd, Yb, Er, Ho, Ti, Co, Ni, Pt）を 30 nm 電子線蒸着により堆積した．特に低仕事関数金属は後の真空中熱処理の際に残留する酸素との反応により酸化膜の形成が懸念される事から，元素金属の堆積に続けてアモルファス Ge を 20 nm 堆積した．これらの試料を真空中 500°C，30 min の熱処理を行い，元素金属と Ge を反応させジャーマナイドを形成した（図 4.6）．これら元素金属，アモルファス Ge の堆積，及びジャーマナイド形成熱処理は Base Pressure が  $10^{-5}$  Pa の高真空チャンバ内において行っている．

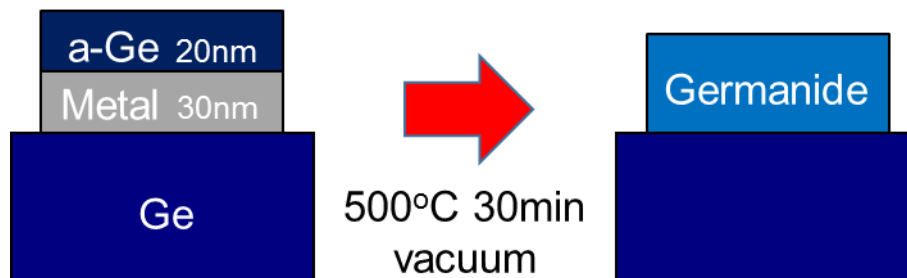


図 4.6 本研究で用いたジャーマナイド/Ge 接合の作成プロセス.

## 4.3.2 ジャーマナイド形成の確認と相の同定

界面反応により形成するジャーマナイドは様々な金属-Ge 比で安定な相が存在し、反応温度、反応時間によって大きく変化する。そこで作成したジャーマナイド相の同定を XRD による構造解析より行った。4.3.1 項に示した手法で作成した試料に対して  $\theta/2\theta$  測定を行った結果を図 4.7 に示す。

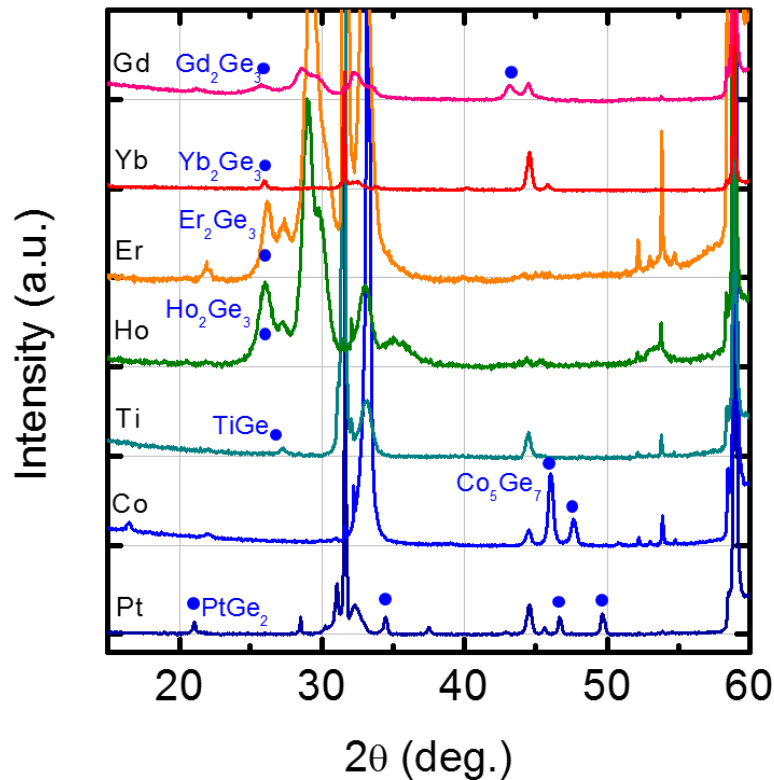


図 4.7 熱処理後における金属/Ge スタックの代表的な XRD プロファイル。青丸はジャーマナイド(青字表記)に帰属するピーク[10].

500°C, 30 min の熱処理により確実にジャーマナイドが形成されていることが示された。また XRD プロファイルから比較的 Ge 比の高いジャーマナイドの形成が確認できる。

### 4.3.3 ジャーマナイドの仕事関数とキャリア密度

FLP を特徴づける FLP 強さ, FLP エネルギー準位を議論する為に, 金属の仕事関数を知る必要がある. (4.1.1 項において真空仕事関数の表面項と MIGS の類似性について述べたが, これを踏まえると界面における金属仕事関数の表面項は真空での表面項とは異なり, 従来の真空仕事関数での FLP の議論の意味を改めて考える必要があることを示唆する. この詳細は後の 6 章で述べることにし, ここでは従来の FLP の考え方に基づいて議論を行う.) 4.3.1 項に述べた試料作製法と同じ手法を用い, メタルマスクを用いずに Ge 基板全面にジャーマナイド相を形成することにより Ultra-violet Photoelectron Spectroscopy (UPS) を用いて仕事関数を決定した.

UPS では表面に酸化の影響が現れない Au の仕事関数が 5.1 eV[11]となる様に仕事関数の校正を行った. 具体的には Au における UPS スペクトルを取得の上, 2 次電子の運動エネルギー 0 近傍のスペクトルにおいて微分係数が最大となる点を束縛エネルギーの閾値を  $BE_{th}$  として, 光源 He I のエネルギー 21.2 eV を用いて,

$$21.2 - BE_{th} + \alpha = 5.1 (= \Phi_{m Au}) \quad (4.4)$$

となる様に補正係数  $\alpha = 0.2$  eV を決定した. (図 4.8)

束縛エネルギーの閾値の決定手法に関しては, フェルミ面近傍の電子分布の熱揺らぎを考慮した Fowler 関数を用いる手法[12]や, 熱揺らぎは仕事関数に含まれるとして分析器分解能のガウス分布を仮定してスペクトルの変曲点より見積もる手法[13]等が提案されており, 多くの議論が現在も行われている. 本研究では後者を選択して解析を行った.

本補正に従って, 各ジャーマナイド及び元素金属の UPS スペクトルにおける 2 次電子の運動エネルギー 0 近傍のスペクトルの微分係数が最大となる点において  $BE_{th}$  を見積もり,

$$\Phi_m = 21.4 - BE_{th} \quad (4.5)$$

に従って仕事関数を決定した. 文献値において知られている元素金属の真空仕事関数値[11,14]に対して UPS により決定したジャーマナイドの仕事関数, 及び元素金属の仕事関数値を図 4.9 に示す.

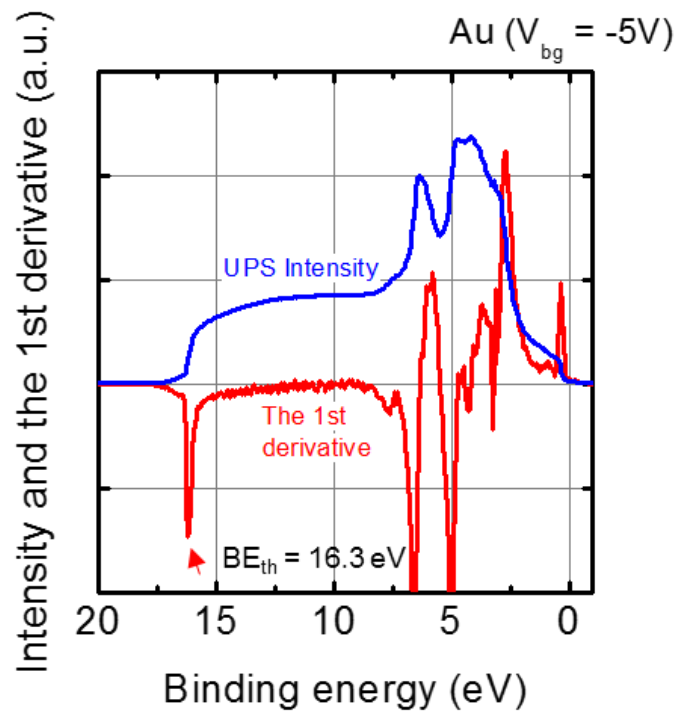


図 4.8 Au の UPS スペクトル.

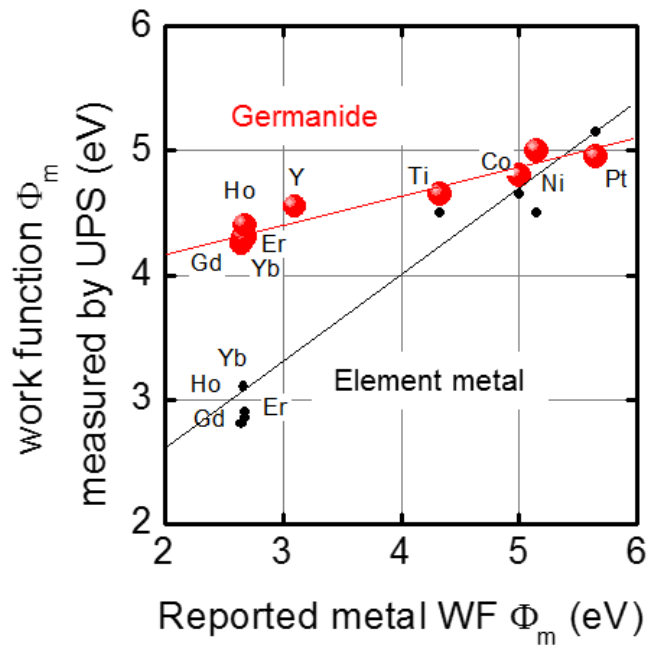


図 4.9 UPS により見積もったシャーマナイド及び元素金属の仕事関数と元素金属の仕事関数の文献値[11,14]の関係.

元素金属の仕事関数値に関しては UPS の測定値と文献値はほぼ一致しており、データの信頼性が十分あることを示唆している。約 3 eV の仕事関数幅でジャーマナイドを構成する金属元素を選択しているが、ジャーマナイド自身の仕事関数の分布は約 1 eV の範囲内となった。しかし、ジャーマナイドの仕事関数の大小関係は、含まれる金属元素の仕事関数が凡そ反映されている。

また、4.2 にて金属 Si 化合物金属（シリサイド）のキャリア密度は元素金属のそれよりも低く、凡そ $\sim 10^{21}$  /cm<sup>3</sup> 台であることを述べた。本実験で用いているジャーマナイドも凡そ同程度であると予想されるが、改めて典型的なジャーマナイドとして Y, Gd ジャーマナイドについてキャリア密度を見積もった。絶縁膜である SiO<sub>2</sub> 基板上に金属膜、及びアモルファス Ge 膜を堆積した後、熱処理により厚さ  $t = 50$  nm のジャーマナイド膜を形成し、Al ワイヤにて配線をした後に DC での Hall 効果測定を行った。磁場反転により、Hall 電圧測定端子間の電流による電位降下分を相殺し、Hall 電圧のみの抽出を行った後、図 4.10 に Hall 電圧に膜厚 50 nm を乗じ、電流値で除したものを印加磁場の関数として示す。Hall 係数  $R_H$  は単位系を cgs 系で取り扱う点に注意すると、(T  $\rightarrow 10^4$  G, m  $\rightarrow 10^2$  cm, に伴い  $10^8$  が掛かる)

$$R_H = \frac{dV_{Hall}}{BI} \times 10^8 \quad (4.6)$$

となり、図 4.10 の傾きより得られる。  $n = (qR_H)^{-1}$  の関係より見積もられる Y, Gd ジャーマナイドのキャリアは主に電子、その密度はそれぞれ $\sim 9, \sim 7 \times 10^{21}$  /cm<sup>3</sup> と見積もられた。

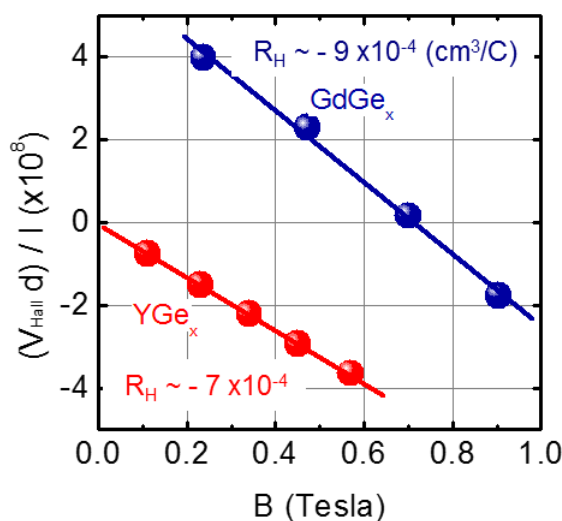


図 4.10 磁束密度とジャーマナイドの Hall 電圧の関係。

## 4.3.4 ジャーマナイド/Ge 接合の電流-電圧特性

4.3.1 にて作成したジャーマナイド/n-Ge(100)接合に対して、大気中・室温における電流-電圧特性評価を行った。得られた特性を図 4.11 に示す。ジャーマナイドの組成に関しては厳密な界面構造が不明であるため、改めて  $MGe_x$  と記す。

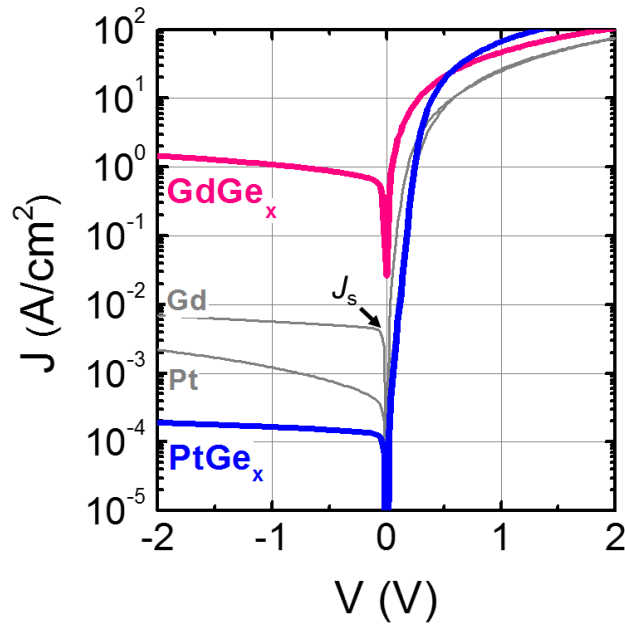


図 4.11 代表的なジャーマナイド、元素金属/n-Ge(100) 接合の電流-電圧特性[15].

図 4.11 においては、比較として元素金属の結果も併せて示している。因みに Gd と Pt の仕事関数は約 3 eV 程異なるが、これらのショットキー接合における off-state 電流や、飽和電流密度  $J_s$  は僅かに 1 桁程度の違いしかない。室温における 1 桁の  $J_s$  の違いは、以下の式に従って、

$$\Phi_b = kT \ln \left( \frac{A^* AT^2}{J_0} \right) \quad (4.7)$$

I-V 法により見積もるショットキー障壁高さ  $\Phi_b$  において 0.1 eV 以下の差でしかないことが分かる。これは 2 章において示した元素金属/Ge 界面に現れる極めて強い FLP そのものを示している。

一方でジャーマナイドの結果についてみれば，高仕事関数である Pt を含む Pt ジャーマナイドにおいては **off-state** 電流，及び  $J_s$  の減少が，一方の低仕事関数である Gd を含む Gd ジャーマナイドでは逆にそれらの増大が確認できる．これらの  $J_s$  の差は 3 桁以上に至る．このことはジャーマナイド/Ge 界面の FLP は元素金属 /Ge 界面の FLP と比較して緩和していることを示している．



## 4.3.5 ジャーマナイド/Ge 界面のショットキー障壁高さと FLP

本項では改めて 4.3.1 において作成した全てのジャーマナイド/n-Ge(100)接合における I-V 法により見積もった界面のショットキー障壁高さのジャーマナイド依存性を示すと共に、ジャーマナイド/Ge 界面の FLP について議論する。

図 4.12 に I-V 法を用いて  $J_s$  より見積もられるショットキー障壁高さの目安を加えた全てのジャーマナイド/n-Ge(100)接合における電流-電圧特性を示す。

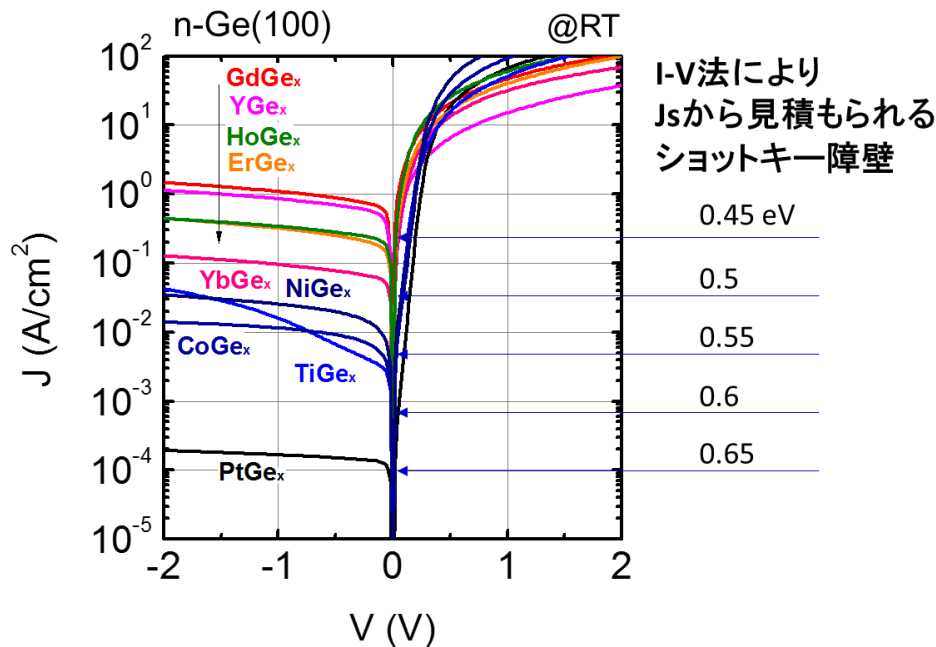


図 4.12 作成した全てのジャーマナイド/n-Ge(100) 接合の電流-電圧特性.

図 2.3 において示した元素金属/n-Ge(100)接合の I-V 特性と比較しても、その off-state 電流に金属依存性が現れ、ショットキー障壁高さが金属に応じて 0.2 eV 以上異なることが分かる。しかし I-V 法によるショットキー障壁高さの評価では、局所的なリーク電流により見かけ上低いショットキー障壁高さを見積もることがある為、I-T 法、C-V 法を組み合わせた障壁高さの均一性の検証を行った。I-T 法においては I-V 法と同程度のショットキー障壁高さが見積もられると同時に、横軸 0 の切片より導出されるリチャードソン定数が文献値に良く一致している (図 4.13)。(局所的なリークであればリチャードソン定数は小さい値となる。) 更に off リークが大きいことから低温 (100 K) にて行った C-V 法によるショットキー障

壁高さ (図 4.14) は、低温で Ge のバンドギャップが広がることを考慮しても確実に表 2.2 に示す元素金属/n-Ge 界面と比較して低い。これらは Gd ジーマナイド等が n-Ge に対して均一性の高い低ショットキー障壁を形成していることを示している。

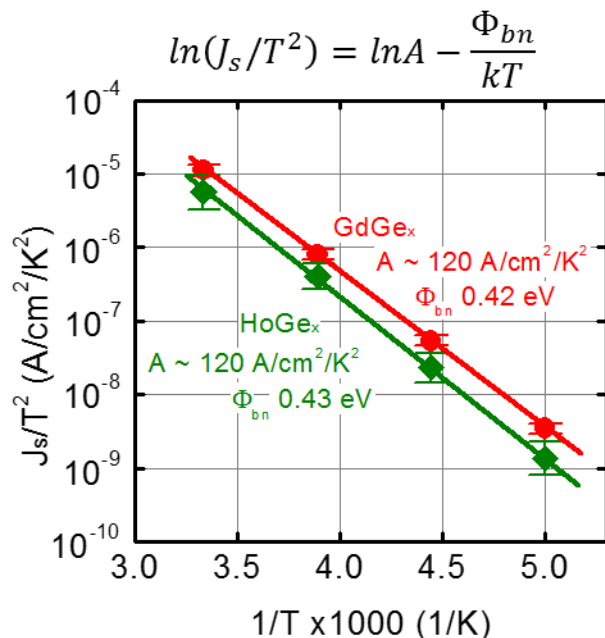


図 4.13 I-T 法によるジーマナイド/Ge 界面のショットキー障壁高さとリチャードソン定数  $AA^*$  の見積もり。  
リチャードソン定数の妥当性より均一性を評価可能。

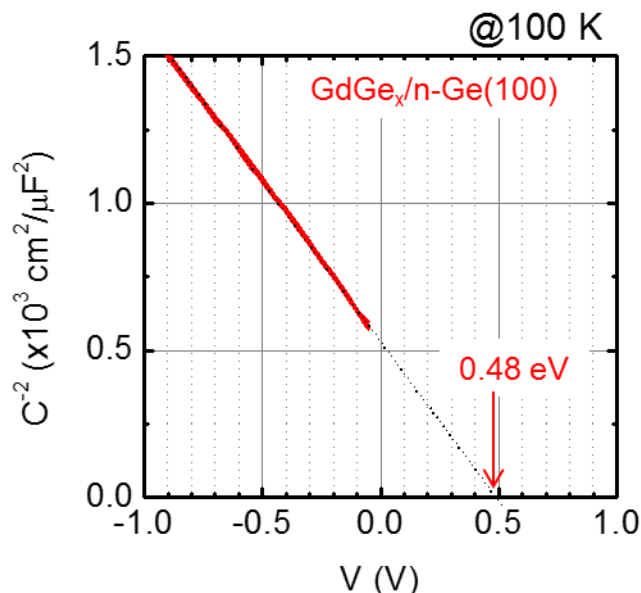


図 4.14 C-V 法によるジーマナイド/Ge 界面のショットキー障壁高さの見積もり。  
低温であるため内蔵電位がほぼショットキー障壁に相当する。

改めて I-V 法により見積もったショットキー障壁高さ、及び UPS により決定したジャーマナイドの仕事関数をまとめた表（表 4.3）及びそれらの関係を示す図（図 4.15）を示す。

表 4.3 UPS にて決定したジャーマナイドの仕事関数とジャーマナイド/n-Ge(100) 界面のショットキー障壁高さ。

Germanide	YGex	GdGex	YbGex	ErGex	HoGex
Work function $\Phi_m$	4.55	4.25	4.3	4.3	4.4
$\Phi_{bn}$ for n-Ge(100)	0.44	0.42	0.48	0.47	0.46

Germanide	TiGex	CoGex	NiGex	PtGex
Work function $\Phi_m$	4.65	4.8	5.0	4.95
$\Phi_{bn}$ for n-Ge(100)	0.57	0.57	0.54	0.64

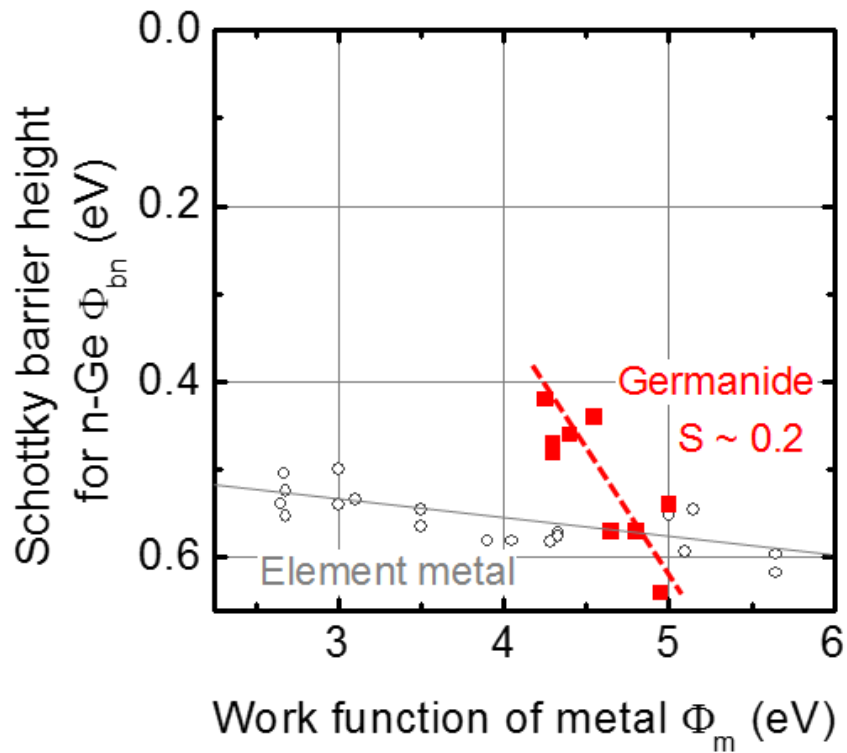


図 4.15 ジャーマナイドの仕事関数とジャーマナイド/n-Ge(100)界面のショットキー障壁高さの関係。

表 4.3 に示す様に、仕事関数の低いジャーマナイド/Ge 界面においてより Ge 伝導帯に低いショットキー障壁高さが得られる傾向があり、また図 4.15 に示す金属の仕事関数とショットキー障壁高さの関係は明らかにその傾きが大きくなっている。直線近似によりその傾きより得られる FLP 強さである S パラメータは凡そ 0.2 程度と見積もられ、2 章に示す元素金属/Ge 界面に生じる FLP の S パラメータが 0.02 程度（図 4.15 にも図示している）であることから、ジャーマナイド/Ge 界面の FLP は明らかに元素金属/Ge 界面の FLP と比較して弱くなっていると結論されると共に、金属/Ge 界面における支配的な FLP メカニズムは MIGS である妥当性を改めて支持するものである。

#### 4.4 半金属 Bi/Ge 界面におけるバンドアライメント

前 4.3 節において、金属中の自由電子密度を考慮した MIGS モデルに基づき、低キャリア密度金属であるジャーマニドを用いて、ダイレクト金属/Ge 界面においても FLP が緩和し、ショットキー障壁高さの制御性が向上することを示した。本節ではそのモデルの正しさを更に検証する為、現在も当研究室での卒業論文研究において進めている、半金属 Bi と Ge 界面のショットキー障壁高さ[9]について紹介したい。(本節の結果は全て ref. 9 の紹介である。)

4.2 節に於いても触れた様に、Bi は半金属でキャリア密度が $\sim 10^{17} / \text{cm}^3$  と元素金属と比較して 5~6 桁と極端に少なく、単元素材料であり、従来の元素金属と同様に成膜が可能、且つ Ge と化合物を形成しない、金属中に Ge 結合が存在しない、更なる仕事関数は約 4.3 程度と理想的には Ge のほぼバンドギャップ中央にアライメントされる点から、Ge における金属中の自由電子密度を考慮した MIGS モデルの検証に極めて適している材料であるといえる。

Bi は融点が 271°C と低く、容易に BN 坩堝を用いた加熱セル等により真空中で蒸着が可能である。2.1.2 項に示した手法により化学洗浄を行った Ge(100)基板を超高真空成膜装置 (Base pressure:  $\sim 10^{-8}$  Pa) に導入し、上述の加熱セルにより Bi を 30 nm, メタルマスクを介して成膜することにより Bi/Ge(100)接合を形成している。また Ge 基板裏面は欠陥を多量に導入した後に Al を蒸着し、オーミックコンタクトを形成している。

Bi/Ge 接合について得られた電流-電圧特性を図 4.16 に示す。同時に Bi と同程度の仕事関数を有し、自由電子密度が高い Al/Ge 接合の結果も示している。n-Ge に対し Bi は Al と比較して約 3 桁も高い off-state 電流を示す。off-state 電流の外挿により得られる  $J_s$  からショットキー障壁高さは 0.38 eV と見積もられる。p-Ge に対し典型的な自由電子密度が高い元素金属は 2 章に示した様にその仕事関数に依らずオーミック特性を示したが、Bi は僅かではあるものの有意の整流性を示している。このことは Bi/Ge 界面でのフェルミレベルが Ge の価電子帯端ではなく、mid-gap 側へシフトしていることを示しており、図 4.17 に示す様に金属の仕事関数とショットキー障壁高さの関係から見ると、ほぼ Schottky limit の直線上にあることから Bi/Ge 界面においては MIGS が十分緩和していると同時に FLP フリーである可能性もある。

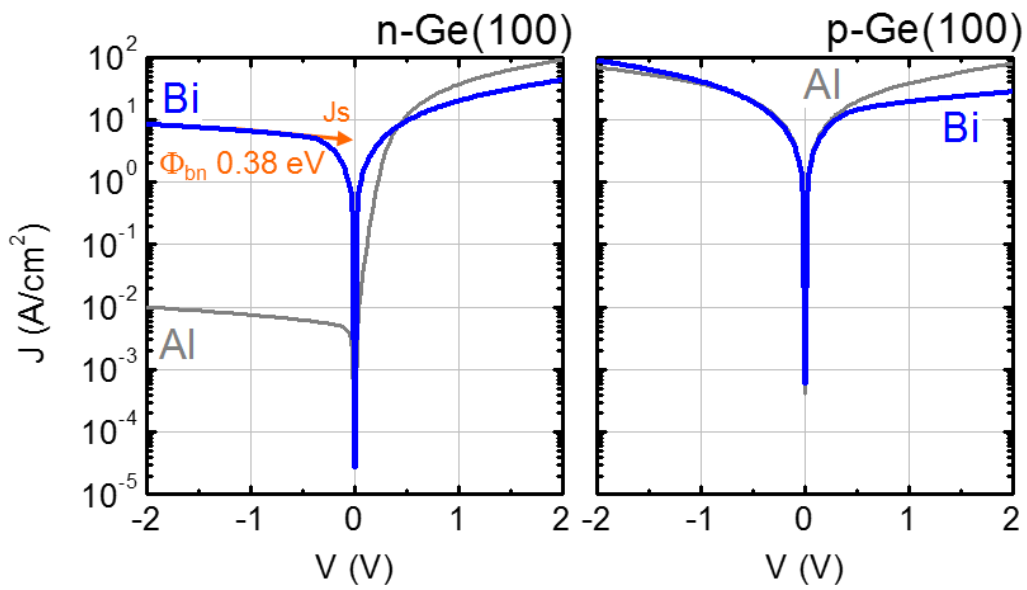


図 4.16 半金属 Bi/Ge(100)接合の電流-電圧特性.

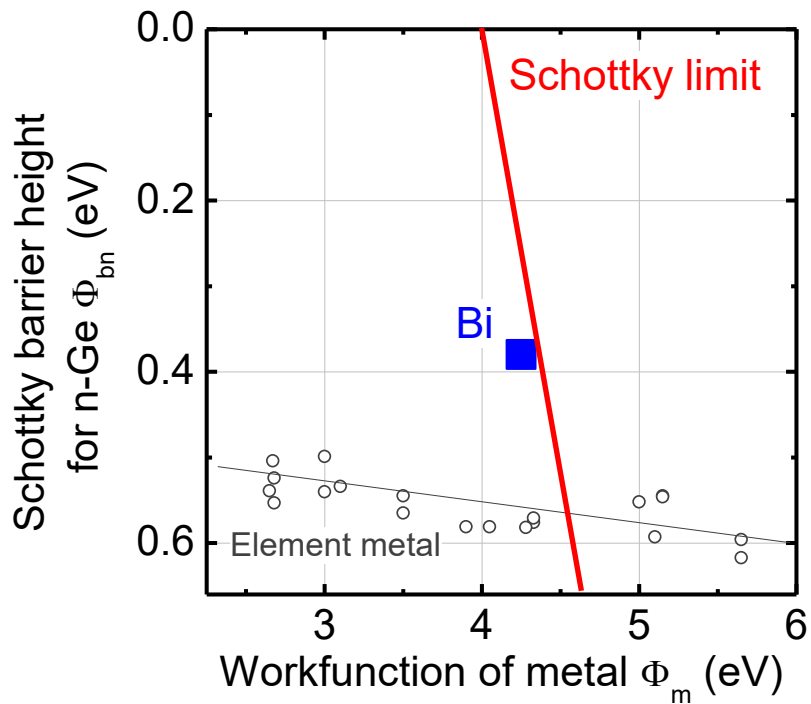


図 4.17 Bi の仕事関数とショットキー障壁高さの関係.

#### 4.5 FLP の傾向から逸れた n-Ge への低ショットキー障壁

近年, ダイレクト金属/Ge 界面においても 2 章で述べた Ge 価電子帯端近傍への極めて強い FLP の傾向から逸れ, Ge 伝導帯端への比較的低いショットキー障壁高さが得られる報告がある. 本節ではこれらについて紹介すると共に, ここまで検討を進めてきた金属中の自由電子密度を考慮した MIGS モデルの妥当性について議論する.

まず, これまで n-Ge に対して低ショットキー障壁高さが得られた結果についてまとめたものを図 4.18 に示す. 2 章にて示した元素金属/n-Ge 界面で得られるショットキー障壁高さの範囲を示しているが, その極めて強い FLP の傾向から逸れて明らかに低いショットキー障壁が形成されている.

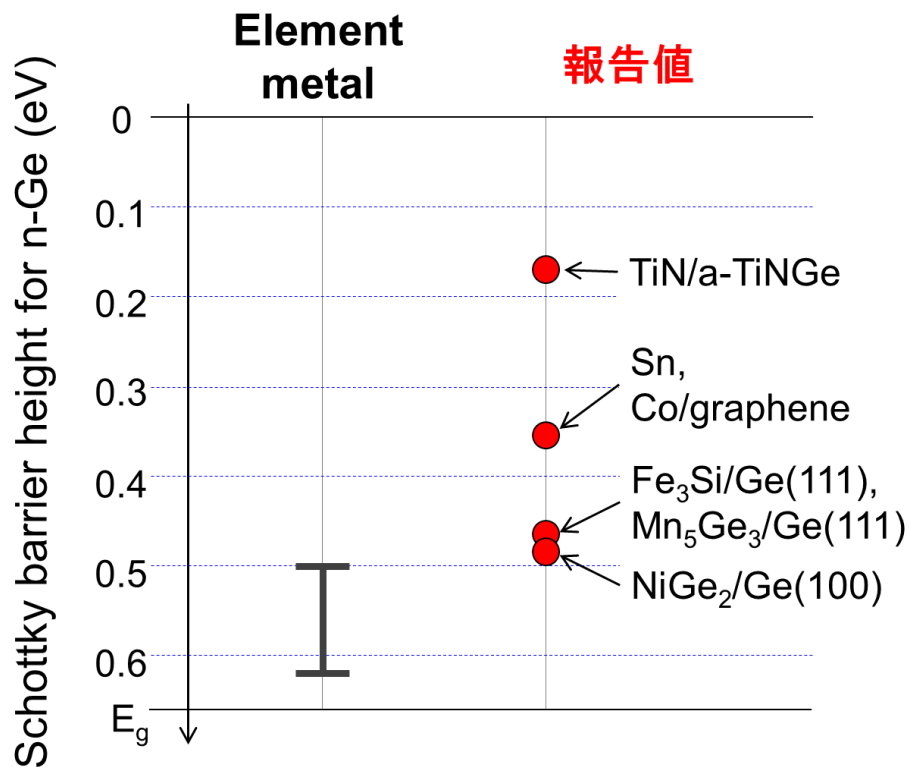


図 4.18 n-Ge に対して低ショットキー障壁を形成することが報告された金属 (ref. 16-21) の例.

一部,  $\text{Fe}_3\text{Si}$ [16]や  $\text{Mn}_5\text{Ge}_3$ [17],  $\text{NiGe}_2$ [18]においては例えば図 4.19 に示す様に Ge 基板とのエピタキシャル界面形成が報告されている.

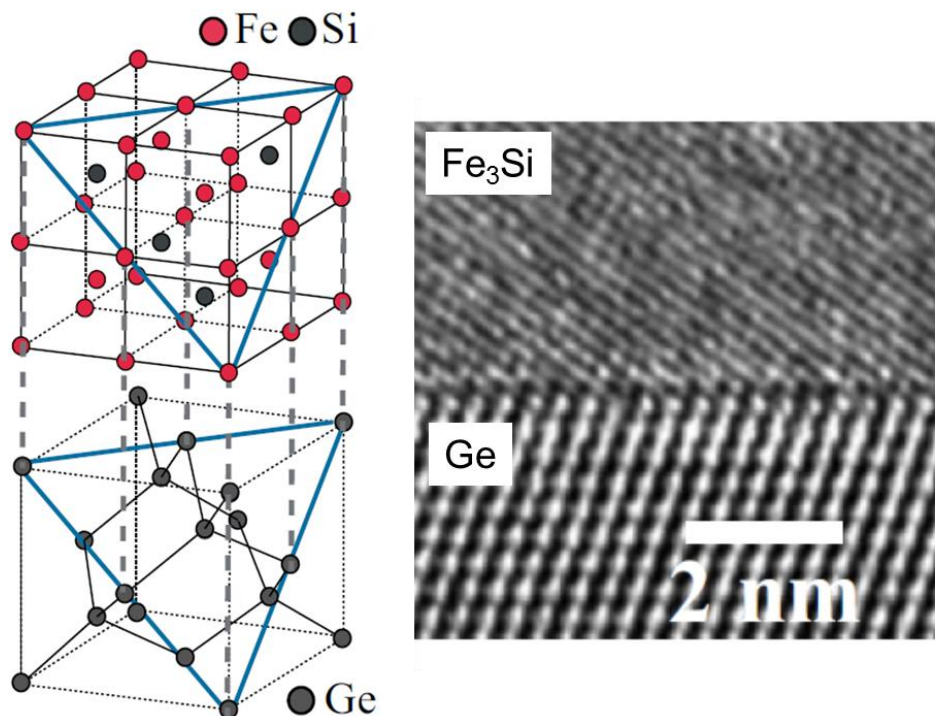


図 4.19  $\text{Fe}_3\text{Si}/\text{Ge}(111)$ 界面の格子整合性と TEM 像.

K. Yamane, et al., Appl. Phys. Lett. **96**, 162104 (2010). より.

これらの報告においては, ショットキー障壁高さの大幅な変調がみられ, また界面がエピタキシャル構造であることから, 金属/Ge 界面における支配的な FLP メカニズムについて界面欠陥等の例えば DIGS である可能性が指摘されている.

しかしながら改めて図 4.18 をみれば, アモルファス  $\text{TiNGe}$ [19],  $\text{Sn}$ [20], グラフエン[21]等に関しては必ずしもエピタキシャル構造が形成されていなくともダイレクト金属/n-Ge 界面において低ショットキー障壁高さが形成されている. むしろこれらの全ての金属についてその自由電子密度についてみれば, 一様に所謂元素金属と比較して少ないことが予想される. 即ち, 前節まで検討を進めてきた金属中の自由電子密度を考慮した MIGS モデルであれば, 上述の結果についても金属中の自由電子密度を低減することによる金属/Ge 界面の MIGS の緩和として極めて妥当かつほぼ統一的に理解できる.

唯一アモルファス  $\text{TiNGe}/\text{Ge}$  界面のバンドアライメントについては MIGS の緩和のみでは理解が難しい点がある[22]. これらは文献内においても記述がある通



リアモルファス TiNGe の仕事関数を Sanderson のグループ電気陰性度、及び電気陰性度と仕事関数の関係から見積もった値は Ge の midgap 近傍であり、FLP 強さの変化のみで描像すると S パラメータが 1 以上となる。故に MIGS の緩和ではなく外因性界面準位によるダイポールに起因する可能性が指摘されているが、この点に関しては次章において触れる様に、MIGS の緩和により顕著に現れた界面の効果であるとみれば妥当であろう。

## 4.6 低自由電子密度金属の薄膜化

低自由電子密度金属は金属的であるものの抵抗率がやや高い事が推測され、前述の Hall 測定時に Gd ジャーマナイドの抵抗率は約  $500 \mu\Omega\text{cm}$  と見積もられている。コンタクト抵抗を低減する点では、極薄界面層を導入する場合と同様にコンタクト用の低自由電子密度金属を薄膜化して適用する必要があるが、低電子密度金属の薄膜化はショットキー障壁にどの程度影響があるだろうか。

典型的に異なる Gd ジャーマナイドの厚さを有する W/GdGe<sub>x</sub>/n-Ge 接合を形成し、界面のショットキー障壁高さを I-V 法により見積もった。ここで、ジャーマナイドの作成法は図 4.6 に沿ったものであり、Gd と Ge の膜厚比を固定して薄膜化している。また W は電子線蒸着によりアモルファス Ge 上に連続して成長している。詳細は次章にて述べるが、Ge 基板の面方位によって界面のショットキー障壁が異なり、ここでは Ge 伝導帯により低いショットキー障壁高さが得られる Ge(111)の結果も紹介する。

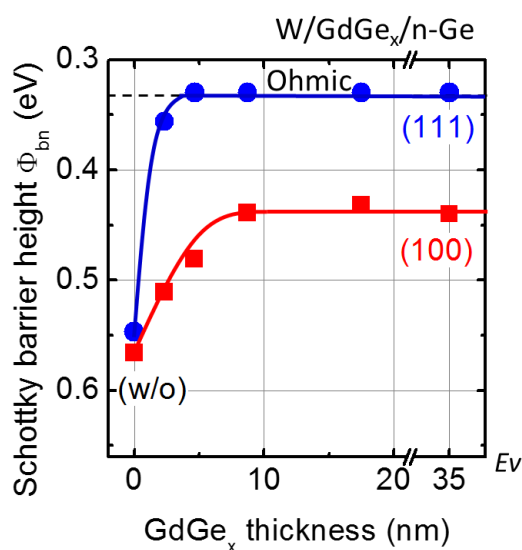


図 4.20 GdGe<sub>x</sub>/n-Ge 界面のショットキー障壁高さの GdGe<sub>x</sub> 膜厚依存性.

図 4.20 に示す様に、約 5 nm より急激にショットキー障壁が高くなる傾向が見られた。そこでコンタクト抵抗  $10^{-9} \Omega\text{cm}^2$ 、コンタクト面積  $10 \times 10 \text{ nm}$  を仮定し、コンタクト抵抗  $R_c$  と GdGe<sub>x</sub> 膜のバルクの抵抗  $R_m$  の総和を考えてみる。図 4.21 に示される様に、低ショットキー障壁を保持できる膜厚下限 5 nm では、コンタクト抵抗  $R_c$  の 1000  $\Omega$  に対して、GdGe<sub>x</sub> 膜のバルク抵抗  $R_m$  を 250  $\Omega$  まで減少することが可能であり、既にコンタクトが支配的な領域に達していると云える。即ちショッ

トキ一障壁高さの低減と低電子密度金属抵抗自身の抵抗低減を両立したコンタクトの設計が可能であることが示された。一方で、この膜厚下限を決めている原理の解明は今後望まれる。

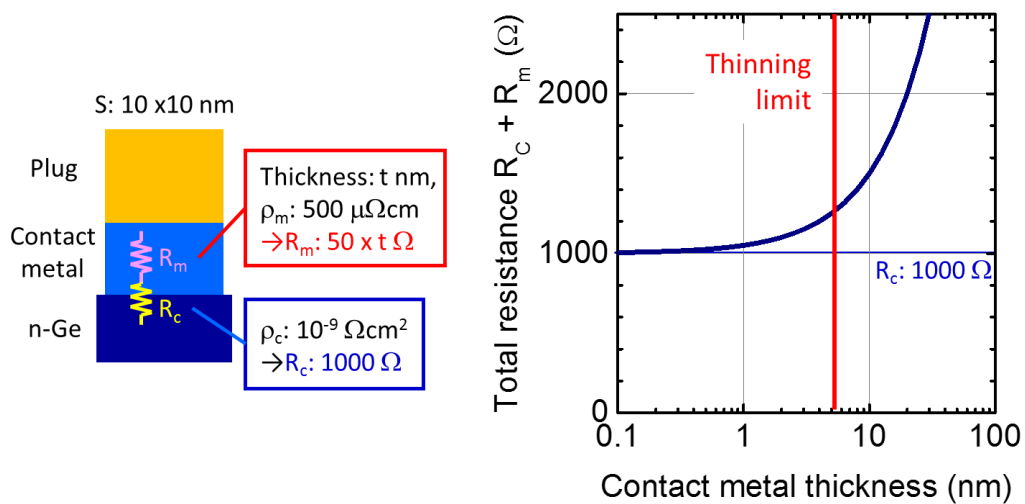


図 4.21  $\text{GdGe}_x$  バルク抵抗とコンタクト抵抗の総和に対する試算.

## 4.7 本章のまとめ

本章ではまず MIGS を改めて再考する為に“金属中電子の波動関数の半導体への浸み出し”と云われる物理的描像に着目した。より単純な系である真空への浸み出しが形成する表面ダイポールが金属の仕事関数表面項に一致すること、及び仕事関数表面項に対して金属中の自由電子密度が相関する知見に基づき、その原理を MIGS に適用することにより、金属中の自由電子密度の低減による MIGS の抑制を試みた。

低自由電子密度金属として、金属 Ge 化合物金属であるジャーマナイドを用い、Ge(100)界面とのショットキー障壁高さを系統的に調べたところ、ショットキー障壁高さに金属依存性が顕著に現れる、即ち期待通り金属中の自由電子密度の低減により FLP が緩和することを実証すると共に、金属/Ge 界面における支配的な FLP メカニズムが MIGS である妥当性を改めて示した。

これまでに幾つかの特殊な金属について Ge 界面のショットキー障壁高さが従来の FLP の傾向より逸れる例が報告され、界面構造のエピタキシャル性などから外因的な欠陥モデルについて議論がなされているが、これらの結果もほぼ全て自由電子密度を考慮した MIGS により、より統一的に理解ができる可能性についても述べた。また、極端な例としてバンドギャップは持たないものの自由電子密度が半導体並みに極めて少ない半金属である Bi においても、Ge 界面のショットキー障壁高さが FLP の傾向から逸れる例として紹介した。

また FLP を緩和している低電子密度金属は 5 nm 以下の薄膜化によりその緩和効果が弱くなる傾向が現れることが分かった。しかしながら上述の程度の薄膜化が可能であれば、十分コンタクト抵抗が低減した領域であっても低電子密度金属の抵抗率の高さは問題とならず、現実的なコンタクト設計が可能となることを示した。

本章における内容は主に T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, Appl. Phys. Express **9**, 081201 (2016).においてまとめている。

## 参考文献

- [1] W. Mönch, Mechanisms of Schottky barrier formation in metal semiconductor contacts, *J. Vac. Sci. Technol. B* **6**, 1270 (1988).
- [2] 塚田捷, 仕事関数, (共立出版, 1983)
- [3] N. D. Lang, and W. Kohn, Theory of metal surface: Charge density and surface energy, *Phys. Rev. B* **1**, 4555 (1970).
- [4] V. Heine, Theory of surface states, *Phys. Rev.* **138**, A 1689 (1965).
- [5] L. Lin, Y. Guo, and J. Robertson, Metal silicide Schottky barriers on Si and Ge show weaker Fermi level pinning, *Appl. Phys. Lett.* **101**, 052110 (2012).
- [6] C. Kittel, *Introduction to Solid State Physics* 6th ed. (Wiley, New York, 1986).
- [7] F. Nava, K. N. Tu, O. Thomas, J. P. Senateur, R. Madar, A. Borghesi, G. Guizzetti, U. Gottlieb, O. Laborde, and O. Bisi, Electrical and optical properties of silicide single crystals and thin films, *Mat. Sci. Rep.* **9**, 141 (1993).
- [8] G. A. Williams, Alven-wave propagation in solid-state plasmas. I. bismuth, *Phys. Rev.* **139**, A771 (1965).
- [9] 松本創央志, 東京大学 学士論文, (2017).
- [10] 国立研究開発法人物質・材料研究機構 AtomWork <<http://crystdb.nims.go.jp/>>.
- [11] H. B. Michaelson, The work function of the elements and its periodicity, *J. Appl. Phys.* **48**, 4729 (1977).
- [12] 宮崎誠一, 金属/高誘電率絶縁膜ゲートスタックの光電子分光解析, *表面科学* **29**, 84 (2008).
- [13] 吉武道子, UPS, XPS, AES を用いた仕事関数計測の原理と実践的ノウハウ, *表面科学* **28**, 397 (2007).

- [14] Y. I. Malov, A. V. Onishchenko, and L. I. Mironkova, Work function of rare-earth metals, *Phys. Met. Metallogr.* **47**, 195 (1979).
- [15] T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, *Appl. Phys. Express* **9**, 081201 (2016).
- [16] K. Yamane, K. Hamaya, Y. Ando, Y. Enomoto, K. Yamamoto, T. Sadoh, and M. Miyao, Effect of atomically controlled interfaces on Fermi-level pinning at metal/Ge interface, *Appl. Phys. Lett.* **96**, 162104 (2010).
- K. Kasahara, S. Yamada, K. Sawano, M. Miyao, and K. Hamaya, Mechanism of Fermi level pinning at metal/germanium interfaces, *Phys. Rev. B* **84**, 205301 (2011).
- [17] T. Nishimura, O. Nakatsuka, S. Akimoto, W. Takeuchi, S. Zaima, Crystalline orientation dependence of electrical properties of Mn germanide/Ge (111) and (001) Schottky contacts, *Microelectron. Eng.* **88**, 605 (2011).
- [18] P. S. Y. Lim, D. Z. Chi, X. C. Wang, and Y.-C. Yeo, Fermi-level depinning at the metal-germanium interface by the formation of epitaxial nickel digermanide NiGe<sub>2</sub> using pulsed laser anneal, *Appl. Phys. Lett.* **101**, 172103 (2012).
- [19] M. Iyota, K. Yamamoto, D. Wang, H. Yang, and H. Nakashima, Ohmic contact formation on n-type Ge by direct deposition of TiN, *Appl. Phys. Lett.* **98**, 192108 (2011).
- [20] A. Suzuki, S. Asaba, J. Yokoi, K. Kato, M. Kurosawa, M. Sakashita, N. Taoka, O. Nakatsuka, and S. Zaima, Reduction of Schottky barrier height for n-type Ge contact by using Sn electrode, *Jpn. J. Appl. Phys.* **53**, 04EA06 (2014).
- [21] S.-H. C. Baek, Y.-J. Seo, J. G. Oh, M. G. A. Park, J. H. Bong, S. J. Yoon, M. Seo, S.-Y. Park, and S.-H. Lee, Alleviation of fermi-level pinning effect at metal/germanium interface by the insertion of graphene layers, *Appl. Phys. Lett.* **105**, 073508 (2014).
- [22] K. Yamamoto, R. Noguchi, M. Mitsuhashi, M. Nishida, T. Hara, D. Wang, and H. Nakashima, Electrical and structural properties of group-4 transition-metal nitride (TiN, ZrN, and HfN) contacts on Ge, *J. Appl. Phys.* **118**, 115701 (2015).

## 第 5 章

# FLP 緩和に伴う界面効果の顕在化と ショットキー障壁高さ制御性の向上

2 章では元素金属/Ge 界面のショットキー障壁高さが界面特性では決まらず、Ge バルクの特性によってのみ決まること等から MIGS モデルに注目し、また 3,4 章においては MIGS に基づいた FLP の抑制を試み、金属（の仕事関数）によるショットキー障壁高さの制御性の改善と MIGS の妥当性を示した。とすると 3,4 章において示したバルクで決まる MIGS が緩和したであろう極薄絶縁膜を導入した界面や、低電子密度金属を用いた界面においては、金属の仕事関数に加え様々な本質的、外因的な界面特性のショットキー障壁高さへの影響が現れることが予想される。本章では従来の元素金属/Ge 界面において極めて強い MIGS により隠されていたであろうショットキー障壁高さへの界面特性の寄与を明らかにすると共に、更なるショットキー障壁高さの制御性の向上について議論を行う。

## 5.1 MIGS により隠されていた界面特性

例えば MIGS が支配的に効いている自由電子密度が高い元素金属と Ge の界面においては、金属からの電子の波動関数の浸み出しが極めて強く、金属のフェルミ準位と Ge バルクの Branch point のアライメントを促す強力なダイポールが形成されるため、仮に界面構造に起因する微小なダイポールが存在しても MIGS が形成するダイポールに埋もれ、界面のショットキー障壁高さへの影響は現れないことが推測される。このことは 2 章において 3 eV 程の仕事関数が異なる金属を用いても金属/Ge 界面のショットキー障壁高さにその差が殆ど現れていない事実[1]とも良く対応する。しかし一方これまでの 3,4 章で示した低電子密度金属を適用する場合や極薄の界面層を導入する場合においては、金属のフェルミ準位と Ge のバルクの Branch point のアライメントを引き起こす MIGS 由来のダイポールが極めて弱くなっていると推測される。その様な状況においては外因的な界面準位や界面構造に起因する界面ダイポールは、MIGS が形成するダイポールの影響を受けることなく、ショットキー障壁高さに影響するであろうと考えられる。(図 5.1)

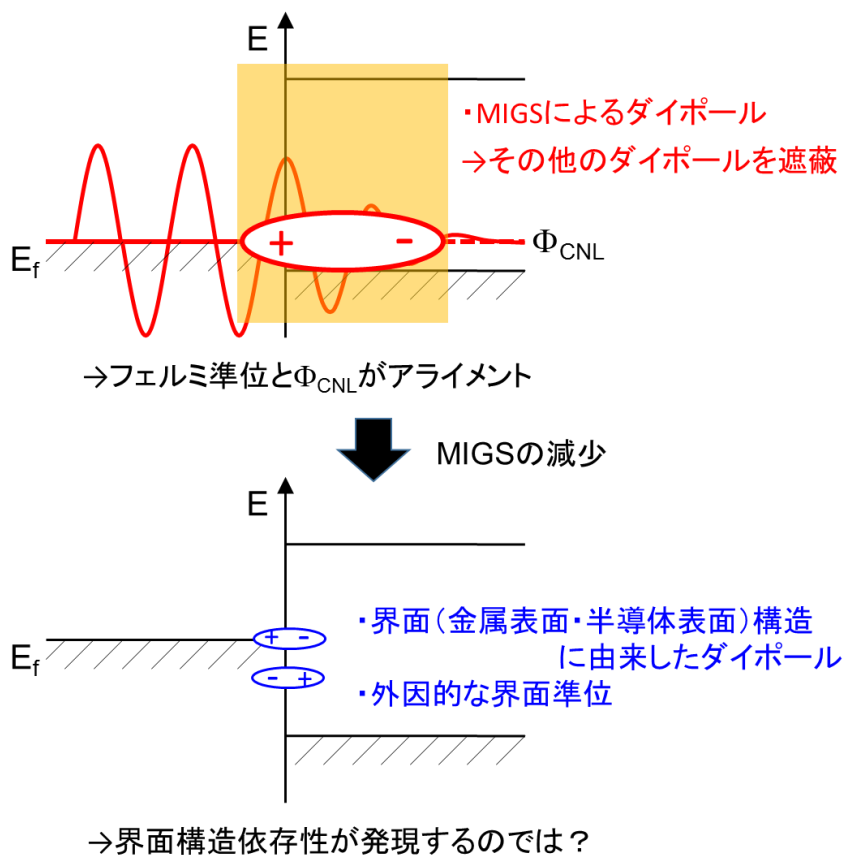


図 5.1 MIGS の緩和による界面構造に由来したダイポールの顕在化を示す模式図.



独立な FLP メカニズムが共存している場合、及び FLP に加え界面ダイポールが存在する場合についてそれぞれより定量的に考えてみたいと思う。

・2つ FLP メカニズムが存在する場合

独立で互いに影響しない2つの FLP メカニズム A, B があり、其々 FLP 強さが  $S^A$ ,  $S^B$ , FLP エネルギー準位が  $\Phi_{\text{CNL}}^A$ ,  $\Phi_{\text{CNL}}^B$  であるとする。これらが共存している時に系全体として実効的に観測される FLP 強さ  $S^{\text{TOT}}$ , FLP エネルギー準位  $\Phi_{\text{CNL}}^{\text{TOT}}$  はどのように決まるだろうか。

1.5 式の右辺  $qD\delta/\epsilon_i$  は金属のフェルミ準位と半導体の電荷中性準位がアライメントしようとする際に生じる接触電位差を“電荷中性準位とフェルミ準位のずれ”に対してどれだけ“界面準位電荷による界面ダイポールの電圧降下”が受け持つかを示しているが、ダイポール  $D_{\text{it}}\delta$  が2倍になれば 1.5 式右辺  $qD\delta/\epsilon_i$  も2倍となる関係が成り立つ様に、独立した FLP メカニズムのそれぞれの  $S$  パラメータから決まる  $qD\delta/\epsilon_i$  に対して和を取ることができ、共にドナー性やアクセプタ性の特性を示す領域では、

$$\frac{1}{S^{\text{TOT}}} - 1 = \sum_i \left( \frac{1}{S^i} - 1 \right) = \frac{1}{S^A} + \frac{1}{S^B} - 2 \quad (5.1)$$

が成り立つ。一方で2つの FLP メカニズムの FLP 準位が  $\Phi_{\text{CNL}}^A > \Phi_{\text{CNL}}^B$  として、Fermi 準位がこれらの FLP 準位の間にある場合は、A のドナー準位と B のアクセプター準位が電氣的に相殺する点に注意すると、

$$\frac{1}{S^{\text{TOT}}} - 1 = \left| \frac{1}{S^A} - \frac{1}{S^B} \right| \quad (\Phi_{\text{CNL}}^A > E_f > \Phi_{\text{CNL}}^B) \quad (5.2)$$

となり、このとき FLP エネルギー準位は  $\Phi_{\text{CNL}}^A$  と  $\Phi_{\text{CNL}}^B$  の間に存在し、そのエネルギーは  $1/S^B - 1 : 1/S^A - 1$  の比に当たる位置に決まる。これらを整理すると図 5.2 の様になる。

ここで  $S^B \ll S^A$  と  $S^B \sim S^A$  という2つの状況についてみると、前者は  $S^{\text{TOT}} \sim S^B$ ,  $\Phi_{\text{CNL}}^{\text{TOT}} \sim \Phi_{\text{CNL}}^B$  となり系全体がメカニズム B の特徴のみで決まり、メカニズム A の影響は現れない。一方で後者は  $S^{\text{TOT}}$ ,  $\Phi_{\text{CNL}}^{\text{TOT}}$  共にメカニズム A の寄与が現れることとなる。界面効果による FLP をメカニズム A, MIGS をメカニズム B とし

て、2章にて示した元素金属/Ge 界面を  $S^B \ll S^A$  の状況、3, 4章にて FLP が緩和した金属/Ge 界面を  $S^B \sim S^A$  の状況に当てはめてみれば、この3,4章で示した FLP が緩和した金属/Ge 界面には界面効果による FLP メカニズム A の寄与がより強く  $S^{TOT}$  や  $\Phi_{CNL}^{TOT}$  に現れることが期待される。金属の仕事関数  $\Phi_m$  と界面のショットキー障壁高さ  $\Phi_{bn}$  の関係を模式的に示したものを図 5.3 に示す。

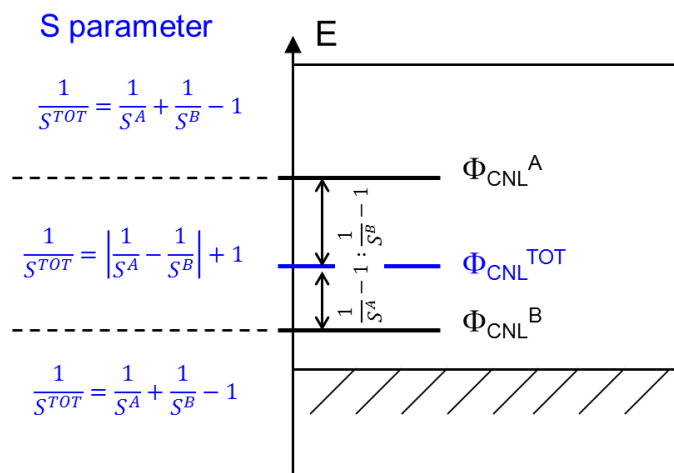


図 5.2 FLP メカニズム A と B が共存する際の実効的な FLP 強さ  $S^{TOT}$  と FLP エネルギー準位  $\Phi_{CNL}^{TOT}$ .

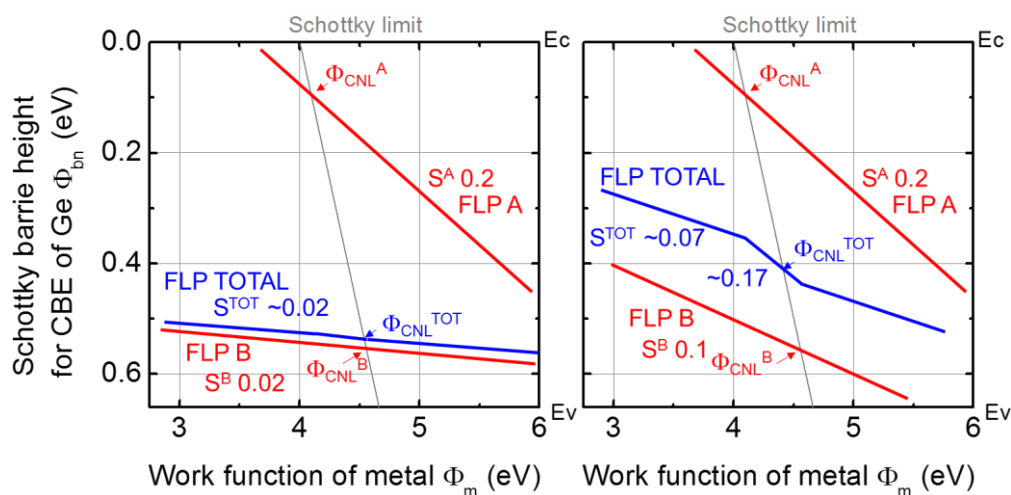


図 5.3 FLP メカニズム A と B が共存する際の実効的なショットキー障壁高さ  $\Phi_{bn}$  と金属の仕事関数の関係。FLP B の S パラメータが 0.02→0.1 となることで、FLP A の影響が明確に現れる。

・界面ダイポールと FLP

次に FLP に加え界面ダイポールが存在する場合について考えてみる。ダイポールによるシフトを  $P$  とすると, 1.3 式に界面ダイポールの補正分を加えることにより,

$$\Phi_{bn} = S(\Phi_m - \chi - P) + (1 - S)\Phi_{CNL} \quad (5.3)$$

と記述できる。5.3 式に沿って  $S$  パラメータが 0.02 と 0.2 の場合において 1.0 eV のダイポール (伝導帯へのショットキー障壁高さを下げる向き) の有無が仕事関数とショットキー障壁高さの関係に与える影響を図 5.4 に示す。

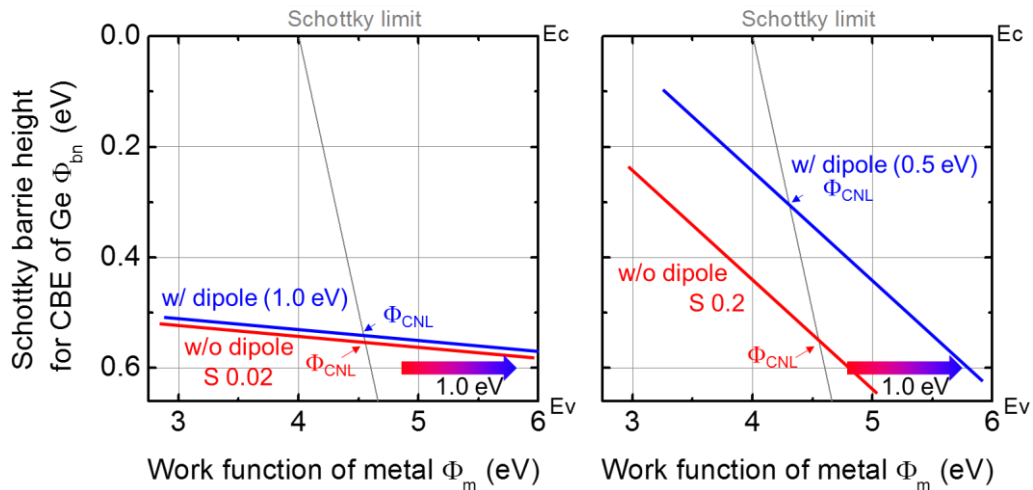


図 5.4 FLP とダイポールが共存する際の実効的なショットキー障壁高さと金属の仕事関数の関係.  $S$  パラメータが 0.02→0.2 となることにより, ダイポールの効果が明瞭になることが分かる.

図からも明らかな様に  $S$  パラメータが増大することにより界面ダイポールがショットキー障壁高さに大きく影響する様になることが分かる。この状況を金属/Ge 界面の FLP にあてはめると, 3, 4 章にて FLP が緩和した金属/Ge 界面において, やはり上述の様な界面ダイポールの影響が現れることが期待できる。

## 5.2 Ge 基板面方位の寄与

### 5.2.1 ジャーマナイド/Ge 界面

4 章において示した様に低電子密度金属であるジャーマナイド/Ge 界面においてはショットキー障壁高さに金属の仕事関数依存性が現れることから MIGS がある程度緩和していると推測される。本節では FLP が緩和した金属/Ge 界面におけるショットキー障壁高さへの界面特性の寄与として、Ge 基板の面方位の依存性について述べたい。

まずは異なる面方位を持つ基板上にジャーマナイド/Ge 接合を形成し、界面のショットキー障壁高さについて調査した。デバイスの作成手法は以下の通りで、(100)面の他、(110)面、(111)面の Ge 基板を用意し、4.3 節にて示した手法によって Ge 基板上にジャーマナイド/Ge 接合を形成した。典型的な結果として Gd ジャーマナイド/n-Ge 接合における電流-電圧特性を図 5.5 に示す。Ge 基板の面方位によって顕著な off-state 電流の違いが現れており、驚くべきことに n-Ge(111)に至ってはオーミック接合が得られている[2]。またショットキー障壁高さの均一性を検証する為、I-T 法、低温 C-V 法により見積もられるショットキー障壁高さの結果も併せて図 5.6, 5.7 に示す。

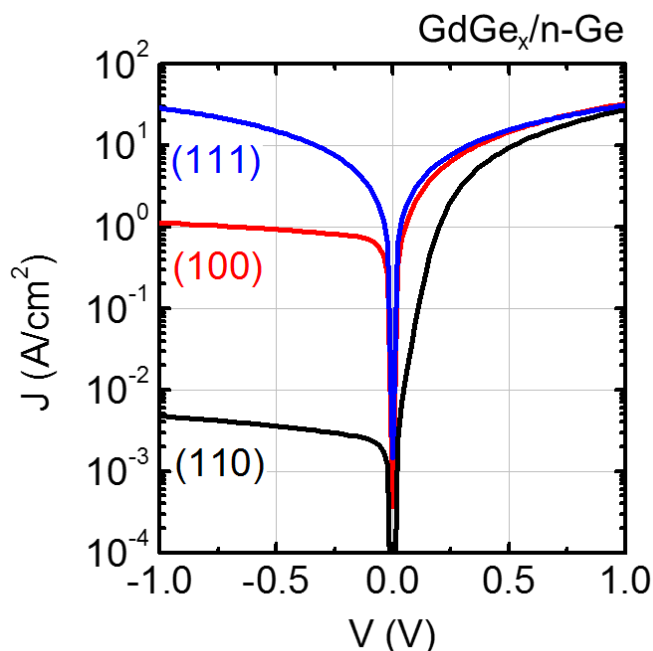


図 5.5 様々な面方位の Ge 基板上に形成した Gd ジャーマナイド/n-Ge 接合の電流-電圧特性[2].

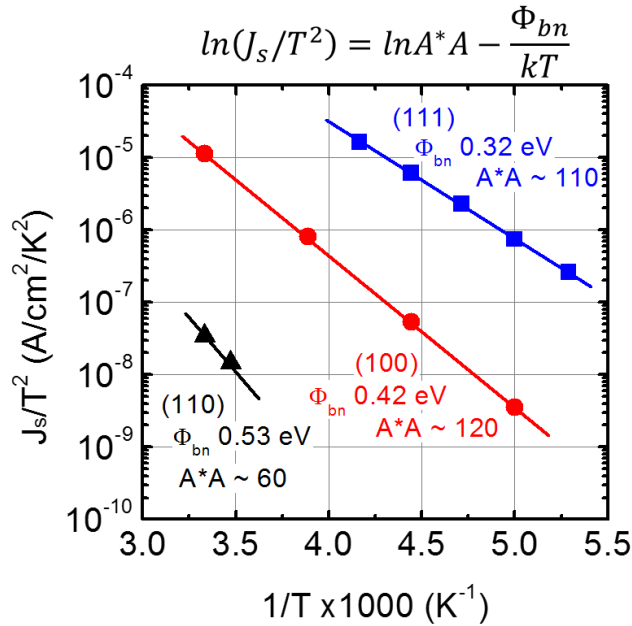


図 5.6 I-T 法により見積もった Gd ジャーマナイド/n-Ge 界面のショットキー障壁高さとしチャードソン定数  $A^*A$ [2].

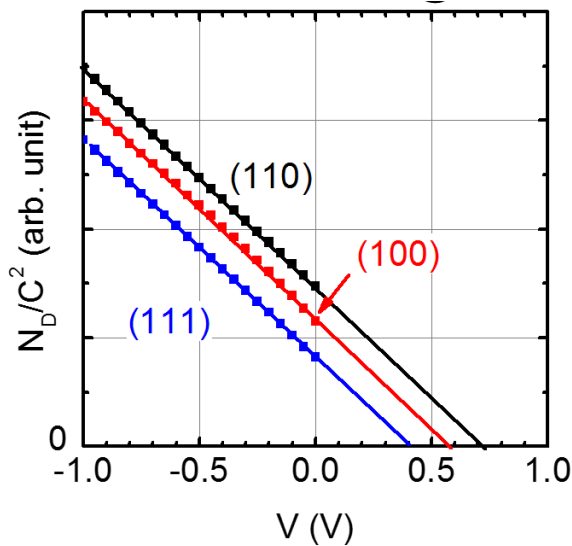


図 5.7 低温(100K)にて C-V 法により見積もった Gd ジャーマナイド/n-Ge 界面のショットキー障壁高さ. 縦軸は不純物濃度により規格化している[2].

I-T 法におけるリチャードソン定数の文献値[3]との良い整合性や、及び I-T 法、C-V 法におけるショットキー障壁高さの明確な面方位の差からも、各々の面方位において Ge 基板の面方位に依存した均一性の高い障壁が形成されていることが示唆される。

更に図 5.8 に I-V 法により見積もった様々なジャーマナイド/Ge 接合界面のショットキー障壁高さを示す (ここで, n-Ge(111)上の Ho, Er ジャーマナイドは室温の測定のみでオーミック接合を示すことから, ショットキー障壁高さは 0.33 eV 以下としている.). 界面のショットキー障壁高さには大きな Ge 基板面方位依存性が現れている. 図 5.8 に示される通り金属, 及び基板面方位を適切に選択することによりバンドギャップの半分以上に渡りショットキー障壁高さを制御可能となること, YGe<sub>x</sub>/Ge(111)界面においては Ge 伝導帯へ 0.27 eV にまでショットキー障壁高さを低減できることは, Ge CMOS デバイスの実現に向けた Ge 伝導帯への大幅なコンタクト抵抗低減に貢献できると思われる.

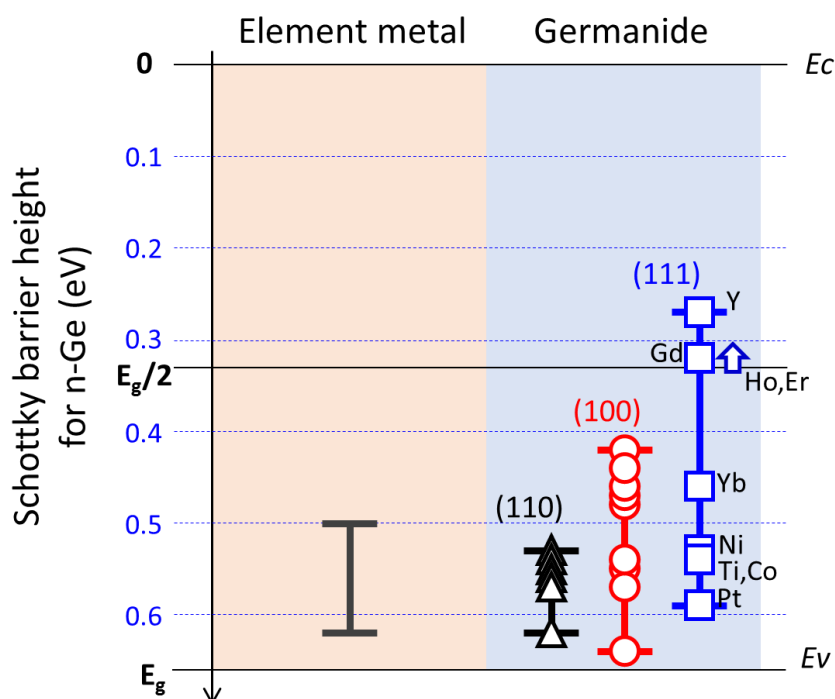


図 5.8 様々なジャーマナイド/n-Ge 界面のショットキー障壁高さ.

Ge 基板面方位は Ge 界面 (表面) 構造を明白に変えるが, 反応により形成しているジャーマナイド側の界面構造も Ge 面方位により異なる可能性がある. 典型的に Gd ジャーマナイドについてまずは XRD による評価を行った (図 5.9). a-Ge との反応により形成する poly ジャーマナイドの影響を除くため, Ge 基板上に Gd 金属を成膜した後, ジャーマナイド化アニール (高真空中, 500°C, 30 min) を行い評価用の試料を作成した. Ge(111), (100)上にはそれぞれ[001], [101]に配向した Gd<sub>2</sub>Ge<sub>3</sub>が, Ge(110)上には同定はできなかつたがある配向性を持つジャーマナイドが形成されている事が分かった. つまり Ge 基板の面方位を変えてジャーマナイ

ド/Ge 接合を形成しているが、界面に於いて Ge 側のみならず金属側の構造も異なることを示す。

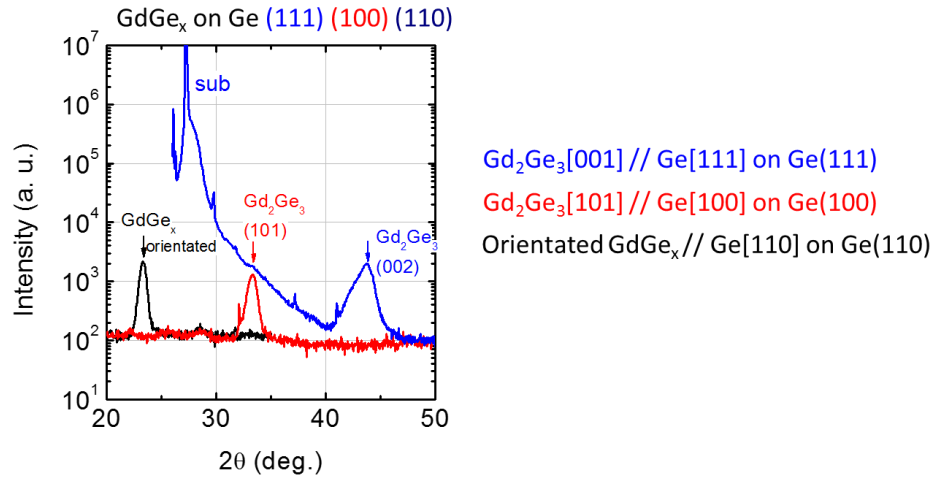


図 5.9 Gd ジャーマナイド/n-Ge スタックにおける Gd ジャーマナイドの配向性の Ge 基板面方位依存性.

更に、特に n-Ge に極めて低いショットキー障壁が得られた Gd ジャーマナイド/n-Ge(111)接合について断面 TEM 構造解析を行った。図 5.10 に示す様に Gd ジャーマナイド/Ge ダイレクト界面が形成されていることも確認できる。また拡大像からも界面近傍のジャーマナイド膜が Ge 基板に対してやはり配向性の存在が伺える。TEM 拡大像中の Gd ジャーマナイド領域についてフーリエ変換を行うとより明らかであり、格子長から Gd ジャーマナイドが  $A1B_2$  構造の  $Gd_2Ge_3$  であること、及び  $Gd_2Ge_3$  が Ge(111)上において[001]方向に配向している傾向も分かり、図 5.9 の XRD による結果とも整合する。またいくつかの希土類金属は Si との化合物として  $A1B_2$  構造のシリサイドを形成し、Si(111)上に配向することも知られており [5]、Ge についても同様であると考えられる。また組成比については EDX による解析を併せて行った、界面近傍の配向している領域である A 点において Ge/Gd 比 1.2 程度と見積もられた。薄膜における EDX の誤差が大きいことを考慮すれば、XRD、TEM の結果と整合していると云えるであろう。

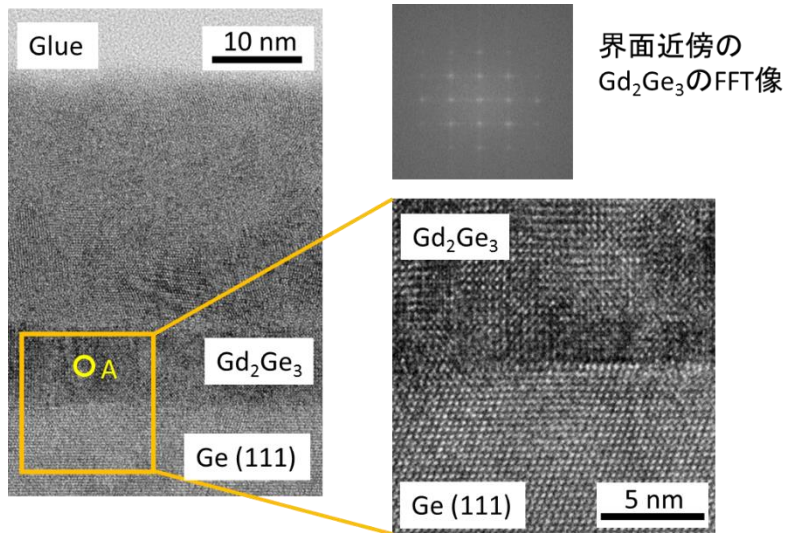


図 5.10 Gd ジャーマナイド/n-Ge(111)界面の断面 TEM 像, 界面近傍の拡大像, 及び Gd ジャーマナイド領域の FFT 像.

ここまで金属の仕事関数に関しては材料固有の物理定数であるかの様に用いてきたが, 厳密には Smoluchowski 効果として知られる様に金属の表面構造, 具体的には金属の表面の原子密度の影響を受ける. 図 5.11 にも示す様に再表面の電子は原子間の隙間を埋めながら表面と平行な滑らかな面を形成する様に再分布し, 仕事関数表面項と逆向きのダイポールを形成する. 故に原子密度が少ない面においては, 再分布によるダイポールが大きくなり, 仕事関数が小さくなる[6]. とすると, ジャーマナイド/Ge 界面においても, ジャーマナイドの界面構造が異なることはその仕事関数に影響を与えるであろうと推測される. 更に, この考え方は Ge 表面側においても同様に働くことも有り得るであろう. ジャーマナイド/Ge の系は両界面が複雑に影響しているであろう事からも, ここで更なる定量的な議論は行わない

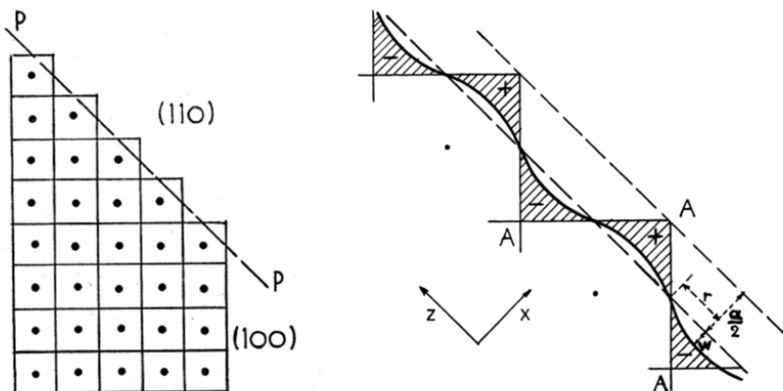


図 5.11 単純立方格子における Smoluchowski 効果の概念図. 電子が表面をスムージングすることにより仕事関数表面項と逆向きのダイポールが形成され, 原子密度が少ない面で仕事関数が低くなる.

R. Smoluchowski, Phys. Rev. **60**, 661 (1941). より.



### 5.2.2 元素金属/極薄絶縁膜/Ge 界面

まず MIGS は第一原理計算による半導体への浸み出し長が 1 nm 以下であることを改めて踏まえれば[7,8], 1 nm 程度の界面層により MIGS は十分抑制されていると考えられる.

3 章において主に検討を行った  $\text{GeO}_2$  膜を界面絶縁層として,  $\text{Al}/\text{GeO}_2(1.6 \text{ nm})/\text{Ge}(100)$  及び  $(111)$  接合を作成した. 得られた電流-電圧特性を図 5.12 に示す. off-state 電流や, 飽和電流密度  $J_s$  より I-V 法で見積もったショットキー障壁高さより, 界面においてごく僅かに  $(100)$  面の方が Ge 伝導帯よりフェルミ準位がある様にもみえるが, 2 章 図 2.13 において示した元素金属/Ge 界面においてもショットキー障壁高さにおいて 0.03 eV 程度 (飽和電流密度において 0.5 桁程度) の面方位の違いによるバラつきがあることを考慮すると, この差が改めて FLP の緩和時に現れたものであるとはいえないであろう.

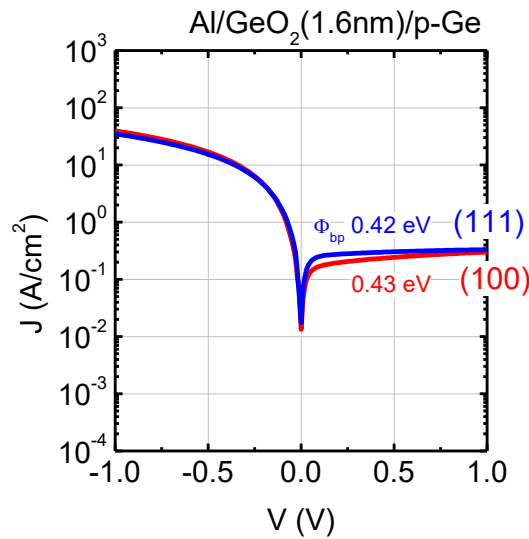


図 5.12 1.6nm の  $\text{GeO}_2$  膜を界面に導入した Al/Ge 接合における電流-電圧特性の面方位依存性.

$\text{GeO}_2/\text{Ge}$  界面について, 前項 5.2.1 において推測した半導体表面の Smoluchowski 効果に相当する様なダイポールの存在についてみると, その影響は現れていないと云えるであろう. これは都合の良い解釈であるが, 少なくとも  $\text{GeO}_2$  中の O が Ge の面密度に合わせて結合し, 面方位依存性を示さないと推測される. 例えば, 類似した構造である  $\text{SiO}_2/\text{Si}$  界面のバンドアライメントには Si 面方位の依存性が顕著に現れることは考えられていない.

### 5.2.3 ダイレクト金属/Ge 界面における Ge 面方位の寄与

5.2.1 項においてはジャーマナイド/Ge 接合界面のショットキー障壁高さが Ge 面方位によって大きく変化することについて触れたが, Ge 及びジャーマナイドの双方の構造の影響が予想されることから, 単純なモデルに基づいた考察が困難であった. そこで, 本節では金属側の構造の影響をより除いて Ge 構造の影響に着目できる系として Bi/Ge 接合に関して調べた.

4.4 節において紹介した様に Bi 中のフリーキャリア密度は  $10^{17}/\text{cm}^3$  程度と極めて少なく, MIGS が十分抑制された上で界面構造依存性が顕著に現れることが期待される. また Bi は Ge と化合物を形成しないことから Ge との反応による合金化などを懸念する必要もない[9]. 更に Bi は単純な成膜により Ge 表面の面方位に依存しない Bi 多結晶/Ge 界面が形成されることを XRD により確認している.

Bi/Ge 接合の作成手法は 4.4 節に記す通りで, Ge(100), (111)の基板を用意した. 作成した Bi/Ge 接合における典型的な電流-電圧特性を図 5.13 に示す. 明確な off-state 電流の違いが両 n, p-Ge 上にてみられ, 図 5.13 の模式図に示す様に界面のフェルミ準位が Ge(100)面上の方が(111)面上と比較して Ge の伝導帯に近い.

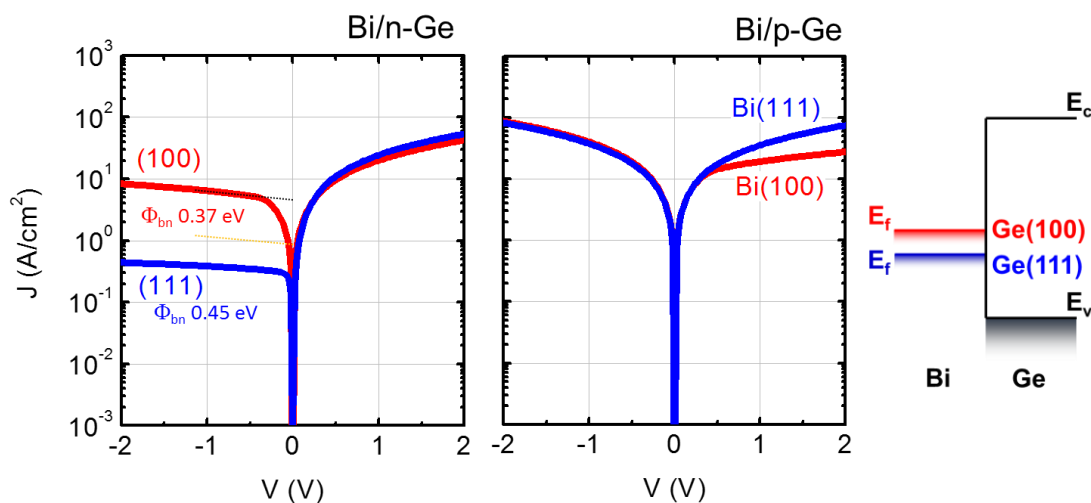


図 5.13 Bi/ Ge(100), (111)接合における電流-電圧特性, 及び界面のバンドアライメントの模式図.

Bi/Ge 界面において Ge 面方位の影響を受け、Bi 側の原子配置等の界面構造が僅かに変化することによる Smoluchowski 効果の影響は分からないが、ここでは Ge 面方位の本質として現れる半導体表面の Smoluchowski 効果に相当するメカニズムについて考えてみたい。5.2.1 項にて Smoluchowski 効果を紹介した様に、金属の仕事関数は表面の原子密度が低い程仕事関数表面項と逆向きのダイポールを形成し、仕事関数が低くなる[6]。一方で半導体についてみれば、半導体表面に原子核と電子が存在する事実からは同様の議論が有り得ても良い様に思える一方で、半導体中の電子は自由電子ではないことから自由電子の浸み出しによる考え方は恐らく適切ではないと推測される。半導体表面に存在する電子は方向性の強い結合軌道の描像がより適していることを考慮すると、無論、半導体表面の電子がギャップ内に準位を作る可能性も勿論あるわけだが、半導体表面に形成される表面ダイポールに相關する因子として半導体表面のボンドについて考えてみる。

Ge を含むダイヤモンド構造における代表的な面におけるボンド密度を図 5.14 に示す。各基板表面におけるボンド密度は(100) > (110) > (111)となることが分かる。各表面に対して鉛直方向への射影をダイポール長とすると、この場合面方位間にダイポールの大きさ（ダイポール長と密度の積）に差は現れない。しかし半導体表面において結合構造に再構成等が生じた場合にはダイポールの大きさは比較的ダイポール密度によって支配的に決まる状況になり得る可能性もある。この場合ダイポールの大きさと  $\Phi_{bn}$  の大きさの関係は逆となり、図 5.15 に示す様に  $\Phi_{bn}(100) < \Phi_{bn}(110) < \Phi_{bn}(111)$  の順となる（図 5.13 に示す結果と一致する傾向）ことが有り得るかもしれない。

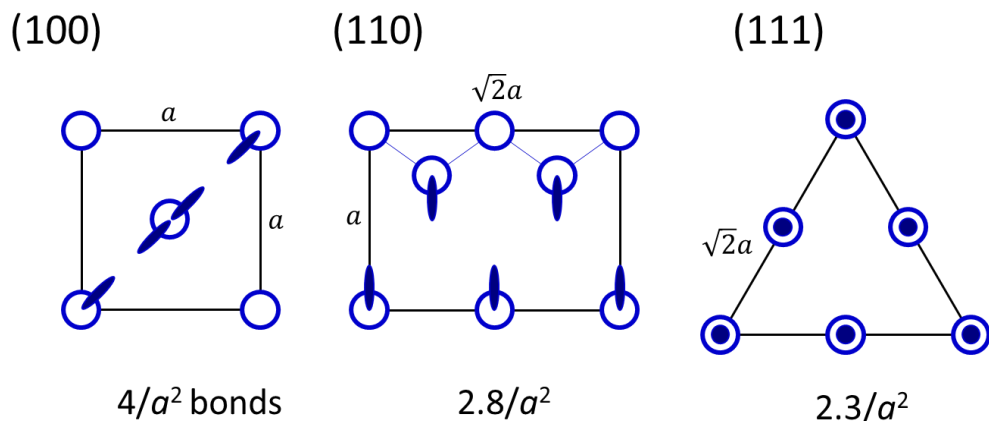


図 5.14 Ge を含むダイヤモンド構造半導体における各面の結合とその密度。

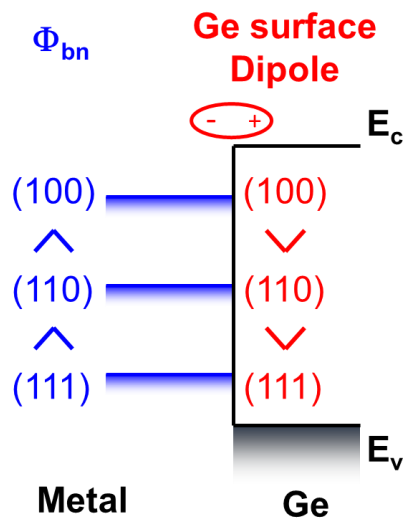


図 5.15 Ge 表面の結合電子由来のダイポール(赤字)と伝導帯へのショットキー障壁高さ(青字)の関係.

Ge の場合は極めて強い MIGS を緩和する事によって、これらの構造の影響の他にも、 $\text{NiSi}_2/\text{Si}(111)$  界面において界面の対称性のみが異なる A,B 面においてショットキー障壁高さが異なる[10]ことから推測される電子の軌道の方向性の影響等、多くの界面のバンドアライメントに寄与する効果が顕在化してくるものと考えられる。統一的な理解は極めて困難である様にも推測されるが、ダイレクト金属/Ge 界面の場合においても高い自由度でショットキー障壁高さを制御可能となることが期待できる。

### 5.3 極薄絶縁膜種と FLP エネルギー準位

3 章において示した様々な絶縁膜を導入した金属/Ge 界面におけるショットキー障壁高さと金属の仕事関数の関係を改めて図 5.16 に示す. 絶縁膜種に依らず FLP の緩和を生じており, 膜厚にも依存するものの FLP の強さを示す S パラメータは 0.2 から 1 程度にまで増加している.

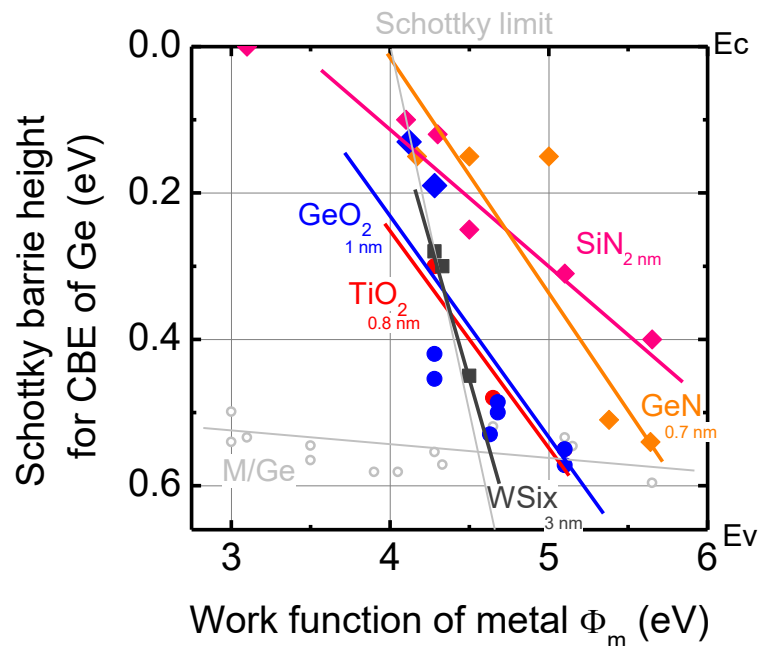


図 5.16 様々な絶縁膜を導入した元素金属/Ge 界面の FLP. GeN[11], SiN[12], WSi<sub>x</sub>[13]に関しては文献値である.

ここで図 5.15 における Schottky-limit を示す直線との交点より見積もられる FLP エネルギー準位について注目したい. 絶対値に関する精度は 3.4 節においても述べた通り FLP が弱い界面では  $\chi_{\text{Ge}}$  の値の影響により誤差を生じるため細やかな絶対値の議論は控えるが, ここでは界面層の膜種による相対的な差に注目したい.

改めて FLP エネルギー準位についてみると, 酸化膜と比較して窒化膜は相対的に電荷中性準位が Ge 伝導帯側に近い位置に存在する傾向が読み取れる. MIGS における FLP 準位はバルク半導体の特性により決まり, FLP 緩和が MIGS の抑制に由来するならば, この窒化膜における FLP エネルギー準位の Ge 伝導帯端側へのシフトは N に由来した固定正電荷や N との結合に由来した界面ダイポールに起因するものと推測される. MOS キャパシタにおいて SiON 膜中に N 由来の正電荷

が存在することは良く知られている[14]が、一方で 4.5 節において触れた n-Ge に極めて低いショットキー障壁を形成可能な低電子密度金属 a-TiNGe に関しては Ge とのダイレクト界面において仕事関数や、金属膜中の固定電荷では説明できない Ge-N 結合により生じる界面ダイポールの存在も指摘されている[15]. これらの窒化物による FLP エネルギー準位、界面のバンドアライメントのシフトの起源は明らかではないが、伝導帯へのショットキー障壁をより低減できる点は技術的に有用である可能性が有ると共に、今後更なるメカニズムの解明が必要である.

## 5.4 本章のまとめ

本章では FLP が緩和した金属/Ge 界面におけるショットキー障壁高さにおける界面構造依存性について議論を行った。MIGS が支配的な金属/Ge 界面においては、界面構造等に由来する微小なダイポール等は全て MIGS に由来した金属のフェルミ準位とバルク Ge の Branch point をアライメントするダイポールにより隠されてしまうが、MIGS が緩和した系においてはそれらが顕在化する可能性について調べた。

MIGS が緩和したダイレクト金属/Ge 界面であろうジャーマナイド/Ge 界面においては、ショットキー障壁高さの Ge 基板面方位が現れ（結果的に界面構造は金属、Ge 側共に異なる）、金属種と Ge 面方位によりショットキー障壁高さを Ge のバンドギャップの半分以上も制御可能となることを明らかにした。また、抵抗率がそれなりに低いジャーマナイドにおいてもこの程度のショットキー障壁高さの低減が可能となることは、低抵抗コンタクトを有する Ge nMOSFET の実用化に向けても重要な知見となるであろう。

同様の Ge 基板面方位依存性が Bi/Ge 界面においても確認された。反応で形成するジャーマナイドの様に Ge 基板面方位が金属側構造に影響しないことから、Ge 表面に存在する表面ダイポールに Ge 面方位依存性がある可能性を示した。

上述の Ge 基板面方位を含む界面構造の影響はダイレクト界面では顕著に現れるものの、一方で極薄絶縁膜を導入し金属/Ge 界面を金属/界面層と界面層/Ge 界面と分離した系では顕著に現れないことも明らかとなった。

本章における内容の一部は T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, Appl. Phys. Express **9**, 081201 (2016).においてまとめている。

## 参考文献

- [1] T. Nishimura, K. Kita, and A. Toriumi, Evidence for strong Fermi level pinning due to metal-induced gap states at metal/germanium interface, *Appl. Phys. Lett.* **91**, 123123 (2007).
- [2] T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, *Appl. Phys. Express* **9**, 081201 (2016).
- [3] S. M. Sze, *Physics of Semiconductor Devices* 2<sup>nd</sup> ed., (Wiley, New York, 1981)
- [4] S. Gaudet, C. Detavernier, A. J. Kellock, P. Desjardins, and C. Lavoie, Thin film reaction of transition metals with germanium, *J. Vac. Sci. Technol. A* **24**, 474 (2006).
- [5] J. A. Knapp and S. T. Picraux, Epitaxial growth of rare-earth silicides on (111) Si, *Appl. Phys. Lett.* **48**, 466 (1986).
- [6] R. Smoluchowski, Anisotropy of electronic work function of metals, *Phys. Rev.* **60**, 661 (1941).
- [7] S. G. Louie, and M. L. Cohen, Electronic structure of a metal-semiconductor interface, *Phys. Rev. B* **13**, 2461 (1976).
- [8] S. G. Louie, J. R. Chelcowsky, and M. L. Cohen, Ionicity and the theory of Schottky barriers, *Phys. Rev. B* **15**, 2154 (1977).
- [9] F. A. Trumbore, W. G. Spitzer, R. A. Logan, and C. L. Luke, Solid solubility of antimony, arsenic, and bismuth in germanium from a saturation diffusion experiment, *J. Electrochem. Soc.* **109**, 734 (1962).
- [10] R. T. Tung, Schottky-barrier formation at single-crystal metal-semiconductor interfaces, *Phys. Rev. Lett.* **52**, 461 (1984).
- [11] R. R. Lietaen, S. Degroote, M. Kuijk, and G. Borghs, Ohmic contact formation on n-type Ge, *Appl. Phys. Lett.* **92**, 022106 (2008).



- [12] M. Kobayashi, A. Kinoshita, K. Saraswat, H.-S. P. Wong, and Y. Nishi, Fermi level depinning in metal/Ge Schottky junction for metal source/drain Ge metal-oxide-semiconductor field-effect-transistor application, *J. Appl. Phys.* **105**, 023702 (2009).
- [13] N. Okada, N. Uchida, and T. Kanayama, Fermi-level depinning and contact resistance reduction in metal/n-Ge junctions by insertion of W-encapsulating Si cluster films, *Appl. Phys. Lett.* **104**, 062105 (2014).
- [14] S. S. Tan, T. P. Chen, J. M. Soon, K. P. Loh, C. H. Ang, and L. Chen, Nitrogen-enhanced negative bias temperature instability: an insight by experiment and first-principle calculations, *Appl. Phys. Lett.* **82**, 1881 (2003).
- [15] K. Yamamoto, R. Noguchi, M. Mitsuhashi, M. Nishida, T. Hara, D. Wang, and H. Nakashima, Electrical and structural properties of group-4 transition-metal nitride (TiN, ZrN, and HfN) contacts on Ge, *J. Appl. Phys.* **118**, 115701 (2015).



## 第 6 章 金属/半導体界面におけるショットキー障壁 高さの制御性に関する考察

これまで金属/Ge 界面における FLP について本質的な MIGS モデルに基づきながら議論を進めてきた。本章では、これまでの議論を踏まえて金属/半導体界面におけるバンドアライメント決定機構に関して以下の 2 点について議論を行いたい。

- 金属/半導体界面における金属の仕事関数
- 一般的な金属/半導体界面における FLP の制御の指針

## 6.1 金属/半導体界面における金属の仕事関数と FLP

### 6.1.1 MIGS と仕事関数表面項

4章では, MIGS と真空仕事関数表面項において“金属からの波動関数の浸み出し”の共通した物理描像[1]に基づいて MIGS を再考した. この描像 (図 6.1) に基づいて逆に金属の仕事関数について考えてみると, 金属/半導体界面に於いて金属の真空仕事関数値を用いてバンドアライメントを議論することに違和感が生じる. つまり, 波動関数の具体的な浸み出し方は半導体と真空で異なるであろうにも関わらず, 真空への浸み出しに基づいた真空仕事関数を用いて金属/半導体界面を議論するのは間違いではないだろうか. 金属/半導体界面においては, 真空とは異なる界面の波動関数の浸み出しを考慮した仕事関数を別途考えるのが自然な描像である様に思えるのである.

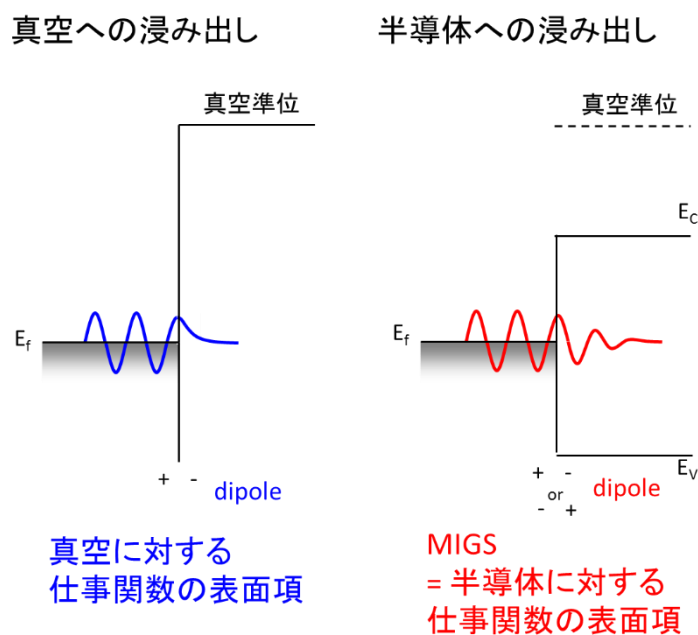


図 6.1 真空への波動関数の浸み出しと半導体への波動関数の浸み出し, 及びそれぞれに対応する表面, 界面ダイポール. 同じ物理描像であることから金属/半導体界面における界面の仕事関数は真空仕事関数とは異なることが推測される.

### 6.1.2 金属/半導体界面における金属の仕事関数

金属の仕事関数におけるバルク項を $\Phi_{Mb}$ 、真空に対する表面項を $\Phi_{Ms}^V$ すると、真空仕事関数 $\Phi_M^V$ は、以下の様に表される。

$$\Phi_M^V = \Phi_{Mb} + \Phi_{Ms}^V \quad (6.1)$$

一方、金属/半導体界面において、バルク項は真空仕事関数と同じであり、半導体に対する表面項が $\Phi_{Ms}^S$ となると仮定し、金属/半導体界面の仕事関数 $\Phi_M^S$ を以下の様に定義する。

$$\Phi_M^S \equiv \Phi_{Mb} + \Phi_{Ms}^S \quad (6.2)$$

すると真空に対する表面項 $\Phi_{Ms}^V$ を用い、以下の様に変形される。

$$\Phi_M^S = \Phi_M^V + \Delta\Phi_{Ms} \quad (6.3)$$

$$\text{但し, } \Delta\Phi_{Ms} = \Phi_{Ms}^S - \Phi_{Ms}^V$$

つまり 金属/半導体界面において金属の仕事関数は変調を受け、真空仕事関数 $\Phi_M^V$ より表面項における浸み出し方の差分(真空への浸み出しと半導体への浸み出し)に相当する $\Delta\Phi_{Ms}$ 分変化していると解釈できる。

真空への浸み出しと半導体への浸み出しをもう少し詳しく考えてみる。真空仕事関数 $\Phi_M^V$ 、及び界面の仕事関数 $\Phi_M^S$ における各々の表面項は 4.1 節において少し触れた様に、電子と正孔其々についての障壁高さと波動関数の浸み出しの枠組みにより統一的に整理できると考えられる (図 6.2, 表 6.1) (但しここでの障壁高さに関しては単純な 1 次元モデルとしている)。例えば半導体に対する波動関数の浸み出しは、伝導帯端への障壁により決まる電子の浸み出しと、半導体価電子帯端への障壁により決まる正孔の浸み出しを考慮し、各々が逆向きのダイポールを形成していると考えられることができる。4 章の議論ではダイポールの大きさが金属中の自由電子密度と相関するとしたが、正孔についても考慮することから、金属側

のフェルミ準位近傍における電子が満たされた軌道と空の軌道を考慮する意味で状態密度と相関するとした方がより適しているかもしれない。また、これらのダイポールが実効的に相殺されるエネルギー準位は電荷中性準位とみることができよう。また一方で真空に対しては、電子の浸み出しのみを考慮しダイポールの向きは真空側が必ず負としたが、このことは“真空”を、真空準位を伝導帯端とする無限のバンドギャップを有する材料とみなすことにより、正孔の浸み出し考慮しながらもその浸み出しが0であるものとみることができ。また実効的な表面ダイポールが相殺される電荷中性準位は、真空準位より無限に深い位置に存在するものとみなすことができる。

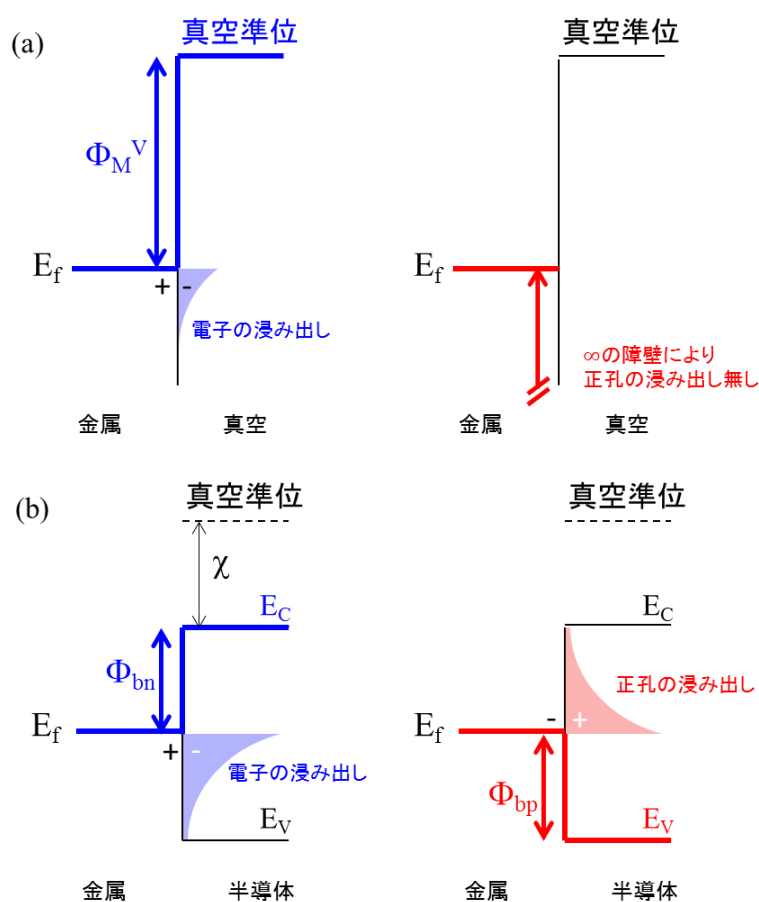


図 6.2 金属から(a)真空, 及び(b)半導体に対する電子, 及び正孔の浸み出しと障壁の関係. 半導体への障壁高さについては 1 次元モデルを仮定.

表 6.1 真空, 及び半導体への波動関数の浸み出しに関するキャリアのタイプと浸み出しを決める障壁高さ, 及び浸み出しによる表面・界面ダイポールが0となる電荷中性準位.

	波動関数の浸み出し			
	キャリア	障壁にて参照する準位	障壁高さ	電荷中性準位
真空仕事関数 $\Phi_M^V$	電子	真空準位	$\Phi_M^V$	$\infty$
	正孔	$\infty$	$\infty$	
金属/半導体界面仕事関数 $\Phi_M^S$	電子	$E_C$	$\Phi_{bn}$	$\chi + \Phi_{CNL}$
	正孔	$E_V$	$\Phi_{bp}$	

最後に界面の仕事関数 $\Phi_M^S$ と真空仕事関数 $\Phi_M^V$ との関係について考えてみたい。従来金属の真空仕事関数 $\Phi_M^V$ とショットキー障壁高さ $\Phi_{bn}$ の関係は FLP 強さ  $S$  と FLP エネルギー準位 $\Phi_{CNL}$ を用いて,

$$\Phi_{bn} = S(\Phi_M^V - \chi) + (1 - S)\Phi_{CNL} \quad (6.4)$$

と記述できる[2]としてきた。MIGS を半導体側の界面準位と想定し、 $S$  パラメータとの相関を系統的に整理[3]する例を紹介したが、本来 MIGS は半導体の特性のみで決まるとの誤解を与え易い界面準位としてではなく、界面仕事関数の表面項とする方が適している様に思われる。MIGS のみが効いている系において前述の金属/半導体界面における金属の仕事関数 6.2, 6.3 式に示した界面の仕事関数 $\Phi_M^S$ によって理想的なバンドアライメント界面のショットキー障壁高さが以下の様に定義されると考えてみると,

$$\Phi_{bn} \equiv \Phi_M^S - \chi \quad (6.5)$$

6.4 式との比較から,

$$\Phi_M^S = S\Phi_M^V + (1 - S)(\chi + \Phi_{CNL}) \quad (6.6)$$

と記述される．この状況において，金属/半導体界面における金属の仕事関数 $\Phi_M^S$ は， $S$  パラメータに応じて，

$$\Phi_M^S = \Phi_M^V \quad @S = 1 \quad (6.7)$$

$$\Phi_M^S = 0.5\Phi_M^V + 0.5(\chi + \Phi_{CNL}) \quad @S = 0.5 \quad (6.8)$$

$$\Phi_M^S = \chi + \Phi_{CNL} \quad @S = 0 \quad (6.9)$$

と変化する．即ち，金属/半導体界面における金属の仕事関数 $\Phi_M^S$ は真空仕事関数 $\Phi_M^V$ と真空準位から半導体の電荷中性準位に相当する $\chi + \Phi_{CNL}$ の間で決まり，6.4式において真空仕事関数を用いた際にFLP強さとして現れる $S$ は，界面における仕事関数についてその仕事関数の重みづけを決めるパラメータであると捉えることができる．



## 6.2 金属/半導体界面における FLP の制御

前節の議論を踏まえ、金属/半導体界面におけるショットキー障壁高さの制御性向上の指針は以下の通りとなる。

まず、バンドギャップが狭く、元素金属とのダイレクトコンタクトにおいて強い MIGS を生じる半導体においては、金属の真空仕事関数によるショットキー障壁高さの制御性を高める必要条件として、まず金属/半導体界面における金属の仕事関数  $\Phi_M^S$  を真空仕事関数  $\Phi_M^V$  に近づける、即ち 6.6 式における  $S$  を 1 に近づける必要がある。この点に関しては、3, 4 章において示した様な界面層の導入や、低電子密度の金属の適用等が極めて有効である。MIGS が効かないバンドギャップが広い半導体の場合では、たとえ元素金属のダイレクトコンタクトにおいても上述の必要条件を既に十分満たしていると云える。

これらの条件を満たした後に 2 つ目の条件として 6.4 式における界面欠陥準位の寄与による  $S$  パラメータを増大する必要がある。例えば半導体材料によっては 1 章において紹介をした様に、GaAs においては金属成膜時のダメージの低減[4]、SiC においては適切な基板洗浄[5]等により、金属/半導体界面近傍の半導体内における欠陥生成を抑制できるであろう。3.5 節において触れた、MIGS により促進される欠陥生成[6]については、1 つ目の条件を満たしている時点において抑制されるに違いない。IV 族半導体に属する Ge[7]、Si[7]、SiC[5]の結果を踏まえ、それぞれの半導体材料のバンドギャップと支配的な FLP メカニズムに関して図 6.3 の様に整理される。

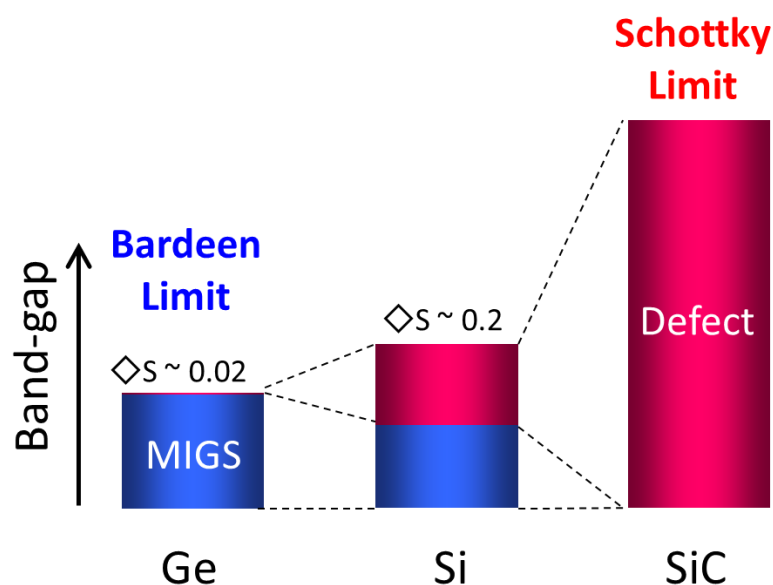


図 6.3 IV 族半導体のバンドギャップと支配的な FLP メカニズム。

また本研究において注目した Ge は幸運にも界面準位に関して特段の注意を払わなくとも、3～5章に示す程度のショットキー障壁高さの制御は可能となった。しかしながら今後更に界面欠陥準位の低減により更なる制御性の向上が図れる見込みも十分あると云える。

一方でバンドギャップが十分広い材料である絶縁膜を用いた金属/絶縁膜界面、例えば元素金属/HfSiON 絶縁膜界面においては、6.4式上における  $S$  が 1 を超える値の報告もみられる (図 6.4) [8]。 (厳密には金属/HfSiON/Si キャパシタにおけるフラットバンド電圧より、ショットキー障壁高さに相当する HfSiON 上の実効的な仕事関数を見積もっている.)。白石らは図 6.5 に示す様に金属と絶縁膜との軌道混成を考慮した第一原理計算による  $S > 1$  を示している[9]が、このことは前節の 6.6 式において  $S$  がほぼ 1 に近い状況において、5 章において議論した金属や絶縁膜 (半導体) の界面構造等の個性が  $\Phi_M^S$  に影響することとして解釈できる可能性もある。5.3 節において触れた極薄絶縁膜の酸化膜と窒化膜における FLP エネルギー準位の違いについても極薄絶縁膜への MIGS 及び極薄絶縁膜の価電子帯構造に注目することにより妥当に理解できるかもしれない。今後、更なる解明が求められる。

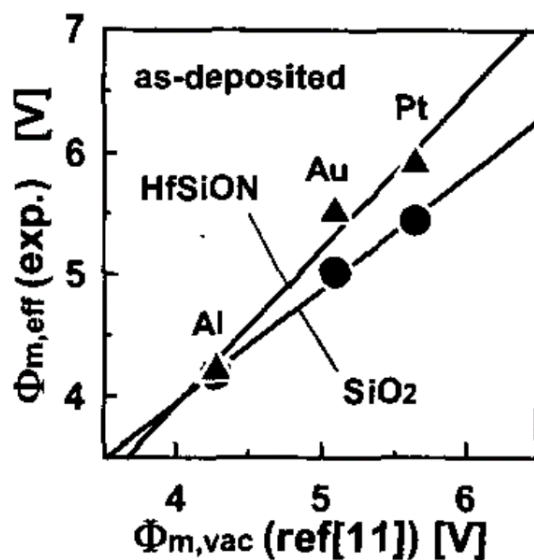


図 6.4 フラットバンド電圧より求めた SiO<sub>2</sub> 上と HfSiON 上の実効仕事関数. 傾きが  $S$  パラメータに相当し,  $S > 1$  を示す. M. Koyama, et al., Tech. Dig. IEDM 2004. より.

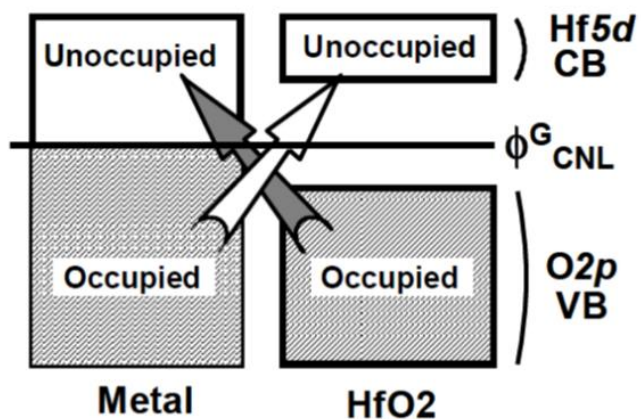


図 6.5 金属/絶縁膜界面における電子の混成.  
 金属側の DOS の違いにより,  $S > 1$  を生じることが指摘されている.  
 K. Shiraishi, et al., Tech. Dig. IEDM 2005. より.

## 参考文献

- [1] N. D. Lang, and W. Kohn, Theory of metal surface: Charge density and surface energy, *Phys. Rev. B* **1**, 4555 (1970).
- [2] A. M. Cowley, and S. M. Sze, Surface states and barrier height of metal-semiconductor systems, *J. Appl. Phys.* **36**, 3212 (1965).
- [3] W. Mönch, Chemical trends of barrier heights in metal-semiconductor contacts: on the theory of the slope parameter, *Appl. Surf. Sci.* **92**, 367 (1996).
- [4] R. E. Viturro, S. Chang, J. L. Shaw, C. Mailhot, L. J. Brillson, A. Terrasi, Y. Hwu, G. Margaritondo, P. D. Kirchner and J. M. Woodall, Low temperature formation of metal/molecular-beam epitaxy-GaAs(100) interfaces: Approaching ideal chemical and electronic limits, *J. Vac. Sci. Technol. B* **7**, 1007 (1989).
- [5] S. Hara, The Schottky limit and a charge neutrality level found on metal/6H-SiC interfaces, *Surf. Sci.* **494**, L805 (2001).
- [6] S. Sasaki, and T. Nakayama, Defect distribution and Schottky barrier at metal/Ge interfaces: Role of metal-induced gap states, *J. Jpn. Appl. Phys.* **55**, 111302 (2016).
- [7] T. Nishimura, K. Kita, and A. Toriumi, Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface, *Appl. Phys. Lett.* **91**, 123123 (2007).
- [8] M. Koyama, Y. Kamimuta, T. Ino, A. Kaneko, S. Inumiya, K. Eguchi, M. Takayanagi, and A. Nishiyama, Careful examination on the asymmetric V<sub>fb</sub> shift problem for poly-Si/HfSiON gate stack and its solution by the Hf concentration control in the dielectric near the poly-Si interface with small EOT expense, *Tech. Dig. IEDM 2004*.
- [9] K. Shiraishi, Y. Akasaka, S. Miyazaki, T. Nakayama, T. Nakaoka, G. Nakamura, K. Torii, H. Furutou, A. Ohta, P. Ahmet, K. Ohmori, H. Watanabe, T. Chikyow, M. L. Green, Y. Nara, and K. Yamada, Universal theory of workfunctions at metal/Hf-based high-k dielectrics interfaces –guiding principles for gate metal selection-, *Tech. Dig. IEDM 2005*.

## 第7章 総括

本研究では、高性能 Ge CMOS デバイスの実用化に向けて不可欠な低抵抗コンタクト金属/Ge 界面の形成に向けて、金属/Ge 界面のショットキー障壁を決める FLP メカニズムを理解し、その FLP の抑制に基づいたショットキー障壁の制御性向上を示すことを目的として議論を進めた。

2章においては、まず一般的な金属/半導体界面における Fermi-level pinning (FLP) の研究に倣い、金属の仕事関数とショットキー障壁高さの関係を系統的に調査した。元素金属の仕事関数と I-V 法や C-V 法により見積もった金属/Ge 界面のショットキー障壁高さの関係より、Ge 価電子帯端近傍（価電子帯端より 0.08 eV）に極めて強い FLP (S パラメータ： $\sim 0.02$ ) を示すことを明らかにした。この FLP は Si と比較してほぼ 10 倍強く、界面準位密度に換算して $\sim 10^{14}/\text{cm}^2/\text{eV}$  程度にまで至ること、及び Ge 伝導帯への低ショットキー障壁形成には FLP の緩和が不可欠であることを示した。更に金属/Ge 界面形成時のダメージの低減、界面形成前の Ge 表面の構造が上述の FLP に有意の影響を及ぼさないことも踏まえ、多くの議論がある金属/半導体界面に生じる FLP メカニズムの中より、外因的な Ge 中の欠陥生成等よりも、本質的かつ半導体のバルク特性で FLP が決まる Metal-induced gap states (MIGS) モデルがより妥当であることを述べた。

3章では MIGS モデルを踏まえて、金属/Ge 界面より FLP を緩和する事を試みた。MIGS モデルに基づけば、金属/Ge 界面に極薄絶縁膜層を導入することにより FLP の起源となる金属中電子の半導体ギャップ内への浸み出しを実効的に抑制できると考え、1~2 nm の GeO<sub>2</sub> 膜を元素金属/Ge 界面に導入することにより、大幅に FLP が緩和 (S パラメータ： $> 0.1$ ) すると共に、低仕事関数の金属 (Al) においてはショットキー特性・オーミック特性が完全に反転し、p-Ge にショットキー特性、n-Ge にオーミック特性が得られることを実証した。更に FLP 緩和が極薄絶縁膜の膜厚に応じて徐々に生じる点、極薄界面層膜種に依らず FLP 緩和を生じる

点からも改めて MIGS の妥当性を確認した。また上述のショットキー・オーミック特性の反転を用いて、メタルソースドレイン構造の Ge n-MOSFET の動作に初めて成功した。

4 章では MIGS モデルを踏まえて金属側より FLP の緩和を試みた。まず金属中電子の波動関数の浸み出しにおける MIGS と真空仕事関数の表面項の類似性に着目し、真空仕事関数表面項と金属中の自由電子密度と相関に基づいて、従来半導体の特性のみで強さが決まると考えられがちであった MIGS について金属中の自由電子密度に注目し MIGS 抑制の可能性を予想した。これに基づき、自由電子密度が  $10^{22} \sim 10^{23} / \text{cm}^3$  程度の元素金属に比べて、自由電子密度が少ないジャーマナイド ( $\sim 10^{21} / \text{cm}^3$ ) を用いた金属/Ge 界面において、FLP が大きく緩和 (S パラメータ:  $\sim 0.2$ ) することを実証し、改めて MIGS の妥当性を示すと共に、MIGS モデルを提案した Heine の示唆との一致を確認した。また、更に電子密度が少ない半金属 Bi/Ge 界面において 2 章に示す元素金/Ge 界面に生じる FLP の傾向から大きく逸れること実験結果を紹介し、この事実からも自由電子密度の制御に基づく MIGS の抑制効果と解釈できる妥当性を述べた。更にジャーマナイドの厚みが 5 nm 程度まで FLP 緩和を示すことより、現実的な低抵抗コンタクトの設計が可能であることを示した。

5 章ではバルク Ge の特性で決まる極めて強い FLP の緩和によって現れるであろう、界面特性に依存した別の FLP や界面ダイポールの存在の可能性を推測し、更なる金属/Ge 界面におけるショットキー障壁高さの制御性の存在に注目した。ダイレクトな金属/Ge 界面を形成するジャーマナイド/Ge 界面や Bi/Ge 界面においては、ショットキー障壁高さが顕著な Ge 基板面方位依存性を有すること、及び適切な金属、Ge 面方位により Ge へのショットキー障壁をバンドギャップの半分以上制御可能となることを実証すると共に、これらは MIGS に加えて多くの界面特性に依存したバンドアライメント決定機構が共存していることを明らかにした。一方元素金属/極薄絶縁膜/Ge 界面においては Ge 基板の面方位依存性が現れないが、他グループの結果を参照した上で FLP エネルギー準位に界面膜の陰イオン種依存性が有り、適切な材料を選択することにより効果的にショットキー障壁高さの低下を制御できる可能性について触れた。

最後に6章では、ここまでの結果を踏まえて、一般的な金属/半導体界面のショットキー障壁高さの制御性を高めるアプローチについて整理した。まず4章において議論したMIGSと金属の真空仕事関数の表面項の物理的描像の類似性に立ち戻り、MIGSを“金属/半導体界面における金属の仕事関数”として取り込む考え方を提案した。その上で、ショットキー障壁高さの制御性向上には“界面の金属の仕事関数の制御”と“外因的な半導体中の欠陥準位生成の抑制”の2つが不可欠であることを示した。

本研究では、所謂元素金属/Ge界面では極めて強いFLPを生じると共にそれらがMIGSにより妥当に理解できることを、実験的にいくつかのアプローチを通して独立に示してきた。これらは決してこのFLPの起源がMIGSに由来することを証明したことにはならないが、極めて妥当でありその可能性は限りなく高い事を示していると考えられる。またMIGSの抑制の考え方に基づいた極薄界面層の導入、金属中自由電子密度の低減により金属/Ge界面のFLPの緩和を実証すると共に、更に最適な界面構造を選択することによってショットキー障壁高さの制御性の幅が広がることを証明した。これらはGe CMOS、特にn-MOSFETにおける低抵抗コンタクトの形成において不可欠な低ショットキー障壁の形成において極めて有用な知見となることを期待したい。

今後は、まずMIGSを低減した際に（ジャーマナイド/Ge界面）現れた界面構造に依存するショットキー障壁高さについて、金属やGeの配向性の観点からより明確な理解が望まれると共に更なる展開を期待したい。金属/Ge界面のショットキー障壁高さを変える要素として本研究にて示した界面誘電層、金属中自由電子密度に、界面配向性を加えることは、その設計の自由度がより高まることを意味する。また本研究においては議論を行わなかったが、半導体中に導入される不純物がショットキー障壁高さに及ぼす影響についても理解が必要となるであろう。不純物元素が金属/Ge界面に偏析されることや、ドーピングによって半導体のバンドギャップそのものが狭くなることも容易に推測される。実デバイスの金属/Geコンタクトでは、少なくとも多量の不純物が導入される事は必然であり、物理と技術の両面において更なる理解が必要である。また一方で、本研究では系全体の

自由エネルギーの最小や極小についての考慮がなされていない。MIGS や界面欠陥生成，それらを介した電荷移動，は本来系全体の自由エネルギーが最小，極小となった状況として実現している筈である。但しこれらは一方で金属や半導体の個性として界面原子の配列や電子の軌道等の因子を個々に考慮する必要もあるであろう。5章において議論を行った界面構造に依存するショットキー障壁高さは本来その様にして決まるものであると考えられる。単純なパラメータでの描像はより困難になるであろうが，この様な要素を含めた系統的な理解が進むことに期待したい。

最後になるが，本研究の成果が一般的な金属/半導体界面におけるバンドアライメント決定機構の理解，及び半導体物理，半導体技術分野（特に低電圧動作の要求のもと応用が期待される狭ギャップ半導体）の発展の僅かながらでも一助となれば幸いである。



## 付録 実験手法

本章では本研究にて使用した Ge 基板特性, 金属/Ge 接合デバイスの作成プロセス, 及びデバイス特性の評価に用いた装置について記す.

## A Ge 基板

### A.1 Ge 基板の特性

金属/Ge 接合デバイスを作成するにあたり，Ge 単結晶基板は AXT 社，及び Umicore 社製の Ge 単結晶基板を使用した．基板中の不純物濃度は AXT 社製，Umicore 社製共に  $10^{17}/\text{cm}^3$  未満のものを用いた．1.2 節において金属/半導体界面を流れる電流メカニズムについて触れた様に，基板不純物濃度が高くなるにつれて半導体空乏層をトンネル過程で流れる Thermionic Field emission や Field emission が支配的となり，ショットキー接合の off-state 電流が増大する，詳細は 2 章について触れているが，ショットキー障壁高さを見積もるにあたり，電流特性を用いる場合には Thermionic emission 電流が適していることや，容量特性を用いる場合にはリーク電流の低減が必要であることから，Ge 基板中の不純物が金属界面でのバンドアライメントに影響を与えない限り，基板不純物濃度が低い方が適している．

## A.2 Ge 基板洗浄

金属/Ge 接合デバイスを作成するにあたり, Ge 単結晶基板は AXT 社, 及び Umicore 社製の Ge 単結晶基板を使用した. 基板中の不純物濃度は AXT 社製, Umicore 社製共に半導体上に金属電極を成膜することにより金属/半導体界面を形成する場合, 金属成膜前の半導体表面の清浄化は極めて重要なプロセスである. Ge 基板の洗浄に関しては過去の文献[1]を参考に研究室において構築したプロセスを用いた. 既にこの手法により洗浄した Ge 基板が酸化膜と電氣的に極めて良好な界面を形成可能であることは本研究室の過去の研究結果において実証済みである [2]. 一方, Si 基板の洗浄に関しては一般的な RCA 洗浄法[3]を基に粒子状パーティクル除去に用いる APM 洗浄を除いたプロセスとした. 具体的な Ge, Si 表面の化学洗浄による清浄化プロセスを以下に示す. ここで用いている Deionized water (DIW) は超純水製造装置により造られた抵抗率  $> 18.2 \text{ M}\Omega\text{cm}$  のものである.

### • Ge 基板

メタノール中での超音波洗浄による脱脂 (10 min)

→ HCl (10 ml) + DIW (40 ml) (1 min) による金属除去

→  $\text{NH}_4\text{OH}$  (0.25 ml) +  $\text{H}_2\text{O}_2$  (0.5 ml) + DIW (50 ml) (1 min) による犠牲酸化

→ HF (5 ml) + DIW (50 ml) による酸化膜除去 (3 min)

### • Si 基板

HF (5 ml) + DIW (40 ml)による自然酸化膜除去 (3 min)

→  $\text{H}_2\text{SO}_4$  (40 ml) +  $\text{H}_2\text{O}_2$  (10 ml) ( $130^\circ\text{C}$ , 15min) による有機物除去

→ HCl (10 ml) +  $\text{H}_2\text{O}_2$  (10 ml) + DIW (50 ml) ( $90^\circ\text{C}$ , 15 min) による金属除去

→ HF (5 ml) + DIW (40 ml)による酸化膜除去 (3 min)

これらの洗浄プロセスにおいて, 各薬液での洗浄後には全て DIW によるリンス処理を行っている.

洗浄後の Ge 表面は, 少なくとも X 線光電子分光装置 (XPS) において表面の酸化膜の存在を意味する化学シフトに由来するピークが判別できない程度には酸化膜が除去できている (図 A.1). また  $1 \mu\text{m}$  領域における表面ラフネスの Root mean square (RMS) 値は  $0.2 \sim 0.3 \text{ nm}$  程度の平坦性が得られている (図 A.2). (Si 表面ではラフネス RMS 値は  $0.15 \text{ nm}$  程度である)

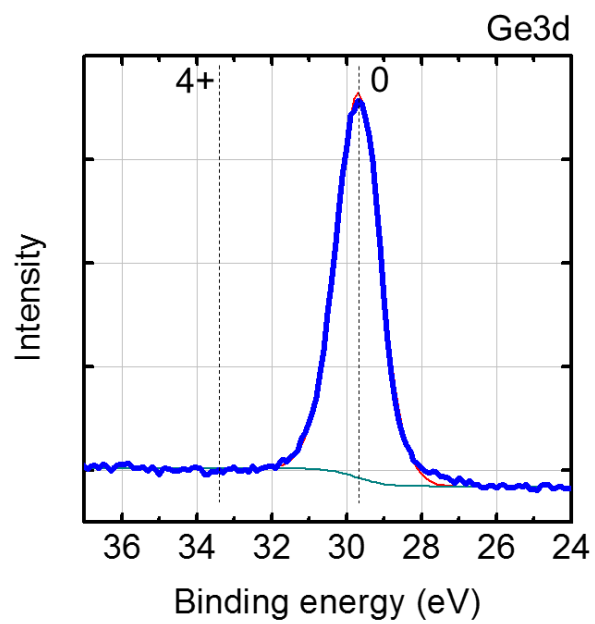


図 A.1 化学洗浄後 Ge 表面の XPS による Ge3d スペクトル.

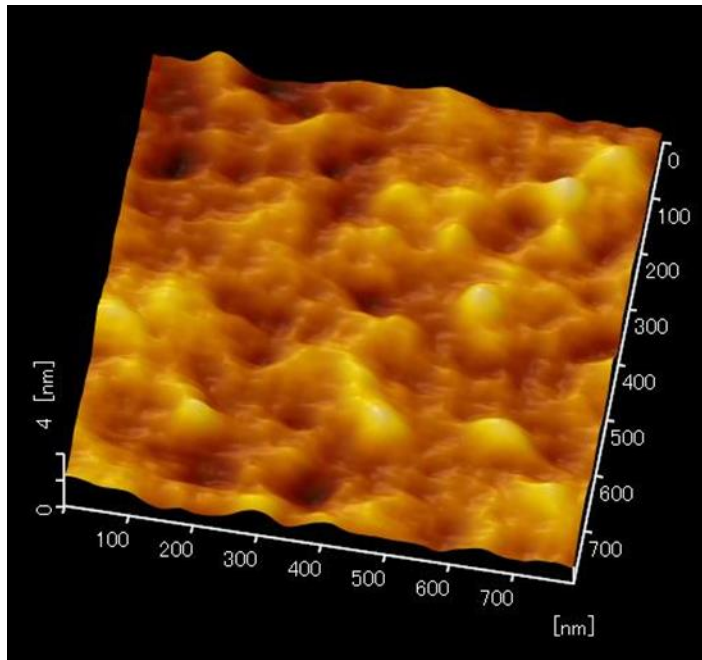


図 A.2 化学洗浄後 Ge 表面(0.8  $\mu\text{m}^2$ )の原子間力顕微鏡像.

## B プロセス装置

### B.1 超高真空蒸着装置

本装置は主に 2 章にて述べる金属/Ge 接合形成に使用した。準備室と成膜室が分離された構造となっており、成膜室は大容量ターボ分子ポンプとロータリーポンプによる排気、及びベーキング機構により  $10^{-8}$  Pa 台の真空度に到達する。成膜機構として超高真空蒸着装置同様、電子線加熱装置、BN 製セルの抵抗加熱装置を有している。接合形成時には化学洗浄後の Ge 基板とステンシルマスクを重ねて試料ホルダ上に固定した後、ステンシルマスク越しに金属材料を蒸着した。電子線加熱装置は融点が高い遷移金属、及び希土類金属の成膜に適用し、抵抗セル加熱装置は融点が高い Bi の成膜に適用した。成膜した金属の厚みは水晶振動子による膜厚計により成膜時に測定されており、水晶振動子値との補正は後述の X 線反射率測定装置により決定している。(エイコー製)

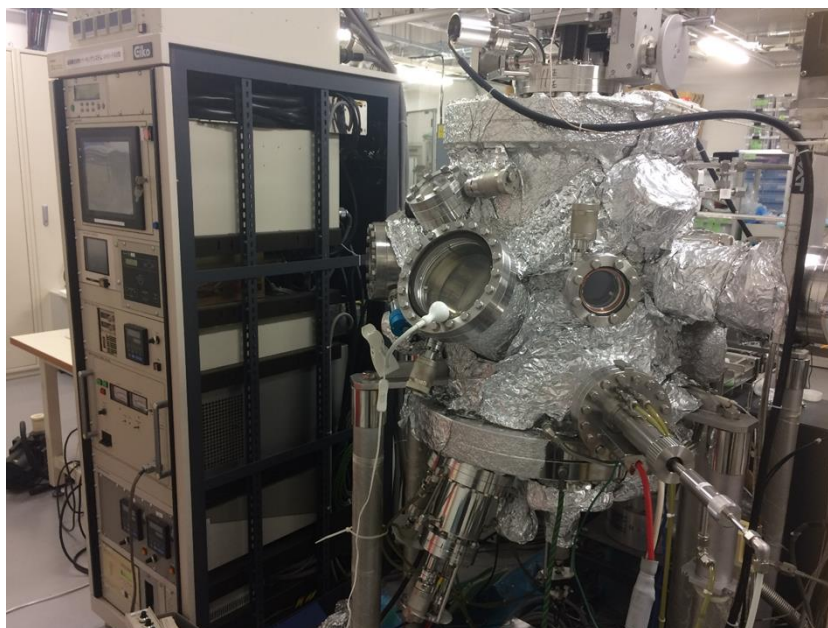


図 B.1 超高真空蒸着装置外観.

## B.2 高真空蒸着装置

本装置は主に4章で述べる金属 Ge 化合物金属 (ジャーマナイド) /Ge 接合形成に用いた。準備室を有さず成膜室のみの構造となっている。故に試料導入の度に成膜室を大気リークすることとなるが、ターボ分子ポンプとロータリーポンプによる排気により  $10^{-5}$  Pa 台の真空度に到達する。成膜機構としては B.1 の超高真空蒸着装置同様に電子線加熱装置, BN 製セルの抵抗加熱装置を有している。加えて試料ホルダ温度を  $600^{\circ}\text{C}$  まで上昇可能な抵抗加熱ヒーター, 及び  $-60^{\circ}\text{C}$  まで冷却可能な液体窒素冷却機構を有する。電子線加熱装置は遷移金属, 希土類系金属の成膜に適用し, 抵抗セル加熱装置は融点が高い Ge 成膜に使用した。化学洗浄した Ge 基板とステンシルマスクを試料ホルダに固定し, 真空排気後に金属材料等を Ge 基板上にステンシルマスクを通して成膜している。成膜した金属の厚みは水晶振動子による膜厚計により成膜時に測定されており, 水晶振動子値との補正は後述の X 線反射率測定装置により決定している。ジャーマナイド/Ge 接合はアモルファス Ge/金属/Ge 基板構造を形成した後, 一度大気開放後に試料ホルダを取り出しステンシルマスクを取り除いた上で, 再度  $10^{-5}$  Pa 台まで排気, 加熱処理を行うことにより形成している。(エイコー製)



図 B.2 高真空蒸着装置外観.

### B.3 真空蒸着装置

本装置は比較的融点が高い遷移金属の Au, Ag, Cu 典型金属の Mg, In, Al の接合形成, 及び Ge 基板のバックコンタクト用 Al 電極形成に使用した. 単純な成膜室のみの構造となっている. 油拡散ポンプ(途中よりターボ分子ポンプに置換)とロータリーポンプによる排気機構を有し,  $10^{-3}$  Pa 台前半の真空度に到達する. 成膜機構としてはタングステンボートの抵抗加熱機構を有する. 接合形成時には化学洗浄した Ge 基板をステンシルマスク上に置くことにより, Ge 基板上の特定の領域に電極を形成した. (アルバック製)



図 B.3 真空蒸着装置外観.

### B.4 スパッタリング装置

本装置は3章にて述べる絶縁膜 ( $\text{GeO}_2$ ,  $\text{TiO}_2$ ) の成膜において使用した. 装置は成膜室と準備室より構成され, 成膜室はターボ分子ポンプとロータリーポンプにより  $10^{-6}$  Pa 台にまで排気できる. 電源は DC と RF の両方を備えるが, 本研究では絶縁膜の成膜に RF 電源を用い, スパッタ用ガスとして Ar (流量 20 sccm, 成膜時成膜室圧力 0.12 Pa) を使用している. 成膜する絶縁膜厚は成膜レートと時間による制御によるもので, 成膜レートの決定, 及び成膜後の膜厚の確認は後述の X 線反射率測定, 及び分光エリプソメトリー測定により行っている. (株式会社アルバック製)



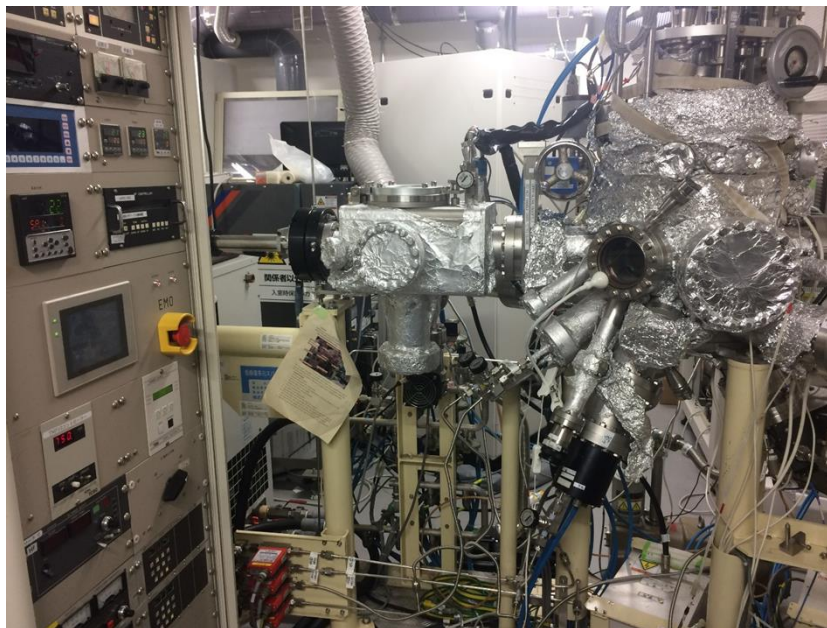


図 B.4 スパッタリング装置外観.

## B.5 熱処理（ランプアニール）装置

本装置は 3 章にて述べる絶縁膜成膜後に絶縁膜の構造緩和による電気特性の向上の目的に使用した。石英管と赤外ランプ，排気装置とガス導入装置により構成される。試料を導入した石英管内はターボ分子ポンプとロータリーポンプにより  $10^{-3}$  Pa 台まで排気した上で，99.9999%純度の  $N_2$  ガスに置換（1 気圧）可能である。 $N_2$  ガスの置換操作を 2 回行った上で，試料に対して  $N_2$  ガス雰囲気中で  $400^{\circ}\text{C}$  30 sec の熱処理をする。また熱処理中はガスを常時 200sccm のレートで流している。また本装置は 3 章にて述べる Ge 熱酸化膜の形成にも使用している。その際には置換ガスに  $O_2$  ガスを用い， $400^{\circ}\text{C}$  5 min の熱処理により約 2 nm の熱酸化膜を形成可能である。（株式会社アルバック製）





図 B.5 熱処理装置外観.

## B.6 水素アニール装置

本装置は2章において述べる Ge 基板表面の原子レベル平坦化の為に使用した。装置は石英管、ガス導入装置、排気装置、抵抗加熱機構からなる。試料を導入した石英管内をロータリーポンプにより数 Pa 程度まで排気した後、100% $H_2$  ガスで石英管内を満たし、900°C までの高温で熱処理が可能である。本処理後の Ge 表面の平坦性等は2章において記述する。(株式会社ノリタケ TCF 製)



図 B.6 水素アニール装置外観.

## C 構造解析装置

### C.1 原子間力顕微鏡

本装置は、一般的な光てこを用いる原子間力顕微鏡であり、ここではその原理等の詳細は割愛する。タッピングモードを用いて、化学洗浄後や  $H_2$  アニール後の Ge 基板表面形状、粗さの計測に用いている。表面形状の補正に当たり、スキャン鉛直方向に対するスムージング、及び 1 次、2 次の平坦化処理を行っており、ラフネスの自乗平均値 (RMS 値) はこの処理の後に見積もっている。1  $\mu m$  におけるラフネスの RMS 値は化学洗浄後の Si 基板が 0.15 nm 程度であるのに対して、化学洗浄後の Ge 基板が 0.2~0.3 nm 程度と若干悪いが、 $H_2$  アニール後の表面であれば 0.15 nm 程度に改善する。また  $H_2$  アニール後の表面はステップ&テラス構造が形成され、テラス上の 300 nm におけるラフネスの RMS 値は検出下限程度の 0.05 nm に至る[4,5]。(セイコーインスツルメンツ製)

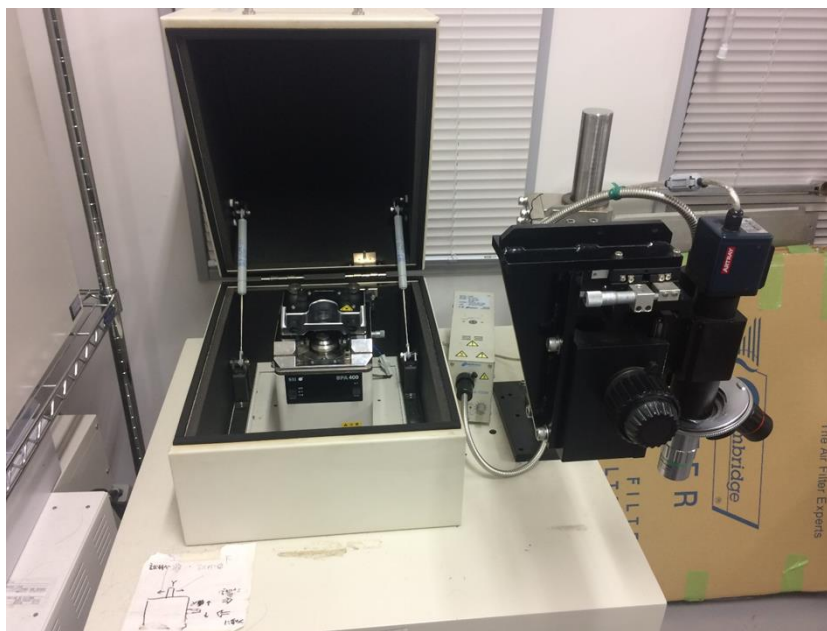


図 C.1 原子間力顕微鏡外観.

## C.2 光電子分光測定装置

本装置は光源として Al, Mg の固有線が選択可能な X 線源, 及び He の輝線を使用可能な UV 発光源, 及び光電子の分光器と検出器からなる. 分析室内はイオンポンプにより  $10^{-7}$  Pa 台の真空に保持されており, 当然ながら室内に導入された Ge 基板が追酸化される様なことは無い. 分析室とは別に試料導入室を有しており, 試料導入室には Ar スパッタによるエッチング装置も備えられている. 光電子分光装置の原理等については専門書[6]に譲りここでは割愛する. 本研究では3章における極薄膜の酸化膜厚の検証等に X-ray Photoelectron Spectroscopy (XPS) を, 4章における金属 Ge 化合物金属 (ジャーマナイド) の仕事関数の見積りに Ultraviolet Photoelectron Spectroscopy (UPS) を使用し, 後者の場合には試料表面の酸化膜を除去する目的で上述の Ar スパッタによるエッチングを測定前に適用している.

(日本電子製)

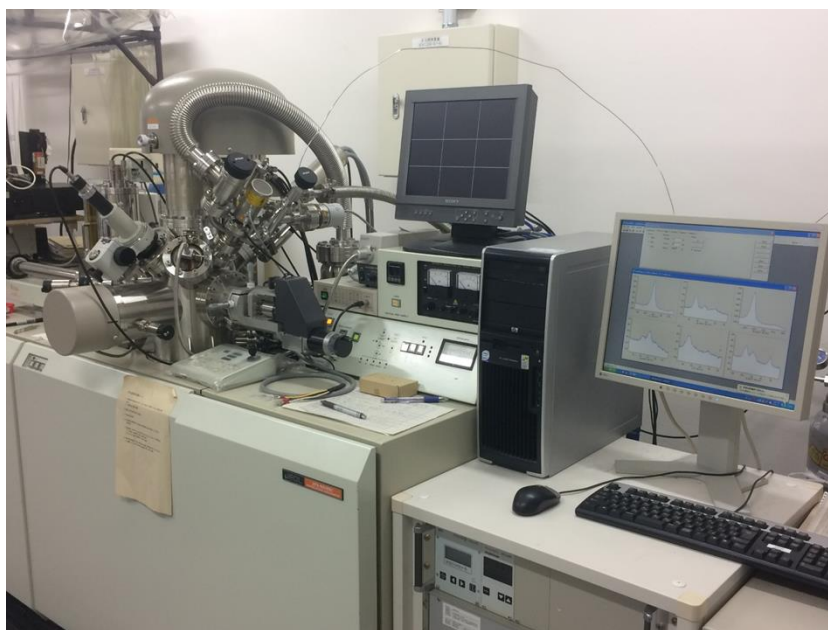


図 C.2 光電子分光測定装置外観.

## C.3 分光エリプソメトリー装置

本装置は Xe ランプによる可視光域の光源と検出器, 及び偏光子から構成される回転検光子型の分光エリプソメトリー装置である. 簡単に測定原理を記すと,

直線偏光した光が多層膜で反射した際に s 波と p 波の反射率や位相が異なることにより楕円偏光するが、この楕円偏光のパラメータはフレネルの式等を介して試料の層構造、各層材料の屈折率、厚みと材料の屈折率において幾つかの候補に対応する。分光可能な本装置では更に波長分散に対するフィッティングにより最適な収束解を得ることができる。分光エリプソメトリーの原理に関する更なる詳細は専門書[7]に譲る。本装置は 3 章における極薄誘電体膜厚の決定に用いている。  
(SOPRA 製)

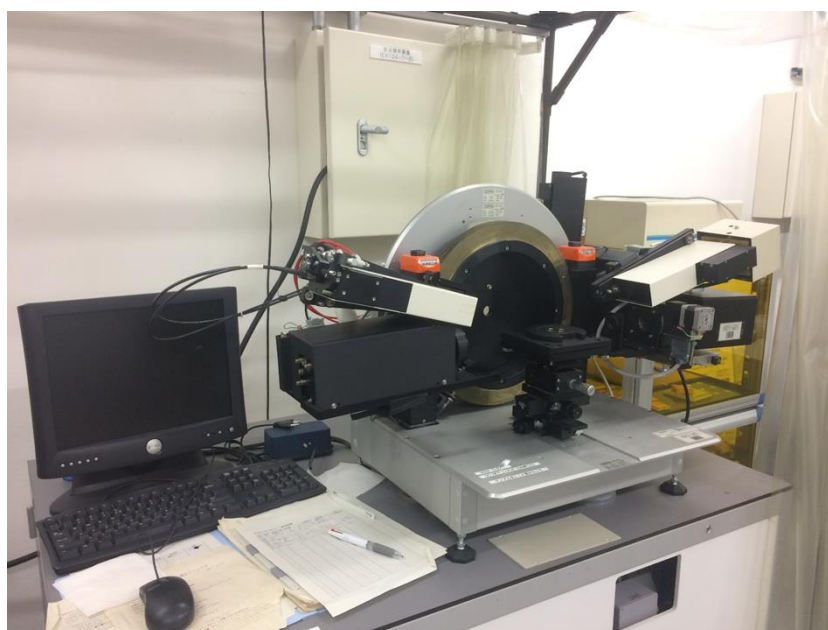


図 C.3 分光エリプソメトリー装置外観.

#### C.4 X 線解析装置

本装置は汎用の XRR, XRD 測定装置である。Cu をターゲットとする X 線源を有し、平行ミラー、平行スリットを組み合わせることにより以下の測定において強度と精度を確保している。本研究では主に 3 章におけるスパッタリングや熱酸化により形成した極薄誘電体膜に対しての X 線反射率による膜厚測定や、4 章における金属 Ge 化合物金属の構造解析に用いている。その他本研究では使用しないが、Ge(220)単色化ミラー機構や試料の加熱機構も有している。(Smart Lab : リガク製)



図 C.4 X 線解析装置外観.



## D 電気特性評価装置

### D.1 半導体パラメータアナライザ

本装置は金属/Ge 接合デバイスの DC の電流-電圧特性の評価に使用した。故に I-V 法, I-T 法によりショットキー障壁高さを見積もる際においても使用する。具体的な装置としては Keysight 社製 B1500, 及び Keithley 社製 4200 である。 -

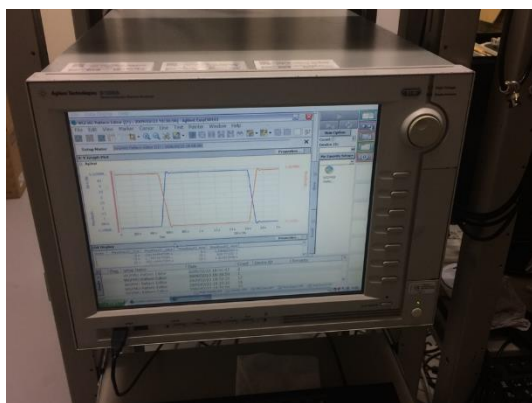


図 D.1 半導体パラメータアナライザ装置外観.

### D.2 LCR メータ

本装置は金属/Ge 接合デバイスの AC の容量-電圧特性の評価に使用した。故に C-V 法によりショットキー障壁高さを見積もる際においても使用する。具体的な装置としては Keysight 社製 E4980A, Agilent 社製 4284 LCR メータである。



図 D.2 LCR メータ外観.

### D.3 プロローバー

本研究における室温での試料の電気特性（電流-電圧特性，容量-電圧特性）はこの装置を介して，前述の半導体パラメータアナライザや LCR メータと電氣的に接続し評価した．カバーによる遮光，電氣的なノイズの遮蔽が可能である．ノイズに関しては本研究における測定レンジにおいては全く問題にならないが，遮光に関しては試料内に入る光が半導体内のキャリアを励起し試料内に電位差を生じさせる為，その機能は重要である．（ベクターセミコン製）



図 D.3 プロローバー装置外観.

### D.4 低温プロローバー

本研究における低温での電気特性はこの装置を介して評価した．He クライオ冷却器とステージに内蔵された抵抗加熱ヒーターにより 20 K より室温の間で試料温度を制御可能である．またターボ分子ポンプとロータリーポンプに加え，冷却機構によるクライオ装置のポンプ効果で試料冷却時には  $10^{-4}$  Pa までの排気が可能である．（ナガセエンジニアリング製）

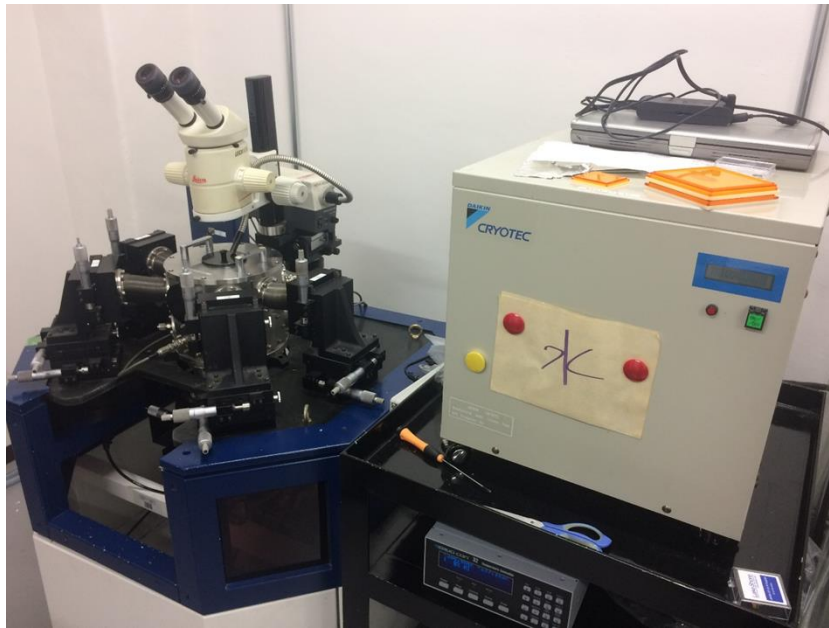


図 D.4 低温プローバ装置外観.



## 参考文献

- [1] H. Okumura, T. Akane, and S. Matsumoto, Carbon contamination free Ge(100) surface cleaning for MBE, *Appl. Surf. Science* **125**, 125 (1998).
- [2] H. Nomura, K. Kita, K. Kyuno, and A. Toriumi, Thermally robust  $Y_2O_3/Ge$  capacitors, *Ext. Abs. SSDM 2005*.
- [3] W. Kern, D. A. Puotinen, Cleaning solutions based on hydrogen peroxide for use in silicon semiconductor technology, *RCA Rev.* 31, 187 (1970).
- [4] T. Nishimura, C. H. Lee, K. Nagashio, and A. Toriumi, Step and terrace formation on Ge(111) surface in  $H_2$  annealing, *Appl. Phys. Express* **5**, 121301 (2012).
- [5] T. Nishimura, S. Kabuyanagi, W. Zhang, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomically flat planarization of Ge(100), (110), and (111) surfaces in  $H_2$  annealing, *Appl. Phys. Express* **7**, 051301 (2014).
- [6] 田中 浩三, 田沼 繁夫, 堂前 和彦, 名越 正泰, 二澤 宏司, X 線光電子分光, (丸善, 1998).
- [7] 藤原 裕之, 分光エリプソメトリー, (丸善, 2003).



## 業績リスト

### 原著論文

- [1] T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, Appl. Phys. Express **9**, 081201 (2016).
- [2] T. Nishimura, S. Kabuyanagi, W. Zhang, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomically flat planarization of Ge(100), (110), and (111) surfaces in H<sub>2</sub> annealing, Appl. Phys. Express **7**, 051301 (2014).
- [3] T. Nishimura, S. Kabuyanagi, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomically flat germanium (111) surface by hydrogen annealing, ECS Trans. **58**, 201 (2013).
- [4] T. Nishimura, C. H. Lee, K. Nagashio, and A. Toriumi, Step and terrace formation on Ge(111) surface in H<sub>2</sub> annealing, Appl. Phys. Express **5**, 121301 (2012).
- [5] T. Nishimura, S. Sakata, K. Nagashio, K. Kita, and A. Toriumi, Low temperature phosphorus activation in germanium through nickel germanidation for shallow n<sup>+</sup>/p junction, Appl. Phys. Express **2**, 021202 (2009).
- [6] T. Nishimura, K. Kita, and A. Toriumi, A significant shift of Schottky barrier heights at strongly pinned metal/germanium interface by inserting an ultra-thin insulating film, Appl. Phys. Express **1**, 051406 (2008).
- [7] T. Nishimura, K. Kita, and A. Toriumi, Evidence for strong Fermi-level pinning due to metal-induced gap states at metal/germanium interface, Appl. Phys. Lett. **91**, 123123 (2007).

## 国際会議

- [1] T. Nishimura, S. Matsumoto, T. Yajima, and A Toriumi, Physical implication of metal wave function evanescent at metal/Ge interface, 10th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, (2017, Sendai, Japan) (invited).
  
- [2] T. Nishimura, S. Matsumoto, T. Yajima, and A. Toriumi, Reconsideration of metal work function on semiconductors from metal-induced gap states viewpoint, 2016 SISC (2016, San Diego, USA).
  
- [3] T. Nishimura, T. Yajima, and A. Toriumi, Control of Fermi level pinning at metal/Ge interface based on a reconsideration of metal-induced gap states model, SSDM 2016 (2016, Tsukuba, Japan).
  
- [4] S. Matsumoto, T. Nishimura, T. Yajima, and A. Toriumi, Nearly pinning-free ohmic contact at bismuth/n-silicon interface, SSDM 2016 (2016, Tsukuba, Japan).
  
- [5] T. Nishimura, T. Yajima, and A. Toriumi, Design of metals for Fermi-level pinning modulation at Ge/metal interfaces, ISTDM & ISCSI (2016, Nagoya, Japan).
  
- [6] T. Nishimura, C. H. Lee, T. Nakamura, T. Yajima, K. Nagashio, K. Kita, and A. Toriumi, Recent progress of Ge junction technology, IWJT2015, (2015, Kyoto, Japan) (invited).
  
- [7] T. Nishimura, S. Kabuyanagi, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Merits and demerits of H<sub>2</sub>-annealing in GeO<sub>2</sub>/Ge gate stacks, JSPS International Core-to-Core Program Workshop on Atomically Controlled Processing for Ultra-large Scale Integration (2014, Leuven, Belgium).
  
- [8] T. Nishimura, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomic-scale planarization of Ge (111), (110) and (100) surfaces ISTDM 2014 (2014, Singapore).
  
- [9] T. Nishimura, S. Kabuyanagi, C. H. Lee, T. Yajima, K. Nagashio, and A. Toriumi, Atomically flat germanium (111) surface by hydrogen annealing, 224th ECS Meeting (2013, San Francisco, USA).

- [10] T. Nishimura, T. Nakamura, T. Yajima, K. Nagashio, and A. Toriumi, Charge neutrality level shift in the Bardeen limit of Fermi-level pinning at atomically flat Ge/metal interface, SSDM 2013 (2013, Fukuoka, Japan).
- [11] T. Nishimura, T. Nakamura, and A. Toriumi, Study of strong Fermi level pinning at metal/germanium interface based on the impact of ultra-thin insulator insertion, ICSI-8 and ICSI-VI, pp. 311 - 312 (2013, Fukuoka, Japan).
- [12] T. Nishimura, and A. Toriumi, Impact of ultra-thin insulator insertion on Ge/metal interaction, 6th International Workshop on New Group IV Semiconductor Nanoelectronics and JSPS Core-to Core Program Joint Seminar, (2013, Sendai, Japan) (invited).
- [13] T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, Study of Fermi level pinning at metal/semiconductor interface through re-investigation of interfacial alloy interaction, SSDM 2012, pp.751-752 (2012, Kyoto, Japan).
- [14] T. Nishimura, and A. Toriumi, MIGS – metal layer formation model at metal/Ge Schottky barrier diode interface, 2011 SISC (2011, Arlington, USA).
- [15] T. Nishimura, K. Nagashio, K. Kita, and A. Toriumi, A study of Fermi-level pinning in Ge Schottky and MIS tunnel junctions, SSDM 2011, pp.913-914 (2011, Nagoya, Japan).
- [16] T. Nishimura, C. H. Lee, K. Nagashio, K. Kita, and A. Toriumi, Sulfur passivation of germanium surface by vapor-phase sulfidation at elevated temperature, IWDTF, pp. 67-68 (2011, Tokyo, Japan).
- [17] T. Nishimura, K. Kita, K. Nagashio, and A. Toriumi, Long range pinning interaction in ultra-thin insulator-inserted metal/germanium junctions, 2010 Silicon Nanoelectronics Workshop, p.19 (2010, Hawaii, USA).
- [18] T. Nishimura, S. Sakata, K. Nagashio, K. Kita, and A. Toriumi, Low temperature phosphorus segregation at NiGe/Ge interface by snowplow effect, SSDM 2008, pp.688-689 (2008, Tsukuba, Japan).

- [19] T. Nishimura, K. Kita, and A. Toriumi, A significant shift of strongly pinned charge neutrality level at metal/germanium interface by inserting ultra-thin oxides, 2007 SISC (2007, Arlington, USA).
- [20] T. Nishimura, K. Kita, and A. Toriumi, Control of Fermi-level pinning at metal/germanium interface by inserting ultra-thin oxides, ISCSI-V, pp. 67-68 (2007, Tokyo, Japan).
- [21] T. Nishimura, K. Kita, and A. Toriumi, Effect of ultra-thin Al<sub>2</sub>O<sub>3</sub> insertion on Fermi-level pinning at metal/Ge interface, SSDM 2007, pp.842-843 (2007, Tsukuba, Japan).
- [22] T. Nishimura, K. Kita, and A. Toriumi, Strong Fermi-level pinning of wide range of work-function metals at valence band edge of Germanium, SSDM 2006, pp.400-401 (2006, Yokohama, Japan).
- [23] T. Nishimura, M. Toyama, K. Kita, K. Kyuno, and A. Toriumi, Ion-implanted p/n junction characteristics p- and n-type germanium, SSDM 2005, pp.520-521 (2005, Kobe, Japan).

#### 国内会議

- [1] 西村知紀, 矢嶋赳彬, 鳥海 明, 金属/Ge 界面のショットキー障壁高さの制御に向けたフェルミレベルピンニングの再考, 応用物理学会春季学術講演会 16a-412-2 (2017年3月, パシフィコ横浜, 横浜) .
- [2] 西村知紀, 矢嶋赳彬, 鳥海 明, 金属/半導体界面における仕事関数の再定義とフェルミレベルピンニングの再考, 応用物理学会春季学術講演会 17a-E206-5 (2017年3月, パシフィコ横浜, 横浜) .
- [3] 西村知紀, 松本創央志, 矢嶋赳彬, 鳥海 明, 金属の特性に基づいた金属/Ge 界面のフェルミレベルピンニングの制御, 電子デバイス界面テクノロジー研究会 (2017年1月, 東レ研修センター, 三島) .
- [4] 西村知紀, 矢嶋赳彬, 鳥海 明, 界面ダイポール密度の制御による金属/Ge 界

面のフェルミレベルピンニング緩和の試み, 応用物理学会春季学術講演会 19p-S423-10 (2016年3月, 東京工業大学, 東京) .

- [5] 西村知紀, 矢嶋起彬, 長汐晃輔, 鳥海 明, Atomically Flat Planarization of Ge (110) and (100) Surface by H<sub>2</sub> Annealing, 応用物理学会秋季学術講演会 (2013年9月, 同志社大学, 京田辺) .
- [6] 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 極薄絶縁膜の導入による Au/Ge 界面反応の抑制とフェルミレベルピンニング, 応用物理学会春季学術講演会 (2013年3月, 神奈川工科大学, 厚木) .
- [7] 西村知紀, 李 忠賢, 長汐晃輔, 鳥海 明, 水素アニールによる Ge(111)表面の原子レベル平坦化, 応用物理学会春季学術講演会 (2013年3月, 神奈川工科大学, 厚木) .
- [8] 中村俊允, 西村知紀, 長汐晃輔, 鳥海 明, 金属/Ge 接合に及ぼす絶縁膜の挿入効果と実効電荷中性点の見かけ上のシフト, 応用物理学会秋季学術講演会 (2012年9月, 愛媛大学, 松山) .
- [9] 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, Ge ショットキー・MIS トンネル接合におけるフェルミレベルピンニング, ゲートスタック研究会, pp213-216 (2012年1月, 東レ研修センター, 三島) .
- [10] 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 極薄 TiO<sub>2</sub> 膜の挿入による金属/n-Ge 接合におけるオーミック接合の形成, 応用物理学会春季学術講演会 (2010年3月, 東海大学, 平塚) .
- [11] 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 金属/Ge 界面におけるショットキー障壁高さの GeO<sub>2</sub> 導入効果 -膜厚及び金属による違い-, 応用物理学会秋季学術講演会, 10p-TG-16 (2009年9月, 富山大学, 富山) .
- [12] 西村知紀, 長汐晃輔, 喜多浩之, 鳥海 明, 金属/ゲルマニウム界面のフェルミレベルピンニングとその制御性, ゲート絶縁薄膜, 容量膜, 機能膜およびメモリ技術 (応用物理学会, シリコンテクノロジー分科会, 第113研究集会「ゲートスタック研究の進展—Ge系材料を中心に」)との合同開催 (2009年6月, 東京) .

- [13] 西村知紀, 高橋俊岳, 喜多浩之, 鳥海 明, 金属/極薄絶縁膜/Ge 接合におけるショットキー障壁変調量の絶縁膜による違い, 応用物理学会春季講演会 (2008年3月, 日本大学, 習志野) .
- [14] 西村知紀, 高橋俊岳, 喜多浩之, 鳥海 明, 金属/ゲルマニウム接合におけるフェルミレベルピンニングの起源と制御, ゲートスタック研究会, pp. 299 - 304 (2008年1月, 東レ研修センター, 三島).
- [15] 西村知紀, 喜多浩之, 鳥海 明, 金属/Ge 接合界面への極薄 GeO<sub>x</sub> の導入によるフェルミレベルピンニングの緩和, 応用物理学会秋季講演会 (2007年9月, 北海道工大, 札幌) .
- [16] 西村知紀, 喜多浩之, 鳥海 明, Sulfur の metal/Ge 接合界面への導入による Fermi level pinning への影響, 応用物理学会春季講演会 (2007年3月, 青山学院大学, 相模原) .
- [17] 西村知紀, 喜多浩之, 鳥海 明, メタル/ゲルマニウム接合における Fermi-Level Pinning, 応用物理学会春季講演会 (2006年3月, 武蔵工業大学, 東京) .

## 受賞歴

- ・ 第8回応用物理学会シリコンテクノロジー分科会論文賞  
T. Nishimura, T. Yajima, and A. Toriumi, Reexamination of Fermi level pinning for controlling Schottky barrier height at metal/Ge interface, Appl. Phys. Express **9**, 081201 (2016).



## 謝辞

まず主査であり、上司であります鳥海明教授に感謝申し上げます。課程の学生が基礎として学ぶであろう研究の進め方、纏め方、発表の仕方、論文の書き方等は勿論のこと、研究費の取得や若手の指導に至るまで、組織の中の研究者として必要な事を一つ一つ教えて頂きました。また、研究の面白さにつきましても本研究を含め多くの研究を通して学ばせて頂きました。最も身近である Ge に関しては、鍵となる物理の理解、良好なデバイス特性の実証を軸に世界をリードできる研究へと先生が育てられた過程に参加できたことは大変貴重な経験になりました。今後自身で研究をすすめる機会に恵まれた際に、これらの経験は将来の研究において立ち戻る揺るがない基準となりました。また研究外の事に関しましても、夏季に別邸に御招待下さったり、留学生と共に中国奥地への旅行へ誘って下さったり、忙しい中においても多くの楽しい経験をさせて頂きました。ここに改めて深く感謝申し上げます。

木村薫教授、近藤高志教授、中山隆史教授、渡邊聡教授には副査を御引き受け頂きました変則的な日程にも関わらず御多忙の中予定を御調整下さり有難う御座いました。普段の学会等とは異なる視点から多くの御助言を頂きましたこと感謝申し上げます。今後の研究に於きましても様々な切り口で自身の研究を見つめる姿勢を忘れずに持ちたいと思います。

他にも多くの先生、研究者の方々には学会などの場において、本研究についての議論をして下さり、また多くの助言を頂きましたこと感謝申し上げます。

鈴木俊夫名誉教授には本学の職員として採用して頂いて以降、私の研究状況に長い間御心配をお掛け致しました。御退官後も新年交礼会等の折に時に優しく、時に厳しく声をかけて頂きましたこと、ここに感謝申し上げます。

弓野健太郎教授、喜多浩之准教授に感謝申し上げます。研究室における具体的な仕事について多くの事を時間をかけて教えて頂きました。ほぼ学生と変わらない知識しか持たなかった私が、一通りのことを理解して研究環境を維持・管理できる様になれましたのは、偏に御二方の御陰です。

長汐晃輔准教授には年が近いこともあり、研究の事は勿論他の事に関しても相談に乗って頂きました。ここまで気持ちを切らさずに研究者としてのスタートラ

インに立てたのは長汐さんの御陰であり、改めて感謝申し上げます。また、私一人だけだったいじられ担当を分担して頂けたのは大変心強かったです。

矢嶋赳彬助教には研究室の仕事の多くを支えて頂きました。また研究に対する直向な姿勢には大変刺激を受けました。適わないながらも負けてはいられないという気持ちを持たせて頂いている事、感謝しております。秘書の新野さん、伊世さん、篠原さん、高橋さんには出張や物品購入などの手続き等の事務的な仕事の御願いすることから、つまらない雑談にお付き合い頂くことまで大変お世話になりました。しばしば無茶な御願いもしてきたかと思いますが、快く引き受けて下さり有難う御座いました。博士研究員のジュリさん、竺さん、斉さん、張さん、柴山さんにも大変お世話になりました。博士研究員として研究を確実にこなしていられる姿からは博士の重みを学ばせて頂きました。鳥海研を離れた方々ともまた近い学会でお会いできるのを楽しみにしています。博士課程を経て鳥海研から巣立たれた、笹川君、趙毅君、富田君、横山君、朴さん、王君、趙丹々さん、田畑君、李忠賢君、魯君、李秀妍さん、株柳君には短期間のうちに研究者としての基礎を築き、成長されていく姿に大変刺激を受けました。素晴らしい研究成果を国際会議で堂々と発表される皆さんの姿には驚かされたものです。修士課程、学士課程の学生の皆さんとは一緒に研究を始め、多くの発見や楽しみを共有することが出来ました。卒業された皆さんが現在も各々の場所で皆さんが活躍されている話を伺い大変嬉しく思います。

最後に本研究を修めるにあたり、家族を含め多くの方々に支えて頂いたこと、ここに感謝申し上げます。

2017. 2. 28 西村 知紀