

## 審査の結果の要旨

氏名 宮崎 耕太郎

本論文は「**Highly-Functional Gate Driver ICs for Advanced Power Devices**」(和訳：先端パワーデバイス向け高機能ゲート駆動 IC) と題し、将来のパワーデバイスの性能向上に伴う問題を解決するために、新たなゲート駆動回路方式、及び短絡検出方式を提示するもので、全 5 章で構成されている。

第 1 章は「**Introduction**」(序論) であり、パワーデバイスの発展とそれに伴う問題と本研究の背景を述べ、目的を明確化するとともに代表的なパワーデバイスである IGBT の動作を説明している。

第 2 章は「**Clocked Gate Driver (CGD) IC Design**」(クロック同期式ゲート駆動 IC 設計) と題し、パワーデバイスのスイッチング損失とノイズのトレードオフ関係を改善するゲート駆動波形をプログラマブルに生成する回路方式を提案し、その原理に基づいた集積回路を設計、試作し、実際に複数種類のパワーデバイス駆動に適用することにより、その有効性を実証している。

第 3 章は「**Automatic Optimization of IGBT Gate Driving Waveform**」(IGBT のゲート駆動波形自動最適化手法) と題し、前章で述べたゲート駆動集積回路を用いて、パワーデバイスを駆動するのに最適な波形をシミュレーテッド・アニーリング法により探索する手法を提案するとともに、この手法の適用方法を述べ、実験を通して、その有効性を示している。

第 4 章は「**Short-Circuit Detector Design**」(短絡検出器設計) と題し、スイッチング時のパワーデバイスのゲート電圧波形軌跡を観測することで、高速かつ耐ばらつき性をもって短絡状態を検出する集積回路方式を提案、試作し、その動作を実証している。

第 5 章は「**Conclusions and Future Prospects**」(結論と将来展望) と題し、本研究の成果を要約した結論と将来展望を述べている。

以上のように、本論文は将来のパワーデバイスに向けたプログラマブルなゲート駆動集積回路の方式と、それに対応した最適駆動波形を探索する方式、およびパワーデバイスの安全性を向上させる短絡検出方式を提案し、その有効性を集積回路の設計・試作・測定を通じて実証したものであり、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。