
博士論文

極低電圧動作ロジックLSIのための
GaAsSb/InGaAsトンネルトランジスタ
に関する研究

(Study on GaAsSb/InGaAs tunnel field effect
transistors for ultra-low power logic LSI)

東京大学大学院工学系研究科
電気系工学専攻

平成 29 年 12 月 1 日提出

後藤 高寛

指導教員 高木 信一 教授

要旨

スーパーコンピュータや携帯端末まで、情報処理機器の性能向上は論理集積回路ひいてはCMOSの微細化によってなされてきた。2017年現在、7nm技術ノードのCMOS技術が公表されるほどであるが、その微細化技術が物理限界を迎えることは明らかである。一方で、CMOS消費電力の削減は引き続き望まれている状況下にあることから、MOSFETの駆動原理を見直した抜本的な解決手法として、バンド間トンネル現象を利用した新原理トンネルトランジスタ(TFET)に期待が集まっている。しかしながら、TFETはその原理上、SiやGeなどの間接半導体ではフォノンを介したトンネリングとなるため、高いオン電流が期待できない。TFETの駆動電流はソース・チャンネル接合におけるトンネル確率に支配され、有効質量、バンドギャップ、トンネル距離が決定因子となる。そこで、有効質量が小さく、バンドギャップの小さいIII-V族化合物半導体を用いることが有効な手法の1つとして精力的に研究されている。しかしながら、同一材料からなるホモ接合TFETにおいては、オフ状態でのチャンネル・ドレイン接合におけるトンネルリーク電流を抑制することが出来ず、高いON/OFF比を得ることは困難である。異種材料を組み合わせるとソース領域の価電子帯端とチャンネル領域の伝導帯端の差で定義される実効バンドギャップを小さくすることができ、さらにそれに伴ってトンネル距離の短縮も見込まれる。そこで、異種材料を組み合わせたヘテロ接合をソース・チャンネル接合に用いたType-IIヘテロ構造TFETが将来極めて有望な構造である。Sbを多く含む材料系においては、価電子帯端のエネルギーは主にV族元素によって決定され、価電子帯端のエネルギーが高くなる傾向になるため、GaAsSb/InGaAsはType-IIヘテロ構造をとる。そこで、本論文では、GaAsSb/InGaAs TFETの素子実証、さらに物理分析とデバイス・シミュレーションによる解析を行うことで、その電気特性を決めている物理的機構を明らかにし、特性向上を目指した。加えて、TFETの特性を制限している要因の1つとして、MOS界面準位が挙げられることから、TFETの電気特性に与える影響をシミュレーションにより定量的に明らかにしたうえで、GaAsSb MOS界面特性を改善する手法の提案・実証することを目的とした。

GaAsSb/InGaAs TFETの素子実証の鍵となるMOMBE法およびMOCVD法でInP基板上にp-GaAsSb/i-InGaAs層を成長させたヘテロエピウエハを評価した。その結果、n-InP基板に格子整合したp-GaAsSbとi-InGaAsが貫通転位なく、設計通りの膜厚でエピタキシャル成長していることが分かった。また、p-GaAsSbの表面の平坦性の指標である自乗平均面粗さは、 $20\ \mu\text{m} \times 20\ \mu\text{m}$ 四方においても0.416 nmであることから、p-GaAsSb表面は非常に平坦であることが分かった。これらの結果は、GaAsSb/InGaAsヘテロ構造は幾何学的に縦型TFETの試作に十分であることを意味する。このInP基板にp-GaAsSb/i-InGaAs層を成長させたヘテロエピウエハを用いて、 Al_2O_3 ゲート絶縁膜を用いた縦型TFETを作製し、その素子動作を実証した。 I_D - V_D 特性に負性微分容量(NDR)が確認出来たことから、駆動電流はトンネル電流が支配的であることが分かった。特に20 Kの低温において、ON/OFF比 ~4桁程度、ドレイン電流の立ち上がり指標であるサブスレシヨルド・

スロープS.S.の最小値 ~ 80 mV/decの値を実現した。

更に、その電気特性を決めている物理的機構を明らかにするため、ソース不純物濃度、不純物濃度の空間分布、組成の空間分布などの物理分析を行った。その結果、組成のヘテロ接合近傍での変化幅は10 nm 未満であり、不純物の急峻性も11 nm/decと気相成長中の不純物分布としては非常に急峻であることが分かった。更に、それら構造パラメータがTFETの電気特性に与える影響を詳細に解析するため、デバイス・シミュレーションと組み合わせて解析した。特に、p-GaAsSb中にドーブされたBeの濃度、及びその濃度変化の急峻性、GaAsSb/InGaAs界面の組成の急峻性が、トンネルFETに与える影響を定量的に明らかにし、実測の分析結果によって電気特性を定量的に説明することに成功した。さらに、組成と不純物の空間分布では、不純物の空間分布の方がより支配的であること、60mV/decを実現するためにはEOTのさらなる低減、不純物濃度の増加、ソース不純物プロファイルの急峻性の向上であることを明らかにし、トンネルFET電気特性向上の指針を明確化した。更にこの成果を踏まえ、ソース不純物の濃度を $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ に向上させることで、20Kの低温において、ON/OFF比~7桁程度、最小S.S.値~20mV/dec、オン電流 ~ 1.7 $\mu\text{A}/\mu\text{m}$ と大幅な性能向上を実現した。

また、TFET特性を制限している要因の一つとして、MOS界面準位がある。そこで、界面準位がTFETの電気特性に与える影響をシミュレーションにより定量的に明らかにし、InGaAsチャネル領域のみならず、GaAsSbソース領域のMOS界面準位も特性を劣化させることを明らかにした。この結果を踏まえて、GaAsSb MOS界面特性を改善する手法として、極薄InGaAs層により表面をパッシベーションする手法を提案し、実際に素子を試作してMOS界面の評価を行った。MOS界面評価を行うにあたり、GaAsSbはInP基板上に成長させるため、GaAsSb/InPヘテロ接合において価電子帯端のエネルギー差が生じることから、それにとともなう寄生抵抗・容量を考慮する必要がある。そこで、絶縁膜容量、空乏容量、界面準位による容量、捕獲・放出にとともなうコンダクタンスに加えて、GaAsSb/InGaAsヘテロ接合における寄生抵抗・容量も考慮した等価回路を用いた補正を施すことで、MOS界面をより精度良く評価出来ることを見出した。この結果を踏まえて、GaAsSb MOS界面特性を改善する手法として、極薄InGaAs層により表面をパッシベーションする手法を提案し、実際に素子を試作してMOS界面の評価を行い、1.5 nm厚のInGaAs被覆層により界面準位が一桁程度低減できることを明らかにした。



目次

Chapter 1	1
1.1 背景	1
1.2 MOSFET の消費電力問題	2
1.3 トンネルトランジスタへの期待	6
1.4 TFET の研究開発動向	11
1.5 III-V ヘテロ接合 TFET の課題と目的	11
1.6 本論文の構成	13
参考文献	14
Chapter 2	17
2.1 導入	17
2.1 プロセス及び評価装置	17
2.2 GaAsSb/InGaAs ヘテロエピタキシャル構造評価	20
2.3 GaAsSb/InGaAs 縦型 TFET の作製と評価	23
2.4 まとめ	30
参考文献	30
Chapter 3	32
3.1 導入	32
3.2 GaAsSb/InGaAs ヘテロ接合の評価	32
3.3 TCAD シミュレーション環境	35
3.4 組成分布が GaAsSb/InGaAs TFET の電気特性に与える影響	39
3.5 不純物分布が GaAsSb/InGaAs TFET の電気特性に与える影響	42
3.6 不純物濃度が GaAsSb/InGaAs TFET の電気特性に与える影響	44
3.7 不純物の揺らぎが TFET の電気特性に与える影響	51
3.8 まとめ	52
参考文献	53
Chapter 4	55
4.1 導入	55
4.2 GaAsSb/InGaAs ヘテロウエハの評価	55

4.3 Be doped p ⁺ GaAsSb の濃度依存性	58
4.4 C doped p ⁺ GaAsSb/i-InGaAs TFET の評価	59
4.5 C doped p ⁺ GaAsSb と Be doped p ⁺ GaAsSb の比較	61
4.6 まとめ	67
参考文献	67
Chapter 5	68
5.1 導入	68
5.2 界面準位の起源および分布	70
5.3 ソース領域の界面準位分布が TFET の電気特性に与える影響	71
5.4 ソース領域の界面準位の影響 – ナノワイヤ型 TFET –	74
5.5 チャネル領域の界面準位が TFET の電気特性に与える影響	76
5.8 まとめ	81
参考文献	81
Chapter 6	83
6.1 導入	83
6.2 MOS キャパシタの $C-V$ 特性及び界面準位評価手法	84
6.3 実験手法	85
6.4 エピタキシャル成長ウエハの評価	86
6.5 $C-V$ 特性評価	87
6.6 蓄積側における周波数分散の理解	88
6.7 寄生容量・抵抗補正および界面準位密度の評価	91
6.8 まとめ	98
参考文献	98
Chapter 7	100
7.1 本研究で得られた成果	100
7.2 今後の展開と課題	102
謝辞	103
本研究に関する発表論文	104

Chapter 1

序論

1.1 背景

近年、情報機器の爆発的に普及によって目まぐるしい経済発展を遂げてきたが、このような経済成長を維持しながら安心安全な社会を実現するために、交通、医療、行政など様々な分野をより効率化していくことが望まれている。経済産業省の試算によると、情報機器の消費電力は 2025 年には国内総発電量の 20%にまで達すると予想されている[1.1]。さらに、2011年に発生した福島第一原子力発電所事故を受け、これら情報機器による消費電力の削減への期待もこれまで以上に高まっている。スーパーコンピュータやサーバーから携帯端末まで、情報処理機器の性能向上は、論理集積回路ひいては CMOS(Complementary MOS)、つまり MOSFET(Metal oxide semiconductor field effect transistor)の微細化によってなされてきた。図 1.1 に技術ノ

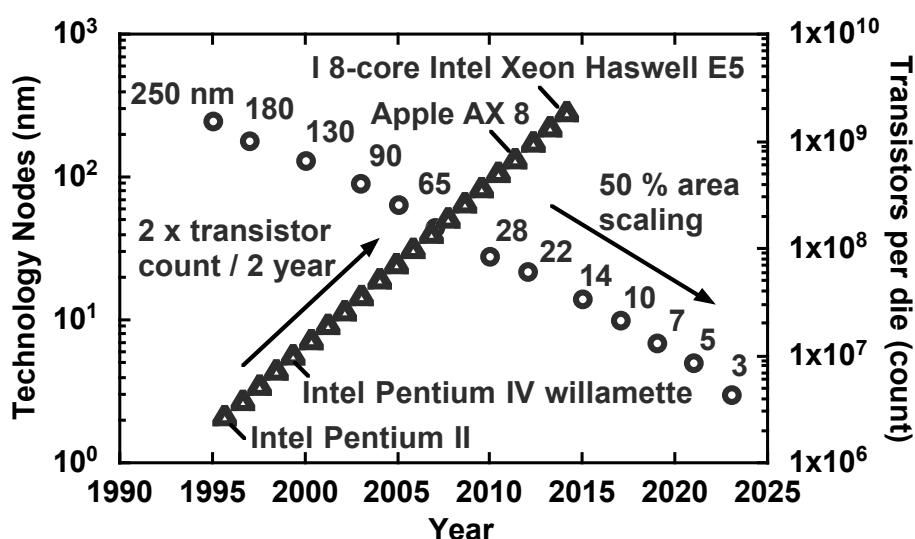


図 1.1 技術ノード(左)と集積回路に搭載されたトランジスタの数(右)の変遷

ード(左)と集積回路に搭載されたトランジスタの数(右)の変遷を 90 年代から示す。Si-MOSFET の微細化は、これまで歪み Si 技術、メタルゲート/高誘電体(high-k)ゲート絶縁膜技術、立体型 Fin-FET 技術の導入されることにより年々進み、2017 年現在、7 nm 技術ノードの CMOS 技術も公表されるほどである[1.2, 1.3]。また、MOSFET の微細化に伴ってトランジスタの集積度も年々増加している。しかしながら、素子の微細化の物理限界は年々明白となっており、集積度の向上と性能向上の両立は困難なことから抜本的な解決策が求められている。そこで、集積化の観点からは CMOS を 3 次元的に集積していることが検討されている[1.4]。一方で、引き続き、性能を向上させていくためには MOSFET の駆動原理を見直すなどの解決手法が必要であり、現在精力的に研究開発が行われている。

1.2 MOSFET の消費電力問題

CPU(Central processing unit)の消費電力削減は引き続き望まれている状況下にあるが、MOSFET の微細化により実現することは困難である。本節においては、MOSFET の微細化限界を消費電力の観点からより詳細に説明する。LSI の消費電力は、大きく分けて動作時のみに消費するダイナミック電力 P_{dynamic} と動作

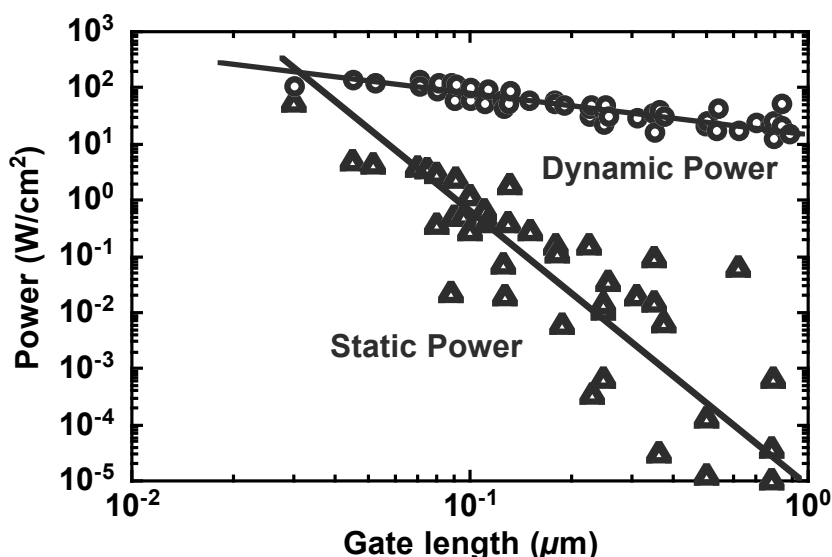


図 1.2 CMOS 技術によるゲート長に対するダイナミック・リーク電流密度のスケーリング[1.5]。

に関係なく定常的に消費されるスタティック電力 P_{static} の 2 種類からなる。図 1.2 は CMOS 技術によるゲート長に対するダイナミック電力とスタティック電力のスケーリングを示しており [1.5]、微細化が進んだ CPU の全消費電力は、リーク電流の増加にともないスタティック電力が増加し、ダイナミック電力を上回り支配的になる可能性を示唆している。そのため、CMOS の持続的な性能向上において消費電力が最も重要な課題の一つとなっている。ナノスケールのデジタル回路におけるエネルギーおよび消費電力は次の式で与えられる。

$$P_{\text{dynamic}} + P_{\text{leakage}} = \alpha f C V_{\text{dd}}^2 + I_{\text{leak}} V_{\text{dd}} \quad (1)$$

ここで、 α は回路の動作率、 f は動作周波数、 C は負荷容量、 V_{dd} は動作電圧、 I_{leak} はオフリーク電流を表す。LSI の消費電力を低減するためには、各パラメータを小さくすれば良い。動作率や動作周波数は回路を工夫することによって改善される。電源電圧はダイナミック電力に 2 乗で効くため、電源電圧を下げることで効果的に消費電力を低減することが出来る。しかしながら、理想的な MOSFET において電源電圧のスケーリングはリーク電流の増加につながる。図 1.3 に nMOSFET の概略的なデバイス構造とバンド図、および伝導特性を示す [1.6]。nMOSFET は半導体材料である n⁺-Source 領域、i-Channel 領域、n⁺-Drain 領域に制御部として金

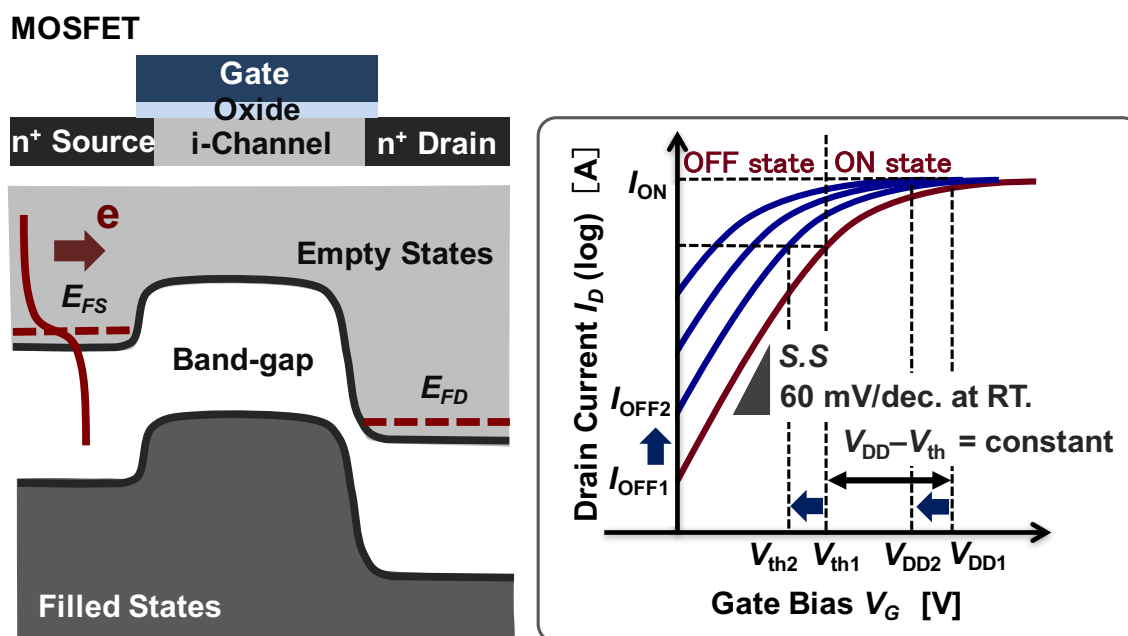


図 1.3 nMOSFET の概略的なデバイス構造とバンド図、および伝導特性

属/酸化物から構成されるゲートを接続した構造となっている。トランジスタ動作において OFF 状態から ON 状態へと電流が増加する領域はサブスレシヨルド領域と呼ばれ、その特性は 1 桁電流を増加させるのに必要な電圧(Subthreshold swing; S.S.、単位は mV/dec.)で特徴づけられる。MOSFET はゲートに電圧を加え半導体表面にキャリアのチャネル層を形成することで、ソースからドレインに流れる拡散電流を制御している。そのため、ソースからチャネルに注入されるキャリアは熱放出過程によって生じ、Fermi-Dirac 分布に支配されており、本質的に Fermi-Dirac 分布のテール部によるリーク電流を抑えることはできない。サブスレシヨルド領域における S.S.値は次の近似式で表され、室温における S.S.値は 60 mV/dec.で限界となる。

$$S.S. \equiv \frac{\partial V_G}{\partial(\log_{10} I_D)} \cong \left(1 + \frac{C_d}{C_{ox}}\right) \ln 10 \frac{kT}{q} \quad (2)$$

$$\rightarrow \frac{kT}{q} \ln 10 \cong 60 \text{ mV/dec. } T = 300 \text{ K}$$

そのため、理想的な 60 mV/dec. を持つトランジスタにおいて、動作電圧(V_{DD}) と閾値電圧(V_{TH})の差を一定にとり、 V_{DD} を削減しようとする、 V_{DD} を 60 mV 下げるとオフ電流(I_{OFF})が一桁増加することになり、式(1)に示したようにスタティック電力の増加につながる。これは、キャリアの熱的に広がったフェルミ分布の結果であり、従って、デバイスサイズや使用される材料等に関係なく、MOSFET に現れる問題である。そのため、電源電圧の低電圧化は非常に困難な問題となっている。図 1.4 に実際に製品化されているトランジスタの電源電圧と半導体技術ロードマップ(International Technology Roadmap for Semiconductor ; ITRS)2015 年版に記載されている予測値を年時ことに示す[1.7]。電源電圧は FinFET 技術による短チャネル効果の抑制や high-k 材料の導入による酸化膜実効膜厚(EOT)の薄膜化、高移動度チャネル材料の導入などの工夫を用いても、2010 年以降、1 V 付近で停滞している。また、電源電圧のスケーリングに関しては、エネルギーの観点からも詳細な議論がなされている。トランジスタの動作に必要なエネルギーは、電力と遅延との積で表される。そのため、動作時の電力と待機時の電力のバランスで、最適動作電圧(V_{OPT})が存在する。図 1.5 に電源電圧と最小エネルギーの関係を、S.S.値の値ごとに示す[1.8]。これらを読み解くと、エネルギー削減のためには電源電圧を小さくすると同時により急峻な S.S.値を実現する必要がある。

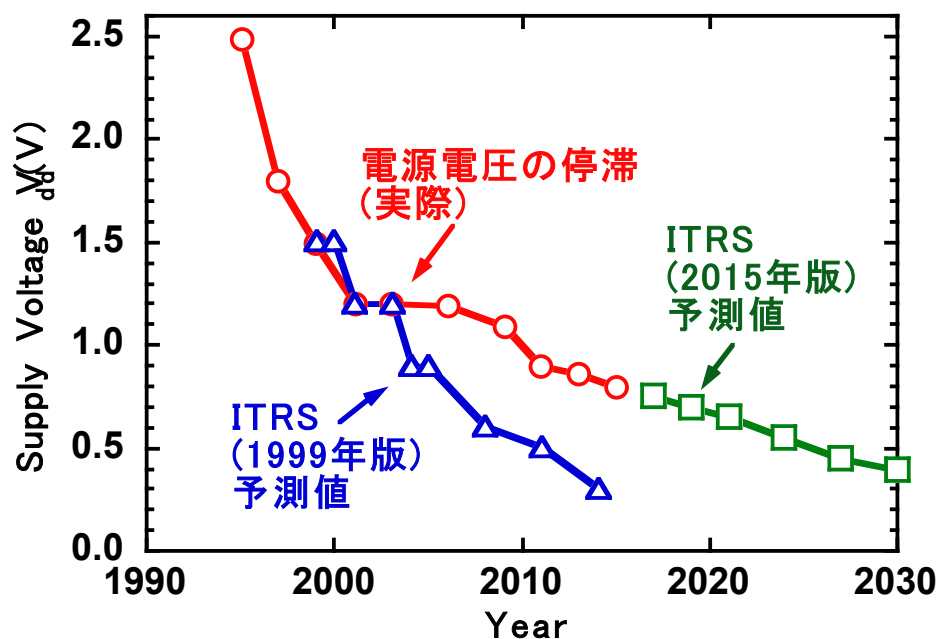


図 1.4 実際に製品化されているトランジスタの電源電圧と半導体技術ロードマップ (ITRS)に記載されている予測値[1.7]

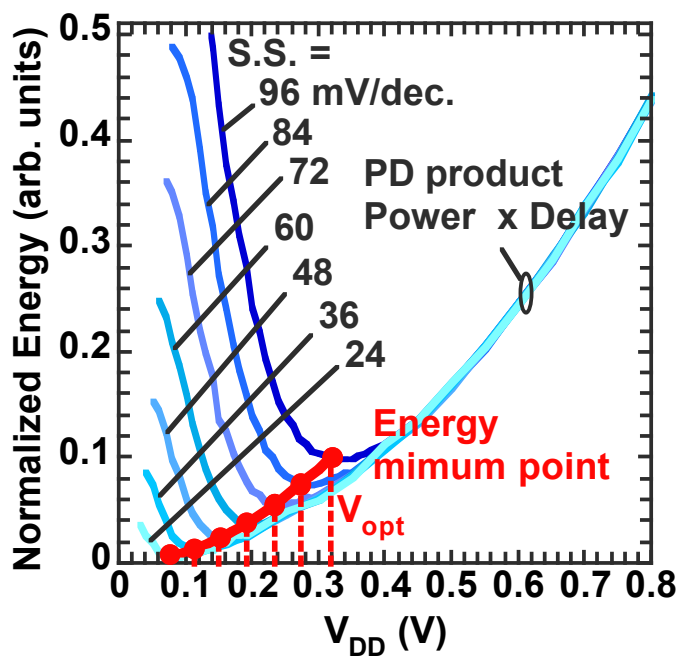


図 1.5 電源電圧と最小エネルギーの関係[1.8]

1.3 トンネルトランジスタへの期待

1.3.1 ホモ接合トンネルトランジスタ

従来型の MOSFET はその原理上、60 mV/dec.を上回る急峻なサブスレショルド特性を得ることは不可能であり、より急峻なサブスレショルド特性を実現するためには、駆動原理を変更する必要がある。本節では、サブスレショルド特性の定義式から、実現可能な解決手法、特に近年最も注目されているトンネルトランジスタについて説明する。式(3)に一般化した MOS デバイスにおける $S.S.$ 値の定義式を示す。静電支配因子、 m ファクターと伝導機構因子 n ファクターに分割される[1.9]。

$$S.S. \equiv \frac{\partial V_G}{\partial(\log_{10} I_D)} = \frac{\partial V_G}{\partial \psi_s} \frac{\partial \psi_s}{\partial(\log_{10} I_D)} \quad (3)$$

この式から読み解くと急峻な $S.S.$ 特性を実現するためには2つの方法が考えられる。1つ目の方法は、静電支配因子を1以下にすることである。そのためには、容量が負となる特殊な状況を実現する必要があり、その

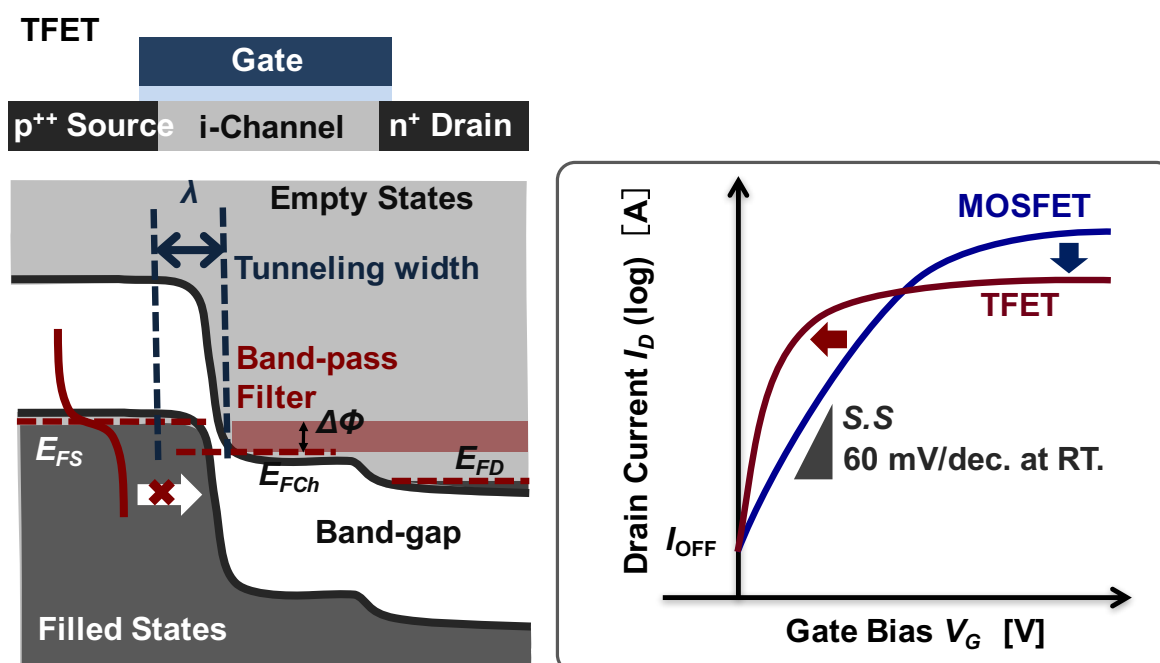


図 1.6 nTFET の模式図、バンド構造および MOSFET と比較した模式的な電気特性

ような素子は負性容量 FET(Negative capacitance FET; NC-FET)と呼ばれ、ゲート絶縁膜に強誘電体材料を用いることで実現する手法が提案されている[1.10, 1.11]。2つ目の方法が伝導機構を変更する手法である。バンド間トンネル電流を用いるトンネル FET[1.9, 1.12]とインパクトイオン化を利用する FET(Impact ionization MOS; IMOS)[1.13, 1.14]が提案されている。このようなスティーブ・スロープデバイスの中で、現在最も主流となっているのがトンネル FET である。図 1.6 に nTFET の模式図、バンド構造および MOSFET と比較した模式的な電気特性を示す[1.15]。TFET は p⁺ソース領域と i チャネル領域、n⁺ドレイン領域(p⁺-i-n⁺)から構成される。TFET における駆動電流のメカニズムは、バンド間トンネリングであり、電荷はソース領域の価電子帯とチャネル領域の伝導帯へ移動する。正のゲートバイアスによって、チャネル領域のバンドを変調させ、伝導帯のエネルギーがソース領域の価電子帯より下回ると、突然オフとオンが切り替わる。電流に寄与するエネルギー帯域がソース領域の価電子帯とチャネル領域の伝導帯の間のわずかなエネルギー差($\Delta\phi$)に限定されるため、フェルミディラック関数のテール部は、電流に寄与しない。そのため、原理的に S.S.値を従来型 MOSFET と比較して急峻な S.S.値を実現可能である。トンネル幅はゲート電圧によって、減少させることが出来る。バンド間トンネル電流機構の結果として、TFET 内の S.S.値は一定ではなく、ゲートバイアスに依存し、バイアスの増加とともに S.S.値も増加する。TFET の課題の一つが、トンネルトランジスタはバンド間トンネル現象を利用するため、本質的に MOSFET よりもオン電流を得ることが難しいことである。トンネルトランジスタのオン電流はトンネル確率に強く依存し、Wentzel-Kramer-Brillouin(WKB)近似を用いて次の様に表すことが出来る。

$$T_{WKB} = \exp\left(-\frac{4\lambda\sqrt{2m^*}E_G^{3/2}}{3q\hbar(\Delta\phi + E_G)}\right) \quad (4)$$

ここで、 m^* は有効質量、 E_G はバンドギャップであり材料固有の特性となる。 λ はソースとチャネル界面における電子がトンネリングする空間的な広がり、トンネリング距離を示しており、デバイスの構造によって決まる。ドレイン電圧が一定であるならば、ゲート電圧が増加するにつれてトンネリング距離 λ は減少し、ソース領域のコンダクションバンド端とチャネル領域のバレンスバンド端のエネルギー差である $\Delta\phi$ は増加する。そのため、トンネル確率に強く依存するドレイン電流は超指数関数的に増加する。結果として、TFET の S.S.値は MOSFET とは異なりゲート電圧に強く依存する。オン電流を増加させるためには、有効質量が小さくバンドギャップが小さな材料を選択することが効果的である。図 1.7 に Si、Ge、InAs、In_{0.53}Ga_{0.47}As、InSb

のバンドギャップと有効質量、それら値を用いて A. C. Seabaugh らによって計算された Si、Ge、InAs、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 、InSb の単位幅あたりのトンネル電流を内部電界の関数として示す[1.12]。この計算において、チャンネルの厚さは 2nm とされ、量子化は考慮されていない。また、IV 族半導体および III-V 族化合物半導体のトンネリング有効質量は結晶方向に依存しているが、この計算においては[100]方向のみを考慮している。チャンネル材料として、より小さなバンドギャップを有する材料を採用することで、低電界でより高いオン電流を得られることを示している。しかしながら、狭バンドギャップ材料はオフ状態でのチャンネルからドレインへのトンネリング確率が高まるためリーク電流が増加する。つまり、ホモジャンクション TFET の場合オン電流とリーク電流にはトレードオフの関係があり、大きなオン/オフ比と小さな S.S.値を同時に実現することは非常に難しい。

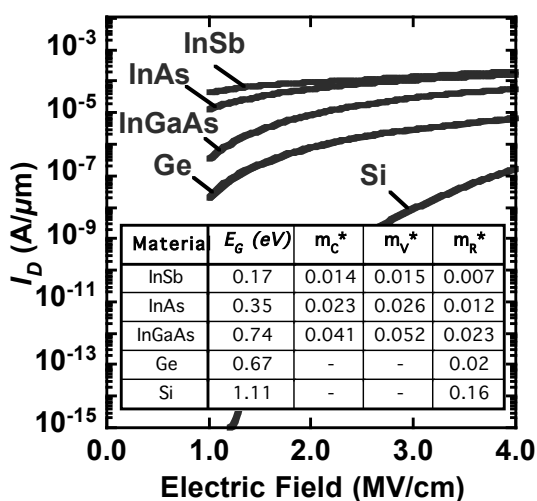


図 1.7 Si、Ge、InAs、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 、InSb のバンドギャップと有効質量、それら値を用いて A. C. Seabaugh らによって計算された Si、Ge、InAs、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 、InSb の単位幅あたりのトンネル電流[1.12]

1.3.2 ヘテロ接合トンネルトランジスタ

ホモ接合 TFET の欠点を克服する手法の 1 つとして、ソース・チャンネル接合に Type-II ヘテロ接合を用いる方法がある。図 1.8 にホモ接合とヘテロ接合 TFET のソース領域とチャンネル領域のバンド構造の違いを示す。ホモ接合においては、トンネル確率を増加させるために狭バンドギャップ材料を用いると、生成・再結合(Generation/Recombination; GR)確率が高くなることから、 I_{OFF} が増加し、結果として ON/OFF 比が減少する。このトレードオフ関係を打破するためには、 I_{OFF} を増加させないようにドレイン・チャンネル接合のバン

ドギャップを小さくすることなく、ソース・チャネル接合に実効トンネル高さ(E_{beff})が小さい Type-II ヘテロ接合を用いてトンネリング幅を減少させ、トンネル確率を増大させることが最も効果的である。ここで、 E_{beff} はソース領域の価電子帯とチャネル領域の伝導帯のエネルギー差で定義される。駆動電流とリーク電流を個別に最適化することができるため高性能で低消費電力なデバイスを開発することが可能となる。

この Type-II ヘテロ接合を形成するためには適切な異種材料を組み合わせることが重要である。

図 1.9 に様々な材料の電子親和力、バンドギャップを示す[1.16]。様々な材料系の中でも Sb 系材料はバンド構造に特徴を持ち、価電子帯のエネルギーが高くなる傾向にあるため、GaAsSb/InGaAs 接合は Type-II 構造をとる[1.17, 1.18]。図 1.10(左)に GaAsSb/InGaAs 接合の E_{beff} を格子定数ごとに示す。GaAsSb/InGaAs 接合は適切な組成比を選択することで、 E_{beff} を ~ 0.5 から 0 eV まで広範囲にわたって変調可能で有り、TFET の材料として期待が高い。図 1.10(右)に InGaAsSb 四元混晶の In と Sb 組成に対するバンドギャップ値を示す。ここで InP 上へ成長すると仮定し、格子定数が InP に整合する様に歪み量を調整している。図 1.10(右)に示す様に InGaAsSb 四元混晶は 0.3 eV から 1.4 eV まで幅広いバンドギャップを実現することが出来る材料であり、ソース・チャネル界面に挿入することでより実効バンドギャップおよびそれに伴うトンネル距離を調整することが可能な材料系である。しかしながら、Sb 系材料は制御が難しいことからトンネル FET としてのデバイス動作は確認されているものの急峻な $S.S.$ 値を得ることは非常に困難である。

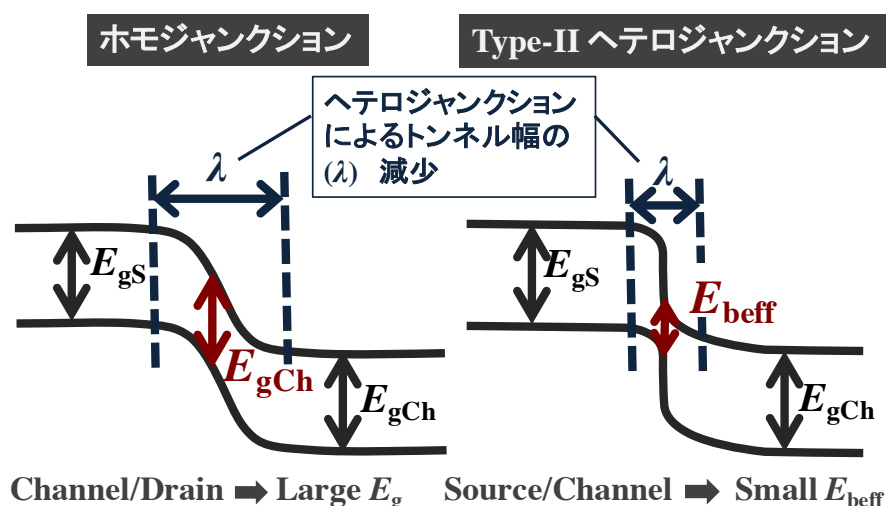


図 1.8 ホモ接合とヘテロ接合 TFET のソース領域とチャネル領域のバンド構造の違い

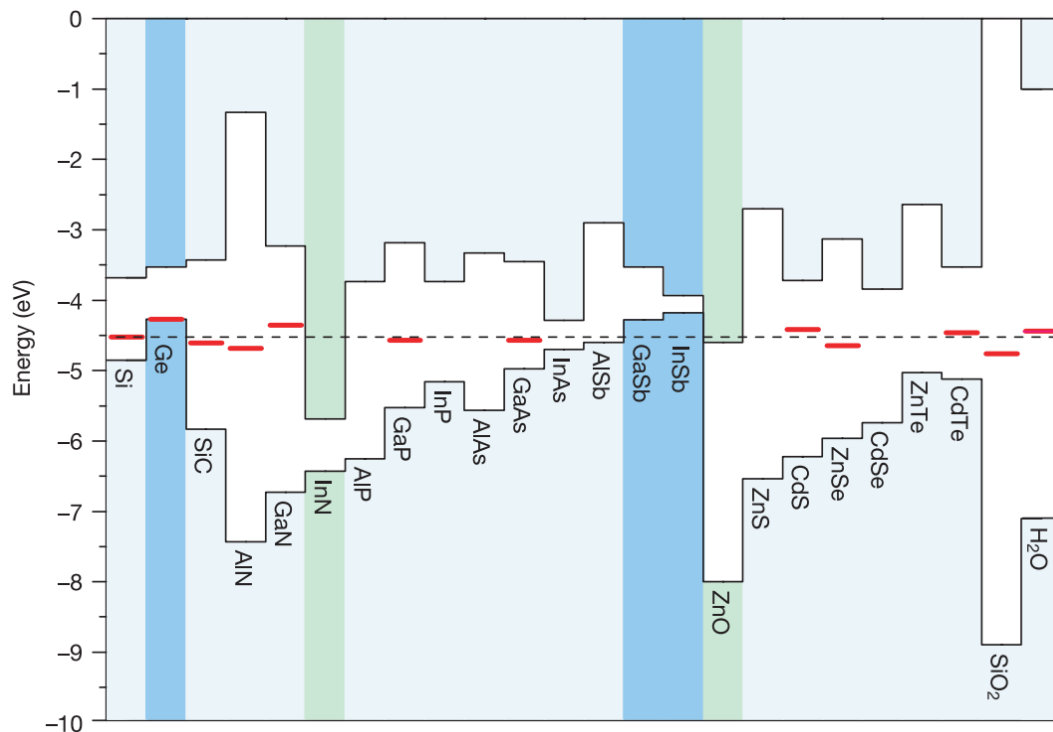


図 1.9 様々な材料の電子親和力、バンドギャップ[1.16]

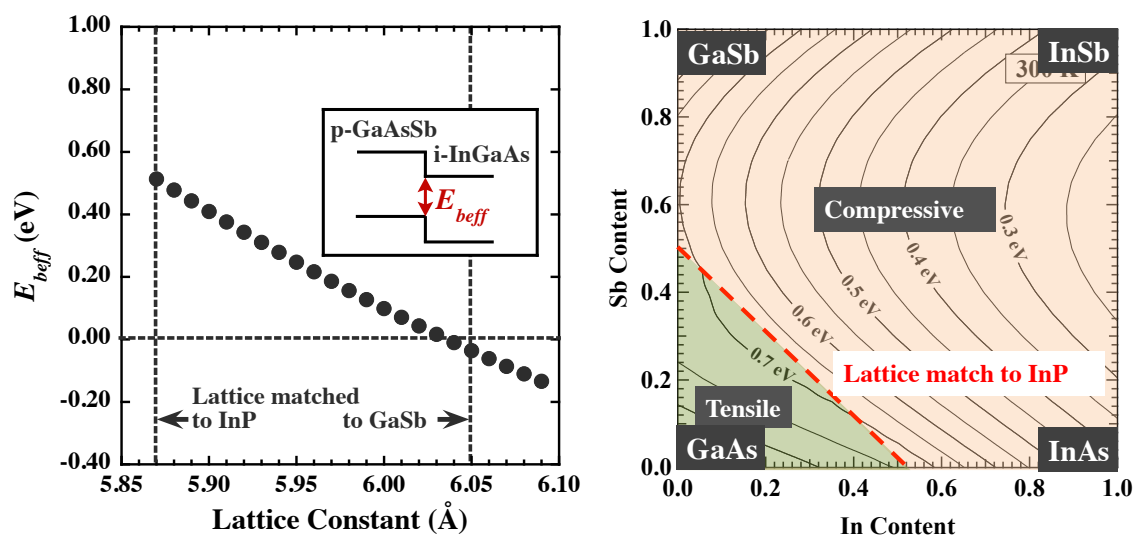


図 1.10 (左) GaAsSb/InGaAs 接合の E_{beff} を格子定数、(右) InGaAsSb 四元混晶の In と Sb 組成に対するバンドギャップ値

1.4 TFET の研究開発動向

本節では、これまでの TFET に関連する研究報告例をまとめる。TFET は 1950 年代の Stuetzer による実験[1.19]や 1960 年代の Shockley らの実験[1.20]が原型と言われており、非常に長期間にわたって研究されてきた歴史ある研究テーマの 1 つである。2004 年にカーボンナノチューブを用いて初めて動作が実証されて以来[1.21]、従来の MOSFET の極限性能を超えた低電圧動作が実現出来るデバイスとして世界中でしのぎを削る研究開発競争へと発展を遂げてきた。Si-TFET としては 2007 年に Choi らによって初めて MOSFET の理論限界である 60 mV/dec.を下回る S.S.値が報告された[1.22]。しかしながら、オン電流は Si-MOSFET と比較して 3 桁程度低い。そこで、IV 族半導体では Si[1.23, 1.24]に加えて狭バンドである Ge[1.25]、さらに歪みを加えた歪み Si[1.26]、歪み Ge[1.27]、GeSn[1.28]、III-V 族化合物半導体では InGaAs[1.29, 1.30]などの材料を用いた TFET の研究が行われている。また、ソース・チャネル接合にヘテロ接合を用いた TFET としては、Ge/Si[1.31]や GaSb/InAs[1.32]、GaAsSb/InGaAs[1.33, 1.34]、InAs/Si[1.35]などの組み合わせが報告されており、InAs/Si ナノワイヤ TFET においては世界最小の S.S.値である 21 mV/dec.が実現されている。トンネル確率を増加させるためには、材料を変更するのみならず、ソース・チャネル接合に加わる電界を強くすることも有効である。静電支配力を向上させるという観点から、high-k 材料を用いることで等価酸化膜(Effective oxide thickness; EOT)をスケーリングさせる研究は研究開発の初期から指摘されている。また、ゲート構造を Fin 構造[1.24]や T 時型[1.36]、ナノワイヤ型[1.37]に工夫する研究も盛んに行われている。最近では、トンネル確率を増大させる手法として等電子トラップを用いた TFET も報告されている[1.38]。これはバンドギャップ中に人為的に不純物準位を導入し、この準位を利用することで高いオン電流を実現している。

1.5 III-V ヘテロ接合 TFET の課題と目的

TFET の研究開発は数多くなされているが、本研究では有望な GaAsSb/InGaAs Type-II ヘテロ構造 TFET に着目している。本節では、GaAsSb/InGaAs TFET の研究開発例から現在の課題を明らかにし、本研究の目的を述べる。III-V 族化合物半導体を用いた Type-II ヘテロ構造 TFET は熱励起を伴う生成・再結合電流を抑制するために、ソース面積を小さくする工夫を施した報告が数多くなされている。MIT の T. Yu らはソース領域である GaAsSb 層からゲート電極の下部でチャネル領域の InGaAs 層へ電子を縦方向にトンネリングさせた後、Air-bridge を通して横方向のドレインに引き抜く形のデバイス構造を提案し、GaAsSb/InGaAs TFET

の動作を実証している[1.39]。しかしながら、 $S.S.$ 値は室温で 87 mV/dec.であり、MOSFET の理論限界である 60 mV/dec.を下回る値を実現出来ていない。東工大の Fujimatsu らは ICP-RIE によるエッチングを駆使することで、チャネル幅を 26nm にまで極薄化している[1.40]。

Lund大学のE. Memisevic らはソースコンタクト層として $p^{++}\text{GaSb}$ を 300 nm、ソース領域層として、 $p^{++}\text{In}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$ 100 nm、チャネル領域層として $n\text{-InAs}$ 100 nm、ソース領域層として $n^{++}\text{InAs}$ 100 nm を Si 基板上に MOCVD 法で成長したナノワイヤ型の TFET において、ソース・チャネル接合に III-V 族化合物半導体を用いた TFET の中では最も低い $S.S.$ 値 43 mV/dec. ($V_{\text{DS}} = 0.1$ V) を達成している。一方で、その電気特性はサンプルごとにばらつきが非常に大きい[1.41]。そのため、Type-II ヘテロ構造 TFET の電気特性を決定する因子を明確化することが重要である。デバイスの特性分析の観点からはペンシルバニア州立大学の R. Pandey らが GaAsSb/InGaAs ヘテロ接合のトンネル距離と TFET の電気特性を関連づけて検討している[1.42]。しかしながら、トンネル距離を決定づける因子としては、不純物と組成の両方の空間分布を考慮する必要があるが、このような考察はなされておらず、より詳細な検討を加える必要がある。また、TFET は MOSFET と同様にゲート電極にバイアスを加えることでチャネル領域のバンドを変調することで駆動電流を得るため、MOS 界面準位も重要な因子である。R. Pandey らは $C-V$ 特性から界面準位を実験的に求めると同時に、TCAD シミュレーションから界面準位が $S.S.$ 値およびオン電流を劣化させることを報告している。しかしながら、 InGaAs のバンドギャップ中および伝導帯内部のどのエネルギー帯の界面準位が最も寄与するかは明らかにされていない。

そこで、本論文では GaAsSb/InGaAs TFET の $S.S$ 値やオン電流などの電気特性の決定因子を実験および2次元 TCAD シミュレーションを組み合わせることで詳細に解析し、Type-II ヘテロ接合 TFET の理解を深めると同時に設計指針を明確化することを目的とする。

1.6 本論文の構成

本論文は図 1.11 に示すように全 7 章により構成されている。第 2 章では GaAsSb/InGaAs 縦型 TFET の動作実証を行った。第 3 章では GaAsSb/InGaAs ヘテロ界面の物理評価と、その特性が TFET の電気特性に与える影響を調べ、GaAsSb/InGaAs TFET の設計指針を明確化した。第 4 章では、第 3 章における設計指針の下、 p^+ GaAsSb 領域の不純物の種類の検討および濃度増大の効果を議論する。第 5 章ではソース領域およびチャネル領域の MOS 界面特性が TFET の電気特性に与える影響を TCAD シミュレーションから詳細に解析し、界面準位密度低減による TFET の特性向上指針を議論する。第 6 章では、Oxide/GaAsSb MOS 界面特性の向上手法の 1 つとして、極薄の InGaAs パッシベーション層の導入に関して議論する。第 7 章では、本研究で得られた結論として GaAsSb/InGaAs TFET に関連する技術の有効性や課題を述べる。

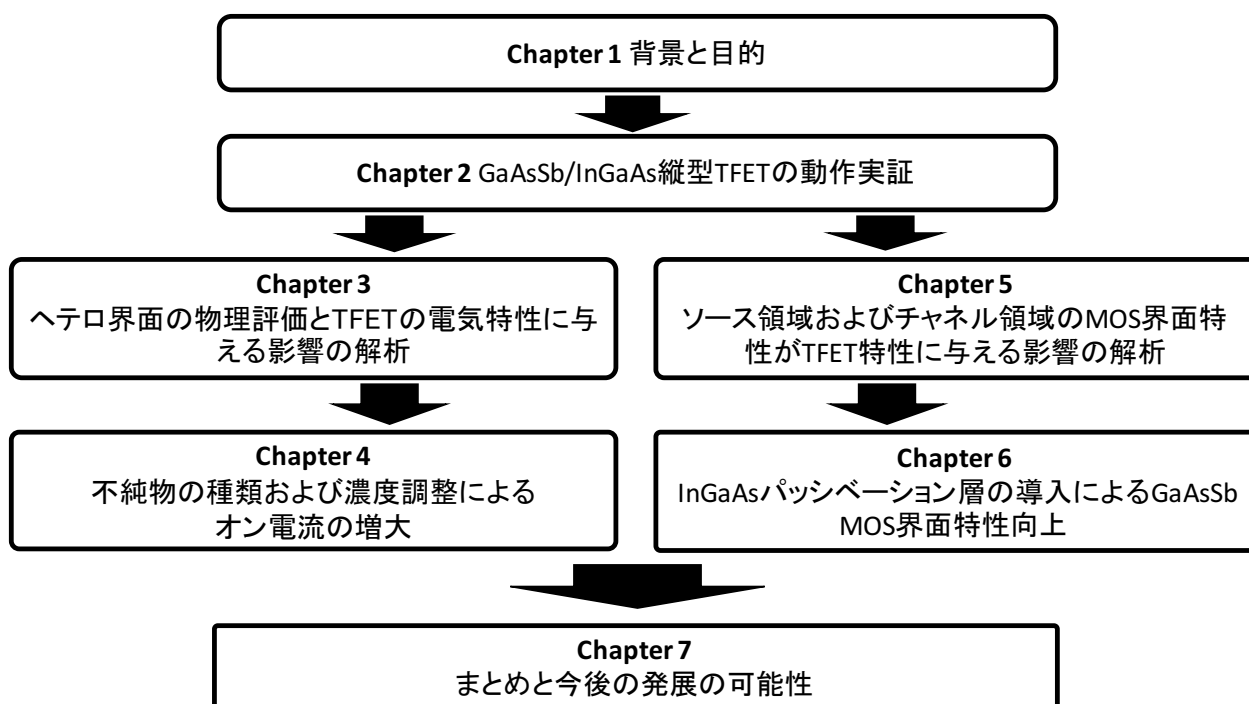


図 1.11 本論文の構成の概略図

参考文献

- [1.1] グリーン IT 推進協議会, 調査分析委員会 総合報告書 (2008 年度~2012 年度)~低炭素社会に向けたグリーン IT の貢献~, 2013 年 2 月
 - [1.2] Y. M. Lee et al., “Accurate Performance Evaluation for the Horizontal Nanosheet Standard-Cell Design Space Beyond 7nm Technology,” IEEE International Electron Devices Meeting, no. 29.3, pp. 681–684, 2017.
 - [1.3] S. Narasimha et al., “A 7nm CMOS Technology Platform for Mobile and High Performance Compute Application,” IEEE International Electron Devices Meeting, no. 29.5, pp. 689–692, 2017.
 - [1.4] T. Irisawa et al., “Demonstration of ultimate CMOS based on 3D stacked InGaAs-OI/SGOI wire channel MOSFETs with independent back gate,” Digest of Technical Papers - Symposium on VLSI Technology, pp. 118–119, 2014.
 - [1.5] E. J. Nowak, “Maintaining the benefits of CMOS scaling when scaling bogs down,” IBM Journal of Research and Development, vol. 46, no. 2.3, pp. 169–180, 2002.
 - [1.6] A. M. Ionescu and H. Riel, “Tunnel field-effect transistors as energy-efficient electronic switches,” Nature, vol. 479, no. 7373, pp. 329–337, 2011.
 - [1.7] International Technology Roadmap for Semiconductor (ITRS). Semiconductor Industry Association, 2013.
 - [1.8] H. Fuketa, K. Yoshioka, K. Fukuda, and T. Mori, “Design guidelines to achieve minimum energy operation for ultra low voltage tunneling FET logic circuits,” Japanese Journal of Applied Physics, no. 54, p. 04DC04, 2015.
 - [1.9] A. M. Ionescu and H. Riel, “Tunnel field-effect transistors as energy-efficient electronic switches,” Nature, vol. 479, no. 7373, pp. 329–337, 2011.
 - [1.10] S. Salahuddin and S. Datta, “Use of negative capacitance to provide voltage amplification for low power nanoscale devices,” *Nano Letters*, vol. 8, no. 2, pp. 405–410, 2008.
 - [1.11] G. A. Salvatore, D. Bouvet, and A. M. Ionescu, “Demonstration of Subthreshold Swing Smaller Than 60mV / decade in Fe-FET with P (VDF-TrFE) / SiO₂ Gate Stack,” IEEE International Electron Devices Meeting, pp. 167–170, 2008.
 - [1.12] A. Seabaugh and Q. Zhang, “Low-Voltage Tunnel Transistors for Beyond CMOS Logic,” Proceedings of the IEEE, vol. 98, no. 12, p. 2095–2110., 2010.
 - [1.13] K. Gopalakrishnan, P. B. Griffin, and J. D. Plummer, “I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q ,” Digest. International Electron Devices Meeting, pp. 289–292, 2002.
 - [1.14] E. Toh, G. H. Wang, L. Chan, G. Lo, G. Samudra, and Y. Yeo, “I-MOS Transistor With an Elevated Silicon – Germanium Impact-Ionization Region for Bandgap Engineering,” IEEE Electron Device Letters, vol. 27, no. 12, pp. 975–977, 2006.
-

-
- [1.15] J. Knoch, S. Mantl, and J. Appenzeller, "Impact of the dimensionality on the performance of tunneling FETs: Bulk versus one-dimensional devices," *Solid-State Electronics*, vol. 51, pp. 572–578, 2007.
- [1.16] V. D. G. Walle and J. Neugebauer, "Universal alignment of hydrogen levels in semiconductors and insulators," *Nature*, vol. 423, pp. 626–628, 2003.
- [1.17] Q. Smets et al., "Extracting the effective bandgap of heterojunctions using Esaki diode I-V measurements," *Applied Physics Letters*, vol. 107, no. 2015, p. 72101, 2015.
- [1.18] B. Romanczyk et al., "heterojunction Esaki tunnel diodes heterojunction Esaki tunnel diodes," *Applied Physics Letters*, no. 102, p. 213504, 2013.
- [1.19] O. M. Stuetzer, "Junction fieldistors," *Proceedings of the IRE*, vol. 40, no. 11, pp. 1377–1381, 1952.
- [1.20] W. Shockley and W. W. Hooper, "The Surface-Controlled Avalanche Transistor," *Solid-State Device Research Conference*, vol. 64, pp. 12.1, 1964.
- [1.21] J. Appenzeller, Y. M. Lin, J. Knoch, and P. Avouris, "Band-to-band tunneling in carbon nanotube field-effect transistors," *Physical Review Letters*, vol. 93, no. 19, p. 196805, 2004.
- [1.22] W. Y. Choi, B. Park, J. D. Lee, and T. K. Liu, "Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec," *IEEE Electron Device Letters*, vol. 28, no. 8, pp. 743–745, Aug. 2007.
- [1.23] K. Jeon et al., "Si tunnel transistors with a novel silicided source and 46mV/dec swing," *Digest of Technical Papers - Symposium on VLSI Technology*, vol. 1, no. 2009, pp. 121–122, 2010.
- [1.24] D. Leonelli *et al.*, "Performance enhancement in multi gate tunneling field effect transistors by scaling the fin-width," *Japanese Journal of Applied Physics*, no. 49, p. 04DC10, 2010.
- [1.25] S. H. Kim, H. Kam, C. Hu, and T.-J. K. Liu, "Germanium-source tunnel field effect transistors with record high I_{ON}/I_{OFF} ," *Symposium on VLSI Technology*, pp. 178–179, 2009.
- [1.26] A. Villalon et al., "Strained tunnel FETs with record I_{ON} : First demonstration of ETSOI TFETs with SiGe channel and RSD," *Digest of Technical Papers - Symposium on VLSI Technology*, pp. 49–50, 2012.
- [1.27] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-gate strained-ge heterostructure tunneling FET (TFET) with record high drive currents and <60mV/dec subthreshold slope," *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 947–949, 2008.
- [1.28] Y. Yang et al., "Towards direct band-to-band tunneling in P-channel tunneling field effect transistor (TFET): Technology enablement by Germanium-tin (GeSn)," *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 379–382, 2012.
- [1.29] S. Mookerjee et al., "Experimental demonstration of 100nm channel length $In_{0.53}Ga_{0.47}As$ -based vertical inter-band tunnel field effect transistors (TFETs) for ultra low-power logic and SRAM applications," *IEDM*, pp. 949–951, 2009.
- [1.30] M. Noguchi et al., "High I_{ON}/I_{OFF} and low subthreshold slope planar-type $InGaAs$ tunnel field effect
-

- transistors with Zn-diffused source junctions,” *Journal of Applied Physics*, vol. 118, p. 045712, 2015.
- [1.31] G. Han, P. Guo, Y. Yang, C. Zhan, Q. Zhou, and Y. C. Yeo, “Silicon-based tunneling field-effect transistor with elevated germanium source formed on (110) silicon substrate,” *Applied Physics Letters*, vol. 98, p. 153502, 2011.
- [1.32] G. Zhou et al., “Novel gate-recessed vertical InAs/GaSb TFETs with record high ION of 180 $\mu\text{A}/\mu\text{m}$ at VDS= 0.5 V,” *Technical Digest - International Electron Devices Meeting, IEDM*, no. 32.6, pp. 777–780, 2012.
- [1.33] R. Bijesh et al., “Demonstration of In_{0.9}Ga_{0.1}As/GaAs_{0.18}Sb_{0.82} near broken-gap tunnel FET with ION=740 $\mu\text{A}/\mu\text{m}$, Gm=70 $\mu\text{S}/\mu\text{m}$ and gigahertz switching performance at Vds=0.5V,” *2013 IEEE International Electron Devices Meeting*, no. 28.2, pp. 687–690, 2013.
- [1.34] D. K. Mohata et al., “Demonstration of MOSFET-like on-current performance in arsenide / antimonide tunnel FETs with staggered hetero-junctions for 300mV logic applications,” *IEDM*, no. 33.5, pp. 781–784, 2011.
- [1.35] K. Tomioka and T. Fukui, “Tunnel field-effect transistor using InAs nanowire/Si heterojunction,” *Applied Physics Letters*, vol. 98, p. 083114, 2011.
- [1.36] Q. Huang et al., “Self-depleted T-gate Schottky barrier tunneling FET with low average subthreshold slope and high I ON/I OFF by gate configuration and barrier modulation,” *Technical Digest - International Electron Devices Meeting, IEDM*, no. 16.2, pp. 382–385, 2011.
- [1.37] R. Gandhi, Z. Chen, N. Singh, K. Banerjee, and S. Lee, “Vertical Si-Nanowire n-type tunneling FETs with low subthreshold swing (≤ 50 mV/decade) at room temperature,” *IEEE Electron Device Letters*, vol. 32, no. 4, pp. 437–439, 2011.
- [1.38] T. Mori et al., “Band-to-band tunneling current enhancement utilizing isoelectronic trap and its application to TFETs,” *Digest of Technical Papers - Symposium on VLSI Technology*, pp. 86–87, 2014.
- [1.39] T. Yu, J. T. Teherani, D. A. Antoniadis, and J. L. Hoyt, “In_{0.53}Ga_{0.47}As/GaAs_{0.5}Sb_{0.5} Quantum-Well Tunnel-FETs With Tunable Backward Diode Characteristics,” *IEEE Electron Device Letters*, vol. 34, no. 12, pp. 1503–1505, 2013.
- [1.40] M. Fujimatsu, H. Saito, and Y. Miyamoto, “71 mV/dec of sub-threshold slope in vertical tunnel field-effect transistors with GaAsSb/InGaAs heterostructure,” *Indium Phosphide and Related Materials Conference abstract*, pp. 25–28, 2012.
- [1.41] E. Memisevic, J. Svensson, E. Lind, and L. E. Wernersson, “InAs/InGaAsSb/GaSb Nanowire Tunnel Field-Effect Transistors,” *IEEE Transactions on Electron Devices*, vol. 64, no. 11, pp. 4746–4751, 2017.
- [1.42] R. Pandey et al., “Complimentary Heterojunction Vertical Tunnel FETs for Ultra-Low Power Logic,” *VLSI*, pp. 206–207, 2015.

Chapter 2

GaAsSb/InGaAs TFET の動作実証

2.1 導入

本章では、極低電圧動作を実現可能な GaAsSb/InGaAs 縦型 TFET の素子動作を実証することを目的とする。まず、素子を作製に用いた主なプロセス装置および、素子動作に関する物理機構評価装置についてまとめる。続いて GaAsSb/InGaAs 縦型 TFET を動作させるためには、高品質な GaAsSb/InGaAs 層を得ることが必須の課題であることから、InP 基板上に MOMBE 法でエピタキシャル成長した GaAsSb/InGaAs 成長層について評価する。最後に、このエピタキシャルウエハを用いて試作した GaAsSb/InGaAs 縦型 TFET の電気特性、およびデバイスプロセスにおいて広く用いられている金属堆積後アニール(Post metallization annealing; PMA)の効果を検討し、GaAsSb/InGaAs 縦型 TFET の動作を実証する。

2.1 プロセス及び評価装置

2.1.1 有機金属化学気相堆積 (Metalorganic chemical vapor deposition; MOCVD) 法

ガス原料を用いる結晶成長装置であり、高いウエハ面内均一性や界面形成制御性をもつことから、大量生産に向けた成長装置として広く一般的に利用されている。MOCVD 装置は、リアクターに原料輸送の担い手である H_2 や N_2 ライン、III 族、V 族およびドーピング原料のガスボンベや有機金属ボンベ、排気ラインと真空ポンプを接続した構成となっている。III 族、V 族のガス原料の増減により混晶半導体における組成を変化させることが出来る利点がある一方で、正確な組成制御のためには、ガス供給量の高精度が要求される。III 族ガス原料には、トリエチルガリウム(Triethylgallium, TEGa)、トリメチルインジウム(Trimethylindium, TEIn)、V 族ガス原料としては、アルシン(Arsine, AsH_3)、ホスフィン(Phosphine, PH_3)、トリメチルアンチモン(Trimethylantimony, TMSb)、ドーピング原料には四臭化炭素(Carbontetrabromide, CBr_4)を用い、キャリアガスに

は水素(Hydrogen, H₂)を用いた[2.1]。

2.1.2 有機金属分子線エピタキシー(Metalorganic molecular beam epitaxy; MOMBE) 法

MBE 成長装置にガス原料を用いる MOCVD 装置組み合わせた装置であり、MOCVD 装置同様のメリットを持つ。MOMBE の特徴としては、分解温度の高い V 族ガス原料についても高温セルで熱分解して用いることが出来るため、MOCVD 法と比較して低温での成長が可能となる。一方で、MOMBE 法での結晶成長温度は、III 族ガス原料の分解温度に相当するため、正確な組成制御のためには、より高精度な基板温度制御技術が必要となる。本研究では、VG semicon 社製の VGV90-MBE 装置に、圧力制御法によるガス供給系を接続し、さらにパイロメータを用いた基板温度制御機構が組み込まれた構成となっている[2.2]。成長条件については、プロセスフローの項目にて詳細に説明する。

2.1.3 原子層堆積法

ALD(Atomic Layer Deposition:原子層堆積法)は2種類のプリカーサ(前駆体)を用いて原子層レベルで成膜する方法である。ウエハの洗浄は一般的に IPA や DIW で洗浄工程を終えている。そのため、ウエハ表面は OH 基(ヒドロキシ基)終端されている。金属プリカーサーであるトリメチルアルミニウム(Trimethylaluminium; TMA, (CH₃)₃Al)を導入することによってウエハ表面の OH 基と反応し、モノレイヤーを形成する。副生成物としてメタン(CH₄)が生成される。余剰の TMA 及び、副生成物のメタンは真空引きおよび窒素(N₂)パージを行うことで取り除く。その後 H₂O を導入する。H₂O と CH₃基が反応し、副生成物としてメタンが生成される。TMA と H₂O の導入 1 サイクルで、約 1Å の Al₂O₃ 堆積が行われ、この過程を繰り返すことによって所望の膜厚の Al₂O₃ が堆積される。本研究では Beneq 社製の ALD システム TFS 200 を用いた。リアクターのバックプレッシャーは 110 Pa 程度である。TMA 供給時間は 250 msec、窒素パージ時間は 500 msec、H₂O 供給時間は 250 msec。窒素パージ 1 s とした。また、TMA には還元作用があることが知られていることから、界面準位密度低減に寄与することが報告されている。そこで、本研究では TMA からサイクルをスタートさせている。

2.1.4 二次イオン質量分析

二次イオン質量分析(Secondary ion mass spectrometry; SIMS)は一次イオン発生装置、静電レンズなどの一次イオンビームの制御装置、二次イオンの質量分析装置などから構成される。最初に試料表面に一次イオンを照射し、それによって放出された二次イオンの質量分析を行うことで、試料の組成を求めることが出来る。一次イオンの種は、試料と反応しにくい希ガスイオン(Ar^+ , Kr^+ , Xe^+)、二次イオンの放射率が高く安定性の高い酸素イオン(O^+ , O_2^+ , O^-)、負の二次イオンを放出する効率が高いアルカリイオン(Cs^+)などが主に用いられる。本研究では、空間分解能を良くするために O_2^+ イオンを用いて、比較的低い入射角 15° で測定した。測定限界は 5 nm/dec 程度である。

2.1.5 走査透過型電子顕微鏡-エネルギー分散型 X 線分光分析器

走査透過型電子顕微鏡-エネルギー分散型 X 線分光分析器(Scanning transmission electron microscope energy dispersive X-ray spectroscopy; STEM-EDX)は、STEM に EDX 分析器を組み合わせた装置である。STEM は微量に収束された電子線を試料上に走査し、試料を透過した電子を検出し結像するものである。検出器には明視野(Bright field; BF)と環状暗視野(Annular dark field; ADF)がある。ADF 像は、特に散乱角度が大きな場合には(High-angle ADF; HAADF)と呼ばれ、現組織別能に優れている。本研究では、第二章における貫通転位の評価には BF-STEM 像を、第三章における GaAsSb/InGaAs ヘテロ接合の組成分布評価には HAADF-STEM 像を用いた。

EDX 方は試料に電子線を照射することで試料から発生する特性 X 線を検出し、エネルギーで分光することで結晶の組成を分析する方法である。入射電子線のスポットは 0.1 nm 以下であるが、電子が結晶内で散乱・拡散するため拡散した領域の特性 X 線も検出される。本研究では、GaAsSb/InGaAs ヘテロ接合の界面において In、Ga、As、Sb の L 殻からの特性 X 線を用いて各原子数%を算出した。

2.2 GaAsSb/InGaAs ヘテロエピタキシャル構造評価

GaAsSb/InGaAs 縦型 TFET を実証するためにはには、高品質な GaAsSb/InGaAs 層を得ることが必須の課題であることから、InP 基板上にエピタキシャル成長した GaAsSb/InGaAs 成長層について検討した。InP 基板上に VG semicon 社製の VG90 MOMBE システムにて In が含まれていないホルダーを用いて Undoped-In_{0.53}Ga_{0.47}As(300 nm, $N_D \sim 4 \times 10^{16} \text{ cm}^{-3}$)と Be-doped P⁺-GaAs_{0.51}Sb_{0.49}(150 nm, $N_A \sim 1-3 \times 10^{19} \text{ cm}^{-3}$)をそれぞれ、エピタキシャル成長させた[2.2]。トリジメチルアミノアンチモン(Tris-dimethyl-amino-antimony; TDMASb)、アルシン(AsH₃)、フォスフィン(PH₃)を V 族元素材料として用いた。ここで、TDMASb は事前に分解させることなく用いた。一方で、AsH₃と PH₃は低压セルを 900 °C まで加熱することで分解した。III 族元素材料としては、トリメチルインジウム(Trimethyl-indium; TMIn)、トリエチルガリウム(Triethyl-gallium; TEGa)を用いた。パイロメータで校正された成長温度は 510 °C である。各層の組成比は InP との格子整合系である In_{0.53}Ga_{0.47}As と GaAs_{0.51}Sb_{0.49}とした。図 2.1 は MOMBE 法で InP 基板上にエピタキシャル成長させた GaAsSb/InGaAs/InP ヘテロ構造の構造図および断面方向からの透過電子顕微鏡像(Transmission electron microscope; TEM)である。設計値通り、GaAsSb と InGaAs の膜厚は、それぞれ 185 および 280 nm であった。挿入図に示した拡大図の様に、GaAsSb/InGaAs ヘテロ界面には視認できる結晶欠陥は確認されなかった。図 2.2 に GaAsSb/InGaAs エピタキシャルウエハ表面の原子間力顕微鏡(Atomic force microscope; AFM)像を示す。

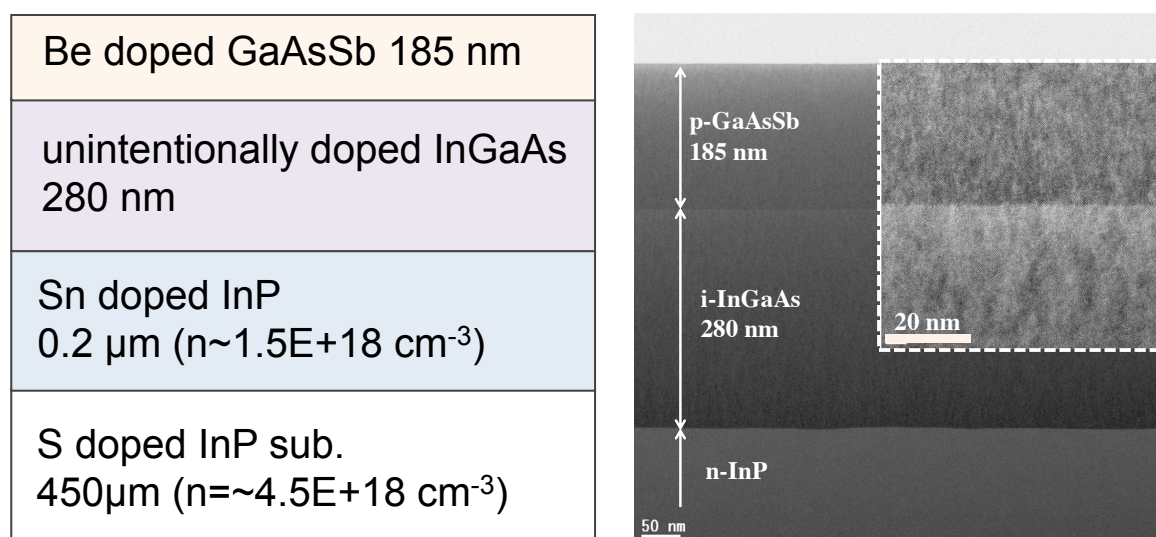


図 2.1 GaAsSb/InGaAs/InP ヘテロ構造の構造図および断面 TEM 像

ここで、測定領域は(左) $20\ \mu\text{m} \times 20\ \mu\text{m}$ 、(右) $2\ \mu\text{m} \times 2\ \mu\text{m}$ であり、自乗平均面粗さ(Root mean square; RMS)は、それぞれ $0.416\ \text{nm}$ と $0.222\ \text{nm}$ であることから、非常に平坦性の良いヘテロ構造が成長されていることが分かった。

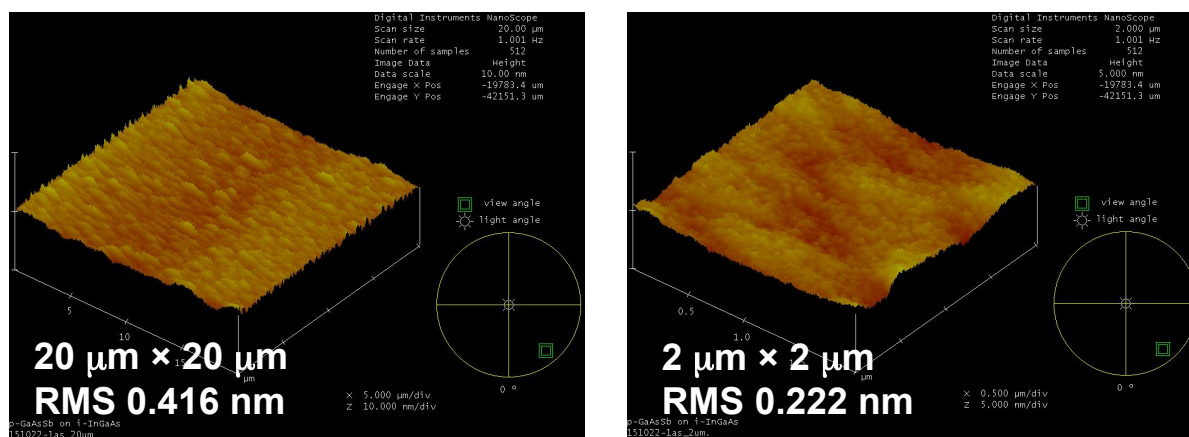


図 2.2 GaAsSb/InGaAs エピタキシャルウエハ表面の AFM 像。ここで、測定領域は(左) $20\ \mu\text{m} \times 20\ \mu\text{m}$ 、(右) $2\ \mu\text{m} \times 2\ \mu\text{m}$ である。

さらに、各層の格子整合性を明らかにするため GaAsSb/InGaAs/InP ヘテロ構造の X 線回折(X-ray diffraction; XRD)測定を行った。図 2.3 に InP 基板上的 GaAsSb/InGaAs ヘテロ構造の XRD ロッキングカーブを示す。InP (004)の反射波はブラッグ角 31.66° で観測され、p-GaAsSb (004)および i-InGaAs (004)の反射波はブラッグ角 31.63° に観測された。GaAsSb のピーク値は InP のピーク値に良く一致していることから GaAsSb の格子と InP 基板の格子は整合していることが明らかになった。図 2.4 に 2 インチウエハのフォトルミネッセンス測定 (a)ピーク波長と (b)ピーク強度をマッピングした結果を示す。ピーク波長は $1645\ \text{nm}$ 程度であり、バンドギャップ $0.75\ \text{eV}$ に相当する。この値は、報告されている GaAsSb と $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ のバンドギャップの値と同程度であり、InP 基板に狙い通りの組成を有する層を成長できていることが確認できた。図 2.4(b)にはピーク強度のマッピング結果を示す。一般的に PL の強度は、発光遷移の強さであり、欠陥密度に大きく影響される。ウエハ中心はピーク強度が強いことから、欠陥密度の少ない高品質な GaAsSb および InGaAs 層が InP 基板上に成長できていることが分かった。これらの結果は、GaAsSb/InGaAs ヘテロ構造は幾何学的に縦型 TFET の試作に十分であることを示している。

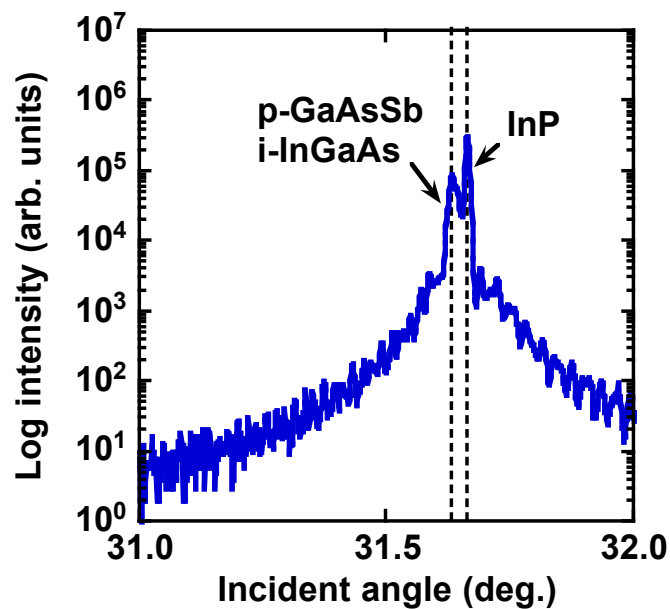


図 2.3 InP 基板上の GaAsSb/InGaAs ヘテロ構造の XRD ロッキングカーブ

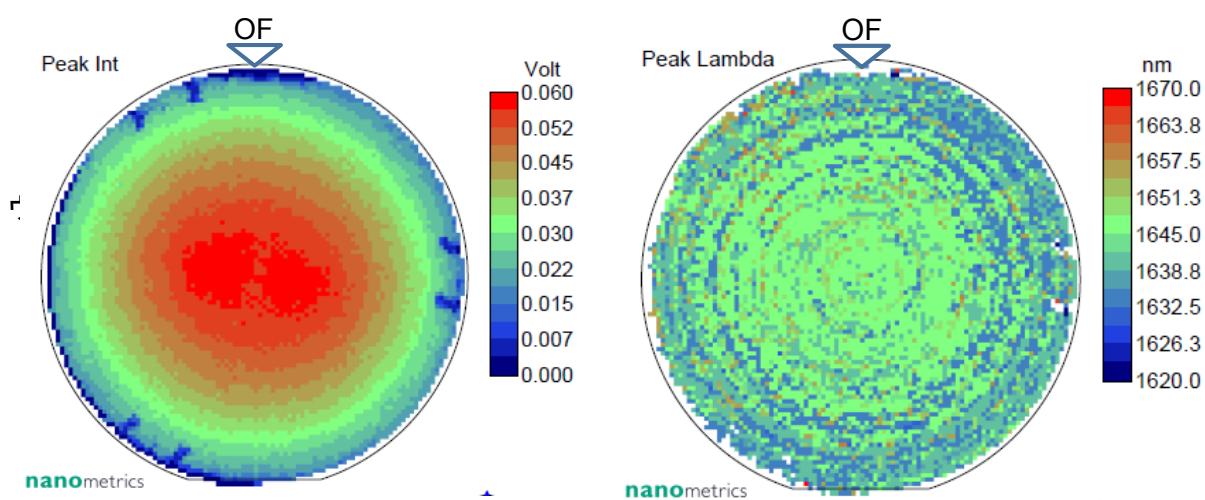


図 2.4 2 インチウエハのフォトルミネッセンス測定のア)ピーク波長と(b)ピーク強度をマッピングした結果

2.3 GaAsSb/InGaAs 縦型 TFET の作製と評価

GaAsSb/InGaAs TFET のプロセス工程と模式図を図 2.5 に示す。アセトンと IPA による炭素系パーティクル除去後に、素子分離とソース領域領域を形成するためリン酸過水($\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O} = 1:1:7$)で 90 秒間ウエットエッチングした。自然酸化膜を除去するため、硫化アンモニウム水溶液($(\text{NH}_4)_2\text{S}_x$)に室温で 1 分間浸した。この S 終端技術は InGaAs[2.3 – 2.5]や GaSb[2.6]の界面準位密度を低減する手法として一般的に用いられる。(NH₄)₂S_x 処理によってコンダクションバンド近傍の遅い準位またはコンダクションバンド内の界面準位密度低減が指摘されている。Sb 系ウエハの表面には Sb 酸化物と Ga 酸化物から構成される自然酸化膜が大気に曝されるとすぐに形成される[2.7, 2.8]。また、III-V 族化合物半導体ウエハをエピタキシャル成長させる場合、V 族元素の脱離を抑制するために、V 族元素ガスを流しながら温度を下げて成長終了する。そのため、GaAsSb 表面にはメタル Sb も多く存在する。これらは熱耐性が低いことから比較的低温の 150 °C で BENEQ 社製の原子層堆積装置(Atomic layer deposition; ALD) TFS 200 を用いて Al₂O₃ を 10 nm 堆積させた。その後、ゲート電極用メタルとして Ta を全面にスパッタリングした。CF₄ を反応ガスとした反応性イオンエッチング(Reactive ion etching; RIE)法でゲート電極をパターン形成した後、同装置を用いて O₂ プラズマ処理を施すことでレジストを完全に除去した。Ni は p-GaSb に対してオーミックコンタクトとなることが知られていることから、GaAsSb ソース領域のコンタクトとして 20 nm スパッタ装置で堆積させた。一方で、Ni は大気と触れると酸化しやすいことも知られていることから Ni 堆積後に *in-situ* で堆積可能な Pt を表面保護メタルとして 70 nm 堆積させた。ドレインコンタクトには n-type III-V 材料に対してオーミックコンタクトとなる Au を採用し、熱蒸着器を用いて裏面全面に 100 nm 蒸着した。

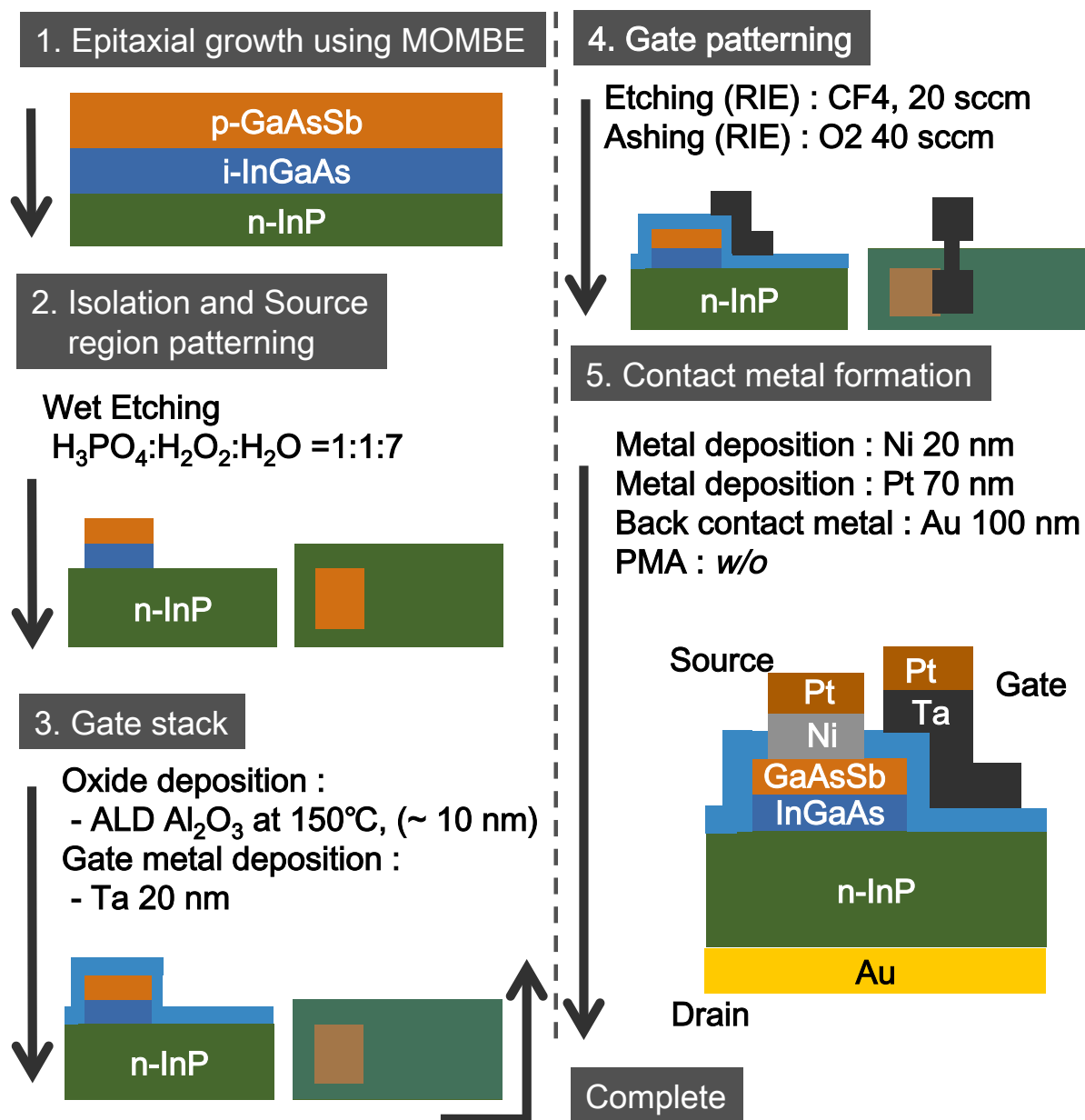


図 2.5 GaAsSb/InGaAs TFET のプロセス工程と模式図

図 2.6 に GaAsSb/InGaAs 縦型 TFET の素子分離、ソース領域、ゲート電極、ソース・ドレイン電極形成の各プロセス工程における顕微鏡観察像を示す。マスク通りにシングルゲート構造 TFET が形成されていることを確認した。さらに、図 2.7 に示す断面 SEM 像からも InP 基板上に縦型 TFET 構造が作製されていることを確認した。一方で、リン酸過水溶液のウェットエッチングは、GaAsSb 層に対しては異方性を示し、垂直にエッチングされるのに対し、InGaAs 層に対しては等方性に近いエッチングの仕方をするのが分かった。

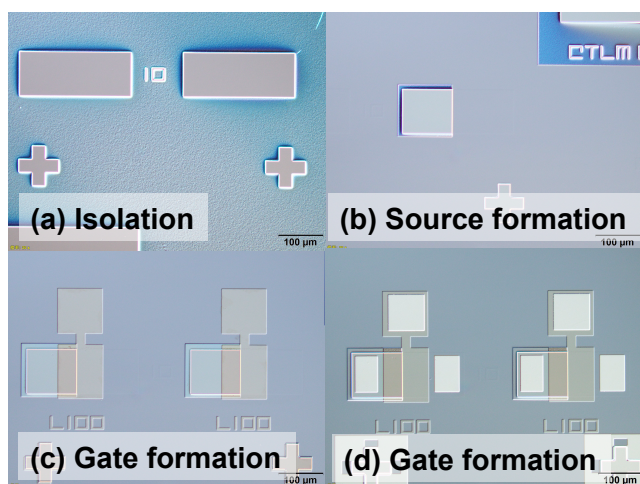


図 2.6 GaAsSb/InGaAs 縦型 TFET の素子分離、ソース領域、ゲート電極、ソース・ドレイン電極形成の各プロセス工程における顕微鏡観察像

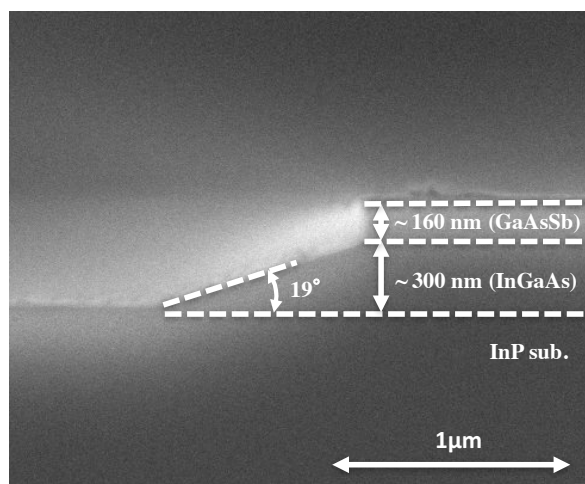


図 2.6 GaAsSb/InGaAs 縦型 TFET の断面 SEM 像

図 2.8 および 2.9 に作製した GaAsSb/InGaAs 縦型 TFET の I_D - V_G 特性および抽出した $S.S.$ 値、 I_D - V_D 特性を示す。ここで、TFET 作製後に (Post metallization anneal; PMA) を (a) 施していない、(b) 250、(c) 300、(d) 350 °C で施した。PMA を行うことによってオン電流は若干改善し、PMA 300 °C では Al_2O_3 中のスロートラップによるヒステリシスが抑制されている。400 °C 以上で PMA を施すと PN 接合が劣化し、TFET としての特性が得られなくなることが分かった。図 2.9 に PMA 温度に対するそれぞれの最小 $S.S.$ 値と ON/OFF 比をまとめた。 V_D が 300 mV と 500 mV では PMA を施すことで $S.S.$ 値および ON/OFF 比が著しく低下することが分かった。そのため、本研究ではこの後の議論において全てのサンプルで PMA を施していない。

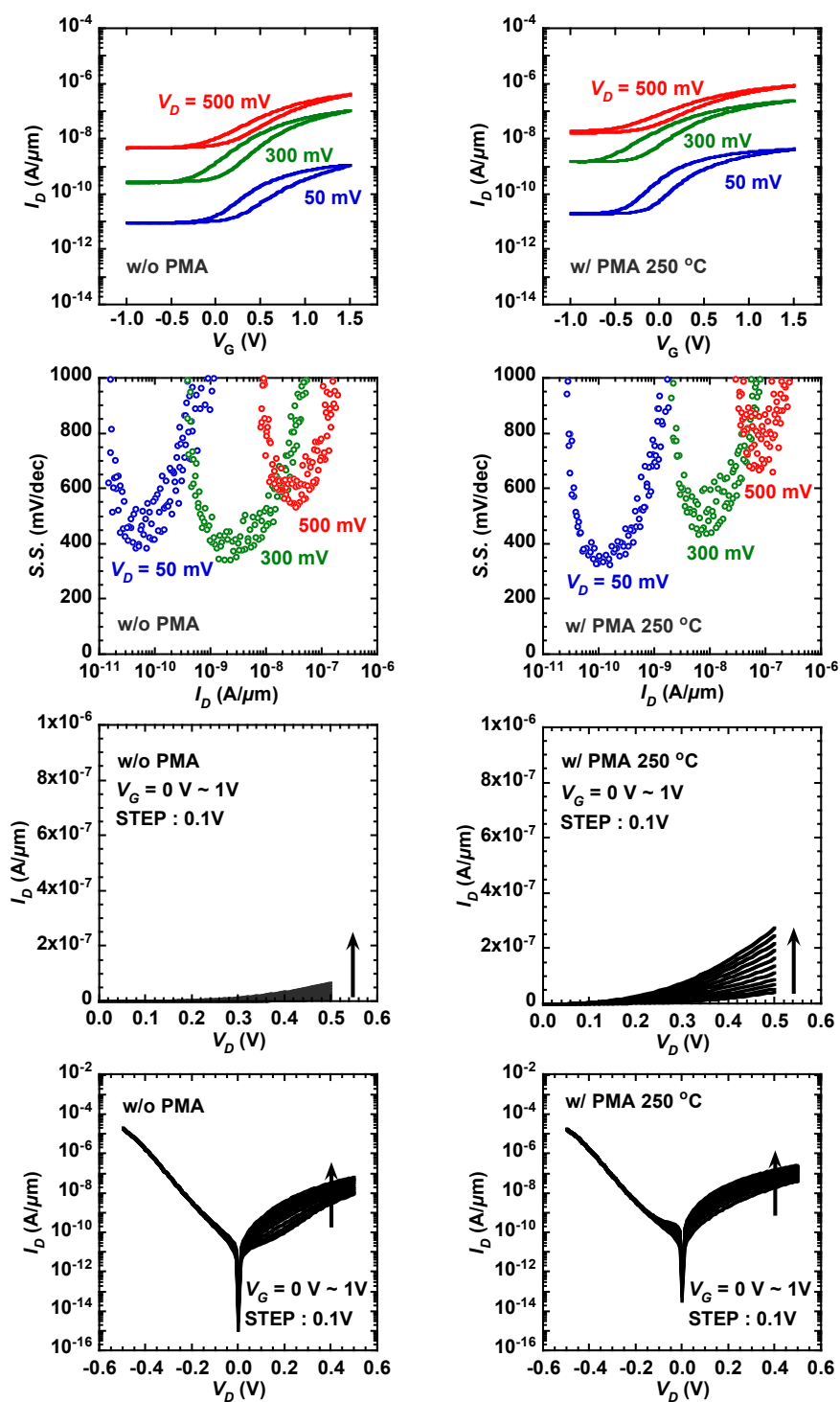


図 2.8 作製した GaAsSb/InGaAs 縦型 TFET の I_D - V_G 特性および抽出した S.S. 値、 I_D - V_D 特性;
 (a)PMA を施していない、(b)250°C の PMA を施した。

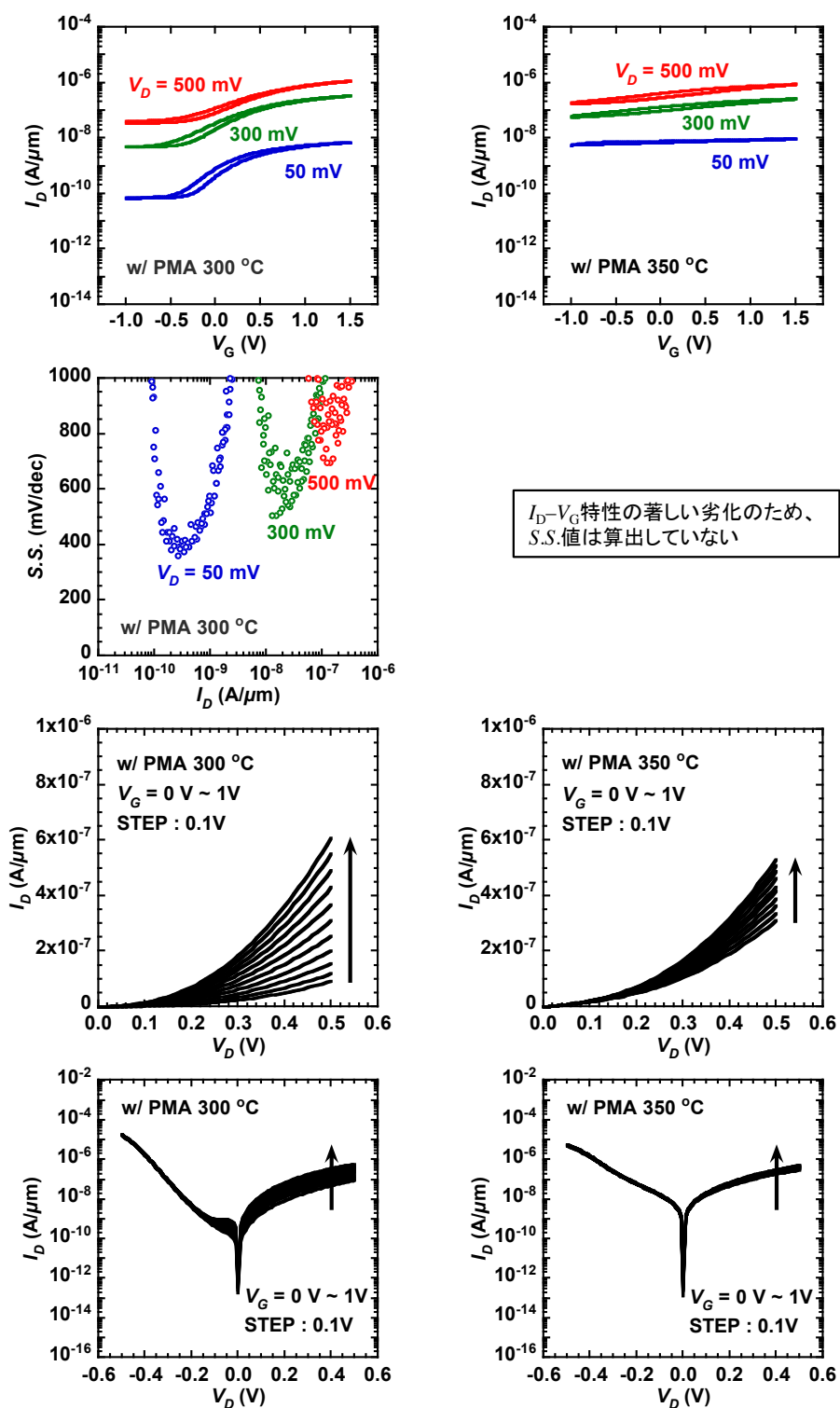


図 2.9 作製した GaAsSb/InGaAs 縦型 TFET の I_D - V_G 特性および抽出した S.S.値、 I_D - V_D 特性;
 (c)300 °C (d)250 °Cの PMA を施した。

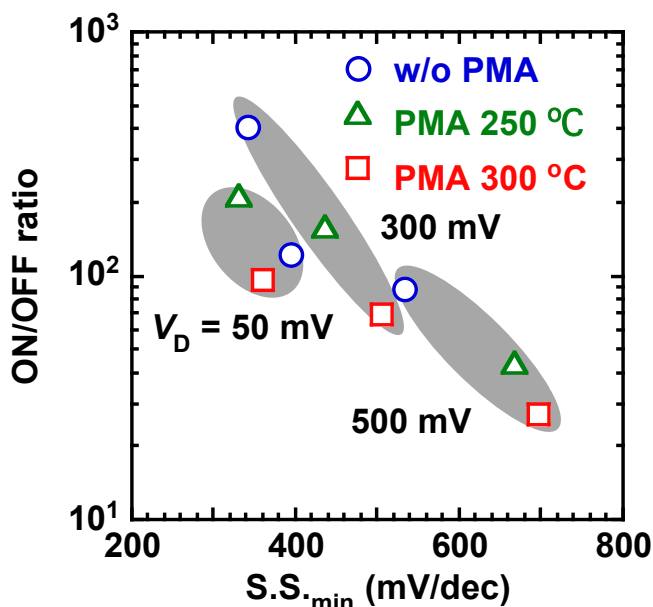


図 2.10 PMA を 250 および 300°C で施した GaAsSb/InGaAs TFET の ON/OFF 比および最小 S.S. 値のまとめ。比較として PMA を施していない TFET の結果も同時に示す。

図 2.11 は GaAsSb/InGaAs 縦型トンネル FET の I_D - V_G 特性を示す。ここで、297 K と 20 K でチャネル長とチャネル幅はそれぞれ、300 nm と 100 μm である。ドレイン電流を実線で、ゲートリーク電流を点線で示す。低温測定時においてもドレイン電流がゲートリーク電流よりも十分に高い値であることから、ゲートリーク電流が TFET のオフ電流やサブスレショルド特性に影響を与えないことを示している。また、サブスレショルド領域の I_D と S.S. 特性には強い温度依存性が確認され、これは室温付近の I_D 特性がバンド間トンネリング機構によって支配されていないことを示唆している。主にヘテロ界面近傍のトラップに起因する生成再結合 (Generation-recombination; GR) 電流によるものと示唆される。リーク電流を低減するための方法の一つは、すでにいくつかのデバイスで使用が報告されているが [2.9 – 2.12]、ソース領域の面積を小さくすることである。デバイス温度を 20 K とすることで、ソース・チャネル pn 接合のトラップに関連した生成・再結合電流を抑制し、ドレイン電流が $2.4 \times 10^{-13} \text{ A}/\mu\text{m}$ の時に最小 S.S. 値 82 mV/dec. を得た。またゲートバイアスを 1.25 V 掃引することで ON/OFF 比 4.5 桁を実現した。図 2.12 はデバイスを 20 K とした時の I_D - V_D 特性である。ここで、 V_G を 0 から 1 V まで 0.1 V 刻みで変化させた。VG を増加させるにつれ、リーク電流に対してト

ンネル電流がより支配的になり、NDR が明瞭に観測された。これはソース・チャンネル pn 接合におけるトラップを介した生成・再結合起因のリーク電流を抑制することが出来れば、20 K における TFET の電気特性を室温(300 K)においても実現出来ると予想させる。この観点から 20 K における TFET の電気特性を向上させることが必須の課題である。

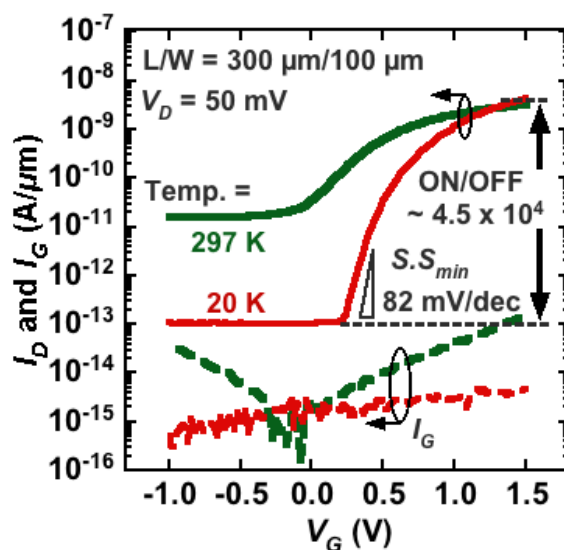


図 2.11 試作した GaAsSb/InGaAs TFET の室温(297K)および低温(20K)での I_D - V_G 特性

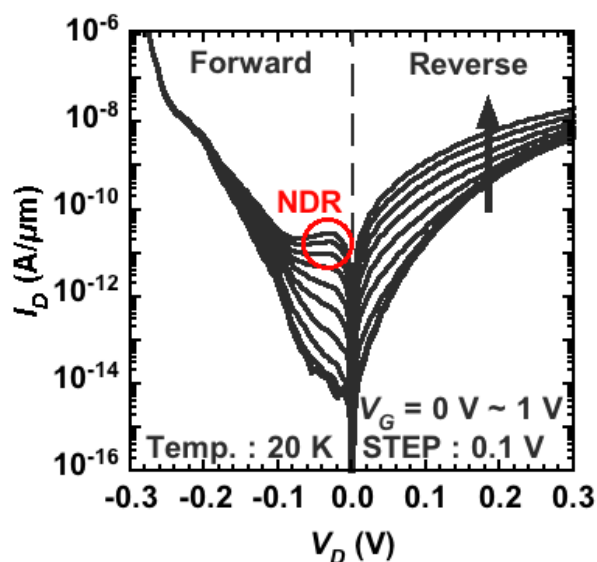


図 2.12 試作した GaAsSb/InGaAs TFET の低温(20K)での I_D - V_D 特性

2.4 まとめ

GaAsSb/InGaAs縦型TFETの実現の基礎となるGaAsSb/InGaAsヘテロ構造をMOMBE法でInP基板上にエピタキシャル成長した。InPと格子整合系であるGaAs_{0.51}Sb_{0.59}およびIn_{0.53}Ga_{0.47}Asがそれぞれ185 nm、280 nmとほぼ設計通りに成長出来ていることを確認した。このエピタキシャルウエハを用いて縦型TFETを作製した。PMA温度依存性を調べたところ、TFETに250から300 °CのPMAを施すことで若干オン電流が改善し、Al₂O₃膜の改善によりヒステリシスも抑制された。一方で、PMAによってリーク電流は増加し、その結果オンオフ比およびS.S.値の劣化が見られた。本研究ではオンオフ比およびS.S.値の値を優先し、これ以後の研究ではPMAをTFETに施していない。デバイス温度を20 Kとし、トラップを介した生成・再結合起因のリーク電流を抑制することで、オンオフ比 ~ 4桁、最小S.S.値 ~ 80 mV/dec. のp⁺GaAsSb/i-InGaAs 縦型TFETの動作を実証した。

参考文献

- [2.1] T. Hoshi et al., “Carbon doping in InGaAsSb films on (001) InP substrate using CBr₄ grown by metalorganic chemical vapor deposition,” *Journal of Crystal Growth*, vol. 380, pp. 197–204, 2013.
- [2.2] M. Mitsuhashi, T. Sato, N. Yamamoto, H. Fukano, and Y. Kondo, “Carbon reduction and antimony incorporation in InGaAsSb films grown by metalorganic molecular beam epitaxy using tris-dimethylaminoantimony,” *Journal of Crystal Growth*, vol. 311, no. 14, pp. 3636–3639, 2009.
- [2.3] R. D. Long et al., “Structural analysis, elemental profiling, and electrical characterization of HfO₂ thin films deposited on In_{0.53}Ga_{0.47}As surfaces by atomic layer deposition,” *Journal of Applied Physics*, vol. 106, no. 8, p. 84508, 2009.
- [2.4] R. Suzuki et al., “Effect of sulfur treatment on HfO₂/InGaAs MOS interfaces properties,” in *Extended Abstract International Conference Solid State Devices and Materials*, 2011, pp. 941–942.
- [2.5] M. Yokoyama et al., “Sulfur cleaning for (100), (111) A, and (111) B InGaAs surfaces with In content of 0.53 and 0.70 and their Al₂O₃ / InGaAs MOS interface properties,” no. 100, pp. 167–170, 2013.
- [2.6] L. Zhao, Z. Tan, R. Bai, N. Cui, J. Wang, and J. Xu, “Effects of sulfur passivation on GaSb metal-oxide-semiconductor capacitors with neutralized and unneutralized (NH₄)₂S solutions of varied concentrations,” *Applied Physics Express*, vol. 6, no. 5, pp. 2–6, 2013.
- [2.7] A. Ali et al., “Fermi level unpinning of GaSb (100) using plasma enhanced atomic layer deposition of Al₂O₃,” *Applied Physics Letters*, vol. 97, p. 143502, 2010.

- [2.8] G. P. Schwartz, G. J. Gualtieri, J. E. Griffiths, C. D. Thurmond, and B. Schwartz, "Oxide-Substrate and Oxide-Oxide Chemical Reactions in," *journal of electrochemisical society*, vol. 127, no. 11, pp. 2488–2499, 1980.
- [2.9] R. Pandey, S. Mookerjee, and S. Datta, "Opportunities and Challenges of Tunnel FETs," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 12, pp. 2128–2138, 2016.
- [2.10] T. Yu, J. T. Teherani, D. A. Antoniadis, and J. L. Hoyt, " $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}_{0.5}\text{Sb}_{0.5}$ Quantum-Well Tunnel-FETs With Tunable Backward Diode Characteristics," *IEEE Electron Device Letters*, vol. 34, no. 12, pp. 1503–1505, 2013.
- [2.11] M. Fujimatsu, H. Saito, and Y. Miyamoto, "71 mV/dec of sub-threshold slope in vertical tunnel field-effect transistors with GaAsSb/InGaAs heterostructure," *IPRM*, vol. 3, pp. 25–28, 2012.
- [2.12] E. Memisevic, J. Svensson, M. Hellenbrand, E. Lind, and L. Wernersson, "Vertical InAs / GaAsSb / GaSb Tunneling Field-Effect Transistor on Si with $S = 48 \text{ mV} / \text{decade}$ and $I_{\text{on}} = 10 \mu\text{A} / \mu\text{m}$ for $I_{\text{off}} = 1 \text{ nA} / \mu\text{m}$ at $V_{\text{DS}} = 0.3 \text{ V}$," *IEDM*, p. 500, 2016.

Chapter 3

構造評価および TFET 特性向上への指針

3.1 導入

前章において GaAsSb/InGaAs 縦型 TFET の動作が実証された。一方で、その特性は低温 20 K とすることでリーク電流成分を抑制したとしても、 $S.S.$ 値は約 80 mV/dec であった。この結果はリーク電流抑制の工夫を施したとしても、材料特性を十分に活かすことが出来ていないことを示唆しており、現在の GaAsSb/InGaAs TFET の電気特性を理解し、さらに性能、特に $S.S.$ 値を向上させるためには、電気特性に及ぼす決定因子となる構造パラメータを明らかとすることが最も重要となる。ヘテロ接合 TFET では、ソース領域の不純物濃度、ソース・チャネル接合での不純物分布の急峻性、ヘテロ接合からの不純物分布の相対位置、およびヘテロ接合近傍の組成変化の幅が構造パラメータとなる。これまで、 $\text{GaAs}_{0.4}\text{Sb}_{0.6}/\text{In}_{0.65}\text{Ga}_{0.35}\text{As}$ TFETs においてヘテロ接合付近のソース不純物濃度と組成分布が電気特性に与える影響を実験と 2 次元 TCAD シミュレーションから報告された例はあるが、定量的な評価は不十分である[3.1]。

そこで、本章では SIMS 分析および STEM-EDX 分析によって、前章において作製した GaAsSb/InGaAs TFET のソース・チャネル領域の構造パラメータを評価した。さらに、それら構造パラメータが GaAsSb/InGaAs TFET の電気特性に与える影響を 2 次元 TCAD シミュレーションから定量的に評価することで、今後の GaAsSb/InGaAs TFET の性能向上のための設計指針を明確化した。

3.2 GaAsSb/InGaAs ヘテロ接合の評価

$S.S.$ および I_{ON} のような TFET の特性を決定づける因子を明確にするために、SIMS 深さ方向分析を行い、GaAsSb/InGaAs ヘテロ接合の組成および不純物プロファイルの評価した。ここで、SIMS 分析の一次イオンとしては O_2^+ イオンを用いて、空間分解能を良くするために比較的低い入射角 15° で測定した[3.2, 3.3]。図 3.1 に GaAsSb/InGaAs ヘテロ界面における Ga、As、In、Sb および不純物の Be 原子の SIMS プロファイル

を示す。SIMS プロファイルから p⁺GaAsSb のドーパントである Be の濃度は約 $1 \sim 3 \times 10^{19} \text{ cm}^{-3}$ であり、ソース/チャンネル界面近傍の急峻性は 11 nm/dec とエピタキシャル成長中に不純物を気相拡散させたとしては比較的急峻であることが分かった。化合物半導体の構成原子もヘテロ接合近傍で GaAsSb から InGaAs に急峻に変化していることが確認された一方で、InGaAs 層への Sb の混入は十分に抑制されているものの、In は GaAsSb 層に混入していることが分かった。GaAsSb/InGaAs ヘテロ接合近傍の組成比を求めるため、原子量に比例したコントラストを得ることが可能な高角散乱環状暗視野走査透過顕微鏡像(High-angle Annular Dark Field Scanning TEM)像を図 3.2 に示す。ここで、HAADF-STEM 像は、細く絞った電子線を試料に走査しながら当て、透過電子のうち高角に散乱したものを環状の検出器で検出することにより得られる像であり、通常の STEM 像では重い元素は暗く写るのに対して、HAADF-STEM 像では明るく写るのが特徴となる。STEM-EDX で評価したヘテロ界面近傍の Ga、As、In、および Sb 組成プロファイルを図 3.3 に示す。ここで、組成比(原子数%)は特性 X 線の強度から算出した。組成物は界面付近で急峻に変化しており、組成の変化幅は 10nm 未満であると見積ることが出来た。

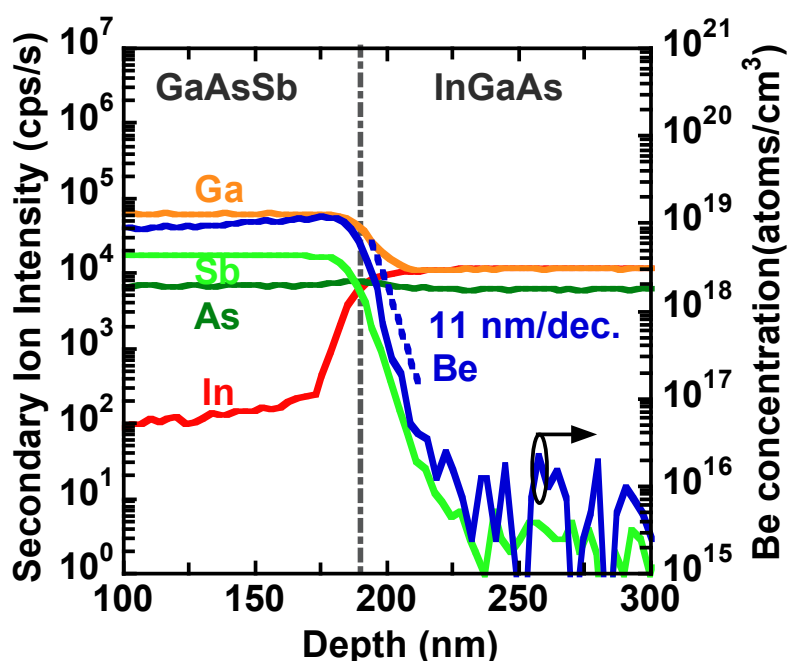


図 3.1 GaAsSb/InGaAs ヘテロ接合の Ga、Sb、As、In および不純物である Be の SIMS 深さ方向分析結果

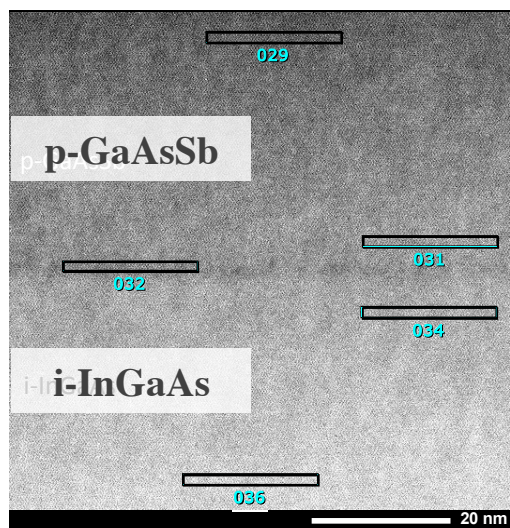


図 3.2 GaAsSb/InGaAs ヘテロ接合 STEM-EDX 像

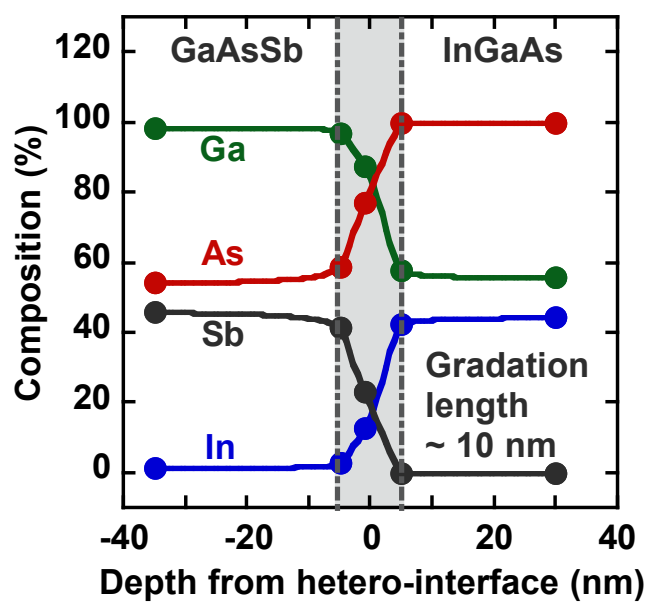


図 3.3 STEM-EDX 分析の特性 X 線の強度から算出した GaAsSb/InGaAs
ヘテロ接合近傍の組成分布

3.3 TCAD シミュレーション環境

現在の GaAsSb/InGaAs TFET の電気特性を理解し、さらに性能を向上させるためには、電気特性に及ぼす組成や不純物プロファイルの影響を定量的に検討することが重要である。そこで、電子と正孔電流の連続の方程式を Poisson の式と連立し、適当な境界条件のもとで自己無撞着に解くことで半導体デバイスの解析が可能な TCAD シミュレータ(Synopsys Sentaurus Device)[3.4]を使用して 2 次元デバイスシミュレーションを行った。ソース・チャネル接合におけるトンネル確率の計算はキャリアがトンネルする位置とエネルギーでの局所(虚数)波数を用いて、WKB (Wentzel-Kramers-Brillouin approximation)近似から計算した[3.5]。TFET の計算においては、バンドギャップ中の局所(虚数)波数とエネルギーの関係は重要な役割を果たす。そこで、Two-dispersion model を採用し、伝導帯と価電子帯との間の局所(虚数)波数とエネルギーの関係を補完した[3.6]。さらに、トンネル電流を正確に計算するためには、適切なトンネリング経路を特定する必要がある。エサキダイオードの様な構造の場合、トンネル経路上の各メッシュ点におけるバンドプロファイルの電界は常に一定であると仮定している局所トンネリングモデルで十分であるが、ゲート構造が加わった TFET においては局所トンネリングモデルでは実験結果と大幅に異なる計算結果となることが知られている[3.7, 3.8]。これは、局所トンネリングモデルの場合、MOS 界面で電子がトンネルする先がないにも関わらず、非常に強い電界のためにトンネル発生レートを多く見積もってしまうためである。このような問題を解決するため、トンネル経路上のバンドプロファイルの平均の電界を利用する非局所トンネリングモデルが提案されている。

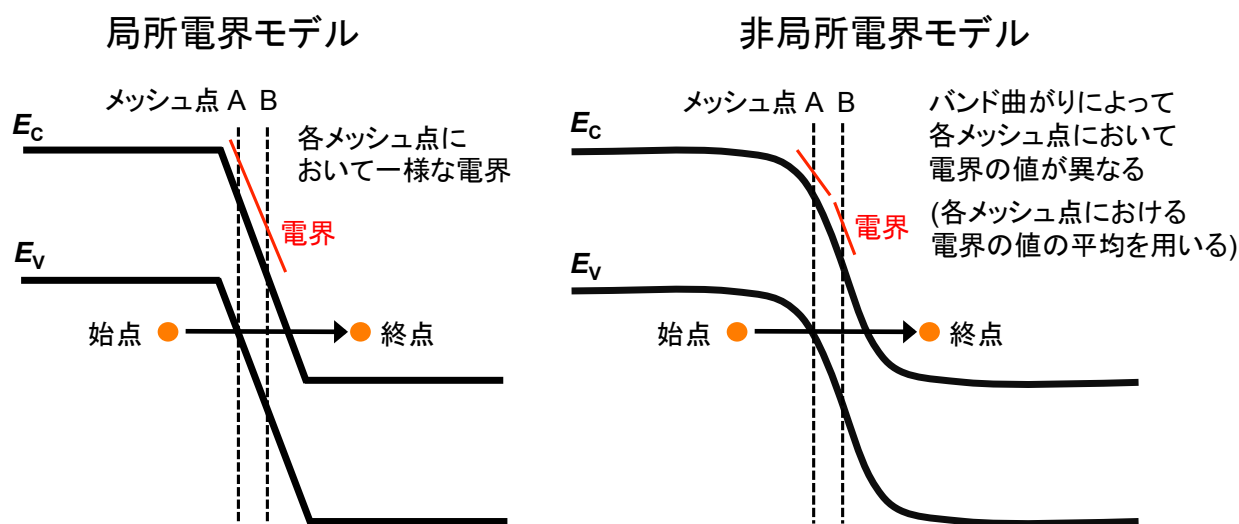


図 3.4 局所トンネルモデルと非局所トンネルモデルの概念

局所トンネルモデルと非局所トンネルモデルの概念を図 3.4 にまとめた。非局所トンネルモデルを用いることで、実際に Si-TFET[3.7]や InGaAs ホモ接合 TFET[3.9]の系において実験とシミュレーション結果が良く一致することが報告されている。そこで、本研究においても非局所トンネリングモデルを採用した。

TFET の電気特性を正確に計算するためには、各材料におけるバンドギャップと電子親和力が重要となる。InP、GaAs、InAs、GaSb、InSb の各材料パラメータを表 3.1 に示す[3.10–3.14]。バンドギャップと平均の価電子帯の位置は式 3.1、式 3.2 および式 3.3 に示した計算式から計算した[3.15]。

$$E_g(\text{In}_{(x)}\text{Ga}_{(1-x)}\text{As}_{(1-y)}\text{Sb}_{(y)}) = (1-x)E_g(\text{GaAs}_{(1-y)}\text{Sb}_{(y)}) + xE_g(\text{InAs}_{(1-y)}\text{Sb}_{(y)}) - x(1-x)[(1-y)C_{\text{InGaAs}} + yC_{\text{InGaSb}}] - y(1-y)[(1-x)C_{\text{GaAsSb}} + xC_{\text{InGaAs}}] \quad 3.1$$

$$E_{V,av}(\text{In}_{(x)}\text{Ga}_{(1-x)}\text{As}_{(1-y)}\text{Sb}_{(y)}) = (1-x)E_{V,av}(\text{GaAs}_{(1-y)}\text{Sb}_{(y)}) + xE_{V,av}(\text{InAs}_{(1-y)}\text{Sb}_{(y)}) - x(1-x)[(1-y)C_{\text{InGaAs}} + yC_{\text{InGaSb}}] - y(1-y)[(1-x)C_{\text{GaAsSb}} + xC_{\text{InGaAs}}] \quad 3.2$$

$$E_{V,av}(\text{GaAs}_{(1-y)}\text{Sb}_{(y)}) = (1-y)E_{V,av}(\text{GaAs}) + yE_{V,av}(\text{GaSb})$$

$$E_{V,av}(\text{InAs}_{(1-y)}\text{Sb}_{(y)}) = (1-y)E_{V,av}(\text{InAs}) + yE_{V,av}(\text{InSb})$$

$$C_{\text{InGaAs}} = 3 \frac{a_{\text{InAs}} - a_{\text{GaAs}}}{a_{\text{InP}}} \times (a_{v, \text{InAs}} - a_{v, \text{GaAs}})$$

$$C_{\text{InGaSb}} = 3 \frac{a_{\text{InSb}} - a_{\text{GaSb}}}{a_{\text{InP}}} \times (a_{v, \text{InSb}} - a_{v, \text{GaSb}}) \quad 3.3$$

$$C_{\text{GaAsSb}} = 3 \frac{a_{\text{GaAs}} - a_{\text{GaSb}}}{a_{\text{InP}}} \times (a_{v, \text{GaAs}} - a_{v, \text{GaSb}})$$

$$C_{\text{InAsSb}} = 3 \frac{a_{\text{InAs}} - a_{\text{InSb}}}{a_{\text{InP}}} \times (a_{v, \text{InAs}} - a_{v, \text{InSb}})$$

これらの式を用いて計算した $\text{In}_{(1-x)}\text{Ga}_{(x)}\text{As}$ と $\text{GaAs}_{(1-y)}\text{Sb}_{(y)}$ の組成比に対する価電子帯(E_V)と伝導帯(E_C)の真空準位からの位置を図 3.5 に示す。TCAD シミュレータには、これら価電子帯(E_V)と伝導帯(E_C)の真空準位からの位置を電子親和力とバンドギャップの値に計算し直し導入した。

表 3.1 InP, GaAs, InAs, GaSb, InSb の各材料パラメータ

Material parameters	Symbol	Unit	InP	InSb	GaSb	InAs	GaAs
Lattice constant ($T = 300$ K)	a'	0.1 nm	5.8697 [3.10]	6.4794 [3.10]	6.0959 [3.10]	6.0583 [3.10]	5.6533 [3.10]
Bandgap energy ($T = 0$ K), Γ	E_g	eV	1.4236 [3.10]	0.2350 [3.10]	0.8120 [3.10]	0.4300 [3.11]	1.5190 [3.10]
Hydrostatic deformation potential	a_v	eV	1.27 [3.12]	0.36 [3.12]	0.79 [3.12]	1.00 [3.12]	1.16 [3.12]
Hydrostatic deformation potential	a_c	eV	-5.04 [3.12]	-6.17 [3.12]	-6.85 [3.12]	-5.08 [3.12]	-7.17 [3.12]
Average of three uppermost valence band at Γ	$E_{v,av}$	eV	-5.96 -	-5.23 -	-5.28 -	-5.62 -	-5.78 -
Electron affinity	χ_e	eV	4.50 [3.13]	4.72 [3.13]	4.21 [3.13]	5.06 [3.13]	4.15 [3.13]
Effective conduction band density of states	N_C	cm ⁻³	5.7.E+17 [3.14]	4.2E+16 [3.14]	2.1E+17 [3.14]	8.7E+16 [3.14]	4.7E+17 [3.14]
Effective valence band density of states	N_V	cm ⁻³	1.1.E+19 [3.14]	7.3E+18 [3.14]	1.8E+19 [3.14]	6.6E+18 [3.14]	9.0E+18 [3.14]

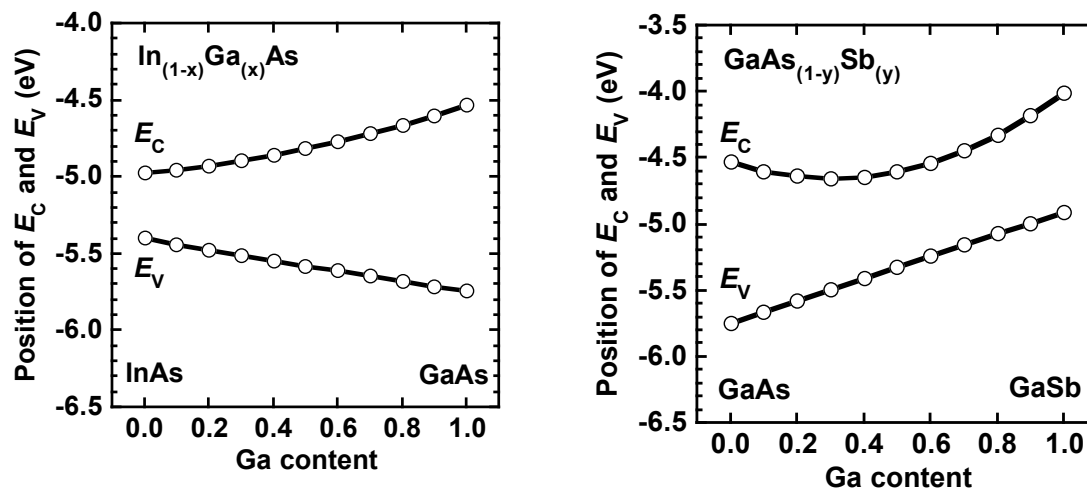


図 3.5 計算した $\text{In}_{(1-x)}\text{Ga}_{(x)}\text{As}$ と $\text{GaAs}_{(1-y)}\text{Sb}_{(y)}$ の組成比に対する価電子帯(E_V)と伝導帯(E_C)の真空準位からの位置

また、界面準位に関しては、TFET の性能に関わる重要な要素の 1 つである。一方、チャネル層の伝導帯近傍の界面準位のみが n-TFET の電気特性に影響を及ぼし、TFET の電気特性への影響は通常の MOSFET よりも小さいことが最近報告されている[3.16]。したがって、本章では議論を簡略化するために、界面準位のモデルは TCAD シミュレータには導入していない。そのため、界面準位やその他の欠陥起因のリーク電流は考慮しておらず、純粹にトンネリング機構のみ計算した。ここで、界面量子化などの量子力学的効果は考慮していない。伝導帯の DOS mass (m_c)と価電子帯の DOS mass (m_v)は、それぞれ $m_c = 0.0411$ 、 $m_v = 0.052$ を用いた。現在の実験構造をシミュレーションするため、シングルゲート構造を仮定し計算を行った。シミュレーション構造およびバンド構造とチャネル領域への電子のトンネル発生レートを図 3.6 に示す。ソース領域として厚さ 60 nm の p^+ -GaAsSb ($3 \times 10^{19} \text{ cm}^{-3}$)、チャネル領域として厚さ 100 nm の i -InGaAs ($4 \times 10^{16} \text{ cm}^{-3}$)、ドレイン領域として厚さ 50 nm の n^+ -InGaAs ($1 \times 10^{19} \text{ cm}^{-3}$)を定義した。ドレイン領域の材料はシミュレーションモデルと実験構造の違いであるが、チャネル・ドレインのヘテロ構造にかかわらず、同じ I_D -(V_G - V_{OFF})特性が得られることを確認した。現在の TFET のゲート絶縁膜である厚さ 10 nm の Al_2O_3 に相当する実効酸化膜厚 (Effective oxide thickness; EOT)を有する厚さ 5.8 nm の SiO_2 をゲート絶縁膜とした。ソース領域の価電子帯端から同じエネルギー位置のチャネル領域の伝導帯端を結ぶ距離がトンネル距離であり、このトンネル距離が

最も短い位置で電子のトンネル発生レートが最も大きくなっており、正しく計算されていることが確認された。

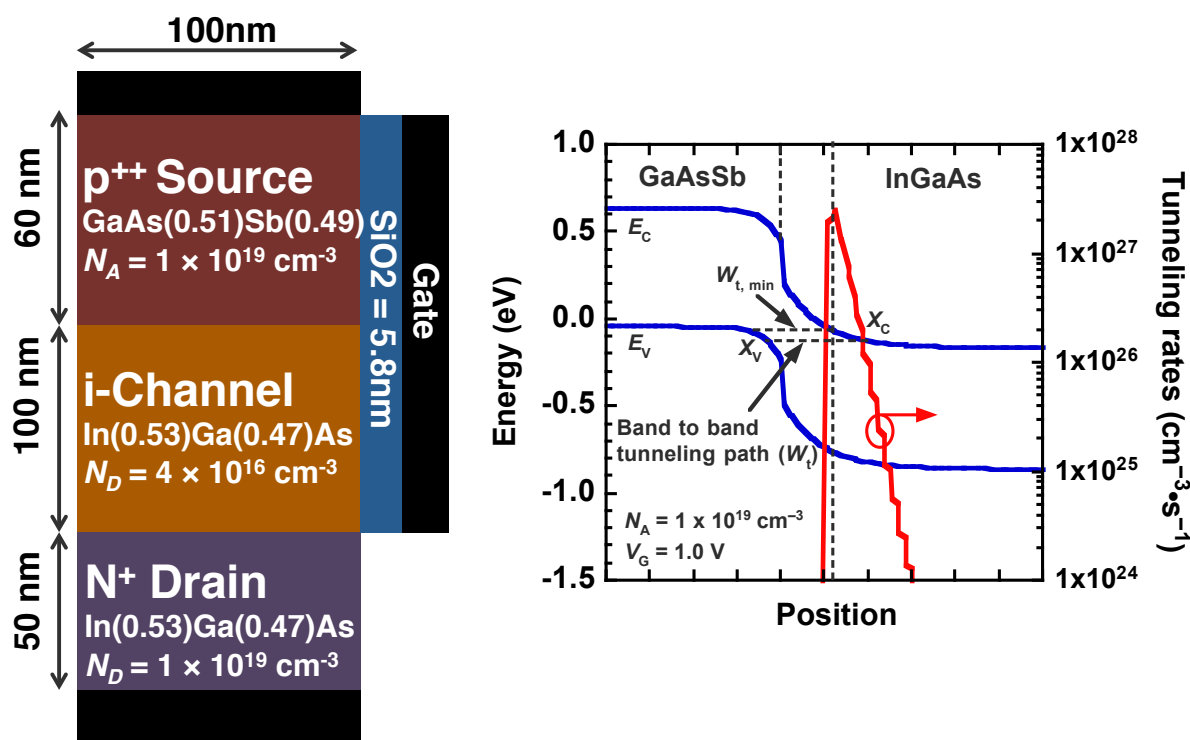


図 3.6 p⁺GaAsSb/i-InGaAs/n-InGaAs 縦型 TFET のシミュレーション構造

3.4 組成分布が GaAsSb/InGaAs TFET の電気特性に与える影響

組成プロファイルは、実験データに基づいて Gain a を用いてシグモイド関数としてモデル化した。図 3.7 に組成の変化幅を 10 nm としてモデル化した組成プロファイル(左)と組成の変化幅を 0 から 30 nm まで変化させた様子(右)を示す。このような組成プロファイルを TCAD シミュレータに導入し計算した GaAsSb/InGaAs TFET の I_D - V_G 特性を図 3.8 に示す。比較のために Chapter 2 で作製した GaAsSb/InGaAs TFET の I_D - V_G 特性を白丸線で同時に示した。ここで、実験的に得られた I_D - V_G 特性は、生成再結合によるリーク電流を十分に抑制することが出来れば、20 K での測定結果を室温環境下においても実現出来るという仮定のもと、20 K での測定結果を示している。全ての I_D - V_G 特性は ITRS 2013[3.17]に従って $I_D = 1 \times 10^{-11}$ A/ μ m となる

V_G をオフ電圧 $V_{\text{OFF}} = 0 \text{ V}$ となるようにシフトさせた。 I_{ON} は $V_G = 0.5 \text{ V}$ の時の I_D の値として定義した。GaAsSb/InGaAs TFET の I_{ON} は、組成の変化幅が 0 から 15 nm まで増加するにつれて、 1.2×10^{-8} から $7.4 \times 10^{-9} \text{ A}/\mu\text{m}$ にまで減少することが分かった。一方で、実験的に得られた GaAsSb/InGaAs TFET の I_D - V_G 特性と、同程度の組成変化幅(10 nm)を導入した結果を比較すると、実験的に得られた I_{ON} は一桁近く低い値であることが分かった。図 3.9 に I_D の関数としてシミュレーション結果から抽出した S.S.値を示す。 I_D が $1 \times 10^{-8} \text{ A}/\mu\text{m}$ と高い領域では、組成変化幅が 0 nm のとき S.S.値が 351 mV/dec.であるのに対して、組成変化幅を 15 nm とすると S.S.値は 473 mV/dec.であり 35%の劣化が顕著に現れた。一方でオフ電流($1 \times 10^{-11} \text{ A}/\mu\text{m}$)での S.S.値は組成変化幅が 0 nm のとき 108 mV/dec であるのに対して、組成変化幅を 15 nm の場合も 125 mV/dec であり、15%程度の劣化にとどまっていることが分かった。白丸線は、20 K での実験結果から抽出した S.S.値を示している。組成の変化幅は I_{ON} と S.S.特性の両方をわずかに劣化させるが、実験データを説明するには十分ではないことが分かった。これは図 3.10 に示す様に組成分布を導入することで、ソース領域とチャネル領域の界面でバンドは非連続的な変調から、連続的な変調から変わるものの電子がトンネリングするエネルギー帯のバンドは組成分布によって殆ど変化していないためである。

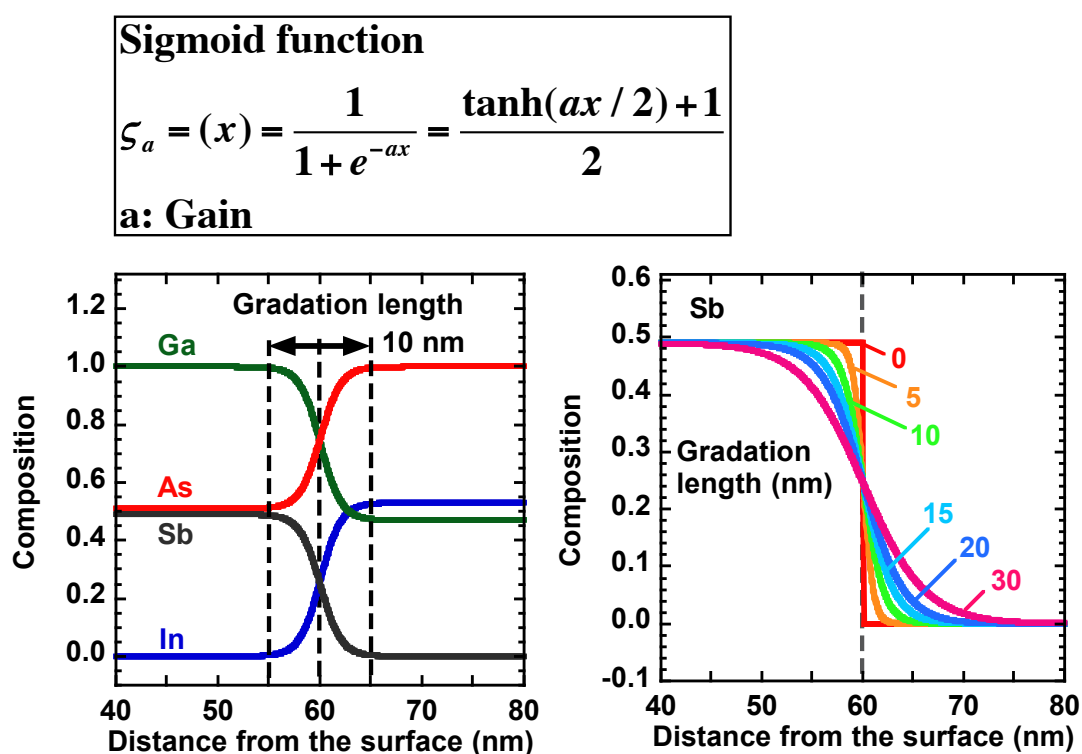


図3.7組成の変化幅を10 nmとしてモデル化した組成プロファイル(左)と組成の変化幅を0 から30 nmまで変化させた様子(右)

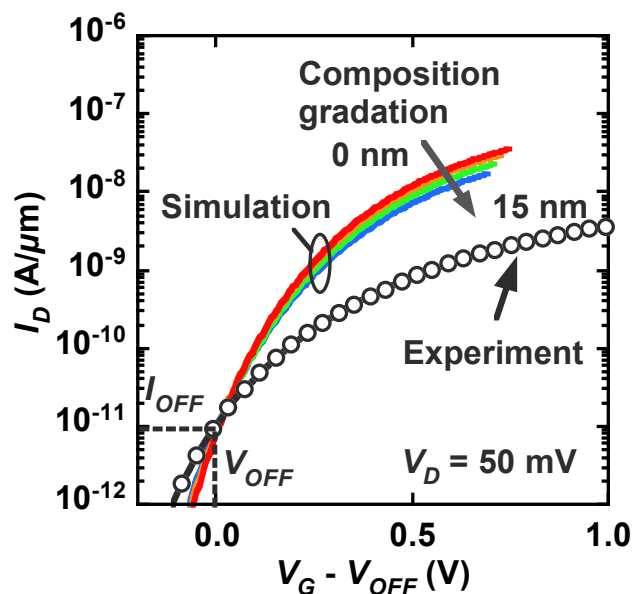


図 3.8 組成プロファイルを TCAD シミュレータに導入し計算した GaAsSb/InGaAs TFET の I_D - V_G 特性および実験的に得られた I_D - V_G 特性

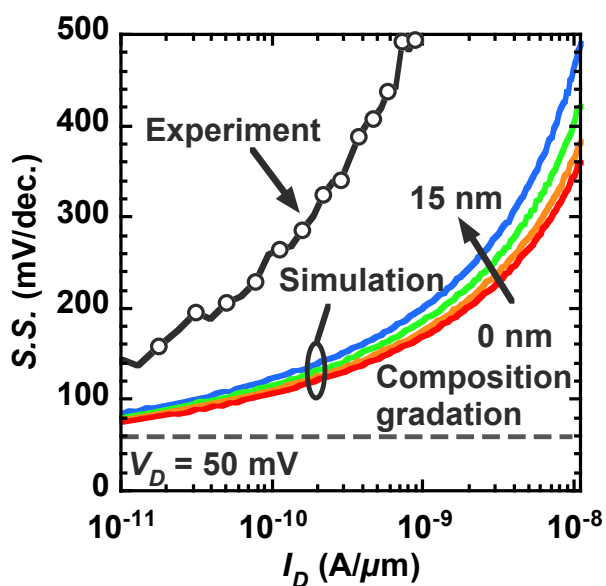


図 3.9 I_D の関数として I_D - V_G 特性から抽出した S.S. 値

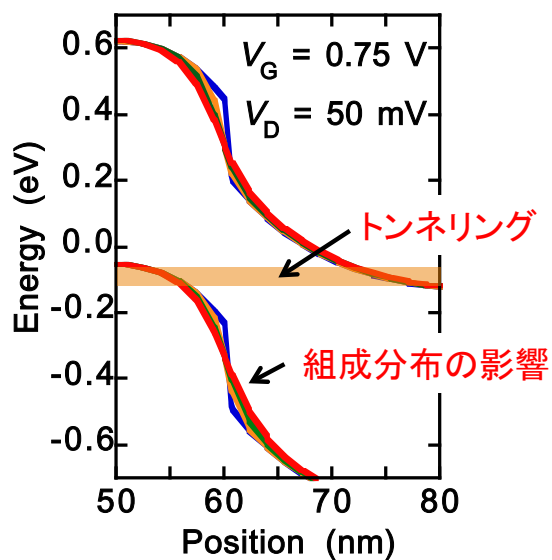


図 3.10 GaAsSb/InGaAs ヘテロ界面におけるバンド構造を組成分布の有無で比較した

3.5 不純物分布が GaAsSb/InGaAs TFET の電気特性に与える影響

次に、ソース・チャネル接合近傍の不純物プロファイルが GaAsSb/InGaAs TFET の電気特性に与える影響を調べた。不純物分布のパラメータとしては、ソース・チャネル接合での不純物分布の急峻性、ヘテロ接合からの不純物分布の相対位置の揺らぎが挙げられる。まず、ソース・チャネル接合での不純物分布の急峻性の揺らぎについて検討した。図 3.11 に実験的に得られた SIMS プロファイルをベースにしてモデル化した不純物分布を示す。ここで、ソース領域とソース・チャネル界面の不純物濃およびチャネル領域の不純物濃度を、それぞれ、 1×10^{19} 、 1×10^{19} と $4 \times 10^{16} \text{ cm}^{-3}$ と仮定し、不純物濃度の急峻性は $0 \sim 15 \text{ nm/dec}$ まで変化させた。また、実験的に得られた組成変化幅 10 nm も同時に考慮した。図 3.12 は、組成および不純物プロファイルを同時に考慮した $I_D - (V_G - V_{OFF})$ 特性の計算結果である。不純物プロファイルの急峻性が 5 nm/dec を以上に増加すると I_{ON} 及び $S.S.$ 値が著しく劣化することが分かった。ソース・チャネル接合で突然濃度が変わる 0 nm/dec の場合、オン電流は $1.2 \times 10^{-8} \text{ A}/\mu\text{m}$ であるのに対し、不純物濃度の急峻性を 10 nm/dec とした場合、オン電流は一桁減少し $1.4 \times 10^{-9} \text{ A}/\mu\text{m}$ となった。白丸線は、作製した GaAsSb/InGaAs TFET の測定温度 20 K の結果を示している。ここで、GaAsSb/InGaAs ヘテロ接合における不純物プロファイル急峻性は SIMS 分析の結果 11 nm/dec である。作製した GaAsSb/InGaAs TFET と同様の急峻性の不純物プロファイルを導入したシ

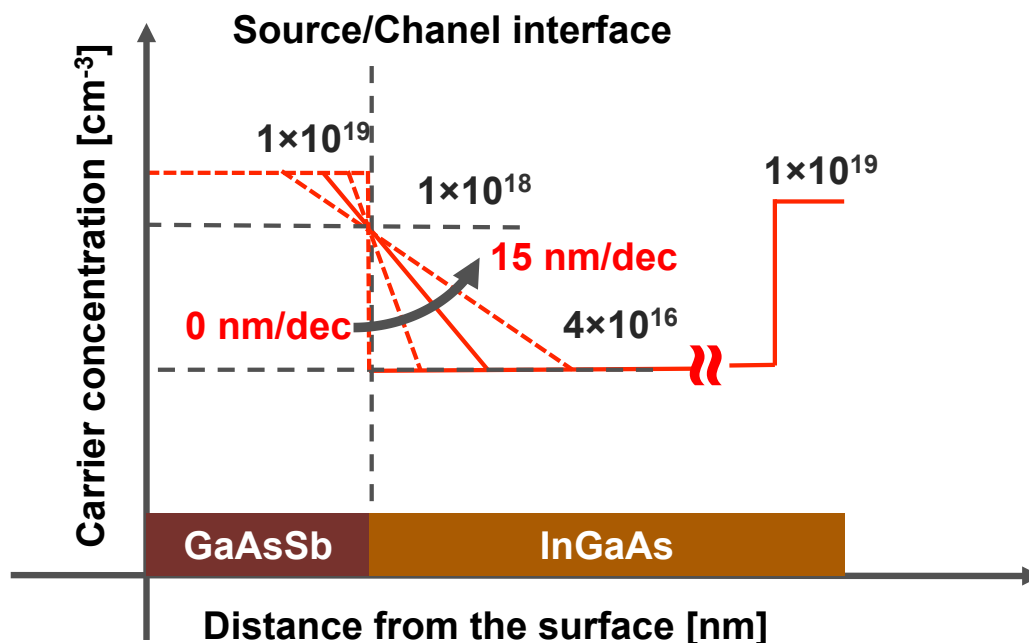


図 3.11 実験的に得られた SIMS プロファイルをベースにしてモデル化した不純物分布

ミュレーション結果は、実験的に得られた I - V 特性をよく説明できることが分かった。これは図、3.13 に示す様に不純物急峻性を劣化させることによって、ソース・チャンネル接合のソース側のバンドが大きく変化し、電子のトンネリング距離に強く影響するためである。以上の結果から、GaAsSb/InGaAs TFET の電気特性に大きく寄与するのは、組成分布よりはむしろ不純物分布の急峻性であることが分かった。また、より高い I_{ON} を実現するためには、5 nm/dec 以下の急峻性を得ることが重要であることが見出された。

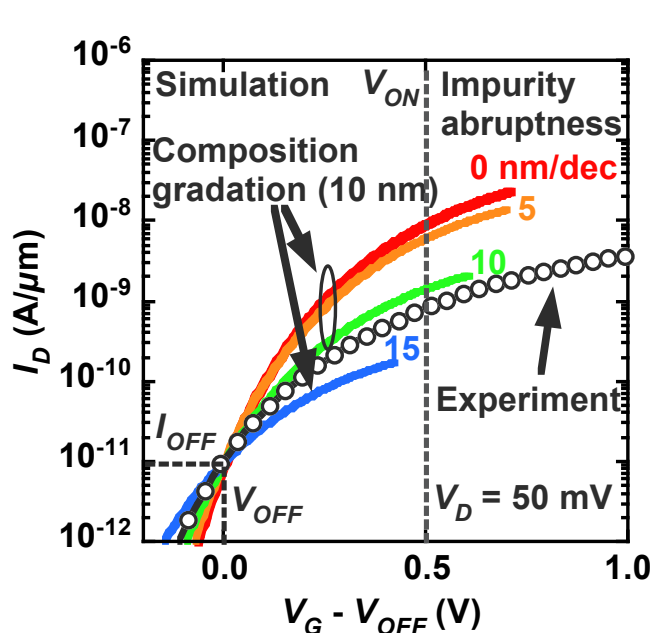


図 3.12 組成および不純物プロファイルを同時に考慮した I_D - $(V_G - V_{OFF})$ 特性の計算結果

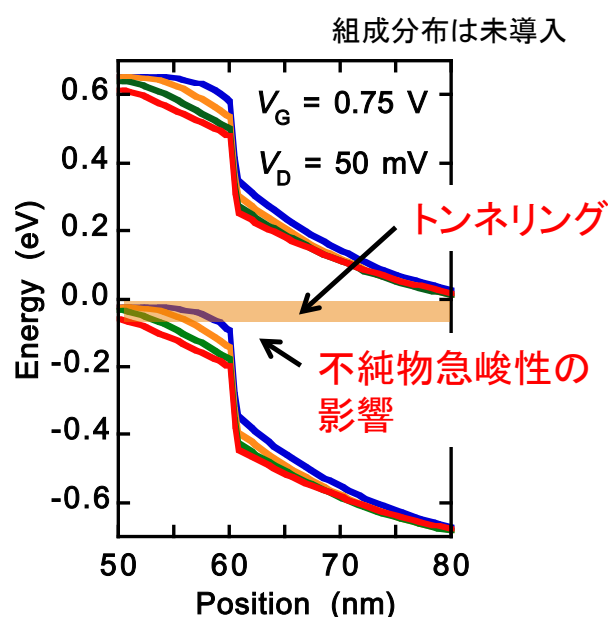


図 3.13 GaAsSb/InGaAs ヘテロ界面におけるバンド構造を不純物分布の急峻性で比較した

図 3.14 は不純物プロファイルの急峻性を関数として、組成比プロファイルを TCAD シミュレータに導入した場合と導入していない場合の GaAsSb/InGaAs TFET の $I_D = 1 \times 10^{-11}$ A/ μ m において抽出した $S.S.$ 値を示す。既に述べたように、組成プロファイル有無による差異は小さい一方、不純物プロファイルの急峻性は、 $S.S.$ に組成プロファイル依存性は強く依存することが分かった。作製した GaAsSb/InGaAs TFET の 20 K で測定した I - V 特性から抽出した $S.S.$ 値は赤い点で示した。シミュレーション結果は $I_D = 1 \times 10^{-11}$ A/ μ m における $S.S.$ は ~ 140 mV/dec. である。不純物プロファイルを急峻に変化させると $I_D = 1 \times 10^{-11}$ A/ μ m における $S.S.$ 値は 1.5 倍以上改善し約 80 mV/dec となることが分かった。一方で、その値は 60 mV/dec を下回することは出来ず、現在の組成分布および不純物分布を有するヘテロ構造で EOT 5.8 nm のシングルゲート構造では、生成再結合

によるリーク成分を抑制出来たととしても、室温で 60 mV/dec を下回ることが出来ないことが明らかになった。結果として、60 mV/dec を達成するためには、不純物プロファイルを一急峻にするだけでは不十分であることが分かった。

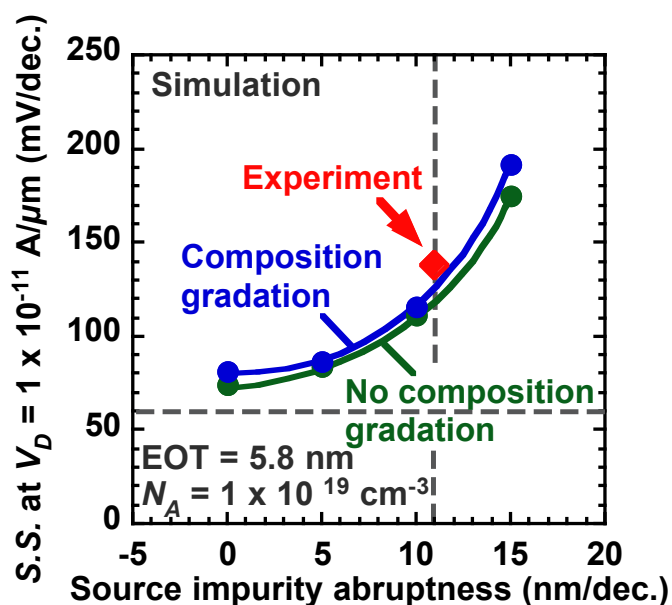


図 3.14 不純物プロファイルの急峻性を関数として、組成比プロファイルを TCAD シミュレータに導入した場合と導入していない場合の GaAsSb/InGaAs TFET の $I_D = 1 \times 10^{-11} \text{ A}/\mu\text{m}$ において抽出した S.S. 値

3.6 不純物濃度が GaAsSb/InGaAs TFET の電気特性に与える影響

S.S. 値を 60 mV/dec 以下にするため、ソース領域の不純物濃度と EOT スケーリングが GaAsSb/InGaAs TFET の電気特性に及ぼす影響をデバイスシミュレーションから検討した。図 3.15 に GaAsSb/InGaAs TFET の I_D -(V_G - V_{OFF}) 特性のソース領域の不純物濃度依存性を示す。ここで、EOT は現実のデバイスに即した 5.8 nm とスケールした 1.0 nm とし、ソース領域の不純物濃度は 1×10^{19} から 1×10^{20} まで $1 \times 10^{19} \text{ cm}^{-3}$ 間隔で変更した。組成比プロファイルと不純物プロファイルはソース・チャネル接合で一急峻に

変化するモデルとした。 $S.S.$ と I_{ON} はゲート絶縁膜の厚さによらず強く不純物濃度に依存することが分かった。より詳細に $S.S.$ 値と I_{ON} の値を比較するため、図 16(a) に V_D を 50 mV としたときの $S.S.$ 値と I_{ON} を不純物濃度の関数としてまとめた。不純物濃度を増加させていくと、EOT の値にかかわらず I_{ON} および $S.S.$ 値は改善していき一方で、その不純物濃度依存性は EOT を 1.0 nm とスケーリングした場合の方が強く現れる。現在のデバイスと同条件であるソース不純物濃度 N_A が $1 \times 10^{19} \text{ cm}^{-3}$ および EOT が 5.8 nm の場合、 $V_D=50 \text{ mV}$ で V_G を 0.5 V とした時のドレイン電流は $1.24 \times 10^{-8} \text{ A}/\mu\text{m}$ であるのに対し、EOT を 1.0 nm までスケーリングするとドレイン電流は $5.39 \times 10^{-9} \text{ A}/\mu\text{m}$ にまで減少することが分かった。不純物濃度を増加させていくと、EOT の値にかかわらずドレイン電流は増加し続ける。ソース領域の不純物濃度を $1 \times 10^{20} \text{ cm}^{-3}$ まで増加し、EOT を 1.0 nm までスケーリングすると I_{ON} は $5.71 \times 10^{-5} \text{ A}/\mu\text{m}$ にまで改善する。一方 $S.S.$ 値に関しては、EOT が 1.0 nm の場合は $4 \times 10^{19} \text{ cm}^{-3}$ 以上で EOT が 5.8 nm の場合は、 $2 \times 10^{19} \text{ cm}^{-3}$ 以上で、それぞれ約 50 と 20 mV/dec でほぼ一定の値を取ることが分かる。実際の回路応用を考えると $V_D=500 \text{ mV}$ での利用が現実的である。 $V_D=500 \text{ mV}$ とした場合の $S.S.$ 値と I_{ON} を不純物濃度の関数として図 16(b) にまとめた。 $S.S.$ 値と I_{ON} ともに $V_D=50$

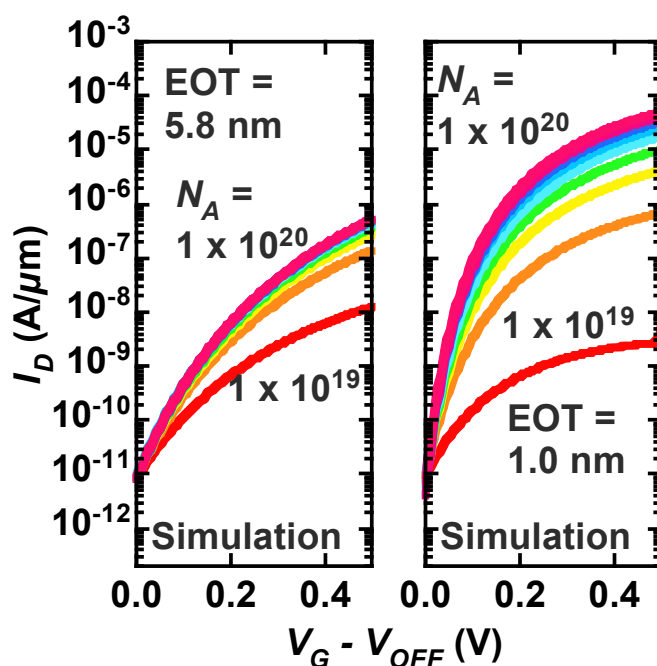


図 3.15 GaAsSb/InGaAs TFET の I_D -(V_G - V_{OFF})特性のソース領域の不純物濃度依存性

mV の場合と同様に不純物濃度を増加させていくと、EOT の値にかかわらず I_{ON} および S.S. 値は改善することが分かった。

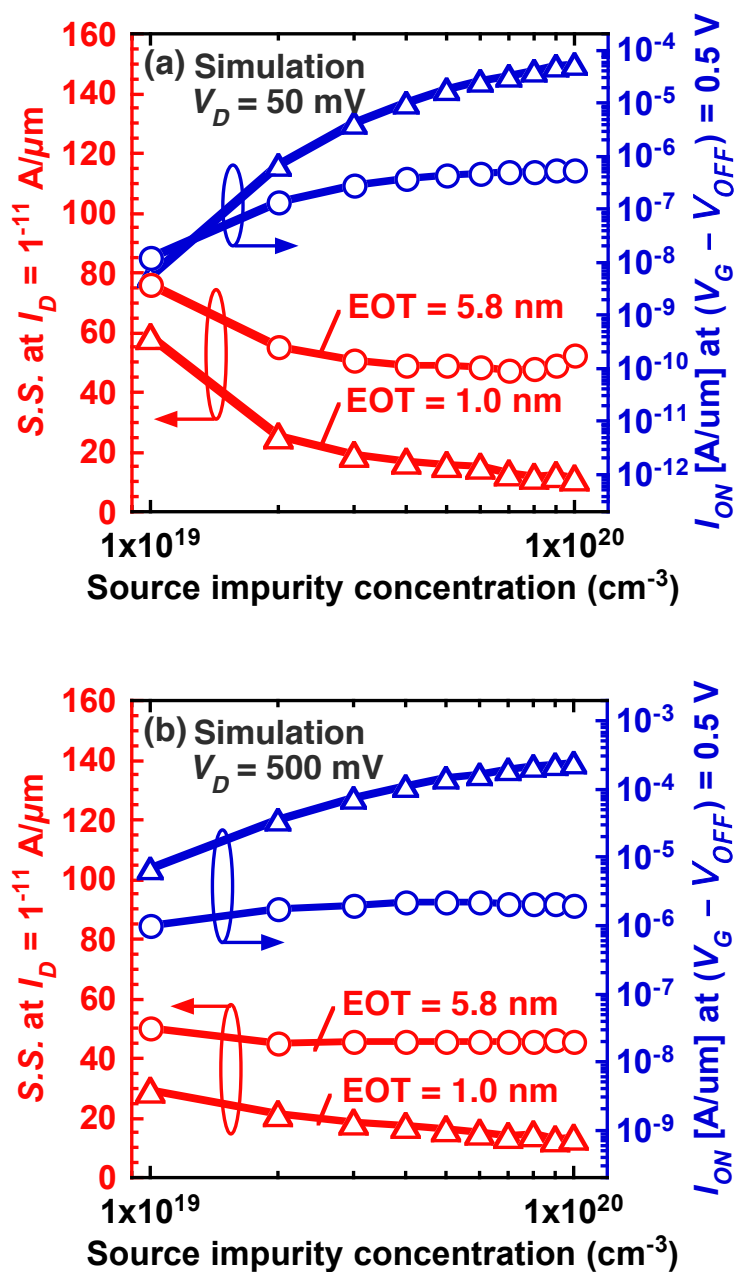


図 3.16 V_D を (a) 50 、 (b) 500 mV とした時の不純物濃度の関数とした S.S. 値と I_{ON} のまとめ

実際の回路への応用を考えた指標として、 $S.S.$ 値が 60 mV/dec を下回る最大のドレイン電流 I_{60} がある。そこで、不純物濃度を変化させた GaAsSb/InGaAs TFET の I - V 特性から I_{60} を見積もった。図 3.17 は TFET の動作電圧を 500 mV と仮定し、 $EOT=1.0, 5.8 \text{ nm}$ の場合の I_{60} をそれぞれ示す。 EOT が 5.8 nm の場合、 I_{60} は $N_A=3 \times 10^{19} \text{ cm}^{-3}$ で約 $2.5 \times 10^{-10} \text{ A}/\mu\text{m}$ となり、不純物濃度をさらに増加させたとしても I_{60} は殆ど一定の値を取る。一方で、 EOT が 1.0 nm の場合は、不純物濃度の増加に伴って I_{60} は増加し続け、ソース領域の不純物濃度を $1 \times 10^{20} \text{ cm}^{-3}$ まで増加し、 I_{60} は 2 桁向上し $4 \times 10^{-7} \text{ A}/\mu\text{m}$ を達成する。以上より、GaAsSb/InGaAs 縦型 TFET において広い領域のドレイン電流において 60 mV/dec を実現するためには、現在のデバイス条件からソース不純物濃度を高くし EOT をスケールリングすることが TFET の特性を高性能化するためには必要である。

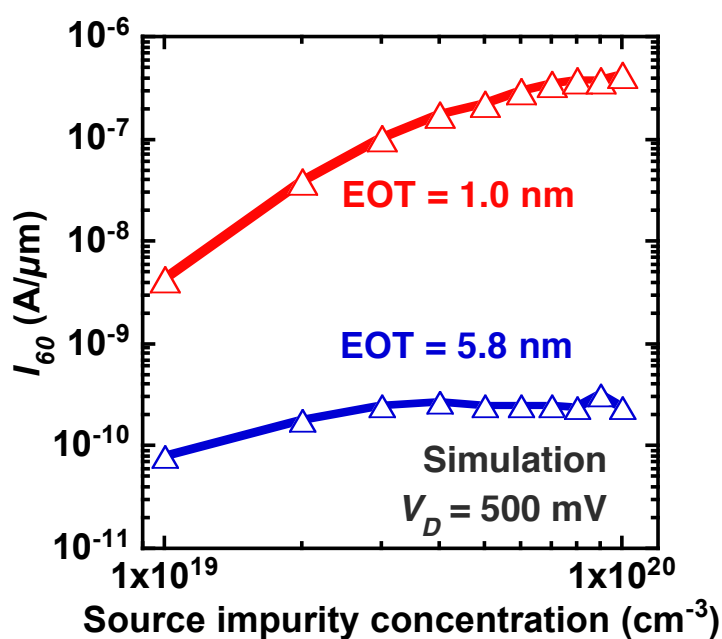


図 3.17 TFET の動作電圧を 500 mV と仮定し、 $EOT=1.0, 5.8 \text{ nm}$ の場合の I_{60} の不純物濃度依存性

EOT の値によって I_D - V_G 特性の不純物濃度依存性に違いが見られることの物理的起源を明らかにするため、デバイスシミュレーションにより GaAsSb/InGaAs TFET の電界とトンネルレートを定量的に評価した。図 3.16 に $V_G = 0.5$ V での電界とトンネルレートの空間分布を示す。ここで、比較のためにソース不純物濃度を 1×10^{19} と 3×10^{19} cm^{-3} 、EOT を 5.8 と 1.0 nm とした。EOT が 5.8 nm の場合、不純物濃度に関係なくトンネリングは MOS 界面近傍で発生していることを確認した。GaAsSb/InGaAs TFET の不純物濃度を 1×10^{19} から 3×10^{19} cm^{-3} に増加するとトンネル発生箇所は、ソース・チャネルヘテロ接合に近づき、トンネル確率は増加した。これは、ソース・チャネル pn 接合近傍の電界強度の増加と、それに伴うトンネリング距離の減少に起因する。一方、EOT を 1.0 nm とした時のシミュレーション結果では、 1×10^{19} cm^{-3} より不純物濃度を低濃度にするとトンネル位置が MOS 界面からより深く離れた位置で発生することが分かった。これは、不純物濃度が低い場合、ソース領域において MOS 界面からより長い空乏領域が伸びるためである。半導体内部においては、加わる電界が弱いことからバンドの変調が弱まり、トンネリング距離が長くなる。その結果トンネリング確率が低くなる。

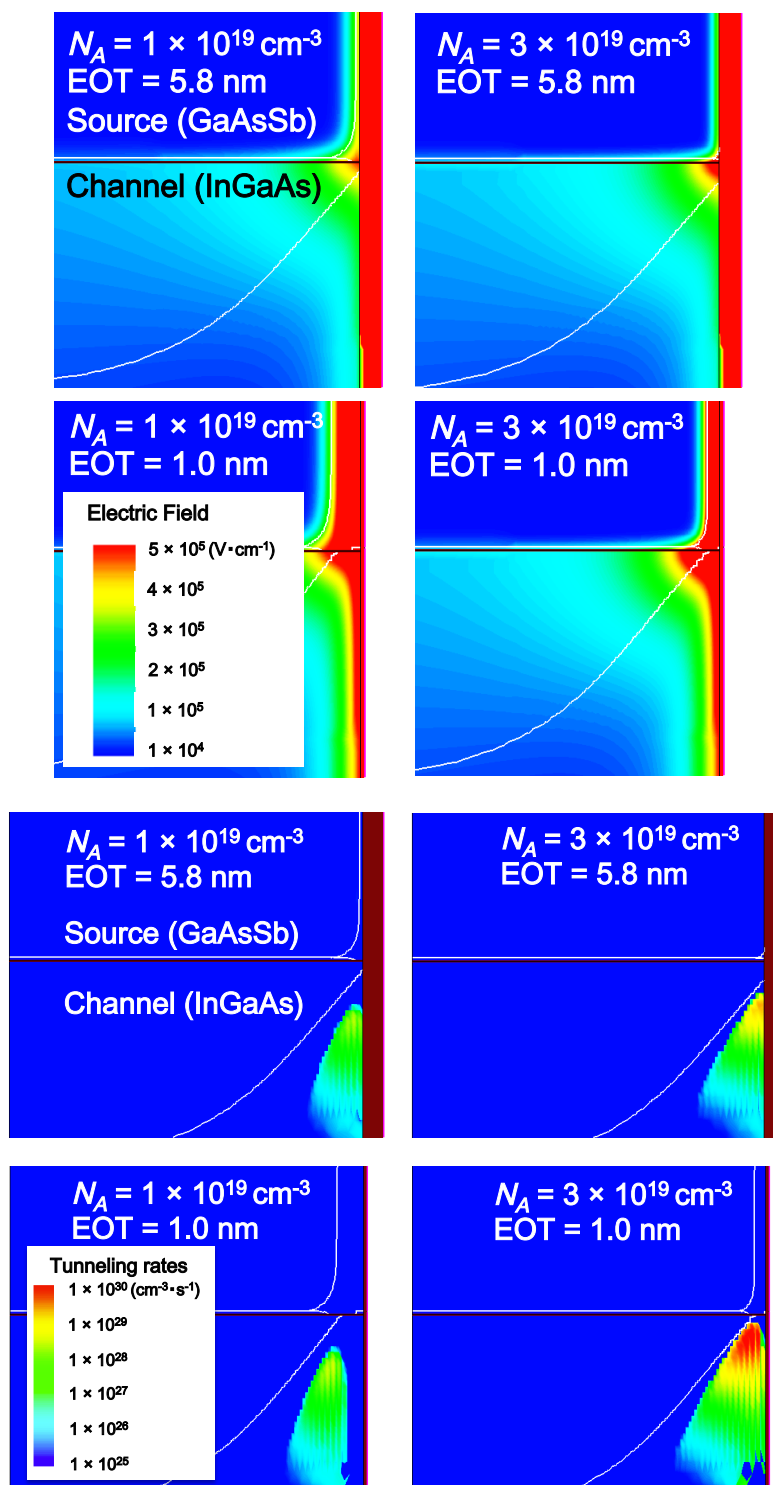


図 3.18 ゲートバイアスを 0.5V とした時のソース・チャネル接合に加わる電界(上)とチャネル領域への電子のトンネル発生レート(下)

次にソース不純物濃度と EOT の最適化した場合の、不純物プロファイルの急峻性依存性を検討した。図 3.17 に GaAsSb/InGaAs TFET の $I_D = 1 \times 10^{-11} \text{ A}/\mu\text{m}$ における S.S. 値を不純物プロファイルの急峻性を関数として示す。ここで、不純物濃度および EOT は、(a) EOT = 5.8 nm、 $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ 、(b) EOT = 5.8 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ 、(c) EOT = 1.0 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ とした。不純物濃度、EOT に加えて不純物プロファイルの急峻性を最適化することで S.S. は 60 mV/dec よりも大幅に低減出来ることを確認した。従って、GaAsSb/InGaAs TFET の高性能化のために重要となる要因は、EOT のさらなる低減、不純物濃度の増加、ソース不純物プロファイルの急峻性の向上である。

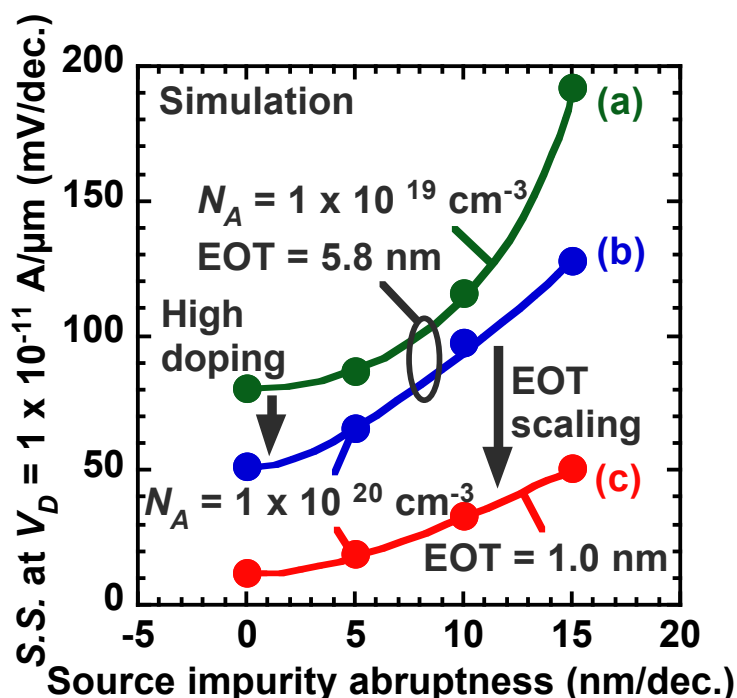


図 3.17 GaAsSb/InGaAs TFET の $I_D = 1 \times 10^{-11} \text{ A}/\mu\text{m}$ における S.S. 値を不純物プロファイルの急峻性を関数として示す。ここで、不純物濃度および EOT は、(a) EOT = 5.8 nm、 $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ 、(b) EOT = 5.8 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ 、(c) EOT = 1.0 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ とした

3.7 不純物の揺らぎが TFET の電気特性に与える影響

最後に、TFET の性能に影響を及ぼす可能性として、不純物プロファイルと組成プロファイルの位置のずれによる影響についても検討した。これは、*in-situ* ドーピングによって作られた実際のヘテロ界面では、ソース不純物原子の位置と組成変化が異なるためである。図 3.18 にシミュレーションに用いた不純物の揺らぎのモデルを示す。ここで、不純物濃度はソース領域を 1×10^{19} または $1 \times 10^{20} \text{ cm}^{-3}$ とし、チャンネル領域を $4 \times 10^{16} \text{ cm}^{-3}$ 、急峻性を 5 nm/dec と仮定し、不純物プロファイルをソース・チャンネル接合で並行移動させた。図 3.19 は GaAsSb/InGaAs TFET の S.S. 値の不純物プロファイルの位置依存性を示す。ここで、不純物濃度および EOT は、(a) $EOT = 5.8 \text{ nm}$ 、 $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ 、(b) $EOT = 5.8 \text{ nm}$ 、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ 、(c) $EOT = 1.0 \text{ nm}$ 、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ とした。ここで、不純物プロファイルを並行移動していないモデルは、これまでの $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ とした計算結果と対応している。不純物プロファイルを左(負)の方向にシフトさせると、ソース・チャンネル接合での不純物濃度が減少するため、S.S. 値が劣化する。この傾向は、不純物濃度が低い場合より顕著に表れる。一方、右(正)方向に不純物プロファイルをシフトさせると、それに伴ってトンネリングの発生箇所も GaAsSb/InGaAs 界面から InGaAs チャンネル内部へシフトする。これは InGaAs ホモ接合 TFET に相当する。このような GaAsSb/InGaAs TFET の S.S. 値のばらつきは不純物濃度を高濃度化し、EOT をスケールリングすることによって抑制することができることを示唆している。

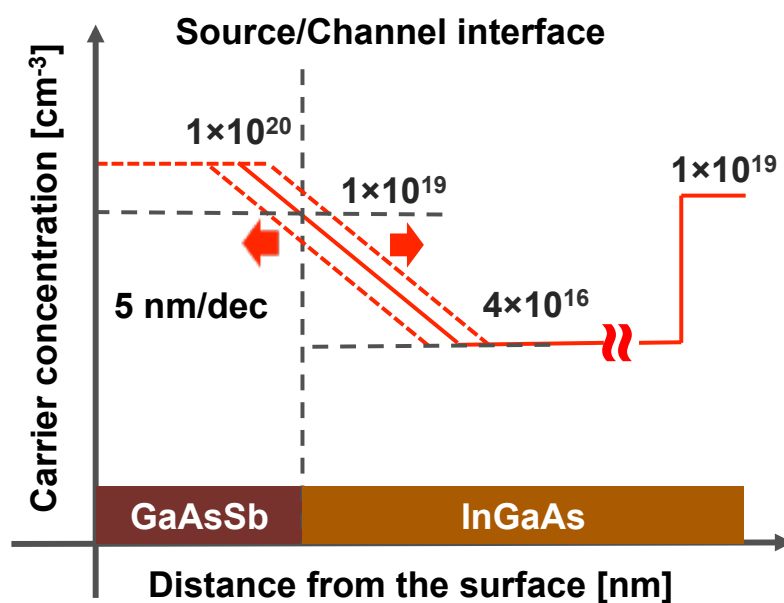


図 3.18 シミュレーションに用いた不純物の揺らぎのモデル

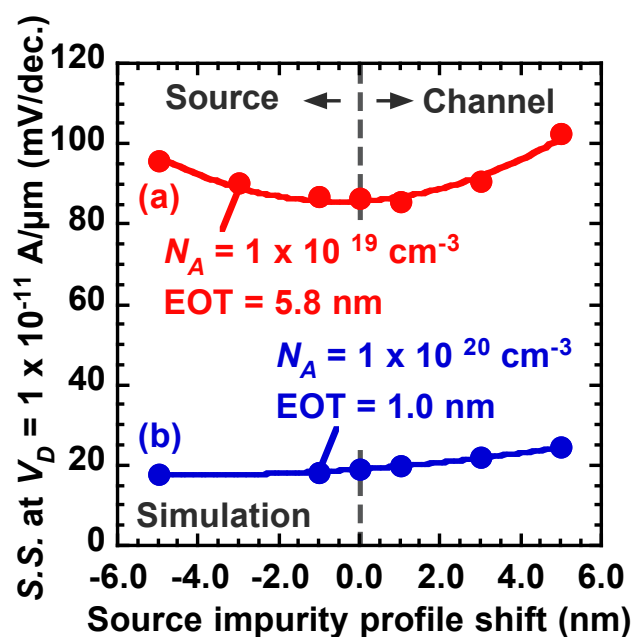


図 3.19 GaAsSb/InGaAs TFET の S.S. 値の不純物プロファイルの位置依存性を示す。ここで、不純物濃度および EOT は、(a) EOT = 5.8 nm、 $N_A = 1 \times 10^{19} \text{ cm}^{-3}$ 、(b) EOT = 5.8 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ 、(c) EOT = 1.0 nm、 $N_A = 1 \times 10^{20} \text{ cm}^{-3}$ とした。

3.8 まとめ

GaAsSb/InGaAs TFET の電気特性を理解し、さらに性能、特に S.S. 値を向上させるためには、電気特性に及ぼす決定因子となる構造パラメータを明らかとすることを目的として、GaAsSb/InGaAs TFET の物理分析および 2 次元デバイスシミュレーションを行った。SIMS および STEM-EDX 分析により、GaAsSb / InGaAs ヘテロ接合における不純物の急峻性が 11nm / dec 未満であり、組成の変化幅は約 10nm であることが分かった。TCAD シミュレーションから、組成の空間分布よりも不純物の空間分布が TFET の電気特性に大きく寄与することを見出した。また、GaAsSb / InGaAs TFET の電気的特性を改善するためには、EOT スケーリングとソース領域の不純物濃度の増加が必要であることが分かった。

参考文献

- [3.1] R. Pandey, S. Mookerjee, and S. Datta, “Opportunities and Challenges of Tunnel FETs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 63, no. 12, pp. 2128–2138, 2016.
- [3.2] F. A. Stevie, P. M. Kahora, D. S. Simons, and P. Chi, “Secondary ion yield changes in Si and GaAs due to topography changes during O²⁺ or Cs⁺ ion bombardment,” *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 6, no. 1, pp. 76–80, 1988.
- [3.3] A. Karen, K. Okuno, F. Soeda, and A. Ishitani, “A study of the secondary ion yield change on the GaAs surface caused by the O²⁺ ion-beam-induced rippling,” *Journal of Vacuum Science & Technology A: Vacuum, Surfaces, and Films*, vol. 9, no. 4, pp. 2247–2252, 1991.
- [3.4] TCAD Sentaurus Device Manual Version H-2013.03. Synopsys, 2013.
- [3.5] E. O. Kane, “Theory of tunneling,” *Journal of Applied Physics*, vol. 32, no. 1, pp. 83–91, 1961.
- [3.6] Y. Taur and J. Wu, “Examination of Two-Band E(k) Relations for Band-to-Band Tunneling,” *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 63, no. 2, pp. 869–872, 2016.
- [3.7] K. Fukuda et al., “Nonlocal band to band tunneling model for tunnel-FETs –Device and circuit models–,” *IEICE Technical Report*, no. SDM2012-11, pp. 63–68, 2012.
- [3.8] D. Esseni, M. Pala, P. Palestri, C. Alper, and T. Rollo, “A review of selected topics in physics based modeling for tunnel field-effect transistors,” *Semiconductor Science and Technology*, vol. 32, p. 83005, 2017.
- [3.9] M. Noguchi et al., “High I_{on}/I_{off} and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions,” *Journal of Applied Physics*, vol. 118, p. 45712, 2015.
- [3.10] I. Vurgaftman, J. R. Meyer, and L. R. Ram-Mohan, “Band parameters for III-V compound semiconductors and their alloys,” *Journal of Applied Physics*, vol. 89, no. 11, pp. 5815–5875, 2001.
- [3.11] T. D. Veal et al., “Photoluminescence spectroscopy of bandgap reduction in dilute InNAs alloys,” *Applied Physics Letters*, vol. 87, no. 18, pp. 1–3, 2005.
- [3.12] C. G. V. de Walle, “Band lineups and deformation potentials in the model-solid theory,” *Physical Review B*, vol. 39, no. 3, p. 1871, 1989.
- [3.13] S. Adachi, *Properties of Group-IV, III-V and II-V semiconductors*. John Wiley & Sons, Ltd, 2005.
- [3.14] <http://www.ioffe.ru/SVA/NSM/Semicond/>
- [3.15] C. G. V. de Walle, “Band lineups and deformation potentials in the model-solid theory,” *Physical Review B*, vol. 39, no. 3, p. 1871, 1989.
- [3.16] J. Franco et al., “Intrinsic robustness of TFET subthreshold swing to interface and oxide traps: A comparative PBTI study of InGaAs TFETs and MOSFETs,” *IEEE Electron Device Letters*, vol. 37, no. 8, pp. 1055–1058,

2016.

[3.17] International Technology Roadmap for Semiconductor (ITRS). Semiconductor Industry Association, 2013.

Chapter 4

ソース領域の不純物種および濃度が TFET の電気特性に与える影響の検討

4.1 導入

第3章において2次元 TCAD シミュレーションから、現在のデバイス構造で極低温下(~20 K)における GaAsSb/InGaAs TFET の電気特性を向上させるためには、ソース不純物濃度が GaAsSb/InGaAs TFET の電気特性を決定づける重要な因子であることを明らかにした。そこで、本章ではソース領域である GaAsSb の不純物濃度を増大させることによって特性向上を試みた。また、実験的にソース領域の不純物濃度を検討するためには、不純物の種類も重要な因子になる。これまで、GaAsSb の p 型ドーパントとしては、Be や C が報告されている。本研究においても GaAsSb の p 型ドーパントとして、Be と C の2種類を検討した。エピタキシャル成長用の装置の都合上、Be-doped p⁺GaAsSb/i-InGaAs/InP ヘテロ構造は MOMBE 法で、C-doped p⁺GaAsSb/i-InGaAs/InP ヘテロ構造は MOCVD 法で成長した。

4.2 GaAsSb/InGaAs ヘテロウエハの評価

GaAsSb 層の不純物種および濃度の影響を明らかにするため、図 4.1 に示す様な GaAsSb/InGaAs ヘテロ構造を InP 基板上にエピタキシャル成長した。不純物濃度を 1×10^{19} から $4 \times 10^{19} \text{ cm}^{-3}$ に増加させたサンプルを MOMBE 法を用いて準備した。ここで、ソース領域である GaAsSb 中の不純物は Be である。加えて、エピタキシャル成長手法を MOCVD 法に、不純物種を C に変更したサンプルを用意した。不純物濃度は 4×10^{19} 、 7×10^{19} 、および $1 \times 10^{20} \text{ cm}^{-3}$ とした。GaAsSb を成長すると Be ソースの劣化が顕著に表れることから、Be セルの温度は各サンプルごとに調整している。また、異なる Be セル温度で同じ V/III 比となるように成長

すると GaAsSb の組成が変化するため、組成が $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ となるように V/III 比も変更して成長していることにも留意されたい。この様に InP 基板の上に成長した $\text{p}^+\text{GaAsSb}/\text{i-InGaAs}/\text{InP}$ ヘテロエピタキシャル成長ウエハの断面 TEM 像および STEM-EDX の分析結果を図 4.2 に示す。貫通転位などの欠陥は GaAsSb/InGaAs ヘテロ界面には観測されなかった。さらに STEM-EDX の Ga 組成からヘテロ界面での組成の変化幅は 10 nm 以下であることを確認した。

Be doped $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ $(1 \times 10^{19}, 4 \times 10^{19} \text{ cm}^{-3})$	C doped $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ $(4 \times 10^{19}, 7 \times 10^{19}, 1 \times 10^{20} \text{ cm}^{-3})$
unintentionally doped InGaAs (300, 500 nm)	unintentionally doped InGaAs (500 nm)
InP buffer layer	InP buffer layer
S doped InP sub.	S doped InP sub.

図 4.1 MOMBE 法および MOCVD 法でエピタキシャル成長した GaAsSb/InGaAs ヘテロ構造。ここで、GaAsSb 中の不純物種は Be と C とした。

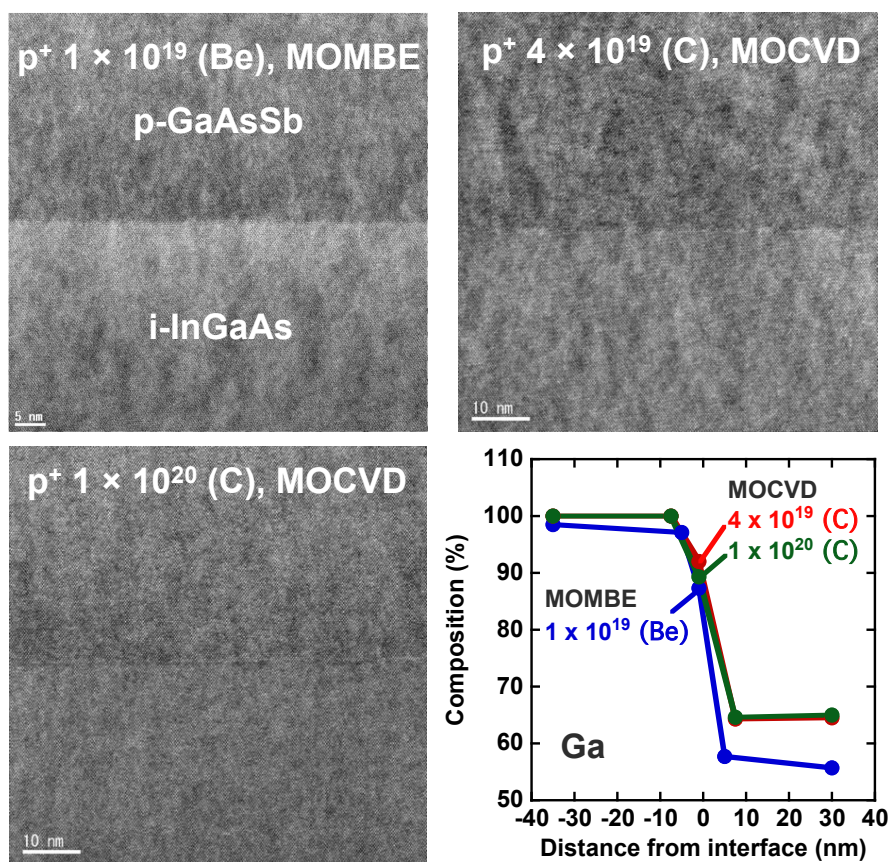


図 4.2 InP 基板の上に成長した $\text{p}^+\text{GaAsSb}/\text{i-InGaAs}/\text{InP}$ ヘテロエピタキシャル成長ウエハの断面 TEM 像および STEM-EDX の分析結果

InP 基板上に成長した $p^+\text{GaAsSb}/i\text{-InGaAs}/\text{InP}$ ヘテロエピタキシャル成長ウエハを用いて、第 2 章と同様のプロセスのプロセスフローで縦型 TFET を作製した。ここで、低温プローバーでの測定時に針当ての困難さが生じていたためソース電極を Ni/Pt から Ni/Pt/Al に変更した。ソース領域の $p^+\text{GaAsSb}$ に接触するメタルは Ni であり、変更していないため TFET の電気特性には影響しないと判断している。図 4.3 に $p^+\text{GaAsSb}$ 領域の不純物の種類を Be から C に変更し、かつ濃度を $7 \times 10^{19} \text{ cm}^{-3}$ にまで増加させた $p^+\text{GaAsSb}/i\text{-InGaAs}$ TFET の 20 K における I_D - V_G 特性および $S.S.$ - I_D 特性を示す。ここで、 L/W はそれぞれ、500 nm と 100 μm とし、 V_D は 50 および 500 mV とした。 V_D を 50 および 500 mV とした時のどちらも ON/OFF 比は 7 桁を達成した。 V_D が 500 mV のときの最小 $S.S.$ 値は $\sim 45 \text{ mV/dec.}$ であり、 $S.S.$ 値が 60 mV/dec 以下となる最大の I_D は $4 \times 10^{-12} \text{ A}/\mu\text{m}$ であった。また、 V_D が 50 mV の時、最小 $S.S.$ 値 20 mV/dec. を実現した。

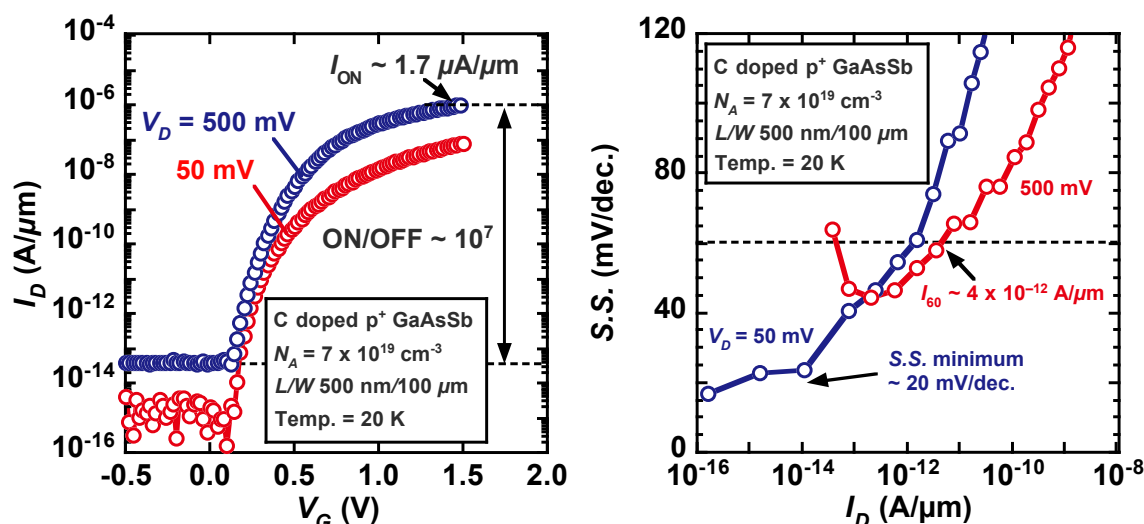


図 4.3 $p^+\text{GaAsSb}$ 領域の不純物の種類を Be から C に変更し、かつ濃度を $7 \times 10^{19} \text{ cm}^{-3}$ にまで増加させた $p^+\text{GaAsSb}/i\text{-InGaAs}$ TFET の 20 K における I_D - V_G 特性および $S.S.$ - I_D 特性

図 4.4 に V_G を 0.3V 掃引したときのオン/オフ比と最大の ON 電流をプロットしたベンチマークを示す[5.1-5.6]。TFET は動作実証の研究段階であり、EOT スケーリングやデバイス構造を最適化することでオン電流の値が改善されることが見込まれるため、オン電流は現在報告されている I_D - V_G 特性の最大 V_G での値を示している。比較のために示した 16 nm Si-FinFET のオン電流は $(V_G - V_{\text{OFF}}) = 0.3\text{V}$ 時である。現在、報告されている III-V TFET の多くは、Si-TFET よりもオンオフ比およびオン電流が低い。一方で、Si-TFET の特性を上回る性能が期待出来るデバイスも様々な材料系において報告され始めている。本研究において作製した GaAsSb/InGaAs TFET は、不純物種を Be から C に変更し、不純物濃度を $7 \times 10^{19} \text{ cm}^{-3}$ に増加させることで

Si-TFET を凌駕するオンオフ比を実現している。この結果は、GaAsSb/InGaAs Type-II ヘテロ構造が TFET の構造として相応しいことを意味し、今後の特性向上を期待させる結果である。

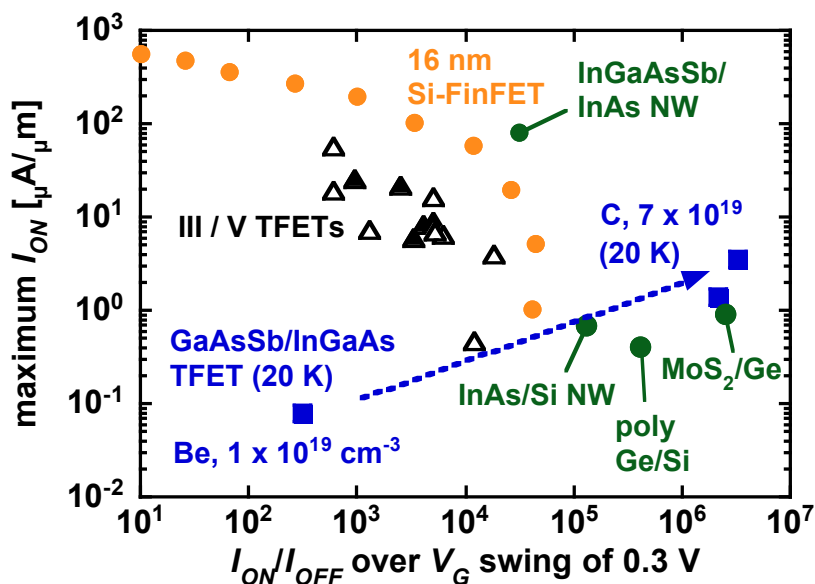


図 4.4 V_G を 0.3V 掃引したときのオン/オフ比と最大のオン電流をプロットしたベンチマーク。TFET のオン電流は現在報告されている I_D-V_G 特性の最大 V_G での値を示している。比較のために示した 16 nm Si-FinFET のオン電流は $(V_G - V_{OFF}) = 0.3V$ 時である。

4.3 Be doped p⁺GaAsSb の濃度依存性

TCAD シミュレーションの結果、不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上とすることでオン電流の増大が見込まれることが分かった。そこで、MOMBE 法で p⁺GaAsSb 層の不純物である Be 濃度を 1×10^{19} から $4 \times 10^{19} \text{ cm}^{-3}$ に増加させた GaAsSb/InGaAs 縦型 TFET の低温 (20 K) での I_D-V_G 特性を図 4.5 に示す。不純物である Be 濃度を 1×10^{19} から $4 \times 10^{19} \text{ cm}^{-3}$ に増加させることで、オン電流の増加が期待されたが、オン電流の増大は見られなかった。オフ電流の値に関しては、低温プローバーでの測定時に針の接触具合によって 1 から 2 桁程度のばらつきが見られる。不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ のサンプルにおいては、コンタクトパッドを改良した後

のデータであるが、不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ のサンプルはコンタクトパッド改良前のデータであることから議論に値しないと判断した。

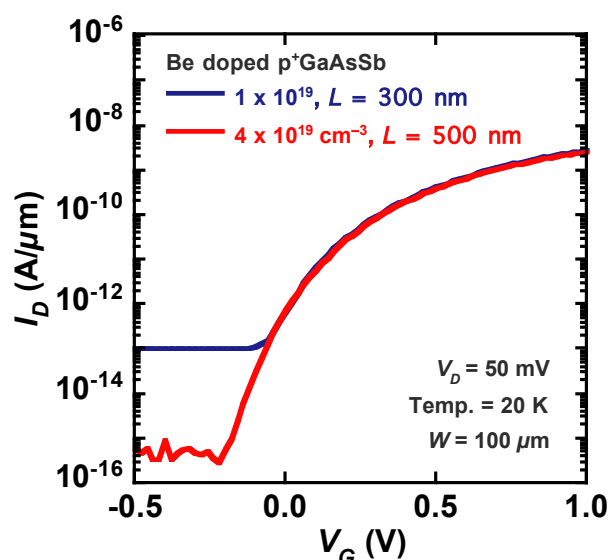


図 4.5 GaAsSb/InGaAs 縦型 TFET を低温(20 K)とした時の I_D - V_G 特性

ここで、GaAsSb の不純物は Be であり、濃度は 1×10^{19} および $4 \times 10^{19} \text{ cm}^{-3}$ である。

4.4 C doped p+GaAsSb/i-InGaAs TFET の評価

MOCVD 法で C ドープ p+GaAsSb/i-InGaAs を InP 基板の上にエピタキシャル成長した。不純物である C の濃度は 4×10^{19} 、 7×10^{19} 、 $1 \times 10^{20} \text{ cm}^{-3}$ の 3 種類を用意した。図 4.6 に C-doped p+GaAsSb/i-InGaAs TFET の低温(50 K)における I_D - V_G 特性の濃度依存性を示す。不純物濃度を変化させた I_D - V_G 特性の違いは非常に僅かである。この差を議論して良いかどうか明らかにするため、不純物濃度が $7 \times 10^{19} \text{ cm}^{-3}$ のサンプルを 2 回、 $1 \times 10^{20} \text{ cm}^{-3}$ のサンプルを 3 回作製した。図 4.7 に p+GaAsSb/i-InGaAs TFET の I_D - V_G 特性の再現性を示す。不純物濃度が $7 \times 10^{19} \text{ cm}^{-3}$ のサンプルでは I_D - V_G 特性が良く一致している一方で、 $1 \times 10^{20} \text{ cm}^{-3}$ のサンプルでは、サブスレシヨルド領域の S.S. 値およびオン電流にばらつきが観測された。そのため、p+GaAsSb 領域の不純物である C 濃度依存性は現状のデバイス構造からは判断できない。不純物濃度依存性を判断するためには、EOT を 1.0 nm まで薄くすることが 1 つの可能性として挙げられる。

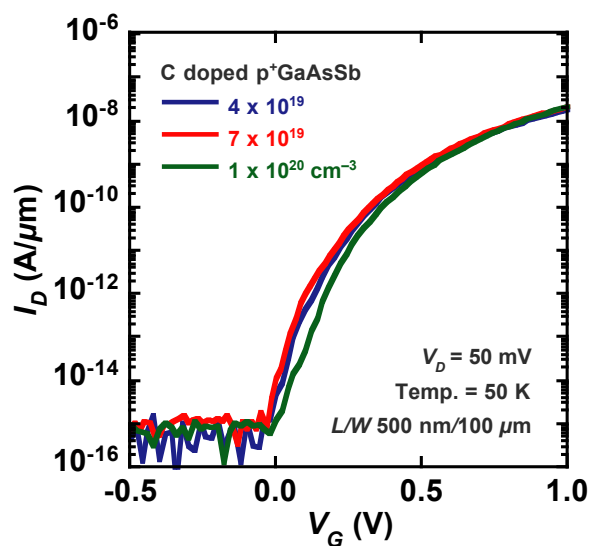


図 4.6 C-doped p⁺GaAsSb/i-InGaAs TFET の低温(50 K)における I_D - V_G 特性の濃度依存性。ここで、不純物である C の濃度は 4×10^{19} 、 7×10^{19} 、 1×10^{20} cm^{-3} の 3 種類とした。

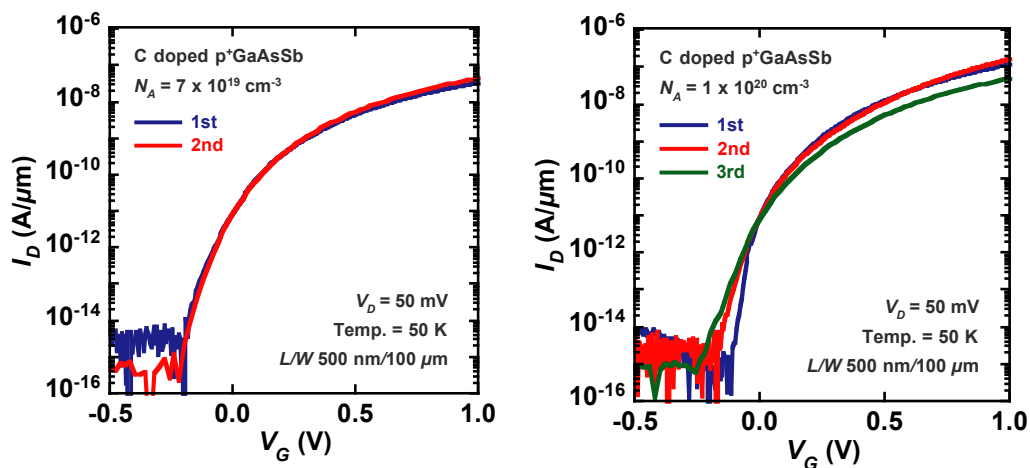


図 4.7 p⁺GaAsSb/i-InGaAs TFET の I_D - V_G 特性の再現性

4.5 C doped p⁺GaAsSb と Be doped p⁺GaAsSb の比較

Be と C ドーピングを比較するため、不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ に調整した p⁺GaAsSb/i-InGaAs/InP ヘテロエピタキシャル成長ウエハを、それぞれ用意した。図 4.8 にドレイン電圧を 50 および 500 mV としたときの室温での I_D - V_G 特性および $S.S.$ - I_D 特性を示す。C をドーピングしたサンプルでは、Be をドーピングしたサンプルと比較してオン電流が約 1 桁高いことが分かった。一方で、オフ電流に関しても増加してしまっており、熱励起を伴う生成・再結合電流が多く含まれていることが明らかになった。 $S.S.$ 値に関してはドレイン

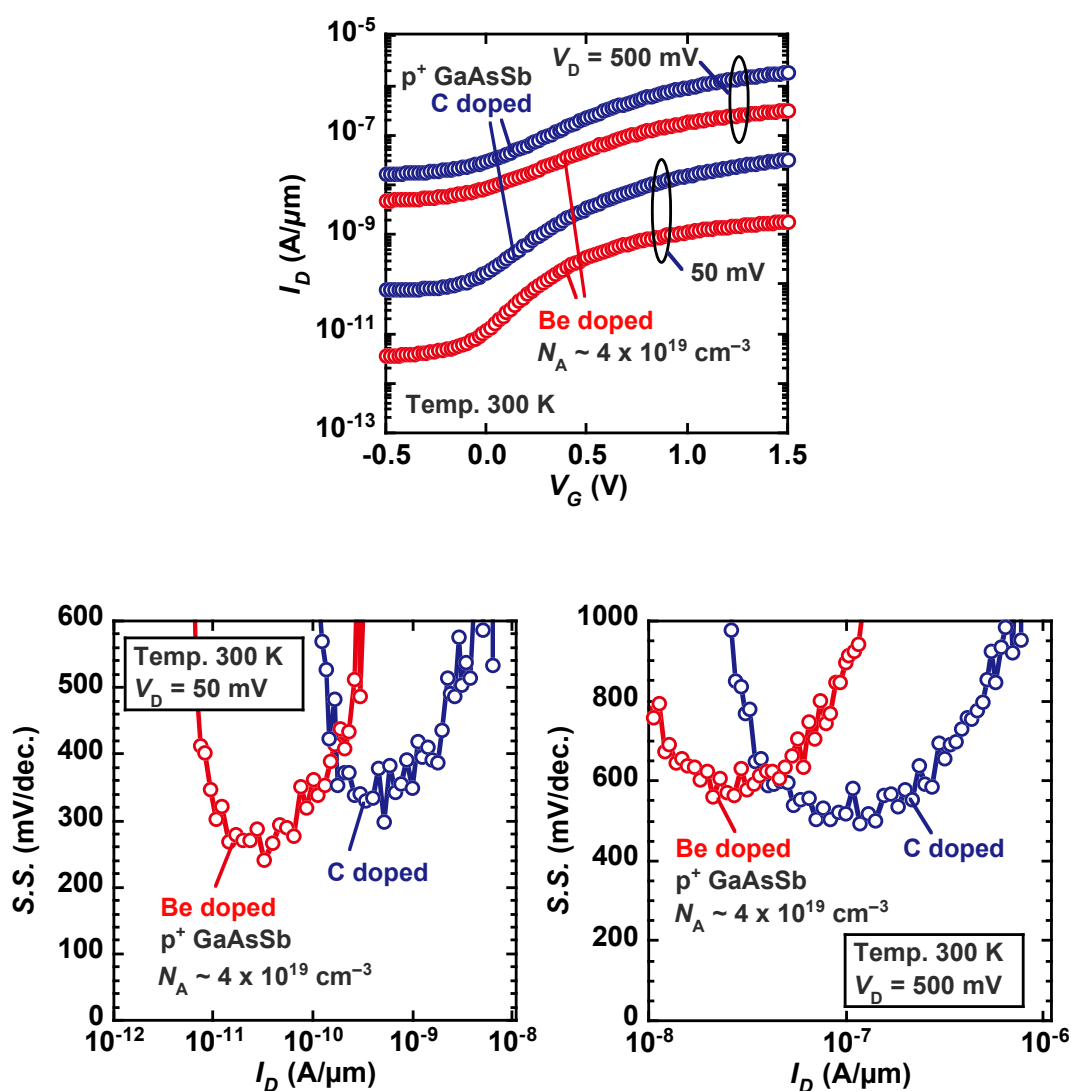


図 4.8 ドレイン電圧を 50 および 500 mV としたときの室温での I_D - V_G 特性および $S.S.$ - I_D 特性。ここで、不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ とし、不純物種を Be と C とした結果を同時に示した。

電圧が 50 mV の時は、C ドーピングのサンプルと比較して Be ドーピングのサンプルの方が低い値を示した。最小 S.S. 値の値としては $I_D = 3.2 \times 10^{-11} \text{ A}/\mu\text{m}$ の時に $\sim 240 \text{ mV}/\text{dec}$ を得た。一方、ドレイン電圧が 500 mV の時は、C ドーピングの方がより高いドレイン電流において低い S.S. 値を示した。最小 S.S. 値の値としては $I_D = 7.0 \times 10^{-8} \text{ A}/\mu\text{m}$ の時に $\sim 500 \text{ mV}/\text{dec}$ を得た。

ソース領域である p⁺GaAsSb の不純物の種類によって TFET の電気特性に違いが見られたことから、より詳細に検討するため I_D - V_G 特性の温度依存性を調べた。測定温度は 293、250、200、150、100、50 K とした。図 4.9 に Be と C がそれぞれドーピングされた p⁺GaAsSb TFET の I_D - V_G 特性および S.S.- I_D 特性の温度依存性を示す。ここでドレイン電圧は 50 mV である。Be と C ドーピングのどちらのサンプルも測定温度を 100 K 以下とすることで、熱励起を伴うリーク電流成分が抑制され、オフ電流が測定限界以下となることが分かった。リーク電流を抑制するため測定温度を低温にするにつれ、S.S. 値の U 字カーブが低電流側へ広が

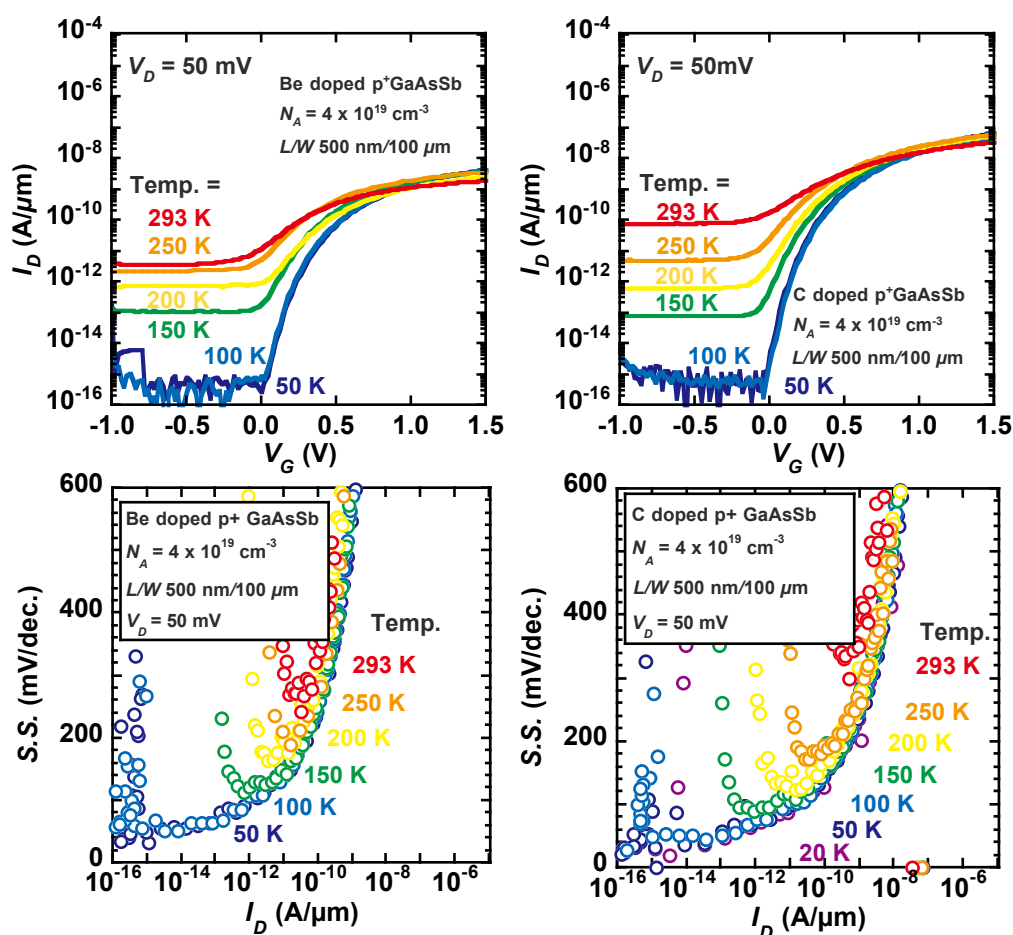


図 4.9 Be と C がそれぞれドーピングされた p⁺GaAsSb TFET の I_D - V_G 特性および S.S.- I_D 特性の温度依存性

り、かつその値が低減していく様子が確認された。低温における Be と C ドーピングの TFET の電気特性を直接比較するため、50 K の I_D - V_G 特性および $S.S.$ - I_D 特性を抽出して図 4.10 および図 4.11 に示す。熱励起を伴うリーク成分が抑制されて不純物の種類にかかわらずオフ電流が一定の値を示すことが分かった。一方で、オン電流は Be ドーピングしたサンプルと比較して、C をドーピングしたサンプルで約 1 桁高い値を示した。この理由は明らかではないが、ソース領域である p^+ GaAsSb からチャネル領域の i -InGaAs 中へ Be が拡散したためと推測される。 $S.S.$ 値は広範囲にわたって C をドーピングしたサンプルで低い値が得られ、最小 $S.S.$ 値としては 70 mV/dec. が得られた。

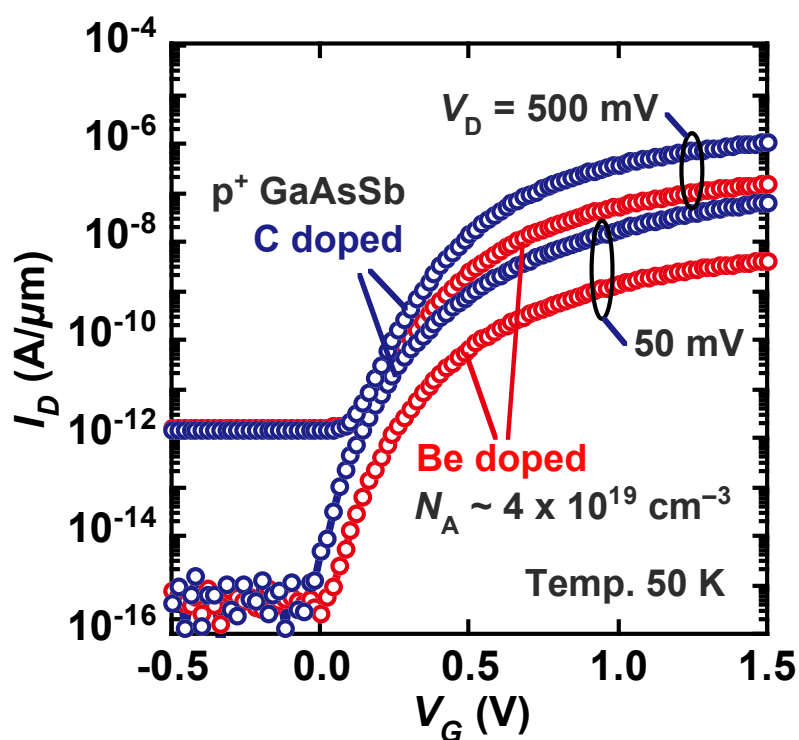


図 4.10 C ドープ p^+ GaAsSb/ i -InGaAs TFET の 50 K における I_D - V_G 特性。ここで、 N_A は $7 \times 10^{19} \text{ cm}^{-3}$ である。

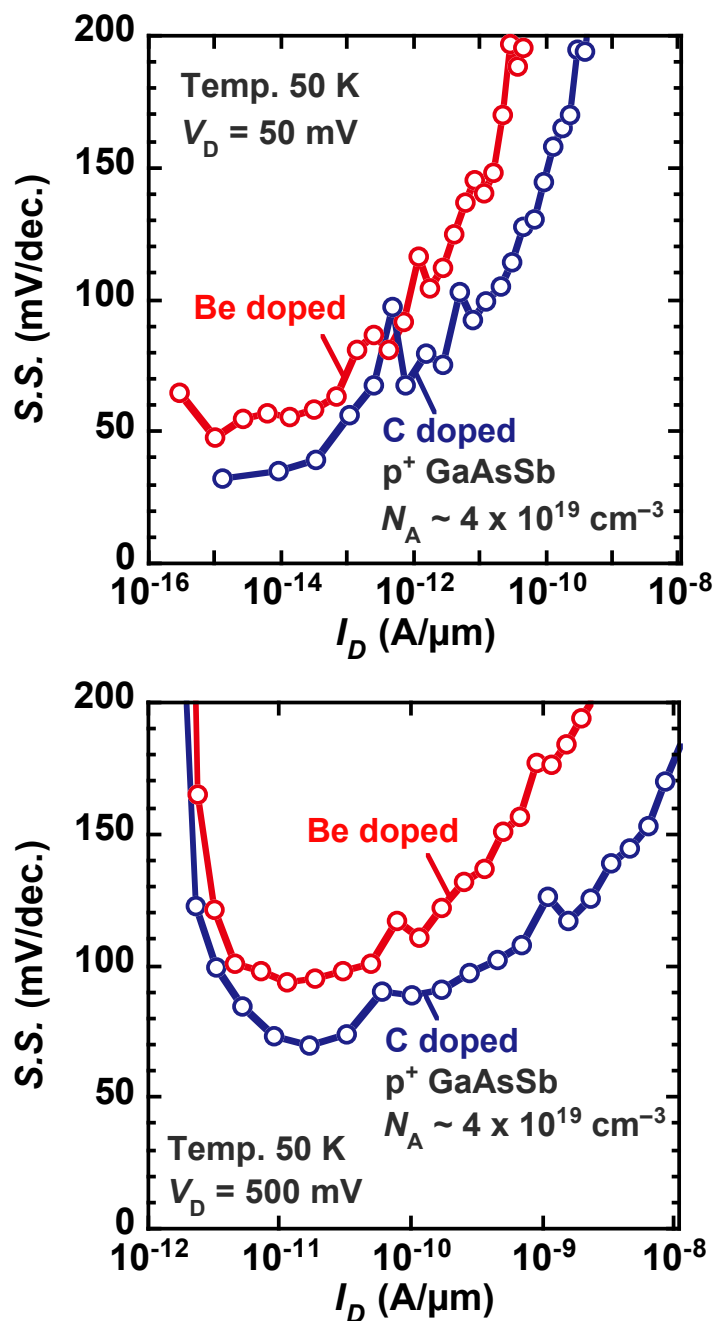


図 4.11 C ドープ p⁺GaAsSb/i-InGaAs TFET の 50 K における S.S.特性。ここで、 N_A は 7×10^{19} cm⁻³である。

リーク電流の要因を明らかにするため図 4.9 に示した I_D - V_G 特性の温度依存性からアレニウスプロットを作製した(図 4.12)。ここで、ゲートバイアスはサブスレシヨルド領域である 0 から 0.5 V、およびオフ状態である -0.5 V とした。ここで、リーク電流の要因を図 4.13 にまとめた。リーク電流の要因としてはキャリアの少ない空乏領域での熱励起を伴う生成・再結合電流(GR)や、トラップアシステッド生成・再結合電流がある。具体的には、チャンネル領域の格子欠陥が形成するミッドギャップ準位(~ 0.37 eV)、ヘテロ接合近傍における実効バンドギャップのミッドギャップ準位(~ 0.25 eV)を介したリーク電流が挙げられる。また、ヘテ

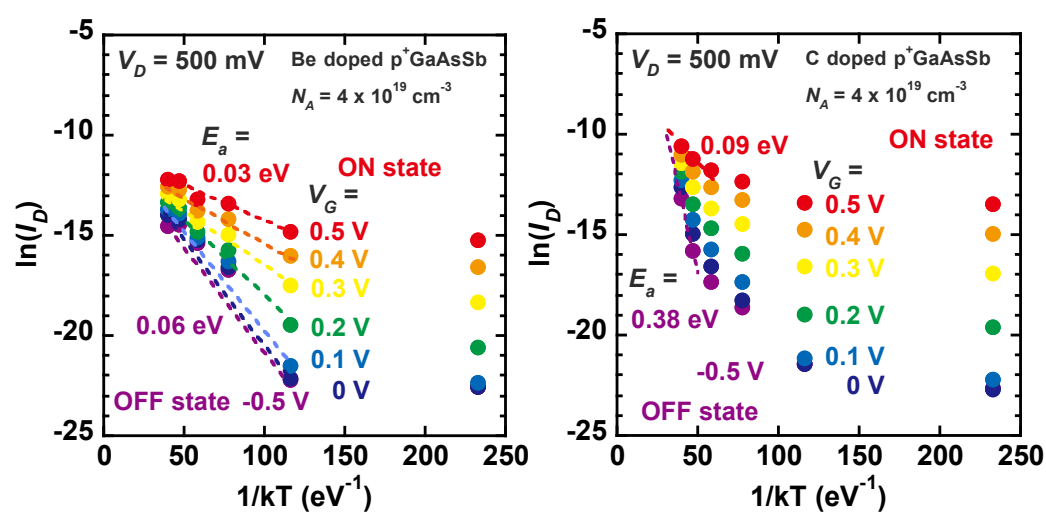


図 4.12 図 4.9 に示した I_D - V_G 特性の温度依存性から作製したアレニウスプロット

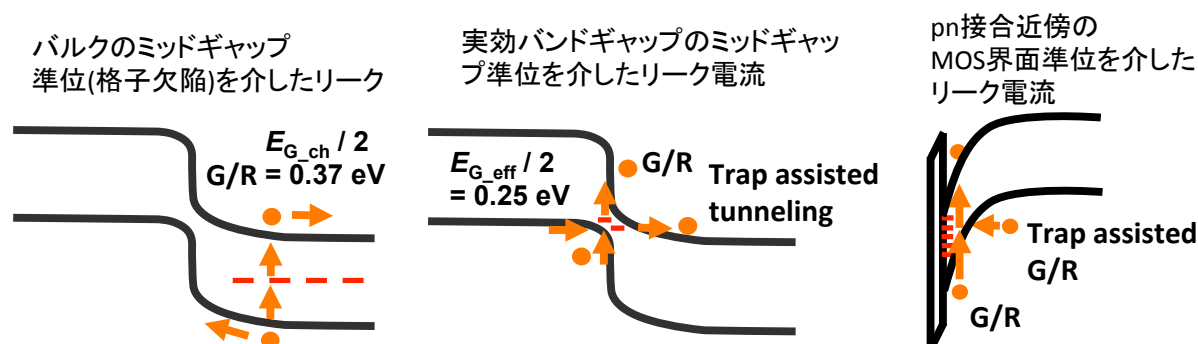


図 4.13 GaAsSb/InGaAs TFET のリーク電流の要因、バルクのミッドギャップ準位を介したリーク電流、実効バンドギャップのミッドギャップ準位を介したリーク電流および pn 接合近傍の MOS 界面準位を介したリーク電流

ロ接合近傍の空乏領域における MOS 界面の界面準位を介したリーク電流も候補である。加えてトラップアシステッド・トンネリングもリーク電流の要因の1つとして考えられる。アレニウスプロットの低温領域では、Be と C ドーピングのどちらのサンプルもオン状態(ゲートバイアスが 0.5 V)において傾きが殆ど 0 であることから、バンド間トンネリングによる電流が支配的であることが分かった。また、熱励起を伴うリーク電流が十分に抑えられていることからオフ状態まで活性化エネルギーは殆ど変化せず 0 のままである。一方で、室温付近においては Be ドーピングと C ドーピングのサンプルで違いが見られた。室温付近における活性化エネルギーの値をゲートバイアスの関数として図 4.14 にまとめた。C をドーピングした TFET においては、ゲート電圧が 0.5 V の時は十分に低い活性化エネルギーのためバンド間トンネリングが支配的であることが分かった。オフ状態(ゲートバイアスが -0.5 V)では活性化エネルギーが 0.38 eV であり、チャネル領域の InGaAs のバンドギャップの半分である 0.37 eV とほぼ同じ値を示した。これはオフ状態のリーク電流がソース・チャネル接合からチャネル方向に伸びた空乏領域での結晶欠陥によるリーク電流によって支配されていることを意味する。サブスレショルド領域の活性化エネルギーは 0.1 から 0.37 eV の間の値を示しており、実効バンドギャップのミッドギャップ準位やヘテロ接合近傍の MOS 界面準位を介したトラップアシステッド生成・再結合電流が含まれていることを示唆している。Be ドーピングの活性化エネルギーの値はオン状態では 0.03 eV と非常に小さい値を示した一方で、オフ状態においても 0.06 eV 程度と小さな値を示した。これは

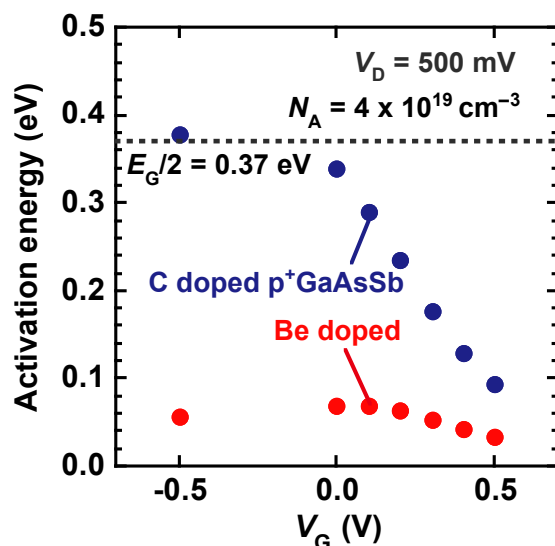


図 4.14 ゲートバイアスの関数とした室温付近における活性化エネルギーの値

チャネル領域の結晶欠陥が非常に小さくオフ状態においても熱励起を伴う生成・再結合成分が殆ど含まれていないことを示唆している。この影響は Be と C の違いというよりはむしろ、チャネル領域の結晶品質であり、これは MOMBE 法か MOCVD 法かの違いによるものと推測される。

4.6 まとめ

本章では、p⁺GaAsSb/i-InGaAs/InP 縦型 TFET における p⁺GaAsSb 領域の不純物濃度および不純物の種類を検討した。I_D-V_G 特性から不純物の種類によってオン電流が大きくなることを見出した。これは GaAsSb/InGaAs ヘテロ接合における拡散しやすさが起因していると推測される。P⁺GaAsSb の不純物の種類を Be から C に変更し、かつ不純物濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上とすることで、低温で ON/OFF 比は 7 桁を達成した。V_D が 500 mV のときの最小 S.S. 値は $\sim 45 \text{ mV/dec.}$ であり、S.S. 値が 60 mV/dec 以下となる最大の I_D は $4 \times 10^{-12} \text{ A}/\mu\text{m}$ であった。また、V_D が 50 mV の時、最小 S.S. 値 20 mV/dec. を実現した。

参考文献

- [5.1] S. Y. Wu et al., “A 16nm FinFET CMOS technology for mobile SoC and computing applications,” Technical Digest - International Electron Devices Meeting, IEDM, pp. 224–227, 2013.
- [5.2] M. Noguchi et al., “High Ion / Ioff and low subthreshold slope planar-type InGaAs tunnel field effect transistors with Zn-diffused source junctions,” Journal of Applied Physics, vol. 118, p. 045712, 2015.
- [5.3] K. Tomioka and T. Fukui, “Tunnel field-effect transistor using InAs nanowire/Si heterojunction,” Applied Physics Letters, vol. 98, p. 083114, 2011.
- [5.4] S. H. Kim, H. Kam, C. Hu, and T.-J. K. Liu, “Germanium-source tunnel field effect transistors with record high I_{ON}/I_{OFF},” Symposium on VLSI Technology, pp. 178–179, 2009.
- [5.5] D. Sarkar et al., “A subthermionic tunnel field-effect transistor with an atomically thin channel,” Nature, vol. 526, pp. 91–95, 2015.
- [5.6] E. Memisevic, J. Svensson, E. Lind, and L. E. Wernersson, “InAs/InGaAsSb/GaSb Nanowire Tunnel Field-Effect Transistors,” IEEE Transactions on Electron Devices, vol. 64, no. 11, pp. 4746–4751, 2017.

Chapter 5

ソース領域およびチャネル領域の界面準位が GaAsSb/InGaAs TFET の電気特性に与える影響

5.1 導入

TFET においてトンネル電流は、従来型の MOSFET と同様に MOS 構造のゲート電極を介してチャネル層の表面電位を変調することによって制御される。InGaAs と high-k 材料との界面準位に関する研究は、nMOSFET 応用を主目的として精力的になされてきた[5.1]。実験的なアプローチとしては、硫化アンモニウム水溶液[5.2–5.4]、 H_2 プラズマによる自然酸化膜除去[5.5]、表面窒化処理[5.6]、 Ga_2O_3 等の界面層の導入[5.7]、ALD チャンバー内での TMA による還元作用を用いる手法[5.8]などが、界面準位密度と XPS による界面酸化物評価を関連づけて報告されている。これらの結果から、現在の InGaAs MOS 界面制御技術下において界面準位のエネルギーは図 5.1 のように分布していることが示唆されている[5.9]。チャージニュートラルレベルは InGaAs の伝導帯よりのバンドギャップ中に存在する。バンドギャップ中にはトラップに電子が捕獲されて

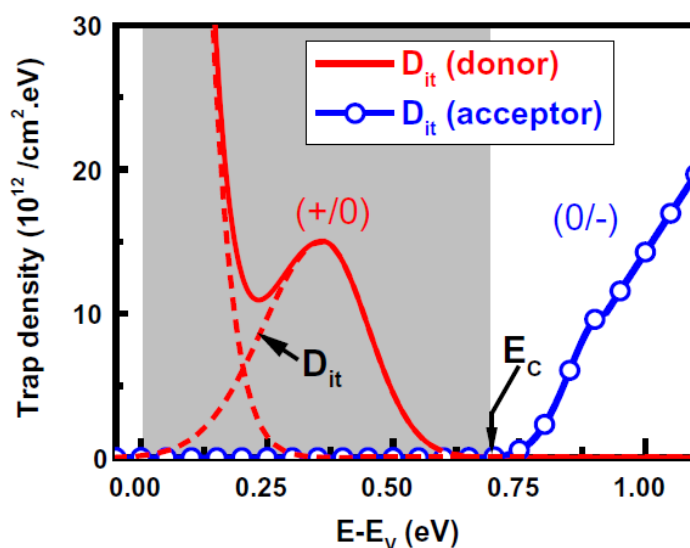


図 5.1 InGaAs の MOS 界面のドナー型およびアクセプタ型の界面準位分布[5.9]

いないときにプラスにチャージされており、電子が捕獲されるとニュートラルとなるドナー型の界面準位が存在する。一方、伝導帯内部には、電子が捕獲されているときにマイナスにチャージされており、電子が捕獲されていないときにニュートラルとなるアクセプター型の界面準位が数多く存在する。TFET がオン状態となるとき、従来型 MOSFET とは異なり、チャネル領域で擬フェルミは伝導帯内部に位置する。そのため、伝導帯内部の界面準位についても TFET の電気特性に及ぼす影響を明らかにすることが必要である。

本研究対象である GaAsSb/InGaAs TFET は、ソース領域に GaAsSb を用いている。通常、ソース領域はチャネル領域と比較して不純物濃度が高いためにバンド変調は小さく、界面準位の影響を考える必要はない。しかしながら、GaAsSb においては図 5.2 に示す様に、その界面準位は H₂プラズマクリーニングなどの *in-situ* 表面処理を施したとしても価電子帯からミッドギャップに向かって $1 \times 10^{14} \text{ eV}^{-1}\text{cm}^{-2}$ 以上の値であり、III-V 族化合物半導体の MOS 界面としても 2 桁以上高い値をしめしており [5.10]、良好な MOS 界面を得ることは非常に困難である。そのため、チャネル領域のみならずソース領域の界面準位も GaAsSb/InGaAs TFET の電気特性に与える影響も同時に考える必要がある。

本研究においては、2 次元 TCAD シミュレーションを用いてチャネル領域およびソース領域の界面準位が TFET の電気特性に与える影響を定量的かつ詳細に検討した。

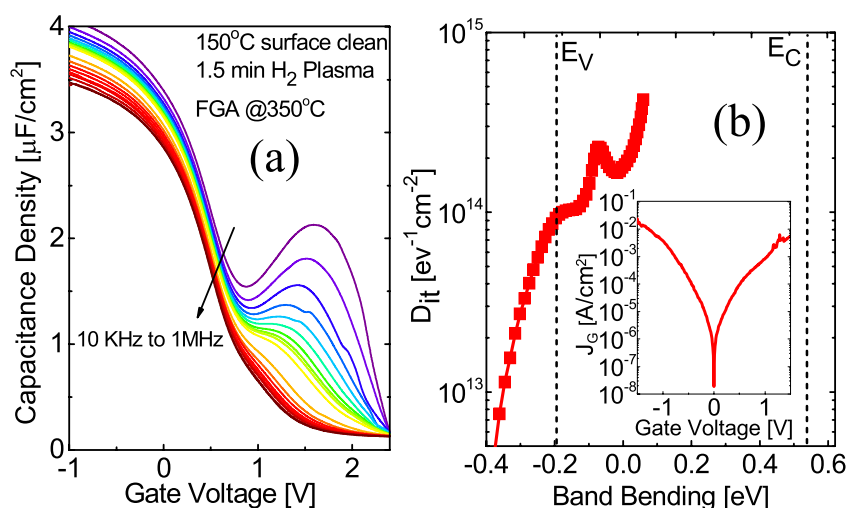


図 5.2 H₂プラズマ処理を施した GaAsSb MOS キャパシタの C-V 特性およびターマン法で算出した界面準位分布 [5.10]

5.2 界面準位の起源および分布

III-V 族化合物半導体の界面準位の起源としては、半導体のバンドギャップへの波動関数の浸みだしによって準位を形成するという金属誘起準位理論(Metal Induced Gap States; MIGS)[5.11]や半導体表面での未結合手(ダングリングボンド)やダイマーなどが主要な欠陥であり、これら欠陥起因の準位によるものであるといった説[5.12]などがある。図 5.3 は $\text{Al}_2\text{O}_3/\text{GaAs}$ 界面を想定し、Ga ダングリングボンド、As ダングリングボンドによる準位、As-As ダイマーの状態密度を計算したものである[5.12]。ここで、As-As ダイマーの準位は反結合状態の準位のみ示している。これらの準位から電荷中性点(Charge neutral level; CNL)を決定している。さらに、半導体材料を InAs、InP、GaSb にまで拡張したものを同時に示している。CNL の位置は価電子帯端を基準として、GaAs と InAs では ~ 0.5 eV、GaSb では ~ 0.1 eV である。これらの値と各材料の材料パラ

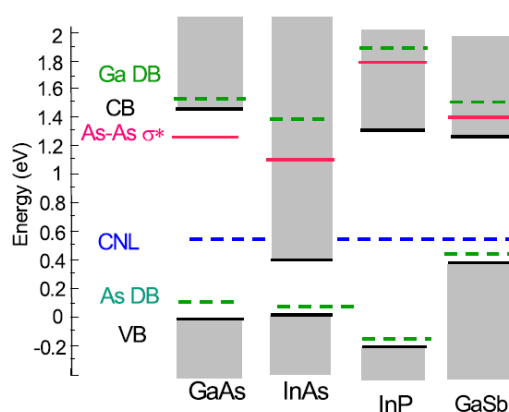


図 5.3 $\text{Al}_2\text{O}_3/\text{GaAs}$ 界面を想定し、Ga ダングリングボンド、As ダングリングボンドによる準位、As-As ダイマーの状態密度計算[5.12]

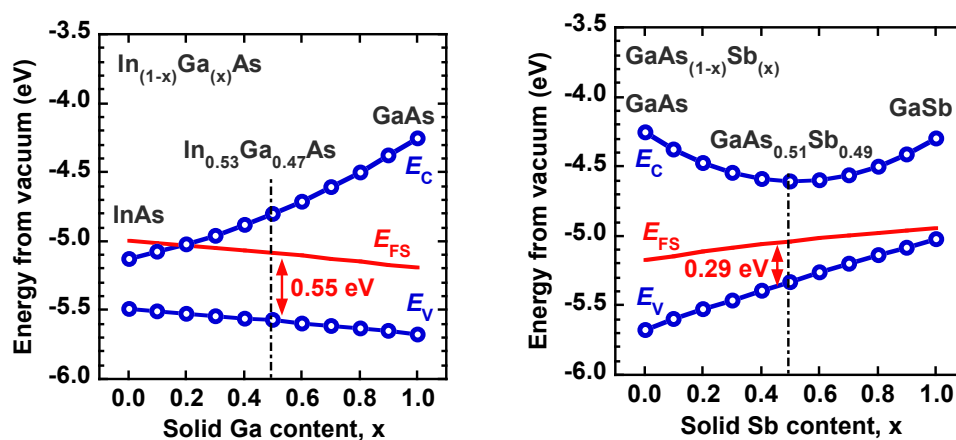


図 5.4 $\text{In}_{1-x}\text{Ga}_x\text{As}$ と $\text{GaAs}_{1-x}\text{Sb}_x$ の電荷中性点の位置

メータを使い、Moon の式[5.13]を用いて $\text{In}_{1-x}\text{Ga}_x\text{As}$ と $\text{GaAs}_{1-x}\text{Sb}_x$ の CNL を計算した結果を図 5.4 に示す。InP と格子整合系である $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ と $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ では CNL は、それぞれ ~ 0.55 eV と ~ 0.29 eV であることが分かった。本研究では、GaAsSb/InGaAs TFET の実験データに良く合うように校正された TCAD シミュレータに、この CNL を有する界面準位密度分布を導入することで界面準位が TFET に与える影響を調べた。

5.3 ソース領域の界面準位分布が TFET の電気特性に与える影響

ソース領域である GaAsSb と絶縁膜との MOS 界面における界面準位が TFET の電気特性に与える影響を調べるため 2 次元 TCAD シミュレーションを行った。図 5.5 にシミュレーションに用いた TFET の構造およびソース領域の界面準位分布を示す。現在試作している TFET での界面準位密度の影響を明らかにするため、EOT が 5.8 nm のシングルゲート構造とした。p 型ソース領域、i 型チャネル領域、n 型ドレイン領域の不純物濃度はそれぞれ、 1×10^{19} 、 4×10^{16} 、 1×10^{20} cm^{-3} とした。界面準位は GaAsSb と絶縁膜との界面全面

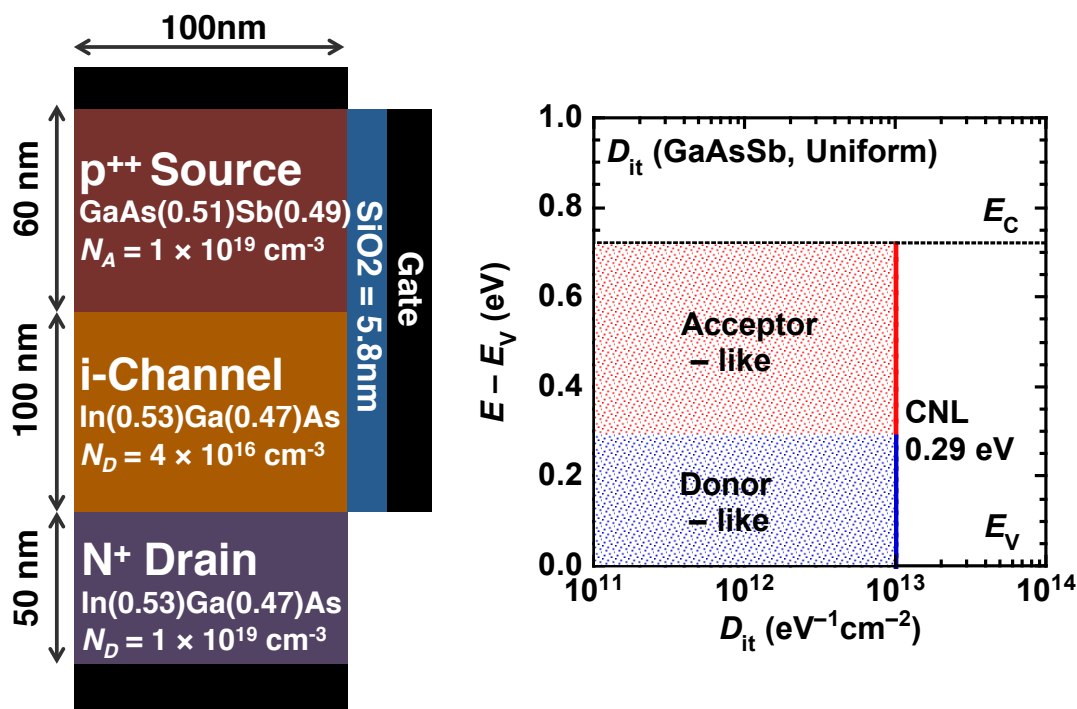


図 5.5 シミュレーションに用いた TFET の構造およびソース領域の界面準位分布

に一樣に導入した。ここで、CNLは0.29 eVとした。界面準位密度は0、 1×10^{12} 、 1×10^{13} 、 $1 \times 10^{14} \text{ eV}^{-1}\text{cm}^{-2}$ とした。図 5.6 にドレイン電圧を 50 mV とした時の I_D - V_G 特性および $S.S.$ - I_D 特性を示す。界面準位密度が $1 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$ 以上でのオン電流および $S.S.$ 値の劣化が確認された。図 5.7 にゲートバイアスを 0.5V としたときの GaAsSb/InGaAs TFET 内部におけるトンネル発生確率の分布を示す。ここで、左側は界面準位を導入していない場合で、右側は界面準位密度を $1 \times 10^{14} \text{ eV}^{-1}\text{cm}^{-2}$ とした場合である。どちらの場合もソース領域では正孔がチャネル領域では電子がトンネリングしている様子が明確に確認された。界面準位を導入した場合には、

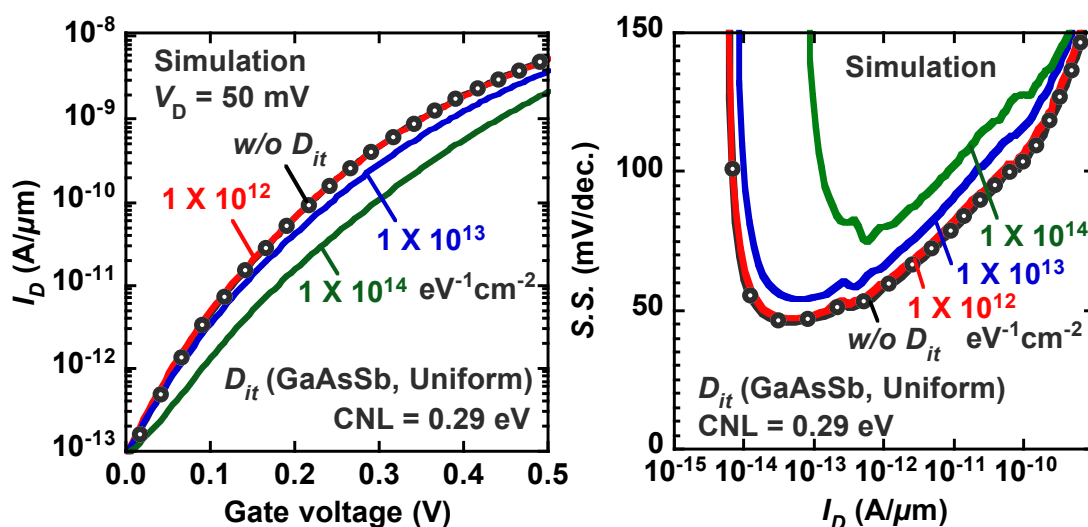


図 5.6 ソース領域に一樣な界面準位分布を導入した GaAsSb/InGaAs TFET のドレイン電圧を 50 mV とした時の I_D - V_G 特性および $S.S.$ - I_D 特性

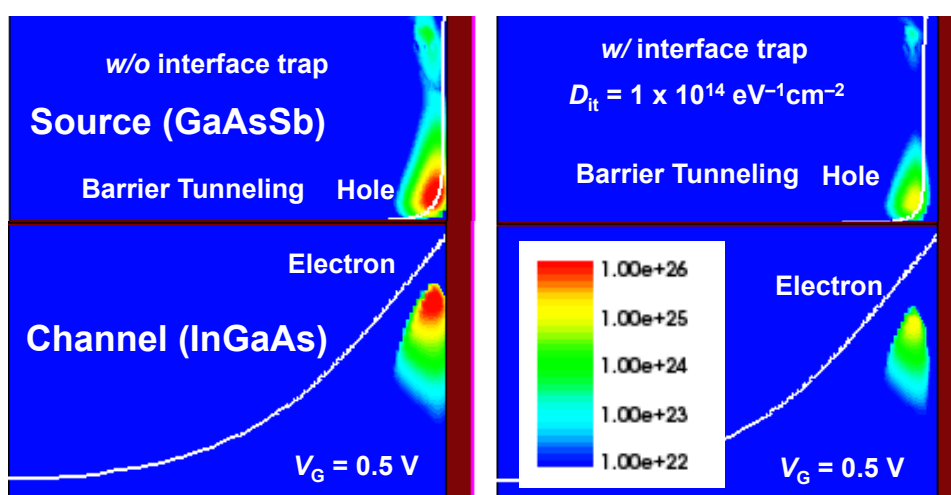


図 5.7 ゲートバイアスを 0.5V としたときの GaAsSb/InGaAs TFET 内のトンネル発生確率の分布

ソース領域からチャネル領域へのトンネリング距離が長くなっており、それに伴ってトンネル発生量が減少している。これは、図 5.8 に示したソース領域において半導体内部からゲート酸化物方向へのバンド図とトンネル発生率から理解することが出来る。界面準位密度を導入していない場合 GaAsSb のバンドは MOS 界面方向に向かって曲がり、MOS 界面近傍では若干の空乏状態となっていることが分かる。ここでゲートメタルの仕事関数は 4.7 eV と仮定している。界面準位を導入すると、界面準位で MOS 界面近傍のキャリアがトラップされるため、MOS 界面近傍ではより空乏領域が広がる。そのため、界面準位が存在することでトンネル発生箇所が MOS 界面付近から半導体内部へとシフトする。この現象にともなって、チャネル領域でのトンネル発生箇所も半導体内部にシフトする。半導体内部ではゲート電極から加わる電界が弱いためにチャネル領域のバンド変調量は少なく、従ってトンネル発生確率も著しく減少する。この現象は、ソース領域の不純物濃度が低い場合におこる問題と同様の課題である。

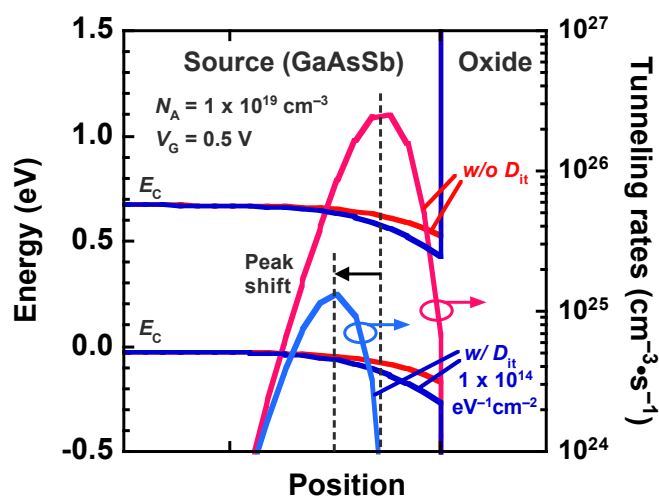


図 5.8 ソース領域において半導体内部からゲート酸化物方向へのバンド図とトンネル発生率

5.4 ソース領域の界面準位の影響 – ナノワイヤ型 TFET –

理想的な GaAsSb/InGaAs TFET は、EOT をさらにスケールリングし、ナノワイヤ型のデバイス構造になると予想される。そこで、2次元ナノワイヤ型(ダブルゲート型)GaAsSb/InGaAs TFET のシミュレーションを行った。シミュレーション構造を図 5.9 に示す。この構造を用いて計算したドレイン電圧を 500 mV の時のトンネリングの発生の様子を図 5.10 に示す。ここで V_G は -0.125 V である。界面準位の有無にかかわらず正しく計算されている様子が確認された。この GaAsSb/InGaAs TFET の I_D - V_G 特性と $S.S.$ - I_D 特性を図 5.11 に示す。ここで、界面準位の分布は図 5.5 に示した一様分布を用いている。 I_D - V_G 特性から界面準位密度 1×10^{14} $eV^{-1}cm^{-2}$ 以上とすると、 I_D - V_G 特性の変化が確認された一方、 $S.S.$ 特性から閾値がシフトしているのみであることが分かった。これは図 5.10 に示す様にトンネルの発生箇所に起因する。図 5.12 にソース領域を横方向に切断したバンド構造とトンネル発生確率をそれぞれ示す。界面準位が存在することで、現状の構造と同様に MOS 界面近傍でよりバンドが曲がっていることが分かった。一方で、界面準位の分布の有無によってトンネ

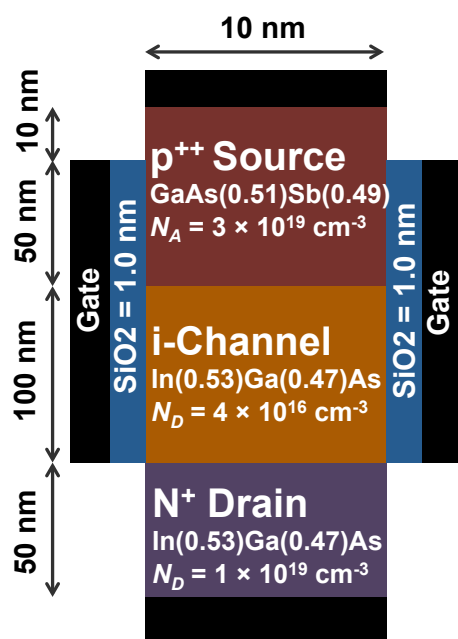


図 5.9 GaAsSb 次元ナノワイヤ型 (ダブルゲート型)GaAsSb/InGaAs TFET のシミュレーション構造図

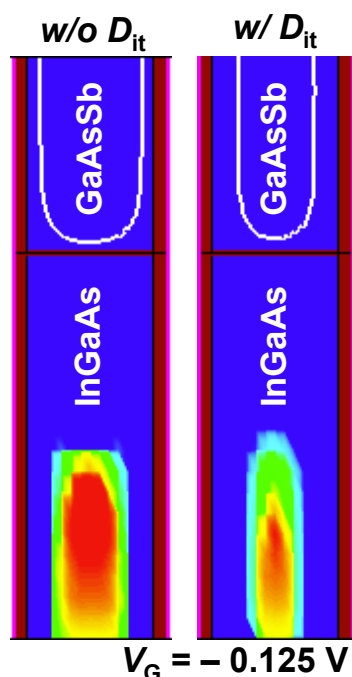


図 5.10 GaAsSb/InGaAs 縦型 TFET のドレイン電圧を 500 mV、ゲート電圧 -0.125 V の時のトンネリングの発生の様子

ル発生確率は変化しているものの、両サイドから電界が加わっていることからトンネルが支配的に発生している箇所はナノワイヤの中心で変化していない。そのため、 $S.S.$ 値への影響を良く制することが出来ることを見出した。

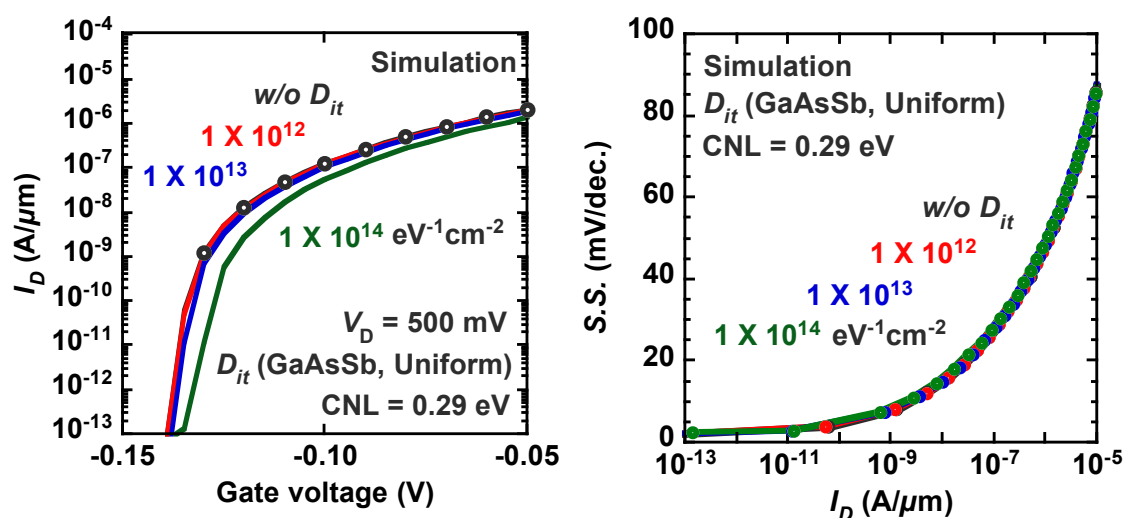


図 5.11 GaAsSb/InGaAs TFET の I_D - V_G 特性と $S.S.$ - I_D 特性

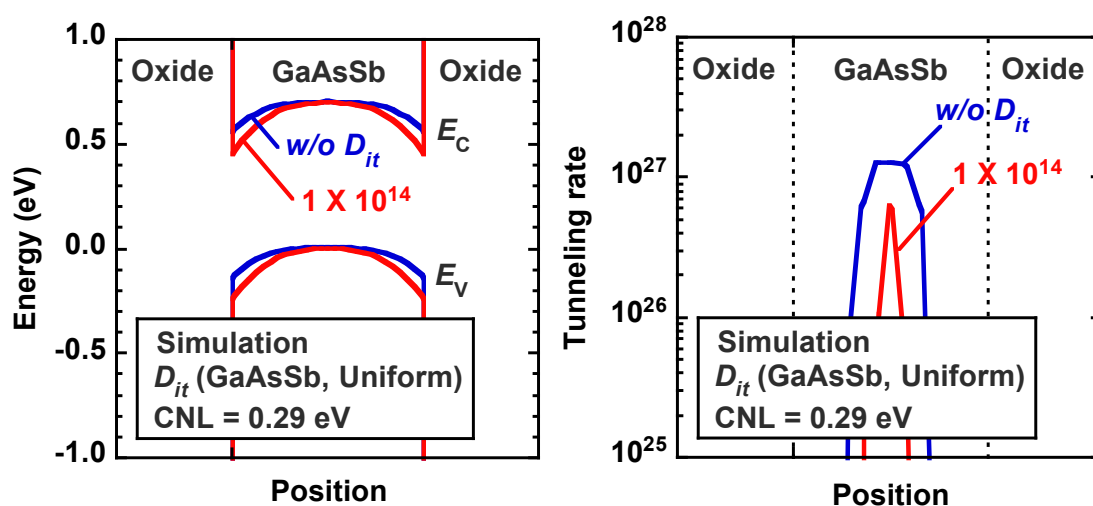


図 5.12 ソース領域を横方向に切断したバンド構造とトンネル発生確率

5.5 チャンネル領域の界面準位が TFET の電気特性に与える影響

5.5.1 チャージニュートラルレベル依存性

ソース領域の界面準位が GaAsSb/InGaAs TFET の電気特性に寄与することを見出した一方で、チャンネル領域の界面準位が TFET の電気特性に与える影響を深く理解することは重要である。図 5.13 にナノワイヤ型(ダブルゲート型)GaAsSb/InGaAs TFET の界面準位を導入していない場合のバンド図と擬フェルミの位置およびトンネル発生確率を示した。この図から分かるとおり、チャンネル領域においては擬フェルミの位置がバンドギャップ中の様々な値を取る。そこで、どのエネルギーに存在する界面準位が TFET の電気特性により影響するか明らかにし、界面準位密度低減の指針を得ることが重要である。界面準位が TFET に与える影響を調べるうえで、我々が定義した界面準位密度分布が適切であるか判断することは非常に重要である。そこで、CNL の揺らぎを検討した。図 5.14 は GaAsSb/InGaAs TFET の InGaAs チャンネル層に導入した界面準位密度分布である。CNL を 0.50 から 0.65 eV まで 0.05 eV 刻みで変化させた。図 5.15 および 5.16 に I_D - V_G 特性

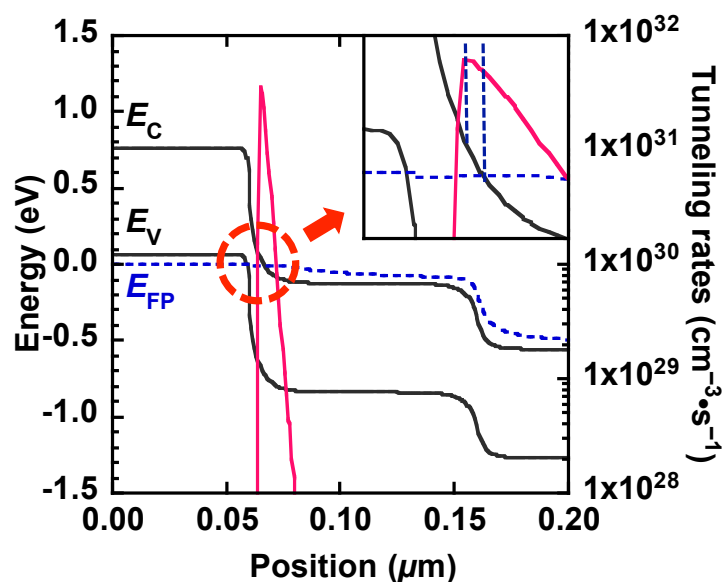


図 5.13 ナノワイヤ型(ダブルゲート型)GaAsSb/InGaAs TFET の界面準位を導入していない場合のバンド図と擬フェルミの位置およびトンネル発生確率

とある電流での CNL と V_G の関係をまとめた図を示す。ここで、ドレイン電流は 1×10^{-11} 、 1×10^{-9} 、 1×10^{-7} 、 1×10^{-5} である。どの電流点においても CNL を変化させると V_G も同じ傾きをもって変化していることが分かる。これは、CNL は MOS ゲートの変調効率には関係がなく、固定チャージと同様に振る舞い、閾値のみが変化しているためである。図 5.17 に $S.S-I_D$ 特性を示した。界面準位密度分布を導入することで、 $S.S.$ 特性が劣化していることが確認された一方で、CNL による特性の変化は確認されなかった。以上の結果から、界面準位モデルを検討する上で、重要でないと判断できる。

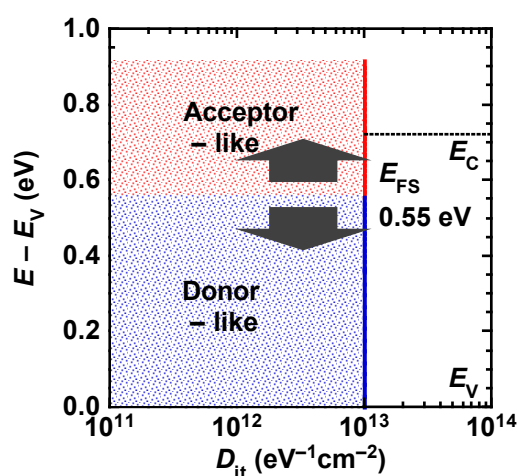


図 5.14 GaAsSb/InGaAs TFET の InGaAs チャンネル層に導入した界面準位密度分

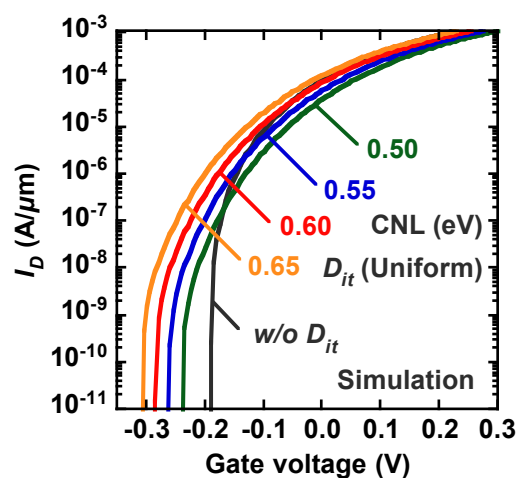


図 5.15 InGaAs チャンネル層に界面準位密度を導入し、CNL を変化させた GaAsSb/InGaAs TFET の I_D-V_G 特性

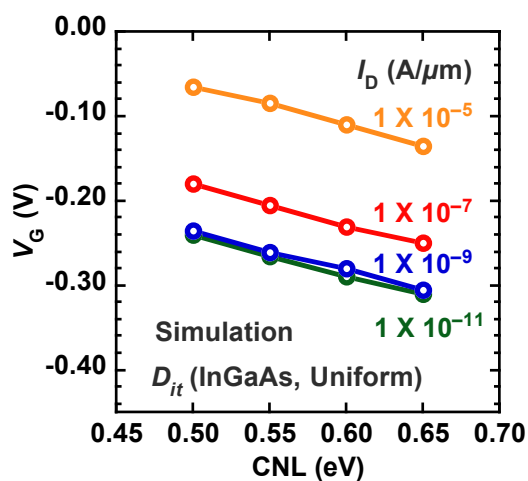


図 5.16 GaAsSb/InGaAs TFET の I_D-V_G 特性から I_D ごとに CNL と V_G の関係をまとめた

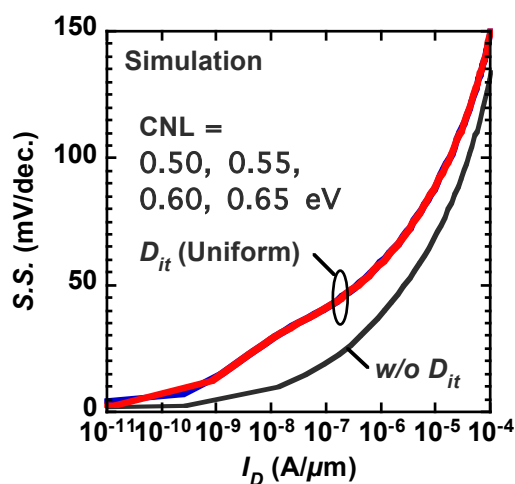


図 5.17 InGaAs チャンネル層に界面準位密度を導入し、CNL を変化させた GaAsSb/InGaAs TFET の $S.S-I_D$ 特性

5.5.2 界面準位密度依存性

界面準位密度依存性を明らかにするため、ナノワイヤ型の $p^+GaAsSb/i-InGaAs/n-InGaAs$ TFET のチャネル領域である Oxide/ $i-InGaAs$ MOS 界面に界面準位を価電子帯から伝導帯上部まで一様に導入した。界面準位密度の値は 1×10^{12} 、 5×10^{12} 、 $1 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$ とした。比較のために界面準位密度を導入していない計算も同時に行った。図 5.18 にチャネル領域に一様に導入した界面準位分布を示す。この界面準位分布を導入した $GaAsSb/InGaAs$ TFET のドレイン電圧を 500 mV とした時の I_D-V_G 特性および $S.S.-I_D$ 特性を図 5.19 示す。

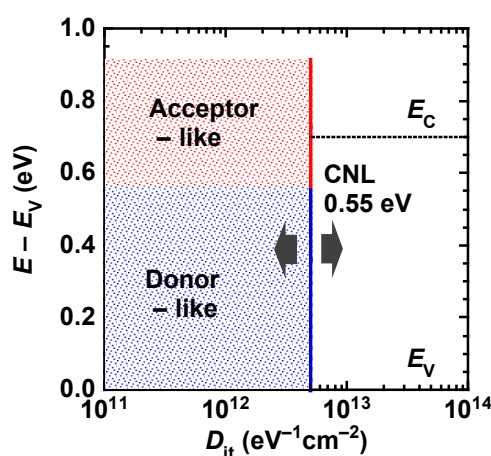


図 5.18 $GaAsSb/InGaAs$ 縦型 TFET のチャネル領域に導入した一様な界面準位分布

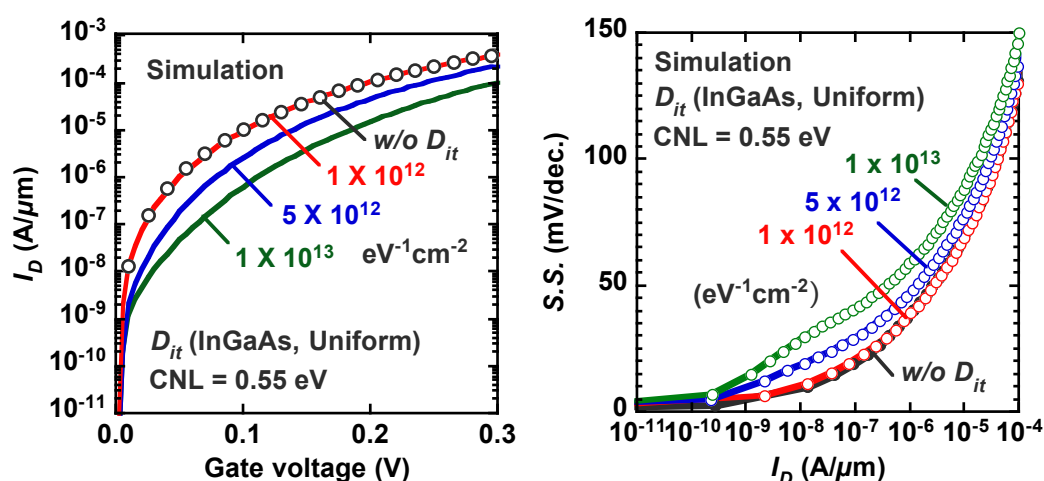


図 5.19 チャネル領域に界面準位分布を導入した $GaAsSb/InGaAs$ TFET のドレイン電圧を 500 mV とした時の I_D-V_G 特性および $S.S.-I_D$ 特性

界面準位密度を $5 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ 以上とした時に、*S.S.*値およびオン電流の劣化を引き起こすことが明らかになった。*S.S.*値はドレイン電流の立ち上がり付近で大きく劣化することが確認された一方で、ゲート電極に正のバイアスを十分に加えると *S.S.*値の劣化が抑制されているように見えるが、これはドレイン電流が飽和傾向を示しているためである。ゲート電圧が 0.3V の時のオン電流は界面準位を導入していない場合で、 $4.2 \times 10^{-4} \text{ A}/\mu\text{m}$ であり、界面準位密度を $1 \times 10^{13} \text{ eV}^{-1}\text{cm}^{-2}$ とすると $1.1 \times 10^{-4} \text{ A}/\mu\text{m}$ にまで低下してしまうことが分かった。以上まとめると、チャンネル領域の界面準位密度を $1 \times 10^{12} \text{ eV}^{-1}\text{cm}^{-2}$ 以下に低減し、*S.S.*値とオン電流の劣化を抑制することが重要である。

5.5.3 デルタ関数型界面準位分布による解析

チャンネル領域に一様分布の界面準位を導入することでチャンネル領域の界面準位が GaAsSb/InGaAs TFET の *S.S.*値およびオン電流を劣化させることを明らかにした。一方で、実際に InGaAs MOS 界面の界面準位を実験的に低減させることを考えると、どの位置のエネルギーに存在する界面準位が TFET の電気特性に、強く影響をするか明らかにすることが求められる。そこで、デルタ関数型に Oxide/i-InGaAs MOS 界面に界面準位を 0.05 eV 刻みで伝導帯からミッドギャップ付近まで導入した。界面準位の中心エネルギーは(a) 0.745 、

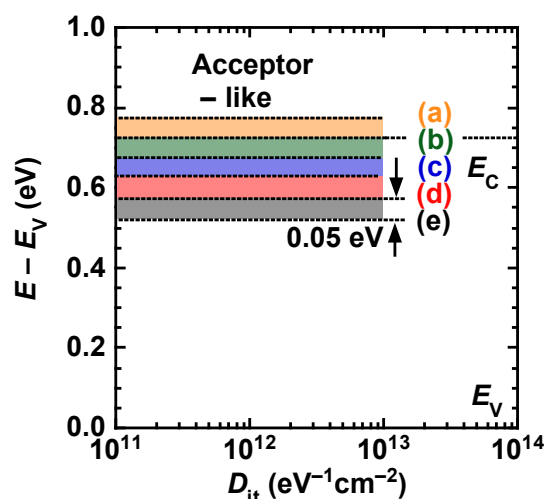


図 5.20 チャンネル領域に導入した界面準位分布; 界面準位の中心エネルギーは(a) 0.745 、(b) 0.695 、(c) 0.645 、(d) 0.595 、(e) 0.545 eV とし、界面準位を導入していない計算結果を(f)とした。

(b) 0.695、(c) 0.645、(d) 0.595、(e) 0.545 eV とし、界面準位を導入していない計算結果を(f)とした。導入した界面準位の分布を図 5.20 に、 I_D - V_G 特性および S.S.- I_D 特性を図 5.21 に示す。チャンネル領域に界面準位密度を導入することでオン電流と S.S.値を劣化させることが確認された。図 5.22 に各ドレイン電流値での界面準位の有無による S.S.値の差分を示す。ドレイン電流が十分に流れていない場合、0.545 eV と InGaAs のバンドギャップ内部の界面準位が特に TFET の S.S.値を劣化させることが分かった。ドレイン電流が大きくなるにつれ伝導帯側の界面準位も S.S.値の劣化に寄与するようになることを見出した。そのため、電流の立ち上がりの S.S.値劣化を抑制するために InGaAs のバンドギャップ中の界面準位を低減すると同時に、伝導帯側の界面準位も低減する必要があることが分かった。

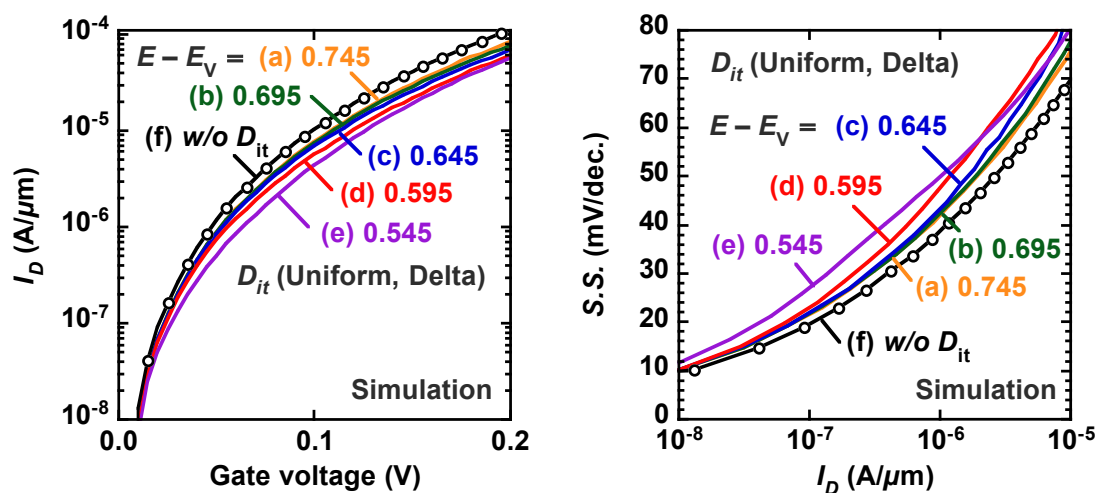


図 5.21 チャンネル領域にデルタ関数型の分布をもつ界面準位を導入した GaAsSb/InGaAs TFET の I_D - V_G 特性および S.S.- I_D 特性

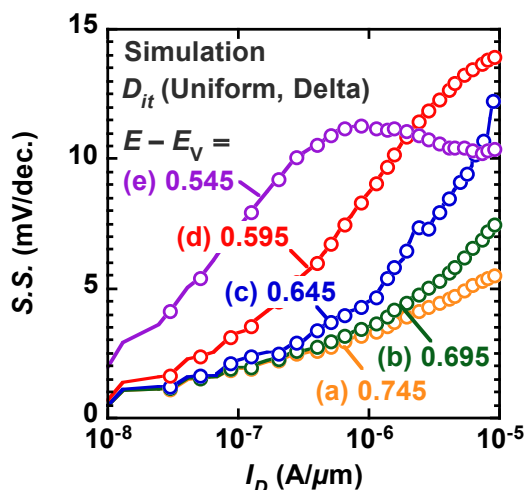


図 5.22 各ドレイン電流値での界面準位の有無による S.S.値の差分をまとめた

5.8 まとめ

GaAsSb/InGaAs TFET のソース領域およびチャネル領域の界面準位が電気特性に与える影響を2次元 TCAD シミュレーションから明らかにした。ソース領域の界面準位を導入すると MOS 界面近傍のキャリアが界面準位にトラップされるため、MOS 界面付近でより空乏領域が広がる。そのため、界面準位が存在することでトンネル発生箇所が MOS 界面付近から半導体内部へとシフトする。この現象にともなって、チャネル領域でのトンネル発生箇所も半導体内部にシフトする。半導体内部ではゲート電極から加わる電界が弱いためにチャネル領域のバンド変調量は少ない。従ってソース・チャネル間のバンド間トンネリングの発生確率も著しく減少することが分かった。この現象は、ソース領域の不純物濃度が低い場合におこる問題と同様の課題であること、不純物濃度を高濃度化し、ナノワイヤ型等の適切なデバイス構造とすることで界面準位の影響を抑制することが出来ることを見出した。一方で、チャネル領域の界面準位はゲートバイアスによるチャネル領域のバンドの変調量を減少させることで、 $S.S$ 値およびオン電流を劣化させることが分かった。また、GaAsSb/InGaAs TFET の電気特性に影響するチャネル領域の界面準位は、特にドレイン電流の低い立ち上がり時には、InGaAs のバンドギャップ中の準位が、コンダクションバンド近傍の準位よりも影響することを見出した。よって、GaAsSb/InGaAs TFET の $S.S$ 値やオン電流などの電気特性を向上させるためには、ソース領域およびチャネル領域の界面準位密度を適切に低減することが重要である。

参考文献

- [5.1] H. C. Chin, X. Liu, X. Gong, and Y. C. Yeo, "Silane and ammonia surface passivation technology for high-mobility In_{0.53}Ga_{0.47}As MOSFETs," IEEE Transactions on Electron Devices, vol. 57, no. 5, pp. 973–979, 2010.
- [5.2] Y. Xuan, Y. Q. Wu, T. Shen, T. Yang, and P. D. Ye, "High performance submicron inversion-type enhancement-mode InGaAs MOSFETs with ALD Al₂O₃, HfO₂ and HfAlO as gate dielectrics," pp. 637–640, 2007.
- [5.3] Y. Urabe et al., "Correlation between channel mobility improvements and negative V_{th} shifts in III-V MISFETs: Dipole fluctuation as new scattering mechanism," Technical Digest - International Electron Devices Meeting, IEDM, pp. 142–145, 2010.
- [5.4] R. Suzuki et al., "Effect of sulfur treatment on HfO₂/InGaAs MOS interfaces properties," in Extended Abstract

International Conference Solid State Devices and Materials, 2011, pp. 941–942.

- [5.5] A. D. Carter, W. J. Mitchell, B. J. Thibeault, J. J. M. Law, and M. J. W. Rodwell, “Al₂O₃ growth on (100) In_{0.53}Ga_{0.47} as initiated by cyclic trimethylaluminum and hydrogen plasma exposures,” *Applied Physics Express*, vol. 4, no. 9, pp. 2000–2002, 2011.
- [5.6] T. Hoshii et al., “Reduction in interface state density of Al₂O₃/InGaAs metal-oxide-semiconductor interfaces by InGaAs surface nitridation,” *Journal of Applied Physics*, vol. 112, p. 73702, 2012.
- [5.7] W. Jevasuwan et al., “Self-limiting growth of ultrathin Ga₂O₃ for the passivation of Al₂O₃/InGaAs interfaces,” *Applied Physics Express*, vol. 7, pp. 1–5, 2014.
- [5.8] H. D. Trinh et al., “The influences of surface treatment and gas annealing conditions on the inversion behaviors of the atomic-layer-deposition Al₂O₃/n-In_{0.53}Ga_{0.47}As metal-oxide- semiconductor capacitor,” *Applied Physics Letters*, vol. 97, 042903, 2010.
- [5.9] V. Djara et al., “Electrically active interface defects in the In_{0.53}Ga_{0.47}As MOS system,” *Microelectronic Engineering*, vol. 109, pp. 182–188, 2013.
- [5.10] R. Pandey et al., “Complimentary Heterojunction Vertical Tunnel FETs for Ultra-Low Power Logic,” *VLSI*, pp. 206–207, 2015.
- [5.11] W. Monch, “Role of virtual gap states and defects in metal-semiconductor contacts,” *Physical Review Letters*, vol. 58, no. 12, pp. 1260–1263, 1987.
- [5.12] J. Robertson, “Model of interface states at III-V oxide interfaces,” *Applied Physics Letters*, vol. 94, no. 15, p. 152104, 2009.
- [5.13] T. H. Glisson, J. R. Hauser, M. A. Littlejohn, and C. K. Williams, “Energy bandgap and lattice constant contours of II-VI quaternary alloys,” *Journal of Electronic Materials*, vol. 9, no. 5, pp. 869–882, 1980.

Chapter 6

InGaAs パッシベーション層の導入による GaAsSb MOS 界面特性向上

6.1 導入

TFET 特性を制限している要因の一つとして、MOS 界面準位がある。TCAD シミュレーションから、界面準位が TFET の電気特性に与える影響を定量的に評価した結果、InGaAs チャンネル領域のみならず、GaAsSb ソース領域の MOS 界面準位も TFET 特性を劣化させることが見出された。そこで、GaAsSb MOS 界面特性を向上させることが重要である。しかしながら、Sb 系材料では良く知られていることだが、空気に曝された最表面に GaO と SbO からなる自然酸化膜が直ちに形成されるため[6.1, 6.2]、界面準位密度(D_i)は依然として高い。界面準位密度低減手法は、主に pMOSFET 応用を目的として GaSb 表面の絶縁膜堆積前の様々な処理が提案・実証されている。絶縁膜堆積チャンバーと同じチャンバー内で表面処理を施す in-situ プロセスとして、熱を加えることで自然酸化膜を熱脱離させる真空アニール法[6.3]、水素プラズマを GaSb 表面に照射することで自然酸化膜を還元させる手法[6.4]などが報告されている。一方、絶縁膜堆積チャンバー外で処理を施す ex-situ プロセスとしては、塩酸溶液(HCl)[6.5]、硫化アンモニウム水溶液($(\text{NH}_4)_2\text{S}_x$)[6.6]などの化学溶液処理が報告されているが、いずれも良好な MOS 界面の実現には至っていない。最近、超極薄 InAs 界面層を $\text{Al}_2\text{O}_3/\text{GaSb}$ MOS 界面に挿入する手法が提案され、実験的に良好な MOS 特性が得られることが報告された[6.7, 6.8]。InP 基板に格子整合している $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ MOS 界面上のパッシベーション層として、同様に格子整合系の $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ が期待される。GaAsSb 表面に InGaAs パッシベーション層を施した MOS が InGaAs MOS ではなく、GaAsSb MOS として機能するためにはキャリアが GaAsSb 表面に支配的に生成されている必要がある。この観点から言うと、極薄の InGaAs 層が望ましいが、一方でエピタキシャル成長の観点から言うと、高品質な極薄 InGaAs 層を得ることは困難である。すなわち、InP 基板上の InGaAs/GaAsSb MOS 界面特性は、InGaAs の膜厚に関して、トレードオフの関係性を有する。そこで、本章では InP 基板上の InGaAs/GaAsSb MOS 界面特性を InGaAs パッシベーション層の膜厚に関連づけて評価した。

6.2 MOS キャパシタの C - V 特性及び界面準位評価手法

本節では、MOS キャパシタの評価手法を述べる。図 6.1 に理想的な p 型 MOS キャパシタの C - V 特性を示す。p 型 MOS キャパシタは、金属、絶縁膜、p 型の半導体から構成される。ゲート電極に負のバイアスを加えると半導体表面にマジョリティーキャリアである正孔が引き寄せられ、この状態を蓄積状態と呼ぶ。容量値は酸化膜容量 C_{ox} と等しくなる。正のバイアスを加えると半導体表面から正孔が遠ざけられるため、半導体表面にはキャリアが存在せず、空乏状態となる。さらに強い正のバイアスを印加すると伝導帯端がフェルミ準位に近づき、伝導帯に電子が誘起され反転状態となる。このとき、測定周波数によって様子が異なる。空乏領域におけるキャリアの生成・再結合の寿命を τ とすると低周波(一般的には 1 から 100 Hz)測定では、測定周波数 f が $1/\tau$ より非常に小さいため、ゲートバイアスに加わる変化に追従して空乏領域内の少数キャリアが誘起される。一方で、高周波(一般的には 1 から 10 MHz)では f が $1/\tau$ が非常に大きいいため、キャリアの生成・再結合が無視されるため容量値は変化しない。実際の測定は LCR メーターを用いて、直流電圧にある周波数の微少な交流電圧を加え、交流電流を測定し、その値から容量値を算出している。本研究では Agilent 社の E4980A を用いて測定を行った。

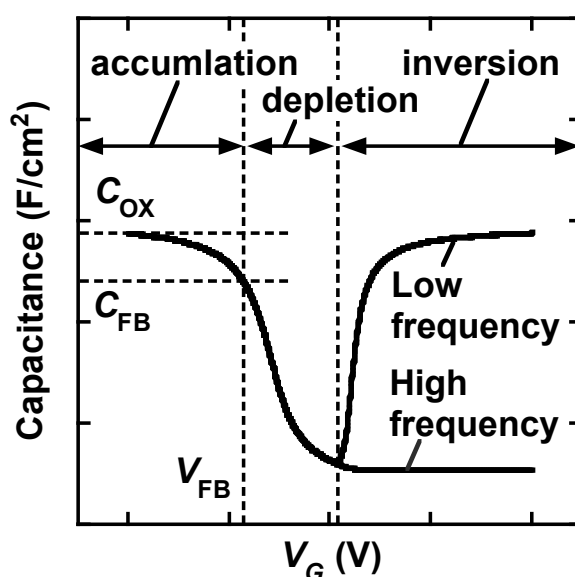


図 6.1 理想的な p 型 MOS キャパシタの C - V 特性

界面準位密度を定量的に求める手法としては、Terman 法や Conductance 法が一般的に用いられる。本研究では、Conductance 法を用いて界面準位密度を評価した。Conductance 法では、直流電圧を固定し、半導体表面を空乏状態とし、交流電圧の周波数を掃引することで、マジョリティーキャリア(p 型 MOS の場合は正孔)とフェルミレベルの界面準位の捕獲と放出過程における損失を測定する手法である。

6.3 実験手法

$\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}_{0.51}\text{Sb}_{0.49}/\text{InP}$ MOS キャパシタの概略図とプロセスフローを図 6.2 に示す。 $\text{InP}(100)$ 基板($N_A \sim 3 \times 10^{17} \text{ cm}^{-3}$)上に、VG semicon 社製の VG90 有機金属分子線エピタキシー(metal-organic molecular beam epitaxy; MOMBE)で In-free のホルダーを用いて[6.9]、Be をドーピングした n 型 InP バッファー層、un-doped GaAsSb 層(300 nm)、厚さ 0, 0.5, 1.0, 1.5, 2.0 そして 3.0 nm の Un-doped InGaAs 層を順次成長した。GaAsSb ウエハをアセトンとイソプロピルアルコールで脱脂洗浄した後、InGaAs や GaSb などよく知られた表面処理技術である 0.6 % ~ 1.0 % の $(\text{NH}_4)_2\text{S}_x$ 溶液で表面をパッシベーションした[6.10 – 6.12]。続いて、原子層堆積法(Atomic layer deposition; ALD)法で、 Al_2O_3 を比較的低温である 150°C で 10 nm 堆積させた。これは GaSb の自然酸化膜は、昇温脱離ガス分析(Thermal desorption spectroscopy; TDS)の結果、 $\sim 150^\circ\text{C}$ から脱離

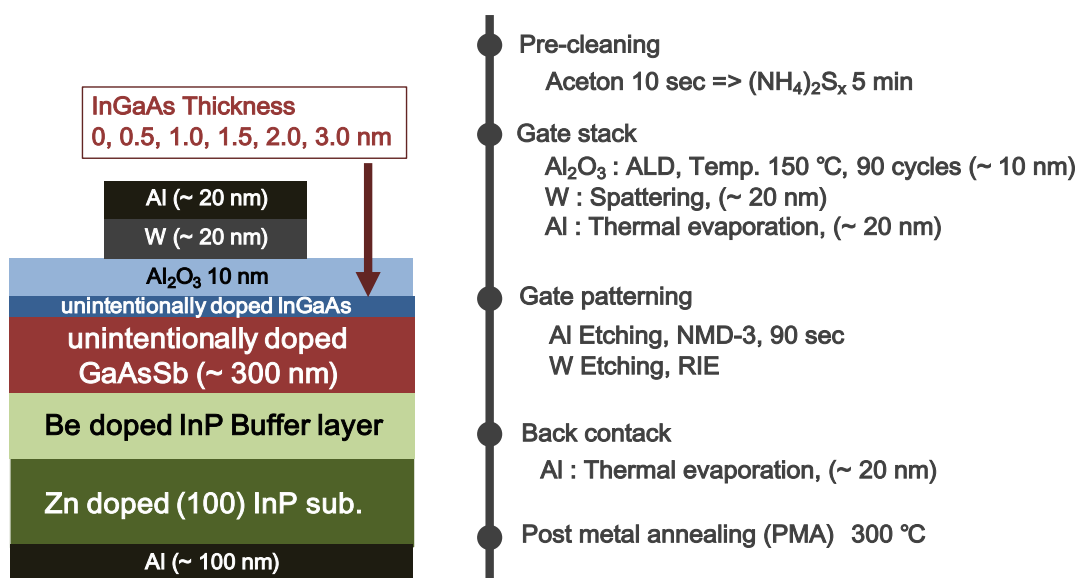


図 6.2 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}_{0.51}\text{Sb}_{0.49}/\text{InP}$ MOS キャパシタの概略図とプロセスフロー

が始まり、いくつかの段階を経て、 $\sim 300^\circ\text{C}$ 以上からはバルク中からSbが脱離することが知られており[6.13]、さらに GaSb MOS Capacitor の C-V 特性から本研究室が所有する Beneq-ALD システムにおいては、 Al_2O_3 の堆積温度 150°C が最も良好な MOS 界面特性が得られることが分かっている。最後に、Al/W ゲート電極及び、Al バックコンタクトをスパッタ法と熱蒸着法を用いて形成した。

6.4 エピタキシャル成長ウエハの評価

MOMBE 法により InP 基板上に成長した InGaAs/GaAsSb ヘテロ構造の結晶性を評価するため、X線回折(X-ray diffraction; XRD)プロファイルを測定した。図 6.3 に InGaAs/GaAsSb/InP ヘテロ構造の XRD ロッキングカーブ(ω -スキャン)を示す。ここで、InGaAs の膜厚は 0, 0.5, 1.0, 1.5, 2.0, 3.0 nm である。GaAsSb のピークは InP のピークと良く一致していることから、InP 基板に格子整合していることが明らかになった。一方、InGaAs 層に関しては、膜厚が 3.0 nm 以下と極薄であることから明瞭なピークは観測されなかった。GaAsSb 層のキャリア濃度は電気化学的容量-電圧(Electrochemical C-V profiler; ECV) から測定し。その結果を図 6.4 に示す。キャリア濃度は $\sim 2 \times 10^{17} \text{ cm}^{-3}$ と見積もられた。GaAsSb のキャリア濃度が $2 \times 10^{17} \text{ cm}^{-3}$ の場合、MOS

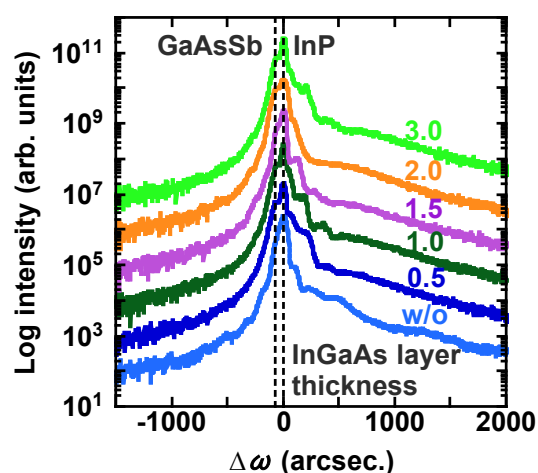


図 6.3 MOMBE 法で InP 基板上にエピタキシャル成長させた $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{GaAs}_{0.51}\text{Sb}_{0.49}$ ヘテロ構造の XRD ロッキングカーブ(ω スキャン)

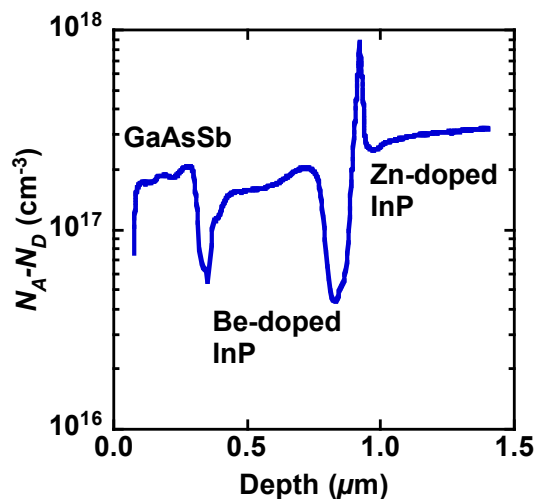


図 6.4 ECV 法から求めた InP 基板上の GaAsSb/InGaAs ヘテロ接合のキャリア密度

キャパシタの最大空乏層幅は 300 nm 以下であり、成長した GaAsSb 層の膜厚は MOS キャパシタの評価をするのに十分であることが分かった。

6.5 C-V 特性評価

図 6.5 に InP 基板の上に厚さ 1.0 nm の InGaAs 層がある場合とない場合の 10-nm $\text{Al}_2\text{O}_3/\text{i-InGaAs}/\text{p-GaAsSb}/\text{InP}$ MOS キャパシタの C-V 特性を示す。ここで、全ての測定は室温で行い、測定周波数は 100 kHz から 1 MHz とした。正のゲートバイアス加えた時の反転領域において、極薄 InGaAs 層を挿入することで周波数分散が明らかに抑制されていることが分かった。従って、極薄 InGaAs 層は $\text{Al}_2\text{O}_3/\text{p-GaAsSb}$ MOS 界面特性を著しく改善することを見出した。他方、負バイアスを加えた時の蓄積・空乏領域においては、GaAsSb 表面が極薄 InGaAs 層によってパッシベーションされているかの有無にかかわらず、10 kHz 以上の高周波で容量値の減少がみられ、強い周波数分散を示した。この結果は GaAsSb/InP ヘテロ界面に高い直列抵抗と静電容量が存在することを示唆している。また、 $\text{Al}_2\text{O}_3/\text{InGaAs}/\text{GaAsSb}$ MOS キャパシタのヒステリシスは $\text{Al}_2\text{O}_3/\text{GaAsSb}$ MOS キャパシタのヒステリシスよりも大きく見えている。この要因として

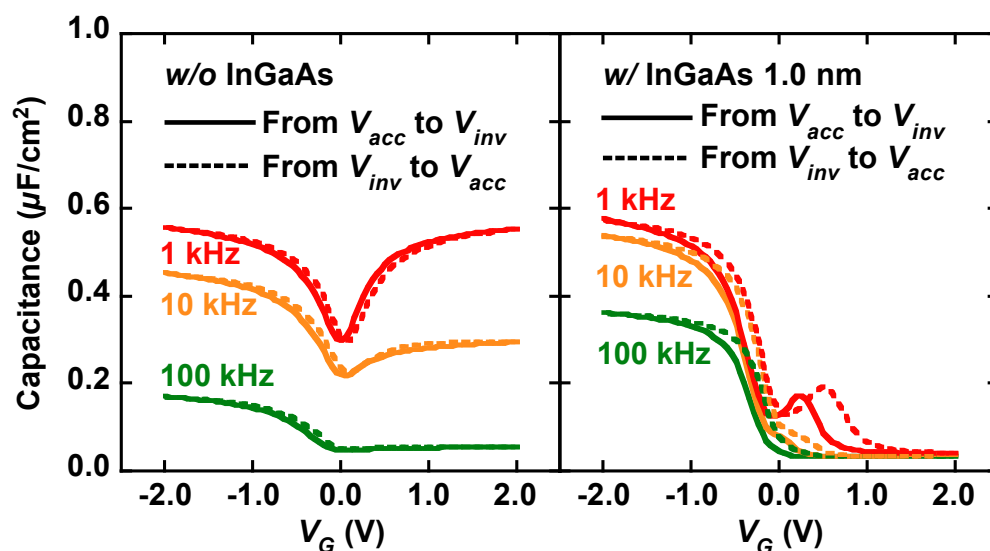


図 6.5 InP 基板の上に厚さ 1.0 nm の InGaAs 層がある場合とない場合の 10-nm $\text{Al}_2\text{O}_3/\text{i-InGaAs}/\text{p-GaAsSb}/\text{InP}$ MOS キャパシタの C-V 特性

は、 Al_2O_3 中の遅い準位や、 $\text{Al}_2\text{O}_3/\text{InGaAs}/\text{GaAsSb}$ 構造によって伝導帯に生じる量子井戸内への電子の応答が考えられる。 InGaAs 層の膜厚が十分に厚い場合、反転領域から蓄積領域までゲートバイアスを掃引する際に、エネルギー井戸に電子が蓄積されるため、井戸内の電子を放出するために高いゲートバイアスが必要となり、 $C-V$ 曲線が右(正)側にシフトするため、ヒステリシスが生じる。しかしながら、本研究の場合、 InGaAs 層の膜厚は 3 nm 以下であるため、量子効果によって InGaAs の伝導帯端が増加するため、電子が量子井戸に蓄積することはないと推測できる。実際、極薄 InGaAs 層を施した GaAsSb MOS キャパシタのヒステリシス量は、本実験と同様の Al_2O_3 を堆積させた InGaAs バルク MOS キャパシタのヒステリシス量とほぼ同じである。以上から、極薄 InGaAs 層を挿入した GaAsSb MOS キャパシタのヒステリシスは、 Al_2O_3 中の遅い準位が主要因と考えられる。他方、極薄 InGaAs を施していない GaAsSb MOS キャパシタは界面準位密度が非常に高いため、ヒステリシスが小さいように観測されたと推測される。

6.6 蓄積側における周波数分散の理解

$\text{Al}_2\text{O}_3/\text{InGaAs}/\text{GaAsSb}/\text{InP}$ MOS キャパシタの界面準位密度(D_{it})を正しく定量的に評価するためには、蓄積・空乏領域における周波数分散の要因を明らかにする必要がある。 GaAsSb 界面の価電子帯端(E_v)からミッドギャップ(E_{mid})までの界面準位密度は、これら周波数分散の要因の一つとなり得るが、図 6.6 に示した $C-V$ 特性から、測定周波数 1 kHz においても空乏領域において容量値の減少が観測されていることから、一般的に $D_{it} \sim 10^{14} \text{ eV}^{-1}\text{cm}^{-2}$ のような高い界面準位によって生じるフェルミレベルピンニングによるものではない。従って、これらの周波数分散の要因を説明する別の理由を考慮する必要がある。他の可能性のある理由は、 GaAsSb と InP とのヘテロ界面で価電子帯端のエネルギーギャップによって生じる追加の直列容量と抵抗である。そこで、 $\text{Al}_2\text{O}_3/\text{GaAsSb}/\text{InP}$ MOS キャパシタのバンドダイアグラムを TCAD シミュレータ(Synopsys Sentaurus Device)を用いて計算した[6.14]。ここで、 $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ のバンドギャップ値は、 $\text{GaAs}_{0.51}\text{Sb}_{0.49}$ が InP に格子整合するため歪みの影響を考慮せずに GaAs と GaSb の値[6.15]を用いて Vegard 則から計算した。バンドオフセットのデータは Van de Walle の model-solid 理論から見積もった[6.16]。図 6.6 にフラットバンド電圧における $\text{Al}_2\text{O}_3/\text{GaAsSb}/\text{InP}$ MOS キャパシタの計算バンドダイアグラムを示す。 GaAsSb と InP との間の価電子帯端のオフセットは $\sim 0.6 \text{ eV}$ である。そのため、正孔は GaAsSb/InP ヘテロ界面に負のバイアスで蓄積領域および弱空乏領域の時に蓄積する。AC バイアスがゲート電極に印加されると、正孔は GaAsSb/InP ヘテロ界面のエネルギーギャップを超えて移動する。これらの正孔の AC 応答の様子は、図 6.6 に示す様に直列抵抗

および容量によって表すことが出来る。GaAsSb/InP ヘテロ構造における直列抵抗(G_h)および静電容量(C_H)が GaAsSb MOS キャパシタの $C-V$ 特性に与える影響を調べるため、TCAD シミュレーションから $C-V$ 特性を計算した。ここで、実験条件に基づいて $CET = 5.8 \text{ nm}$ の条件で計算した。ここで、少数キャリアの寿命 τ_e は $5 \times 10^{-9} \text{ s}$ と仮定した[6.17]。GaAsSb のキャリア密度は、計算された最小容量値(C_{\min})の値が実験値と合うように調整した。図 6.7 に GaAsSb MOS キャパシタの各周波数(1, 10, 100 kHz, 1 MHz) における蓄積領域の容量値を InP 基板の有無の比較として示した。さらに試作した GaAsSb MOS キャパシタの蓄積領域における容量値も同時に示した。InP 基板上の GaAsSb MOS キャパシタの蓄積領域での容量値は、実験とシミュレーションの両方で、周波数が増加するにつれて減少した。GaAsSb 単層の MOS キャパシタの容量値は変化が見られない。この結果は、GaAsSb/InP ヘテロ界面での価電子帯端のエネルギーギャップによって生じる直列抵抗および容量が、 $C-V$ 特性の蓄積領域における周波数分散の要因であることを示している。

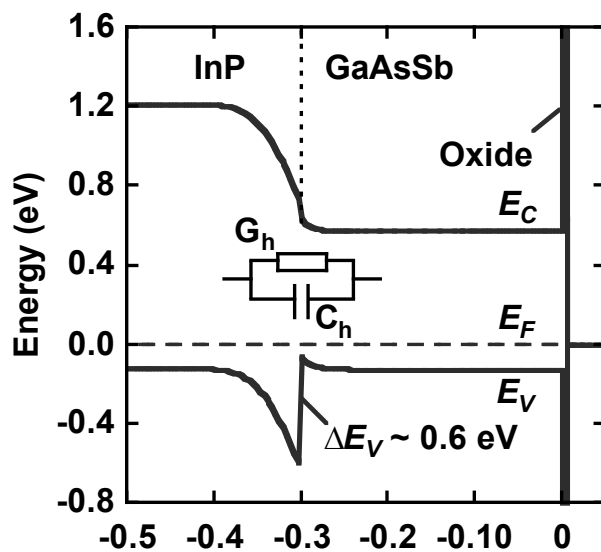


図 6.6 フラットバンド電圧における $\text{Al}_2\text{O}_3/\text{GaAsSb}/\text{InP}$ MOS キャパシタの計算バンドダイアグラム

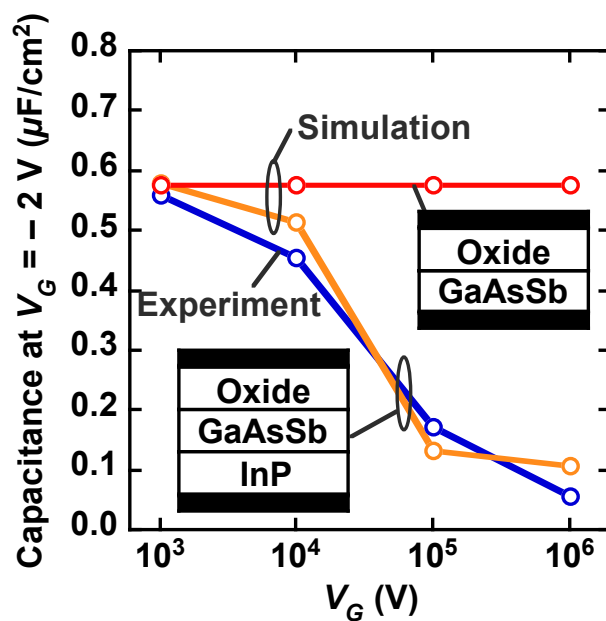


図 6.7 GaAsSb MOS キャパシタの各周波数(1, 10, 100 kHz, 1 MHz) における蓄積領域の容量値を InP 基板の有無の比較として示した

6.7 寄生容量・抵抗補正および界面準位密度の評価

コンダクタンス法を用いて GaAsSb MOS キャパシタの正確な D_{it} を算出するためには、ヘテロ界面での直列抵抗および容量を考慮して MOS キャパシタの等価回路を決定する必要がある。図 6.8(a) は直列抵抗の補正 (Series resistance correction; SRC) を考慮した等価回路である [6.18]。これは、酸化膜容量 (C_{ox})、半導体の空乏容量 (C_d)、および界面準位による容量 (C_{it}) から構成される。 D_{it} におけるキャリアの捕獲と放出は損失過程であり、コンダクタンス (G_{it}) で表される。 $Al_2O_3/GaAsSb/InP$ MOS キャパシタの様に、半導体部にヘテロ構造を含む場合、ヘテロ界面に存在する抵抗成分 (G_h) と容量 (C_h) を図 6.8 (b) の様に直列に加算する必要がある [6.19]。図 6.8 (c) はヘテロ界面に存在する成分と基板抵抗成分を簡略化した等価回路である。ゲートバイアスを十分に加え強蓄積状態とした時、半導体の空乏容量は等価回路の他の構成要素よりも大きいので、半導体と界面準位からのインピーダンスは図 6.8 (d) に示す様に無視することが出来る。一般の容量計は、 C_{ma} - G_{ma} 並列回路を想定しているため、MOS キャパシタを測定した時は図 6.8 (e) の等価回路となる。図 6.8 (e) と (d) を比較すると、寄生容量 (C_s) とコンダクタンス (G_s) は次の式で求められる。

$$C_s = \frac{\omega^2 C_{m,acc} C_{ox} (C_{ox} - C_{m,acc}) - C_{ox} G_{m,acc}^2}{G_{m,acc}^2 + \omega^2 (C_{ox} - C_{m,acc})} \quad (1)$$

$$G_s = \frac{\omega^2 C_{ox} G_{m,acc}}{G_{m,acc}^2 + \omega^2 (C_{ox} - C_{m,acc})} \quad (2)$$

ここで、 C_s と G_s は原理的にゲートバイアスの条件に依存する。しかしながら、本研究では、単純化のために C_s と G_s は蓄積、空乏領域の範囲内でゲートバイアスとは無関係に一定値であると仮定した。測定された C_{ma} と G_{ma} から C_s と G_s の影響を差し引いた補正容量 ($C_{correction}$) とコンダクタンス ($G_{correction}$) は以下の様に計算出来る。

$$C_{correction} = \frac{(C_s G_m + C_m G_s)(G_s - G_m) - (C_s - C_m)(G_s G_m - \omega^2 C_s C_m)}{(G_s - G_m)^2 + \omega^2 (C_s - C_m)^2} \quad (3)$$

$$G_{correction} = \frac{G_m(\omega^2 C_s^2 + G_s^2) - G_s(\omega^2 C_m^2 + G_m^2)}{(G_s - G_m)^2 + \omega^2 (C_s - C_m)^2} \quad (4)$$

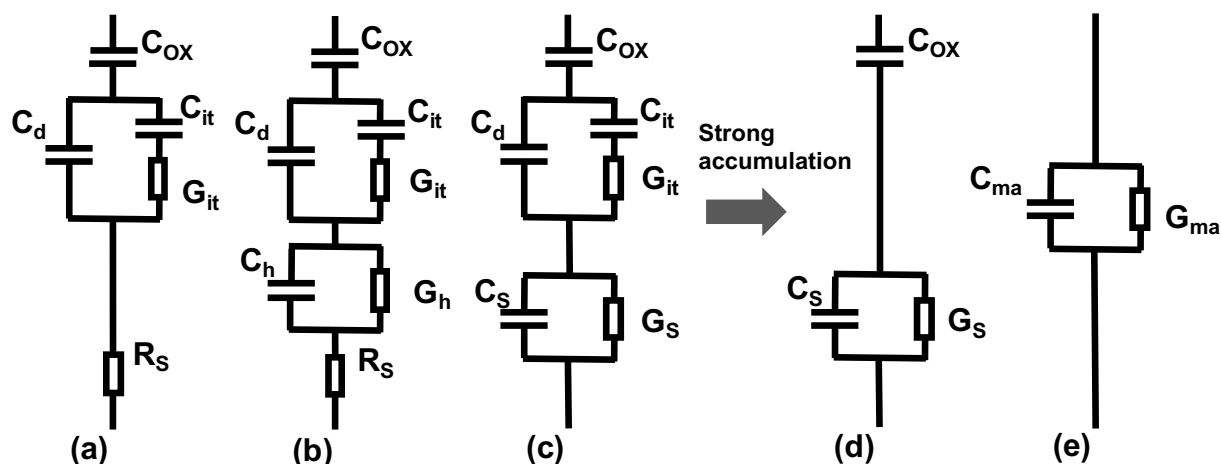


図 6.8 MOS キャパシタの等価回路

図 6.9 に SRCC 法でヘテロ界面の寄生容量とコンダクタンスを差し引き補正した $C-V$ 特性を示す。ここで、寄生容量とコンダクタンスを決定づけるためにゲートバイアス $V_g = -2$ V を強蓄積領域と定義した。極薄 InGaAs 層を施した GaAsSb MOS キャパシタの $C-V$ 特性では、蓄積、空乏領域の周波数分散が明らかに抑制されている。これは、SRCC 法を用いることで InP 基板上的 GaAsSb MOS キャパシタにおいてヘテロ界面の価電子帯端のエネルギーギャップに付随する寄生容量とコンダクタンスを適切に除去できることを示唆している。これらの結果から、GaAsSb MOS 界面における界面準位密度や関連する物性は、SRCC 法で補正した G_p/ω -frequency 特性から評価することができると判断できる。一方で、極薄 InGaAs パッシベーション層を施していない MOS キャパシタの空乏領域の周波数分散は完全に除去されていないが、これは価電子帯端(E_v)からミッドギャップ(E_{mid})にかけて界面準位密度が高いためと推測される。GaAsSb MOS キャパシタのフラットバンド容量(C_{FB})は $\sim 0.4 \mu\text{F}/\text{cm}^2$ であり、極薄 InGaAs 層を施していない、および施した試料のフラットバンド電圧(V_{FB})は、それぞれ ~ -0.9 V および -0.7 V である。極薄 InGaAs 層が GaAsSb MOS キャパシタの界面特性へ与える影響を調べるため、空乏領域に対応するフラットバンド電圧(V_{FB}) -0.7 V から $V_g = -4.6$ V までステップ電圧(V_{step})を 0.04 V として G_p/ω -frequency 特性を測定した。

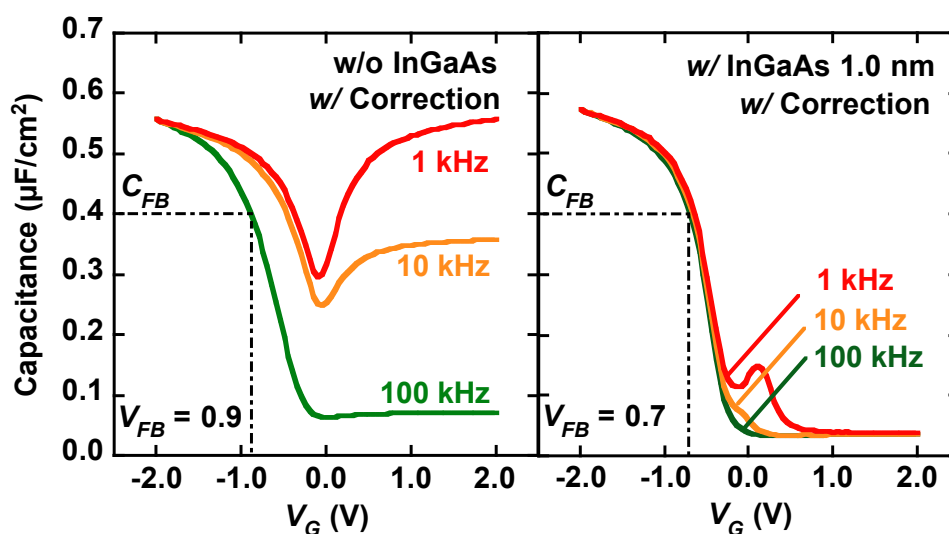


図 6.9 SRCC 法でヘテロ界面の寄生容量とコンダクタンスを差し引き補正した C - V 特性

図 6.10 に極薄 InGaAs 層を施していない試料と施した GaAsSb MOS キャパシタの SRCC 法で GaAsSb/InP ヘテロ界面の寄生容量とコンダクタンスを差し引いた界面準位の応答に対応する G_p/ω -frequency 特性を示す。極薄 InGaAs 層の有無にかかわらず、室温で 10 kHz ~ 1 MHz の範囲で明確な G_p/ω ピークが観測された。極薄 InGaAs を施していない試料の G_p/ω ピークはゲートバイアスを変化させるとフェルミ準位(E_F)の変調に合わせてピーク位置がシフトしていることが確認された。これは次に示す正孔の界面準位による捕獲・放出の時定数(τ)を用いて説明できる。ここで、 v_{th} はキャリアの熱速度、 σ_p はキャリアが界面準位に捕獲・放出される際の捕獲断面積、 N_V は実効状態密度、 k はボルツマン定数、 T は測定温度である。

$$\sigma_p = \frac{1}{\tau v_{th} N_V} \exp\left(\frac{E_F - E_V}{kT}\right) \quad (5)$$

GaAsSb MOS キャパシタのゲートバイアスを -0.70 V から -0.46 V に増加させると、フラットバンド状態から空乏状態へとバンド構造が変化していき、GaAsSb 表面の表面ポテンシャルが減少、つまり $(E_F - E_V)$ は増加し、界面準位の時定数 τ は増加する。その結果、ピーク周波数と界面準位の時定数 τ は反比例の関係にある

ため、ピーク位置は低周波側へシフトする。一方で、極薄 InGaAs 層を施した試料では、 G_p/ω ピークシフトは殆ど見られていない。この現象を完全に理解することは出来ていないが、バルクトラップの応答によるものと推測される。これらの結果から、界面準位に対応する G_p/ω のピーク値は極薄 InGaAs 層を施していない試料よりも明らかに減少していることが分かった。

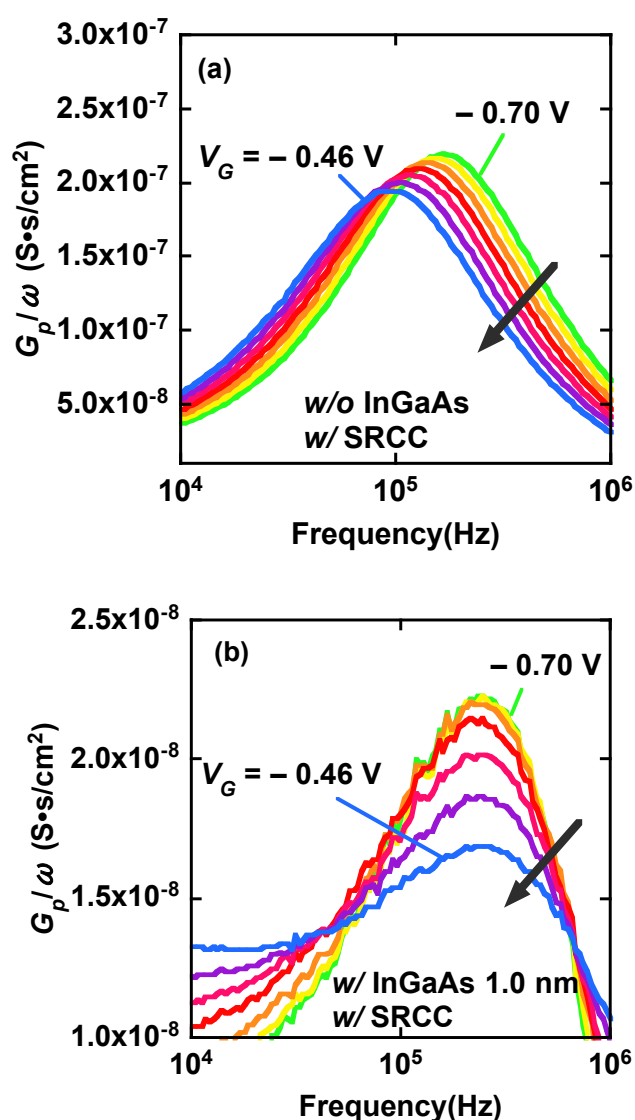


図 6.10 極薄 InGaAs 層を施していない試料と施した GaAsSb MOS キャパシタの SRCC 法で GaAsSb/InP ヘテロ界面の寄生容量とコンダクタンスを差し引いた界面準位の応答に対応する G_p/ω -frequency 特性

定量的に界面準位密度を評価するため、 G_p/ω -frequency 曲線から界面準位密度を、さらに表面ポテンシャルと界面準位密度の関係を明らかにする必要がある。図 6.11 に実験的に得られた $C-V$ 特性から SRCC 法で GaAsSb/InP ヘテロ接合における寄生抵抗・容量を差し引いた $C-V$ 特性と TCAD シミュレーションを用いて計算した理想的な高周波 $C-V$ 特性を同時に示す。また、静電容量の関数として決定された表面電位(E_F-E_V)をそれぞれ示す。与えられたゲートバイアスに対する表面電位(E_F-E_V)の値は、図 6.11(a)と(b)の結果を組み合わせることで評価することが出来る。界面準位密度の値は、表面揺らぎを考慮した。 G_p/ω -frequency の実験曲線は、ドーピング密度のゆらぎ、酸化膜中の電荷や界面トラップが一様でないために表面電位が揺らぎ、界面トラップの時定数が幅を持つため、より広がっている。このような表面電位の揺らぎを考慮すると、界面準位はコンダクタンスピークを用いて下記の式(6)、(7)から求められる。

$$\frac{\langle G_p \rangle}{\omega} = \frac{q}{2} \int_{-\infty}^{\infty} \frac{D_{it}}{\omega \tau_p} \ln(1 + \omega^2 \tau_p^2) P(v_s) dv_s \quad (6)$$

$$P(v_s) = (2\pi\sigma_s^2)^{-\frac{1}{2}} \exp \left[-\frac{(v_s - \langle v_s \rangle)^2}{2\sigma_s^2} \right] \quad (7)$$

この式を用いて算出した界面準位密度、時定数、捕獲断面積を図 6.12 に示す。GaAsSb 表面に InGaAs パッシベーション層を施すことで、明らかに界面準位密度の低減が見られた。InGaAs の膜厚を 1.0 nm とすることで、InGaAs 層を施していないサンプルと比較して界面準位密度の値は約 1 桁低減し、 $\sim 3 \times 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ を得た。この時、時定数の値は $10^{-5} \sim 10^{-6} \text{ sec}$ 程度の値であった。捕獲断面積は InGaAs の有無および膜厚によらず、殆ど同じ値を示した。以上の結果から、1.0 ~ 1.5 nm の厚さの界面 InGaAs 層が、GaAs_{0.51}Sb_{0.49}MOS 界面を効果的にパッシベーションし、より低い界面準位密度でより良好な MOS 界面特性を実現できることを見出した。

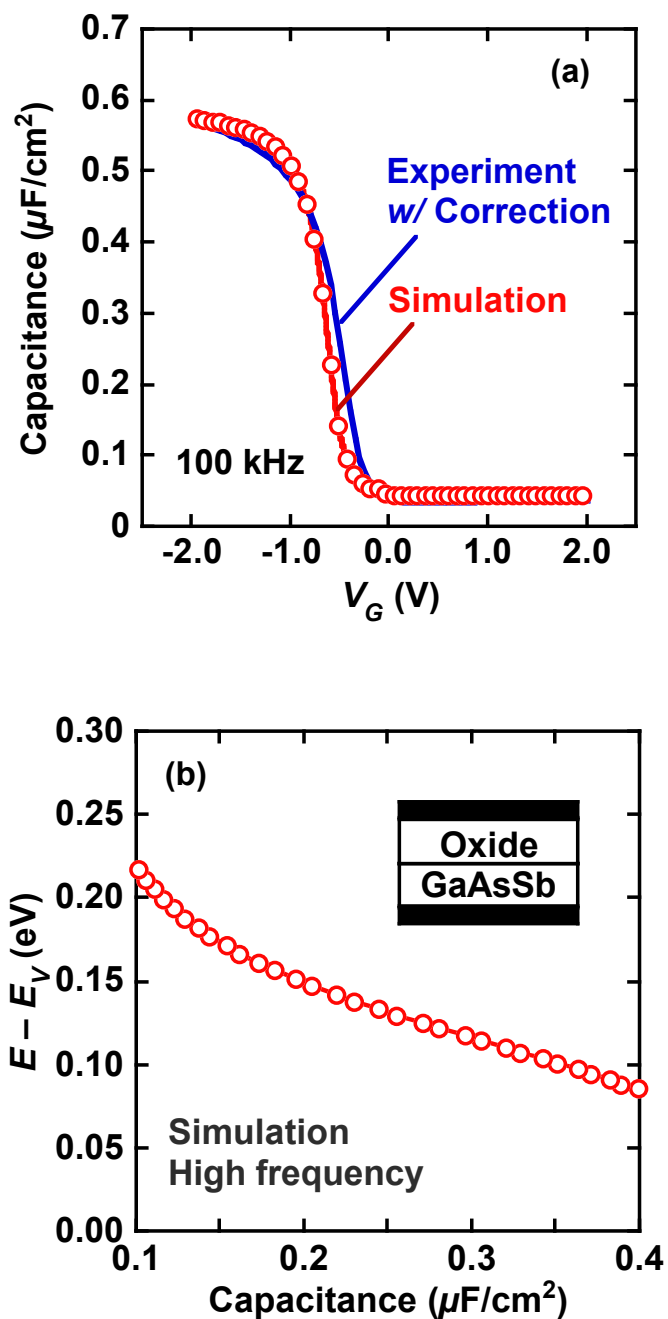


図 6.11 実験的に得られた C - V 特性から SRCC 法で GaAsSb/InP ヘテロ接合における寄生抵抗・容量を差し引いた C - V 特性と TCAD シミュレーションを用いて計算した理想的な高周波 C - V 特性

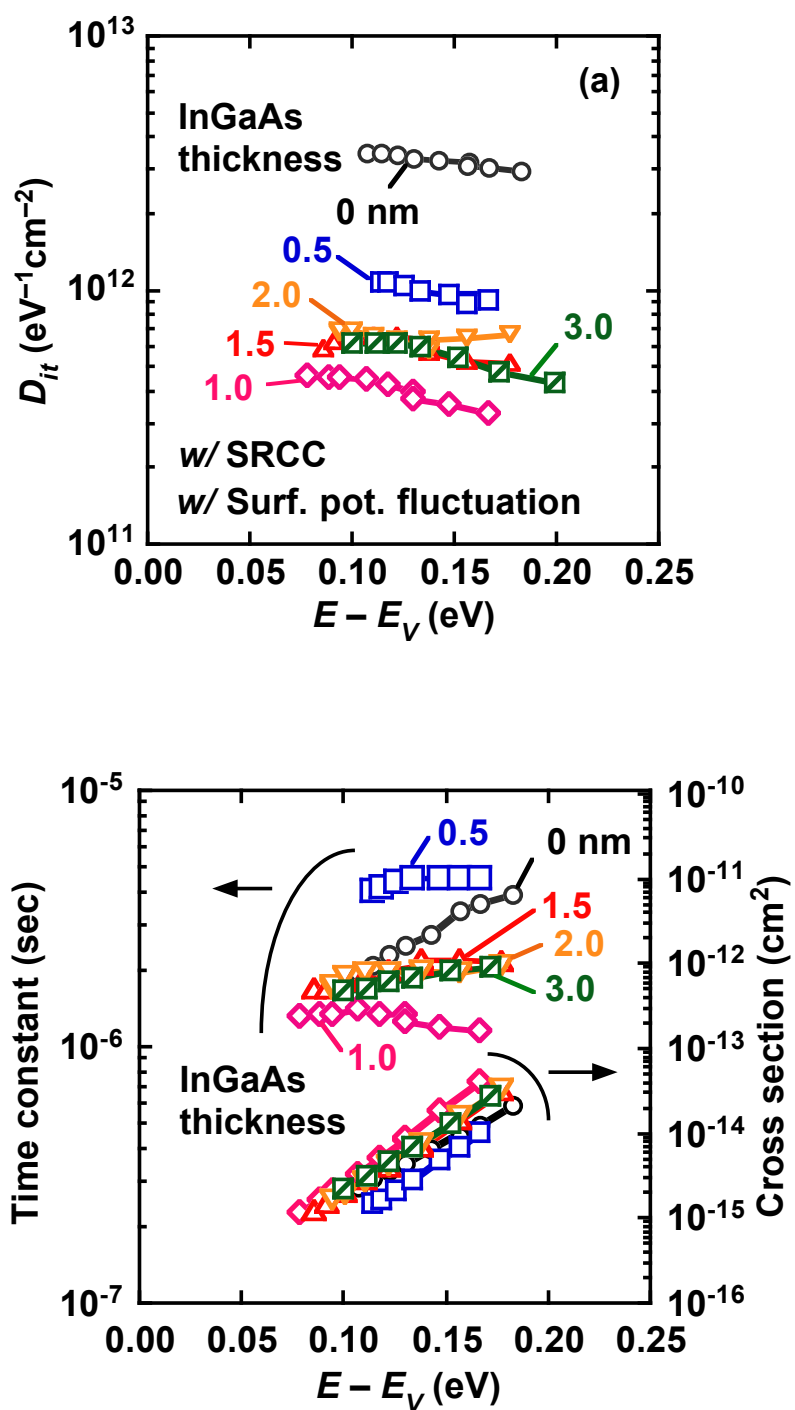


図 6.12 Al₂O₃/In_{0.53}Ga_{0.47}As/GaAs_{0.51}Sb_{0.49}/InP MOS キャパシタの界面準位密度、時定数、捕獲断面積

6.8 まとめ

GaAsSb MOS 界面特性の向上を目的として、GaAsSb 上の InGaAs パッシベーション層の検討を行った。GaAsSb 層は InP 基板上に成長したが、GaAsSb と InP 間の価電子帯端のオフセット値は $\sim 0.6\text{eV}$ であり、GaAsSb MOS キャパシタの C-V 曲線には直列抵抗と静電容量の存在により大きな周波数分散が生じることが分かった。本論文では、界面準位の性質を正確に解析するため、ヘテロ界面を有する MOS キャパシタの新規な等価回路に基づくコンダクタンス法を適用した。1.0 ~ 1.5 nm の厚さの界面 InGaAs 層が、GaAs_{0.51}Sb_{0.49}MOS 界面を効果的にパッシベーションし、より低い界面準位密度でより良好な MOS 界面特性を実現できることを見出した。

参考文献

- [6.1] G. P. Schwartz, G. J. Gualtieri, J. E. Griffiths, C. D. Thurmond, and B. Schwartz, "Oxide-Substrate and Oxide-Oxide Chemical Reactions in," *Journal of Electrochemical Society*, vol. 127, no. 11, pp. 2488–2499, 1980.
- [6.2] A. Ali et al., "Small-Signal Response of Inversion Layers in Made With Thin High- κ Dielectrics," vol. 57, no. 4, pp. 742–748, 2010.
- [6.3] T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, T. Yasuda, and T. Maeda, "Effects of HCl treatment and predeposition vacuum annealing on Al₂O₃/GaSb/GaAs metal–oxide–semiconductor structures," *Japanese Journal of Applied Physics*, vol. 54, p. 21201, 2015.
- [6.4] L. B. Ruppalt et al., "Atomic layer deposition of Al₂O₃ on GaSb using in situ hydrogen plasma exposure Atomic layer deposition of Al₂O₃ on GaSb using in situ hydrogen plasma exposure," vol. 231601, pp. 1–6, 2012.
- [6.5] A. Nainani et al., "Optimization of the Al₂O₃/GaSb Interface and a High-Mobility GaSb pMOSFET," *IEEE Transactions on Electron Devices*, vol. 58, no. 10, pp. 3407–3415, 2011.
- [6.6] Z. Tan, L. Zhao, J. Wang, and J. Xu, "Improved Properties of HfO₂/Al₂O₃/GaSb MOS Capacitors Passivated with Neutralized (NH₄)₂S Solutions," *ECS Solid State Letters*, vol. 2, no. 8, pp. 61–62, May 2013.
- [6.7] A. Greene et al., "Improvement of the GaSb/Al₂O₃ interface using a thin InAs surface layer," *Solid-State Electronics*, vol. 78, pp. 56–61, Dec. 2012.
- [6.8] M. Yokoyama, H. Yokoyama, M. Takenaka, and S. Takagi, "Impact of interfacial InAs layers on Al₂O₃/GaSb metal-oxide-semiconductor interface properties," *Applied Physics Letters*, vol. 106, no. 12, p. 122902, 2015.

- [6.9] M. Mitsuhashi, T. Sato, N. Yamamoto, H. Fukano, and Y. Kondo, "Carbon reduction and antimony incorporation in InGaAsSb films grown by metalorganic molecular beam epitaxy using tris-dimethylaminoantimony," *Journal of Crystal Growth*, vol. 311, no. 14, pp. 3636–3639, 2009.
- [6.10] R. D. Long et al., "Structural analysis, elemental profiling, and electrical characterization of HfO₂ thin films deposited on In_{0.53}Ga_{0.47}As surfaces by atomic layer deposition," *Journal of Applied Physics*, vol. 106, no. 8, p. 084508, 2009.
- [6.11] R. Suzuki et al., "Effect of sulfur treatment on HfO₂/InGaAs MOS interfaces properties," in *Extended Abstract International Conference Solid State Devices and Materials*, 2011, pp. 941–942.
- [6.12] M. Yokoyama et al., "Sulfur cleaning for (100), (111)A, and (111)B InGaAs surfaces with In content of 0.70 and their Al₂O₃/InGaAs MOS interface properties," in *24 th International Conference on Indium Phosphide and Related Materials (IPRM)*, 2012, p. 167.
- [6.13] T. Gotow et al., "Surface cleaning and pure nitridation of GaSb by in-situ plasma processing Surface cleaning and pure nitridation of GaSb by in-situ plasma processing," *AIP Advances*, vol. 7, p. 105117, 2017.
- [6.14] TCAD Sentaurus Device Manual Version H-2013.03. Synopsys, 2013.
- [6.15] I. Vurgaftman, J. R. Meyer, and L. R. Ram-Mohan, "Band parameters for III-V compound semiconductors and their alloys," *Journal of Applied Physics*, vol. 89, no. 11, pp. 5815–5875, 2001.
- [6.16] C. G. V. de Walle, "Band lineups and deformation potentials in the model-solid theory," *Physical Review B*, vol. 39, no. 3, p. 1871, 1989.
- [6.17] S. Adachi, *Properties of Group-IV, III-V and II-V semiconductors*. John Wiley & Sons, Ltd, 2005.
- [6.18] E. H. Nicollian and J. R. Brews, *MOS Physics and Technology*. Wiley, New York, 1982.
- [6.19] W. Cai, M. Takenaka, and S. Takagi, "Evaluation of interface state density of strained-Si metal-oxide-semiconductor interfaces by conductance method," *Journal of Applied Physics*, vol. 115, p. 94509, 2014.

Chapter 7

結論

7.1 本研究で得られた成果

本論文では、CMOS の微細化限界の抜本的な解決手法として期待が高いバンド間トンネルを利用した新原理トンネルトランジスタに着目し、その中でもソース・チャンネル接合に異種材料を組み合わせることでソース領域の価電子帯端とチャンネル領域の伝導帯端の差で定義される実効バンドギャップを小さくすることができ、それに伴ってトンネル距離の短縮も見込まれることから高いオン電流と ON/OFF 比実現可能な GaAsSb/InGaAs Type-II ヘテロ接合 TFET を研究対象とした。GaAsSb/InGaAs TFET の動作実証例は数える程であり、また特性向上のための詳細な解析および定量的な議論は不十分である。そこで本論文では、GaAsSb/InGaAs TFET の素子実証と物理分析と 2 次元デバイスシミュレーションとを組み合わせた解析を行うことによる物理的機構の明確化、加えて特性向上に向けた技術の確立を目的とした。

第 2 章では、GaAsSb/InGaAs TFET の素子実証の鍵となる InP 基板上にエピタキシャル成長させた p-GaAsSb/i-InGaAs エピウエハを評価した。その結果、n-InP 基板に格子整合した p-GaAsSb と i-InGaAs 層が貫通転位なく、設計通りの膜厚でエピタキシャル成長していることが分かった。また、最表面である p-GaAsSb の自乗平均面粗さは、 $20\ \mu\text{m} \times 20\ \mu\text{m}$ 四方においても $0.416\ \text{nm}$ であり、p-GaAsSb 表面は非常に平坦であることから p-GaAsSb/i-InGaAs ヘテロ構造は幾何学的に縦型 TFET の試作に十分であることが分かった。この p-GaAsSb/i-InGaAs/n-InP ヘテロエピウエハを用いて、 Al_2O_3 ゲート絶縁膜を有する縦型 TFET を作製し、その素子動作を実証した。 I_D-V_D 特性に負性微分容量(NDR)が確認出来たことから、駆動電流はトンネル電流が支配的であることが分かった。特に $20\ \text{K}$ の低温において、ON/OFF 比 ~ 4 桁、ドレイン電流の立ち上がり指標であるサブスレショルド・スロープ(S.S.)の最小値 $\sim 80\ \text{mV/dec}$ を得た。

第 3 章では、作製した GaAsSb/InGaAs TFET のオン電流や S.S.値などの電気特性は、MOSFET の理論限界を打破しておらず不十分であることから、その電気特性を決めている物理機構を明らかにするため、ソース不純物濃度、不純物濃度の空間分布、組成の空間分布などの物理分析を行った。その結果、組成のへ

テロ接合近傍での変化幅は 10 nm 未満であり、不純物の急峻性も 11 nm/dec と気相成長中の不純物分布としては非常に急峻であることが分かった。更に、それら構造パラメータが TFET の電気特性に与える影響を詳細に解析するため、2次元デバイス・シミュレーションと組み合わせて解析した。特に p-GaAsSb 中にドーパされた Be の濃度、及びその濃度変化の急峻性、GaAsSb/InGaAs 界面での組成の変化幅が、TFET の電気特性に与える影響を定量的に明らかにし、実測の分析結果によって電気特性を定量的に説明することに成功した。さらに、組成と不純物の空間分布では、不純物の空間分布の方がより支配的であること、60 mV/dec を実現するためには EOT のさらなる低減、不純物濃度の増加、ソース不純物分布の急峻性の向上を必須であることを見出し、TFET の電気特性向上の指針を明確化した。

第 4 章では、TFET の電気特性向上の指針に基づいて、ソース不純物濃度および不純物分布の急峻性向上の検討を行った。ソース領域である GaAsSb の p 型不純物として Be と C を用いて、p-GaAsSb/i-InGaAs TFET を作製した。その結果、不純物濃度によらず C ドープした TFET 方が Be ドープのサンプルよりも高いオン電流を得られることが分かった。これは、完全な理解には至っていないがソース・チャネル接合付近において Be が C よりも拡散し、不純物の急峻性が劣化したためと推測される。一方で、オフ電流に関しては C ドープした TFET よりも Be ドープのサンプルの方が抑制出来ていることが分かった。アレニウスプロットから算出した活性化エネルギーより C ドープしたサンプルは熱励起を伴う生成・再結合成分やトラップアシスト生成・再結合成分がオフ時に多く含まれていることが分かった。リーク成分はソース領域の面積を縮小することで抑制できるとすると、熱励起を伴うリーク成分を抑制出来る低温(~20K)での電気特性が重要である。C ドープを用いた TFET で、20 K の低温において、ON/OFF 比 ~ 8 桁、最小 S.S.値 ~ 30 mV/dec.、オン電流 4mA/mm と大幅な性能向上を実現した。この値を室温においても実現できれば、16 nm FinFET の 0.3 V スイングにおける ON/OFF 比を超えることが出来ることから、GaAsSb/InGaAs TFET のポテンシャルの高さを実験的に示すことに成功した。

第 5 章では、TFET の電気特性を制限している要因の 1 つとして MOS 界面準位が挙げられることから、チャネル領域の InGaAs MOS 界面準位が TFET の電気特性に与える影響を調べた。また、ソース領域の材料である GaAsSb は界面準位が高いことで知られる III-V 族化合物半導体の中でもさらに高い。そこで、ソース領域の界面準位の影響も 2次元デバイスシミュレーションから評価した。その結果、ソース領域に界面準位は、MOS 界面近傍の電子をトラップするため MOS 表面の空乏層をより広げることが分かった。それに伴って、トンネル発生箇所が MOS 界面付近からゲート電極から加わる電界の弱い半導体内部へとシフトし、S.S.値およびオン電流を劣化させることを見出した。一方、チャネル領域の界面準位は、伝導帯端からミ

ッドギャップ付近までに位置する準位がチャネル領域のバンド変調度を劣化させることで、それに伴ってトンネル距離が長くなることから S.S.値およびオン電流を劣化させることが分かった。

第 6 章では、チャネル領域のみならずソース領域の界面準位も S.S.値およびオン電流を劣化させるという 2 次元デバイスシミュレーションの結果を受け、GaAsSb MOS 界面の特性を改善する手法として、極薄 InGaAs 層により表面をパッシベーションする手法を提案し、実際に素子を作製して MOS 界面の評価を行った。MOS 界面評価を行うにあたり、GaAsSb は InP 基板上にエピタキシャル成長させるため、GaAsSb/InP ヘテロ接合において価電子帯端のエネルギー差が生じる。このエネルギー差による GaAsSb/InP ヘテロ接合に寄生抵抗・容量を、絶縁膜容量、空乏容量、界面準位による容量、捕獲・放出にともなうコンダクタンスに加えて考慮した補正を施す必要があること、そして適切な等価回路を考えることで MOS 界面特性をより精度良く評価出来ることを見出した。この結果を踏まえて、1.5 nm 厚の InGaAs 極薄パッシベーション層によって界面準位を 1 桁低減出来ることを明らかにした。

7.2 今後の展開と課題

本研究の成果として、GaAsSb/InGaAs TFET は熱励起を伴うリーク成分を抑制できるという過程の下、16 nm FinFET の特性を上回る特性を実現できることを低温環境下で実験的に示すことが出来たことから、室温での特性向上が今後の課題である。解決手法の 1 つとして、ソース・チャネル接合の微細化が挙げられる。また、GaAsSb の界面準位密度低減手法の確立は引き続き重要であり、本研究で作製した縦型 GaAsSb/InGaAs TFET に適応する場合、*in-situ* プロセスとして H₂ プラズマによる自然酸化膜の還元および MOS 界面の安定化などが、その候補の 1 つとなる。一方、第 6 章において確立した極薄 InGaAs パッシベーション層を GaAsSb MOS 界面に挿入する手法を用いる場合、現状の縦型 GaAsSb/InGaAs TFET には適応することが出来ないため、横型 GaAsSb/InGaAs TFET の設計をする必要がある。また、最近では TFET の非線形性などからミリ波通信の検波器としての可能性も指摘され始めている。こういった応用先の検討も重要な課題となり得る。

謝辞

東京大学大学院 工学系研究科 電気系工学専攻 高木 信一 教授、竹中 充 准教授には研鑽の場を与えて頂くと共に、研究活動全般にわたり、懇切なるご指導、ご鞭撻を賜りました。心より感謝の意を表すると共に厚く御礼申し上げます。

本論文は、科学技術振興機構 CREST 「極低消費電力集積回路のためのトンネル MOSFET テクノロジーの構築」において、日本電信電話株式会社 集積デバイス研究所との共同研究のなかでの成果をまとめたものです。同研究所 満原 学 博士には本研究の遂行に必要な不可欠なエピタキシャルウエハを成長して頂くと同時に研究活動全般にわたり多大なご教示とご示唆を頂きました。星 拓也 博士にはエピタキシャルウエハの成長および評価の一部をして頂きました。杉山 弘樹 博士には研究の場を頂きました。ここに深謝の意を表します。

本研究は東京理科大学での学部、修士課程に行った研究の一部を継続・発展させることで実現できました。これもひとえに藤代博記 教授のご支援とご指導の賜物と深く感謝しております。また、前田 辰郎 客員教授 (産業技術総合研究所 所属)には、研究全般のご指導に加えて、東京大学 高木・竹中研究室を受験するきっかけを与えて頂きました。本研究で重要な役割を果たす TCAD シミュレーションは、岡田 直也 博士(産業技術総合研究所)のご助言のもと文部科学省 科学技術人材育成のコンソーシアムの構築事業である Nanotech CUPAL において福田 浩一 博士(産業技術総合研究所)にご指導頂いたことが研究を始めるきっかけとなりました。ここに深謝致します。

本研究の一部は 東京大学 工学系研究科 リーダー博士人材育成基金特別助成プログラムの支援を受けて行われました。吉村 忍 教授をはじめ、上記プログラム委員の先生がたには、研究支援のほか、様々な企業の方などへの研究の説明の仕方など、丁寧なご指導を頂きました。ここに深く感謝いたします。本研究の一部は 日本学術振興会 特別研究員(DC2)に採択され、研究の支援を受けて行われました。御礼申し上げます。

最後に高木・竹中研究室のメンバーには研究のこのみならず、就職活動に関する事、その他様々な事柄を相談させた頂きました。ご迷惑をお掛けすることも多かったかとは思いますが、多くのご助言を頂いたこと、また切磋琢磨することが出来たことに心より感謝申し上げます。

本研究に関する発表論文

【博士課程での成果】

【主著・査読付き論文】

- (1) T. Gotow, M. Mitsuahara, T. Hoshi, H. Sugiyama, M. Takenaka and S. Takagi, "Effects of impurity and composition profiles on electrical characteristics of GaAsSb/InGaAs hetero-junction vertical tunnel field effect transistors", J. Appl. Phys., vol. 122, 174503 (2017) (DOI: <https://doi.org/10.1063/1.4993823>)

【主著・査読付き国際会議】

- (1) T. Gotow, M. Mitsuahara, T. Hoshi, H. Sugiyama, M. Takenaka and S. Takagi, "Effects of impurity and composition profile steepness on electrical characteristics of GaAsSb/InGaAs heterojunction TFETs", International Conference on Solid State Devices and Materials (SSDM), Tsukuba, 2016, p. 21-22.
- (2) T. Gotow, M. Mitsuahara, T. Hoshi, H. Sugiyama, M. Takenaka and S. Takagi, "Improvement of GaAsSb MOS interface properties by using ultrathin InGaAs interfacial layers", 47th IEEE Semiconductor Interface Specialists Conference (SISC), 2016, 6. 3.

【主著・国内会議】

- (1) 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, "GaAsSb/InGaAs 縦型トンネル FET の動作実証", 第 63 回応用物理学会春季学術講演会, 20p-S422-12, 2016 年 3 月 20 日
- (2) 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, "極薄 InGaAs 界面層を有する GaAsSb MOS 界面特性の評価", 第 77 回応用物理学会秋季学術講演会, 15p-B9-6, 2016 年 9 月 15 日
- (3) 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, "極薄 InGaAs 界面層を有する GaAsSb MOS 界面特性の評価", 「電子デバイス界面テクノロジー研究会—材料・プロセス・デバイス特性の物理—」(第 22 回), pp. 83-86, 2017 年 1 月 20-21 日
- (4) 後藤高寛, 満原学, 星拓也, 杉山弘樹, 竹中充, 高木信一, "ソース不純物濃度が GaAsSb/InGaAs 縦型トンネル FET の電気特性に与える影響", 第 64 回応用物理学会春季学術講演会, 16p-412-6, 2017 年 3 月 16 日

【共著・査読付き論文】

- (1) S. Takagi, M. Ke, C.-Y. Chang, C. Yokoyama, M. Yokoyama, T. Gotow, K. Nishi, S.-H. Yoon and M. Takenaka, "MOS interface defect control in Ge/III-V gate stacks", ECS Transactions, 80 (4) 115-124

(2017) (DOI: 10.1149/08004.0115ecst)

- (2) S. Takagi, D.-H. Ahn, M. Noguchi, S.-H. Yoon, T. Gotow, K. Nishi, M. Kim, T.-E. Bae, T. Katoh, R. Matsumura, R. Takaguchi and M. Takenaka, Low power Tunneling FET technologies using Ge/III-V materials, ECS Transactions, 80 (1) 109-118 (2017) (DOI: 10.1149/08001.0109ecst)

【連名・査読付き国際会議】

- (1) S. Takagi, D. H. Ahn, M. Noguchi, T. Gotow, K. Nishi, M. Kim and M. Takenaka, “Tunneling MOSFET technologies using III-V/Ge materials”, International Electron Device Meeting (IEDM), 2016, p. 516-519 (DOI: 10.1109/IEDM.2016.7838454)
- (2) S. Takagi, D. H. Ahn, T. Gotow, M. Noguchi, K. Nishi, S.-H. Kim, M. Yokoyama, C.-Y. Chang, S.-H. Yoon, C. Yokoyama and M. Takenaka, “III-V-based low power CMOS devices on Si platform”, IEEE International Conference on Integrated Circuit Design & Technology (ICICDT), Austin, Texas, USA, May 23rd – 25th, 2017 (DOI: 10.1109/ICICDT.2017.7993497)
- (3) S. Takagi, D. H. Ahn, M. Noguchi, S. Yoon, T. Gotow, K. Nishi, M. Kim, T. E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, and M. Takenaka, “(invited) Low Power Tunneling FET Technologies Using Ge/IIIV Materials”, 232nd Electrochemical Society (ECS) Meeting, G03: Semiconductor Process Integration 10, Oct. 1-6, 2017 | National Harbor, MD, USA
- (4) S. Takagi, M. Ke, C. Y. Chang, C. Yokoyama, M. Yokoyama, T. Gotow, K. Nishi, and M. Takenaka, “(invited) MOS Interface Defect Control in Ge/IIIV Gate Stacks”, 232nd Electrochemical Society (ECS) Meeting, D01: Semiconductors, Dielectrics, and Metals for Nanoelectronics 15: In Memory of Samares Kar, Oct. 1-6, 2017 | National Harbor, MD, USA
- (5) S. Takagi, D.-H. Ahn, T. Gotow, K. Nishi, T.-E. Bae, T. Katoh, R. Matsumura, R. Takaguchi, K. Kato and M. Takenaka, “III-V/Ge-based Tunneling MOSFET”, 5th Berkeley Symposium on Energy Efficient Electronic Systems & Steep Transistors Workshop, Oct. 19-20, 2017, Berkeley, CA, USA
- (6) S. Takagi, D. H. Ahn, T. Gotow and M. Takenaka, “Ultra-Low Power III-V-Based Mosfets and Tunneling FETs”, presented in 233rd Electrochemical Society (ECS) Meeting, H02 - Advanced CMOS-Compatible Semiconductor Devices 18, May 13-17, 2018, Seattle, USA

【連名・国内会議】

- (1) 高木信一, 安大煥, 野口宗隆, 後藤高寛, 西康一, 金閔洙, 竹中充一, “[招待講演]Ge/III-V 族半導体を用いたトンネル FET 技術”, 電子情報通信学会 SDM 研究会・応用物理学会シリコンテクノロジー分科会研究会「先端 CMOS デバイス・プロセス技術 (IEDM 特集)」, 2017 年 01 月 30 日, 機械振興会館, p. 5-8

(参考)

【(博士期間中に行った)修士課程での成果発表】

【主著・査読付き論文】

(1) T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, W. H. Chang, T. Yasuda, and T. Maeda, "Surface cleaning and pure nitridation of GaSb by *in-situ* plasma processing", AIP advances **7**, 105117 (2017). (DOI: <https://doi.org/10.1063/1.5002173>)

【(修士期間中に行った)修士課程での成果発表】

【主著・査読付き論文】

(1) T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, T. Yasuda and T. Maeda, "Effects of HCl treatment and predeposition vacuum annealing on Al₂O₃/GaSb/GaAs metal-oxide-semiconductor structures", Jpn. J. Appl. Phys. **54**, 21201 (2015). (DOI: <https://dx.doi.org/10.7567/JJAP.54.021201>)

【主著・査読付き国際会議】

(2) T. Gotow, S. Fujikawa, H. I. Fujishiro, M. Ogura, T. Yasuda and T. Maeda, "Demonstration of Ni-GaSb metal S/D GaSb pMOSFETs with vacuum annealing on GaAs substrates", 44th IEEE Semiconductor Interface Specialists Conference (SISC), 2013, 12. 11.

【主著・国内会議】

- (1) 後藤高寛, 原紳介, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, GaAs 上 GaSb MOS 構造の作製, 第 60 回 応用物理学会春季学術講演会, 28a-G2-11, 2013 年 3 月 11 日.
- (2) 後藤高寛, 藤川紗千恵, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, 真空アニール法が Al₂O₃/GaSb MOS 界面に与える影響, 電子デバイス研究会, 2013 年 8 月 9 日, 富山大学, p.37-42.
- (3) 後藤高寛, 藤川紗千恵, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, GaSb ショットキー接合型メタル S/D pMOSFETs の動作実証, 第 74 回 応用物理学会秋季学術講演会, 17a-B5-10, 2013 年 9 月 17 日.
- (4) 後藤高寛, 藤川紗千恵, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, Al₂O₃/GaSb MOS 界面構造における絶縁膜堆積前処理の検討, 第 61 回 応用物理学会春季学術講演会, 18p-D8-11, 2014 年 3 月 18 日.
- (5) 後藤高寛, 藤川紗千恵, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, 窒素プラズマ処理を施した Al₂O₃/GaSb MOS 構造の特性評価, 第 75 回 応用物理学会秋季学術講演会, 19p-A17-2, 2014 年 9 月 19 日.
- (6) 後藤高寛, 藤川紗千恵, 藤代博記, 小倉睦郎, 安田哲二, 前田辰郎, GaSb 表面の純窒化プロセスの検討, 第 62 回 応用物理学会春季学術講演会, 14a-A24-7, 2015 年 3 月 14 日.