

審査の結果の要旨

氏名 後藤 高寛

本論文は、極低電圧動作ロジック LSI のための GaAsSb/InGaAs トンネルトランジスタに関する研究と題し、将来の極低消費電力ロジック LSI のための素子として期待されているトンネル FET として、GaAsSb/InGaAs Type-II ヘテロ接合をソース・チャンネル接合に用いた MOS 型 TFET に注目し、実際に縦型構造の TFET 素子を試作して動作を実証すると共に、その電気特性が、素子構造や MOS 特性によってどのように影響されているかを、実験及びデバイスシミュレーションを用いて検証した研究成果を纏めたものであり、全文 7 章よりなり、和文で書かれている。

第 1 章は、序論であり、本研究の背景について議論すると共に、研究の目的、本論文の構成について述べている。

第 2 章は、「GaAsSb/InGaAs TFET の動作実証」と題し、MOMBE 法より作製された GaAsSb/InGaAs ヘテロエピ基板の構造、GaAsSb/InGaAs ヘテロ構造 TFET 試作プロセスとその電気特性について述べている。

第 3 章は、「構造評価および TFET 特性向上への指針」と題し、TFET の電気特性向上を目指して、第 2 章で作製した素子の構造分析結果を示すと共に、デバイスシミュレーションによって TFET の構造パラメータや不純物濃度などが TFET の電気特性に与える影響を調べた結果を示している。

第 4 章は、「ソース領域の不純物種および濃度が TFET の電気特性に与える影響の検討」と題し、ソース領域の不純物種や濃度を変えたエピ基板に対して、TFET を作製してその電気的特性への影響を実験的に明らかにした結果について述べている。

第 5 章は、「ソース領域およびチャンネル領域の界面準位が GaAsSb/InGaAs TFET の電気特性に与える影響」と題し、GaAsSb ソース領域の MOS 界面準位および InGaAs チャンネル領域の MOS 界面準位が、GaAsSb/InGaAs ヘテロ構造 TFET の電気特性に与える影響を、シミュレーションを用いて定量的・系統的に調べた結果について述べている。

第 6 章は、「InGaAs パッシベーション層の導入による GaAsSb MOS 界面特性向上」と題し、GaAsSb MOS 界面の界面準位密度低減を目指して、極薄の InGaAs 表面パッシベーション層を導入した MOS 界面に対して、MOS キャパシタを作製して、界面準位密度を評価し、極薄 InGaAs 層により界面準位密度が低減できることを述べている。

第 7 章は、結論と今後の展望を述べている。

以上要するに本論文は、将来の極低消費電力ロジック LSI 用のデバイスとして期待されている GaAsSb/InGaAs ヘテロ構造トンネル FET において、ソース不純物濃度、ソース不純物種、不純物分布の急峻性、組成の急峻性、MOS 界面準位の存在などが、トンネル FET に与える影響を実験およびシミュレーションにより系統的に調べ、性能向上の指針を明確化すると共に、高濃度 C ドープを行った GaAsSb ソースを用いたトンネル FET において、低温で極めて低いサブスレショルド・スロープの値を実現しており、電子工学上、寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。