

## 審査の結果の要旨

氏 名 小泉賢一

本論文は「Design and Implementation of Hardware Accelerators with Multi-Level Parallelization and Application-Oriented Data Layout (マルチレベル並列化とアプリケーション指向データレイアウトを用いるハードウェアアクセラレータの設計と実装)」と題し、高性能なハードウェアアクセラレータの設計および実装と、その方法論について提案するもので、全7章から構成されている。本論文では、Field-Programmable Gate Array (FPGA) を用いた三種類のアクセラレータを提案、さらに、これらに共通する高速化の要である「並列化」および「データレイアウト」に焦点をあて一般化を行い、アクセラレータ作成のためのハードウェア構成手法について提案を行っている。

第1章「Introduction」では、研究の背景として、高性能計算において用いられる CPU、GPU、FPGA、ASIC の概要を述べ、本研究で提案する設計の方法論の礎となった三つのアクセラレータの研究の概要を紹介している。

第2章「FPGA-based Acceleration」では、FPGA の概要とその得失、FPGA を用いたアクセラレーションシステム(以下、FPGA システム)の関連研究について紹介および分類し、GPU、ASIC を用いたシステムとの比較を行っている。さらに、FPGA システムの性能を左右する並列化と FPGA 周辺のメモリ環境について基本概念を説明している。

第3章「Performance Improvement of Parallel TCP Streams on Long-distance Fat-pipe Networks」では、一つ目の FPGA システムの研究として、広帯域高遅延ネットワーク (Long-distance Fat-pipe Network, LFN) 上の TCP 通信の高速化を扱っている。LFN 上の並列 TCP 通信による高速データ転送の転送レートを向上させるため高速ネットワーク実験用テストベッドである FPGA 基板 MaSTER-1 を実装、並列通信を調停するハードウェア機構 Merging Stream Harmonizer (MSH) を提案、Master-1 の上に実装し、高スループットの遠距離データ転送を実現している。

第4章「Accelerators for Playout Generation of Monte Carlo Go」では、二つ目の FPGA システムの研究として、コンピュータ囲碁のためのモンテカルト木探索のプレイ

アウト生成を扱っている。モンテカルロ法を用いるゲーム木探索では、プレイアウト・シミュレーションの回数を増やすほど予測精度が向上するが、単純なハードウェア化では回路資源の消費量が多く難しいことが知られていた。本研究ではハードウェアアルゴリズム Triple Line-based Playout for Go (TLPG) を提案している。TLPG は、大域的な情報を冗長に保存し、局所的な計算でプレイアウト処理を行うことで、回路資源の消費量を削減、既存の CPU アルゴリズムを上回るプレイアウト生成速度を達成している。第 5 章「Accelerators for Continuous Skyline Computation」は、三つ目の FPGA システムの研究として、動的に変化する多次元ベクトル集合から逐次的にパレート最適解を求める計算（連続スカイライン計算）の高速化を行っている。本研究ではエン트리間の支配・被支配関係を有向辺で表現したラティスのサブグラフである BJR 木構造、および BJR 木を用いたハードウェアアルゴリズム Low-latency Skyline Computation Accelerator (LSCA) を提案している。BJR 木はソフトウェア単体としても既存のアルゴリズムを上回る高速処理を実現し、さらに FPGA 上に実装された LSCA は CPU 環境における既存手法による処理を大きく上回る性能向上を達成している。

第 6 章「Design Methodology for High-performance FPGA-based Accelerators」では、前章までに論じた三つのアクセラレータの研究で得られた知見を元に、ハードウェア設計の方法論が提案されている。提案手法では、複数の粒度で計算を並列化するために並列性の分類とパターン化、そしてアプリケーション指向のデータレイアウトが行われている。また、具体的な計算処理において、動作合成技術により高級言語から自動生成された回路と提案手法に基づいて設計された回路を比較、その効果が示されている。

第 7 章「Conclusions」では、研究成果をまとめ、今後の発展について述べている。以上を要するに、本論文は三つのハードウェアアクセラレータの研究を行い、さらに得られた知見を一般化しハードウェア設計手法の方法論を提案している。三つのアクセラレータ研究は別個のアプリケーションをターゲットとした独立した研究であるが、これらの研究に共通する要素をくくりだし、設計手法の方法論としてまとめたことは、今後のハードウェアアクセラレータ研究分野全体の発展に繋がる先駆的な貢献と認められ、情報理工学における創造的実践の観点で大きな価値が認められる。

よって本論文は博士（情報理工学）の学位請求論文として合格と認められる。