

平成30年度 修士論文

自発分極反転を用いた  
トンネル接合のメモリ動作に関する研究

Study on Memory Operation of Tunnel Junction  
by Using Spontaneous Polarization Reversal

東京大学大学院 工学系研究科 電気系工学専攻

学籍番号：37-176452

多川 友作

指導教員：小林 正治 准教授

平成31年01月31日

# 目次

|       |  |    |
|-------|--|----|
| 論文要旨  |  | 1  |
| 第1章   | 序論   | 4  |
| 1.1   | 研究背景 . . . . .   | 4  |
| 1.2   | 本研究の目的 . . . . .   | 5  |
| 1.3   | 本論文の構成 . . . . .   | 6  |
| 第2章   | 基礎原理   | 7  |
| 2.1   | 強誘電体の物理現象 . . . . .  | 7  |
| 2.1.1 | 強誘電体とは . . . . .   | 7  |
| 2.1.2 | 局所電界による自発分極 . . . . .  | 8  |
| 2.1.3 | 強誘電体の現象論 . . . . .   | 11 |
| 2.1.4 | HfO <sub>2</sub> の(反)強誘電性 . . . . .  | 13 |
| 2.1.5 | 強誘電体の信頼性 . . . . .   | 14 |
| 2.2   | 強誘電体メモリ . . . . .  | 15 |
| 2.2.1 | 強誘電体メモリ (Ferroelectric Random Access Memory :<br>FeRAM)(1T1C型) . . . . .           | 15 |
| 2.2.2 | 強誘電体電界効果トランジスタ (Ferroelectric Field Effect Tran-<br>sistor : FeFET)(1T型) . . . . . | 17 |
| 2.2.3 | 強誘電体トンネル接合メモリ (Ferroelectric Tunnel Junction<br>memory : FTJ)(1R型) . . . . .       | 18 |
| 2.3   | 伝導電流メカニズム . . . . .  | 21 |
| 2.3.1 | 欠陥の無い伝導電流 . . . . .  | 21 |
| 2.3.2 | 欠陥のある伝導電流 . . . . .  | 22 |

|       |   |
|-------|---|
| 目次    | 2                                       |
| <hr/> |   |
| 第3章   | 研究手法 24                                 |
| 3.1   | 基準プロセス . . . . . 24                     |
| 3.2   | 強誘電性評価手法 . . . . . 25                   |
| 3.3   | 伝導電流評価手法 . . . . . 27                   |
| 第4章   | 高TER比化及び多値メモリ化を目指したFTJの開発 29            |
| 4.1   | 背景 . . . . . 29                         |
| 4.2   | シミュレーションによる設計指針 . . . . . 29            |
| 4.2.1 | デバイス設計スペースの調査 . . . . . 30              |
| 4.3   | プロセスエンジニアリング . . . . . 31               |
| 4.3.1 | MFM構造及びMFS構造の比較 . . . . . 32            |
| 4.3.2 | 下部電極の極性による違い . . . . . 33               |
| 4.3.3 | アニール条件の比較 . . . . . 36                  |
| 4.3.4 | 強誘電体成膜条件比較 . . . . . 37                 |
| 4.3.5 | 上部電極の違いによる比較 . . . . . 38               |
| 4.3.6 | 本節のまとめ . . . . . 43                     |
| 4.4   | FTJの試作及び評価 . . . . . 43                 |
| 4.4.1 | 電極置換プロセスのEndurance測定 . . . . . 44       |
| 4.4.2 | 直流電流測定によるTER測定 . . . . . 44             |
| 4.4.3 | 低ストレス化のためのパルス書き込み電圧最適化 . . . . . 45     |
| 4.4.4 | パルス電圧変調測定による多値メモリ化 . . . . . 45         |
| 4.4.5 | FTJのメモリ劣化特性 . . . . . 47                |
| 4.5   | 本章のまとめと展望 . . . . . 48                  |
| 第5章   | 反強誘電体のマイナーループを用いた低電圧化の提案 49             |
| 5.1   | 背景 . . . . . 49                         |
| 5.2   | 反強誘電膜のプロセスエンジニアリング . . . . . 50         |
| 5.2.1 | MFM構造の強誘電体膜特性 . . . . . 50              |
| 5.2.2 | 基準プロセスフロー . . . . . 51                  |
| 5.2.3 | アニール温度依存性 . . . . . 52                  |
| 5.2.4 | Zr濃度依存性 . . . . . 53                    |
| 5.3   | AFTJに向けた薄膜デバイスの電流ヒステリシスの考察 . . . . . 53 |
| 5.3.1 | チャージトラップ起因の電流ヒステリシス . . . . . 53        |

|                                   |    |
|-----------------------------------|----|
| 目次                                | 3  |
| 5.3.2 ユニポーラバイアス印加時の揮発動作 . . . . . | 55 |
| 5.4 本章のまとめと展望 . . . . .           | 56 |
| 第6章 結論                            | 57 |
| 6.1 まとめ . . . . .                 | 57 |
| 6.2 今後の展望 . . . . .               | 58 |
| 発表文献リスト                           | 60 |
| 謝辞                                | 61 |
| 参考文献                              | 63 |

# 第1章

## 序論

### 1.1 研究背景

様々な環境下において、IoT ( : Internet of Things) エッジデバイスでセンシングを行い、それをクラウドへと通信し、ユーザーに価値ある情報を提供するという次世代のコンピューティング社会が実現しつつある。IoT デバイスは車や医療機器、家電、工場用ロボット、インフラ設備など様々な場面においてデータを送受信できるため、今後爆発的にデータ通信量が増加することが予測される。驚くべきことに、これまでに生み出されてきた世界のデータ量のうち90%は、ここ2年で生成されている[1]。また、Andrae氏による予測によれば[2]、これら通信機器から使用された電力による温室効果ガス排出量は、再生可能エネルギーの発展にもかかわらず、全体の23%を占める可能性があることが示唆されている。持続可能な社会を実現するために、IoT デバイスをはじめとした電子機器の低消費電力化は極めて重要な使命である。

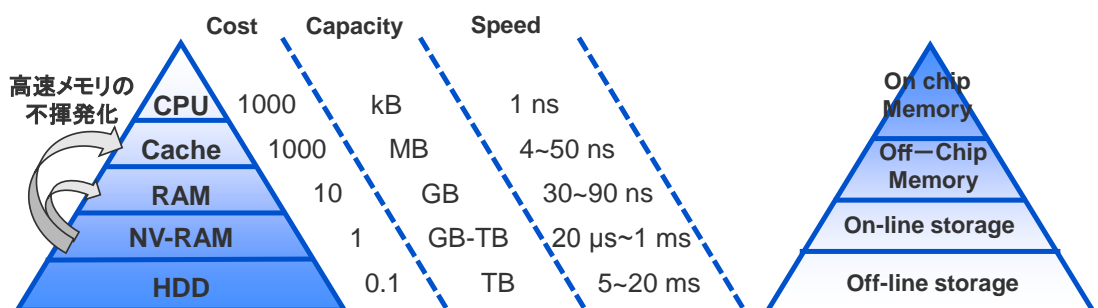


Fig. 1.1 ビット当たりのコスト、アクセス時間、データ貯蔵密度の比較とメモリ階層のピラミッド([3]を参考)

これらデータ通信の情報の基盤は、「1」と「0」のデジタルデータを貯蔵するメモリ

素子であり，メモリデバイスの高集積化や高エネルギー効率化は抜本的な解決になりうる．Fig. 1.1にメモリの全体像と階層ピラミッドを示す．現在のメモリの大きな分類のうちの一つに揮発性メモリ(Volatile Memories : VM)と不揮発性メモリ(Non-Volatile Memories : NVM)がある．これは，情報を保持する際に電源電圧を必要とするか否かという違いであり，NVMの方が一般に電力消費が少ない．さらに，IoTエッジデバイスに関していえば，デバイス動作時間に対して，待機時間の方が長く，待機時間に電源電圧をOFFできるNVMは低消費電力化デバイスとしての期待が大きい．

しかし，NVMの重要な課題として，アクセス速度の改善が必要である．現在のNAND FlashメモリなどのNVMとDRAM( : Dynamic Random Access Memory)などのVMの間には1000倍以上の速度差があり，この遅延がデバイス動作の律速となる．また，ビット当たりのコストも実用化に向けて考慮しなければならない．

まとめると，今後既存のメモリを代替するものとして考えられるメモリは

- (1)不揮発性である．
- (2)CPUの速度に近い動作速度．
- (3)データ密度向上のための集積可能な構造．
- (4)ビット当たりコストが低い．

の点が重要であるとされる[1, 4]．

これら要件を満たす次世代メモリデバイスとして，MRAM(:Magnetic Random Access Memory)や，RRAM(Resistive Random Access Memory)，PcRAM(Phase change Random Access Memory)，FeRAM(Ferroelectric Random Access Memory)が主要な候補として研究されている[4]．

その中でもFeRAMは，その低電力消費性，高速動作，10年を超えるデータ保持時間などを有するため有望な候補として考えられてきた．近年発見された強誘電性(Ferroelectricity)を有する $\text{HfO}_2$ や反強誘電性(Anti-ferroelectricity)を有する $\text{ZrO}_2$ は，これらの要素に加え，既存のCMOSプロセスとの整合性が高い材料として知られており，既存の設備で新たな機能を持たせることができる材料として(4)の低コスト化が期待できるため，その材料特性の解明及びデバイス応用の両軸において盛んに研究が進められている．

## 1.2 本研究の目的

そこで本研究では，(1)~(4)の要請を満たすメモリの候補として，CMOS回路との整合性の高い新規材料である $\text{HfO}_2$ 及び $\text{ZrO}_2$ を用いて，とりわけ集積可能な構造である2端子

トンネル接合デバイスの設計，試作，評価を通じ，それらメモリのデバイスの設計指針や信頼性，デバイス可能性について明らかにすることを目的にする。

### 1.3 本論文の構成

本論文の構成は以下のとおりである。

まず2章では，強誘電体の物理を真空条件の分極双極子モーメントから説明し，強誘電体の物理起因に関して言及する。その後，代表的な強誘電体メモリの動作原理及び研究の位置づけを説明し，最後に伝導電流機構をいくつか述べて，伝導電流の特性についての知見を紹介する。

3章では，まず，デバイス作製環境及び基準プロセスに関して述べる。また測定手法に関しても言及し，基準プロセスにおけるデバイスの基礎特性に関して述べる。

4章では，2章で述べた強誘電トンネル接合メモリに関するデバイス特性を中心に調査し，デバイスの設計指針を立て，実際に作製し，プロセスエンジニアリングの詳細について述べる。作製されたデバイスに関してメモリの信頼性を含めた議論を行い，改善すべき点に関して言及する。

5章では，反強誘電体 $\text{ZrO}_2$ を用いて，4章で述べたトンネル接合デバイスの改善点に関して，解決策を提示する。反強誘電体 $\text{ZrO}_2$ 膜の最適化を行い，作製されたデバイスを測定し，その課題について述べる。

6章では，結論及び今後の展望について述べる。

## 第2章

# 基礎原理

### 2.1 強誘電体の物理現象

#### 2.1.1 強誘電体とは

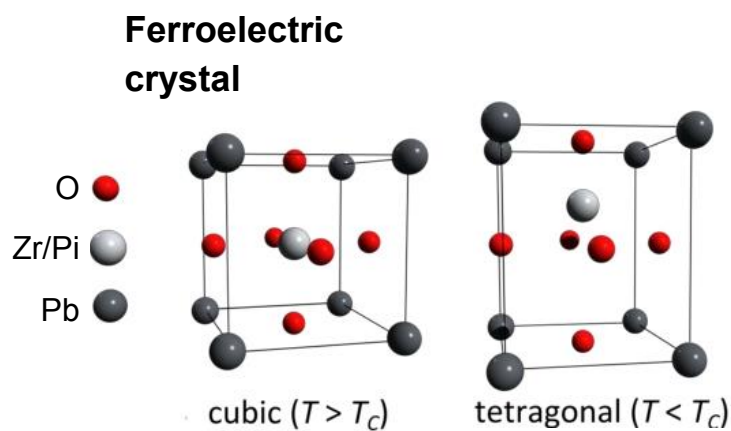


Fig. 2.1 ABO<sub>3</sub>型ペロブスカイト構造の模式図。T<sub>c</sub>以上では立方晶を示しており、中心対称性を有する結晶構造のため、自発分極が見られない(左図)。T<sub>c</sub>以下では正方晶と相転移し、結晶構造の中心元素が変位する。この時中心対称性が崩れ、分極状態が発生することで自発分極が現れる。([5]から引用)

強誘電性とは外場がなくとも分極状態を有し(自発分極)、外場の印加により分極を反転できる性質のことである。強誘電体は誘電体の中で最も特異な性質を有しており、焦電性、圧電性といった機械的応力や温度変化によっても電氣的挙動を示すため、研究対象として盛んに取り上げられてきた。強誘電性を議論するうえで非常に重要な観点として、結晶構造の対称性がある。Fig. 2.1に強誘電体材料の結晶構造として一般的なABO<sub>3</sub>型の原子配置を有するペロブスカイト構造の模式図を示す[5]。結晶格子の中心を基準に点対



称操作(反転操作)し, 元の格子と重なる時, その結晶格子には中心対称性があるという. ペロブスカイト構造も相転移温度のキュリー温度(Curie temperature :  $T_c$ )以上では立方晶であり, 中心対称性がある. この時, 分極ベクトル  $\mathbf{P} = (P_x, P_y, P_z)$  が存在するとすれば, 反転操作により

$$\mathbf{P} = \begin{pmatrix} -1 & 0 & 0 \\ 0 & -1 & 0 \\ 0 & 0 & -1 \end{pmatrix} \begin{pmatrix} P_x \\ P_y \\ P_z \end{pmatrix} = \begin{pmatrix} -P_x \\ -P_y \\ -P_z \end{pmatrix} = -\mathbf{P} \quad (2.1.1)$$

のような操作が行われるが, これは  $\mathbf{P} = \mathbf{0}$  を意味する. つまり, 中心対称性を有する状態では, 自発分極が存在しないという制約がある.

それに対して, Fig. 2.1の右図では,  $T_c$ を下回る温度の時, 結晶構造が立方晶から正方晶へと転移し, 中心原子がわずかに変位する. このような状態では, もはや中心対称性を持たない状態であり, 分極ベクトルが0でなくなる. ここで注意したいのは, 中心対称性を持たない誘電体だからといって, 強誘電体であるとは限らないということである. ミクロな部分では自発分極を有していても, マクロスケールで打ち消しあっている場合もあるし(反強誘電体), 分極反転を引き起こすための電界によって結晶構造が破壊される場合もある(焦電体).

### 2.1.2 局所電界による自発分極

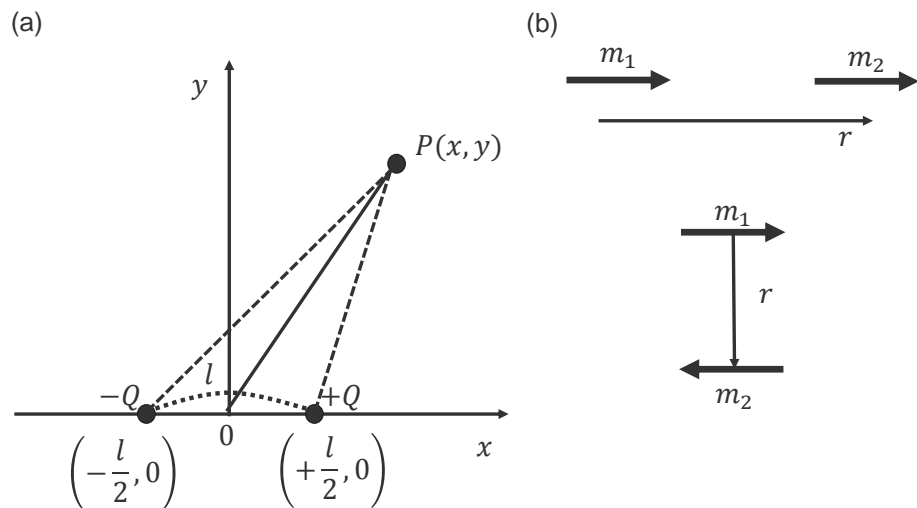


Fig. 2.2 (a)真空において, 点 $P(x, y)$ で双極子モーメントが作る電界を求めるための模式図と(b)双極子相互作用によって安定化する2つの双極子の位置関係.([6]を参考)

強誘電体の物理を理解するために重要な現象として, 微視的な原子や分子が感じる電界を取り上げる. まず単純な系を考えるために, 真空の中で電子双極子モーメントの作

る電界から，双極子モーメント同士の相互作用によるポテンシャルエネルギーを考える．Fig. 2.2(a)において，基礎的な電磁気学を復習すると，双極子モーメントを  $m = Ql$  とし，点  $P(x, y)$  が原点から十分離れている条件下で，  $x^2 + y^2 \gg l^2$  を近似として用いると点  $P(x, y)$  での電界  $E_x, E_y$  はそれぞれ，

$$\begin{aligned} E_x &\simeq \frac{-m(y^2 - 2x^2)}{4\pi\epsilon_0(x^2 + y^2)^{5/2}} \\ E_y &\simeq \frac{3mxy}{4\pi\epsilon_0(x^2 + y^2)^{5/2}} \end{aligned} \quad (2.1.2)$$

と計算できる．三次元的にこの系を拡張し，電磁気学的に点  $P(x, y, z)$  が  $\mathbf{m} = (m, 0, 0)$  によって感じる電界を求めると，

$$\mathbf{E} = \frac{3\mathbf{r}(\mathbf{m} \cdot \mathbf{r}) - m|\mathbf{r}|^2}{4\pi\epsilon_0|\mathbf{r}|^5} \quad (2.1.3)$$

のように導ける．ここで，双極子モーメント  $\mathbf{m}'$  が点  $P(x, y, z)$  に存在するときの静電ポテンシャルエネルギー  $U$  は

$$U = -\mathbf{E} \cdot \mathbf{m}' = \frac{3\mathbf{r} \cdot \mathbf{m}'(\mathbf{m} \cdot \mathbf{r}) - m \cdot \mathbf{m}'|\mathbf{r}|^2}{4\pi\epsilon_0|\mathbf{r}|^5} \quad (2.1.4)$$

と計算できる．静電ポテンシャル  $U$  が最小となるような状態は， $\mathbf{r}$ ， $\mathbf{m}$ ， $\mathbf{m}'$  のベクトル方向によって決まり， $\mathbf{m}$  と  $\mathbf{m}'$  が平行の時， $\mathbf{r}$  も同様に平行である条件，つまり Fig. 2.2(b) の上の図のように同一直線状でエネルギーが最小となる．また， $\mathbf{m}$  と  $\mathbf{m}'$  が反平行の時，式 (2.1.4) より分子の第1項がゼロとなるような  $\mathbf{r}$  をとればよいので，Fig. 2.2(b) の下の図のように双極子モーメントが垂直な状態で安定する．この双極子モーメントの相互作用がまさに強誘電体と反強誘電体が存在しう原因であり，双極子モーメントの正イオンと負イオンによる短距離力と双極子モーメントの相互作用による長距離力が分極状態を決定している．

次に，誘電体中における局所電界について考える．等方性の誘電体を仮定すれば，Fig. 2.3のように，外場によって分極双極子モーメント  $\mathbf{m}$  が整列する．ある中心から微小半径  $R$  の中に一定数の分極双極子モーメントが存在しその内部は真空とする．すると中心にかかる電界は外場からの  $\mathbf{E}$ ，分極  $\mathbf{P}$  が作る電界  $\mathbf{E}'$ ，そして  $R$  内に局在する微視的双極子の電界  $\mathbf{E}''$  である． $\mathbf{E}''$  は等方性の物質の場合， $\mathbf{m}$  が互いに打ち消しあうので，0となる． $\mathbf{E}'$  について，電界方向を  $x$  とし， $x$  軸とのなす角  $\theta$  が時， $R$  の距離にある分極電荷を  $P \cos \theta$  とできる． $R$  の位置における  $x$  軸に垂直な断面において，円環を1周させ，さらに微小な角度  $d\theta$  だけ角度増加させた領域の分極電荷を  $0 \sim \pi$  まで積分すれば総分極電荷量が

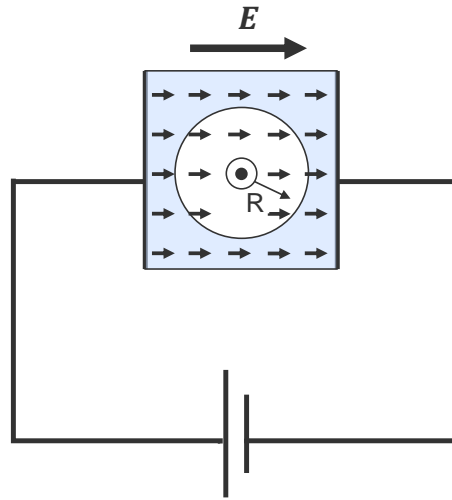


Fig. 2.3 誘電体内の局所電界を考察するための概略図.

わかる．電界を導出するにはガウスの定理を用いて球内の電気力線を面積分すればよく，  
こうして求められた  $E'$  は

$$E' = \frac{P}{3\epsilon_0} \quad (2.1.5)$$

となる．つまり局所電場  $F$  は

$$F = E + \frac{P}{3\epsilon_0} \quad (2.1.6)$$

となる．ここで着目すべきは，ある電界によって分極された誘電体内の局所電界は，その分極を助長する向きに電界をかけるということである．つまり分極を維持しようとする機構が誘電体内の局所電界に存在することがわかる．

式 (2.1.6) を拡張し，

$$\mathbf{F} = \mathbf{E} + \frac{\gamma_l}{3\epsilon_0} \mathbf{P} \quad (2.1.7)$$

として，立方晶以外にも適用させる．ここで  $\gamma_l$  はローレンツ因子であり，立方晶では1である．ここで1つのイオンAのイオン分極を  $\alpha_i$  とすると単位結晶当たりの双極子モーメントは

$$m = \frac{\alpha_i \gamma_l}{3\epsilon_0} P \quad (2.1.8)$$

であり，双極子相互作用は

$$w_{dip} = -mF = -\frac{\alpha_i \gamma_l^2}{9\epsilon_0^2} P^2 \quad (2.1.9)$$

と求められるので、 $N$ を単位体積当たりの原子数とすれば、

$$W_{dip} = -\frac{N\alpha_i\gamma l^2}{9\varepsilon_0^2}P^2 \quad (2.1.10)$$

と計算可能である。このエネルギーとイオンAが無極性平衡状態へ変位した場合の弾性エネルギーの総和が全自由エネルギーとなる。イオン変位 $x$ ，力係数 $k, k'$ とすると，単位体積当たりの弾性エネルギーは

$$W_{elas} = N \left( \frac{k}{2}x^2 + \frac{k'}{2}x^4 \right) \quad (2.1.11)$$

であり， $P = Nqx$ を用いれば，系の全エネルギーは

$$W_{tot} = W_{dip} + W_{elas} = \left( \frac{k}{2Nq^2} - \frac{N\alpha_i\gamma^2}{9\varepsilon_0^2} \right) P^2 + \frac{k'}{4N^3q^4}P^4 \quad (2.1.12)$$

である。双極子相互作用が大きければ大きいほど，自発分極の起源であるエネルギー状態を示しやすい。具体的には， $\gamma$ や $\alpha_i$ ， $k$ ， $k'$ の振る舞いが重要であり，温度依存性を含めて議論される。次項にて，拡張された理論であるランダウ理論を用いて，強誘電体の基本原理を述べる。

最後に，自発分極が電界印加による分極反転によって遷移する様子を，Fig. 2.4に示す。 $E_c, P_r$ をそれぞれ抗電界，残留分極といい，分極反転が生じる電界及びゼロバイアスでの分極電荷量を示している。実際に分極電荷を測定するには，直列に接続された参照用キャパシタの過渡電流を増幅器で増幅することで，過渡電流値を計算し，その時間積分に対し，面積で割った値が分極量として測定される。

### 2.1.3 強誘電体の現象論

強誘電体の現象論として， $P$ を秩序変数パラメータとした相転移のランダウ理論がしばしば用いられる。ランダウ理論によればヘルムホルツの自由エネルギーは

$$\Phi_r = \frac{1}{2}\alpha P^2 + \frac{1}{4}\beta P^4 + \frac{1}{6}\gamma P^6 - EP \quad (2.1.13)$$

であり， $\alpha, \beta, \gamma$ はランダウ理論における拡張定数である。式(2.1.12)と比べてみると，ランダウ理論を4次項まで近似した形であることがわかる。本項では，(反)強誘電性を記述するための理論としてランダウ理論の拡張定数の妥当性について述べる。

$\gamma$ について，係数は必ず0より大きくなければならない。さもなくば，安定点が $P$ の無限大で収束，つまり発散することになり，結晶性が失われるためである。

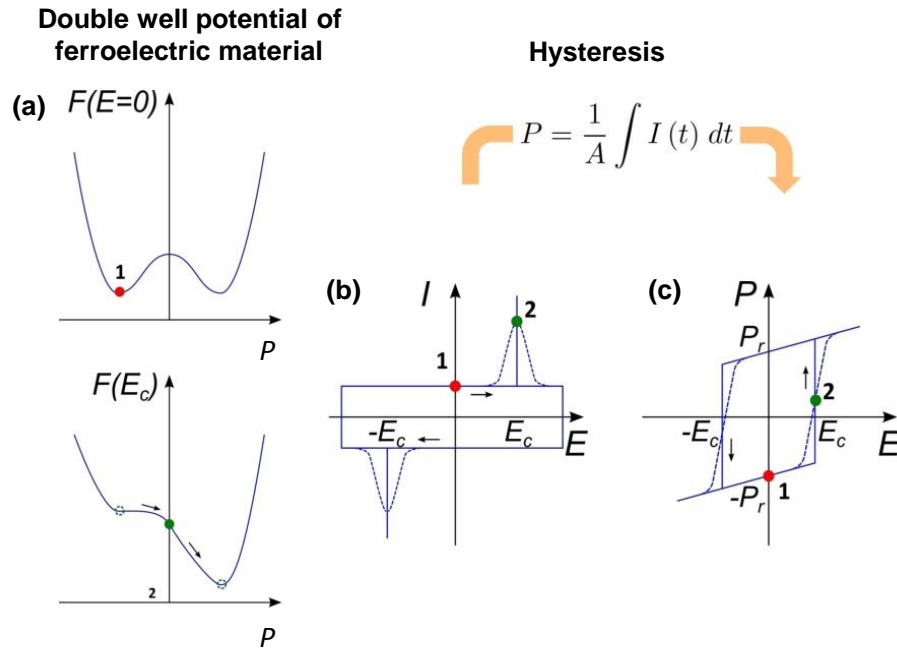


Fig. 2.4 (a)自由エネルギー及び(b)過渡的電流測定, (c)分極反転電荷測定([5]を参考)

また $\alpha$ に関して, 式 (2.1.13)を

$$\left. \frac{\partial E}{\partial P} \left( \frac{\partial \Phi_r}{\partial P} = 0 = \alpha P + \beta P^3 + \gamma P^5 - E \right) \right|_{P=0} = \alpha \quad (2.1.14)$$

とし,  $\chi$ を感受率,  $P_{sw}$ を強誘電体の自発分極として分極モーメントを示すと

$$P = \epsilon_0 \chi + P_{sw} \quad (2.1.15)$$

となるので, 式 (2.1.14), 式 (2.1.15)より

$$\alpha^{-1} = \epsilon_0 \chi \equiv \left( \frac{\partial E}{\partial P} \right) \Big|_{P=0} \quad (2.1.16)$$

と示される. つまり $P=0$ 近傍では $\alpha^{-1}$ は感受率と真空誘電率の積とみなせる. この近似は, 温度がキュリー温度 $T_c$ を上回るとき $P = 0$ 近傍の誘電率を測定すれば得られる.  $T_c$ 近傍で $\alpha$ を拡張するためには

$$\alpha = \alpha_0(T - T_c) \quad (2.1.17)$$

のように近似される. つまり強誘電体の発現のために,  $\alpha$ は必ず負でなければならない. これは, 式 (2.1.12)での $P^2$ の係数の議論と同義である.

$\beta$ に関して,  $T_c$ よりも低い温度において,  $\alpha_0$ 及びバイアスなし状態の分極量がわかっている場合に実験的に求められる.  $\beta$ が負であれば, 1次相転移を示し, 自発分極は $T_c$ に対

して不連続に出現する。  $\beta$  が正であれば，2次相転移を示し，連続的な自発分極を示すようになる。

#### 2.1.4 HfO<sub>2</sub>の(反)強誘電性

2011年，ドイツのNaMLabのBosćkeらの研究グループが，CMOSプロセスにおけるゲート絶縁膜として用いられてきたHfO<sub>2</sub>に，あるmol%濃度でSi原子を堆積させると，強誘電性並びに反強誘電性が発現することを報告した[7]。その後，Al[8],Zr[9],Y[10],Sr[11],La[12]などで(反)強誘電性が示されてきた。強誘電体HfO<sub>2</sub>はFig. 2.5に示すような構成であると考えられており，常誘電層である正方晶の結晶構造が，ドーパント及び上部電極付きの結晶化アニールによって斜方晶に転移し，斜方晶内での非中心対称性より強誘電性が確認されたと報告されている。その後の研究で，キャッピングなしのアニールや，ドーパントなしのHfO<sub>2</sub>[13]でも，強誘電性を示すことが報告されており，現在はアプリケーションに応じた膜質の向上及びデバイスへの適用が活発に議論されている。

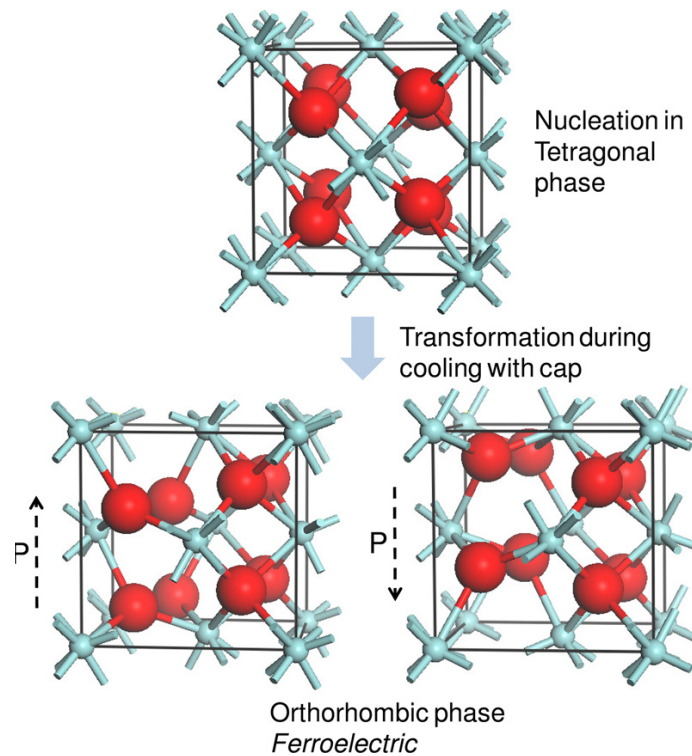


Fig. 2.5 斜方晶の形成は，上部電極を付けた状態でアニールした後の冷却中に正方晶からの相転移によって進行する。下の図は，強誘電相の2つの異なる分極状態を示している。大きな原子が酸素，小さな原子がHfを指す。 ([7]から引用)

強誘電体 $\text{HfO}_2$ の強みは、数nm程度の膜厚でも電界印加測定によって強誘電性が測定可能であること[14, 15]、比較的大きなバンドギャップ(5.8 eV)によるリーク電流の減少が期待できること、そして成熟したCMOSプロセス技術との整合性が非常に高いことである。従来型のペロブスカイト構造の強誘電体は数100 nmの薄膜化限界及びCMOSプロセスとの整合性の乏しさ、鉛使用による環境への悪影響などの致命的な欠点があったが、強誘電体 $\text{HfO}_2$ はこれらの課題をすべてクリアしうる画期的な材料として、注目を集めている。

### 2.1.5 強誘電体の信頼性

強誘電体をメモリとして用いる際に信頼性の観点から着目すべき現象をFig. 2.6に3つ取り上げる。(a)書き換え耐性(Endurance), (b)電荷保持時間(Retention), (c)インプリント(imprint)である。(a), (b)は不揮発性メモリ全体においても重要であるが、(c)は強誘電体特有の現象である。

Enduranceとは、Fig. 2.6(a)に示すように、強誘電体に電界を複数回印加した時、絶縁破壊する、もしくは強誘電体の $P_r$ が無くなるまで掃引できた回数を評価する指標である。CPU内部で利用されるメモリは書き換え回数が無制限である必要があり、具体的には書き込み/消去を $10^{12}$ 回以上行えるかどうか基準となっている。最も研究が行われている $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 系の強誘電体及び、 $\text{Sr}(\text{Bi}, \text{Ti})\text{O}_3$ などで、 $10^{12}$ 回を超える書き込み/消去を繰り返しても、 $P_r$ の劣化を許容できる膜質を獲得している[16]。強誘電体 $\text{HfO}_2$ のEnduranceはSiドープの膜では $10^9$ 回程度[17, 18]である。

Retentionとは、Fig. 2.6(a)に示すように、片側の分極状態を保持した後、しばらく時間を経過させると $P_r$ が減少してしまう現象である。強誘電膜には自身の分極を緩和する向きに電界がかかっており、分極状態を保持する作用を減少させる。これらは不揮発性メモリの情報保持時間と等価に議論される。状態保持時間はデバイスの利用用途によって異なるが、例えばNAND Flushメモリなどでは10年間の情報保持性能が必要とされている。

Imprintとは、Fig. 2.6(c)のように電界方向に分極ヒステリシスがシフトする現象である。この原因は、現状強誘電膜の空間電荷が膜中のトラップに非対称に影響されているためであるという議論が確からしいと考えられている[19]。Retention現象と似ているが、ヒステリシスカーブが電圧方向にシフトするということは、抗電圧を超えるシフトの場合、もはや不揮発性メモリでなくなる。

なお、本研究では、Imprint測定を除いた具体的な手法及び測定結果に関して、4章にて述べる。

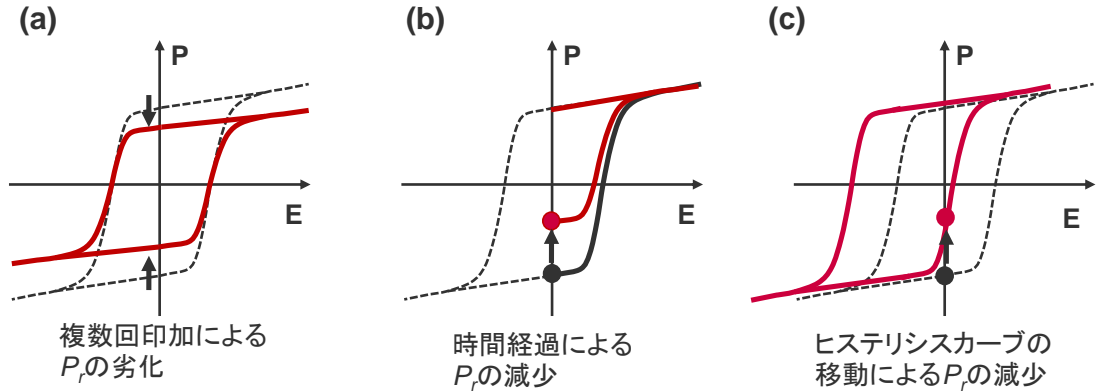


Fig. 2.6 (a)FeFETの構造と分極状態の違い(b)ゲート絶縁膜中の強誘電体の状態とPV曲線グラフのON/OFFの対応関係。(3)分極状態の違いによる閾値の変化。)

## 2.2 強誘電体メモリ

強誘電体を用いたメモリは主に3種類が報告されている。その代表例を紹介し、本研究の強誘電メモリの立ち位置を明らかにする。デバイスの高集積化が進むにつれて、従来材料の問題により、強誘電体メモリの研究は下火になっていた。ところが、強誘電体 $\text{HfO}_2$ の台頭により、すべてのメモリ利用可能性が再び注目を集めるようになった。そこで本節では、基本原理を説明した後、強誘電体 $\text{HfO}_2$ を用いたメモリの現状について簡単に述べる。

### 2.2.1 強誘電体メモリ(Ferroelectric Random Access Memory : FeRAM)(1T1C型)

FeRAMは強誘電体メモリの中では唯一、ICカードのメモリなどとして実際の市場で利用されている不揮発性メモリである。Fig. 2.7(a)に1T1C(1 Transistor 1 Capacitor)構造で構成されたFeRAMを示す。DRAMのキャパシタ部分を強誘電体キャパシタに置き換えている。

読み出し動作は、まず選択されたセルのアクセストランジスタをオンにする。続いて $C_{BL}$ で変位電流を測定するために、BLをプレチャージして電流を誘導する。次に電流変動による電位の変化ををセンスアンプで参照用電圧と比較し、その閾値の大小で、分極反転電荷による電流値の増減を判断する。読み出し動作ごとに、「0」状態に書き込まれる



ので、FeRAMは破壊読み出しである。読み出し動作後に、「0」、「1」の情報を再設定する必要がある。書き込み/消去の動作はWLにおいてアクセストランジスタをオンにした後、BL及びPLを逆符号に印加しセットされる。

破壊読み出しによる再書き込み動作は、膜のendurance特性を著しく下げる。さらに、 $C_{BL}$ のキャパシタは、製造工程上、強誘電体キャパシタと異なるものを作製できず、同一ビットのメモリセルの読み出しすべてに対して動作するため、Endurance特性が著しく劣化する。

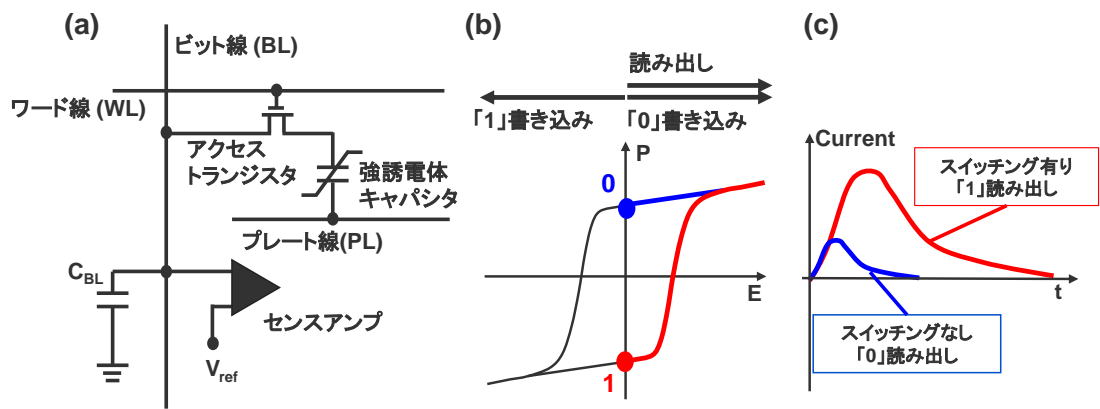


Fig. 2.7 (a) 1T1C型のFeRAMの構成(b)「0」、「1」別の分極量の違いを示したPV特性(c)「0」、「1」別の過渡電流値の違い

実用化されたFeRAMは参照用セルをもう1つのFeRAMで代用した2T2C構造を採用している。一方をBL、他方を $\overline{BL}$ としておくことで、読み出しの際のマージンが2倍になるだけでなく、参照用キャパシタを1セルごとに利用できるため、劣化の進度もばらつかない。

FeRAMがより雑音に強い構造になるために、読み出し時の変位電流を増加させることが考えられる。そのためにはキャパシタの容量を上げる、つまり面積を広げることが重要で、3Dクロスポイントアレイ構造によって成し遂げられるべきである。原子層堆積 (Atomic Layer Deposition : ALD)によって堆積された強誘電体 $HfO_2$ は、極薄膜で側面にも均一に成膜可能であるので、それを用いたFeRAMも、多くの研究が進められている[20, 21]. 研究課題としては、1T1C構造もしくは2T2C構造で1メモリセルとなるため、構造的に集積性が低い点があげられる。また強誘電体特性としての課題は、疲労特性( $\sim 10^9$ 回程度)及び読み出しマージン( $P_r$ )の向上である[22].

### 2.2.2 強誘電体電界効果トランジスタ(Ferroelectric Field Effect Transistor : FeFET)(1T型)

FeRAMの破壊読み出し及び集積性の低さという課題を克服する強誘電不揮発メモリとして、最も有力な候補がFeFETである。その構造と動作原理について、Fig. 2.8に示す。FeFETは通常MOSFETの構造において、ゲート酸化膜に強誘電体を用いる1T構造でメモリ動作が可能な素子である。WLに接続されたゲートにパルス電圧を印加し、強誘電体の分極状態を変化させる。nMOSFETの場合、例えばゲート電圧に抗電圧を超える負の電圧を印加すれば、(a)の上の図のように分極が配向され、F/S界面のチャネル形成を遅らせることができるため、閾値が正にシフトする(消去)。逆に抗電圧を超える負のパルス電圧をゲートに印加すれば、早期にチャネルが形成されるため、閾値は負にシフトする。読み出しの時は、抗電圧を超えない範囲で電圧を印加し、立ち上がりの電流値を読み出せばよい。抗電圧を超えないため、非破壊読み出しであり、1トランジスタでメモリ動作可能なため、集積性に優れている。

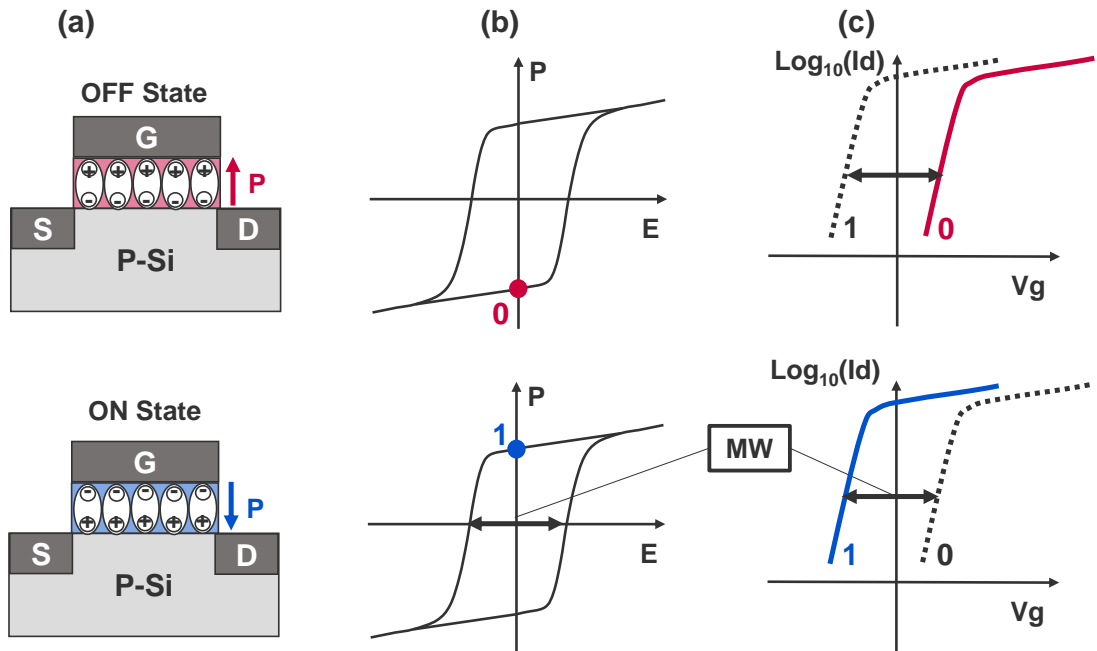


Fig. 2.8 (a)FeFETの構造と分極状態の違い(b)ゲート絶縁膜中の強誘電体の状態とPV曲線グラフのON/OFFの対応関係。(c)分極状態の違いによる閾値の変化。

HfO<sub>2</sub>を用いたFeFETは、驚くべきことにSi-doped HfO<sub>2</sub>の強誘電性が報告された年に、NaMLabのBosćkeらの研究グループによって報告された[23]。従来型のFeFETに比べ、アスペクト比が約1/7程度まで減少し、その後の研究で、28nmゲート長のテクノロ

ジーでもデバイス動作が確認された[24]. HfO<sub>2</sub>を用いたFeFETの研究の傾向としては, NAND Flushメモリのような3次元構造により集積性を向上させる研究や, トランジスタとして非常に重要な立ち上がり特性を向上させるために, 界面伝導を用いない上にプロセスを簡略化できるJunction Less FETを用いたりする研究が報告されている[25].

### 2.2.3 強誘電体トンネル接合メモリ(Ferroelectric Tunnel Junction memory : FTJ)(1R型)

本研究での主題であるFTJは, Fig. 2.9のように強誘電体を2つの電極で挟んだ構造を有していて, 1R(Resistance)構造でデバイス動作を行うため, 強誘電体メモリの中で最も集積性が高い. また, 詳しくは後述するが, 抗電界の範囲内で電流値を読み出すため, 非破壊読み出しが可能である.

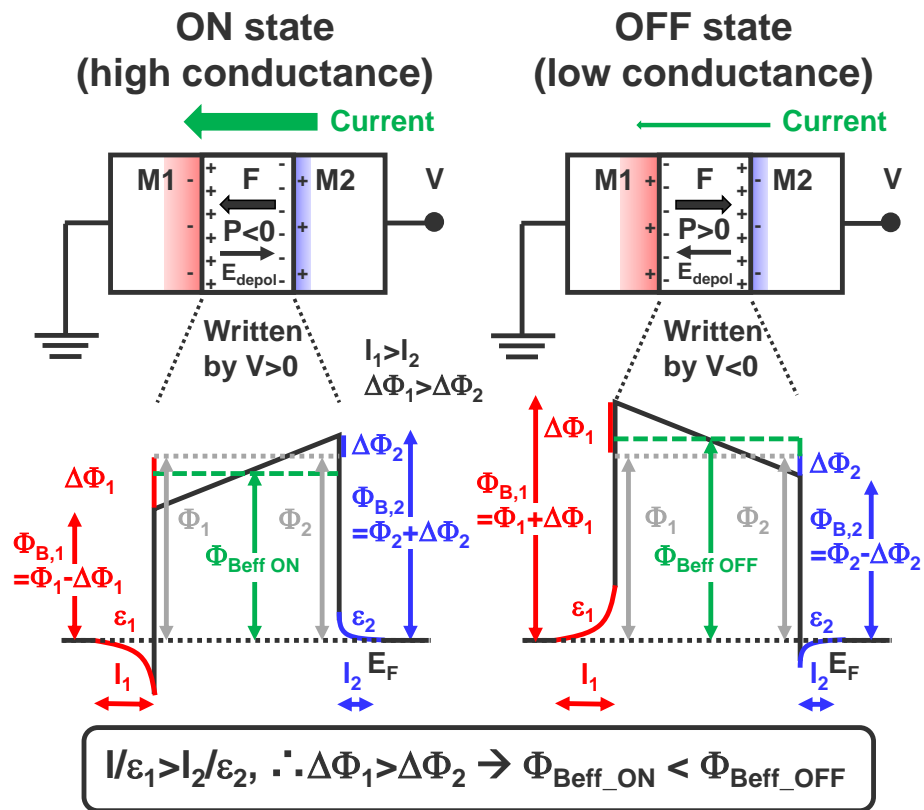


Fig. 2.9 FTJの構造の模式図とON/OFF電流の変化の様子 ([26]から引用).

強誘電体を挟んだ電極界面には, 残留分極電荷によって引き寄せられたり, 離れたたりす

る電子がスクリーニング電荷として存在する。スクリーニング長を

$$\begin{aligned} l_{B,i} &= \sqrt{\frac{\varepsilon_i k_B T}{q^2 n}} \\ l_{F,i} &= \sqrt{\frac{2\varepsilon_i E_F}{3q^2 n}} \end{aligned} \quad , i = 1, 2 \quad (2.2.1)$$

と定義する[27]。但し $l_{B,i}$ ,  $l_{F,i}$ はそれぞれボルツマン分布, フェルミ・ディラック分布に従う場合のスクリーニング長である。また,  $\varepsilon_i$ はM1,M2の電極の誘電率,  $k_B$ はボルツマン定数,  $T$ は絶対温度,  $q$ は電気素量,  $n$ は電子密度,  $E_F$ はフェルミエネルギーである。室温付近ではボルツマン分布での近似が可能である。この不完全な補償電荷によって, 誘電体の界面ポテンシャルエネルギーが

$$\Delta\Phi_i = \frac{l_i Q_s}{\varepsilon_0 \varepsilon_i} q \quad (2.2.2)$$

だけ増減すると考えられる。ここで $Q_s$ はスクリーニング電荷密度である。 $Q_s$ は

$$Q_s = \frac{Pd}{\varepsilon_{stat} \left( \frac{l_1}{\varepsilon_1} + \frac{l_2}{\varepsilon_2} \right) + d} \quad (2.2.3)$$

で与えられる。ここで,  $P$ は分極量,  $d$ は強誘電体膜厚,  $\varepsilon_{stat}$ は強誘電体の静的な誘電率である。結局, 強誘電体の界面ポテンシャルエネルギーは

$$\Phi_{B,i} = \Phi_i \pm \Delta\Phi_i \quad (2.2.4)$$

で変化する。このスクリーニング電荷は強誘電体内部に, 分極を打ち消す向きに電界(脱分極電界)を

$$E_{depol} = -\frac{P - Q_s}{\varepsilon_0 \varepsilon_{stat}} \quad (2.2.5)$$

のように印加する。分極電荷が大きければ大きいほど, その分極を打ち消す電界が増加する。式(2.2.2)に着目すると,  $l_i/\varepsilon_i$ によってポテンシャルエネルギーの変化分が決定する。両端電極が異なる場合, スクリーニング長及び誘電率という電極材料の誘電的性質によって, ポテンシャル障壁の増減が大きく異なる。ポテンシャル障壁の増減は, 分極の向きによって異なるため, 片側に分極された状態の膜に反対側の電界を印加すると, 分極状態は反転し, そのポテンシャル障壁も変化する。ここでポテンシャル障壁の変化によって伝導電流機構が変化するのは後述する直流トンネル電流(Direct Tunnel Current :DT電流), FNトンネル電流(Fowler-Nordheim Tunnel Current :FNT電流), ショットキー

効果電流(Schottky effect current : SE電流)が考えられる. FNT電流及びSE電流は, 高温高電界での伝導電流で支配的である. また, 厚膜になればなるほど膜中トラップ起因の伝導電流の影響も大きくなるため, 電流機構の分離が困難になる. そこで本研究でのFTJのモデルは, 極薄膜での近似が有効なDT電流のモデルのみで伝導電流を考慮する. 欠陥の影響を考慮しないFTJの伝導電流について, 体系的な議論はPantel氏の文献を参考にされたい[27].

直流トンネル電流の式を

$$J_{DT} = C \frac{\exp \left[ \alpha \left\{ \left( \Phi_{B,2} - \frac{qV}{2} \right)^{3/2} - \left( \Phi_{B,1} + \frac{qV}{2} \right)^{3/2} \right\} \right]}{\alpha^2 \left[ \sqrt{\Phi_{B,2} - \frac{qV}{2}} - \sqrt{\Phi_{B,1} + \frac{qV}{2}} \right]^2} \times \sinh \left[ \frac{3qV}{2} \alpha \left\{ \sqrt{\Phi_{B,2} - \frac{qV}{2}} - \sqrt{\Phi_{B,1} + \frac{qV}{2}} \right\} \right] \quad (2.2.6)$$

のように示す.

式 (2.2.6)において  $C = -4qm_{ox}/9\pi^2\hbar^3$ ,  $\alpha = 4d\sqrt{2m_{ox}}/3\hbar(\Phi_{B,1}qV - \phi_{B,2})$  である. ここで,  $\hbar$ はディラック定数,  $m_{ox}$ は膜中の電子トンネル有効質量である. 式 (2.2.6)の上部の指数関数部分を注意深く見ると,  $\Phi_{B,i}$ 及び $d$ という変数でDT電流を制御できると分かる. この指数関数的な伝導電流の変化により, わずかなポテンシャル障壁変化でも大きなトンネル電気抵抗比(Tunnel ElectroResistance ratio : TER比)を獲得できる. なおTER比は

$$TER \equiv \frac{J(ON) - J(OFF)}{J(OFF)} \quad (2.2.7)$$

と定義され, FTJのメモリ動作余裕を判断するために極めて重要な指標である. 書き込み時には強誘電体の抗電圧を超える範囲の電圧を印加し, 分極反転させることで情報を書き換える. また, 読み出しの際には, 抗電圧内での読み出し電圧を印加し, 電流値を読み出せばよいので, 非破壊読み出しが可能である.

FTJの提唱は1971年に江崎氏によってなされたが[28], その後2009年にGarcia氏によって動作実証されるまでに, 長い時間を要した[29]. これはペロブスカイト構造強誘電体の薄膜化が困難だったためだけでなく, 測定手法に関しても強誘電性を正當に評価することが困難だったからである. 強誘電体 $\text{HfO}_2$ を用いたFTJもごく最近に実証され[30], その後も様々なデバイス構造のFTJが報告されている.

## 2.3 伝導電流メカニズム

ゲート酸化膜などを伝導するリーク電流はSiO<sub>2</sub>, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>などを筆頭に2000年代初頭に議論されてきた[31]. 極薄膜の絶縁膜中を伝導するモデルは様々であるが, 本研究に関連するモデルについて, 膜中欠陥に関連する伝導電流とそうでない伝導電流に分けて議論する[3][32].

### 2.3.1 欠陥の無い伝導電流

欠陥の無い伝導電流のうち, DT電流についてはすでに2.1で述べた. 本項では, SE電流及びFNT電流について述べる. 伝導電流の概略図をFig. 2.10に示す. これらの電流は5章にて重要な役割を担う.

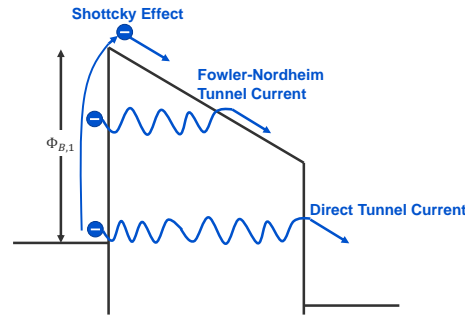


Fig. 2.10 欠陥を考慮しない伝導電流モデルの模式図.

SE電流は, 誘電体の界面ポテンシャル障壁を超えて伝導する電界及び熱的放出による電流機構である. ある一定数の電子が障壁を超えるのに十分なエネルギーを獲得した際, ポテンシャル障壁を超え, 放出される. リチャードソン方程式を基にモデル化されたSE電流の式は以下のように示される.

$$J_{SE} = A^* T^2 \exp \left[ \frac{-q \left( \Phi_{B,1} - \sqrt{qE/4\pi\epsilon_r\epsilon_0} \right)}{kT} \right] \quad (2.3.1)$$

$$A^* = \frac{4\pi q k^2 m^*}{h^3} = \frac{120 m^*}{m_0}$$

ここで,  $A^*$ は有効リチャードソン定数,  $m_0$ は自由電子の有効質量,  $m^*$ は電子の誘電体内での有効質量,  $\epsilon_r$ は光学誘電率(または動的誘電率),  $h$ はプランク定数である.  $\epsilon_r$ は実験値であり, 光学的に電子を励起させその屈折率を見, その値の平方根をとることで確認できる. また, 縦軸を  $J/T^2$  横軸を  $E^{1/2}$  で実験値をプロットし, 線形近似できれば, その

伝導電流はSE電流が支配的であると判断できる。

FNT電流は、絶縁膜に電界を印加した際、絶縁膜のポテンシャル障壁が曲がった領域において確率的にトンネルする電流である。伝導電流の式は

$$J_{FNT} = \frac{q^3 E^2}{8\pi h q \Phi_B} \exp \left[ \frac{-8\pi (2qm_T^*)^{1/2}}{3hE} \Phi_B^{3/2} \right] \quad (2.3.2)$$

式 (2.3.2)によれば、電界印加によって大きく増加する電流と分かる。これは、DT電流と比べて、絶縁膜のポテンシャル障壁を曲げ、かつ電子がトンネル確率が上昇する準位まで到達しなければならないためである。また、式 (2.3.2)では、FNT電流が $\ln(J/E^2)$ を縦軸、 $1/E$ を横軸に取った時、線形近似できることを示しており、FNT電流が支配的である時有効なプロット手法である。

### 2.3.2 欠陥のある伝導電流

欠陥のある伝導電流について、Poole-Frenkel Emission(: PF電流)について述べる。簡単な概略図をFig. 2.11に示す。

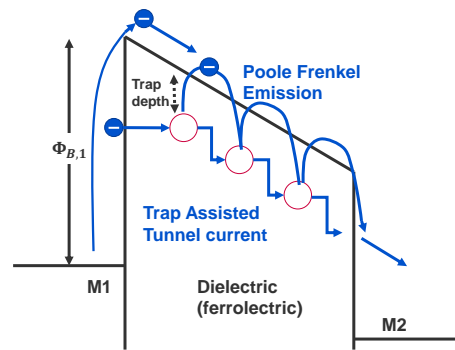


Fig. 2.11 欠陥を考慮した伝導電流の模式図。

PF電流はSE電流とよく似ており、温度変化によって絶縁膜中の電子が絶縁膜の伝導帯に熱励起され、次のトラップや電極へと伝導することで生じる電流である。伝導電流の式は

$$J_{PF} \sim q\mu N_C E \exp \left[ \frac{-q \left( \Phi_T - \sqrt{qE/\pi\epsilon_r\epsilon_0} \right)}{kT} \right] \quad (2.3.3)$$

のように示される。ここで $\mu$ は電子のドリフト移動度、 $N_C$ は膜中トラップ密度、 $\Phi_T$ は伝導帯からのトラップ深さである。但し、このモデルでは電極からトラップへのトンネル

伝導を考慮していない。その不足を補うためには、絶縁膜の電子透過率を確認せねばならない。

$$P_{In} \sim \exp\left(-\frac{2s\sqrt{2m^*\Phi_T}}{\hbar}\right) \quad (2.3.4)$$

$s$ は電子トラップ間距離、 $m^*$ はトンネル電子有効質量である。すべての欠陥状態におけるエネルギー準位での電子放出確率を計算し(式 (2.3.3))、三角形のポテンシャルをトンネルする確率をかけ合わせると、薄膜での欠陥起因PF電流が得られる。PF電流もアレニウスプロット( $\ln(J/E)$  VS  $1000/T$ )を行い、線形近似ができる場合にPF電流の機構が支配的な伝導機構であると同定できる。またアレニウスプロットの傾きから、 $\Phi_T$ 及び $\epsilon_r$ が算出可能であり、SE電流での未知数を概算することにも有用である。



## 第3章

# 研究手法

### 3.1 基準プロセス

FTJは2端子素子であり，キャパシタ構造を有するデバイスである．MFM(Metal-Ferroelectric-Metal)構造キャパシタ基準プロセスのプロセスフローと，模式図を示す．

プロセスフローについて，詳細を説明する．まず，信越化学のp-Si基板を劈開し，SPMを10分間行った(下部基板が高移動度基板の場合，SC1及びBHFを追加で行う)．次にULVAC社のRFスパッタリング装置を用いて高真空状態，室温で下部電極のTiNを30 nm堆積させた．次にAtomic Layer Deposition(ALD)を用いて強誘電体膜を10nm堆積した．N<sub>2</sub>雰囲気，200°Cのチャンバー内で，HfO<sub>2</sub>はTetrakis-(dimethylamido)-hafnium，ZrO<sub>2</sub>はTetrakis-(dimethylamido)-zirconiumをプリカーサとして利用した．酸化剤はH<sub>2</sub>Oを用い，両端電極の終端が酸化剤で終了するようにした．ZrO<sub>2</sub>のサイクル割合を30%もしくは50%で構成し．堆積サイクルは均等な周期となるように行い，堆積が終了したらすぐに，先ほどと同様にRFスパッタリングでTiNを上部電極として30 nm堆積させた．

今度は，上部電極のパッドを作製するために，リソグラフィーを行った．具体的にはHDMS(：examethyldisilazane)を基板に滴下し，スピンドウオーターで6000rpm60秒間回転させ，基板表面を疎水性にした．AZ1500 20cpをその上から滴下し，同様に回転させ，Pre bakeを100°C，10分間行う．その後，レーザー露光装置を用いてパターンを描画し，TMAH(：Tetramethylammonium hydroxide)を用いて現像した．Post bakeを140°Cで10分間行い，H<sub>2</sub>O<sub>2</sub>を60~62°Cの温度で維持し，約90秒間ウェットエッチングを行った．AZ remover 100を85°Cまで上昇させ，レジストを除去した．

同様の手順で下部コンタクトを行った．HfO<sub>2</sub>をエッチングするパターンを作成し，

Post bakeの温度は120°Cに下げ、10分間行った後、BHFで約8分エッチングし、上部電極と同様にレジストを除去した。最後にRTAをN<sub>2</sub>雰囲気500°C、30秒間行い、MFMキャパシタ構造を試作した。

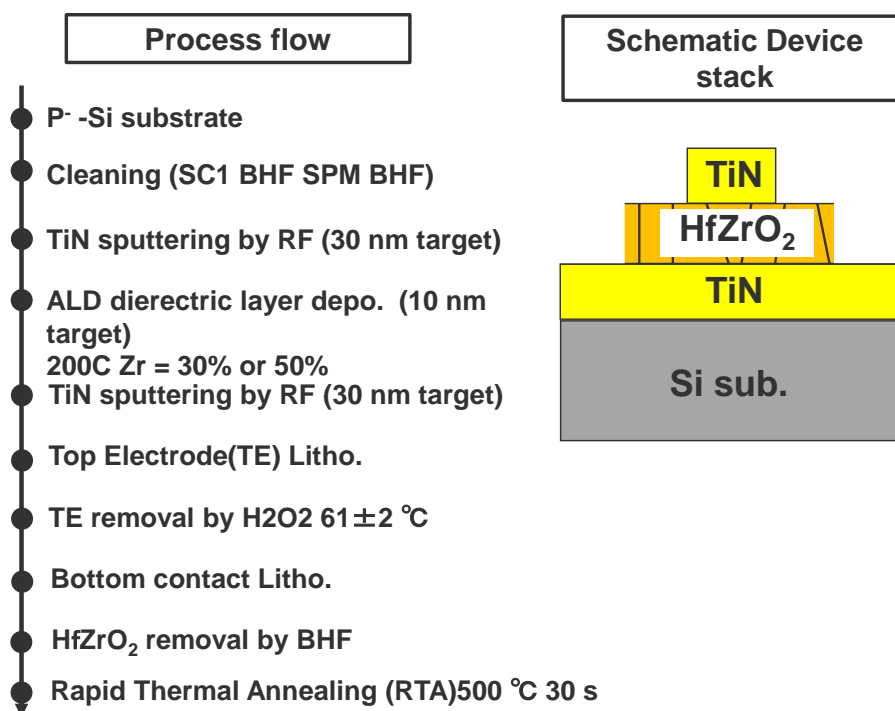


Fig. 3.1 (右)基準プロセスフロー，(左)作製デバイス構成の模式図.

## 3.2 強誘電性評価手法

東陽テクニカ社のFCE-3/J型の強誘電体評価システムを用い、マニュアルプローバを用いて強誘電体特性を測定した。分極電荷は直接測定できないため、三角波もしくは正弦波をキャパシタに印加し、その過渡的な変位電流を増幅器で取得する。増幅器に積分器を設ければ電荷-電圧データとして測定値を取り込むことが可能であり、本測定装置では、増幅器を切り替えることによって、電荷量と電流値の両方を取得可能である。Fig. 3.1の右は、三角波掃引時の過渡的電流測定の結果を示している。キャパシタの過渡電流であれば、 $I = CdV/dt$ の簡単な計算より、電圧の時間変化によって変位する電流を測定するだけであるが、電流値に分極反転による電流ピークが見られ、強誘電性による電流が確認できる。

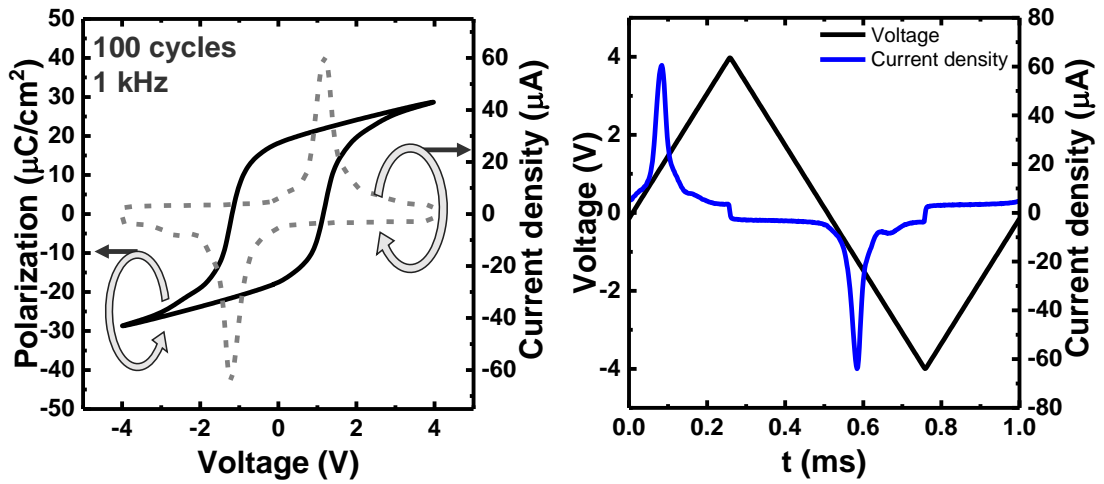


Fig. 3.2 基準プロセスの(右)PV及び過渡的電流測定結果(左)三角波掃引による過渡電流の時間経過.

Fig. 3.1の左図は電荷測定アンプと電流測定アンプ別の測定結果である．Zr濃度30%，100 $\mu\text{m}$ 直径のパッドに，三角波を100回掃引した後の波形を示しており，ヒステリシスカーブがきれいに測定できている．本測定により抗電界 $E_C = 1.15 \text{ MV/cm}$ ，残留分極値 $2P_r = 35 \mu\text{C/cm}^2$ と算出され，文献値と比べると約1.7倍程度大きな $P_r$ が得られている[33].

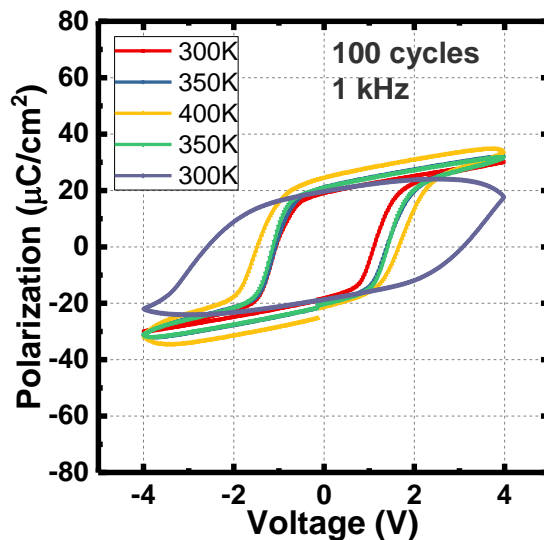


Fig. 3.3 温度の違いによるPV特性測定結果．温度が上昇するほど抗電圧が上昇している．

次にNOSIC社の電源電圧装置及び温度コントロールシステムを利用して，温度特性を評価した．Fig. 3.3にその測定結果を示す．300 Kから400 Kまで上昇させ，その後300 Kまで下げる測定を行い，温度測定によって抗電界が大きくシフトする様子を確認した．

理想的には300 Kに戻したとき，元の測定値に近い波形が得られるべきだが，複数回プローブによるパッドの劣化によって300 Kの2回目測定では元の測定値にならず，漏れ電流の大きな測定結果となった．正常に測れた領域において，温度上昇とともに抗電界が増加する現象は，ランダウの理論と反する．温度が上昇すれば，系の自由エネルギーは双極子相互作用を打ち消す向きに働き，ダブルウェル構造の障壁を下げるため，抗電界は小さくなるはずである[19]．本問題は今回の研究課題から外れてしまうものの，興味深い現象である．

### 3.3 伝導電流評価手法

トンネル接合を有するメモリは読み出し値が電流であるため，電流特性を評価することは必須である．今回はAgilent Technologies製B1500Aを用いて，強誘電性測定と同様にマニュアルプローブを利用した．基準プロセスで作製されたデバイスの温度依存性を含めた測定結果をFig. 3.4に示す．

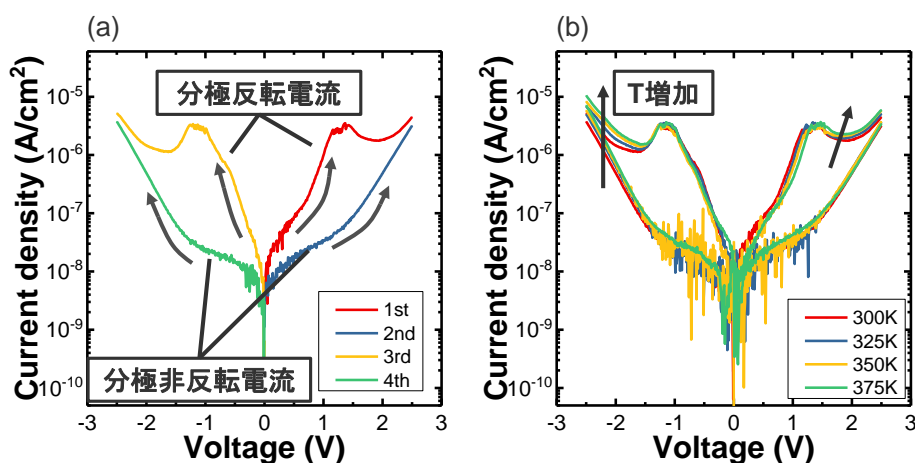


Fig. 3.4 基準プロセス構造の(a)Forward sweepの直流電流測定及び(b)直流電流測定の温度依存性

Fig. 3.4(a)について，0バイアス状態から低ストレスかつ抗電界を超える範囲で直流電圧を負にセットし，正電圧印加を2回，その後負電圧印加を2回の計4回行った．分極反転機構を含むもしくは含まない伝導電流において，大きく電流値が異なる．これは上部電極及び下部電極の界面において電子がトラップされ，その充放電によって電流値が大きく変化していると考えられる．

具体的には，初期の負電圧印加によるセットにより，上部電極と強誘電体膜の間にトラップ電荷が蓄積される．この電荷は正電圧印加時に放出され，分極反転が生じる電圧

にて大きくポテンシャル障壁が変化するため、放電が加速させる。抗電圧を過ぎた後の負性抵抗のような波形は、チャージトラップがなくなり、下部電極から伝導する伝導電流のみになったためと考えられる。正電圧印加時には同時に下部電極と強誘電体膜の間に電荷が充電される。その後、正電圧方向にもう一度電圧を印加しても、分極反転や放電による伝導電流機構がないため、ポテンシャル障壁を通じて伝導する電流のみを測定していると考えられる。負電圧領域においても同様に説明できる。

なお、放電現象を正負電圧の低電圧領域で比較すると、例えば $\pm 0.5\text{V}$ 付近では、負の電流値が正の電流値に比べて1桁程度大きい。これは対称に積層したMFIM構造でも、下部電極界面ではトラップ準位が高密度に存在することを示している。実際、ALDで $\text{HfO}_2$ を堆積する時、 $200^\circ\text{C}$ 程度まで上昇させることで、下部電極と強誘電体界面に $\text{TiO}_x$ が生成されることが確認されている[34]。また、上部電極と強誘電体膜の間に、電気化学的な反応のため、 $\text{TiO}_x\text{N}_y$ の層が形成される。つまり、厳密に対照的な積層は困難である。

次にFig. 3.4(b)の温度依存性について考察する。マイナス電圧領域においては、高電圧で反転電流及び非反転電流双方とも温度依存性がある。この領域はPF電流が支配的であることが予想できる。正電圧の非反転電流は温度依存性が小さく、FNT電流が支配的である可能性がある。

## 第4章

# 高TER比化及び多値メモリ化を目指したFTJの開発

### 4.1 背景

FTJは2章で述べたように，強誘電体薄膜を2つの電極によって挟んだ構造である．両端金属の仕事関数差やの界面層，片側電極に高移動度半導体を用いるなどして，両界面に誘電的な非対称性を持たせることにより，ポテンシャル障壁の平均高さが変化し，トンネル電流が制御される．従来型のペロブスカイト構造の強誘電トンネル接合メモリは単結晶成長を高圧な RHEED( : Reflection High Energy Electron Diffraction)法によりリアルタイムで観測し，非常に精密に数nmの膜厚を堆積させて評価を行っている[35, 36]．そのため，TER=100~1000程度と巨大なTERが獲得できている．これに対して，強誘電体HfO<sub>2</sub>は強誘電体としての研究の歴史が他の材料に比べ浅い．そのため強誘電体HfO<sub>2</sub>を用いたFTJは，TER=2~10程度であり，十分な設計指針の議論がなされないままであった[30, 37, 38, 39, 40]．これを踏まえ，本章では，解析的な電流モデルを用いてFTJの設計指針を作製し，それを達成するためにプロセスエンジニアリングを重ね，とりわけ高TER化に着目しながら，デバイスを作製することを目的とする．

### 4.2 シミュレーションによる設計指針

FTJの動作原理については2章ですでに述べた．本節では，解析的なシミュレーションモデルを基に，実際のプロセスに活用するためのFTJの設計指針を構築する．

## 4.2.1 デバイス設計スペースの調査

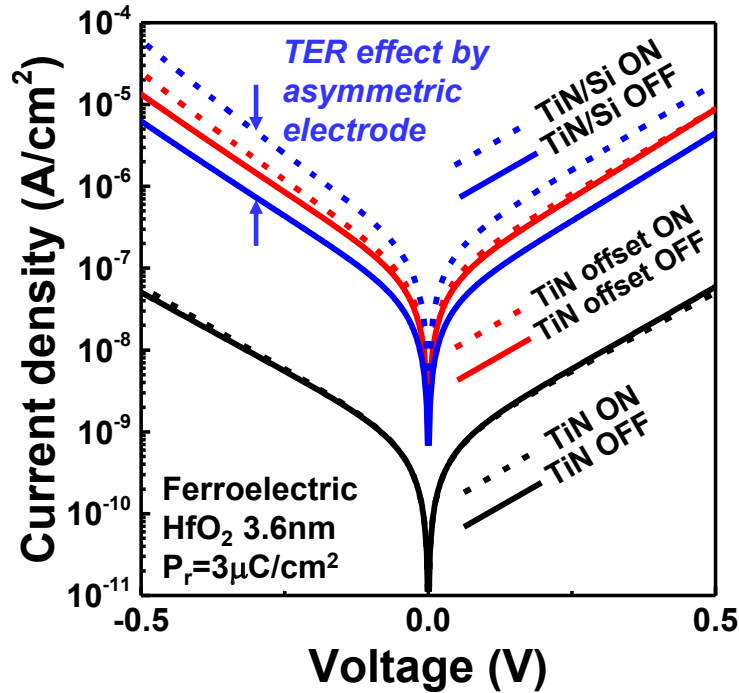


Fig. 4.1 直接トンネリングと誘電体遮蔽長の枠組みに基づく異なる上部電極と下部電極を持つFTJのシミュレーションしたIV曲線 ([26]から引用)

高TER化のための最適化として、まず上部電極の比較を行った(Fig. 4.1). 具体的には上部下部電極にTiNを用い、仕事関数差があるものとないものをシミュレーション上で比較し、それぞれ赤色と黒色で示している。点線が低抵抗状態、実線が高抵抗状態である。黒線の仕事関数差がなく、上部下部電極の誘電的性質が全く同じ電極に関してはTER比がほとんどとれていない。赤色の波形は、誘電率を変化させず、下部電極の仕事関数を小さくした場合の電流を示しているが、それでもなおTERは大きくなる。

次に下部電極の比較を行った。下部電極をn型ドーパントによって高濃度にイオン注入したシリコン材料にし、伝導電流を比較した。これは、Wen氏によれば[41], 両端電極として高濃度にドーパされた高移動度基板を下部電極に用いたFTJにより、トンネル障壁の高さだけでなく、空乏層の利用によって幅方向も制御でき、高TER化が期待できるからである。シミュレーション上では高濃度のn型シリコンを用いた。簡単なシミュレーションでも、スクリーニング長/誘電率の誘電的性質が両端電極で変化するため、MFM構造に比べて大きなTER比が獲得できる。つまり、MFS構造のFTJがより大きなTER比を獲得するために適した構造である。

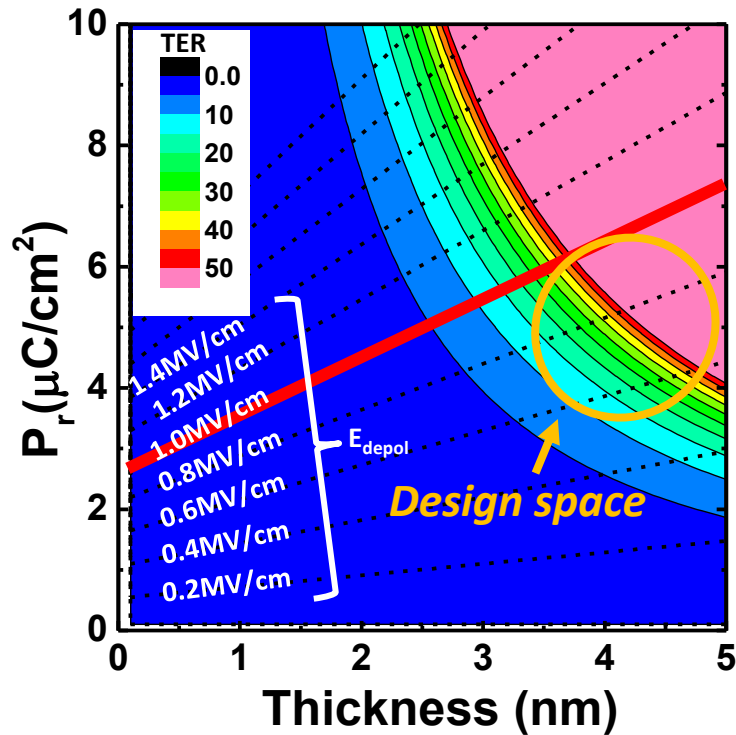


Fig. 4.2  $P_r$ および $T_{fe}$ の関数で示された、強誘電体 $\text{HfO}_2$ のFTJのシミュレーションされたTER比の等高線図.  $E_{depol}$ は点線で示されている. 赤い線は強誘電体 $\text{HfO}_2$ の典型的な $E_c = 1 \text{ MV/cm}$ を示している ([26]から引用)

最後に、非対称電極のMFS構造を用いて、残留分極値 $P_r$ と強誘電体膜厚 $T_{FE}$ の関数として用いたTERの等高線プロットをFig. 4.2に示す. 一般に、 $P_r$ 及び $T_{FE}$ が増加するに従いTER比は増加する. しかし、脱分極電界( $E_{depol}$ )に負けない抗電界( $E_c$ )を維持するためには、脱分極電界が抗電界よりも低くなくてはならない. そうでなければFTJはデータ保持特性を有していないメモリになってしまう. 強誘電体 $\text{HfO}_2$ の典型的な抗電界は $1 \text{ MV/cm}$ 程度なので(Fig. 4.2)、設計スペースとして、この境界よりも低い位置を想定しなければならない.

これらシミュレーションから得られた物理パラメータとしての目標値は $P_r$ が $3 \sim 5 \mu\text{C/cm}^2$ 程度、 $T_{FE}$ が $3 \sim 5 \text{ nm}$ 程度である. これらの指針を基にプロセスを開発し、FTJの開発を目指す.

### 4.3 プロセスエンジニアリング

本節では実際のデバイスを作製することによって、デバイス開発により生じる諸問題を整理し、FTJのプロセスの最適化を行う.



### 4.3.1 MFM構造及びMFS構造の比較

4.2節にてシミュレーションを用いてMFM構造とMFS構造を比較したが，作製されたデバイスの実測値を得るために，それぞれの構造を試作した．10 nmの膜厚を用い，MFS下部電極には高濃度のp型基板を用いた．デバイス作製プロセスは3章にて述べた基準プロセスを用い，MFS構造は下部TiN電極のスパッタリングプロセスを省いている．測定されたPV特性及び伝導電流特性をFig. 4.3に示した．

なお，本項において，PV特性は予め三角波掃引を100回行い，十分にwake upしてから測定している．また，3章で示した通り，厚膜の強誘電体へ直流電流測定を行うと，分極反転電荷による電流により，1度目と2度目の電圧掃引による電流値が大きく異なる．よって分極反転電流を除去した2回目掃引の電流値を示し，比較した．まず前提として，

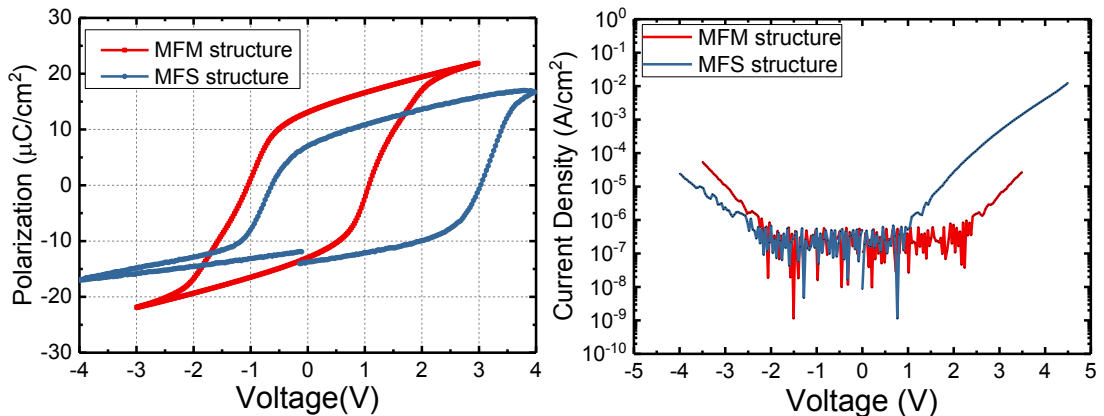


Fig. 4.3 MFM構造及びMFS構造キャパシタの(a)測定されたPV測定と(b)直流電流測定の結果(b)では縦軸をlogスケールで比較するため，電流密度の絶対値をとっている．

MFS構造は絶縁破壊電圧が増加している．これは強誘電/半導体界面に数Å～数nm程度のDead Layer(DL)による耐圧向上及び半導体界面での空乏層形成によるものであると考えられる．

次にFig. 4.3 (a) について，標準的なMFMキャパシタは $2Pr = 26 \mu\text{C}/\text{cm}^2$ 程度であるのに対し，MFS構造では $2Pr = 20 \mu\text{C}/\text{cm}^2$ 程度であり， $P_r$ の値が減少している．これはDLが印加電圧を分圧し，強誘電膜にかかる電圧を減少させたためと想定される．またMFS構造は抗電界が正電圧方向へ大きくシフトしている．上部下部電極の非対称性によるものと考えられるが， $p^+$ -Si基板はフェルミレベルが価電子帯の付近に存在し，TiNの

フェルミレベルよりも低い。ここで、強誘電膜にかかる内部バイアス電界は

$$E_{build-in} = \frac{1}{tq}(WF_{TE} - WF_{BE}) \quad (4.3.1)$$

で計算される[42]。 $WF_{TE}$ 、 $WF_{BE}$ はそれぞれ上部及び下部電極の仕事関数、 $t, q$ はそれぞれ強誘電膜厚、電荷素量である。これより、TiN/HfZrO<sub>2</sub>/p<sup>+</sup>-Si構造の場合、 $E_{build-in}$ は負になり、抗電界は負にシフトするべきである。この矛盾についての詳細は4.3.2項にて行うが、簡単に述べればHfZrO<sub>2</sub>をALDで堆積する際、F/S界面にて電気化学的な反応により固定電荷が生じ、シリコンの伝導帯付近にフェルミレベルが固定されるため、抗電界は正領域方向にシフトすると考えられる[43]。

抗電界のシフトはFTJの不揮発性メモリとしての動作原理上、抗電界の範囲内で読み出しを行い、抗電界を超えた範囲で書き込み/消去の動作を行うため、悩ましい特性である。抗電界が原点付近に存在すれば、脱分極電界の影響を如実に受けてしまい、ゼロバイアス下で分極状態を保持することが困難になる。

最後に、Fig. 4.3 (b) について、MFS構造はMFM構造と比べて、正電圧領域において電流値が大きくなり、負電圧領域において電流値が下がるという挙動を示している。もし仕事関数差による電流変動のみを考慮した場合、4.2.1項の議論のように、対照的に増加もしくは減少するのみである。このような非対称な伝導電流の背景にはp<sup>+</sup>-Siの空乏層変化があると予想できる。正電圧印加時、p<sup>+</sup>-Siでは多数キャリアがホールであるが、少数キャリアの電子からすると蓄積状態であり、

ホールキャリアの電気伝導率は一般に電子よりも小さい。FTJの動作原理では直接トンネル電流を用いるが、トンネル伝導は他の電気伝導に比べれば極めて電流値が低いいため、高速動作のための不揮発性メモリにするためには、OFF電流は低いまま、ON電流をできるだけ大きくする必要がある。これらMFM構造及びMFS構造の比較により、シミュレーション上ではわからなかった問題が発見できた。なお本章において、これ以降の議論ではMFS構造を採用し、プロセスを行った。

#### 4.3.2 下部電極の極性による違い

MFS構造において、p<sup>+</sup>-Siとn<sup>+</sup>-Siの違いについて議論する。電気伝導率を考慮すれば、n<sup>+</sup>-Si構造が採用されるべきであると予想できる。しかし、4.3.1節では上部下部電極の違いにより、強誘電性の抗電界がシフトする現象が見られた。FTJを作成する際には、上部電極及び下部電極の電極を適切に選択することで抗電界を原点对称に近づける必要があり、下部電極の違いによる影響の評価は必須である。

プロセスフローについて述べる．まず洗浄後にHF処理した $p^+$ -Siと $n^+$ -Si(E-prize社)の基板それぞれについて，8 nmの30% $ZrO_2$ をドーブした $HfO_2$ 膜をALDで堆積した後， $500^\circ C$ でPDA(: Post Deposition Annealing)をする．TiNをスパッタで堆積させた後，上部電極パッド作製のためリソグラフィを行い，裏面コンタクト処理をして作製した．PV特性及び過渡的電流測定，直流電流測定の結果をFig. 4.4に示す．今回はPDAによる

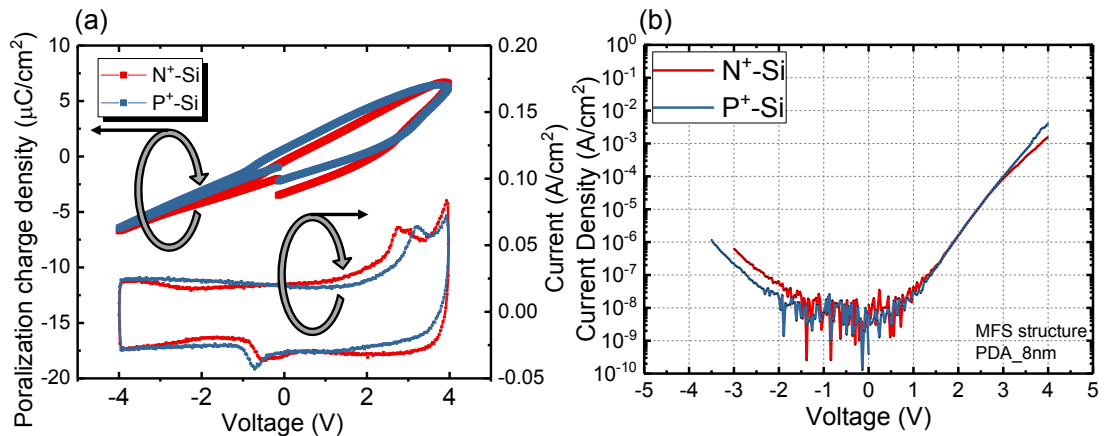


Fig. 4.4 MFM構造及びMFS構造キャパシタの(a)測定されたPV測定と(b)直流電流測定の結果(b)では縦軸をlogスケールで比較するため，電流密度の絶対値をとっている．

処理を用いたので，強誘電性が低い，過渡的電流測定で電流ピークを確認することで，抗電界を評価できる．Fig. 4.4(a)について， $P_r$ は大きな違いがないことが確認できる．しかし抗電界は，マイナス領域にてほとんど変わらず，プラス領域にて $p^+$ -Siの基板が0.5 V程度プラス方向にシフトしている．この原因について，有力な説の一つに4.3.1項の議論で簡単に述べたが， $p^+$ -Siと $HfO_2$ 界面にはHf系のHigh-k材料に特有な酸素空孔(oxygen vacancy :  $V_o$ )による界面双極子の誘発が生じているというものがある[43, 44].Fig. 4.5にその概略図を示す．簡単なモデルの原理を説明する． $HfO_2$ の酸素がPoly-Siと反応し表面酸化が生じる．引き抜かれた $HfO_2$ の界面には双極子が発生し，双極子によって界面にフェルミレベルのピンング現象が生じ，フラットバンド電圧(flat band voltage :  $V_{fb}$ )が大幅にシフトするというモデルである．

この理論のポイントは $HfO_2$ 中の $V_o$ がpoly-Siの伝導帯よりも高い位置にあることである．仮に $HfO_2$ 内部の酸素がpoly-Siに引き抜かれたとすれば，2つの電子が $HfO_2$ 膜内に存在する異なるが，その準位はpoly-Siフェルミレベルよりも高いので，電子はpoly-Siの方へ侵入する．その際のエンタルピー変化に注目する． $n^+$ -poly-Siは伝導帯付近にフェルミレベルが存在するため，電子移動による反応は吸熱反応と概算されている．つまり，電

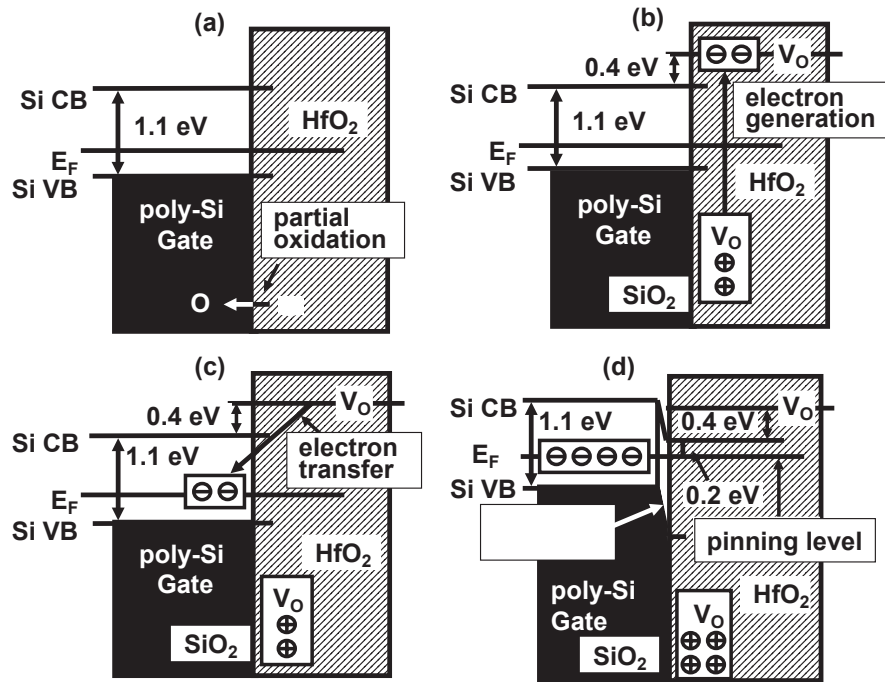


Fig. 4.5 poly-Siゲートの部分酸化とそれに続くゲート電極への電子移動によるHfO<sub>2</sub>中のV<sub>O</sub>形成の概略図 (a) HfO<sub>2</sub>からO原子を引き抜くことによる部分的なpoly-Siの酸化. (b) HfO<sub>2</sub>領域内での2つの電子発生. (c) その後のpoly-Siゲートへの電子移動. (d) 界面双極子形成とそれに続くフェルミ準位の上昇. ([44]から引用)

子がpoly-Si方向へ散逸しにくい. 一方, p<sup>+</sup>-poly-SiはフェルミレベルとV<sub>O</sub>の準位に1.5 eV程度の差があり, その反応によりエンタルピーは減少, 発熱反応になると概算される. これによりpoly-Siへ電子が流れ, 界面に双極子が形成される. この双極子はp<sup>+</sup>-poly-SiのV<sub>fb</sub>を上昇させn<sup>+</sup>-poly-SiのV<sub>fb</sub>の約0.2 eV低い位置に存在する. 本現象が我々のサンプルにも生じていると考えられる.

さらにp<sup>+</sup>-Siの正領域の空乏層変化によって空乏層分の分圧が必要なため, 分極反転が遅れ, 正電圧領域では0.5 V程度抗電圧がシフトしてしまったのではないかと考えられる.

Fig. 4.4(b)について, 基板の多数キャリアの違いにもかかわらず, 正電圧領域ではほとんど電流値が等しい. これはV<sub>fb</sub>の位置がほぼ等しいためと想定でき, 正の高電界領域ではホールが多数キャリアのp<sup>+</sup>-Siの電流値が増加している. 負電圧領域ではn<sup>+</sup>-Siの電流量が大きくなっている. この結果はp<sup>+</sup>-Siにおいて, 常誘電層を超えた電子が, 界面のホールと一部再結合したことによる電流値減少によるものであると予想できる.

これらの結果から下部基板の極性を変更させても, 強誘電性の抗電圧シフトは少ししか見られないことが確認できた. p<sup>+</sup>-Siの界面双極子の形成はトンネル電流モデルの複雑

化を招く原因になり得るし，薄膜化によるトンネル電流値を評価する際にはキャリア移動度が重要になるため， $n^+$ -Siを下部電極として用いることにする．

### 4.3.3 アニール条件の比較

高TERを達成する十分な $P_r$ を得るために，アニール条件も最適化する必要がある． $HfO_2$ の強誘電性が確認された当初，PMAとPDAのプロセスの違いが多く議論されていた[7, 8]．またM/S界面の改善のためにMOSFETで用いられているForming Gas Annealing (FGA)プロセスも検討の必要がある．MFM構造では，強誘電性及び伝導電流に与える影響を考察しそれぞれに関して条件を調べられていたが[45]，MFS構造でのリーク電流の検討論文は少ないため，製造したデバイスでMFS構造の比較する必要がある．一方，結晶化温度依存性に関しても必要があるが，今回は $500^\circ\text{C}$ アニール条件で行いたい．なぜならFTJはバックエンドプロセスにて用いられるため，結晶化温度が低ければ低いほど良いのだが， $500^\circ\text{C}$ 以下では安定した結晶化を得られる例が少なく，今回の目的を超えるプロセスエンジニアリングが必要になるためである．Table 4.1に比較プロセスを示す．なお，FGAプロセスはすべてのプロセス工程が終了した後，サンプルを劈開し，2つに分け，片方のデバイスを東工大の施設を用いて30分 $400^\circ\text{C}$ で行った．

Table. 4.1 アニール条件の違いのまとめ

| サンプル種類 | PMA or PDA | w/ or w/o FGA |
|--------|------------|---------------|
| A      | PMA        | w/o FGA       |
| B      | PDA        | w/o FGA       |
| C      | PMA        | w/ FGA        |

強誘電体特性及び伝導電流特性，絶縁破壊電圧の平均値をFig. 4.6に示す．Fig. 4.6(a)について，FGAありとなしのサンプルでは強誘電性に大きな違いがみられない．念のため測定しておいた初期サイクルなしでのPV測定では100回掃引の波形により近い状態だったのはFGAのサンプルであったことから，界面状態の水素終端もしくは2回アニールによる温度上昇によって斜方晶形成が容易になったと考えられる．PMAプロセスに比べて，PDAプロセスの $P_r$ は，印加電圧の増大にもかかわらず，大きく減少している．8～10 nmの膜厚を極大値とし， $P_r$ は薄膜化によって劇的に減少する傾向が報告されており[14, 15]，FTJ設計に適切な膜厚(3～5 nm)ではPDAの膜では $P_r$ を3～5  $\mu\text{C}/\text{cm}^2$ 程度を維持できそうにないと予想できる．

Fig. 4.6(b), (c)について, FGAプロセスによる伝導電流の違いはほとんど確認されないことがわかる. ただ,  $V_{br}$ は約1 V程度異なっており, FGAプロセスによって絶縁耐性が低下している. PMA及びPDAでは測定装置の雑音領域を抜けた2V付近で比較すると, 1桁程度PDAプロセスの方が電流値が低い. PDA及びPMAのリーク電流の違いはM/F上部電極界面の形成及び, 上部電極ありのアニールによる結晶構造の歪などに原因があることが予想できる.

ここで, プロセスの最適化に関して考える. サンプルAと比較して, サンプルCのFGAプロセスはMFS構造では, PV特性に大きく影響を与えないが,  $V_{br}$ が減少してしまう. サンプルBのPDAプロセスは耐圧向上及びリーク電流減少が確認できたが,  $P_r$ が著しく小さい. これらの結果より, 今回比較したデバイスの中では, サンプルAを採用すべきであるとの結論が導ける.

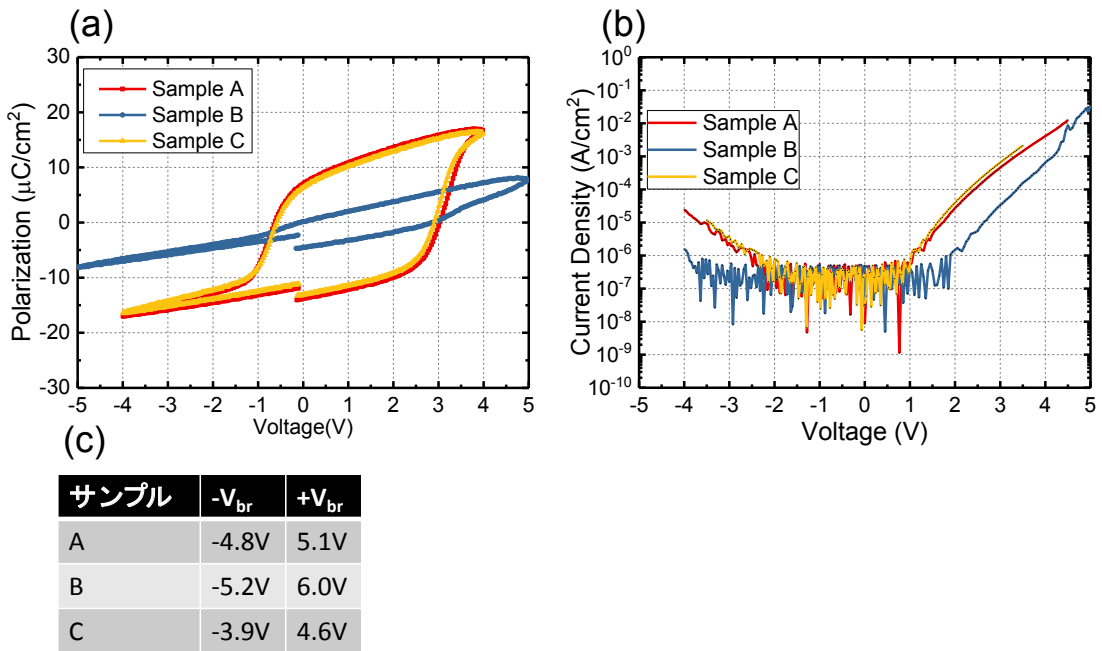


Fig. 4.6 種々プロセスの違いによる(a)PV特性の測定結果, (b)直流電流測定, (c)絶縁破壊電圧 $V_{br}$ . 絶縁破壊電圧は3つのパッドを10 V程度印加し, ハードブレークダウンが確認できた電圧を測定し, その平均値を示している.

#### 4.3.4 強誘電体成膜条件比較

膜質の改善という観点では $P_r$ の向上をすれば, 半導体側の空乏層の広がりが大きくなり, トンネル障壁をより大幅に制御できる可能性がある. つまり高TER化のためには, 10 nmの厚さにおいて,  $P_r$ の向上が望まれる.

強誘電膜の条件を最適化するために、Table 4.2の条件を設定した。既存の条件であるサンプルAに対し、ALD温度及びZr濃度を変化させた。多く研究されているZr濃度は50%であり、 $\text{HfZrO}_2$ の $P_r$ が最も大きいとされている[9]。ALDの温度による強誘電性の違いについての議論はあまり活発ではないが、それはRTA温度の依存性の議論がすでに多く議論されているためであると考えている。RTA温度を800°C程度までの範囲で変更した時(800°C以上は単斜相が増え、常誘電成分が増加する)、温度×時間の熱的余裕が増加するほど、 $P_r$ が増加する[46]。ALD温度を上昇させ、同様の効果を期待して、プロセス条件を設定した。

Fig. 4.7に測定したPV特性及び過渡的電流測定の結果を示す。 $P_r$ が最も高いのは予想通り、サンプルDの条件である。しかし、ヒステリシスカーブの終端が一致していない。これは測定時に、リーク電流成分を含めて積分計算しているため生じる現象である。過渡電流測定では電流ピークの値を時間積分すればスイッチング分極電荷が求まるため、Fig. 4.7の過渡的電流測定に注目すると、目視でもやはりサンプルDの条件が分極電荷を増加できる。サンプルDは正電圧方向に高電圧を印加すると、リーキーであるが、低電圧動作を想定したDT電流をモデルとしているため、FTJの伝導電流には大きく影響がない。そのため、今回の高TER化のための膜質条件は、ALD温度250°C、Zr濃度50%を採用する。

Table. 4.2 強誘電膜堆積条件の違い

| サンプル種類 | ALD温度 | Zr濃度 |
|--------|-------|------|
| A      | 200°C | 30 % |
| B      | 200°C | 50 % |
| C      | 250°C | 30 % |
| D      | 250°C | 50 % |

#### 4.3.5 上部電極の違いによる比較

最後に、大きな課題の一つとして抗電界のシフトを改善する取り組みを行った。4.3.1, 4.3.2項で議論したように、非対称な電極で強誘電体を挟むと $E_{build-in}$ が生じ、強誘電膜の抗電界がシフトしてしまう。両端電極の仕事関数をなるべく一致させれば、式(4.3.1)より、対照的な抗電界を得られるはずである。 $n^+$ -Siのフェルミレベルに相当する仕事関数を有する金属として、CMOSプロセスによく用いられる金属材料の中にAlがある。本

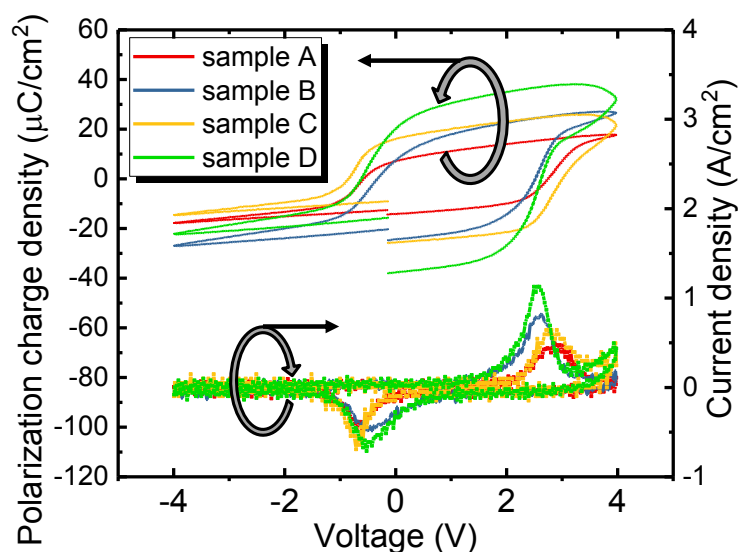


Fig. 4.7 成膜条件の異なるMFS構造のPV測定及び過渡的電流測定結果. 分極反転電荷量を過渡的電流測定のピーク電流を時間積分することにより概算できる.

項では, このAlによる抗電界シフトの改善を試みる.

Fig. 4.8に, 作製したサンプルのプロセス詳細を示す. Al電極を付けたままHfZrO<sub>2</sub>を結晶化アニールすると, Alが融解してしまう可能性があるため, 500°CアニールではPDAを採用せねばならない. そこで, 膜質改善を行ったPDAによる結晶化サンプル(プロセスB)を用い, PDA後Al電極を堆積させるサンプル(プロセスC)と比較した. また, PDAでは強誘電性が低いので, Al電極でもTiNキャッピングによるPMAの強誘電膜を利用するために, TiN上部電極によりPMAを行った後, TiNを取り除き, Alを蒸着させる電極置換プロセスを用いたプロセスDを検討した.

Fig. 4.9に測定したPV特性を示す. 今回の比較で有意な差が見られたため, 電界を複数回掃引した際の測定結果をそれぞれのプロセス条件にて示している. プロセスA及びBでは, 4.3.3項の議論と同様に, 大きな分極反転電荷量の差が見られる.

プロセスB及びCを比較すると, まずピーク電流の位置が変化しており, プロセスCは原点对称に近い抗電界を示している. 試作前の仮定通り, 上部電極の仕事関数を変化させることで強誘電体の $E_{build-in}$ を減少させ, 抗電界を負電圧方向へシフトさせることができた. また, 興味深いことに, 複数回電界を印加すると, TiN電極ではWake up効果により, 電流ピークの総量は増加しているように見えるが, Al電極の場合は初期電界印加から一貫して減少している. これはAl電極の反応性の高さにより, HfO<sub>2</sub>内の酸素がAl電極へ誘引され, HfO<sub>2</sub>膜内のV<sub>o</sub>が減少するために生じるのではないかと仮定した.

プロセスA及びDに関して比較すると, 複数回電界印加による特性ばらつきは大きいも



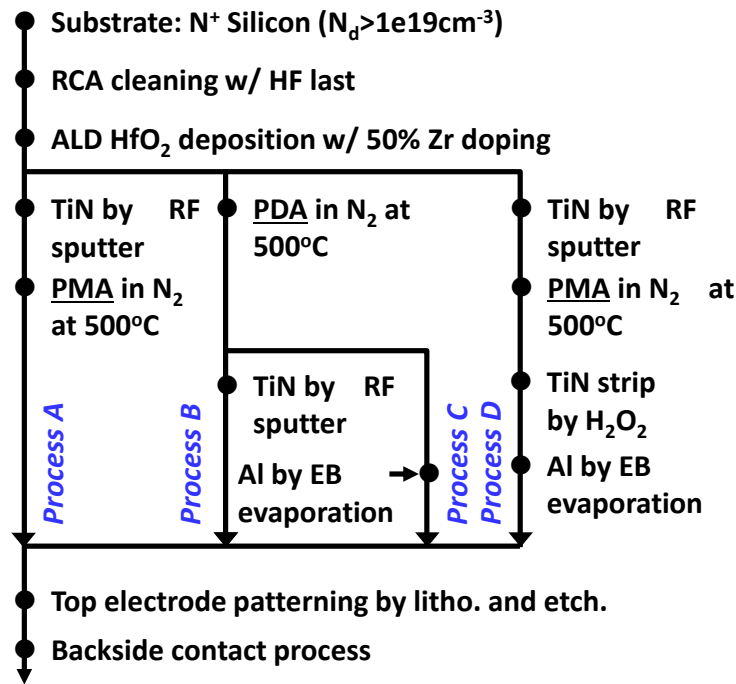


Fig. 4.8 作製されたデバイスのプロセスフローの違い. Alのアニール条件制限により, PDAプロセスを比較のため再度作製した.

のの, プロセスDにおいて非常に大きな電流ピークが確認できる. また, 明らかにAl電極を用いた方が抗電界が原点对称に近づいていることから, 強誘電性大きく保ちながら, 原点对称の抗電界を得るという相反する課題をクリアした, 非常に画期的なプロセスであることがわかる.

さらに良いことには, プロセスCで見られたような複数回印加による強誘電性の劣化が生じにくくなっている. この特異な現象に関して, より考察をするために, M/F界面の状態を比較したい. よく用いられる手法として, XRD(: X-Ray Diffraction)及びXPS(X-ray Photoelectron Spectroscopy)を利用し, 表面の結晶相や組成を知る手法がある.

XRDは結晶界面にある結晶構造を調査するために用いられる手法で, 結晶構造による吸収を防ぐために, 極めて浅い角度(例えば $0.248^\circ$ 以下)で入射させ, 全反射した反射光の回折ピークを角度ごとで比較し, 結晶相特有の角度のピークを算出する.

またXPSは, X線を用いて光電子分光を行う手法であり. 簡単な式では

$$E_{kin} = h\nu - E_b \quad (4.3.2)$$

と示される.  $E_{kin}$ は発生した光電子の運動エネルギー,  $h\nu$ は入射したX線のエネルギーである.  $h\nu$ が一定なら, 固体から放出される $E_{kin}$ は各元素軌道の結合エネルギーごとに定

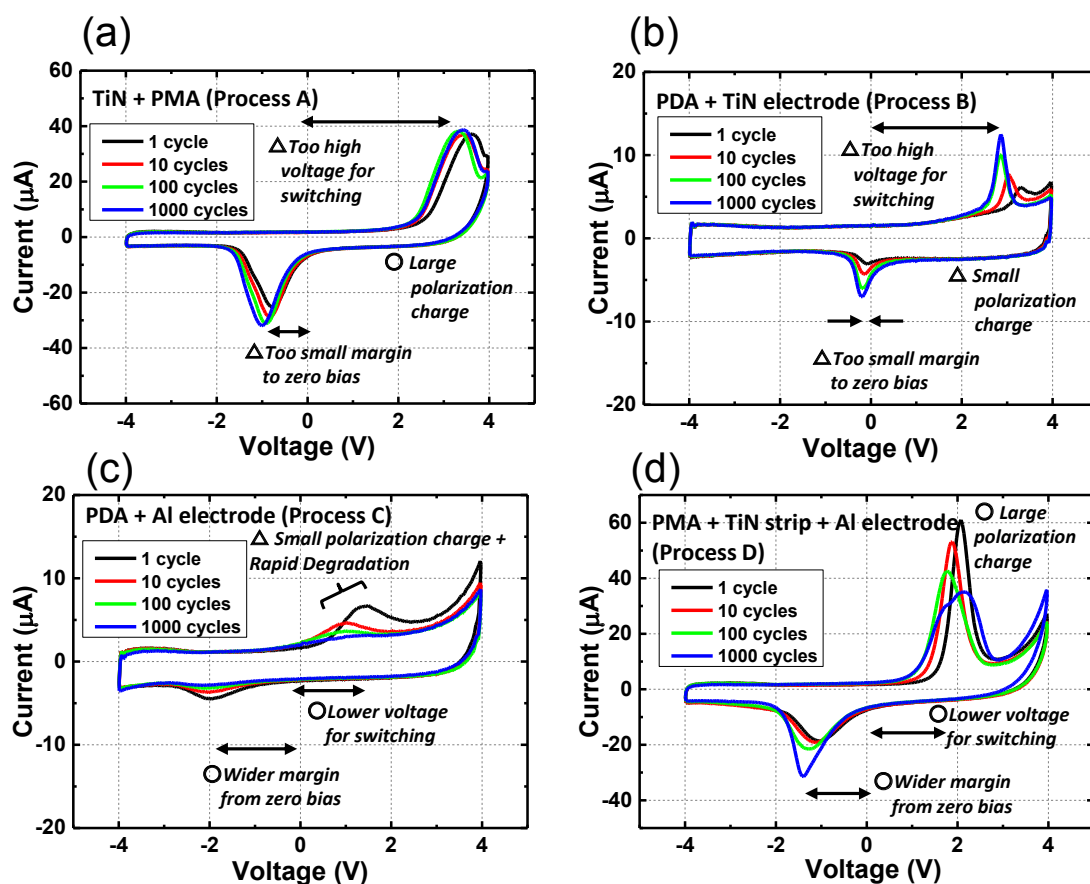


Fig. 4.9 プロセス(A)~(D)における，複数回電界印加による過渡的電流測定の結果。

まる．その軌道の付近の微妙な環境の違いによって，ピークは化学シフトという微小な干渉を受けるため，それらを用いて元素の状態分析が可能となる．

まず，XPSを用いて，表面構造を評価する．Fig. 4.10において，PDA表面及びPMA後TiNを取り除いた2つのデバイス表面を評価したところ，N1s軌道に当たる部分では，わずかにピークの増加が見られ，Hf4f軌道の部分ではピークの科学シフトを確認した．これは窒素が表面に留まり，解説ピークに影響を与えている証拠であり，電極置換プロセスによってM/F界面が窒化されていると分かる．表面の窒化は，界面におけるVoの拡散を抑制するため，強誘電体HfO<sub>2</sub>のWake up 効果を減少させ，デバイス信頼性を向上させることが報告されている[47]．これにより，電極置換プロセスの界面ばらつきという問題は可能性としてあるものの，信頼性を向上させる結果となった．

次にXRDを用いて，PDAとPMA，電極置換プロセスの比較を行った．回折ピークはどのサンプルにおいても斜方晶[111]面に見られているが，PDAと電極置換プロセスでは単斜晶[111]，-[111]面における回折ピークに有意な差が見られる．PDAのサンプルでは単斜晶形成割合が高く，強誘電性が低い電氣的測定とも一致する．XRDの結果から，PDA

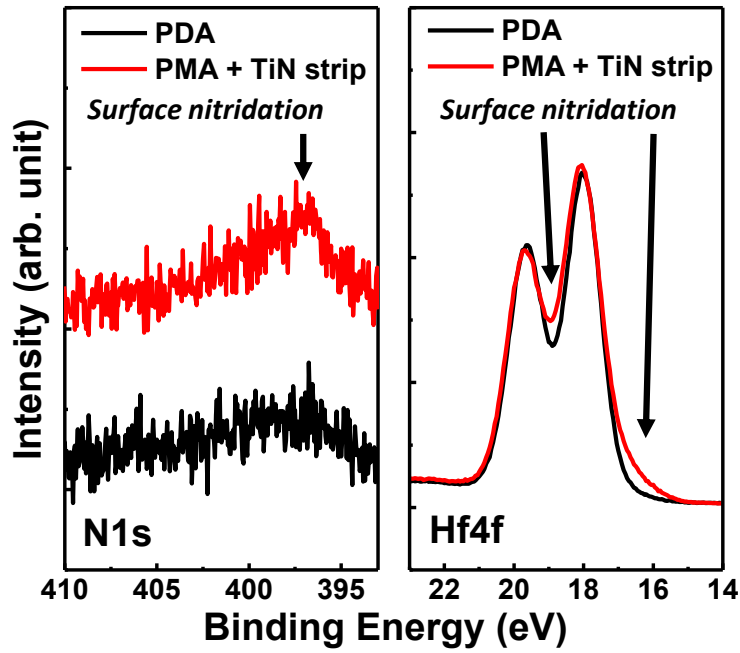


Fig. 4.10 XPS測定によるPDAプロセス, 電極置換PMAプロセスの(右)N1s 軌道エネルギー領域における回折強度及び(左)Hf4fエネルギー領域における回折強度

の強誘電膜とは有意な差を有するAl上部電極の構造のプロセス開発に成功したことが示された。

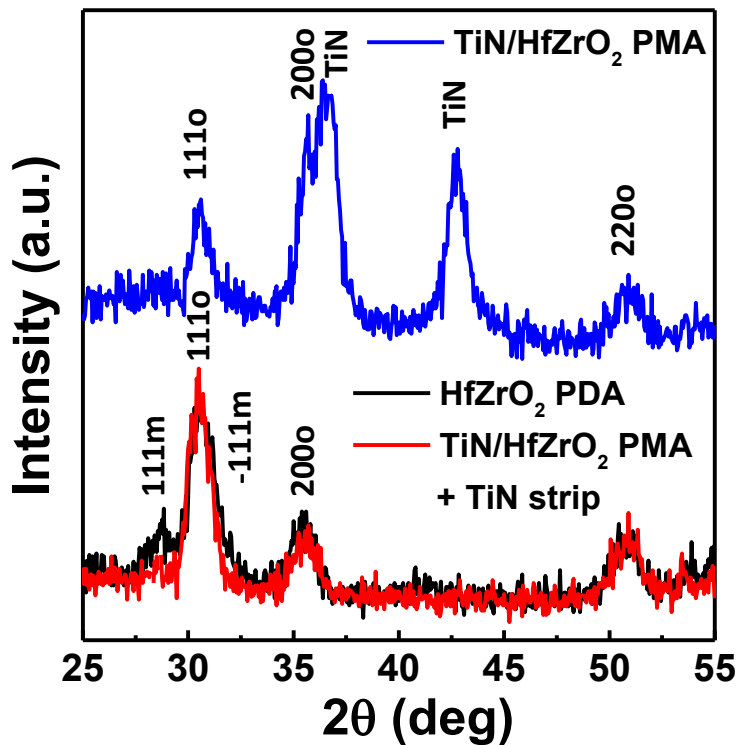


Fig. 4.11 電極置換プロセスとPDAの結晶構造の違いを比較するためのXRD測定結果.

### 4.3.6 本節のまとめ

本節では強誘電性及び抗電界を最適化するために、(1)上部下部電極の材料、(2)アニール条件、(3)膜質条件について広範に調査した。まず初めに、上部下部電極において、誘電的な性質の違いを用いて、TER比を向上させることを検討した。実際にデバイスを作製すると、上部下部電極の仕事関数差によって、強誘電体の分極ピークのシフトを引き起こすことがわかった。仕事関数差のない電極としてAlを採用したいが、Alは500°Cアニールで反応してしまう可能性がある。そのため、PDAプロセスによって結晶化する必要があるが、PDAでは強誘電性が低下する。そこでPMAの結晶成長条件でAl電極を用いる解として、電極置換プロセスを採用した。電極置換プロセスにより、PMAサンプルと同等の強誘電性、比較的対称な抗電界、また副次的に複数回印加にも耐性のあるプロセスの開発に成功した。

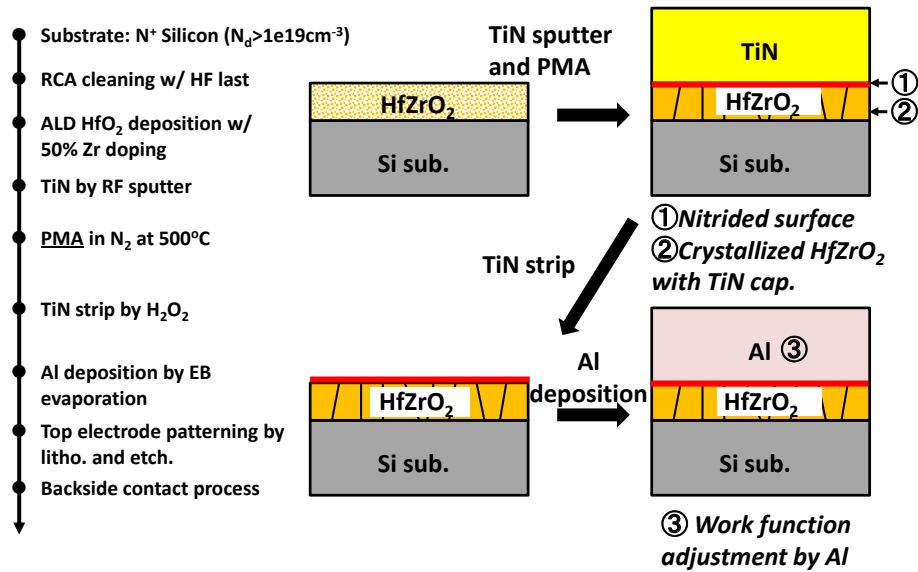


Fig. 4.12 電極置換プロセスのまとめと利点に関するポイント

## 4.4 FTJの試作及び評価

4.2.1及び4.3を経て、FTJとして有効なデバイスの設計及び試作を進めて来た。本節では、薄膜化を行い、シミュレーションモデルと同等の結果が得られるかどうか検討し、メモリデバイスとしての機能に関して調査する。

#### 4.4.1 電極置換プロセスのEndurance測定

まず，10 nmの膜厚で，電極置換プロセスの強誘電膜の耐久性を評価する．Fig. 4.13にその測定フローと結果を示す．PV測定を3 V，1 kHzの三角波，3 V 100 kHzのパルスストレス測定で行った．TiN電極PMAサンプルではWake upの効果による $P_r$ の上昇が見られるが，電極置換プロセスは一貫して $P_r$ が減少している．界面を窒化しているとはいえ，複数回の電界掃引により，Al電極とHfO<sub>2</sub>の間で，酸素の授受が生じ，徐々に強誘電性が減少してしまったものと考えられる．

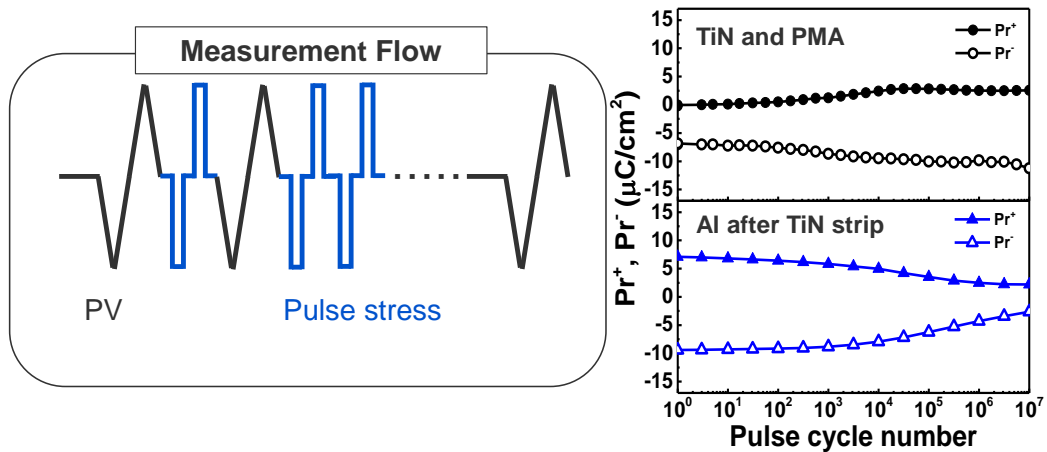


Fig. 4.13 強誘電膜の耐久性比較測定．電界印加によって電極置換プロセスの $P_r$ は減少している様子がわかる．

#### 4.4.2 直流電流測定によるTER測定

電極置換プロセスを用いたFTJを試作するために，強誘電膜の薄膜化を試みた．Fig. 4.14は4 nm膜厚まで薄膜化した強誘電体HfZrO<sub>2</sub>を含む，MFS構造の断面TEM画像である．RTAによって結晶化が生じていることが確認できる．強誘電体の分極反転が測定可能か調べるために，過渡的電流測定を用いて電流ピークの確認を行った．Fig. 4.15の上部はその測定結果であり，確かに分極ピークが応答している様子が確認できる．この分極値を簡単に計算したいが，リーク電流の影響で，PV測定の際の0Vの位置では $P_r$ を概算できない．そこで，スイッチング電流の部分のみを時間積分し $2P_{SW}$ を計算すると，8～

$9 \mu\text{C}/\text{cm}^2$ 程度と計算でき、およそ $P_r = 4 \mu\text{C}/\text{cm}^2$ 程度概算できる。このことは、4 nmでシミュレーションモデルと同等の残留分極電荷を有する強誘電膜を実現したと考えることができる。

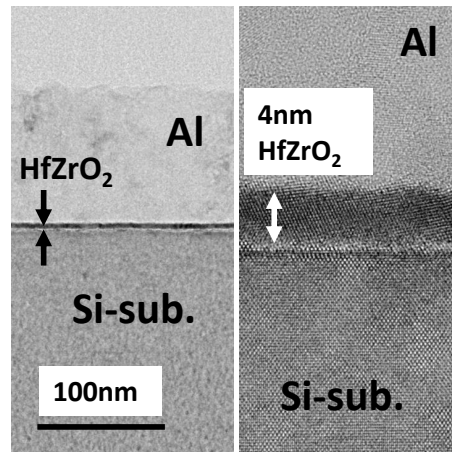


Fig. 4.14 MFS構造の断面TEM像

またこのスイッチングに応じてFig. 4.15の下の図のように、掃引方向を行きと帰りで測定した結果、反時計回りに電流値が変化しているヒステリシス曲線が確認できた。時計回りのヒステリシスの場合、膜中への電子のキャリアトラップによる充放電で伝導電流として説明できてしまうが、反時計回りのヒステリシス曲線では、その他の物理機構、本ケースでは分極反転によるポテンシャル障壁の変化であると考察ができる。ただ、直流電流での書き込みは、極薄膜の強誘電体へのダメージが大きいため、パルス書き込み、低電圧読み出しによる非破壊動作を確認する必要がある。

#### 4.4.3 低ストレス化のためのパルス書き込み電圧最適化

Fig. 4.16にパルス書き込み、低電圧直流電圧読み出し測定の測定フローと測定結果、及びシミュレーションとの比較を示す。Fig. 4.16(b)では、差し込みの抵抗費のグラフでもわかるように、正電圧印加時には、分極反転するまで抵抗値が大きく変化しておらず、外乱に対して影響を受けにくいメモリであることがわかる。この時の読み出し電圧を0.2V程度とし、TER=30という世界最高レベルのON-OFF抵抗比を得ることに成功した。

#### 4.4.4 パルス電圧変調測定による多値メモリ化

次に、高TERを実現した本メモリの特性を活かせる複数階層のメモリ抵抗を実証できるか調査をした。Fig. 4.17にその測定フローと結果を示す。負の電圧パルスを適切に設

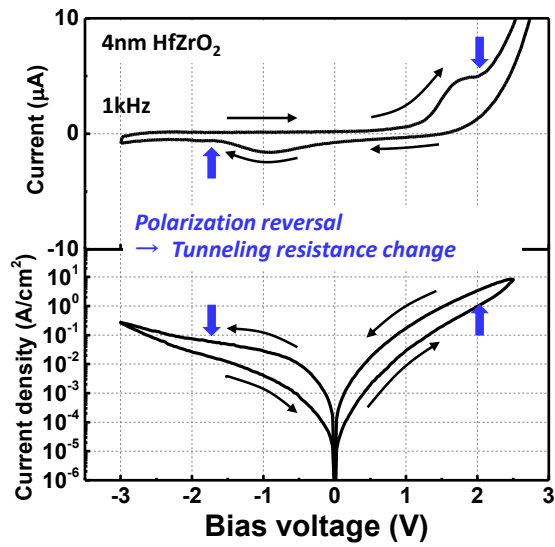


Fig. 4.15 4 nmの膜厚での(上)過渡的電流測定と(下)Double Sweepによる直流電流測定のプロット。強誘電体の分極反転により、電流が反時計回りに変化している様子が確認できる。

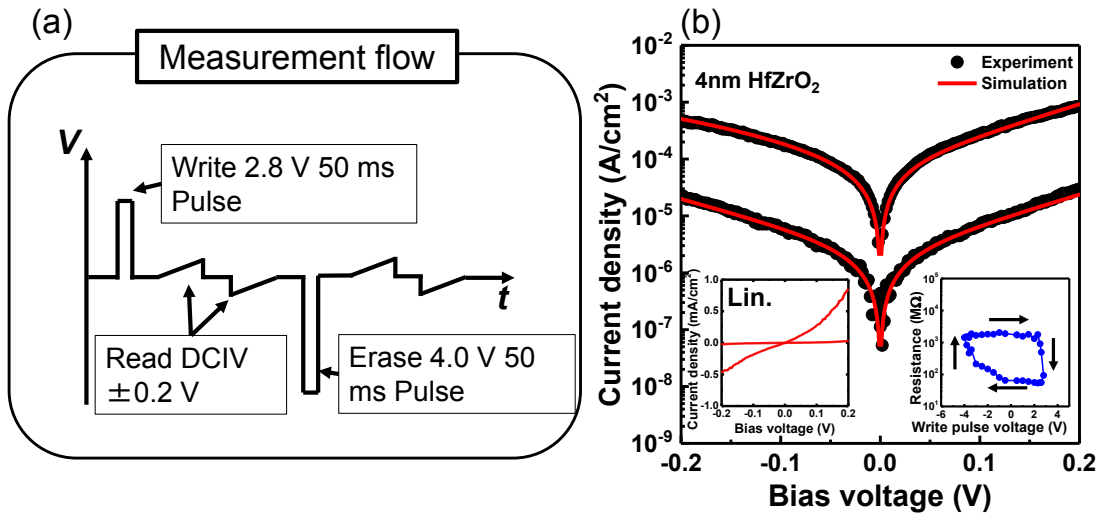


Fig. 4.16 (a)パルス書き込み低電圧直流電流測定の測定フローと(b)低電圧読み出しの測定結果とシミュレーションとの比較。ON-OFF抵抗比を差し込んでいます。正電圧領域では書き込みパルスによる外乱に対して、抵抗値は大きく変化しない。

定することで、FTJの抵抗比を2bit程度分離することが可能であると示せた。HfO<sub>2</sub>を用いたFTJで多値メモリ性を実証したのは世界で初めての結果である。

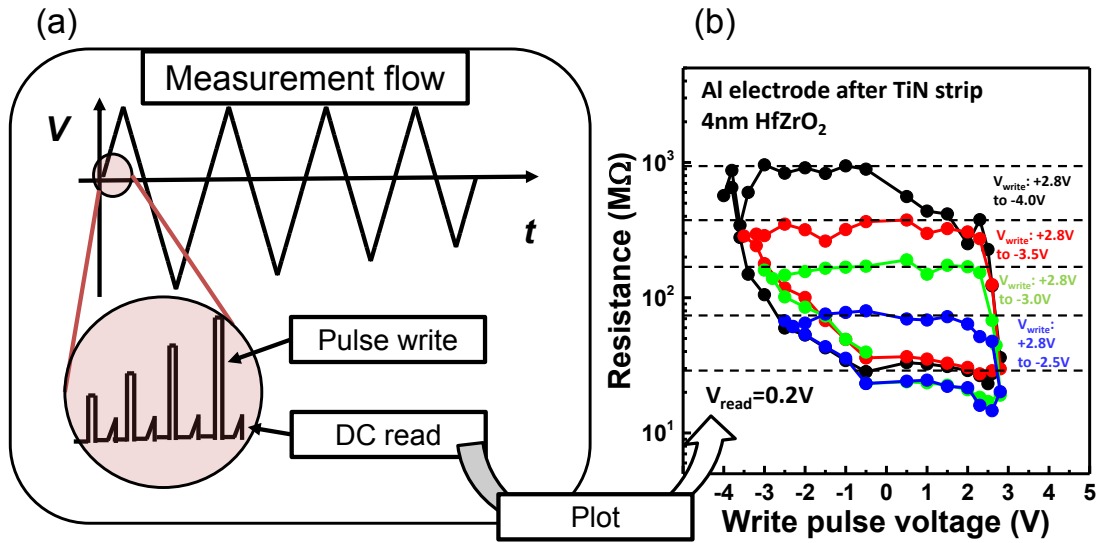


Fig. 4.17 (a)多値メモリの測定フローと(b)数種類の電圧印加による多値メモリ応答の実証結果.

#### 4.4.5 FTJのメモリ劣化特性

次にメモリの指標として重要なEndurance測定及び、Retention測定を行った。正電圧領域において、絶縁破壊電圧(約3V)と抗電圧(約2V)の差が小さく、複数回パルス印加によって絶縁破壊の機構が進展し、膜中のストレスが増大したため、Endurance測定は非常に低い耐久性を示した。Retention測定に関しては、外挿線ではあるが10年程度のデータ保持が期待できる。

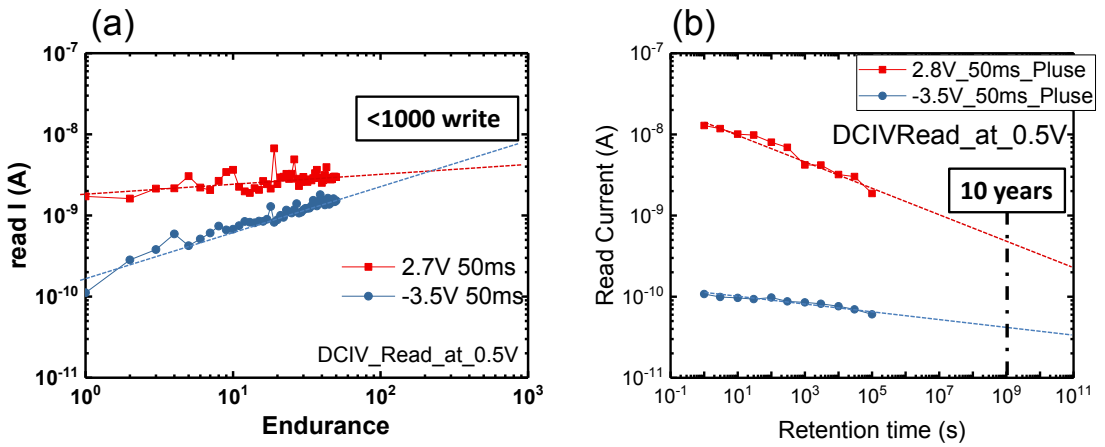


Fig. 4.18 FTJの(a)Endurance測定及び(b)Retention測定結果



## 4.5 本章のまとめと展望

本章では、微細化可能な強誘電メモリとして有力な候補である巨大なTERを有する強誘電体 $\text{HfO}_2$ のFTJの実証を試みた。強誘電薄膜を通過するトンネル電流のモデルを用いて、デバイス設計のカギとなる指標である強誘電膜厚 $T_{FE}$ と残留分極値 $P_r$ をシミュレーションし、その設計値を見積もった。またスイッチング電圧を適切な値に設計するために、電極置換プロセスという新しいプロセス手法を考案し、不揮発性メモリとしてFTJが動作するようにプロセスを改善した。シミュレーションとプロセス改善により、 $\text{TER}=30$ という値を得、スイッチング電圧による変化を確認し、FTJが動作したことを実証した。また強誘電体 $\text{HfO}_2$ を用いたFTJでは世界で初めて、多値メモリ化を実証し、本研究によってFTJの更なる有用性を示した。最後に、メモリ特性の研究課題として、Retention特性は良好なものの、Endurance耐性が非常に低いことに言及した。

今後の展望としては、FTJの信頼性を高めるために、絶縁破壊の機構に関して、より詳細に調査していく必要がある。東芝のグループでは、強誘電体 $\text{HfO}_2$ を用いたFTJでのRESET時に絶縁破壊が生じることに着目した[48]。具体的には、SILC(Stress Induced Leakage Current)を抑制するために、SET方向バイアスを印加し、膜中のトラップを減少させるという測定手法を考案した。リーク電流を抑制することで、耐久性向上が期待でき、 $10^6$ 回程度のEndurance特性を有する可能性を示した。このように、歴史の長いCMOSプロセスのデバイス評価手法を用いて、絶縁破壊の物理機構及びその改善を実験的に取り組むことで、FTJのデバイス可能性をより厳密に評価することが期待される。

また、FTJを実用レベルにするために大きな障壁として、セレクトラデバイスの導入の必要性が挙げられる。集積性を向上させるためには、3次元クロスポイントアレイ構造で設計し、データを適切に書き換え及び読み出しする必要がある。この時、別のセルアレイに侵入するSnake Current(SC)が情報保持に悪影響を与えるため、選択したセルのみの電流を取り出すために、1R1D(Diode)構造を採用し、整流特性を付与しなければならない。 $\text{HfO}_2$ ベースのFTJとして東芝のグループが発表した文献では[30]、セレクトラレスで整流特性を内在するFTJを開発し大きく注目を集めたが、ON電流が低いため、デバイス動作速度の律速となりうる。高集積性を有し、FTJの動作電圧に対して影響を与えにくい、画期的なセレクトラデバイスの作製は重要な研究課題である。

## 第5章

# 反強誘電体のマイナーループを用いた低電圧化の提案

### 5.1 背景

4章では強誘電体トンネル接合メモリを用いた強誘電体のデバイスに関して、 $\text{HfO}_2$ を用いたFTJの強誘電体の中では世界最高のTER比を示す結果になった。その一方でデバイス信頼性の観点において、1000回以上の書き換え耐性を達成できない課題がある。書き換え耐性の改善のためには、4章のようにパルス書き換え低電圧読み出しを行い、ストレスを少なくすることで、膜へのダメージを抑える測定手法からのアプローチがある。また、デバイス作製の面では、F/S界面のラフネスを小さくし、局所的な電界をなるべく減らし、絶縁破壊に至る膜中フィラメントの形成を抑制するという絶縁破壊電界を向上させる手法も考えられる。

より新規的な取り組みとして、FeRAMなどの1T1C構造のデバイスでは、スイッチング電界の $E_C$ を低減し、絶縁破壊電圧とのマージンを大きくすることで、低ストレス書き込み/消去が可能になるという手法が提案されている[49]。

具体的には、強誘電体の代わりに、反強誘電体を用いる手法が考えられる。反強誘電性はFig. 5.1の青い点線のように、ヒステリシスカーブが2つ存在するが、ゼロバイアス付近では自発分極が逆向きに整列するため、全体としての $P_r$ が0になる性質を有している。つまり普段は、揮発性の動作しかできない。

ここで、強誘電体のヒステリシスカーブよりも、反強誘電体片側ヒステリシスカーブの方が抗電圧が小さいことを利用する。内部電界を利用して分極反転ピークをシフトさせ、反強誘電体の正電圧側の分極ヒステリシスカーブを原点对称にさせる。これにより、既

存のFTJと同様に不揮発性デバイスとして利用できる(Fig. 5.1).

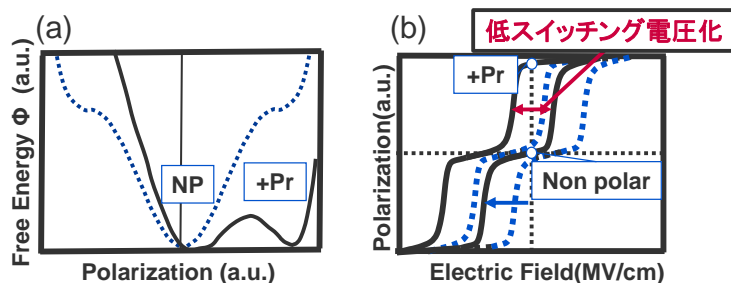


Fig. 5.1 反強誘電体の上側マイナーループを用いた低スイッチング電圧化の説明のための(a)反強誘電体の自由エネルギー及び(b)PV特性グラフ.

本章では，反強誘電体材料として， $ZrO_2$ に着目する． $ZrO_2$ はdoped- $HfO_2$ と比較して，以下の点で優位性がある([50, 51])

(1)単斜晶のみを構成する多結晶構造であり，複数回電界印加によって，酸素空孔 $V_o$ の生成，結晶相の転移が生じにくい．

(2)片側のヒステリシスカーブを利用することで，両側電界のフルスイープの印加よりも酸素空孔の生成が抑制される．

仕事関数差を用いた反強誘電体RAM(AFeRAM)の実証[52]が為されたが，反強誘電体を用いたFTJ(AFTJ)は今だ報告がない．そこで本章では，AFTJの実証を行うために，反強誘電体 $ZrO_2$ の膜の最適化及び，AFTJの特性を評価し，課題を明確化することを目的とする．

## 5.2 反強誘電膜のプロセスエンジニアリング

まず，反強誘電体 $ZrO_2$ の膜特性に関して，プロセス改善を行う．具体的には(1)反強誘電体の分極反転電荷量の最大化，(2)上側分極反転ピークの原点对称シフトを目指す．

### 5.2.1 MFM構造の強誘電体膜特性

反強誘電体の基礎的な特性を評価するために，反強誘電体 $ZrO_2$ を用いたMIM構造を製作し，その電氣的測定を行った．Fig. 5.2に結果を示す．マイナス電圧印加時にはリーク電流が大きい．Fig. 5.2の挿入図では，片側のヒステリシスカーブをそれぞれ掃引し，分極反転を確認した．リークの少ない正電圧方向の片側ヒステリシスカーブにおいて，平行移動した場合の残留分極値 $P_r$ の概算は $10 \mu C/cm^2$ 程度と見積られる．この値では，薄膜化を行った場合，十分な $P_r$ を得られるかどうか不明である．

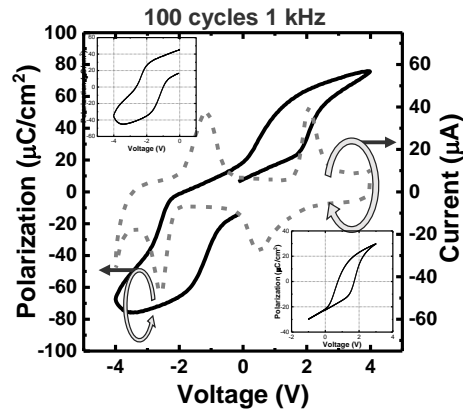


Fig. 5.2 対称電極MFM構造での反強誘電体 $ZrO_2$ の過渡電流測定及びPV測定. 挿絵はマイナーループを利用した際のPV測定であり, 上側下側ともに自発分極反転によるヒステリシスが確認できる.

### 5.2.2 基準プロセスフロー

Fig. 5.3に基準プロセスを示す. FTJプロセスとの違いとして,  $ZrO_2$ の濃度を100%にし, 上部電極をTiNで堆積した. また4章のシミュレーションを参考にすれば, 高TER化するには, MFS構造が適している. これらの条件において,  $ZrO_2$ の濃度及びアニール温度を変化させ,  $P_r$ 及び $V_c$ (上側ヒステリシスカーブ)の変化に関して着目しながら条件を決定する.

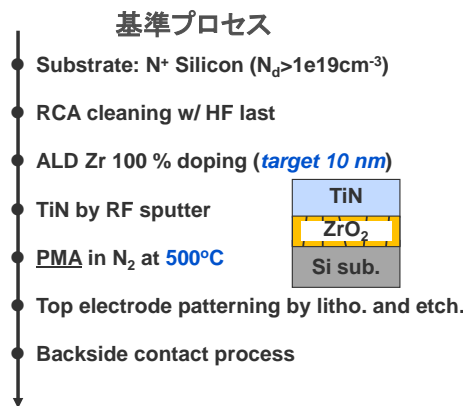


Fig. 5.3 AFTJ作製のための基準プロセスフロー.

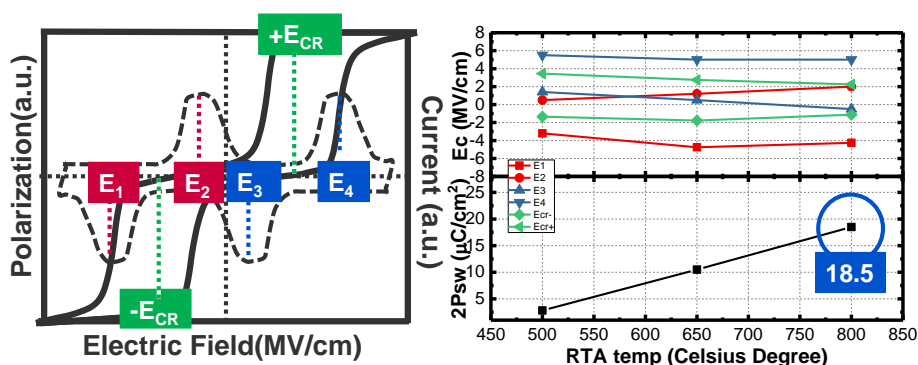


Fig. 5.4 (左図)分極反転電圧及び片側ヒステリシスカーブの中心を示した模式図と(右図)抗電圧シフト及びスイッチング電荷量のアニール温度依存性。

### 5.2.3 アニール温度依存性

Fig. 5.4に、アニール温度を上昇させた時の抗電圧とスイッチング分極電荷量を示す。下側マイナーループと上側マイナーループの分極反転電圧を、Fig. 5.4の左図のように  $E_1$ ,  $E_2$ ,  $E_3$ ,  $E_4$  とし、片側のヒステリシスカーブの中心を  $E_{-CR}$ ,  $E_{+CR}$  とする。Fig. 5.4の右図のように抗電圧シフト及びスイッチング電荷量のアニール温度依存性をプロットする。温度を上昇させることで、 $-E_{CR}$ ,  $+E_{CR}$  が中心にシフトしていき、 $E_1$ ,  $E_2$ ,  $E_3$ ,  $E_4$  はそれぞれ、 $-E_{CR}$ ,  $+E_{CR}$  を中心に広がっている様子が確認できる。その結果、高温アニールでは  $E_2$ ,  $E_3$  が逆転し、バブルピークが重なってしまう。これは、高温アニールになれば、I/S界面における界面層の形成が進行しやすく、その分圧により抗電圧が増加ことに起因すると考えられる。

ダブルピークの重なりは、片側ヒステリシスカーブの利用が困難になる可能性を示唆している。片側ヒステリシスカーブのみを用いるためには、電圧によって片側分極を制御できるか確かめなければならない。Fig. 5.5に上側マイナーループの応答範囲を非対称電圧印加測定によって調べた結果を示す。 $E_3$  及び  $E_4$  は分極応答のピークが確認できるのに対し、 $E_2$  は応答しない。このことは、ダブルピークの分極反転が重なっても片側ヒステリシスカーブを利用できることを示している。

Fig. 5.4の右図のスイッチング電荷量について、高温アニールになるほど増加する。これにより、抗電圧のシフトはあるものの、大きな残留分極値を示す可能性があるため、800°Cアニールサンプルを採用し、その後のデバイスの評価を行った。

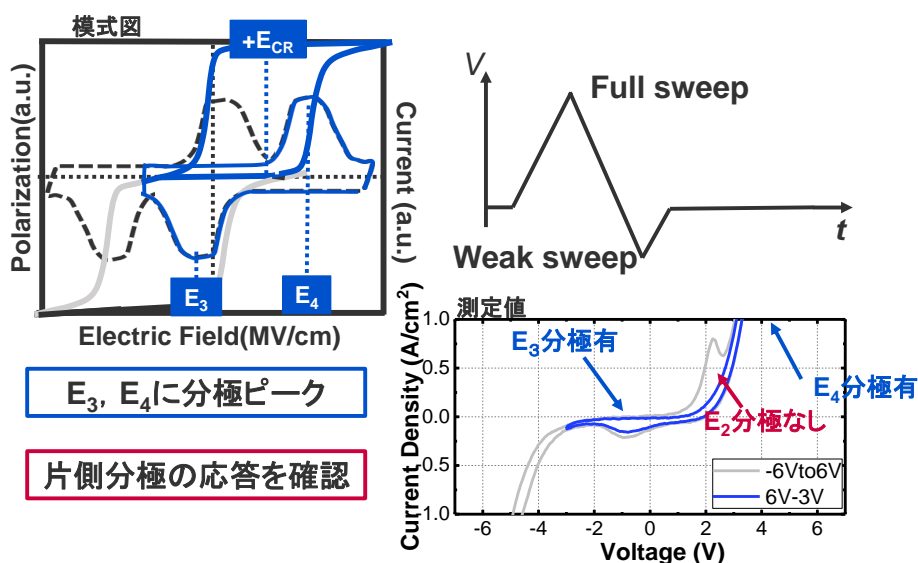


Fig. 5.5 (左図)上側マイナーループを利用した際の応答電荷及び電流の模式図. (右上図)上側マイナーループを測定するための印加電圧の例. (右下図)上側マイナーループを用いた上側マイナーループの電流測定結果.

### 5.2.4 Zr濃度依存性

次に、抗電圧をシフトさせるために、800°Cアニールの条件下で、HfZrO<sub>2</sub>を含めたZr濃度依存性に関して絶縁膜の評価を行った(Fig. 5.6). 低濃度にすればするほど抗電圧は中心に向かうが、次第にシングルピークへと変化してしまう。つまり70%の高濃度であっても、800°Cのアニール温度では、強誘電体のようにふるまう。今回は片側の分極反転電荷を用いて、酸素空孔生成の抑制などを目的としており、強誘電体に似た特性を有する低濃度のZrO<sub>2</sub>の利用は目的と外れる。そのため、今回のAFTJ用デバイスは100%のZrO<sub>2</sub>で作製する。

## 5.3 AFTJに向けた薄膜デバイスの電流ヒステリシスの考察

5.2節にて、Zr100%及びアニール温度800°Cが条件として最適であることを示した。ここではさらに薄膜化を行い、AFTJの実証に向けた課題について議論する。

### 5.3.1 チャージトラップ起因の電流ヒステリシス

6nmに薄膜化したMIS構造のデバイス进行评估した。Fig. 5.7の(a)において、-5Vから5Vのフルスイープと-2Vから5Vの上側マイナーループの分極応答に関して評価した。E<sub>1</sub>

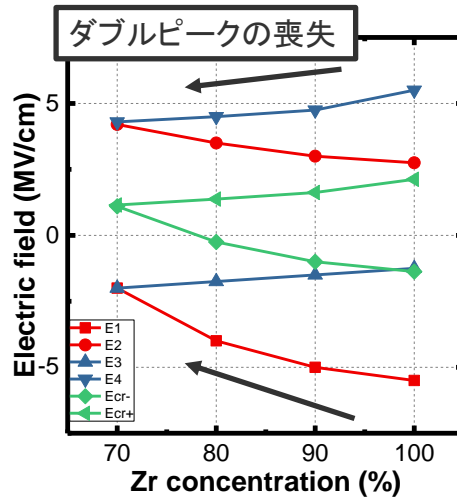


Fig. 5.6 抗電圧のZr濃度依存性. 低濃度になるほど, 片側ヒステリシスカーブは中心へシフトするが, 次第に強誘電体のようにシングルピークへ収束する.

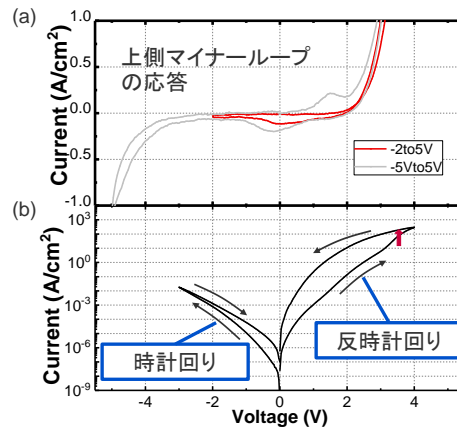


Fig. 5.7 6nm膜厚のAFTJの特性評価のための, (上)過渡電流測定と(下)直流電流測定.

の電界を超えない限り, 下側マイナーループが応答しないことを確認した. Fig. 5.7の (b)において, FTJのケースと同様に直流電流測定を行った. 正電圧領域において, 反時計回りに電流値がシフトしており, 反強誘電体の上側マイナーループによる分極反転に応答し, 電流値が変化した様子が確認できる. その一方で, 負の電圧領域ではFTJでは見られなかった時計回りのヒステリシスカーブとなっている. この原因について考察する.

バンド構造を単純化した模式図をFig. 5.8に示す. MIS構造のデバイスでは, I/S界面におけるチャージトラップによる電荷の充放電により, ポテンシャル障壁が増減する. そのポテンシャル障壁の増減は残念ながら, 分極反転によるポテンシャル障壁の増減を打ち消す向きに働く. 正電圧印加時には, 反時計回りのヒステリシスになっているため, 高抵抗状態から低抵抗状態へと変化したと考えられ, 分極反転起因のヒステリシスが原因

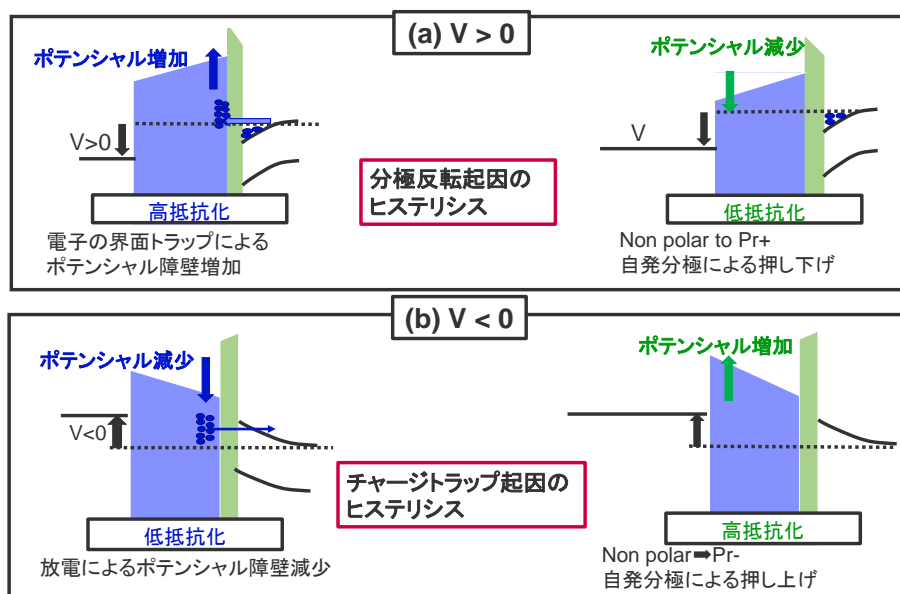


Fig. 5.8 Fig. 5.7における負電圧領域のヒステリシスの向きを理解するためのバンド図. (a)では正電圧領域における2つのポテンシャル障壁変化の機構を示し, (b)では負電圧領域のポテンシャル障壁変化を示している.

であると考えられる. 負電圧印加時には, 時計回りのヒステリシスになっており, この時も高抵抗状態から低抵抗状態へと変化しており, Fig. 5.8(b)よりチャージトラップ起因のヒステリシスであると考えられる. 負電圧印加時には $n^+$ -Siの場合, 空乏層による電界も存在するため, さらに電荷の放出が加速されることが予想できる.

### 5.3.2 ユニポーラバイアス印加時の揮発動作

Fig. 5.9(a)において, 6 nmの場合, 抗電圧が原点付近に集中している. これでは, 原点から正電圧方向へユニポーラバイアス印加をしても, 0バイアス付近の抗電圧により, 情報が書き換えられてしまう. そこでFig. 5.9(b)のような複数回電圧印加測定を行うことで, 原点付近の抗電圧がAFTJの動作に与える影響について考察する.

Fig. 5.9(b)にて, 上側マイナーループを用いるために-3 Vの直流電流測定を行った後, 正電圧領域のユニポーラバイアス印加を3回行った. 3度の印加電圧に対し, すべての測定において, 高抵抗状態から低抵抗状態への電流値の変化が確認できる. これはつまり, ゼロバイアス付近にて情報を書き換えてしまっていることを意味し, 不揮発動作が現状困難であることを示唆している. 薄膜時に抗電圧が原点付近に集中してしまうことを避けるためには, よりマイナス側に抗電圧をシフトする工夫が必要であると分かる.



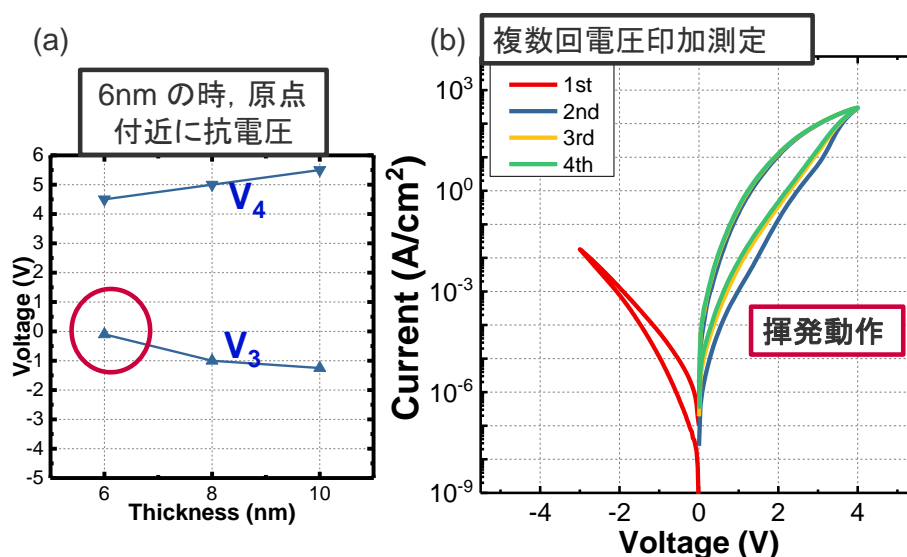


Fig. 5.9 (a)膜厚別の抗電圧シフト及び(b)複数回ユニポーラ正バイアス印加測定による揮発動作

## 5.4 本章のまとめと展望

本章では、FTJの書き換え耐性改善の手法として、絶縁破壊電圧とスイッチング電圧のマージンを大きくするために、スイッチング電圧を低下させる手法である反強誘電体の自発分極反転を用いたFTJの実証を試みた。高TER比を得るために重要なMFS構造はそのまま採用し、反強誘電体 $ZrO_2$ 膜の特性最適化を行い、RTA温度は $800^\circ C$ 、Zr濃度は100%という結果を得た。6 nm条件でも分極反転が生じていることを確認し、FTJの動作実証を行ったところ、正電圧では分極反転起因のヒステリシス、負電圧では界面チャージトラップ起因のヒステリシスが支配的な伝導電流と考えられる結果を得た。また、ユニポーラ正バイアスを複数回印加した時、揮発動作を繰り返すのは、原点付近の抗電圧によるスイッチングが起き、情報を書き換えていることが原因であると考えられる。

負電圧領域のチャージトラップ起因のヒステリシスを改善し、正電圧領域での揮発動作を不揮発にするためには、抗電圧シフトのエンジニアリングが必須である。上側マイナーループを用いるには上部電極をTiNよりも仕事関数の小さいAlなどを用いて堆積すればよい。下側マイナーループを用いるには、RuやPtなどのTiNより仕事関数が高い金属を用いる。PDAとPMAの違いによる $ZrO_2$ の反強誘電性の変化を確認した後、TiN電極置換プロセスが良いか、PDA処理が良いか決定する必要がある。

## 第6章

# 結論

### 6.1 まとめ

本研究では強誘電体及び反強誘電体の分極反転機構を用いた2端子トンネル接合構造のメモリ動作について、プロセスエンジニアリング及び解析を通じて、設計指針を構築し、実際に作製することにより、その機能を示した。

1章では、IoTエッジデバイスの急激な増加により、ストレージ及びグリーンエレクトロニクス観点からも、高速動作NVMの実現が必要不可欠であることを述べた。様々な種類の候補がある中で、強誘電体メモリはその低電圧動作性や、高速動作、及び低コストな新規材料の台頭により大きく注目を集めていることに言及し、その中でも集積性が高い2端子素子のメモリに着目し、そのデバイス開発を研究の目的とした。

2章では、基礎的な物理及びデバイス動作原理に関して言及した。(反)強誘電体に関する基礎物理現象に関して、真空中、誘電体中について述べ、(反)強誘電性が発現する条件について述べた後、ランダウ理論による現象論的な自由エネルギーについて述べた。強誘電体メモリを3つ紹介し、原理とデバイス利用に関する課題に関しても少しふれた。最後に伝導電流の解析モデルに関して、バルク欠陥を介すものと解さないものに関するモデルに触れ、その利用手法に関して簡単に説明した。

3章ではデバイス試作及び評価に関する実験手法について述べた。MFM構造キャパシタの基礎プロセスの詳細を説明した後、作製されたMFM構造キャパシタを用いて強誘電体測定(PV測定)及び温度特性の結果に関しても言及し、作製されたデバイスの性能が文献値と比べても極めて良好であることを確認した。

4章では、微細化可能な強誘電メモリとして有力な候補である巨大なTERを有するFTJの実証を試みた。強誘電薄膜を通過するトンネル電流のモデルを用いて、デバイス設計の

カギとなる指標である強誘電膜厚 $T_{FE}$ と残留分極値 $P_r$ をシミュレーションし、その設計値を見積もった。またスイッチング電圧を適切な値に設計するために、電極置換プロセスという新しいプロセス手法を考案し、不揮発性メモリとしてFTJが動作するようにプロセスを改善した。シミュレーションとプロセス改善により、 $TER=30$ という値を得、スイッチング電圧による変化を確認し、FTJが動作したことを実証した。また強誘電 $HfO_2$ を用いたFTJでは世界で初めて、多値メモリ化を実証し、本研究によってFTJの更なる有用性を示した。最終的に、Retention特性は良好なものの、Endurance特性に改善の余地があり、信頼性改善の取り組みが必要であることを述べた。

5章では、4章の課題を解決しうるメモリデバイスとして、反強誘電体 $ZrO_2$ を用いたトンネル接合に着目し、その基本概念を説明した。4章と同様に $E_{build-in}$ による分極反転の電圧にシフトを確認し、Zr濃度依存性、RTA温度依存性調査した。作製されたAFTJでは、分極反転起因のヒステリシスを確認し、AFTJのメモリ動作を検討したが、揮発動作や負電圧領域におけるチャージトラップなどの課題が明らかとなった。

## 6.2 今後の展望

喫緊の課題としてEnduranceを向上させることが必須である、4章で用いたFTJは、Endurance特性を向上させるための、評価手法の改善がまだ十分でなく、東芝のグループのように体系的な劣化メカニズムの原因に関して注力しなければならない[48]。5章ではAFTJに関する期待と設計指針に関して述べたが、より広範なプロセスエンジニアリングを行うべきである。負電圧印加時のチャージトラップ起因のヒステリシスは、上部電極と反強誘電膜の界面改善によって分極反転起因のヒステリシスに変化できると考えられるため、PDAを用いたり、Al電極により、高電圧をシフトしたりすることで、改善できるはずである。

FTJの集積性に関して言えば、非平衡グリーン関数法を用いた自己無頓着場でのFTJの伝導電流の解析より、理想的に20 nm直径まで集積できることを確認した[53]。プロセス改善によってデバイス面積を小さくすれば、取得電荷量が減少するため、測定系の改善も必須であるが、微細化プロセスの開発もテーマを進めるうえで重要である。

また、近年大きく注目を集めているニューロモルフィック回路へ、素子レベルでの利用も十分期待できる。復旦大学[40]の研究グループは、 $TER=5$ 程度のFTJでも、シナプティック応答を利用したパターン認識及び分類行えるということを示した。我々のメモリを高集積な3次元構造へ実現できれば、深層学習などに対し、低消費電力アーキテク

チャの構築による高速化，低消費電力化が期待できる．

## 発表文献リスト

国内学会(査読無し)

○多川 友作, 莫非, 更屋 拓哉, 平本 俊郎, 小林 正治 ‘高TER・多値メモリ性を有するHfO<sub>2</sub>強誘電トンネル接合メモリのためのデバイスおよびプロセス設計’ 第79回応用物理学会秋季学術講演会(名古屋国際会議場) 19p-233-11 (2018)

○多川 友作, 更屋 拓哉, 平本 俊郎, 小林 正治 ‘反強誘電体ZrO<sub>2</sub>を有するMIS構造のユニポーラスイッチング特性’ 第66回応用物理学会春季学術講演会(東京工業大学) 10p-W631-9 (2019)発表予定

国際学会(査読有)

○Fei Mo, Yusaku Tagawa, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, “Scalability Study on Ferroelectric - HfO<sub>2</sub> Tunnel Junction Memory Based on Non-equilibrium Green Function Method with Self-consistent Potential” International Electron Device Meeting : 978-1-7281-1987-8/18 372-375, (2018)[53]

学術論文(査読有)

Masaharu Kobayashi, Yusaku Tagawa, Fei Mo, Takuya Saraya, and Toshiro Hiramoto, “Ferroelectric HfO<sub>2</sub> Tunnel Junction Memory with High TER and Multi-level Operation Featuring Metal Replacement Process.” IEEE Journal of the Electron Devices Society : 2168-6734 1-6 (2018).[26]

# 謝辞

本研究は東京大学大学院工学系研究科電気系工学専攻，生産技術研究所にて，小林正治准教授のご指導の下，2017年から2019年にかけて行われました．本研究を行うにあたり研究室内外で様々な方々の支援を賜り研究を遂行できたことを，ここに深く感謝申し上げます．

指導教員である小林正治准教授には，半導体デバイス物理，プロセス，解析など素人同然だった私に対して，継続的で熱心なご指導ご鞭撻を賜り，心より深く感謝申し上げます．ナノデバイス物理や強誘電体の基礎物理，半導体プロセス技術など，研究に関連した事柄に関する議論だけでなく，粘り強くプロセスを行う忍耐力，たゆまぬ勉学への向上心を持ち続ける継続力といった研究や学問に対する姿勢に大変感銘を受けました．最前線での研究の楽しさ，難しさ，やりがいについて多くを経験できたおかげで，充実した研究及び学生生活を過ごすことができました．大変ありがとうございました．

平本俊郎教授にはミーティングや授業の際，半導体デバイスに関する広範な知識を熱心にご教授頂き，得た知識を存分に研究に活かすことができました．勉強不足の面が多々あった中で，多くの励ましをいただき，学問や研究への前向きな姿勢を持ち続けることができました．誠にありがとうございました．

平川一彦教授，岩本敏准教授，有田宗貴特任准教授，太田泰友特任准教授，吉田健治助教には化合物系のクリーンルームの使用を快諾して頂くだけでなく，装置の利用法の教授や修理を行っていただき大変ありがとうございました．とりわけ吉田助教には，測定用機器の貸し出しに関して，突然の申し出だったにもかかわらず，快くご協力頂き，大変感謝しております．

更屋拓哉助手には，クリーンルームや研究室の諸々に関するありとあらゆる場面で，大変お世話になりました．デバイス試作が非常に高性能に実現できたのも，日ごろからメンテナンスや修理を行っていただけのおかげです．大変ありがとうございました．

平本小林研究室の研究員の長城和一氏，伊藤一夫氏，高倉俊彦氏，鈴木慎一氏にはク

クリーンルームにおいて重要なプロセスの支援や薬品の管理，またご指導を頂きました。綿密な管理及び指導のおかげで，危険な薬品やガスがある中で大きな事故がなく研究できました。誠にありがとうございました。また，福井宗利氏，竹内潔博士，水谷朋子氏には，研究室で半導体物理の疑問点など快く議論して頂きました。とりわけ水谷氏には，測定系の構築並びに手法のアドバイスなどして頂きました。大変ありがとうございました。秘書の塩谷美希氏は，大量の事務作業があるにもかかわらず，いつも研究室の雰囲気をも明るくしていただけなので，研究室での時間がより楽しいものになりました。大変感謝しております。

平本小林研究室OBであるKyungmin Jang博士，上山望氏には研究における様々な面で知見やアドバイス，励ましの言葉をいただきました。自らのタスクがあるにもかかわらず，右も左もわからない自分に指導して頂いたおかげで，研究を成し遂げることができました。大変ありがとうございました。

平本小林研究室の学生の方々にも，研究だけでなく普段の生活の面から大変お世話になりました。大変感謝しております。

また，野村研究室の柳沢亮人氏，ナノ量子エレクトロニクス機構のBongyong Jang特任助教には，クリーンルームでの装置の利用や研究に関するアドバイス等，快くご対応していただきました。大変ありがとうございました。

最後に，自分の進路決定に対し快く賛成し，金銭的，精神的に全面支援して頂いた両親に心より感謝申し上げます。

## 参考文献

- [1] Cheol Seong Hwang. Prospective of Semiconductor Memory Devices: from Memory System to Materials. *Advanced Electronic Materials*, Vol. 1, No. 6, pp. 1–30, 2015.
- [2] Anders Andrae and Tomas Edler. On Global Electricity Usage of Communication Technology: Trends to 2030. *Challenges*, Vol. 6, No. 1, pp. 117–157, 2015.
- [3] Milan Pešić. *Gate Stack Engineering for Emerging Polarization based Non-volatile Memories*. BoD Books on Demand, 2017.
- [4] An Chen. A review of emerging non-volatile memory (NVM) technologies and applications. *Solid-State Electronics*, Vol. 125, pp. 25–38, 2016.
- [5] T. Mikolajick, T. Schenk, T. Mittmann, M. Hoffmann, B. Max, C. Richter, M. Pesic, F. Fengler, H. Mulaosmanovic, M.-H. Park, S. Slesazek, U Schroeder, J. Müller, P. Polakowski, S. Müller, R. Materlik, and A. Kersch. NVM Technologies Based on Ferroelectric Hafnium Oxide , Reference web page : researchgate.net, 2018.
- [6] 高重正明. 物質構造と誘電体入門. 裳華房, 2013.
- [7] T. S. Böske, J. Müller, D. Bräuhäus, U. Schröder, and U. Böttger. Ferroelectricity in hafnium oxide thin films. *Applied Physics Letters*, Vol. 99, No. 10, p. 102903, sep 2011.
- [8] Stefan Mueller, Johannes Mueller, Aarti Singh, Stefan Riedel, Jonas Sundqvist, Uwe Schroeder, and Thomas Mikolajick. Incipient ferroelectricity in Al-doped HfO<sub>2</sub> thin films. *Advanced Functional Materials*, Vol. 22, No. 11, pp. 2412–2417, 2012.
- [9] Johannes Müller, Tim S. Böske, Uwe Schröder, Stefan Mueller, Dennis Bräuhäus, Ulrich Böttger, Lothar Frey, and Thomas Mikolajick. Ferroelectricity



- in simple binary ZrO<sub>2</sub> and HfO<sub>2</sub>. *Nano Letters*, Vol. 12, No. 8, pp. 4318–4323, 2012.
- [10] T Olsen, U Schröder, S. Müller, A Krause, D Martin, A Singh, J Müller, M Geidel, and T Mikolajick. Co-sputtering yttrium into hafnium oxide thin films to produce ferroelectric properties. *Applied Physics Letters*, Vol. 101, No. 8, p. 82905, 2012.
- [11] T. Schenk, S. Mueller, U. Schroeder, R. Materlik, A. Kersch, M. Popovici, C. Adelman, S. Van Elshocht, and T. Mikolajick. Strontium doped hafnium oxide thin films: Wide process window for ferroelectric memories. *European Solid-State Device Research Conference*, pp. 260–263, 2013.
- [12] Uwe Schroeder, Claudia Richter, Min Hyuk Park, Tony Schenk, Milan Pešić, Michael Hoffmann, Franz P.G. Fengler, Darius Pohl, Bernd Rellinghaus, Chuanzhen Zhou, Ching Chang Chung, Jacob L. Jones, and Thomas Mikolajick. Lanthanum-Doped Hafnium Oxide: A Robust Ferroelectric Material. *Inorganic Chemistry*, Vol. 57, No. 5, pp. 2752–2765, 2018.
- [13] Patrick Polakowski and Johannes Müller. Ferroelectricity in undoped hafnium oxide. *Applied Physics Letters*, Vol. 106, No. 23, p. 232905, jun 2015.
- [14] Xuan Tian, Shigehisa Shibayama, Tomonori Nishimura, Takeaki Yajima, Shinji Migita, and Akira Toriumi. Evolution of ferroelectric HfO<sub>2</sub> in ultrathin region down to 3 nm. *Applied Physics Letters*, Vol. 112, No. 10, 2018.
- [15] Anna Chernikova, Maksim Kozodaev, Andrei Markeev, Dmitrii Negrov, Maksim Spiridonov, Sergei Zarubin, Ohheum Bak, Pratyush Buragohain, Haidong Lu, Elena Suvorova, Alexei Gruverman, and Andrei Zenkevich. Ultrathin Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> Ferroelectric Films on Si. *ACS Applied Materials and Interfaces*, Vol. 8, No. 11, pp. 7232–7237, 2016.
- [16] N. Setter, D. Damjanovic, L. Eng, G. Fox, S. Gevorgian, S. Hong, A. Kingon, H. Kohlstedt, N. Y. Park, G. B. Stephenson, I. Stolitchnov, A. K. Taganstev, D. V. Taylor, T. Yamada, and S. Streiffer. Ferroelectric thin films: Review of materials, properties, and applications, sep 2006.
- [17] Xiaohua Liu, Dayu Zhou, Yan Guan, Shuaidong Li, Fei Cao, and Xianlin Dong. Endurance properties of silicon-doped hafnium oxide ferroelectric and antiferroelectric-like thin films: A comparative study and prediction. *Acta Ma-*

- terialia*, Vol. 154, pp. 190–198, 2018.
- [18] Reji Thomas, J F Scott, and Dwarka N Bose. Impact of different dopants on the switching properties of ferroelectric hafniumoxide Related content Multiferroic thin-film integration onto semiconductor devices. *Japanese Journal of Applied Physics*, pp. 2–7, 2014.
- [19] M B Okatan and S P Alpay. Imprint in ferroelectric materials due to space charges: A theoretical analysis. *Applied Physics Letters*, Vol. 95, No. 9, 2009.
- [20] P. Polakowski, S. Riedel, W. Weinreich, M. Rudolf, J. Sundqvist, K. Seidel, and J. Muller. Ferroelectric deep trench capacitors based on Al:HfO<sub>2</sub> for 3D non-volatile memory applications. *2014 IEEE 6th International Memory Workshop, IMW 2014*, pp. 1–4, 2014.
- [21] J. Muller, P. Polakowski, S. Mueller, and T. Mikolajick. Ferroelectric Hafnium Oxide Based Materials and Devices: Assessment of Current Status and Future Prospects. *ECS Journal of Solid State Science and Technology*, Vol. 4, No. 5, pp. N30–N35, 2015.
- [22] Min Hyuk Park, Young Hwan Lee, Han Joon Kim, Yu Jin Kim, Taehwan Moon, Keum Do Kim, Johannes Müller, Alfred Kersch, Uwe Schroeder, Thomas Mikolajick, and Cheol Seong Hwang. Ferroelectricity and Antiferroelectricity of Doped Thin HfO<sub>2</sub>-Based Films. *Advanced Materials*, Vol. 27, No. 11, pp. 1811–1831, 2015.
- [23] T. S. Böescke, J. Müller, D. Bräuhäus, U. Schröder, and U. Böttger. Ferroelectricity in hafnium oxide: CMOS compatible ferroelectric field effect transistors. *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 547–550, 2011.
- [24] J. Müller, E. Yurchuk, T. Schlösser, J. Paul, R. Hoffmann, S. Müller, D. Martin, S. Slesazeck, P. Polakowski, J. Sundqvist, M. Czernohorsky, K. Seidel, P. Kücher, R. Boschke, M. Trentzsch, K. Gebauer, U. Schröder, and T. Mikolajick. Ferroelectricity in HfO<sub>2</sub> enables nonvolatile data storage in 28 nm HKMG. *Digest of Technical Papers - Symposium on VLSI Technology*, pp. 25–26, 2012.
- [25] K Florent, M Pesic, A Subirats, K Banerjee, S Lavizzari, A Arreghini, L Di Piazza, G Potoms, F Sebaai, S R C Mcmitchell, M Popovici, G Groeseneken, J Van Houdt, and A Ferroelectric Capacitor. Vertical Ferroelectric HfO<sub>2</sub> FET

- based on 3-D NAND Architecture : Towards Dense Low-Power Memory. *2018 IEEE International Electron Devices Meeting (IEDM)*, pp. 43–46, 2018.
- [26] Masaharu Kobayashi, Yusaku Tagawa, Mo Fei, Takuya Saraya, and Toshiro Hiramoto. Device and Process Design for HfO<sub>2</sub>-Based Ferroelectric Tunnel Junction Memory with Large Tunneling Electroresistance Effect and Multi-level Cell.
- [27] D. Pantel and M. Alexe. Electroresistance effects in ferroelectric tunnel barriers. *Physical Review B - Condensed Matter and Materials Physics*, Vol. 82, No. 13, pp. 1–8, 2010.
- [28] a L Esaki, R B Laibowitz, and P J Stiles. Polar switch. *IBM Tech. Discl. Bull.*, Vol. 13, No. 2161, p. 114, 1971.
- [29] V. Garcia, S. Fusil, K. Bouzehouane, S. Enouz-Vedrenne, N. D. Mathur, A. Barthélémy, and M. Bibes. Giant tunnel electroresistance for non-destructive readout of ferroelectric states. *Nature*, Vol. 460, No. 7251, pp. 81–84, jul 2009.
- [30] Shosuke Fujii, Yuuichi Kamimuta, Tsunehiro Ino, Yasushi Nakasaki, Riichiro Takaishi, and Masumi Saitoh. First demonstration and performance improvement of ferroelectric HfO<sub>2</sub>-based resistive switch with low operation current and intrinsic diode property. *Digest of Technical Papers - Symposium on VLSI Technology*, Vol. 2016-Septe, pp. 2–3, 2016.
- [31] J. Robertson. High dielectric constant oxides. *The European Physical Journal Applied Physics*, Vol. 28, No. 3, pp. 265–291, 2004.
- [32] Fu Chien Chiu. A review on conduction mechanisms in dielectric films. *Advances in Materials Science and Engineering*, Vol. 2014, , 2014.
- [33] Min Hyuk Park, Han Joon Kim, Yu Jin Kim, Young Hwan Lee, Taehwan Moon, Keum Do Kim, Seung Dam Hyun, Franz Fengler, Uwe Schroeder, and Cheol Seong Hwang. Effect of Zr Content on the Wake-Up Effect in Hf<sub>1-x</sub>Zr<sub>x</sub>O<sub>2</sub>Films. *ACS Applied Materials and Interfaces*, Vol. 8, No. 24, pp. 15466–15475, 2016.
- [34] Milan Pešić, Steve Knebel, Kyuho Cho, Changhwa Jung, Jaewan Chang, Hanjin Lim, Nadiia Kolomiets, Valeri V. Afanas'ev, Thomas Mikolajick, and Uwe Schroeder. Conduction barrier offset engineering for DRAM capacitor scaling. *Solid-State Electronics*, Vol. 115, pp. 133–139, jan 2016.
- [35] A. Gruverman, D. Wu, H. Lu, Y. Wang, H. W. Jang, C. M. Folkman, M. Ye

- Zhuravlev, D. Felker, M. Rzchowski, C. B. Eom, and E. Y. Tsymbal. Tunneling electroresistance effect in ferroelectric tunnel junctions at the nanoscale. *Nano Letters*, Vol. 9, No. 10, pp. 3539–3543, 2009.
- [36] Rui Guo, Ying Wang, Heng Yau Yoong, Jianwei Chai, Han Wang, Weinan Lin, Shaohai Chen, Xiaobing Yan, Thirumalai Venkatesan, Ariando, Alexei Gruverman, Yihong Wu, and Jingsheng Chen. Effect of Extrinsicly Introduced Passive Interface Layer on the Performance of Ferroelectric Tunnel Junctions. *ACS Applied Materials and Interfaces*, Vol. 9, No. 6, pp. 5050–5055, 2017.
- [37] Youngin Goh and Sanghun Jeon. The effect of the bottom electrode on ferroelectric tunnel junctions based on CMOS-compatible HfO<sub>2</sub>. *Nanotechnology*, Vol. 29, No. 33, p. 335201, 2018.
- [38] F. Ambriz-Vargas, G. Kolhatkar, R. Thomas, R. Nouar, A. Sarkissian, C. Gomez-Yáñez, M. A. Gauthier, and A. Ruediger. Tunneling electroresistance effect in a Pt/Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub>/Pt structure. *Applied Physics Letters*, Vol. 110, No. 9, 2017.
- [39] A. Chouprik, A. Chernikova, A. Markeev, V. Mikheev, D. Negrov, M. Spiridonov, S. Zarubin, and A. Zenkevich. Electron transport across ultrathin ferroelectric Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> films on Si. *Microelectronic Engineering*, Vol. 178, pp. 250–253, 2017.
- [40] Lin Chen, Tian Yu Wang, Ya Wei Dai, Ming Yang Cha, Hao Zhu, Qing Qing Sun, Shi Jin Ding, Peng Zhou, Leon Chua, and David Wei Zhang. Ultra-low power Hf<sub>0.5</sub>Zr<sub>0.5</sub>O<sub>2</sub> based ferroelectric tunnel junction synapses for hardware neural network applications. *Nanoscale*, Vol. 10, No. 33, pp. 15826–15833, 2018.
- [41] Zheng Wen, Chen Li, Di Wu, Aidong Li, and Naiben Ming. Ferroelectric-field-effect-enhanced electroresistance in metal/ferroelectric/semiconductor tunnel junctions. *Nature Materials*, Vol. 12, No. 7, pp. 617–621, jul 2013.
- [42] Milan Pesic, Taide Li, Valerio Di Lecce, Michael Hoffmann, Monica Materano, Claudia Richter, Benjamin Max, Stefan Slesazeck, Uwe Schroeder, Luca Larcher, and Thomas Mikolajick. Built-In Bias Generation in Anti-Ferroelectric Stacks: Methods and Device Applications. *IEEE Journal of the Electron Devices Society*, Vol. 6, pp. 1019–1025, 2018.
- [43] Yasushi Akasaka, Genji Nakamura, Kenji Shiraishi, Naoto Umezawa, Kikuo

- Yamabe, Osamu Ogawa, Myoungbum Lee, Toshio Amiaka, Tooru Kasuya, Heiji Watanabe, Toyohiro Chikyow, Fumio Ootsuka, Yasuo Nara, and Kunio Nakamura. Modified oxygen vacancy induced fermi level pinning model extendable to P-metal pinning. *Japanese Journal of Applied Physics, Part 2: Letters*, Vol. 45, No. 46-50, 2006.
- [44] Kenji Shiraishi, Keisaku Yamada, Kazuyoshi Torii, Yasushi Akasaka, Kiyomi Nakajima, Mitsuru Konno, Toyohiro Chikyow, Hiroshi Kitajima, and Tsunetoshi Arikado. Oxygen vacancy induced substantial threshold voltage shifts in the Hf-based high-K MISFET with p+poly-Si gates -A theoretical approach. *Japanese Journal of Applied Physics, Part 2: Letters*, Vol. 43, No. 11 A, 2004.
- [45] Min Hyuk Park, Han Joon Kim, Yu Jin Kim, Woongkyu Lee, Hyo Kyeom Kim, and Cheol Seong Hwang. Effect of forming gas annealing on the ferroelectric properties of Hf 0.5Zr0.5O<sub>2</sub> thin films with and without Pt electrodes. *Applied Physics Letters*, Vol. 102, No. 11, p. 112914, 2013.
- [46] M. Hoffmann, U. Schroeder, T. Schenk, T. Shimizu, H. Funakubo, O. Sakata, D. Pohl, M. Drescher, C. Adelman, R. Materlik, A. Kersch, and T. Mikolajick. Stabilizing the ferroelectric phase in doped hafnium oxide. *Journal of Applied Physics*, Vol. 118, No. 7, p. 72006, 2015.
- [47] Kuen Yi Chen, Pin Hsuan Chen, Ruei Wen Kao, Yan Xiao Lin, and Yung Hsien Wu. Impact of Plasma Treatment on Reliability Performance for HfZrO<sub>x</sub>-Based Metal-Ferroelectric-Metal Capacitors. *IEEE Electron Device Letters*, Vol. 39, No. 1, pp. 87–90, 2018.
- [48] Marina Yamaguchi, Shosuke Fujii, Yuuichi Kamimuta, Shoichi Kabuyanagi, Tsunehiro Ino, Yasushi Nakasaki, Riichiro Takaishi, Reika Ichihara, and Masumi Saitoh. Impact of specific failure mechanisms on endurance improvement for HfO<sub>2</sub>-based ferroelectric tunnel junction memory. *IEEE International Reliability Physics Symposium Proceedings*, Vol. 2018-March, pp. 6D.21–6D.26, 2018.
- [49] Milan Pesic, Steve Knebel, Michael Hoffmann, Claudia Richter, Thomas Mikolajick, and Uwe Schroeder. How to make DRAM non-volatile? Anti-ferroelectrics: A new paradigm for universal memories. In *Technical Digest - International Electron Devices Meeting, IEDM*, pp. 11.6.1–11.6.4, 2017.
- [50] Milan Pešić, Michael Hoffmann, Claudia Richter, Thomas Mikolajick, and Uwe

- Schroeder. Nonvolatile Random Access Memory and Energy Storage Based on Antiferroelectric Like Hysteresis in ZrO<sub>2</sub>. *Advanced Functional Materials*, Vol. 26, No. 41, pp. 7486–7494, 2016.
- [51] Milan Pesic, Uwe Schroeder, Stefan Slesazeck, Thomas Mikolajick, and Thomas Mikolajick. Reliability aspects of novel anti-ferroelectric non-volatile memories compared to hafnia based ferroelectric memories. *2017 IEEE International Integrated Reliability Workshop (IIRW)*, pp. 1–6, 2017.
- [52] Milan Pesic, Michael Hoffmann, Claudia Richter, Stefan Slesazeck, Uwe Schroeder, and Thomas Mikolajick. Anti-ferroelectric-like ZrO<sub>2</sub> non-volatile memory: Inducing non-volatility within state-of-the-art DRAM. *2017 17th Non-Volatile Memory Technology Symposium, NVMTS 2017 - Conference Proceedings*, Vol. 2017-Decem, pp. 1–4, 2017.
- [53] Fei Mo, Yusaku Tagawa, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi. Scalability Study on Ferroelectric-HfO<sub>2</sub> Tunnel Junction Memory Based on Non-equilibrium Green Function Method with Self-consistent Potential. *2018 IEEE International Electron Devices Meeting (IEDM)*, pp. 8–11, 2018.