

修士論文

強誘電体トンネル接合メモリの

大規模集積化に関する研究

Research on large-scale integration of
ferroelectric tunnel junction memory

東京大学大学院 工学系研究科

電気系工学専攻 37-186513

吉村英将

Hidemasa Yoshimura

2020年1月30日提出

指導教官

小林正治 准教授

目次

1	序論	-2-
1.1	研究背景	-2-
1.1.1	不揮発性メモリと強誘電体の有用性	-2-
1.1.2	HfO ₂ を用いた強誘電体	-2-
1.1.3	強誘電体トンネル接合(FTJ)メモリ	-4-
1.1.4	FTJを用いたクロスバーアレイ	-6-
1.2	問題点	-7-
1.3	研究目的	-8-
1.4	先行研究	-8-
1.5	本論文の構成	-9-
2	計算方法	-10-
2.1	計算で想定した FTJ の構造	-10-
2.2	電流電圧特性の計算モジュール	-11-
2.3	本章のまとめ	-13-
3	結果	-14-
3.1	FTJ の電流電圧特性	-14-
3.2	強誘電体にかかる電界	-15-
3.3	オン電流	-16-
3.4	TER	-16-
3.5	電流電圧特性の非対称性	-17-
3.6	電流電圧特性の非線形性	-18-
3.7	オン電流を基準とした設計	-19-
3.8	本章のまとめ	-20-
4	結論と今後の課題	-21-
4.1	結論	-21-
4.2	今後の課題	-21-
	参考文献	-22-
	謝辞	-23-
	学会発表	-24-

第 1 章

序論

1.1 研究背景

1.1.1 不揮発性メモリと強誘電体の有用性

高度情報化社会では、サイバーフィジカルシステムは重要なプラットフォームである。サイバーフィジカルシステムはクラウドサーバーと IoT エッジデバイスから成っている。クラウドサーバーはビッグデータを収集及び分析し、IoT エッジデバイスがデータを検知し通信する。これらのデバイスには電力消費の制約があるので、デバイスに搭載されるトランジスタおよびメモリはエネルギー効率が良くなければならない。不揮発性メモリ(NVM)は、エネルギー効率の高いコンピューティングを可能にするために重要な役割を果たす。クラウドサーバーはメモリ階層のギャップを埋めるためにストレージクラスのメモリを必要とし、IoT エッジデバイスは低コストで低電力の NVM を必要とする。さらに、新しい人工知能(AI)アルゴリズムとアプリケーションには、大規模な並列計算が必要である。NVM によるインメモリコンピューティングを用いることで、フォンノイマンのボトルネックを克服することができる。

様々な種類の NVM が存在するが、その中でも強誘電体を用いたメモリが注目されている。強誘電体メモリが注目されている理由としては、第一にスケーラビリティに富んだ構造が最近実証されたことが挙げられる。スケーラビリティはメモリの容量の増加や高集積による価格の低下などをもたらす非常に重要なファクターである。またもう一つの理由として CMOS プロセスとの整合性の高い強誘電材料が新しく見つかったこと[1]-[4]が挙げられる。スケーラビリティと CMOS プロセスとの整合性の両方を兼ねそろえる素材として注目されているのが HfO_2 である。

1.1.2 HfO_2 を用いた強誘電体

2011年にドイツの Muller らによって、 HfO_2 が強誘電性を示す論文が発表された[5]。この論文では HfO_2 が別のある元素をドーピングすることで、または双極構造にすることで強誘電性を示している。 HfO_2 は元々 CMOS プロセスの材料として用いられてきたため、CMOS プロセスと相性が良く、メモリに応用するうえで利点となっている。強誘電性発現の様子を Fig.1.1 に示す。Fig.1.1 では $\text{HfO}_2\text{-ZrO}_2$ のときのみ強誘電性を示している。

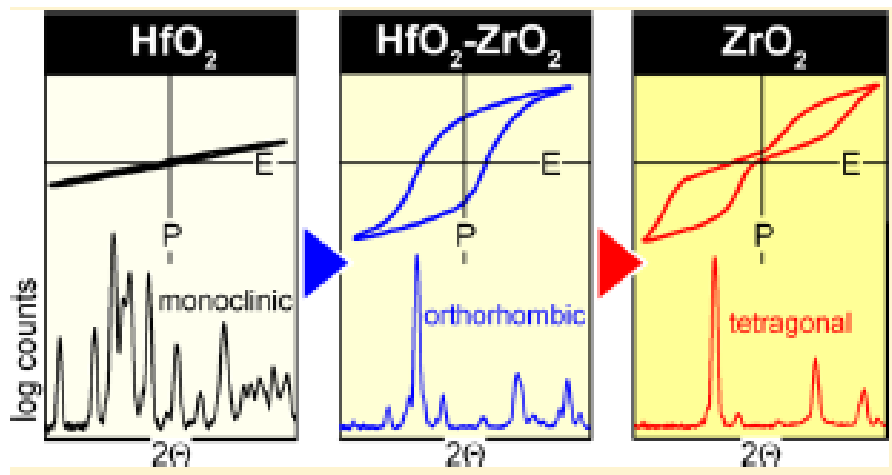


Fig.1.1 分極-電界ヒステリシス曲線[5].

この論文で述べられている HfO_2 のもう一つの利点に、薄くしても強誘電性を維持できるという点がある。今まで強誘電体メモリに用いられてきたペロブスカイト構造の強誘電体では 100 から 200nm までの厚さでしか強誘電性を保てなかったのに対し、この論文では、9nm の厚さで HfO_2 の強誘電性が保たれていたことが示されている。この厚さ 9nm の強誘電体 HfO_2 を用いた金属-強誘電体-金属コンデンサの HR-TEM 顕微鏡写真を Fig.1.2 に示す。薄くても強誘電性を維持できることで、スケーラビリティに富んでいることを期待できる。

以上をまとめると、 HfO_2 には CMOS プロセスとの整合性とスケーラビリティが期待できるといえる。そのために、 HfO_2 を用いた強誘電体トンネル接合メモリが注目を浴びている。

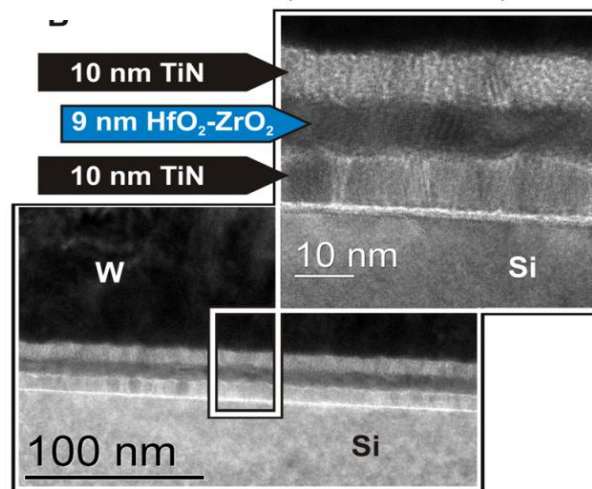


Fig.1.2 金属-強誘電体-金属コンデンサの HR-TEM 顕微鏡写真[5].

1.1.3 強誘電体トンネル接合(FTJ)メモリ

Fig.1.3 に強誘電体トンネル接合メモリ(Ferroelectric tunnel junction memory, FTJ memory)の構造の模式図と原理を示す。

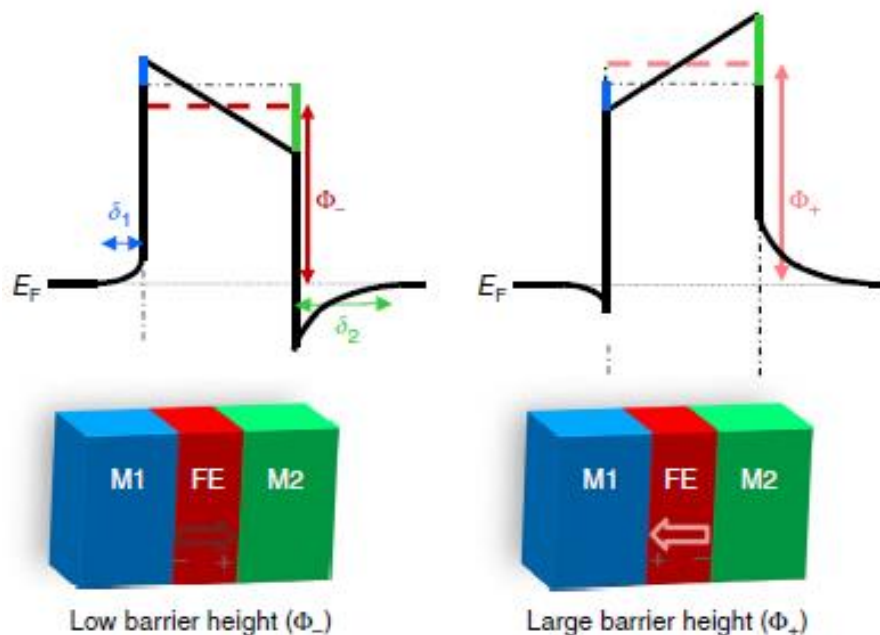


Fig.1.3 FTJ の構造と原理[6].

最も簡易的な構造の強誘電体トンネル接合メモリは、金属電極-強誘電体-金属電極もしくは金属電極-強誘電体-半導体電極という構造をとっている。強誘電体の表面には通常分極電荷が存在し、それらの符号に応じて電子をはじくか引き付ける。この現象は電極内で短い距離に渡って発生し、その距離を超えると電子密度が通常値に戻る。この現象は界面付近の電子が分極電荷を遮蔽していると思えることができる。Thomas-Fermi 理論では金属の場合、Thomas-Fermi スクリーニング長は 1/10 ナノメートルより短くなることもある一方、半導体の場合にはスクリーニング長は数十ナノメートルに達することがあり、スクリーニングは不完全となる。この不完全なスクリーニングは、強誘電体/電極界面に追加の静電位を生じさせる。すなわち、電極の誘電率に対するスクリーニング長が大きいほど、電極/強誘電体界面における追加の静電位が大きくなる。簡単にするために、Fig.1.3 では最初の電子ポテンシャル障壁は長方形であると仮定する。Fig.1.3 の左側の金属電極 M1 が短いスクリーニング長をもち、右側の金属電極 M2 が長いスクリーニング長を持つとする。分極電荷効果は、電子ポテンシャルプロファイルの非対称変調を引き起こす。分極が反転すると、電子ポテンシャルプロファイルの非対称性が反転する。そのとき、分極が M2 の方を向いているときよりも分極が M1 の方を向いているときのほうが、障壁の高さが平均的に高くなるという結果になる。電子のトンネル透過率は障壁高さの平方根に指数関数的に依存するので、障壁が高いほど電流が流れにくくなり、接合抵抗が大きくなる。すなわ

ち、両電極のスクリーニング長が異なるときは接合抵抗が分極の方向に依存する。2つの強誘電体／電極界面間の非対称性は、強誘電体障壁の電流透過率を変調し、接合抵抗を変化させるために不可欠だといえる。

ここで、2つの分極の向きのうち、障壁が高くなる方に分極が向いている状態をオフ状態と定義し、そのとき流れるトンネル電流を J_{OFF} 、障壁が低くなる方に分極が向いている状態をオン状態と定義し、そのとき流れるトンネル電流を J_{ON} とおく。ここで、

$$TER = \frac{J_{ON} - J_{OFF}}{J_{OFF}} \quad (1)$$

とトンネル抵抗(TER)を定義する。TER は FTJ の性能を表し、TER が大きいほど FTJ のオン状態とオフ状態の抵抗差が大きくなるために性能が良くなる。

FTJ の第一の利点としては、2端子の抵抗変化型メモリデバイスであるため、メモリ回路アプリケーションとしてクロスバーアレイを用いることができる点が挙げられる。クロスバーアレイでは高密度かつ低消費電力のストレージを実現でき、さまざまな 3-D スタッキングテクノロジーの中で最高のパフォーマンスを提供することが期待されている。第二の利点としては、消費電力の低さが挙げられる。Fig.1.4 にいくつかの不揮発性メモリの書き込み消費電力を並べた。Fig.1.4 に示したのは、理論値ではなく実測結果に基づいた書き込み消費電力である。強誘電体トンネル接合メモリ(FTJ)は NAND フラッシュと比較して非常に低い書き込み/消去電力消費であるため、低消費電力デバイスとして期待されている。

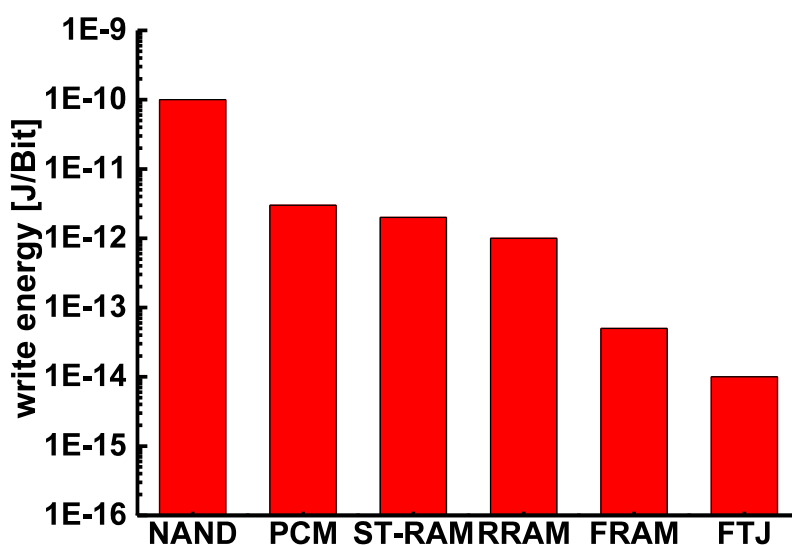


Fig.1.4 様々な不揮発性メモリの書き込み消費電力[7].

1.1.4 FTJ を用いたクロスバーアレイ

クロスバーアレイアーキテクチャは、ナノエレクトロニクスと新しいメモリで大きな注目を集めている。シンプルな構造と高いデバイス密度により、低コストの製造と製品が可能になるのが大きな利点となっている。メモリ空間に加えて、クロスバーアレイは、高密度の情報ストレージ、信号ルーティング、またはロジック計算に使用される新しいロジックアーキテクチャにも広く採用されている。神経形態システムをシミュレートするために、シナプス接合部を備えたクロスバーアレイも開発されている。クロスバーアレイの構造的な規則性と高いデバイス密度は、再プログラム可能なロジックにも適している[8]。Fig.1.5 にクロスバーアレイの概略図を示す。

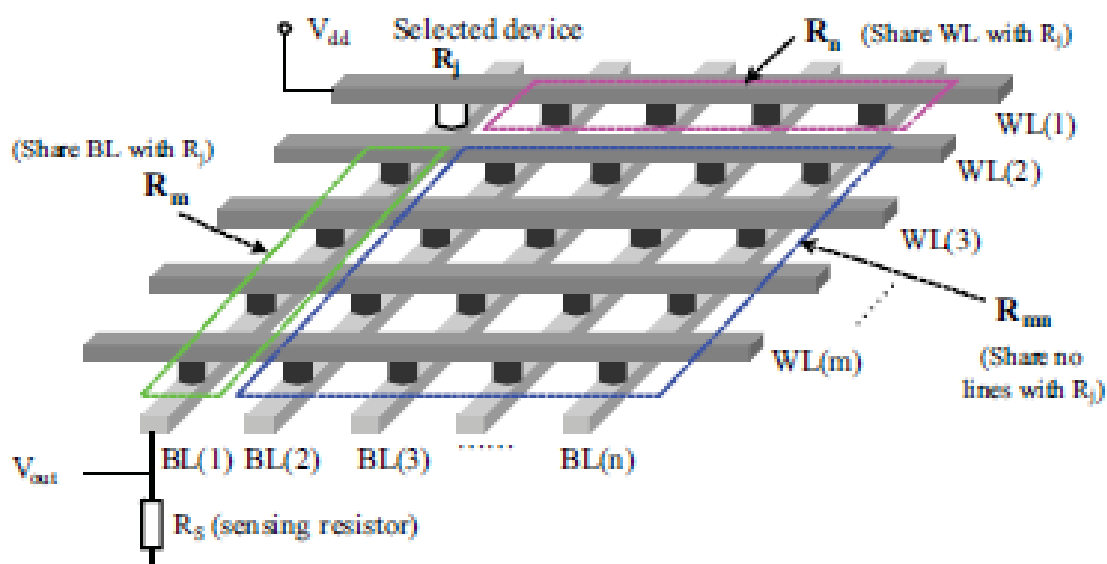


Fig.1.5 m 本の WL (ワードライン) と n 本の BL (ビットライン) を持つクロスバーアレイの図[8]。左上隅の R_j が選択されている。 R_n 、 R_m 、および R_{mn} は R_j と WL、BL を共有するかどうかで分類された、選択されていないデバイスの 3 つのグループである。

左上隅の FTJ デバイス (R_j) が説明のために選択されている。選択されていないデバイスは、 R_j とアクセス回線を共有するかどうかに応じて 3 つのグループに分けることができる。 R_j と回線を共有するデバイスは、「半選択」デバイスとも呼ばれる。 R_j を読み取るには、選択したワードラインを V_{dd} にプルアップし、選択したビットラインを検出抵抗 (R_s) を介して接地する。 R_j に書き込むには、読み取り時よりも高い電圧を R_j にかける必要がある。書き込みは電圧で行い、メモリウィンドウ (V_w) を超える電圧を書き込みたいメモリセルのみにかけて強誘電体の分極の向きを操作し、デジタル情報を分極の向きに変換してメモリセルに記録する。読み込みは分極の向きを変えてしまい書き込まれた情報が消失するのを防ぐために V_e を下回る電圧をメモリセルにかけ、検出抵抗に流れる電流からメモリセルがオン状態かオフ状態かを判別し、デジタル情報を取り出す。

1.2 問題点

FTJ を用いたクロスバーアレイでは他の抵抗変化型メモリ同様スニークパスの問題がある。ここでスニークパスについて説明する。ワードラインとビットラインを共に 3 本とし、簡単のため配線抵抗を無視したクロスバーアレイの回路図を Fig.1.6 に示す。

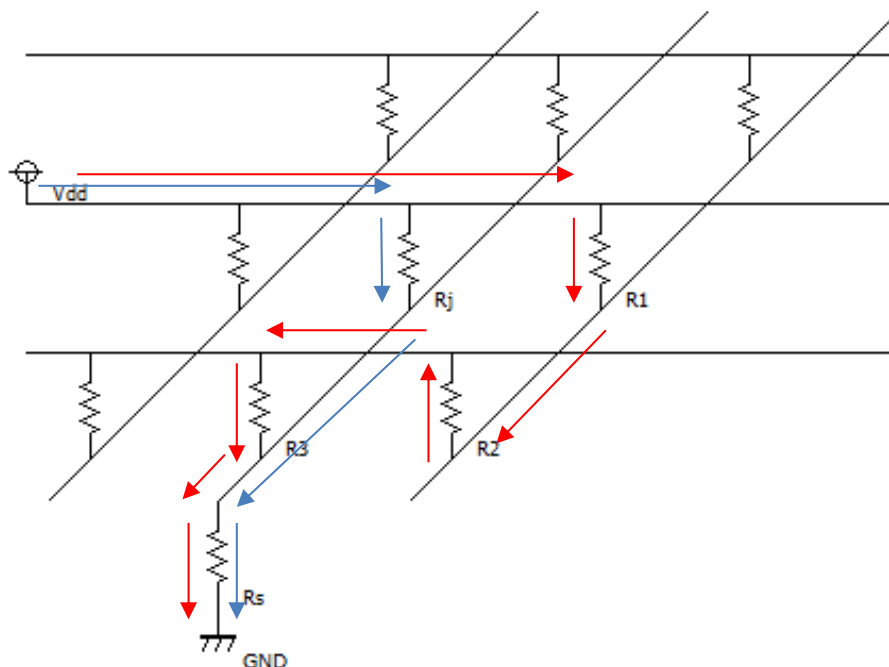


Fig.1.6 WL と BL がともに 3 本の場合のクロスバーアレイの回路図. 青い矢印は R_j を読み取る際に流す正しい電流を表し、赤い矢印はスニークパスを表している。

Fig.1.6 においてメモリセルの R_j を読み取る際、青い矢印のように読み取り電圧 V_{dd} からワードラインを通り、 R_j を通ってビットラインを流れて検出抵抗に流れるのが正しい電流の流れ方となる。検出抵抗に流れる電流の大きさにオン状態とオフ状態を区別し読み取るのがクロスバーアレイの仕組みである。しかし、Fig.1.6 に赤い矢印で示したようにワードライン、 R_1 、ビットライン、 R_2 、ワードライン、 R_3 、ビットラインと流れて検出抵抗を流れてしまう電流が存在する。その電流をスニークパスという。スニークパスが生じると R_j のオン状態とオフ状態の抵抗差によって大きさが変化する正しい電流と、 R_j の状態と関係のないスニークパスを加えたものが検出抵抗を流れてしまうため、検出抵抗を流れる電流の大きさから R_j のオン状態とオフ状態を区別し読み取るのが難しくなってしまう。

この問題を解決するには、スニークパスを生じさせないように各メモリセルの FTJ を設計する必要がある。

1.3 研究目的

前節で述べた問題点を解決するにはスニークパスを生じないように各メモリセルの FTJ を設計しなければならない。そのために必要な性能には FTJ の電流電圧特性の非対称性と非線形性が挙げられる。

Fig.1.6 を見るとわかるようにスニークパスは 2 つのメモリセル R_1 、 R_3 を順方向に流れ、1 つのメモリセル R_2 を逆方向に流れている。ここで逆方向に電圧がかかった場合に電流を流さない FTJ を設計して R_2 として使えば、 R_2 を逆方向に電流が流れなくなるのでスニークパスを防ぐことができる。電圧が逆にかかったときに負電流が流れない性質を電流電圧特性の非対称性と呼び、スニークパスを妨げるのに必要な性能だと見なせる。またメモリセルの電流電圧特性に非対称性がある場合、電流が逆方向に流れる際のメモリセルの抵抗は順方向に流れる際のメモリセルの抵抗より大きいと考えられるため、スニークパスによる電圧降下は R_2 で大きく R_1 、 R_3 で小さくなる。すなわち R_1 、 R_3 にかかる電圧はそれぞれ $V_{dd}/3$ より小さくなる。ここで $V_{dd}/3$ の正の電圧がかかった際に電流を流さない FTJ をメモリセルとして採用すれば、 R_1 、 R_3 を順方向のスニークパスが流れることは妨げられる。 V_{dd} より小さい電圧では電流を流さないという設計の FTJ の性質を、電流電圧特性の非線形性と呼び、これもスニークパスを妨げるのに必要な性能だと見なすことができる。スニークパスの抑制のために電流電圧特性の非対称性・非線形性が重要となることは、藤井らによって 2016 年に示されている[9]。そこで、本研究では、セレクトクタを使わずにスニークパスをおさえた FTJ の大規模集積化を目指して、FTJ メモリセルが非線形性・非対称性を示す領域でのデバイス設計を検討した。

1.4 先行研究

私たちはこれまで FTJ の微細化に関する研究を行ってきた。本節ではこれまで私たちが行ってきた研究について触れる。

Fig1.7 に異なる頂部電極および底部電極を有する FTJ の電流電圧曲線を示す。

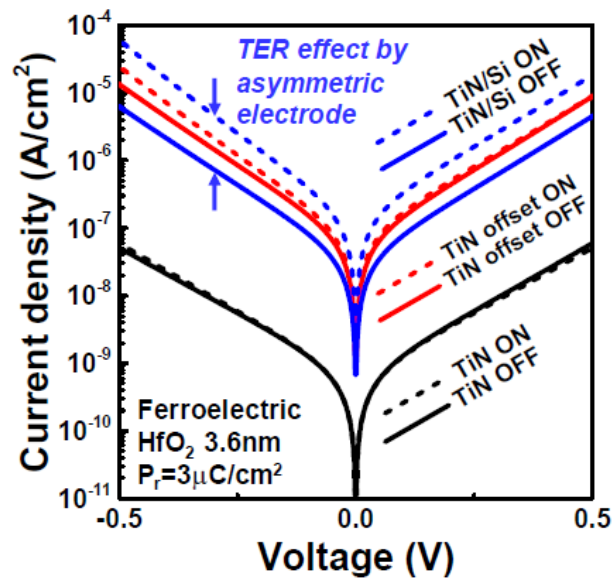


Fig.1.7 異なる上部および下部電極を使用した FTJ の計算された I-V 曲線[10].

上部および下部電極が TiN のような同一の金属の場合、TER はほぼゼロである。上部電極と下部電極のバンドオフセットが異なる場合でも、TER は非常に小さいままである。そして、上部電極と下部電極が異なる誘電体遮蔽特性を有する場合、TER は大きくなる。より具体的には、有効誘電体遮蔽長（デバイ長／誘電率）は、上部電極と下部電極とで異なれば、TER は大きくなる。これらの結果に基づいて、遮蔽長の非対称特性は高い TER を得るために重要である。以降の私たちの研究では、上部電極と下部電極にそれぞれ金属と半導体を使用し、遮蔽長の差を大きくしている。

私たちは過去にシミュレーションにより金属電極・強誘電体・絶縁体・半導体電極 (metal-ferroelectric-insulator-semiconductor, MFIS) の FTJ の電流電圧特性を計算している[11]。その研究では高いオン電流と高い TER を得ることを優先し、かつ読出しディスタープの小さい読出し電圧 0.2V の領域を対象にシミュレーションを行っており、非対称性・非線形性については十分に検討してこなかった。大きな読出し電圧の領域では電流電圧特性の非対称性・非線形性を得ることができると想定されるため、本研究ではより大きな読出し電圧でシミュレーションを行った。

1.5 本論文の構成

1 章では、序論として本研究の研究背景、解決すべき問題点、研究目的、先行研究について述べた。

2 章では本研究で用いた計算方法について述べる。

3 章では本研究における計算結果と考察を述べる。

4 章では結論と今後の課題について述べる。

第2章

計算方法

2.1 計算で想定した FTJ の構造

本研究の計算で想定した MFIS 構造の FTJ の構造のバンド図を Fig.2.1 に示す。

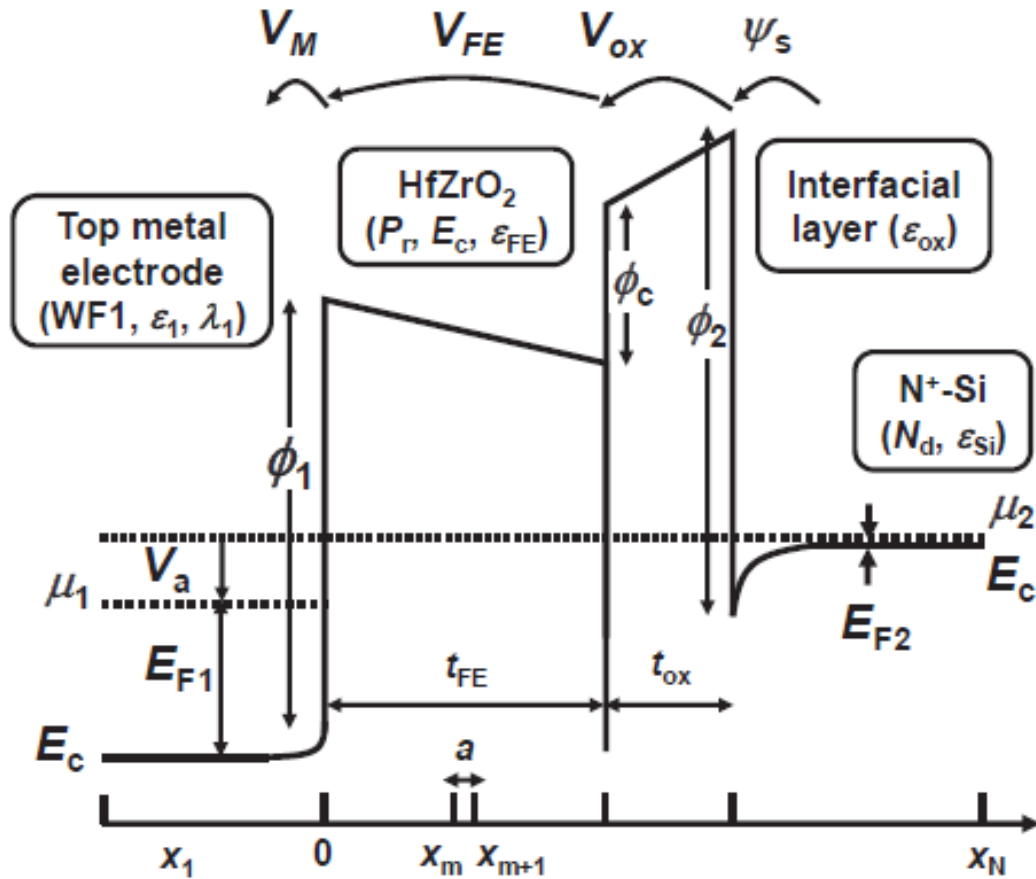


Fig.2.1 計算する MFIS 構造 FTJ のバンド図[11].デバイスパラメータが定義されている.

Fig.2.1 の左から順に金属電極、強誘電体 HfZrO_2 、界面層(SiO_2)、 $\text{N}^+\text{-Si}$ である。 V_a はバイアス電圧、 a は計算のためのグリッド長と定義する。また、 N はグリッド数であり、膜厚とグリッド長によって変化する。 t_{FE} は強誘電体膜厚であり、 t_{ox} は絶縁膜厚である。 E_c は強誘電体の抗電界、 E_{F1} は金属電極のフェルミエネルギー、 E_{F2} は半導体電極のフェルミエネルギーとなっている。 ϕ_1 は金属電極と強誘電体間のバンドオフセット、 ϕ_2 は半導体電極

と絶縁体間のバンドオフセット、 ϕ_c は強誘電体と絶縁体間のバンドオフセットである。WF1 は金属電極の仕事関数であり、 λ_1 は金属電極のスクリーニング長、 P_r は強誘電体の残留分極、 N_d は半導体電極のドーピング濃度である。 ϵ_1 は金属電極の比誘電率、 ϵ_{FE} は強誘電体の比誘電率、 ϵ_{ox} は絶縁体の比誘電率、 ϵ_{Si} は半導体電極の比誘電率であり、 V_M 、 V_{FE} 、 V_{ox} 、 ψ_s はそれぞれ金属電極、強誘電体、絶縁体、半導体電極にかかる電圧を表している。ここで、この計算で想定したデバイスのパラメータを Table1 に示す。

Table1 HfO₂ ベースの MFIS 構造 FTJ の電流密度計算に使われるデバイスパラメータ.

FE Thickness	1.0 to 5.0 nm in 0.1 nm steps
SiO ₂ Thickness	0.1 to 1.0 nm in 0.1 nm steps
Metal Thickness(Al)	1 nm
Si Thickness	7 nm
N ⁺ Si Doping	$3 \times 10^{19} \text{ cm}^{-3}$
P_r	$k_1 \cdot t_{FE}$ ($5.5 \mu\text{C}/\text{cm}^2$ at $t_{FE} = 4.4 \text{ nm}$)
P_s	$k_2 \cdot t_{FE}$ ($5.8 \mu\text{C}/\text{cm}^2$ at $t_{FE} = 4.4 \text{ nm}$)

金属電極と半導体電極の厚さ、半導体電極のドーピング濃度の値は Table1 の値で固定している。強誘電体膜厚を 1.0nm から 5.0nm まで 0.1nm 刻みで計 41 点、絶縁膜厚を 0.1nm から 1.0nm まで 0.1nm 刻みで計 10 点の合計 410 点の膜厚の組み合わせにおいて計算を行った。また、強誘電体の自発分極は強誘電体膜厚に比例するという経験則があるため、その経験則に基づいて P_r は $t_{FE} = 4.4\text{nm}$ のとき $5.5\mu\text{C}/\text{cm}^2$ を基準にし、 P_s は $t_{FE} = 4.4\text{nm}$ のとき $5.8\mu\text{C}/\text{cm}^2$ を基準にして t_{FE} の変動に応じて t_{FE} に比例するように変動させるよう設定した。

2.2 電流電圧特性の計算モジュール

本研究で用いた計算モジュールを示した図を Fig.2.2, Fig.2.3 に示す。

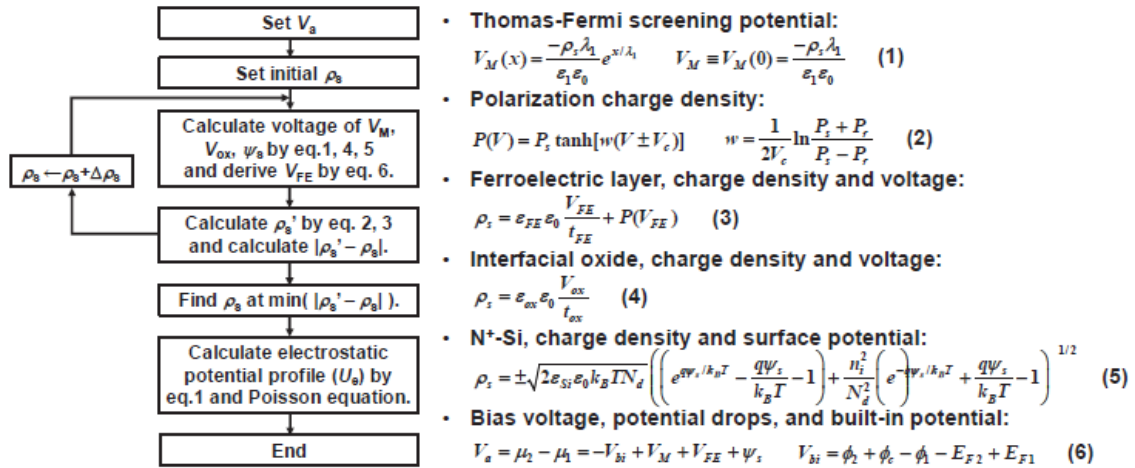


Fig.2.2 与えられたバイアス電圧での MFIS 構造 FTJ の自己無撞着なポテンシャル計算サブモジュール[11].静電ポテンシャルとバンドオフセットで構成される合計ポテンシャルプロファイルが出力される。

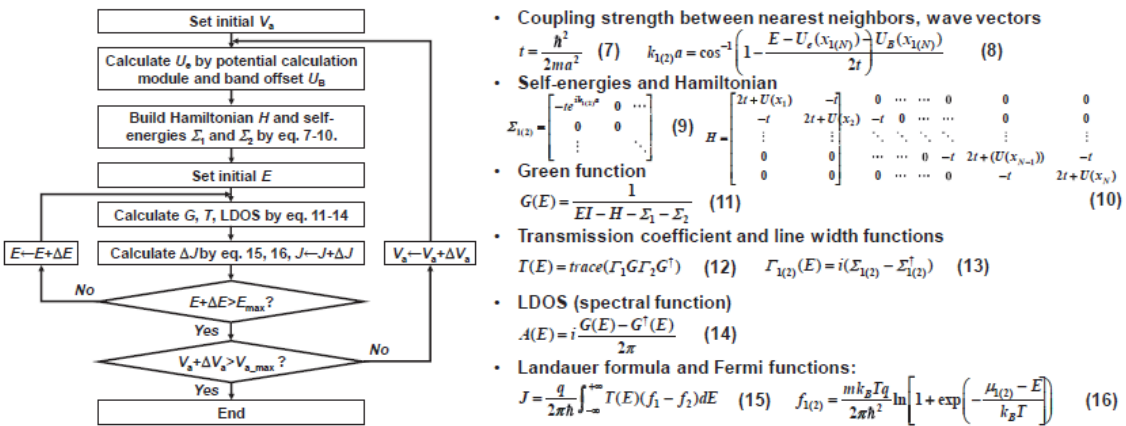


Fig.2.3 電流密度計算のメインモジュール[11].Fig.2.2 に示すモジュールによって計算された FTJ の自己無撞着なポテンシャルプロファイルを使用して、トンネル電流を非平衡グリーン関数法によって計算している。

本研究で用いた計算モジュールは、Fig.2.2 に示したような与えられたバイアス電圧における静電ポテンシャルと合計ポテンシャルプロファイルが出力される自己無撞着ポテンシャル計算サブモジュールと、Fig.2.3 で示したような、サブモジュールによって計算されたポテンシャルプロファイルを使用して、トンネル電流密度を計算するメインモジュールの 2 つのモジュールからなる。

Fig.2.2 に示したサブモジュールでは、各層の両端間の電圧とポテンシャルプロファイルが FE 分極電荷 (P) と電圧 (V) の関係の解析式、ポアソン方程式、Thomas-fermi 遮蔽電位、および半導体電荷と表面電位(ϕ_s)の解析式を同時に解くことによって決定される。

Fig.2.3 に示したメインモジュールでは、各バイアス電圧において非平衡グリーン関数法を用いて電流密度を計算する。T は透過係数である。G はグリーン関数、 Γ と Σ は金属と半

導体の広がり関数と自己エネルギーである。 f はフェルミディラック関数である。 H はハミルトニアン行列である。ハミルトニアン行列と自己エネルギーは、エネルギーの関数として各バイアス電圧でサブモジュールによって計算されたポテンシャルプロファイルを使って作られる。総電流密度は、特定のエネルギー範囲内の各エネルギーレベルでの電流密度の合計で算出される。局所状態密度 (LDOS) も各バイアス電圧で計算することができる。

本研究に用いた計算モジュールは、私たちの過去の研究[11]で使用したものと同一のものを使用した。過去の研究では読出し電圧 $0.2V$ として計算を行っていたが、本研究では読出し電圧を $1.0V$ に設定した。高電圧の領域では電流電圧特性の非線形性が見込めるが、計算モジュール側の制約によりあまり高電圧であると精度が下がってしまうことから、非線形性を見込めつつ電圧の値が高くなりすぎないように $1.0V$ という読出し電圧を設定している。読出し電圧 $1.0V$ において、藤井らが発表した FTJ の実測結果[9]の電流密度と本研究の計算によって導き出された電流密度のオーダーが一致することを確認した。また、この計算モジュールは静的な状態での電流密度の計算を行うものであり、ダイナミックな情報は含んでいない。ダイナミックな現象を捉えるには時間をパラメータにし、モジュールの内容を大幅に変更する必要がある。本研究では先述した 410 点の膜厚の組み合わせにおいてオン状態とオフ状態両方で電流電圧特性の計算を行った。

仮に $1Mb$ のクロスバーアレイを想定した場合、スニーク電流は読み出すメモリセルの電流の $1/10^6$ に抑える必要があると思われるが、電圧分配とメモリセルの電流電圧特性の非対称性・非線形性により、読出したいメモリセルの周辺のスニーク電流のみ全体の電流に寄与し、離れたメモリセルを流れるスニーク電流は読み出したいメモリセルから離れるほど指数関数的に減少するのでその必要はない。

2.3 本章のまとめ

このシミュレーションでは、MFIS 構造の FTJ を想定し、金属電極と半導体電極の厚さ、半導体電極のドーピング濃度の値は固定した。強誘電体膜厚を $1.0nm$ から $5.0nm$ まで $0.1nm$ 刻みで計 41 点、絶縁膜厚を $0.1nm$ から $1.0nm$ まで $0.1nm$ 刻みで計 10 点の合計 410 点の膜厚の組み合わせにおいて計算を行った。また P_r は $t_{FE} = 4.4nm$ のとき $5.5\mu C/cm^2$ を基準にし、 P_s は $t_{FE} = 4.4nm$ のとき $5.8\mu C/cm^2$ を基準にして t_{FE} の変動に応じて t_{FE} に比例するように変動させるよう設定した。本研究で用いた計算モジュールは、与えられたバイアス電圧における静電ポテンシャルと合計ポテンシャルプロファイルが出力される自己無撞着ポテンシャル計算サブモジュールと、サブモジュールによって計算されたポテンシャルプロファイルを使用して、トンネル電流密度を計算するメインモジュールの 2 つのモジュールからなり、本研究では FTJ の読出し電圧を $1.0V$ に設定し、先述した 410 点の膜厚の組み合わせにおいてオン状態とオフ状態両方で電流電圧特性の計算を行った。

第 3 章

結果

3.1 FTJ の電流電圧特性

第 2 章に述べた通りの方法でシミュレーションを行い、電流密度対電圧特性を算出した。410 点の膜厚で電流密度対電圧特性を算出したが、その中の一例として、 $t_{\text{FE}}=4.0\text{nm}$, $t_{\text{ox}}=0.4\text{nm}$ のときのオン電流密度(J_{ON})・オフ電流密度(J_{OFF})対電圧特性を Fig.3.1 に示す。

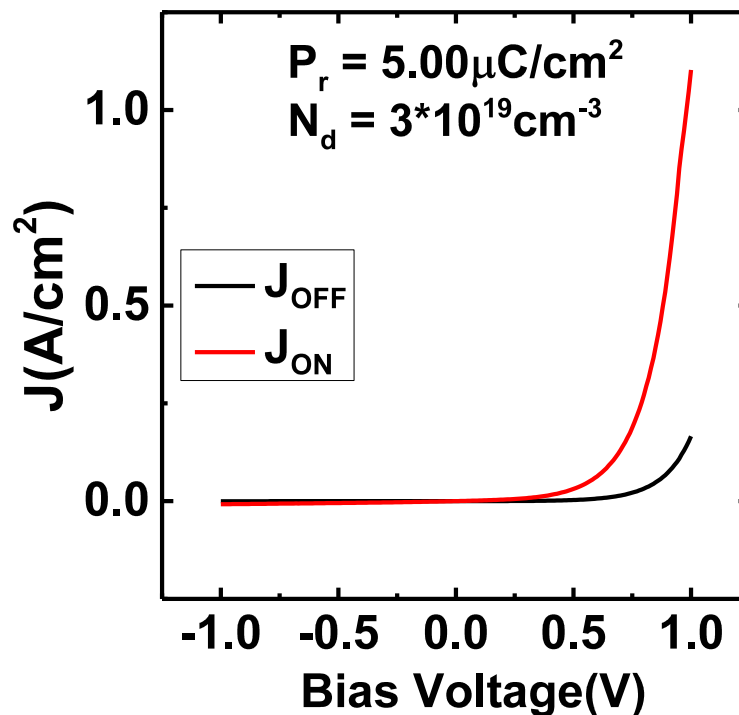


Fig.3.1 $t_{\text{FE}} = 4.0\text{nm}$, $t_{\text{ox}} = 0.4\text{nm}$ の MFIS 構造 FTJ の計算された J-V 特性.

Fig.3.1 を見ると、読出し電圧を 1V まで上げた場合、 $t_{\text{FE}}=4.0\text{nm}$, $t_{\text{ox}}=0.4\text{nm}$ においてはオン電流、オフ電流ともに電圧が負の場合はほとんど電流が流れず、正になると電流が流れだすことが見て取れるために非対称性があると見なせ、電圧が 0.5V の場合より 1.0V の場合の方が流れる電流は大きく増大しているため非線形性があると見なせる。

3.2 強誘電体にかかる電界

t_{ox} , t_{FE} に対する、FTJ がオフ状態のときに読出し電圧 1.0V をかけたときの強誘電体にかかる電界(E_{FE})の等高線図を Fig.3.2 に示す。

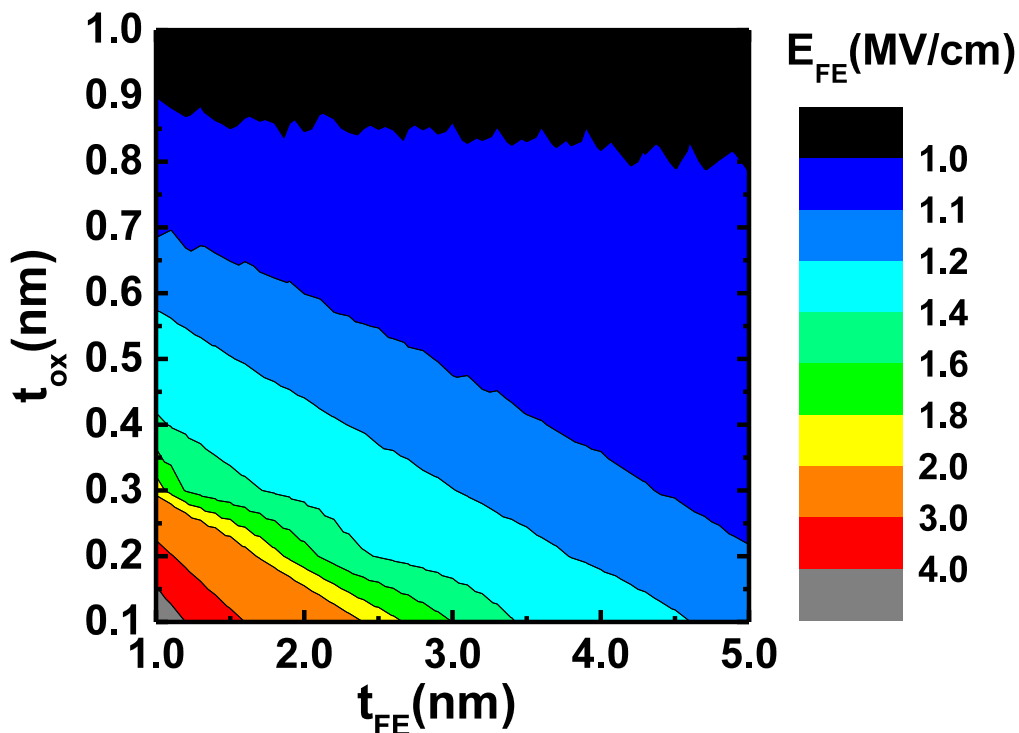


Fig.3.2 計算された E_{FE} (MV/cm)対 t_{ox} および t_{FE} の等高線図. E_{FE} は $E_c \sim 1$ MV/cm より小さくなければならない。

強誘電体にかかる電界(E_{FE})が強誘電体の保持電界(E_c)を超えた場合、強誘電体の分極の向きが変わってしまうため、FTJ がデータを保持することができなくなってしまう。すなわち FTJ がメモリとしての機能を果たすためには E_{FE} は E_c (この構造では約 1MV/cm) を超えてはならない。 E_{FE} が $E_c = 1$ MV/cm を下回るのは Fig.3.2 においては t_{ox} の大きな黒い領域である。この領域が設計可能領域であり、メモリとして実用可能とみなせる t_{ox} , t_{FE} の範囲である。 $E_{FE} = 1$ MV/cm となる境界線は t_{FE} に対する感度が低い。これは分極電荷と強誘電体膜厚が比例するという経験則のため分極電荷の E_{FE} への影響に強誘電体膜厚依存性がないうことによる。

3.3 オン電流

t_{ox} , t_{FE} に対する J_{ON} の等高線図を Fig.3.3 に示す。

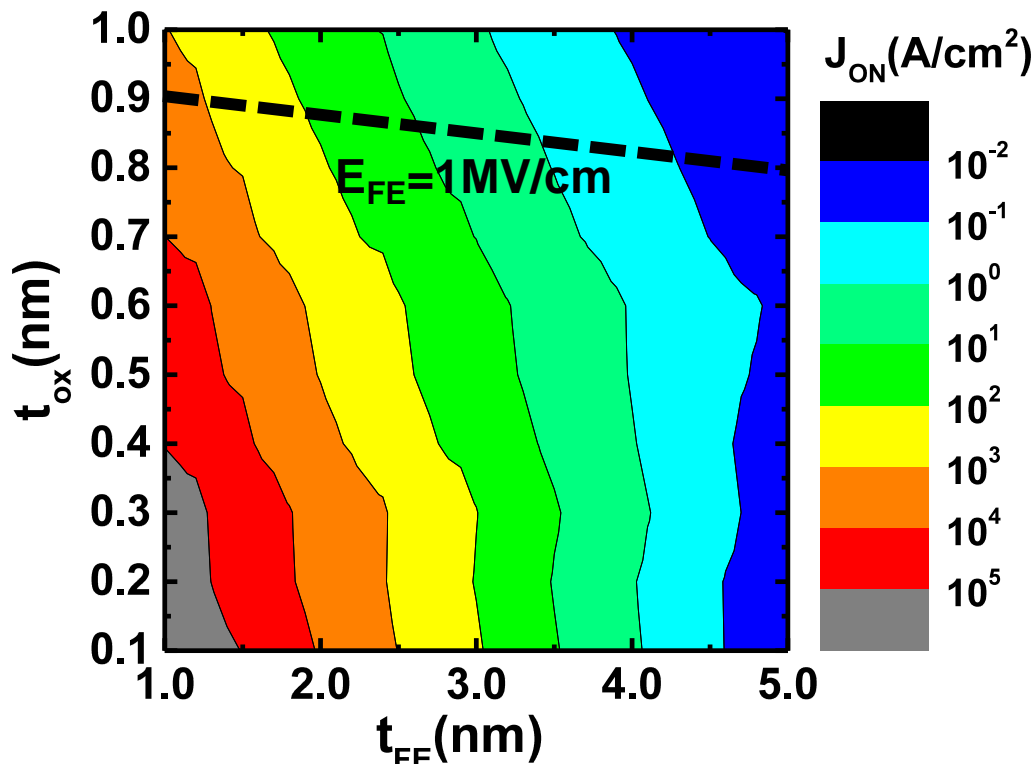


Fig.3.3 計算された J_{ON} (A/cm²) 対 t_{ox} および t_{FE} の等高線図.

Fig.3.3 には $E_{FE} = 1 \text{ MV/cm}$ となる境界線を破線で示している。以降の等高線図においても同様に境界線を破線で示す。境界線の上が設計可能領域となる。

Fig.3.3 を見ると、 J_{ON} は強誘電体膜厚 t_{FE} が薄いほど大きいため、 J_{ON} を確保するためには境界線に沿って他の設計要件を考慮しながらできるだけ薄い t_{FE} を選ぶ必要がある。

3.4 TER

t_{ox} , t_{FE} に対する $TER = (J_{ON} \cdot J_{OFF}) / J_{OFF}$ の等高線図を Fig.3.4 に示す。

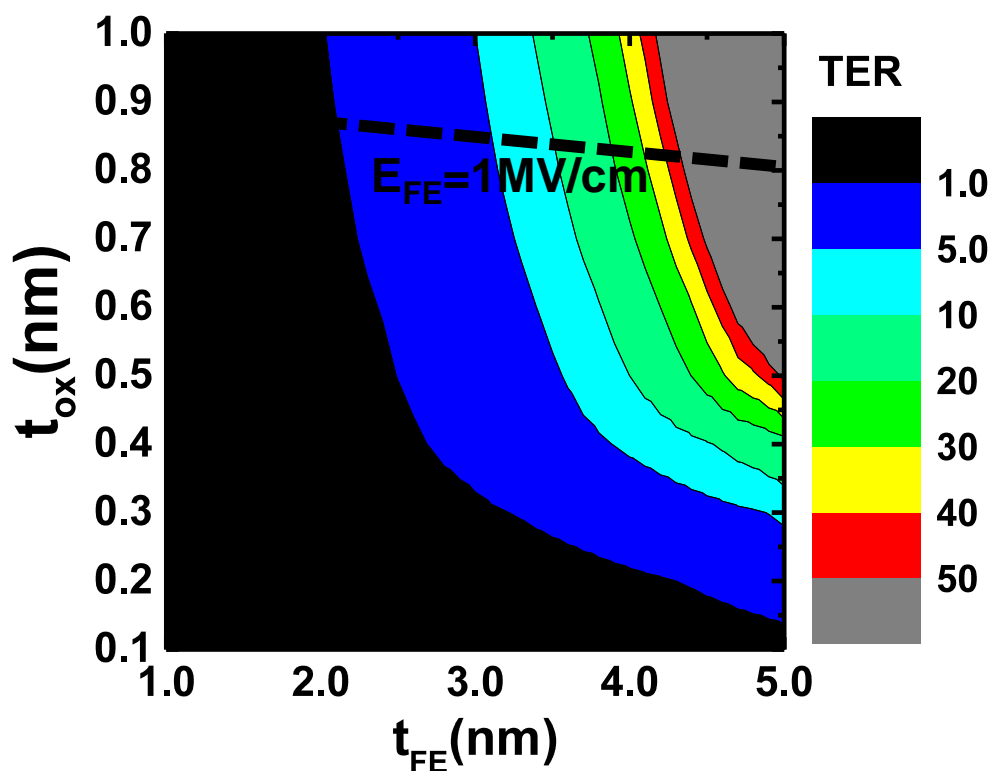


Fig.3.4 計算された $TER=(J_{ON}\cdot J_{OFF})/J_{OFF}$ 対 t_{ox} および t_{FE} の等高線図.

Fig.3.4 を見ると、TER は強誘電体膜厚 t_{FE} が厚いほど大きいため、TER を確保するためには境界線に沿って他の設計要件を考慮しながらできるだけ厚い t_{FE} を選ぶ必要がある。

t_{ox} が小さい領域では TER は t_{ox} にも大きく依存しているが、境界線より上の設計可能領域においては t_{ox} との依存性は大きくない。

3.5 電流電圧特性の非対称性

t_{ox} , t_{FE} に対する非対称性(電圧 1.0V と -1.0V での J_{ON} の絶対値の比)の等高線図を Fig.3.5 に示す。

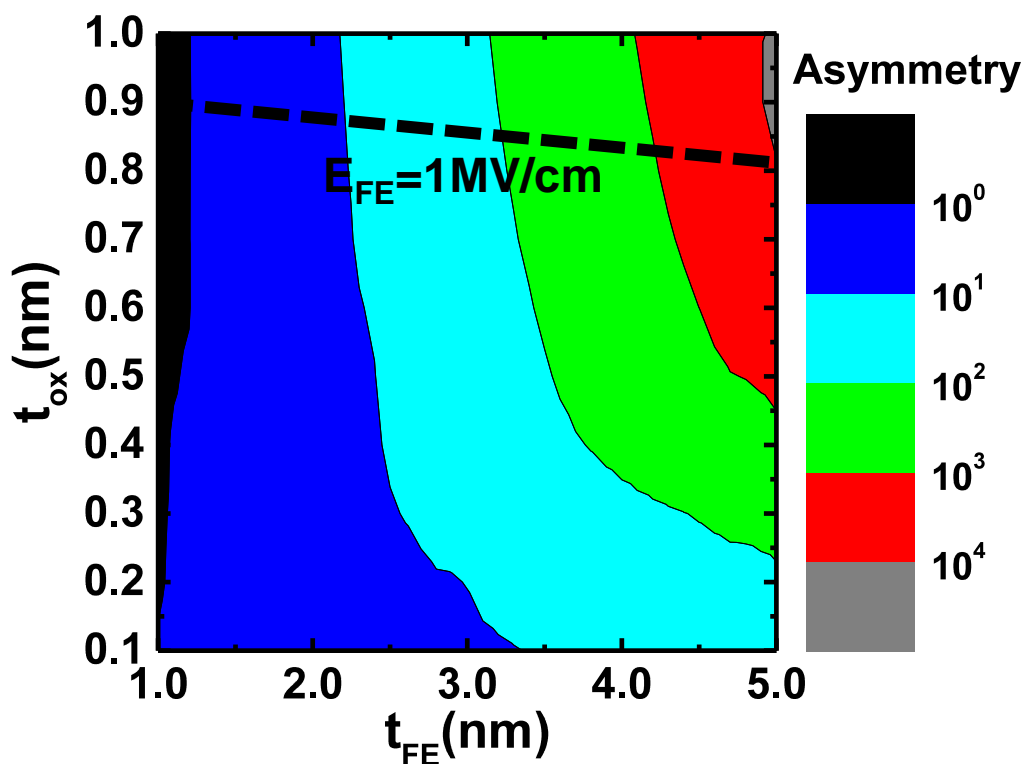


Fig.3.5 計算された非対称性($|J_{ON}(V=1.0V)/J_{ON}(V=-1.0V)|$)対 t_{ox} および t_{FE} の等高線図.

Fig.3.5 を見ると、非対称性は強誘電体膜厚 t_{FE} が厚いほど大きいため、非対称性を確保するためには境界線に沿って他の設計要件を考慮しながらできるだけ厚い t_{FE} を選ぶ必要がある。

3.6 電流電圧特性の非線形性

t_{ox} , t_{FE} に対する非線形性(電圧 1.0V と 0.5V での J_{ON} の絶対値の比)の等高線図を Fig.3.6 に示す。

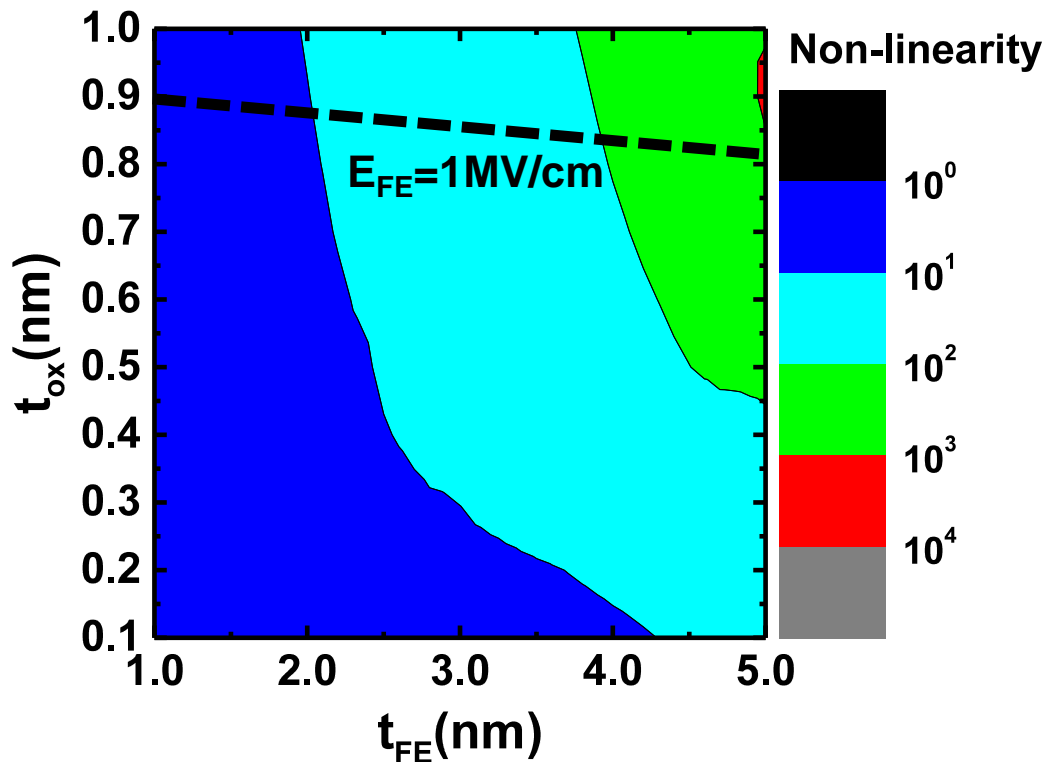


Fig.3.6 計算された非線形性($J_{ON}(V=1.0V)/J_{ON}(V=0.5V)$)対 t_{ox} および t_{FE} の等高線図.

Fig.3.6 を見ると、非線形性は強誘電体膜厚 t_{FE} が厚いほど大きいため、非線形性を確保するためには境界線に沿って他の設計要件を考慮しながらできるだけ厚い t_{FE} を選ぶ必要がある。

3.7 オン電流を基準とした設計

これまでの結果より、 J_{ON} は強誘電体膜厚 t_{FE} が薄いほど大きいため、 J_{ON} を確保するためには境界線に沿って他の設計要件を考慮しながらできるだけ薄い t_{FE} を選ぶ必要があるが、TERと非対称性・非線形性については基本的には膜厚を厚くするほど大きいため、 J_{ON} と逆に境界線に沿って厚い膜厚を選ぶ必要があり、 J_{ON} とトレードオフの関係にあることが分かる。そこで、オン電流密度についてオーダーがそれぞれ異なる3水準の設計ポイントに関してTERと非対称性・非線形性をTable 2にまとめた。

Table2 3 水準の FTJ メモリの性能.

name	A	B	C
$t_{\text{ox}}(\text{nm})$	0.9	0.9	0.9
$t_{\text{FE}}(\text{nm})$	2.5	3.2	4
$J_{\text{ON}}(\text{A}/\text{cm}^2)$	11.19	1.252	0.1291
TER	1.96	6.343	28.99
非対称性	19.59	101.5	681.8
非線形性	17.46	41.35	121.8

上記のように J_{ON} と TER・非対称性・非線形性はトレードオフになっているので、用途に応じて適切な膜厚を選択する必要がある。

現在強誘電体 HfO_2 では 2nm 程度の薄膜での実証があるのでデザイン A は実現可能であるが、直径 20nm 程度まで微細化すると電流が pA オーダーになってしまう。オン電流をより高めるには、 E_c が大きい強誘電体を用いる、薄い強誘電体を用いる、自発分極 P_r が大きい強誘電体を使用するといった改善策が挙げられる。デザイン A ($t_{\text{ox}}=0.9\text{nm}$, $t_{\text{FE}}=2.5\text{nm}$) において $P_r=55\mu\text{C}/\text{cm}^2$, $P_s=58\mu\text{C}/\text{cm}^2$ と自発分極を一桁大きい値に設定すると J_{ON} は $31.01\text{A}/\text{cm}^2$ と 3 倍近くになり、 P_r が大きい強誘電体を用いることでオン電流が高まる効果が見込めることが示された。

3.8 本章のまとめ

シミュレーションの結果、読み出し電圧を 1V まで上げた場合、FTJ の膜厚によっては電流密度対電圧特性の非対称性・非線形性を得られることが分かった。

また、 J_{ON} と電流密度対電圧特性の TER・非対称性・非線形性はトレードオフの関係になっていて、強誘電体の保持電界を強誘電体にかかる電界が超えないという制約の下で FTJ の膜厚を設定して用途に応じた FTJ を設計する必要があるが、非対称性・非線形性を持つ FTJ を作ろうとするとメモリセルを微細化した場合に極端に小さい電流のメモリになってしまう。オン電流をより高めるには、 E_c が大きい強誘電体を用いる、薄い強誘電体を用いる、自発分極 P_r が大きい強誘電体を使用するといった改善策が挙げられる。

第 4 章

結論と今後の課題

4.1 結論

MFIS 構造の FTJ において読出し電圧 1.0V によるシミュレーションで電流対電圧特性を計算した結果、今までの小さい読出し電圧でのシミュレーションでは得ることができなかった電流対電圧特性の非対称性・非線形性を得ることができた。またオン電流密度と TER・非対称性・非線形性はトレードオフの関係にあることもシミュレーションによって示され、用途に応じて膜厚を設定する必要があると分かった。

4.2 今後の課題

より大きな読出し電圧での検討、極薄 HfO_2 での強誘電性の強化、界面層のエンジニアリング、または超並列読出しをもちいる機械学習アクセラレータへの応用を検討していく必要がある。また今後の方向性としては、非対称性・非線形性を考慮したワーストケースにおける数値計算を行い、ここまでの研究で行うことができなかった読出しマージンの算出や読出し電流とスニーク電流の比の算出を行っていきたい。

参考文献

- [1] Böske, T. S., et al. "Ferroelectricity in hafnium oxide thin films." *Applied Physics Letters* 99.10 (2011): 102903.
- [2] Müller, J., et al. "Ferroelectricity in yttrium doped hafnium oxide." *Journal of Applied Physics* 110.11 (2011): 114113.
- [3] Mueller, S., et al. "Ferroelectricity in Gd doped HfO₂ thin films." *ECS Journal of Solid State Science and Technology* 1.6 (2012): N123 N126.
- [4] Müller, J., et al. "Ferroelectric Zr_{0.5}Hf_{0.5}O₂ thin films for nonvolatile memory applications." *Applied Physics Letters* 99.11 (2011): 112901.
- [5] J. Muller, T. S. Bocke, U. Schroder, S. Mueller, D. Brauhaus, U. Bottger, L. Frey, and T. Mikolajick, "Ferroelectricity in Simple Binary ZrO₂ and HfO₂", *Nano Lett.*, 12, 4318 (2012).
- [6] V. Garcia and M. Bibes, "Ferroelectric tunnel junctions for information storage and processing", *Nat. Comm.*, 5, 4289 (2014).
- [7] Stefan Ferdinand Muller, "Development of HfO₂-based ferroelectric memories for future CMOS technology nodes", 2014.
- [8] An Chen, Senior Member, IEEE, "A Comprehensive Crossbar Array Model With Solutions for Line Resistance and Nonlinear Device Characteristics", *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 60, NO. 4, APRIL 2013, pp.1318-1326
- [9] S. Fujii, Y. Kamimura, T. Ino, Y. Nakasaki, R. Takaishi, and M. Saitoh, "First demonstration and performance improvement of ferroelectric HfO₂-based resistive switch with low operation current and intrinsic diode property", *VLSI Tech. Symp.* 2016, p.148.
- [10] M. Kobayashi, Y. Tagawa, F. Mo, T. Saraya, and T. Hiramoto, "Ferroelectric HfO₂ Tunnel Junction Memory with High TER and Multi Level Operation Featuring Metal Replacement Process", *IEEE Journal of the Electron Devices Society*, Volume :7(2018), pp134-139
- [11] Fei Mo, Yusaku Tagawa, Takuya Saraya, Toshiro Hiramoto, and Masaharu Kobayashi, "Scalability Study on Ferroelectric-HfO₂ Tunnel Junction Memory Based on Non-equilibrium Green Function Method with Self-consistent Potential", *International Conference on Electron Device Meeting (IEDM) 2018*, San Francisco, CA, Dec. 5, 2018, pp.372-375.

謝辞

元々希望の研究室が違った私を快く受け入れていただき丁寧な指導を頂いた東京大学工学系研究科附属システムデザイン研究センター 小林正治准教授に深く感謝いたします。

研究知識や研究への取り組み方について様々なアドバイスをいただき、東京大学生産技術研究所 平本俊郎教授に深く感謝いたします。

先行研究や研究の方針について様々な助言を頂いた平本小林研究室博士 3 年 莫非氏に深く感謝いたします。

様々な設備の管理を行い研究の手助けを行ってくださった平本研究室 更屋拓哉助手に深く感謝いたします。

平本小林研究室で活躍なさっている特任研究員の長城氏、伊藤氏、高倉氏、福井氏、鈴木氏、竹内氏、水谷氏、高瀬氏に深く感謝いたします。

様々な面で本研究を行うにあたって手助けをしてくれた博士研究員の武氏、博士課程学生の張氏、安氏、金氏、修士課程学生の崔氏、田村氏、木村氏、柏嶋氏、Paul 氏、関口氏、項氏、梅氏、孟氏に深く感謝いたします。

研究室の様々な雑務をこなしていただき研究を快適におこなう環境作りを行っていただいた秘書の塩谷氏に深く感謝いたします。

学会発表

1. 吉村英将, 莫非, 小林俊郎, 小林正治, “強誘電体トンネル接合メモリの大規模集積化に向けた設計に関する検討”, 2020 年第 67 回応用物理学会春季学術講演会(発表予定).