

修士論文

U-VHF 帯スペクトルの
ワンショット取得向け
フロントエンド回路の設計と評価

Design and Evaluation on
Front-End Circuits for
One-shot U-VHF-Band Spectrum
Acquisition

平成 26 年 2 月 6 日提出

指導教員 池田 誠 教授

東京大学大学院
工学系研究科電気系工学専攻 修士 2 年

37-126485 宮崎 耕太郎

目次

第 1 章	背景・目的	1
第 2 章	コグニティブ無線用のスペクトルアナライザの理論的検討および構成	3
2.1	コグニティブ無線用スペクトルアナライザ	3
2.1.1	広帯域アンプ	6
	Low-Noise Amplifier	6
	Variable-Gain Amplifier	10
2.1.2	Time-Interleaved A/D Converter	13
	Flash A/D Converter	15
	Comparator with Offset calibration	16
2.1.3	クロックジェネレータ	19
	Phase-Locked Loop	20
	Delay-Locked Loop	23
2.1.4	スペクトル解析	24
2.1.5	チップレイアウト	25
第 3 章	シミュレーション結果と評価	27
3.1	広帯域アンプのシミュレーション結果と評価	27
3.2	A/D 変換器のシミュレーション結果と評価	29
3.3	クロックジェネレータのシミュレーション結果と評価	31
3.4	シミュレーション結果と目標性能との比較	38
3.5	アンプ飽和時のスペクトル解析結果と評価	39
3.6	測定	46
第 4 章	結論	48

目次	iii
参考文献	49
本研究に関する発表	51
謝辞	52

目次

2.1	従来のスペクトルアナライザの構成の簡略図 [15]	4
2.2	提案するスペクトルアナライザのフロントエンドのブロックダイアグラム	4
2.3	受信信号経路に必要な性能のレベルダイアグラム	5
2.4	クロック信号に必要なジッター性能のレベルダイアグラム	5
2.5	ノイズキャンセル LNA の構成と、ノイズキャンセルの様子 [13]	7
2.6	ゲート接地回路	8
2.7	ソース接地回路	8
2.8	Variable-Gain Amplifier [9]	10
2.9	差動増幅回路	11
2.10	Time-Interleaved A/D Converter [12]	13
2.11	Flash ADC [12]	15
2.12	ダイナミック比較器 [16]	16
2.13	比較器のオフセット補正 [16]	17
2.14	デジタル制御可能な負荷回路	17
2.15	Phase-Locked Loop [9]	19
2.16	Delay-Locked Loop [9]	19
2.17	Voltage Controlled Oscillator	20
2.18	Phase Frequency Detector	21
2.19	Charge Pump	22
2.20	周波数分周器	22
2.21	提案するフロントエンド回路のレイアウト図	26
3.1	広帯域アンプの伝達特性	28
3.2	広帯域アンプの Noise Figure	29

3.3	A/D 変換器の INL(ばらつきなし、補正回路なし)	31
3.4	A/D 変換器の DNL(ばらつきなし、補正回路なし)	32
3.5	VCO の出力周波数範囲	33
3.6	PLL 出力信号の時間波形と RMS ジッター特性 (a) 上図。クロック立ち上がり間隔の時間変化 (b) 下図。PLL 出力信号の時間波形	34
3.7	DLL 出力信号の時間波形と RMS ジッター特性 (a) 上図。クロック立ち上がり間隔の時間変化 (b) 下図。DLL 出力信号の時間波形	35
3.8	DLL の各出力のクロック立ち上がりエッジの時間差 (a) 上図。時間経過に伴うクロック立ち上がりエッジの時間変化 (b) 下図。DLL 出力の時間波形における、クロック立ち上がりエッジの例	36
3.9	アンプ出力飽和時の、ピークからピークへの遷移の様子	40
3.10	アンプ飽和時のスペクトル (a) 上図。A/D 変換後のスペクトル波形 (b) 下図。A/D 変換前のスペクトル波形	42
3.11	アンプ非飽和時のスペクトル (a) 上図。A/D 変換後のスペクトル波形 (b) 下図。A/D 変換前のスペクトル波形	43
3.12	A/D 変換後信号の妨害波による、微弱信号成分の劣化	44
3.13	A/D 変換前信号の妨害波による、微弱信号成分の劣化	44
3.14	測定用基板の設計図	46
3.15	測定系のブロック図	46

第 1 章

背景・目的

近年、無線通信において周波数資源の割り当てが逼迫した状況にある。現在の無線通信では、使用用途ごとに特定の周波数帯域が割り当てられており、割り当てられた周波数帯域以外で通信を行うことが禁止されている。また、無線技術の向上により、無線通信を利用するプラットフォームが増加してきている。このため、新たな無線通信に対して割り当てられる空き周波数帯域が少なくなっている [1]。この逼迫した割り当て状況を改善させるため、周波数利用効率の向上が求められている。

周波数利用効率を向上させる技術として、コグニティブ無線がある。コグニティブ無線とは、周波数スペクトラムを監視することで無線通信の利用状況を把握し、他の通信に割り当てられているが利用されていない帯域や通信環境の良い帯域を使って通信を行う方式である [1] [2]。周波数スペクトラムを監視し解析することで、他の通信方式に割り当てられている帯域でも、本来のユーザーにとっての妨害波にならない範囲で、通信利用が可能になる。また、周囲の通信環境を解析することにより、利用海域な帯域の中からノイズが最も少ない帯域を選択して通信することもできる。これらの機能により、無線通信における周波数の利用効率の向上が期待できる。

コグニティブ無線には、周波数利用状況を監視するためにスペクトルアナライザが必要である。周波数利用状況を監視するには、広帯域のスペクトル情報が必要となる。そのため、スペクトル情報を取得するためのスペクトルアナライザがコグニティブ無線の無線通信機には必要となる。

このスペクトルアナライザには、ダイナミックに通信チャネルを変更するため、リアルタイム性の高いものが構成が求められる。

本研究では、ワンショットの FFT で、受信帯域内のスペクトル情報を取得することに適したコグニティブ無線用のスペクトルアナライザのフロントエンド回路の検討を

行った。

本論文において、第一部では、コグニティブ無線用のスペクトルアナライザのフロントエンド回路の構成の理論的検討および設計について説明する。第二部では、理論的に検討・設計したコグニティブ無線用のスペクトルアナライザのフロントエンド回路の性能をシミュレーションで評価した結果を述べる。第三部では、評価を元に、提案した回路の考察をまとめる。

第2章

コグニティブ無線用のスペクトルアナライザの理論的検討および構成

2.1 コグニティブ無線用スペクトルアナライザ

従来のコグニティブ無線用スペクトルアナライザの構成 (図 2.1) では、全体の周波数帯域から一部の帯域を選び、その都度帯域内のスペクトル信号を検出する [15]。特定の周波数帯域のみに限定することで、その他の領域に存在する妨害信号の影響を低減する。この低減を実現するため、入力された無線信号のうち検知したい特定の周波数帯域を、ダウンコンバージョンミキサで低周波域に変換する。その後、ローパスフィルタをかけて、変換された低周波数帯域以外の信号をすべて取り除く。こうすることで、妨害信号によって後段の Low-Noise Amplifier (LNA) が飽和することを防いでいる [17] [18]。妨害信号による LNA の飽和は、所望のスペクトル信号を見えなくするため、望ましくない。そこで、LNA 飽和を防ぐため、他の帯域の信号から受ける影響を周波数選択により抑えている。更に、従来のコグニティブ無線用スペクトルアナライザでは狭い周波数帯域のスペクトル情報を一回の検知で取得する故、広い帯域のスペクトルを検知するためには検知回数を増やす必要が生じ、時間がかかる。

これに対して、本研究では広帯域実時間スペクトルアナライザを提案する。広い帯域のスペクトルを検知するためには検知回数が多くなり時間がかかるという従来のスペクトルアナライザの弱点を克服して、一回の検知で全帯域のスペクトル情報を効率よく取得するスペクトルアナライザの設計を行った。(図 2.2 に、スペクトルアナライザ全体の構成を示す。)

全スペクトル帯域を検知するために、スペクトルアナライザのフロントエンドを三つの

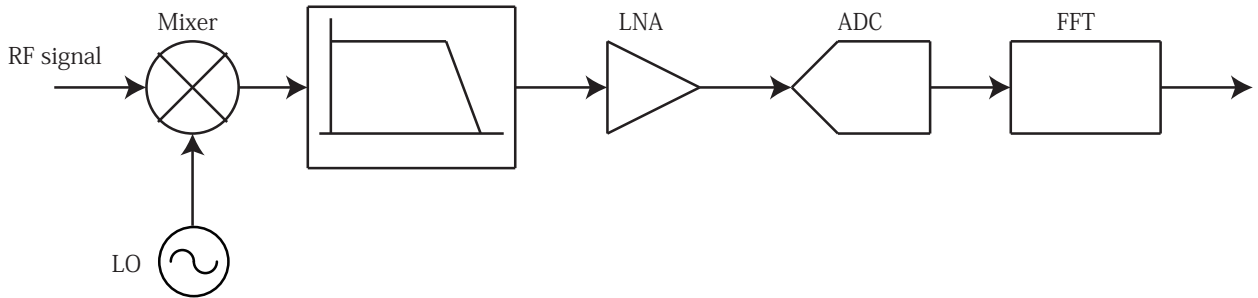


図 2.1 従来のスペクトルアナライザの構成の簡略図 [15]

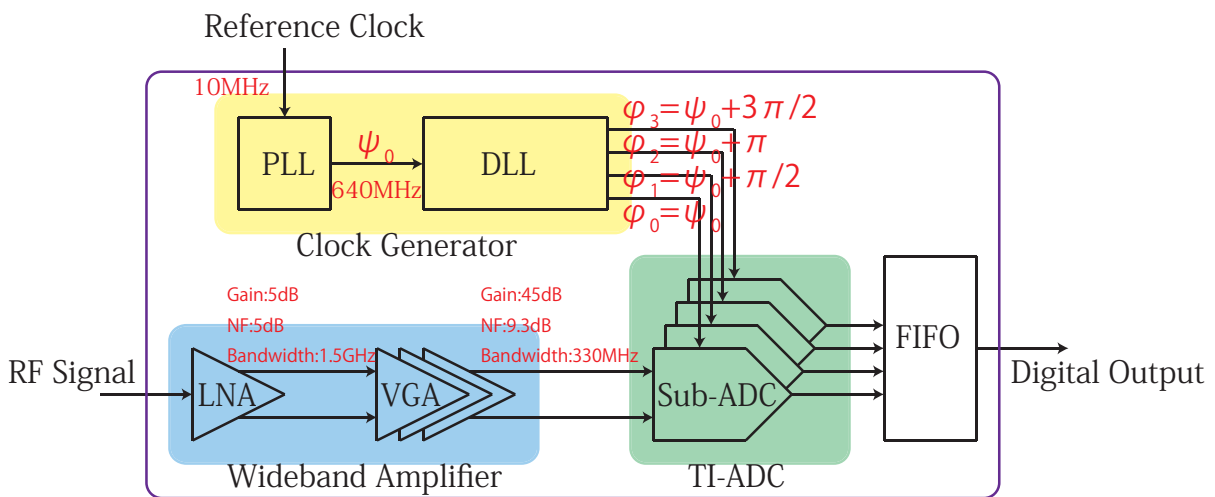


図 2.2 提案するスペクトルアナライザのフロントエンドのブロックダイアグラム

コンポーネントで構成した。このコンポーネントは、主に無線信号を増幅するためのアンプ部分、アナログ信号をデジタル値へと変換する A/D 変換器、および A/D 変換器やデジタルコンポーネントに必要なクロック信号を生成するクロックジェネレータである。アンプ部分は、広帯域な信号を取り扱うために、広帯域なゲインを持つものを用意した。A/D 変換器は受信した広帯域信号をすべてデジタル値に変換するために高速動作するものを作った。クロックジェネレータは A/D 変換器の高速動作に必要な 4 相クロック信号を生成できる構成にした。この三つのコンポーネントにより、フロントエンドの広帯域における実時間検知能力を高めることが可能になった。

今回、提案するスペクトルアナライザを設計するにあたって目標とする性能を定めた。受信帯域 1GHz、受信感度-80dBm、SNR15dB とした。このとき、スペクトルアナライザに用いる各コンポーネントに必要な性能をレベルダイアグラムにして表した。図 2.3 は

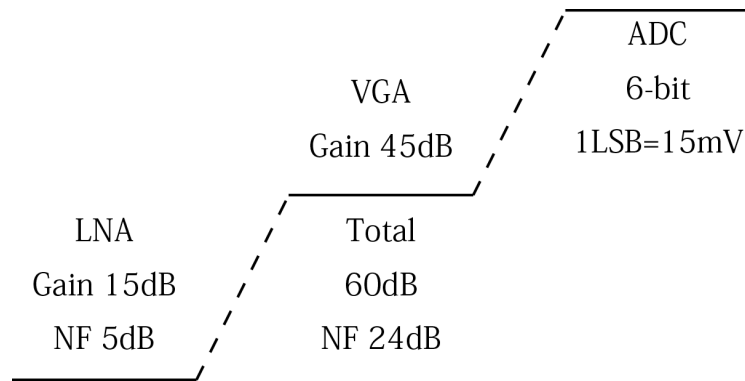


図 2.3 受信信号経路に必要な性能のレベルダイアグラム

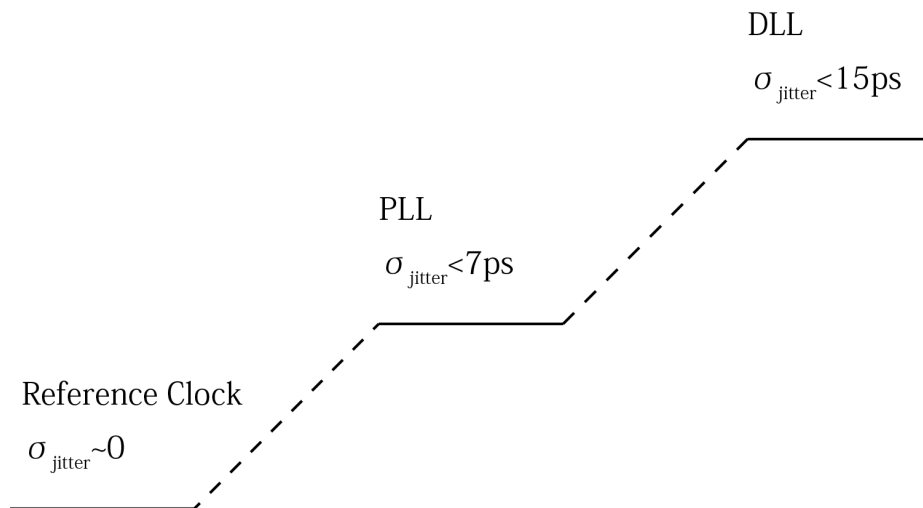


図 2.4 クロック信号に必要なジッター性能のレベルダイアグラム

広帯域アンプ (LNA、VGA) と A/D 変換器に必要なゲインと NF の性能を表している。図 2.4) はクロック信号に要求されるジッター性能を表している。レベルダイアグラムで定めた性能を満たすように、各コンポーネントの設計を行った。

2.1.1 広帯域アンプ

広帯域アンプ部分は、Low-Noise Amplifier (LNA) と Variable-Gain Amplifier (VGA) により構成した。LNA は受信した無線信号を増幅するためのアンプである。VGA は LNA からの信号を任意の強度まで増幅するためのアンプである。LNA と VGA は広帯域実時間スペクトルアナライザで用いるために広帯域なゲイン特性を持つものにした。

Low-Noise Amplifier

無線信号を受信して増幅するための回路である LNA には、おもに二つの役割がある。アンテナからの信号を損失なく受信することと、受信した信号の Signal-to-Noise Ratio (S/N 比) の劣化を抑えつつ増幅することである。アンテナからの信号は LNA の入力インピーダンスとアンテナからの伝送路のインピーダンスとの間で不整合がある場合には反射され、その結果として受信信号に損失が出る [11]。この損失を防ぐために、LNA の入力インピーダンスと伝送路のインピーダンスが同じになるようにインピーダンス整合を行う必要がある。また、LNA は受信信号の S/N 比を劣化させることなく増幅しなければならない。電子回路内でアナログ信号は回路素子から発生する雑音によって出力信号の S/N 比が劣化してしまう。そのため、LNA では S/N 比の劣化を抑えるために、出力信号に加算される回路由来の雑音の成分を信号増幅度に対して十分小さくする必要がある。すなわち、Noise Figure (NF) (入力信号に対する出力信号の S/N 比の劣化を表す指標) を低くすることが望ましい。そこで、LNA には、インピーダンス整合を行う機能とともに、低い NF で信号増幅をする機能をもたせた。

広帯域実時間スペクトルアナライザにするため、LNA には前述したインピーダンス整合と低 NF に加えて、広帯域なゲイン特性が必要となる。一般的な LNA の構成は コイルを用いるものが多い。コイルの Q 値が高いほど LNA のインピーダンス整合と NF が低くなる。しかし、その分 Q 値の高いコイルは狭帯域なため、LNA 自体の帯域が狭くなってしまう。そこで、コイルを用いない構成の LNA を設計した (図 2.5)。

本研究では、コイルを使わずに、ゲート接地増幅回路とソース接地増幅回路を組み合わせ、ノイズキャンセル型 LNA を作成した (図 2.5) [13]。ゲート接地増幅回路とソース接地増幅回路の組み合わせによりインピーダンス整合と低 NF を実現する。ゲート接地増幅回路ではバイアス電圧によって入力インピーダンスを変更することができる。伝送線路とのインピーダンス整合はゲート接地増幅回路の入力インピーダンスの変更によって行う。ゲート接地増幅回路においては、バイアス電圧を調節することで、入力インピーダンスや

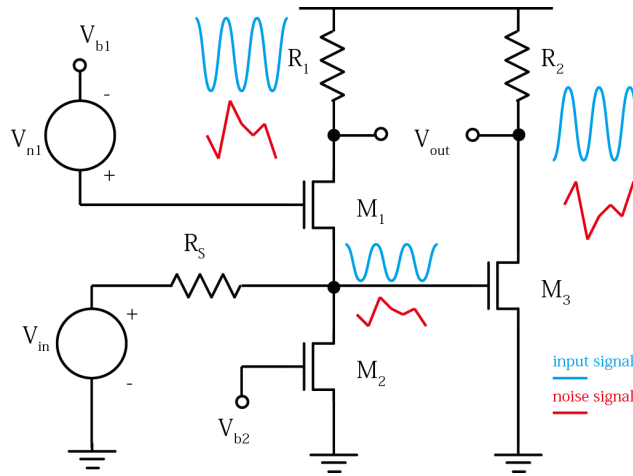


図 2.5 ノイズキャンセル LNA の構成と、ノイズキャンセルの様子 [13]

ゲイン、出力電圧レベル、入力電圧レベルが調節可能である [10]。したがって、ゲート接地増幅回路を LNA に組みこむことで、希望の使用条件に応じて LNA のインピーダンスを整合させることができる。

ゲート接地増幅回路とソース接地増幅回路を組み合わせると両回路の出力信号を差動出力すると、NF を低くできる。ゲート接地増幅回路は非反転増幅をおこなうのに対し、ソース接地増幅回路は反転増幅をおこなう [10]。したがって、入力信号は、それぞれの回路において逆相で出力される。そこで、ゲート接地増幅回路とソース接地増幅回路から得る信号を差動で出力すると、入力信号成分は増幅して出力できる。これに対して、ゲート接地増幅回路に用いられているトランジスタ由来の熱雑音は、ゲート接地増幅回路とソース接地増幅回路から同相で出力される。そこで、ゲート接地増幅回路とソース接地増幅回路の出力信号を差動出力すると熱雑音成分はキャンセルできる。したがって、差動出力をすると、入力信号増幅と熱成分キャンセルを同時に行うことができ、入力信号に対する出力信号の S/N 比の劣化の程度を表す NF を下げることができる。更に、この NF の低減と改善されたインピーダンス整合とによりノイズキャンセル型 LNA 作製が可能になる。

ゲート接地増幅回路は、トランジスタを用いた基本的な増幅回路の一つである (図 2.6)。ゲート接地増幅回路は、トランジスタと負荷抵抗から成る。ゲート接地増幅回路はトランジスタのゲート端子を接地しているため、入力電圧を非反転増幅する。(図 2.6) において、電流方向は、トランジスタのドレインからソースへと向かう方向を正としてある。入力電圧が増加すると、ソース-ゲート間電圧が減少するためトランジスタの正方向の電流が減少する。その結果、負荷抵抗に流れる電流も減少する。その減少分だけ出力点 v_0 におけ

る電圧上昇が起こり、出力信号は非反転増幅信号となる。入力電圧が減少した場合も、同様に、出力信号は非反転増幅信号となる。トランジスタ M1 の小信号等価回路モデルで考えてみる。トランスコンダクタンスを g_{m1} 、基盤バイアス効果による寄与を g_{mb1} 、負荷抵抗を R とする。この時、ゲート接地増幅回路の電圧ゲインは

$$G_{m,g} = (g_{m1} + g_{mb1})R \quad (2.1)$$

となる。すなわち、非反転増幅となっている。また、ゲート接地増幅回路の入力インピーダンスは

$$R_{in,g} = \frac{1}{g_{m1} + g_{mb1}} \parallel \frac{1}{g_{m2}} \quad (2.2)$$

ここで、 g_{m2} はトランジスタ M2 のトランスコンダクタンスである。 g_{m1} と g_{m2} はトランジスタの動作点を変えることで調節が可能であるため、入力インピーダンスが調節可能である。ゲート接地増幅回路は、トランジスタのゲート端子を接地することで入力電圧を非反転増幅し、更に、トランジスタの動作点を変えることで入力インピーダンスを調節可能な回路でもある。

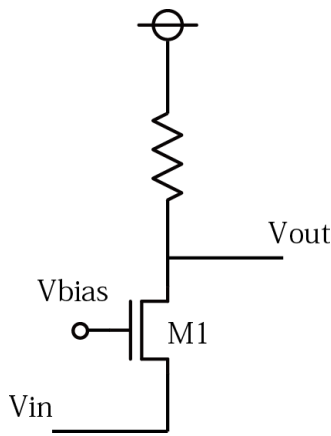


図 2.6 ゲート接地回路

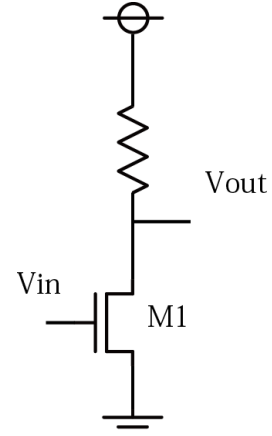


図 2.7 ソース接地回路

ソース接地増幅回路もソース接地増幅回路と同様トランジスタを用いた基本的な増幅回路の一つである(図??負荷抵抗から成る。この回路は、トランジスタのソース端子を接地しているため、入力電圧を反転増幅する。(図??において電流方向はドレインからソースへと向かう方向を正としてある。入力電圧が増加すると、ソース-ゲート間電圧が増加するためトランジスタの正方向の電流が増加する。その結果、負荷抵抗に流れる電流も増加

する。その増加分だけ出力点 v_o における電圧降下が起こり、出力信号は反転増幅信号となる。入力電圧が減少した場合も同様に出力信号は反転増幅信号となる。トランジスタの小信号等価回路モデルで考えると、ソース接地増幅回路の電圧ゲイン $G_{m,s}$ は

$$G_{m,s} = -g_m R \quad (2.3)$$

となる（ただし、 g_m は電流増幅率（トランスコンダクタンス）、 R は負荷抵抗である）。なお、ソース接地回路の入力インピーダンスは入力端子がゲートで絶縁されているため、無限大とできる。この電圧ゲインの式が示すように、ソース接地増幅回路はトランジスタのソース端子を接地することで、反転増幅を行う。

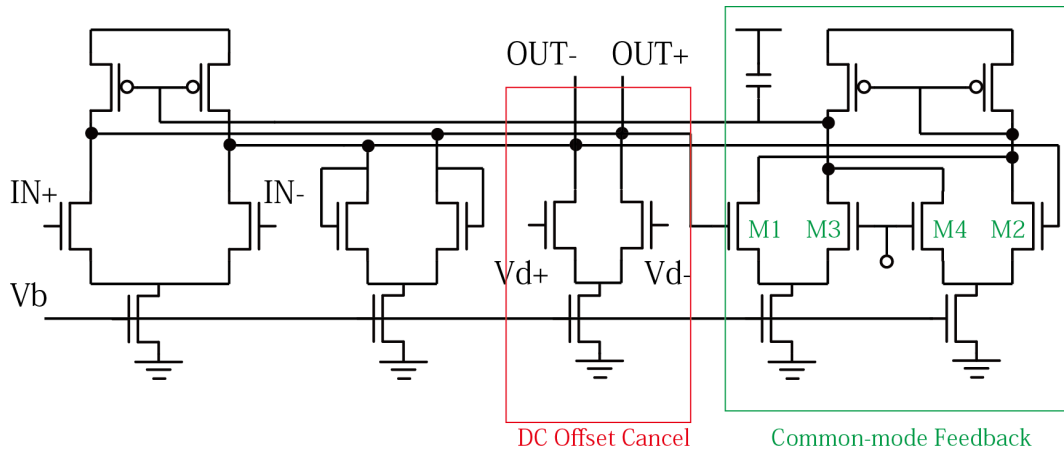


図 2.8 Variable-Gain Amplifier [9]

Variable-Gain Amplifier

VGA は LNA の出力信号を所望の信号強度まで増幅する。LNA はインピーダンス整合と NF を考慮しなければならない分、十分なゲインを得ることができない。LNA の出力信号を十分な信号強度にするため、VGA を用いて LNA の出力信号を増幅する。VGA は LNA からの信号に応じて適切な信号強度に出来るようにゲインを調節する機能を持つ。

VGA には差動増幅回路を用いた (図 2.8) [9]。差動増幅回路のゲインはバイアス電圧の調節によって制御が可能である。それ故、バイアス電圧を調節することで VGA として必要な、ゲインを調節する機能を実現できる。また、差動増幅回路にはゲインを安定させるためのコモンモードフィードバック回路が必要となる。差動増幅回路の差動出力のバランスを取るために DC オフセットキャンセル回路も必要となる。そこで、VGA は、差動増幅回路、および ゲイン調節回路、コモンモードフィードバック回路、DC オフセットキャンセル回路によって構成した。

差動増幅回路は入力の差動信号を増幅する。差動増幅回路は (図 2.9) のような構成となる。差動増幅回路は、トランジスタ $M1$ 、 $M2$ のゲートに入力された差動信号を増幅し、 $OUT+$ 、 $OUT-$ から信号を出力する。差動増幅回路のゲインの変更は、電流源としての機能を持つトランジスタ $M3$ のゲート電圧を調節することで可能となる。 $M3$ のゲート電圧を調節することで、トランジスタ $M1$ 、 $M2$ のソース電位 X が変わり、トランジスタ $M1$ 、 $M2$ の動作点が変わる。動作点が変わることで、トランジスタ $M1$ 、 $M2$ の電流ゲインが

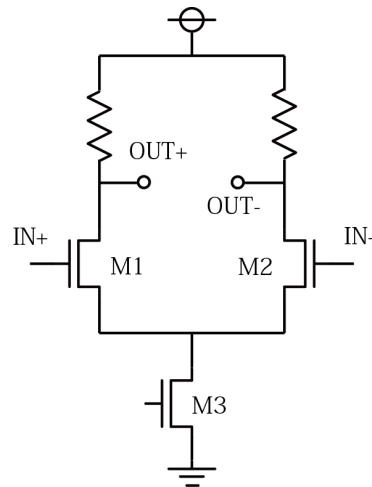


図 2.9 差動増幅回路

変わり、差動増幅回路のゲインが変わる。したがって、差動増幅回路はゲインを任意に調節しつつ、差動信号を増幅することが可能である。

ゲイン調節回路は差動増幅回路のゲインを調節する回路である。差動増幅回路のゲイン調節は電流源用トランジスタのゲート電圧を調節することで可能である。このゲート電圧に対して差動増幅回路のゲインは非線形に変化する。そこで、ゲイン調節用電圧に対して差動増幅回路のゲインが線形に変化するように、調節回路を挿入した。

コモンモードフィードバック回路 (図 2.8) は差動増幅回路の出力 DC レベルを一定に保つ。差動増幅回路の出力コモンレベルは Process, Voltage, Temperature (PVT) ばらつきやゲイン調節の影響を受けるためばらつく。出力コモンレベルとは差動回路の二つの出力に共通する DC 電圧レベルである。出力コモンレベルがばらつくと、差動増幅回路のゲインが想定していたものと異なるものとなる、また、後段のアナログ回路の入力コモンレベルが変わるため、後段のアナログ回路の特性も変化する。そのため、出力コモンレベルを一定に保つ必要がある。コモンモードフィードバック回路では、差動増幅回路の出力コモンレベルを参照電圧と比較し同じになるようにして、フィードバック制御をかける。差動増幅回路の出力コモンレベルと参照電圧との比較はトランジスタの合成出力抵抗を用いて行う。差動増幅回路の差動出力をトランジスタ M1、M2 のゲート端子に接続し、参照電圧をトランジスタ M3、M4 のゲート端子に接続することで、電圧の比較をトランジスタの合成出力抵抗の比較に置き換える。比較結果を電圧として出力し、この出力を用いて差動増幅回路の負荷を調節することで差動増幅回路の出力コモンレベルを一定に保つ。なお、コモンモードフィードバック回路の出力には、フィードバック制御の発振を防ぎ安

定化させるために、ローパスフィルタ (LPF) を用いている。

DC オフセットキャンセル回路は、差動増幅回路の二つある出力間のバランスをとる回路である (図 2.8)。差動増幅回路は、PVT ばらつきにより、それぞれの出力 DC レベルが異なる。(図) において、OUT+ の出力 DC レベルと OUT- の出力 DC レベルが異なることになる。それぞれの出力 DC レベルが異なる場合、十分なゲインを稼ぐために複数の VGA を縦続接続すると、最終的な出力信号に DC レベルの差を増幅した電圧が加算されるという問題が発生する。それぞれの出力 DC レベルを同じにするために、差動増幅回路に外部から調節可能な電流源負荷回路を用いた。それぞれの出力 DC レベルの差は、VGA への入力信号が無いときに出力電圧の差として観測できる。この出力電圧の差を元に電流源負荷回路の負荷を調節することで、出力 DC レベル差を補正する。DC オフセットキャンセル回路は、電流源負荷回路を用いて差動増幅回路の出力 DC レベルの差を補正する。

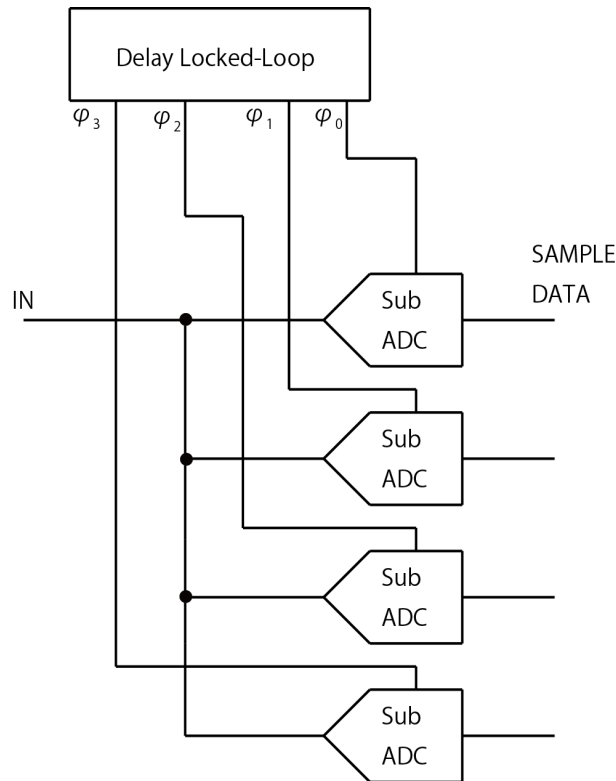


図 2.10 Time-Interleaved A/D Converter [12]

2.1.2 Time-Interleaved A/D Converter

広帯域実時間スペクトルアナライザの A/D 変換器には Time-Interleaved A/D Converter (TI-ADC) を用いた。TI-ADC は複数の A/D 変換器を順番に用いて入力信号をサンプリングすることで、全体としては単体の A/D 変換器よりも数倍の速度でサンプリングが可能になる [5] [6]。(図 2.10) に TI-ADC のダイアグラム図を示す [12]。TI-ADC では、一つのクロックに対して一つの A/D 変換器 (Sub-ADC) を組み合わせたものを、複数個使用する。ここで用いられる複数個のクロックは、動作周波数は同じだが、位相が異なるようにする。これらのクロックを使い、A/D 変換器 (Sub-ADC) を動作させる。更に、Sub-ADC の出力を統合すると、全体として TI-ADC は Sub-ADC の数倍の速度で動作することになる。Sub-ADC の動作周波数を $f_0 (= 1/T_0)$ (T_0 :クロック周期) とすると、それぞれの Sub-ADC を駆動するクロックの位相は $\varphi_n = nT_0/N$ ($n = 0, 1, 2, \dots, N-1$) となる。ここで、 N は Sub-ADC の個数である。同じ周期の位相違いで動作するこれら N

個の Sub-ADC 出力を、サンプリングしたデータ順に一つにまとめることで Sub-ADC 単体の N 倍の速度 ($f_{ti} = N f_0$ f_{ti} :TIADC のサンプリング速度) でサンプリングしていることになる。このように、TI-ADC を用いることで、単体の A/D 変換器より高速の A/D 変換を実現した。

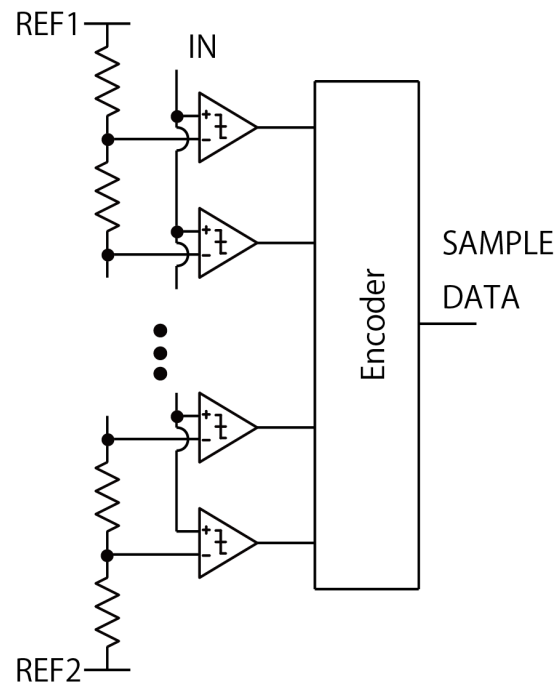


図 2.11 Flash ADC [12]

Flash A/D Converter

TI-ADC に用いる Sub-ADC には Flash ADC を用いた。Flash ADC は、アナログ信号を全並列で大小比較することで高速なアナログ-デジタル変換を行う (図 2.11) [12]。一般的な A/D 変換器は、Sample and Hold (S/H) 回路を用いて、入力されたアナログ信号を瞬時値として保持する。この瞬時値と数種類の参照用電圧とを比較器で比較し、大小判定を順次繰り返していくことでデジタル値を決定する。これに対し、特に Flash ADC では、使用する参照用電圧と同じ数の比較器を使い、大小比較を同時に行う。ここでは、すべての参照用電圧が同時に必要になるため、直列抵抗を用いることで参照用電圧を同時に生成している。比較器の数を増やし全並列的 (同時に) に大小比較を行うことで、Flash ADC では一般的な A/D 変換器より高速なサンプリングが可能となる。

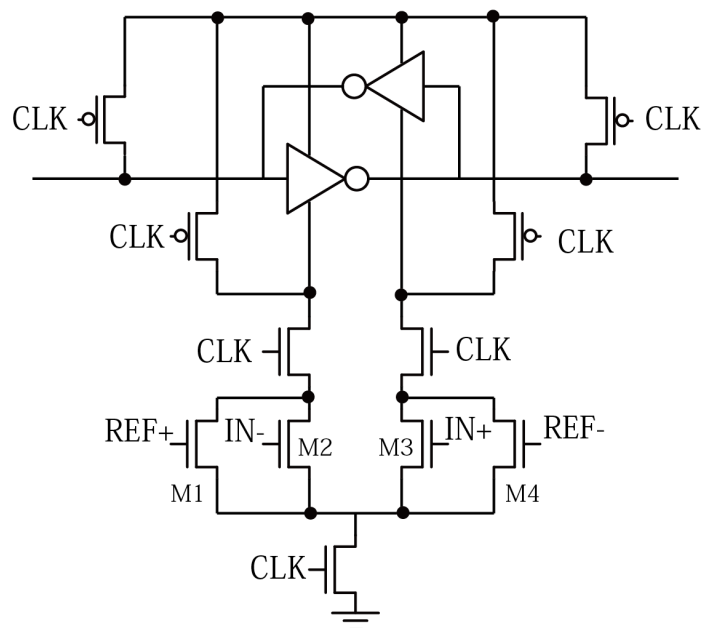


図 2.12 ダイナミック比較器 [16]

Comparator with Offset calibration

A/D 変換機の精度と速度は比較器の精度と速度によって決まる。比較器 (図 2.12) は二つの電圧レベルを比較して大小判定を行う。この比較器の精度は、使用しているトランジスタのプロセスばらつきによって下がる。そのため、精度を上げるためにはトランジスタのプロセスばらつきを抑える必要がある。トランジスタのプロセスばらつきを抑えるには、トランジスタの面積を大きくしなければいけない [12]。だが、トランジスタ面積を増やすと、比較器トランジスタのゲート容量が増え S/H 回路の負荷が増える。そうなるとう動作速度が犠牲になってしまう。そのため、トランジスタ面積を大きくすることでプロセスばらつきを抑える手法は、高速 A/D 変換器の比較器に用いるには適していない。高速動作する A/D 変換器の精度を保証するためには、比較器に用いるトランジスタの面積を小さくしつつも、その一方で、プロセスばらつきを補正する手法を用いる必要がある [5] [6] [7] [8]。

比較器のトランジスタのプロセスばらつきは、デジタル制御可能な負荷回路を追加することで補正した(図 2.13, 図 2.14) [5] [6]。比較器にはダイナミック比較器を用いた。ダイナミック比較器には定常電流が流れないため、消費電力を低いことが特徴である。比較器における入力電圧大小比較は、入力信号を受けるトランジスタ対の合成出力抵抗の大小比

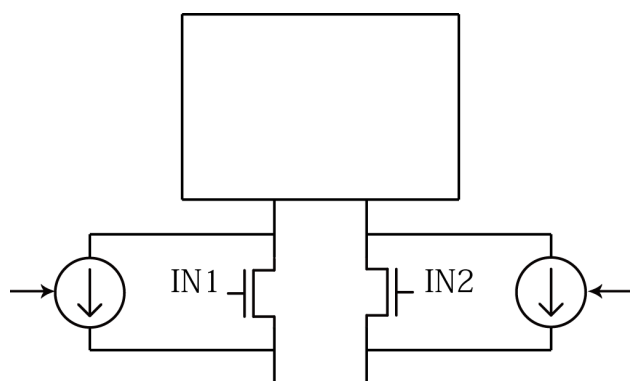


図 2.13 比較器のオフセット補正 [16]

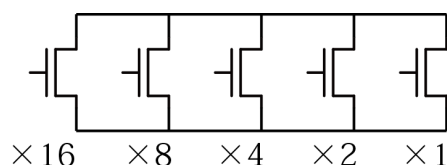


図 2.14 デジタル制御可能な負荷回路

較によって行われる。(図 2.12 では M1 と M2 の合成出力抵抗と M3 と M4 の合成出力抵抗の大小比較によって大小判定が行われる)。トランジスタのプロセスばらつきが原因で、それぞれのトランジスタの出力抵抗がばらつく。その結果、合成出力抵抗が理想的な状態から異なった値となる。更に、比較器の大小判定の境界となる電圧閾値が理想状態からずれる。この電圧閾値のずれをオフセット電圧と呼ぶ。このオフセット電圧を減らすには、大小判定の閾値電圧が印加されているときに、トランジスタ対の合成出力抵抗が釣り合うように負荷をかける必要がある。そこで、オフセット電圧を減らすために、外部から制御可能な負荷回路を追加した。この負荷回路追加により、トランジスタ対の合成出力抵抗のばらつきを補正し比較器のオフセット電圧を補正することができた。

比較器のオフセット電圧補正用の可変負荷回路は、入力デジタル値に対応した分だけ負荷を調節するものにした(図 2.14)。可変負荷回路は、制御用デジタル値の各桁の信号を、対応する分だけ並列接続したトランジスタのゲート端子に接続したものとなっている。例えば、この接続では、00101 のデジタルコードを入力した場合、負荷として $4+1=5$ 個のトランジスタがオンする。デジタル値を設定・入力することで、負荷もデジタル値に対応した値になる。すなわち、各桁のデジタル値に対応した並列接続トランジスタを用いることで、この可変負荷回路は、オフセット電圧補正用のデジタル制御可能な回路となった。

可変負荷回路を制御するためのデジタル制御回路では、トランジスタ差動対の合成負荷が釣り合うような制御用のデジタルコード値を探索した。まず、補正を行うときには、スイッチを切り替えることで、比較器の二つの入力に参照電圧を印加する。その状態で、左右(図中での説明)の負荷回路に入力するデジタルコード値を切り替えていき、比較器の出力論理値が反転する点を探索した。左右の負荷回路には最初同じデジタルコード値を入

力しておく。最初のクロックサイクルではその時の比較器の出力論理値を見て、出力論理値が反転する方へ制御用のデジタル値を 1 変化させる。次のクロックサイクルで、再び比較器の出力論理値を見て、同じように制御用のデジタル値を 1 変化させる。このサイクルを繰り返して、出力論理値が反転する点を探し出す。出力論理値が反転したら、今度は今までとは逆方向に制御用デジタル値を変化させる、つまり再び出力論理値が反転する方向へとデジタル値を変化させる（この様子を図にして追加）。この操作を、1 つのデジタル値で 16 回の反転がおこるまで繰り返す。そのときの制御用デジタル値を選び、比較器の電圧オフセットを最も低減する値とした。このように、比較器オフセット電圧の補正は、比較器の出力論理が反転するデジタル制御値を探索することで行った。

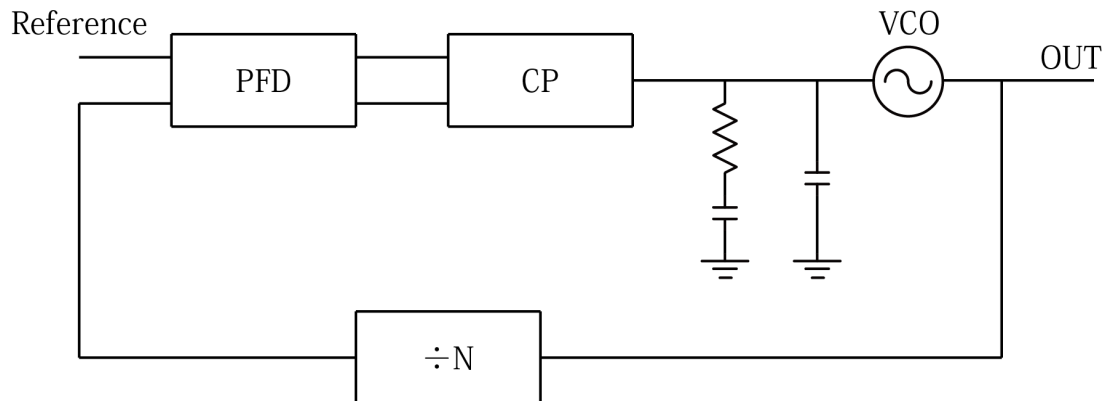


図 2.15 Phase-Locked Loop [9]

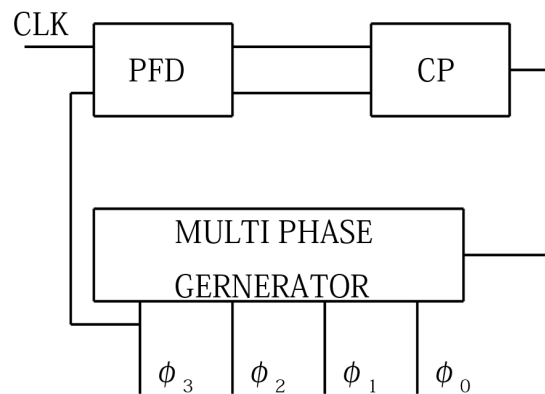


図 2.16 Delay-Locked Loop [9]

2.1.3 クロックジェネレータ

広帯域実時間スペクトルアナライザのクロックジェネレータは、Phase-Locked Loop (PLL)(図 2.15) と Delay-Locked Loop (DLL)(図 2.16) で構成した。PLL では参照周波数を用いて任意のクロック周波数を生成する [10]。ここで参照周波数とは水晶発振器 (XO) を用いて生成する周波数安定性の良い周期信号のことである。発振器を CMOS 回路で作ると周波数安定性が悪いため、参照周波数の生成には周波数安定性の良い水晶発振器を用いる。DLL は入力されたクロック信号から、位相の異なるクロック信号を生成する。PLL と DLL を用いることで、所望の周波数で動く多相のクロック信号を生成する。

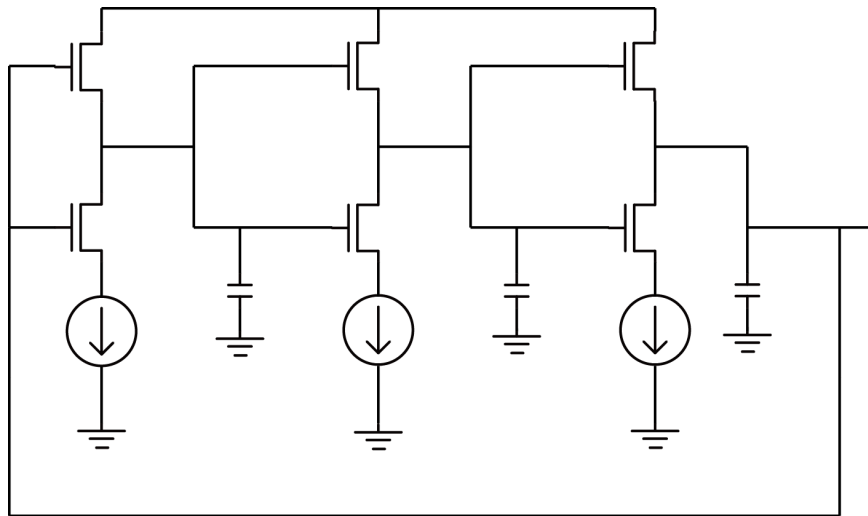


図 2.17 Voltage Controlled Oscillator

Phase-Locked Loop

参照周波数から所望のクロック周波数信号を生成する PLL は、Voltage Controlled Oscillator (VCO)、Phase Frequency Detector (PFD)、Charge Pump (CP)、周波数分周器で構成した。VCO は発振器の一種で、発振周波数を電圧値で制御する。PLL では、VCO の発振信号を参照信号と比較しフィードバック制御を加えることで、所望の周波数を得る。PFD は VCO の発振信号と参照信号の時間方向での立ち上がり位置を比較し、片方の信号のみが立ち上がっている区間だけ、デジタル信号で 1 を出力し、それ以外の区間では 0 を出力する。CP は PFD のデジタル信号出力に応じて容量に電荷を貯めたり、引き抜いたりして アナログ電圧値を作り出す。この CP 出力のアナログ電圧値が VCO の発振周波数の制御電圧である。このようにして、PLL は VCO の発振信号と参照信号の立ち上がり位置 (=位相) と周波数を制御する。ここで VCO の発振信号を分周比 N_{div} の周波数分周器で分周し、参照信号と N 分周された VCO の発振信号を比較する。更に、この二つの周波数信号を PFD に入力すると周波数信号の位相と周波数を同じにすることができる。すなわち、VCO の発振周波数を

$$f_{VCO} = N_{div} f_{ref} \quad (2.4)$$

にすることができる。ここで、 f_{VCO} は VCO の発振周波数、 f_{ref} は参照信号の周波数である。以上のようにして、PLL は参照周波数から所望の周波数信号を生成する。

VCO (Voltage Controlled Oscillator) はアナログ入力電圧値で発振周波数を制御する

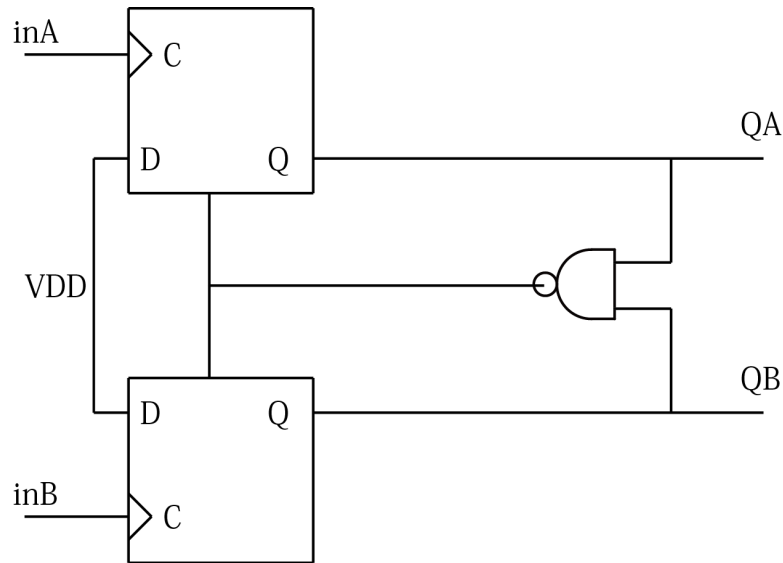


図 2.18 Phase Frequency Detector

発振器である。VCO にはリング発振器の構成を用いた (図 2.17)。リング発振器は奇数個のインバータをループ接続する発振器である。リング発振器の発振周波数はループを構成するインバータの立ち上がり速度で決まる。更に、インバータの立ち上がり速度はインバータを構成するトランジスタの出力電流によって決まる。このトランジスタの出力電流を制御するために、電流制御用のトランジスタを挿入した。これにより、出力電流は電流制御用トランジスタの出力電流で決まることになる。この電流制御用トランジスタはアナログ電圧値で制御することができる。そのため、リング発振器の発振周波数はアナログ電圧値で制御することが可能となる。

PFD (Phase Frequency Detector) ではリセット付 DFF を用いて、VCO の発振信号と参照信号の位相を比較する (図 2.18)。入力される二つの周期信号はどちらも電圧値の初期値が 0 であるとする。この状態から片方の入力だけが 0 から 1 へと立ち上がると、立ち上がりを検出した方の DFF 出力が 1 へと立ち上がる。次に、もう一方の入力も 0 から 1 へと立ち上がると、残りの DFF 出力も 1 へと立ち上がる。そうすると、両方の DFF の出力が 1 となるため、二つの DFF のリセット信号が両方とも ON になり、全体の出力は 0 へと戻る。このように、PFD を二つの周波数信号入力の位相差を検出して、デジタル信号として出力するようにした。

CP (Charge Pump) は PFD の信号を用いてアナログ信号値を生成する。CP は二つのスイッチとキャパシタで構成した (図 2.19)。PFD からの信号に応じて M1 または M2

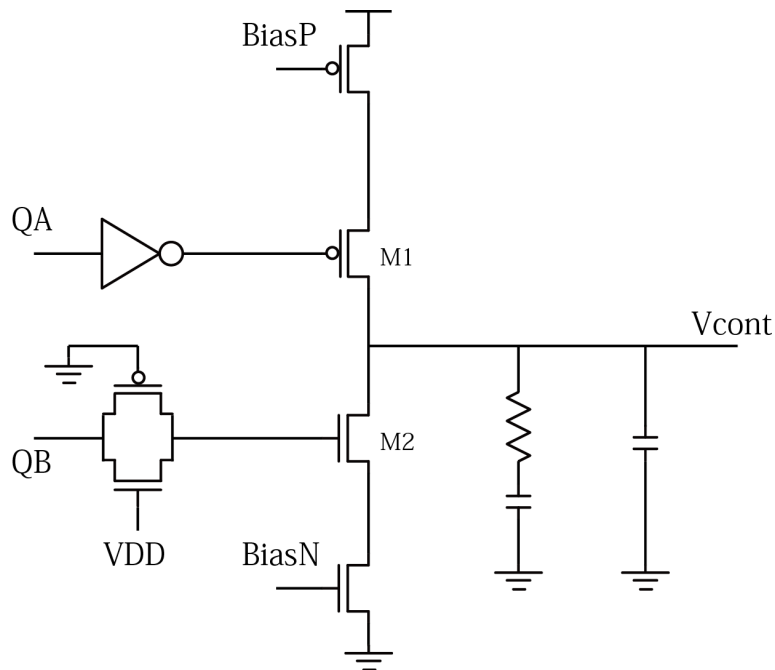


図 2.19 Charge Pump

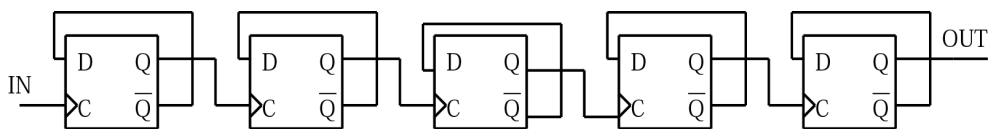


図 2.20 周波数分周器

のスイッチが ON になり、キャパシタが充放電される (図)。このように、PFD 信号を用いてキャパシタの電圧を昇圧または降圧することで、アナログ信号値を生成する。また、CP は、スイッチのオン抵抗とキャパシタを使用しているために、これらの素子値に応じた時間応答特性を持つ。この時間応答特性があるため、PLL のフィードバックループのフィルタとしての機能も持つ。

ループ中のフィルタ特性によってフィードバック制御の安定性が決定される。このフィルタの特性を適切に設定してやることで、PLL のフィードバック制御を安定なものにする。以上のように、CP は PLL のフィードバック制御が不安定とならないようにアナログ信号値を生成する。

周波数分周器は周波数信号を低い周波数に下げる機能を持つ。クロック信号の周波数を分周するために、D Flip-Flop (DFF) を使って分周器を構成した (図 2.20)。DFF の反転

出力 \bar{Q} を入力端子 D に接続することで、入力クロック信号が立ち上がるごとに出力電圧の High/Low が入れ替わる。その結果、出力信号はクロック周期の半分の周期信号となる。 N_{DFF} 個の DFF を縦続接続にすることで、分周比は

$$N_{div} = \frac{1}{2N_{DFF}} \quad (2.5)$$

となる。本研究では 5 個の DFF を縦続接続することで、分周比 32 の分周器を構成した。

Delay-Locked Loop

DLL (Delay-Locked Loop) では PLL と同じフィードバック制御を用いることで、多相のクロック信号を生成する [10]。多相のクロック信号の生成は、インバータチェーンを用いて行った。PLL で生成したクロック信号をインバータチェーンに入力することで、インバータチェーンの各出力段はある遅延をもった入力クロック信号と同じ周波数のクロック信号を出力する。インバータチェーンの各出力段の遅延はバイアス電圧を調節することで行う。各インバータにテイル電流源回路を負荷することで、テイル電流源回路へ入力するバイアス電圧を調節することで行った。DLL では、インバータチェーンの最終段の出力と、入力クロック信号の位相比較を行う。これによって、インバータチェーンの最終段出力の位相と入力クロック信号の位相を同じにする。結果として、DLL の各出力は 1 周期を分割した位相を出力する。本研究において、8 段のインバータチェーンを用いることで 4 相のクロック信号を生成した。入力クロック信号の位相を ϕ_{ref} としたとき、DLL の各出力の位相はそれぞれ、 ϕ_{ref} 、 $\phi_{ref} + \pi/2$ 、 $\phi_{ref} + \pi$ 、 $\phi_{ref} + 3\pi/2$ となる。DLL では、インバータチェーンの遅延を調節することで、1 周期を均等に分割した 4 相のクロック信号を生成した。

2.1.4 スペクトル解析

スペクトル解析は高速フーリエ変換 (FFT) を用いて行う。FFT は離散フーリエ変換 (DFT) の演算を高速化したものである。フーリエ変換によって、時間領域の信号を周波数領域の信号に変換することができる。DFT は、時間領域において離散化された信号のデータ系列をフーリエ変換することで、周波数領域のデータ系列に変換する。この変換によって時間領域信号に含まれる周波数成分を解析することができる。DFT の演算は

$$X_k = \sum_{i=0}^N x_i e^{-i \frac{2\pi k i}{N}} \quad k = 0, \dots, N-1 \quad (2.6)$$

により求められる。ここで、 X_k は周波数領域のデータ系列、 x_i は時間領域のデータ系列、 N は系列の個数である。FFT はこの DFT の計算の対称性を利用することで、計算量を $O(N^2)$ から $O(N \log N)$ に減らす。FFT を用いることで、効率よくスペクトル解析を行う。

FFT を行うために、スペクトルアナライザのフロントエンド信号を、First In, First Out (FIFO) で取り出した。FIFO は、データ系列を入力順に出力する装置である。本研究では、面積の都合によりチップ上で FFT を行わず、チップ外にデータを取り出して FFT を行った。FIFO を用いることで、チップ外とチップ外の動作周波数の違いを調節してデータ転送を行うことができる。チップ上に実装したフロントエンドとチップ外の FFT ブロックの動作速度やタイミングの違いを調整するために、バッファとして FIFO を用いた。FIFO を用いることで、チップ上のフロントエンドからチップ外の FFT ブロックへのデータ転送を可能にした。

スペクトルアナライザのアナログフロントエンドからの信号を、FFT のサンプリング時間に合わせて FIFO にて分割出力する。アナログフロントエンドでサンプリングした信号のデータ系列は非常に多いため、必要なデータ系列すべてを FIFO のメモリに貯めておくことは面積の都合上困難である。そのため、アナログフロントエンドから出てくる信号の周波数成分は時間変化しないという前提の下、FIFO を用いて分割出力する。FFT 演算は、FFT のサンプリング時間によって周波数解像度 Δf_0 が決まり、周波数領域のデータ系列を Δf_0 の倍周波成分として出力する。それ故、FFT をする上で、アナログフロントエンドからの信号は、周期 $T_m (= \Delta f_0)$ ですべての周波数信号成分を繰り返していると仮定できる。FIFO では周期 T_m ごとにメモリに貯めておける分だけ A/D 変換器からの出力信号を取得し、チップ外へと出力する。次の周期で取得していない部分を取得して出力していく。このように、時間信号の周波数成分が時間変化しないという前提の下、

FIFO を用いてアナログフロントエンドからの信号を分割出力した。

FIFO は分割出力を行うために外部制御可能な非同期型を用いた。非同期 FIFO は書き込みと読み出しのクロック信号が独立して動作する。また、周期 T_m にタイミングを合わせて FIFO を動作させるために外部からの信号で制御可能にした。外部からの信号によって制御可能な非同期 FIFO にすることで、分割出力が可能となった。

2.1.5 チップレイアウト

提案したフロントエンド回路のレイアウト図を示す (図 2.21)。180nm プロセスのモデルを用いてレイアウト設計を行った。2.5mm.0mm のチップに設計を行った。回路の面積の大部分を TI-ADC が占めている。比較器それぞれにオフセットばらつきを補正する回路を付加している。この比較器を ADC 全体で 256 個用いているため、面積が大きくなった。その代わり、アンプの飽和を許容した設計を行ったため、チップ外にフィルタを追加する必要が無い。そのため、フロントエンド回路に必要な機能はチップ上の回路のみで実現で可能である。

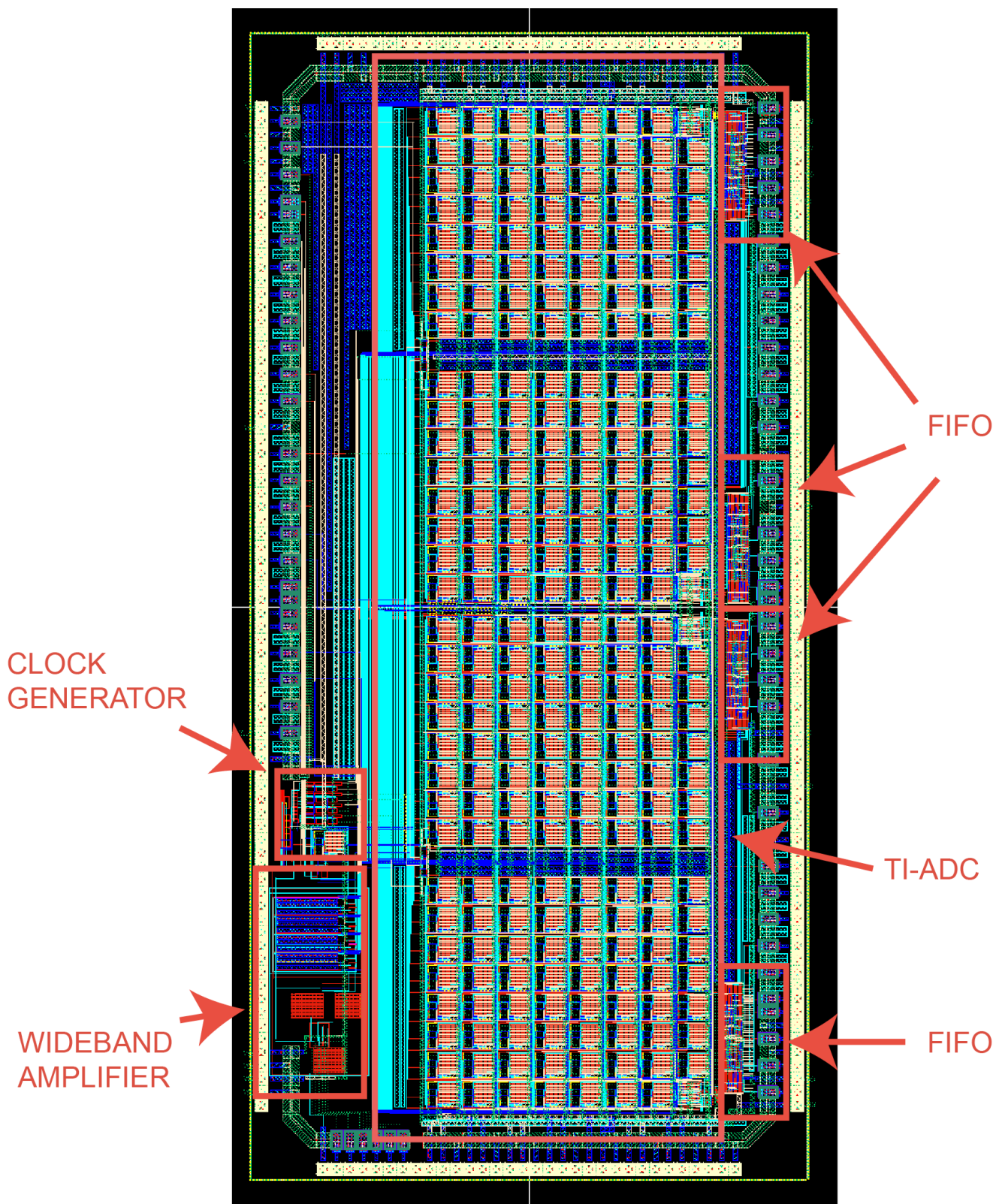


図 2.21 提案するフロントエンド回路のレイアウト図

第 3 章

シミュレーション結果と評価

設計した各回路コンポーネントのシミュレーションを行った。このシミュレーションでは、回路シミュレータに SYNOPSYS 社の Hspice を使い、各回路の特性を評価した。評価した回路は、広帯域アンプとそれに用いた LNA と VGA、A/D 変換器に用いたデジタル補正付比較器、クロックジェネレータとそれに用いた PLL と DLL である。

3.1 広帯域アンプのシミュレーション結果と評価

広帯域アンプとそれに用いた LNA と VGA の回路特性をシミュレーションにより評価した。評価した特性はゲイン、バンド幅、反射特性、Noise Figure (NF) である。シミュレーションは以下の手順で行った。まず、対象となる回路を四端子回路とし (図)、S パラメータと NF を求めた。S パラメータを求めることで、回路の伝達特性と反射特性が求まる。伝達特性からアンプのゲインとバンド幅がわかる。このとき、入力側と出力側の抵抗は共に $50\ \Omega$ にし、出力側にはゲイン 0dB の理想電圧バッファを挿入した。アンテナや同軸ケーブルの特性インピーダンスが $50\ \Omega$ であるため、入力側の抵抗をこの値に設定した。また、出力側の抵抗を入力側と同じにし、理想電圧バッファを挿入した理由は、S パラメータと NF を電圧レベルで評価するためである。S パラメータと NF は一般的にはエネルギーでの評価値であるけれども、入出力で抵抗が同じ場合は電圧値として評価することが可能となる。チップ内の信号伝達は電力ではなく、電圧レベルで行うため、今回は電圧レベルで評価を行った。このように、入出力の抵抗を同じ値にし、出力側に理想電圧バッファを挿入することで、S パラメータで表される伝達特性は回路のゲインを表すことになる。以上のシミュレーションは、回路の寄生成分を抽出して行った。このような条件

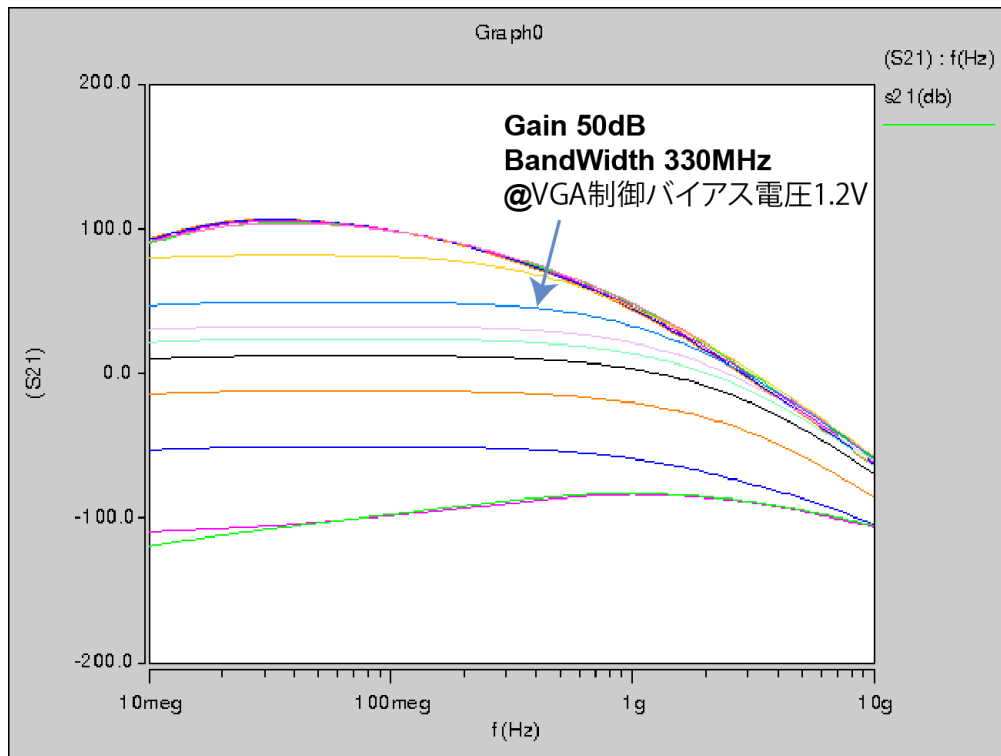


図 3.1 広帯域アンプの伝達特性

のもと、更に広帯域アンプのゲイン、バンド幅、反射特性、NF を求めた。

広帯域アンプのシミュレーション特性を (図 3.1)、(図 3.2) に示す。(図 3.1) は広帯域アンプの伝達特性を示している。横軸に周波数 (Hz)、縦軸にゲイン (dB) をとり、広帯域アンプのゲインをパラメータにとり変化させた。このシミュレーション結果から、広帯域アンプ所望のゲインが 50dB の時、バンド幅は 330MHz となる。以下、広帯域アンプゲインが 50dB となる条件で他の性能を評価した。(反射特性の文を挿入する)。(図 3.2) は広帯域アンプの NF を示している。シミュレーション結果から、アンプの帯域内での NF は 8.4dB となる。

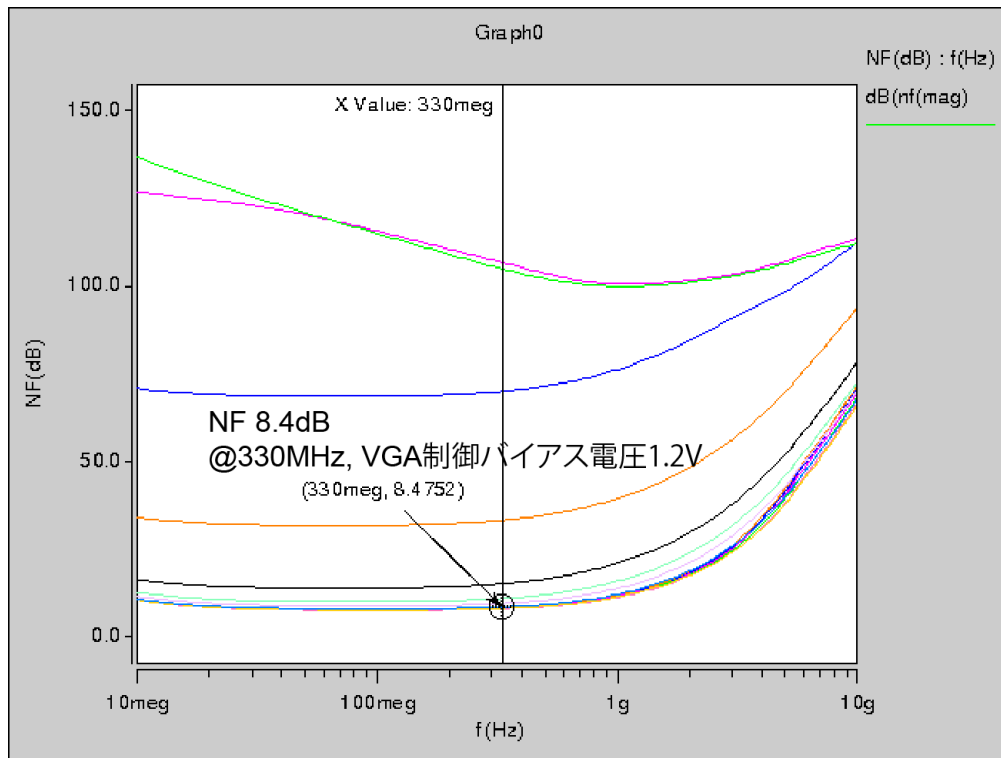


図 3.2 広帯域アンプの Noise Figure

3.2 A/D 変換器のシミュレーション結果と評価

A/D 変換器に用いた比較器の性能とともに A/D 変換器の動作速度および積分非線形特性 (INL)、微分非線形特性 (DNL) を評価した。これらの動作速度および INL、DNL は比較器で決まる。そのため、比較器性能のシミュレーション評価を行い、更に A/D 変換器の動作速度および INL と DNL を評価した。

A/D 変換器の性能評価のシミュレーション手順を説明する。実際の A/D 変換器では PVT ばらつきにより INL と DNL が影響を受けるので、この影響も考慮する。最初に、A/D 変換器の INL と DNL について、ばらつき補正回路なしの比較器を用いて評価した。回路の寄生成分と PVT ばらつきを考慮せずに A/D 変換器のシミュレーションを行い、入力電圧に対するデジタル出力を調べ INL と DNL を評価した。具体的には、A/D 変換器を 10MHz で動作させ、入力信号を 0.6V から 1.6V までをクロック周波数に対して十分遅い速度で線形に増加させた。この時の、入力電圧に対する出力電圧を調べることで INL

と DNL を評価した。その後、ばらつき補正回路付比較器の性能評価を行った。ばらつき補正回路付比較器の性能評価においては、まず動作速度を評価するとともに、ばらつき補正回路での補正範囲と精度を評価した。このように、A/D 変換器の性能評価では、PVT ばらつきのない理想状態で評価した後、比較器の動作速度とばらつき補正回路の性能とを評価した。

ばらつきのない状態でのシミュレーション結果を示す。ばらつき補正回路なし比較器を用いた A/D 変換器に直流電圧を入力して、それに対する出力コードを調べて INL と DNL を評価した。入力電圧範囲は 0.6V から 1.5V にした。これは A/D 変換器に用いる参照電圧の下限の 0.6V、上限の 1.5V と一致したものである。(図 3.3) は A/D 変換器の INL を、(図 3.4) は DNL を表している。横軸は A/D 変換器の出力コード、縦軸はその出力値における非線形誤差を LSB で表している。今回、6bit A/D 変換器のフルスケールレンジを 1V としたため、1LSB \approx 15mV となる。非線形誤差が 0 値から離れるほど、非線形性が大きいことになる。このばらつきのない状態での INL と DNL は回路自体が持つ非線形性を表している。ばらつきが存在しないときは理想的には INL も DNL も 0 になるはずである。ばらつきの無い状態でも INL と DNL が 0 でない理由は、シミュレーションと A/D 変換器の時間応答特性のためである。A/D 変換器の出力コードが 20 から 40 程度のときは、INL と DNL で十分低くクロック周波数に対する入力信号の変化分のみが観測できる。INL と DNL は共に出力コードの上限と下限付近で非線形誤差が大きくなる。この理由は、トランジスタの動作領域の上限と下限付近では、比較器の時間応答特性が悪くなるからである。すなわち、比較器の時間応答特性の劣化が INL と DNL に現れ、出力コードの上限と下限付近の非線形誤差の増加につながっている。

ばらつきによる線形性の劣化を補正する、補正回路の評価を行った。ばらつきにより比較器の差動対に用いられているトランジスタのオン抵抗がばらつく。そのため、トランジスタのオン抵抗のばらつきを補正する回路の補正可能な電圧解像度を調べた。差動入力電圧をばらつかせることで、入力換算オフセット電圧をどの程度補正できるかをシミュレーションした。その結果、補正回路を用いることで、4mV の解像度で補正できた。

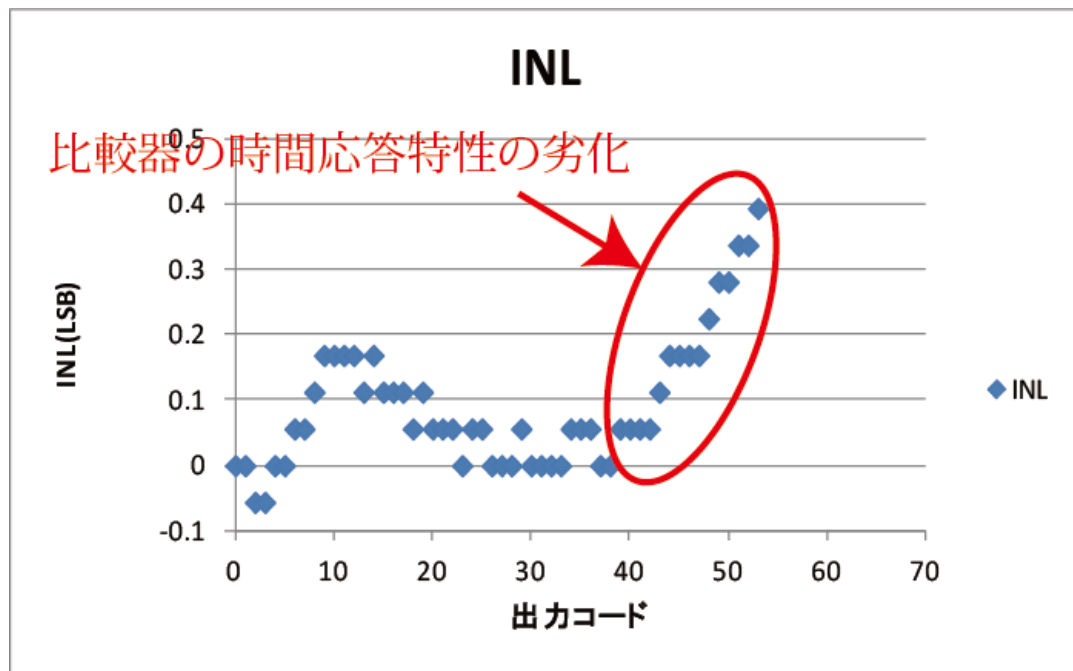


図 3.3 A/D 変換器の INL(ばらつきなし、補正回路なし)

3.3 クロックジェネレータのシミュレーション結果と評価

クロックジェネレータとそれに用いた PLL と DLL の回路特性をシミュレーションにより評価した。評価した特性は PLL の出力周波数レンジ、PLL と DLL の出力信号スペクトル、位相特性である。シミュレーションは以下のように行った。まず、PLL と DLL それぞれの入力参照周波数信号として正弦波を入力した。次に、この正弦波の周波数に対する出力信号の周波数を調べることで、出力周波数レンジを評価した。出力信号の RMS ジッターに関しては出力信号の周波数が 640MHz のときの RMS ジッターを評価した。640MHz という周波数は A/D 変換器の動作の評価に用いたものと同じ周波数である。また、位相特性に関しては、それぞれの出力信号間の立ち上がり時間の差を評価した。

(図 3.5) に PLL の出力周波数レンジを示す。これは、PLL に用いた VCO 出力信号の周波数レンジを調べることで評価した。横軸は VCO に入力する制御電圧、縦軸は VCO 出力信号の周波数である。シミュレーション結果から、VCO 出力信号の周波数レンジは 300MHz から 1100MHz であり、制御電圧範囲は 0.7V から 1.3V である。

(図 3.6) は PLL の、(図 3.7) は DLL の出力信号の時間波形である。PLL と DLL の

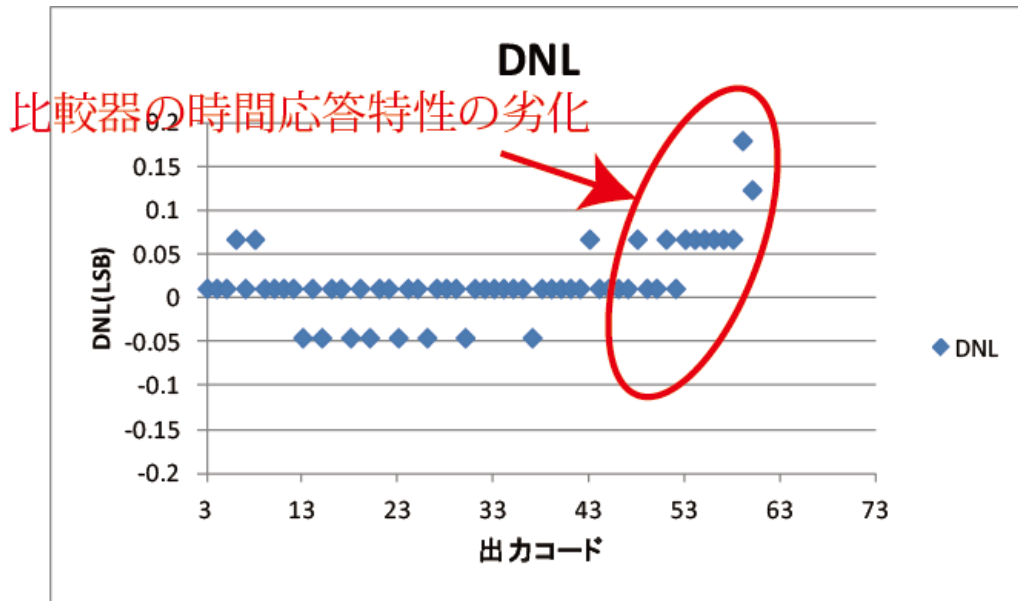


図 3.4 A/D 変換器の DNL(ばらつきなし、補正回路なし)

出力信号周波数が 640MHz のときの RMS ジッターを評価した。シミュレーション結果から、PLL の RMS ジッターは 47ps、DLL の RMS ジッターは 57ps である。本シミュレーションでは、ランダム雑音を入力していないため、シミュレーションから得られる RMS ジッターの特性は回路構成由来のものとなる。

(図 3.8) は DLL の位相特性である。これは、DLL の各出力の立ち上がりの差を見ている。例えば、 ϕ_0 が立ち上がった後に、 ϕ_1 が立ち上がるまでの時間を縦軸、横軸は時間である。DLL の各出力信号の位相のバランスを表している。DLL 出力では、出力信号 ϕ_0 - ϕ_1 間は 1046p sec、 ϕ_1 - ϕ_2 間は 1046n sec、 ϕ_2 - ϕ_3 間は 1046p sec、 ϕ_3 - ϕ_0 間は 866p sec である。

PLL と DLL のシミュレーション結果を評価する。評価は、周波数出力範囲、DLL の各出力信号間の位相間隔について行った。

まず、周波数出力範囲について評価する。ジッター取得するスペクトル帯域は 1GHz 帯域幅を想定しているため、FFT に必要なサンプリング速度は標本化定理より 2GHz 以上となる。本研究で用いる TI-ADC はインターリーブ数 4 なので、PLL に用いる VCO の出力周波数は 500MHz 以上が必要となる。シミュレーション結果から得られる周波数の出力範囲は 300MHz から 1100MHz であるため、クロックジェネレータに対して必要な性能を満たしている。

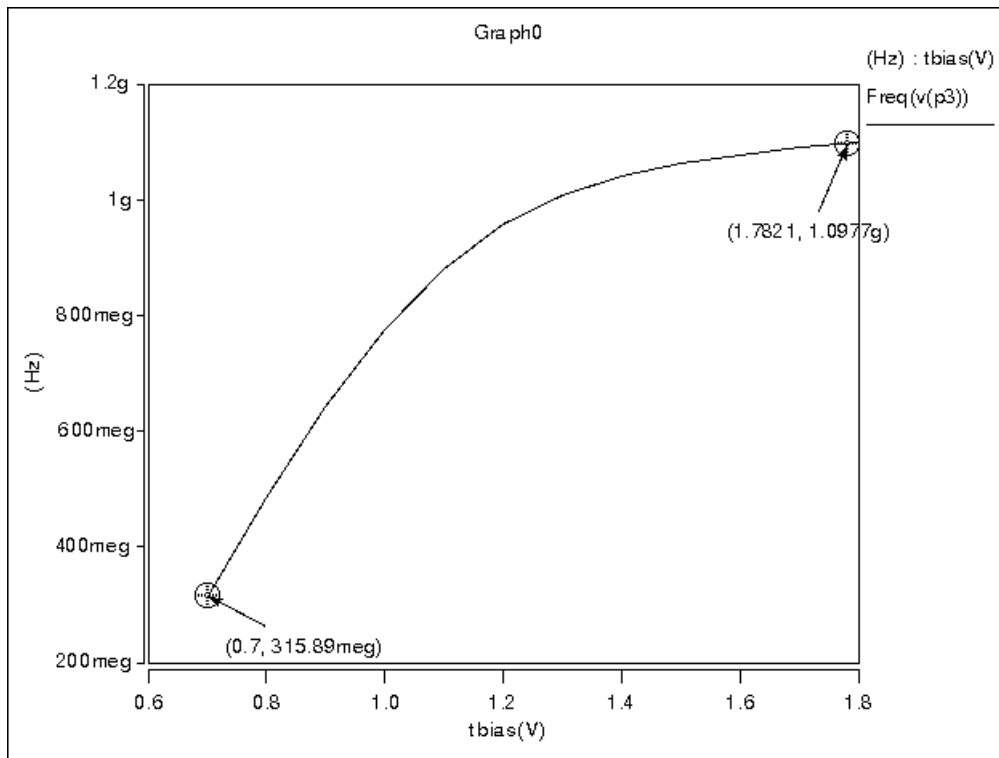


図 3.5 VCO の出力周波数範囲

次に、PLL と DLL の出力スペクトルから RMS ジッターの評価をする。位相ノイズ特性から得られる RMS ジッターは、PLL が 7.2ps、DLL が 12.7ps となる [12]。ジッターによりサンプリングタイミングがずれ、サンプリング出力の SNR が劣化する。しかし、SNR を 15dB 以上にする場合、DLL 出力段での RMS ジッターは 15ps 以下である必要がある。そのため、PLL と DLL の RMS ジッターは、クロックジェネレータに対して必要な性能必要性能を満たしている。

DLL の各出力信号間の位相間隔を評価する。本来、DLL の各出力信号間の位相間隔は等間隔であることが理想である、位相間隔が理想状態からずれることによりサンプリングタイミングのずれが生じ、SNR が劣化する [16]。このずれはジッターの一種として考えることができる。シミュレーション結果から、各出力位相間隔は等間隔から 200ps ずつずれており、目標としている SNR よりも大きくなっているため、必要性能を満たしていない。

以上を総合すると、出力周波数範囲、PLL と DLL の RMS ジッターは要求性能を満たしているけれども、DLL の各出力位相間隔は要求性能を満たしていない。そのため、

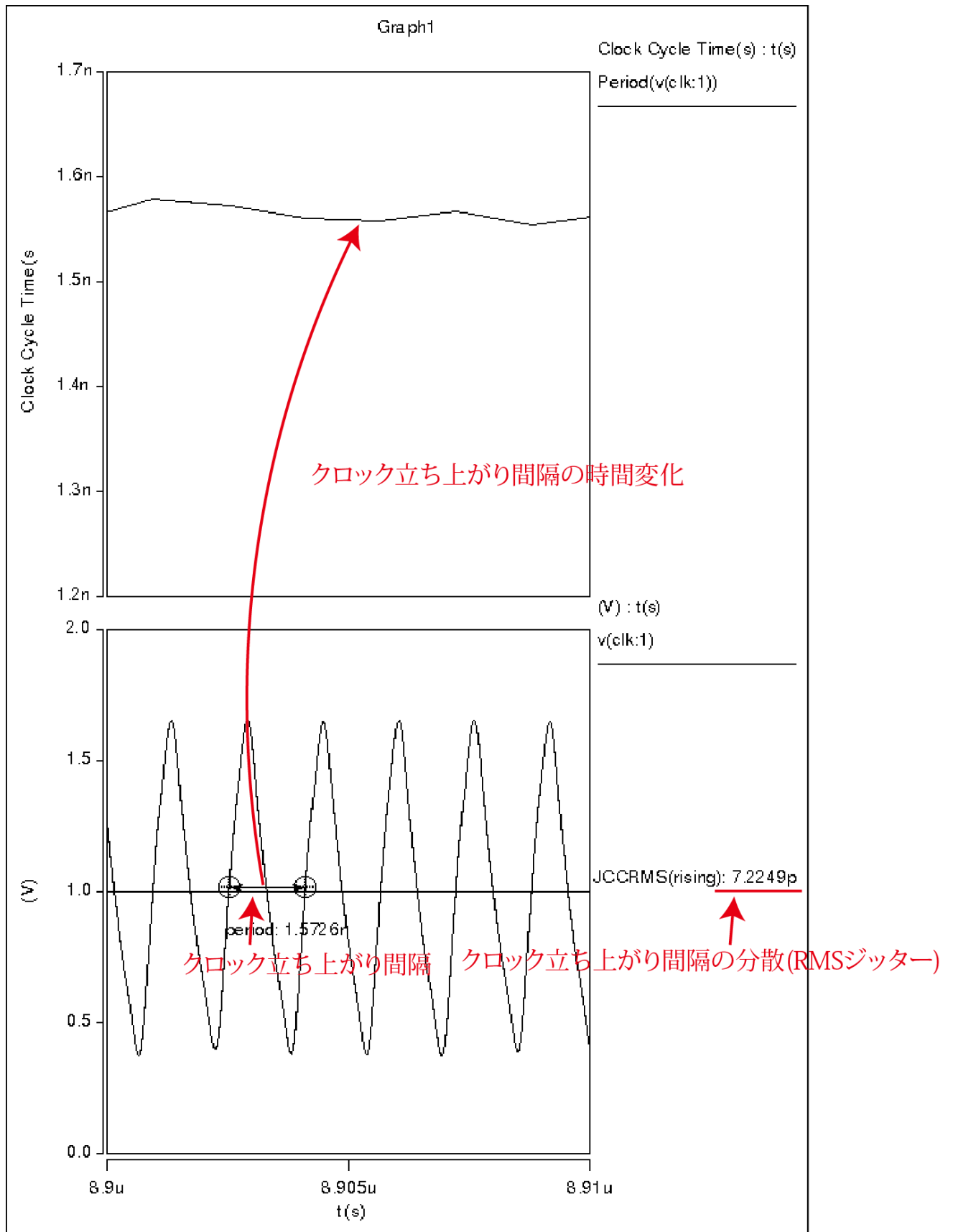


図 3.6 PLL 出力信号の時間波形と RMS ジッター特性 (a) 上図。クロック立ち上がり間隔の時間変化 (b) 下図。PLL 出力信号の時間波形

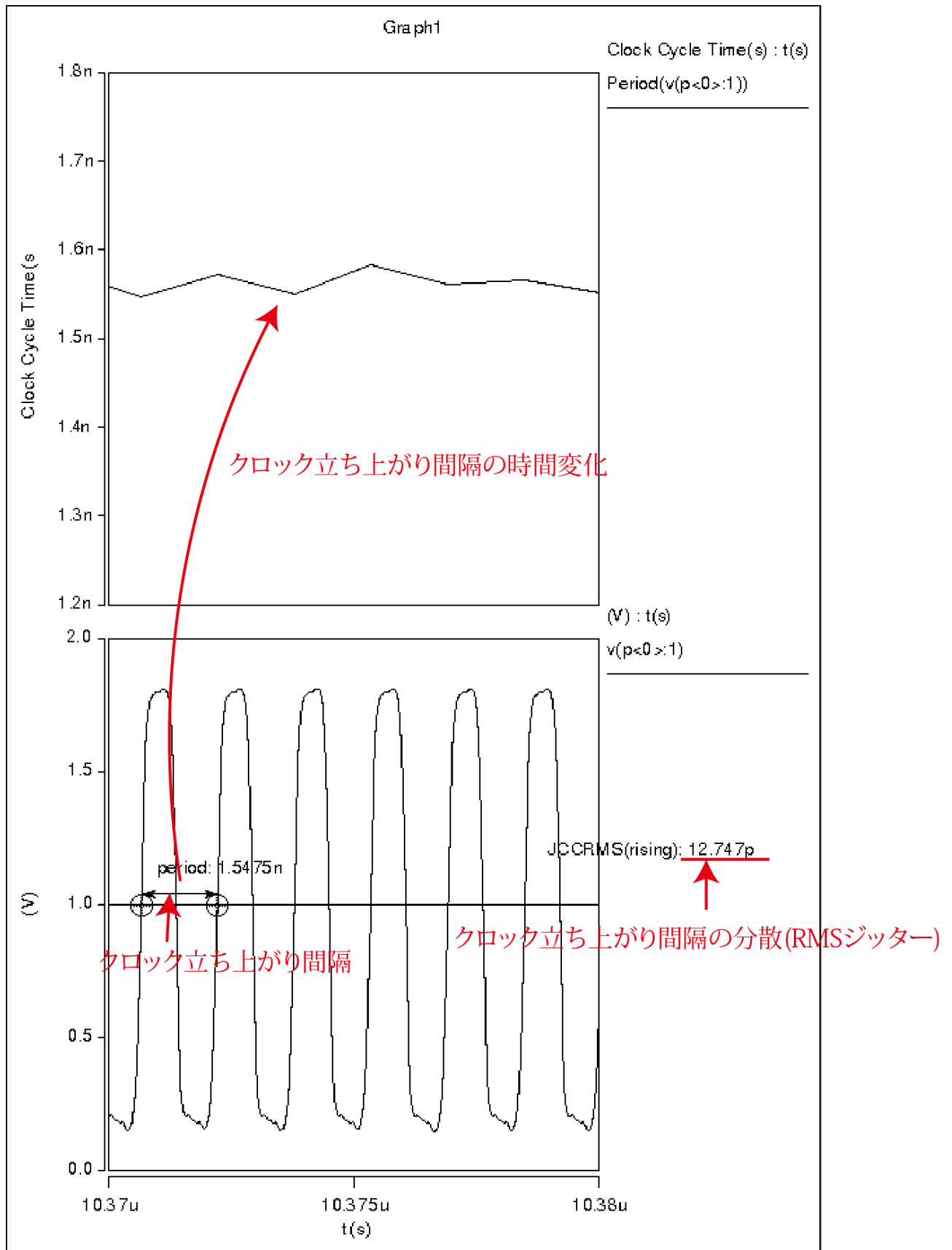


図 3.7 DLL 出力信号の時間波形と RMS ジッター特性 (a) 上図。クロック立ち上がり間隔の時間変化 (b) 下図。DLL 出力信号の時間波形

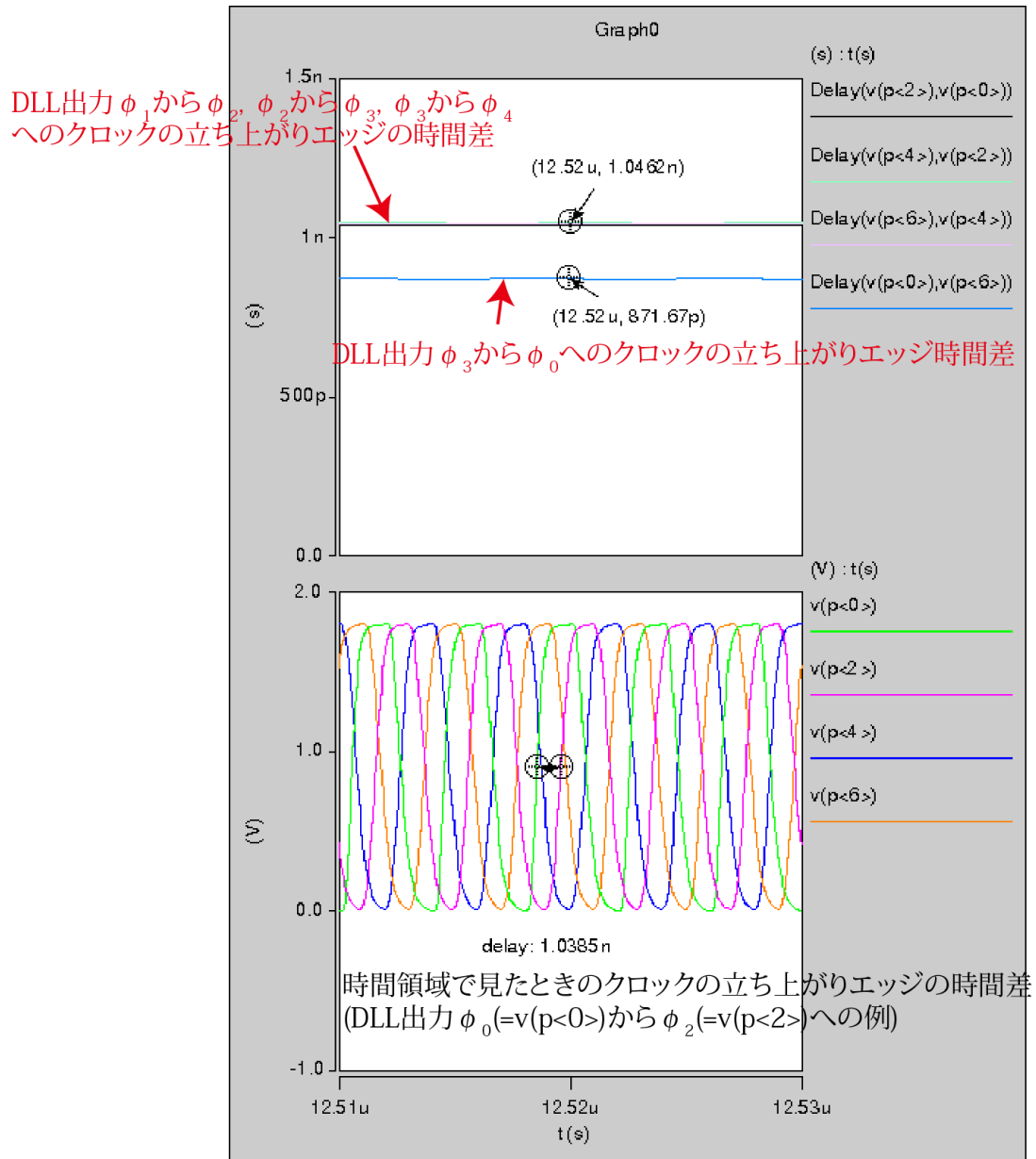


図 3.8 DLL の各出力のクロック立ち上がりエッジの時間差 (a) 上図。時間経過に伴うクロック立ち上がりエッジの時間変化 (b) 下図。DLL 出力の時間波形における、クロック立ち上がりエッジの例

PLL と DLL からなるクロックジェネレータ全体としては、要求性能を満たしていない。
DLL の出力位相間隔の不均衡性の改善は今後の課題である。

3.4 シミュレーション結果と目標性能との比較

今回設計したフロントエンド回路のシミュレーション上の性能と、研究開始時に定めた目標性能との比較を行う。本研究で設計したフロントエンド回路はいくつかの性能において、初期に定めた目標性能から大きく劣化している。目標性能から大きく劣化している帯域幅、DLL 出力の 4 相クロック間のずれについて原因を考察する。帯域幅の大きな劣化原因は、ゲインを稼ぐために、VGA の縦続接続構造を採用したことが大きな原因だと考えた。VGA を縦続接続することによって、信号経路にその分の寄生容量がついたためである。寄生容量の増加によって、アンプの高周波域での特性が劣化した。その結果、目標値と比べて大きく帯域特性が劣化した。ただし、帯域特性はゲインとのトレードオフがある。そのため、プロセスの性能上、帯域とゲイン両方の目標値を同時に達成することは困難だと考えられる。4 相クロックの立ち上がり時間のずれは、DLL のフィードバックループ構造上の問題である。インバータチェーンの初段と最終段の立ち上がり差分だけが、他の差分と比べて大きく異なっている。このことから、フィードバック制御値に一定のオフセットが乗っていることが問題となっていることがわかる。DLL の制御は参照クロック信号とインバータチェーンの最終段出力の位相を比較し、位相差を減らす方向へフィードバックをかける。この位相差検出精度には限度がある。そのため、検出精度の限界が制御値のオフセットとして表れている。このオフセットは、インバータチェーンの代わりに偶数段の発振器を用いることなどの回路設計上の工夫により改善可能であると考えられる。考察をまとめると、帯域幅の問題はゲインとのトレードオフが存在するため改善が困難であるが、4 相クロックのオフセットは回路設計手法により改善可能である。

表 1. 目標値とシミュレーション値との比較表

	目標値	シミュレーション値
アンプ帯域幅	1GHz	330MHz
アンプのNF	24dB以下	8.4dB@330MHz
アンプゲイン	60dB	50dB
サンプル速度	2GHz以上	2.56GHz
クロックジッタ	15ps	12.7ps
4相クロックの立ち上がり時間差分のずれ	15ps	170ps

3.5 アンプ飽和時のスペクトル解析結果と評価

広帯域な信号をアンプで増幅するにあたって問題となる信号の歪みの評価をする。無線信号は帯域ごとに信号強度が大きく異なる。信号強度の弱い信号成分を検知するためにはアンプのゲインを高くする必要がある。そこに、信号強度が非常に強い別の信号が入力され、アンプの出力信号が飽和する場合を考える。その場合、信号強度の強い信号が妨害波となり、他の帯域にある微小信号成分が潰れてしまい、検出するのが難しくなる。ただし、妨害波が入力されることで、アンプは必ずしも飽和するというわけではない。妨害波信号のピークからピークへの遷移時にはアンプは飽和していないため、このピークからピークへの遷移時間中でなら信号強度の低いものでも検出ができる (図 3.9)。これらの事情ゆえ、妨害波強度と微弱信号成分劣化との関係を解析し、広帯域実時間スペクトルアナライザの適用範囲を評価する必要がある。

広帯域アンプの飽和状態の信号劣化を理想 6bit A/D 変換器を用いることで解析した。スペクトルアナライザ全体の回路についてシミュレーションを行うと、演算量が膨大になり、現実的な時間で終わらなくなる。そのため、強度の高い信号によって飽和を起こすアンプ部分のみ、回路シミュレーションを行った。ここでいう理想 6bit A/D 変換器は、非線形歪みのない、変換速度が速い (クロックが非常に高い、つまりアナログ値からデジタル値への変換に時間がかからないものとする)。具体的な方法としては、まず広帯域アン

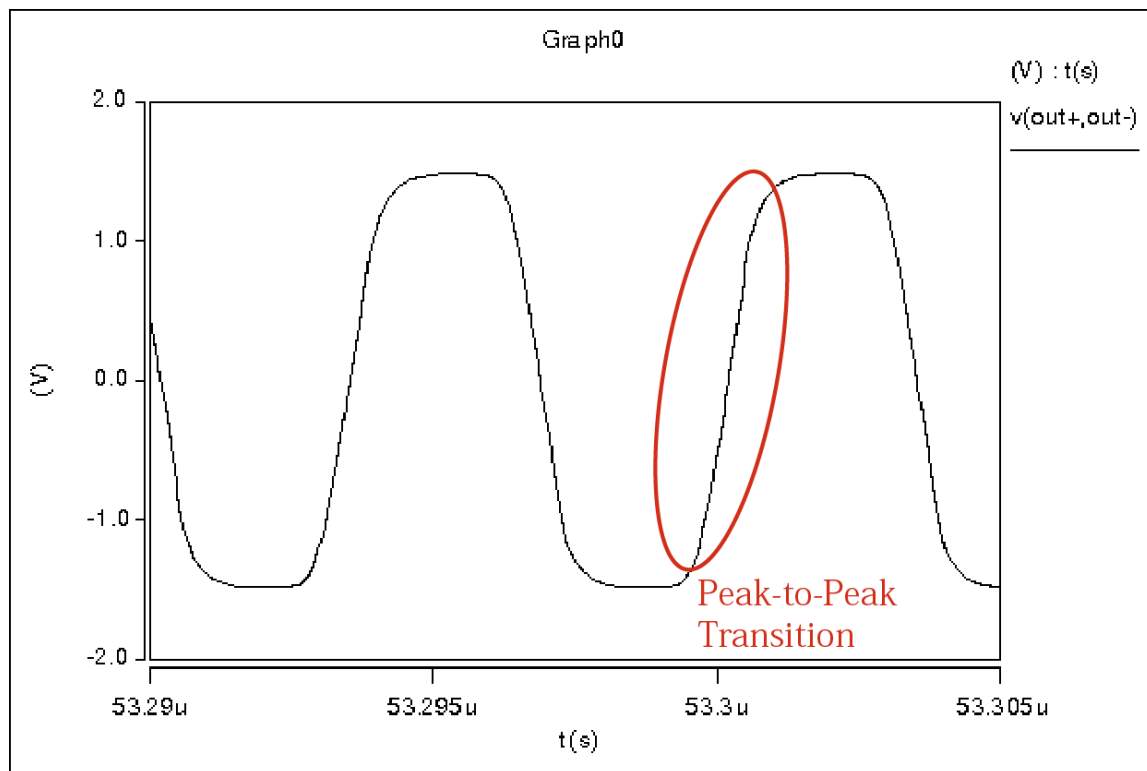


図 3.9 アンプ出力飽和時の、ピークからピークへの遷移の様子

プに強度の強い信号を入力し、アンプの出力信号を理想 6bit A/D 変換器で離散値化した。次に離散値化したデータ系列を FFT することで、アンプが飽和したときのスペクトル情報の解析を行った。

理想 6bit A/D 変換は、広帯域アンプの回路シミュレーション結果を離散値に書き換えることで行った。広帯域アンプ回路には妨害波（強信号）と微弱信号成分（弱信号）を含む信号を入力してみた。この状態だと、広帯域アンプ回路からの出力は、飽和した信号のデータ系列となる。また、このデータ系列はアナログ信号値となっているので、A/D 変換を行って、このデータ系列を離散値に書き換えた。この A/D 変換では、各アナログ値から見て、値がもっとも近い離散値へと丸めた。シミュレーションの出力結果は区分線形関数の形になっている。そこでアナログの連続値である区分線形関数を離散値に変換する際に、線形区間中の直線に対して各離散値への丸め処理を行った。このように、理想 6bit A/D 変換を行い、広帯域アンプの回路シミュレーション結果を離散値に書き換えた。

理想 6bit A/D 変換後の結果を用いて FFT を行い、スペクトル解析を行った。FFT 回路はシミュレータ (HSPICE) を用いて行った。FFT では、実際に実装する FFT の精度

を考慮せずに演算するため、FFT の精度はシミュレータの演算精度で決まる。FFT のサンプリングは 2GHz の速度で行い、 $1048576 (=2^{20})$ 点をサンプリングした。これは、1GHz 帯域の信号を 10kHz 以下の分解能でスペクトル解析するのに十分な値である。アンプに妨害波と微弱信号波の二つの信号を入力してシミュレーションを行った結果を示す(図 3.10、図 3.11)。アンプ出力を A/D 変換したあとのデジタル信号を FFT した結果と A/D 変換をしないでアナログ信号を FFT した結果を示していく。妨害波と微弱信号波の二つの信号をアンプに入力し、その出力信号を見た。また、入力信号にノイズ成分は入力していない。(図 3.10)、(図 3.11) は FFT を行った後のスペクトル波形である。(図 3.10(a)) は、飽和状態のアンプからの出力信号を A/D 変換したあと FFT したスペクトル波形である。(図 3.10(b)) は、飽和状態のアンプからの出力信号を A/D 変換せずに FFT したスペクトル波形である。(図 3.11(a)) は、非飽和状態のアンプからの出力信号を A/D 変換したあと FFT したスペクトル波形である。(図 3.11(b)) は、非飽和状態のアンプからの出力信号を A/D 変換せず FFT したスペクトル波形である。飽和状態では、妨害波成分はアンプの出力側ではある一定以上は増加しなくなり、微弱信号成分は減衰していく。同時に、飽和状態にあるため、アンプの非線形特性が顕れ、妨害波の 3 次高調波成分が見えるようになる。それに対し、非飽和状態では、妨害波と微弱信号波の二つの信号成分はアンプのゲイン分だけ増幅され、出力に現れる。また、飽和・非飽和の両方の結果で、二つの入力信号の相互変調成分が見える。図 N-M3 に A/D 変換前のアンプ出力信号を FFT した結果から得られる、アンプ出力の妨害波成分、微弱信号成分、妨害波の高調波成分、二つの入力信号の相互変調成分をまとめたものを(図 3.12)に示す。同様に(図 3.13)にアンプ出力信号を A/D 変換した信号を FFT した結果をまとめたものを示す。(図 3.12)、(図 3.13)において、入力した妨害波の信号振幅を横軸にとり、縦軸は FFT 後のスペクトル波形から観測できる各成分の強度を表している。

妨害波存在時のシミュレーション結果を評価する。(図 3.10)、(図 3.11) の図において、ノイズフロアはシミュレータの精度限界を表している。実際のアンプからのノイズ特性から、実際のノイズフロアは -120 dBV となる。これはシミュレータのノイズフロアよりも低い。本研究では、シミュレーションで可能な範囲までを評価する。図 N-M3 は妨害波強度をパラメータにとったときのアンプ信号を A/D 変換する前の各信号成分、N-M4 は A/D 変換後の各信号成分を表している。調べた信号成分は妨害波 (f_1) と微弱信号波 (f_2) の基調波成分、妨害波の 2 次高調波成分 ($2*f_1$)、3 次高調波成分 ($3*f_1$)、妨害波と微弱信号波の 3 次相互変調成分 ($2*f_1-f_2$ 、 $2*f_2-f_1$) である。出力側の妨害波成分が、入力 of 妨害波成分の信号強度に対して線形に増加しなくなるあたりでアンプが飽和している。妨害波の信号成分が増加し、アンプの飽和が進むにつれ、出力の微弱信号成分が減衰している。

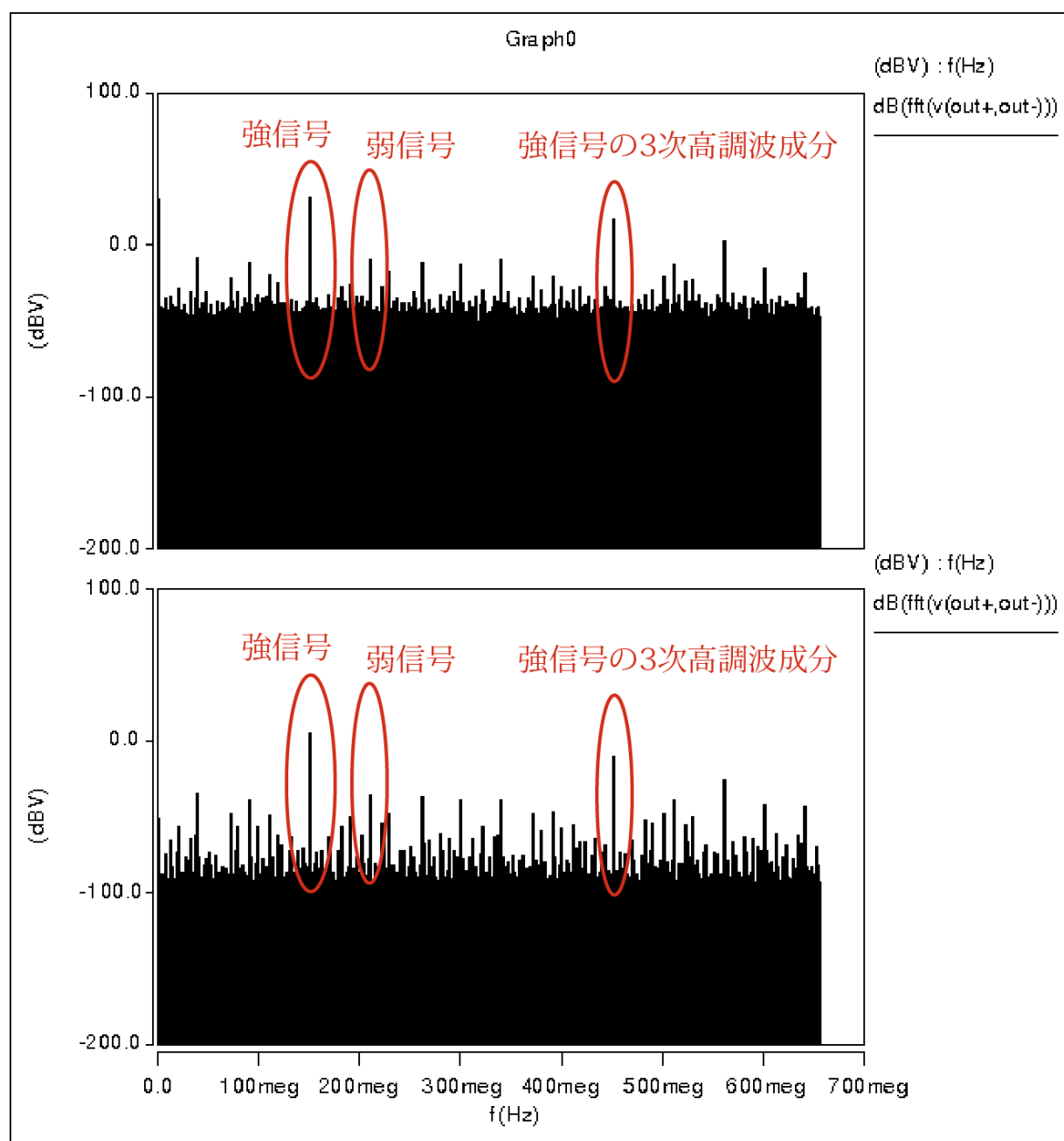


図 3.10 アンプ飽和時のスペクトル (a) 上図。A/D 変換後のスペクトル波形 (b) 下図。A/D 変換前のスペクトル波形

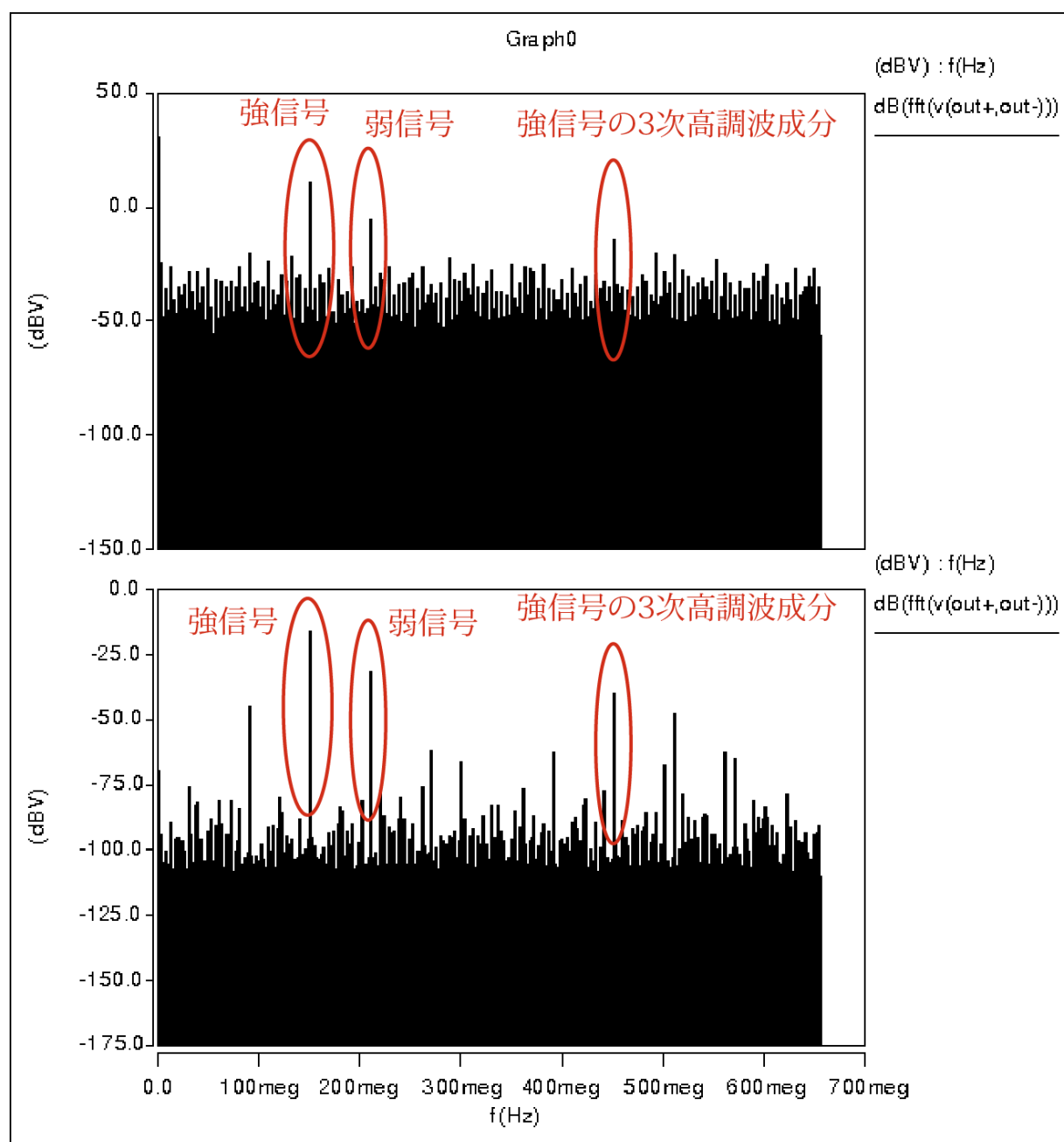


図 3.11 アンプ非飽和時のスペクトル (a) 上図。A/D 変換後のスペクトル波形
(b) 下図。A/D 変換前のスペクトル波形

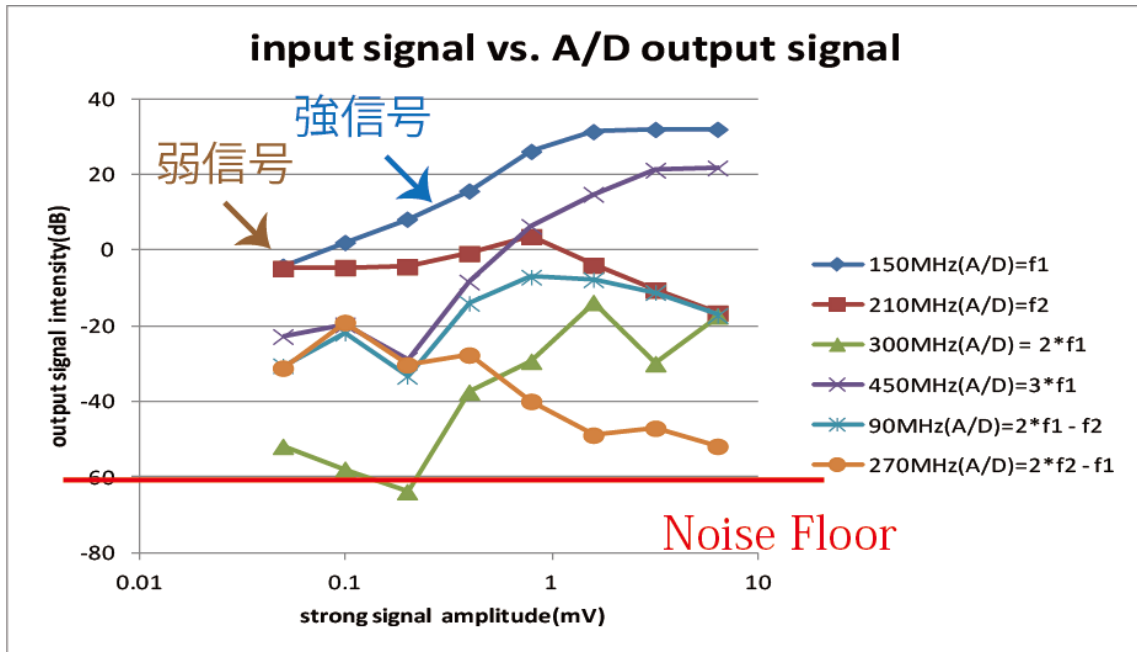


図 3.12 A/D 変換後信号の妨害波による、微弱信号成分の劣化

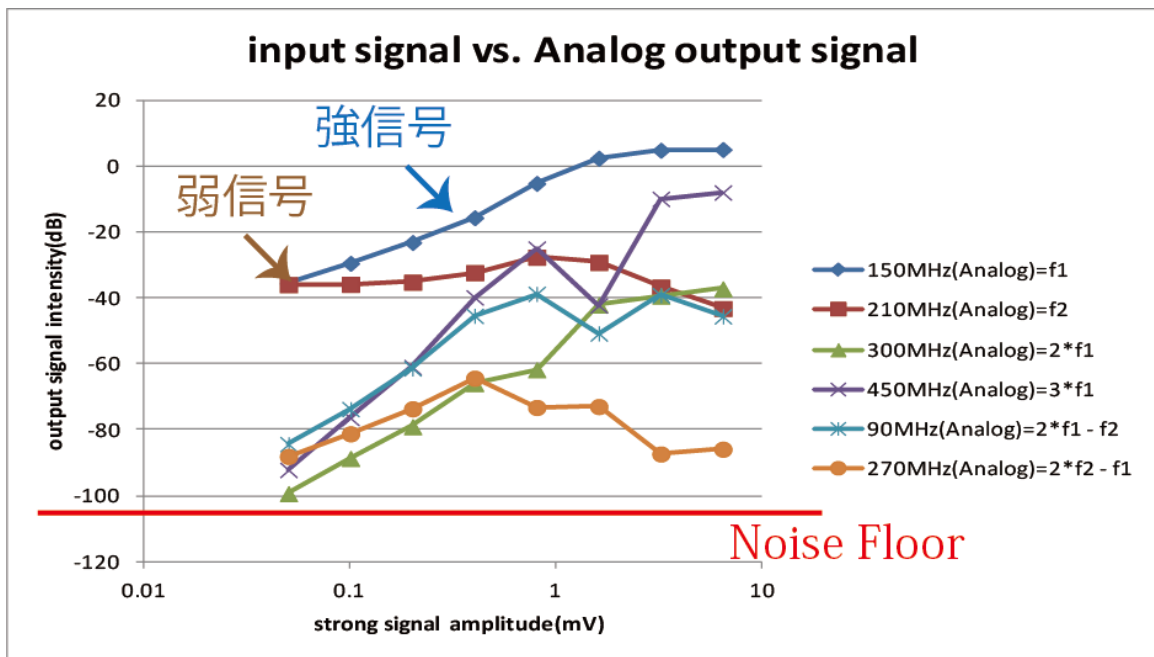


図 3.13 A/D 変換前信号の妨害波による、微弱信号成分の劣化

微弱信号成分が減衰していき、妨害波の高調波成分や相互変調成分と同じ信号強度まで減衰するため、微弱信号成分の特定が不可能になる。ただし、高調波成分や相互変調成分との区別は不可能ではあるが、ノイズフロアよりも十分高い強度である。そのため、信号の存在していることを確認特定することは可能である。そのため、信号が存在していると思われる周波数と、存在しない周波数とに分別することができる。この方法でアンプが飽和している状態でも、信号の存在しない帯域を検出することができる。一般的には、妨害波と微弱信号波との信号強度差が A/D 変換器のダイナミックレンジ以上である場合は正常に信号検出ができないといわれている。(図 3.12)、(図 3.13) では、入力妨害波信号の強度が 1.28mV のとき妨害波と微弱信号波の強度差が 36dB になり、本体の 6bit A/D 変換器のダイナミックレンジは 36dB であったので、正常な信号検出ができない可能性があった。しかし、今回の検証からこのような状況でも信号の有無を判定するだけであるなら可能であることがわかる。シミュレーション上では妨害波と微弱信号波の強度差が最大 84dB であり、このときにも信号の存在しうる帯域を特性することができる。そのため、入力信号のダイナミックレンジが 80dB 以上の場合であっても、信号の存在する帯域を除外し、空いている帯域を探し出すことが可能である。

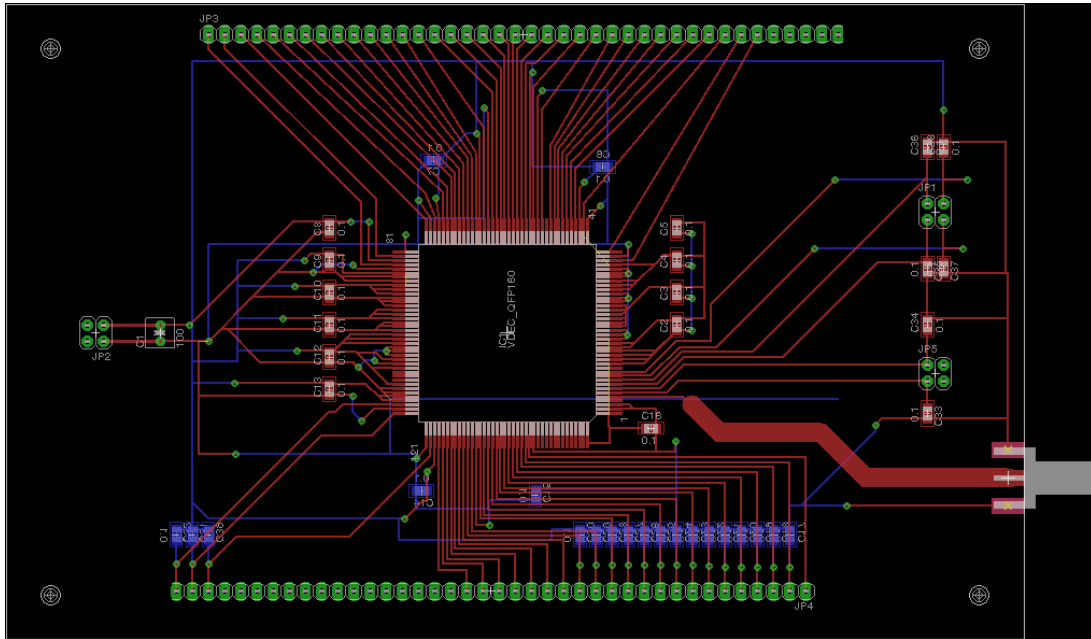


図 3.14 測定用基板の設計図

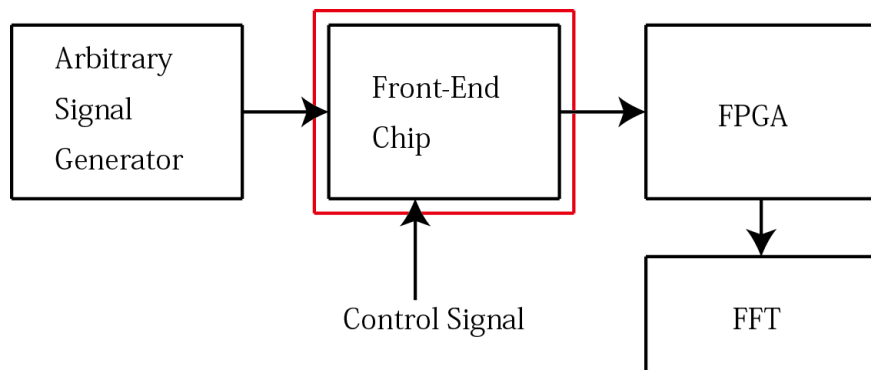


図 3.15 測定系のブロック図

3.6 測定

測定にはこれから取りかかる。(図 3.14) に示す、基板を用いてフロントエンド回路の測定を行う。本研究の主張点である、アンプの飽和を許容することで、フィルタやミキサといった周波数選択回路なしでの、スペクトル検出が可能であること。また、同じく飽和状態を許容することで、A/D 変換器のダイナミックレンジが、受信信号のダイナミック

レンジよりも狭くても、周波数帯域上のホワイトスペースを検出することが可能であることを示す。

測定の手順は以下のように予定している (図 3.15)。測定対象のチップに信号を入力する。チップからの信号をタイミング制御しながら取り出していく。取り出したデータを FFT にかけることで、スペクトル情報に変換する。入力する信号はシングルトーン信号、マルチトーン信号を入力して特性を計測する。最初にシングルトーン信号を入力し、フロントエンドの周波数ごとの特性を測定し、評価する。その後、マルチトーン信号を入力する。強信号と弱信号を入力し、シングルトーン信号の測定結果と比較し、特性を評価する。

第 4 章

結論

本研究では、スペクトル情報をワンショットの FFT で取得するために、受信帯域内の信号をすべて A/D 変換する回路を提案し、180nm プロセスでの設計を行った。広帯域アンプが、入力信号によって飽和することを許容し、高速の A/D 変換器を用いることで実現を目指した。シミュレーションにより、A/D 変換器のサンプリング速度は 2.5G Sampling/sec が実現可能であることを示した。180nm プロセスで設計されたアンプの帯域は上限が 1GHz 程度が限界となる。A/D 変換器のサンプリング速度は 180nm プロセスのアンプ帯域をサンプリングするのに十分な速度を持つ。また、アンプ飽和時のシミュレーション結果から、入力信号が 80dB 以上のダイナミックレンジを持っていたとしても、信号の存在する帯域を特定することが可能である。これは、コグニティブ無線に用いられているスペアナに必要とされるダイナミックレンジを満たしている。以上から、目的とする、スペクトルアナライザのフロントエンド回路が実現可能であることを示した。

今後、測定用基板を作成し、測定によって主張を実証する。

参考文献

- [1] S.M.Mishra et al., "Cooperative Sensing among Cognitive Radios," in Proc. of IEEE International Conference on Communications, vol. 4, pp. 1658-1663, 2006.
- [2] J. Park , T. Song , J. Hur , S. M. Lee , J. Choi , K. Kim , J. Lee , K. Lim , C. H. Lee , H. Kim and J. Lasker "A fully integrated UHF receiver with multi-resolution spectrum sensing (MRSS) functionality for IEEE 802.22 cognitive radio applications", Proc. 2008 IEEE Int. Solid State Circuits Conf., 2008 .
- [3] W. A. Gardner "Signal interception: A unifying theoretical framework for feature detection", IEEE Trans. Commun., vol. 36, pp.897 -906 1988 .
- [4] H. Urkowitz "Energy detection of unknown deterministic signals", Proc. IEEE, vol. 55, pp.523 -531 1967.
- [5] C. C. Huang et al., "A CMOS 6-Bit 16-GS/s Time-Interleaved ADC Using Digital Background Calibration Techniques," IEEE J. Solid-State Circuits, vol. 46, no. 4, pp. 848-858, Apr. 2011.
- [6] M.El-Chammas et al., "A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration," IEEE J. Solid-State Circuits, vol.46, no.4, pp.838-847, Apr, 2011.
- [7] Y.Nakajima et al., "A Background Self-Calibrated 6b 2.7 GS/s ADC With Cascade-Calibrated Folding-Interpolating Architecture," IEEE J. Solid-State Circuits, vol.45, no.4, pp.707-718, Apr, 2010.
- [8] G.Keskin et al., "Exploiting Combinatorial Redundancy for Offset Calibration in Flash ADCs," IEEE J. Solid-State Circuits, vol.46, no.8, Aug, 2011.
- [9] 松澤 昭 "アナログ RF CMOS 集積回路設計 応用編" 培風館 2011.
- [10] B.Razavi, Design of Analog CMOS INtegrated Circuits, McGraw-Hill, 2001.
- [11] B.Razavi, RF Microelectronics Second Edition, PRENTICE HALL PERSON

- EDUCATION ,2011.
- [12] M.Pelgrom, Analog-to-Digital Conversion 2nd Edition, Springer, 2012
 - [13] S.Blaakmeer et al., "An Inductorless Wideband Balun-LNA in 65-nm CMOS with balanced output," in Proc. ESSCIRC, Oct. 2007.
 - [14] S.Blaakmeer et al., "Wideband Balun-LNA With Simultaneous Output Balancing, Noise-Canceling and Distortion-Canceling," IEEE J. Solid-State Circuits, vol.43, no.6, pp.1341-1350, Jun, 2008.
 - [15] B.Razavi, "Cognitive Radio Design Challenges and Techniques," IEEE J. Solid-State Circuits, vol.45, no.8, Aug. 2010
 - [16] M.El-Chammas et al., "General Analysis on the Impact of Phase-Skew in Time-Interleaved ADCs," IEEE Trans. Circuits Syst. I, Reg. Papers, vol.56, no.5, pp.902-910, May 2009.
 - [17] S.Blaakmeer et al., "A Wideband Balun LNA I/Q-Mixer combination in 65nm CMOS," IEEE ISSCC Dig. 2008, pp.326-617.
 - [18] D.Murphy et al., "A Blocker-Tolerant, Noise-Cancelling Receiver Suitable for Wideband Wireless Applications," IEEE J. Solid-State Circuits, vol.47, no.12, Dec, 2012.
 - [19] S.Zhou et al., "A CMOS Passive Mixer With Low Flicker Noise for Low-Power Direct-Conversion Receiver," IEEE J. Solid-State Circuits, vol.40, no.5, pp.1084-1093, May, 2005.
 - [20] M.Brandolini et al., "A +78 dBm IIP2 CMOS Direct Downconversion Mixer for Fully Integrated UMTS Receivers," IEEE J. Solid-State Circuits, vol.41, no.3, pp.552-559, Mar, 2006.
 - [21] D.Im et al., "A CMOS Resistive Feedback Differential Low-Noise Amplifier With Enhanced Loop Gain for Digital TV Tuner Applications," IEEE Trans. Microw. Theory Techn., vol.57, no.11, Nov, 2009.

本研究に関する発表

1. 宮崎 耕太郎, 池田 誠 ”広帯域実時間スペクトルアナライザの検討” 電子情報通信学会アナログ RF 研究会, 2013 年 11 月
2. 宮崎 耕太郎, 池田 誠 ”広帯域実時間スペクトルアナライザのアナログフロントエンド” IEICE 総合大会, 2014 年 3 月, 発表予定

謝辞

本研究を進めるにあたり、日頃から温かい御指導と的確な頂きました池田誠教授に心から感謝致します。また、貴重な時間を割いて多くの助言を頂き、日頃の研究活動を助けて頂きました、浅田邦博教授、名倉徹准教授、飯塚哲也講師、朱弘博助教に深く感謝致します。

研究活動のみならず、さまざまな場面で貴重なご意見をいただいた大学院生の吉川俊之氏、矢部紘貴氏、李航宇氏、Parit Kanjanavirojkul 氏、中村陽二氏、松井裕明氏、Kevin Ngari 氏、伊東敦氏、峠仁人氏、松島多佳彦氏、森一倫氏、楊驍氏、学部生の池川晶貴氏、石川涼一氏、崔伝脈氏、佐藤康次氏、三浦信一氏、田村雅人氏、西部拓人氏、矢野智比古氏、山内善高氏に深く感謝致します。

様々な場面で数多くの御助言、御支援をして頂きました秘書の皆様に深く感謝致します。

本研究は東京大学大規模集積システム設計教育研究センターを通し、ローム (株)、Synopsys,Inc.、Cadence Design Systems,Inc.、Mentor Graphics,Inc. の協力で行われたものです。ご協力頂いたことに深く感謝致します。

本チップ試作は東京大学大規模集積システム設計教育研究センターを通し、ローム (株) の協力で行われたものです。ご協力頂いたことに深く感謝致します。

最後に日々の生活をサポートしてくれた家族に深く感謝いたします。