

修士論文

恒温コントローラを搭載した
アナログVLSIシリコンニューロンの
単独動作システム

平成27年2月5日提出

指導教員 河野 崇 准教授

東京大学大学院工学系研究科
電気系工学専攻

学籍番号 37-136492

氏名 三宅麻里子

概要

人間の論理的な思考だけでなく直観的な思考まで再現するために、人間の脳内情報処理の様式を模倣するという試みがある。その中の一つシリコンニューロンは電子回路で神経細胞ニューロンを実装したものである。

ニューロンは細胞内外の電位差である膜電位として情報をコードしていると考えられており、シリコンニューロンの研究においては膜電位と細胞膜を通して内外を出入りするイオン電流の間にあるダイナミクスに焦点が当てられてきた。ホジキンハクスレイモデルを始めとするイオンコンダクタンスモデルはそれぞれのニューロンにおけるダイナミクスを詳細に再現できるものの、各々のモデルは生体ニューロンで記録した膜電位の応答をもとに作られており、同じことができるニューロンは限られる。

近年 Kohno, Aihara らは数理的手法によりニューロンのダイナミクスの背後にある数理的構造に着目し、電子回路との親和性が高いシグモイド関数を使ってモデル化することで、低消費電力で簡易な回路構成で幅広いニューロンの特性を再現できる手法を考案した。この手法による VLSI シリコンニューロンはボルテージクランプの機構を備えており、ナルクラインの描画により目的の発火特性を実現するための戦略的なパラメータの設定が可能である。

シグモイド関数で表される特性を得るために MOSFET を閾値以下のサブスレショルド領域で実装する必要があるが、この領域においては温度の変化で大きな電流値の変化が起こるため、これまでは温度安定化装置を始めとする大規模な実験設備が必要であった。しかしニューロンの情報処理機構を再現するためには複数のシリコンニューロンを結合したネットワークの実現が必要となり、将来的にこの大規模な実験環境は現実的ではない。

本研究ではベルチェ素子と温度センサによって VLSI シリコンニューロンの恒温コントロールを行い、DAC によりパラメータ電圧を入力することで従来から大幅に簡素化された動作システムを構築した。このシステムによりニューロンのパルス刺激に対する応答に見られる基本特性、クラス 1, 2 ニューロンの異なる周波数特性、さらに時定数の遅いイオン電流を表す変数の働きによりバースト波形を再現することができ、本システムの有用性が確かめられた。しかし、クラス 2 ニューロンにおけるバイスタビリティの確認や、バースト発火におけるスパイク数の一定化などはできなかった。

今後はシステムをスタンドアロン化することで生じた大きなノイズへの対策を目指しつつ、システムの簡素化により容易になった複数シリコンニューロンの結合によるネットワークの構築を行いたい。

目次

第1章	はじめに	3
1.1	シリコンニューロン	3
1.2	ニューロンの性質	3
1.3	アナログシリコンニューロンの先行研究	4
1.4	数理的構造に基づくシリコンニューロンの設計	5
第2章	数理的構造に基づくシリコンニューロン	6
2.1	数理的構造に基づくシリコンニューロンの数理モデル	6
2.2	位相平面解析とナルクライン	6
2.3	分岐解析	10
2.4	方形波バーストのメカニズム	14
2.5	楕円バーストのメカニズム	15
第3章	シリコンニューロン回路	17
3.1	MOSFET とサブショルド領域	17
3.2	シリコンニューロンの全体図	18
3.3	基本構成回路	18
3.4	電流モード積分器	22
3.5	Voltage Clamp 回路	24
第4章	温度フィードバックによるシリコンニューロンチップの単独動作	27
4.1	サブスレッショルド領域における実験温度の影響	27
4.2	これまでの実験設備	27
4.3	ペルチェ素子	28
4.4	温度フィードバックによる単独動作回路	28
4.5	マイクロコントローラにおける基板制御プログラムのアルゴリズム	29
第5章	結果	35
5.1	ナルクライン	35
5.2	単一パルスに対する応答 (クラス1)	36
5.3	2連パルスに対する応答 (クラス1)	37
5.4	定値刺激入力に対する応答 (クラス1)	39
5.5	単一パルスに対する応答 (クラス2)	44
5.6	定値刺激入力に対する応答 (クラス2)	46
5.7	楕円バーストの出力	54

第 6 章 結論と考察	58
6.1 結論	58
6.2 考察と今後の課題	58
参考文献	60
発表文献	61

第1章 はじめに

1.1 シリコンニューロン

人間の脳には論理的な思考をする能力や直観的に判断する能力が備わっている。我々の論理的な思考は直列的情報処理によって実現され、既にノイマン型コンピュータによって再現されているが、直観的な判断は並列的な情報処理によって行われていると考えられ、この並列処理を含めて脳の情報処理機構を工学的に再現・利用しようという試みが近年盛んである [1]。脳の機能を模倣する試みは二つに分けられる。1つめはトップダウンアプローチで、過程は問わず、脳ができることを機械ができるようにすることを目指す。対して2つめはボトムアップアプローチで、コンピュータの要素であるニューロンを模倣して組み合わせる。人間の脳の仕組みは未だ分かっていないことも多いため、ボトムアップではその解明と模倣が並行して進められる。

ボトムアップのアプローチとして汎用コンピュータによる神経ネットワークのシミュレーションも盛んに行われているが、それ以外に電子回路でニューロンを実装するシリコンニューロンという手法がある。本研究の対象とするシリコンニューロン、それが模倣するニューロンの性質について以下で詳しく述べる。

1.2 ニューロンの性質

ニューロンは人間の神経系を構成する細胞である。細胞内外の電位差を膜電位と定義する。その膜電位が情報をコードしていると考えられている。多数のニューロンはシナプスと呼ばれる機構で相互に接続されている。

本研究では膜電位の応答の持つ以下のような性質の再現を目標とする。

- ある種のニューロンでは、外部から刺激を受けない限り膜電位がほぼ一定の値（＝静止膜電位）に保たれる
- 各シナプスからの入力が時間的空間的に積分され、一定値（＝閾値）を超えると発火する
- 発火の後しばらくの間閾値が上昇する期間（＝不応期）が存在する
- 細胞膜のキャパシタンスが、イオン電流によって充放電されることにより膜電位が発生する

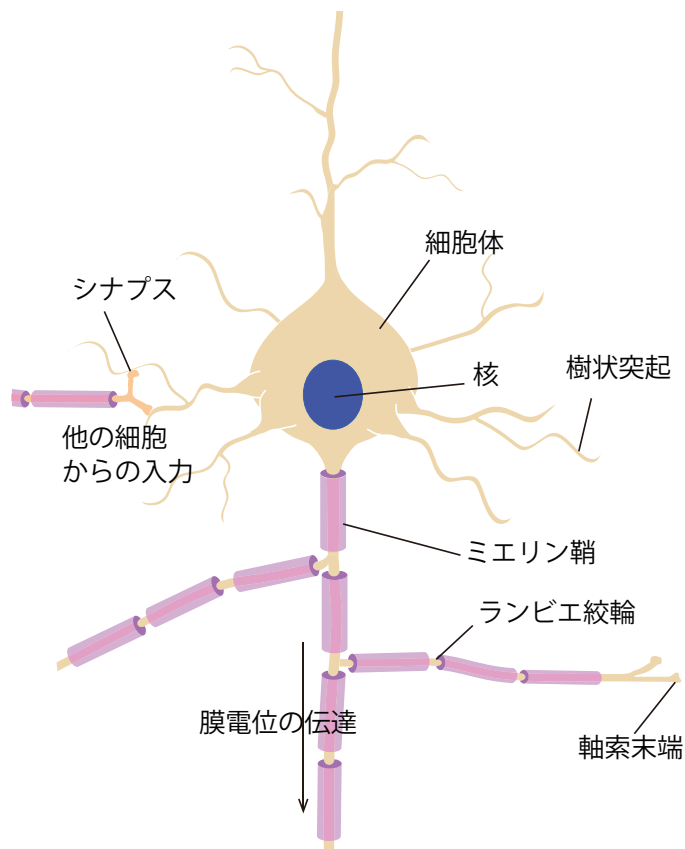


図 1.1: ニューロン

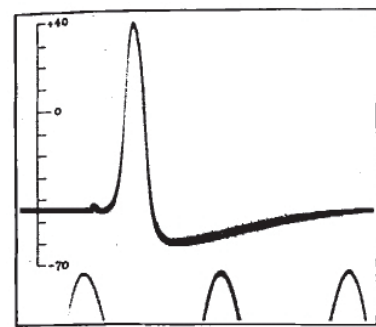


図 1.2: ニューロンの活動電位
下の山形が2ms 間隔 (引用: Hodgkin(1939)[2])

1.3 アナログシリコンニューロンの先行研究

シリコンニューロンにはデジタル的実装とアナログ的実装がある。アナログ的実装は専用電子回路で実装することで汎用コンピュータによるシミュレーションなどと比べたら省電力ということが大きな利点である。しかし、脳全体を 20W 程度で実装するには人間の脳にあるニューロンの個数を 1000 億個 [3] としてニューロン一つ当たり 0.2 nW で実現しなければならない。

シリコンニューロンは現象論的モデルに基づくものとコンダクタンスモデルに基づくものに分けられる。ホジキンハクスレイモデル [4] やヒルの心臓ニューロンモデルに基づいた Simoni らのモデル [5] を例とするコンダクタンスモデルは細胞膜中のイオンの通り道であるイオンチャネルとそれを通るイオン電流のダイナミクスをよく再現できる。しかしながらあるニューロンで記録した膜電位の応答だけをもとにモデルを作るとすると、モデルを作るのに十分なデータを取れるような実験ができるニューロンというのは非常に限られる。

一方現象論的手法では、膜電位の活動をメカニズムを無視して簡潔な回路で表現するこ

とに力点が置かれる。省電力であることや簡単な回路構成によりたくさんのニューロンの接続が容易であるなどの利点があるが、ニューロンの活動を部分的にしか再現できないため、ある発火パターンが再現できても、他の発火パターンを再現するためには回路の再構成が必要になる。現象論的手法によるシリコンニューロンの例としては、Indiveri らによる Leaky Integrate & Fire シリコンニューロン [6] が挙げられる。彼らは静止膜電位や入力電流によるキャパシタへの充電が一定値を超えた時の一様な発火、発火後の不応期などの性質を実装し、単純な発火パターンであるが、簡易な構造で多数のシリコンニューロンの同一チップ上の動作を実現した。

しかし、ニューロンは形状などの形態学的な違いや発火パターンなどの電気生理学的な違い、興奮性・抑制性などの伝達物質効果の違い、イオンチャネルや受容体の遺伝子発現などの生理学的違いなど様々な指標によって無数に分類されるが、そのすべてが情報処理において意味を持つとは限らない [7]。そこで数理的手法では、ホジキンハクスレイ方程式の解析により、さまざまなニューロンの性質の背後に存在する共通の数学的な構造を再現するモデルが構築される。例としてホジキンハクスレイモデルを簡略化した Morris-Lecar モデル [8]、FitzHugh-Nagumo モデルなどがあり [9]、これらの手法にはニューロンのさまざまな発火パターンを一つのモデルでより幅広く再現できるという利点がある。

1.4 数理的構造に基づくシリコンニューロンの設計

Kohno モデルも数理的手法の一つでホジキンハクスレイ方程式と等価な方程式を用いている [10]。しかし、同時に MOSFET の特性方程式に着目し、実装が簡潔になるようにモデルを作っている。このモデルでは、いくつかの MOSFET はサブスレシールド領域というゲートソース電位が閾値以下である領域で動作するように設計される。本研究で対象とするこのモデルについては次章以降で詳しく述べる。

第2章 数理的構造に基づくシリコンニューロン

2.1 数理的構造に基づくシリコンニューロンの数理モデル

今回対象とした数理的構造に基づくシリコンニューロンは、変数 n, q, v に関する3つの微分方程式から構成される。以下にモデル式を示す。

$$C_v \frac{dv}{dt} = -g(v) + f_m(v) - n - q + I_a + I_{stim}, \quad (2.1)$$

$$\frac{dn}{dt} = \frac{f_n(v) - n}{T_n}, \quad (2.2)$$

$$\frac{dq}{dt} = \frac{f_p(v) - q}{T_q}, \quad (2.3)$$

where

$$g(v) = S \frac{1 - \exp(-\frac{\kappa}{U_T}(v - \theta_y)/2)}{1 + \exp(-\frac{\kappa}{U_T}(v - \theta_y)/2)}, \quad (2.4)$$

$$f_x(v) = M_x \frac{1}{1 + \exp(-\frac{\kappa}{U_T}(v - \delta_x))} \quad (2.5)$$

変数 v が膜電位、 n, q は膜を通過して移動するイオンによる電流（イオン電流）のダイナミクスを抽象的に表す。膜電位には様々なイオンが関係するが、ここでは n が時定数の速いイオン電流、 q が時定数の遅いイオン電流に対応している。微分方程式中の $f(x), g(x)$ は共に sigmoid 曲線であり、3章で述べるようにサブスレシヨルド領域の MOSFET によって簡単に実装できる。 I_a は膜電位に依存しない定常電流、 I_{stim} は膜電位に依存しない刺激電流である。 n, q の微分方程式は同じく3章の電流モード積分器を用いて、動作時に積分時定数 T_n, T_q を変えることができる。

2.2 位相平面解析とナルクライン

Fitzhugh-Nagumo モデル以後、膜電位とイオン電流の関係に関して非線形システムの解析における位相平面解析、分岐解析などの手法が応用されるようになった。以下で2.1節のモデルに対して行われた位相平面解析・分岐解析をもとにニューロンの特性がどのように再現されるかを説明する。

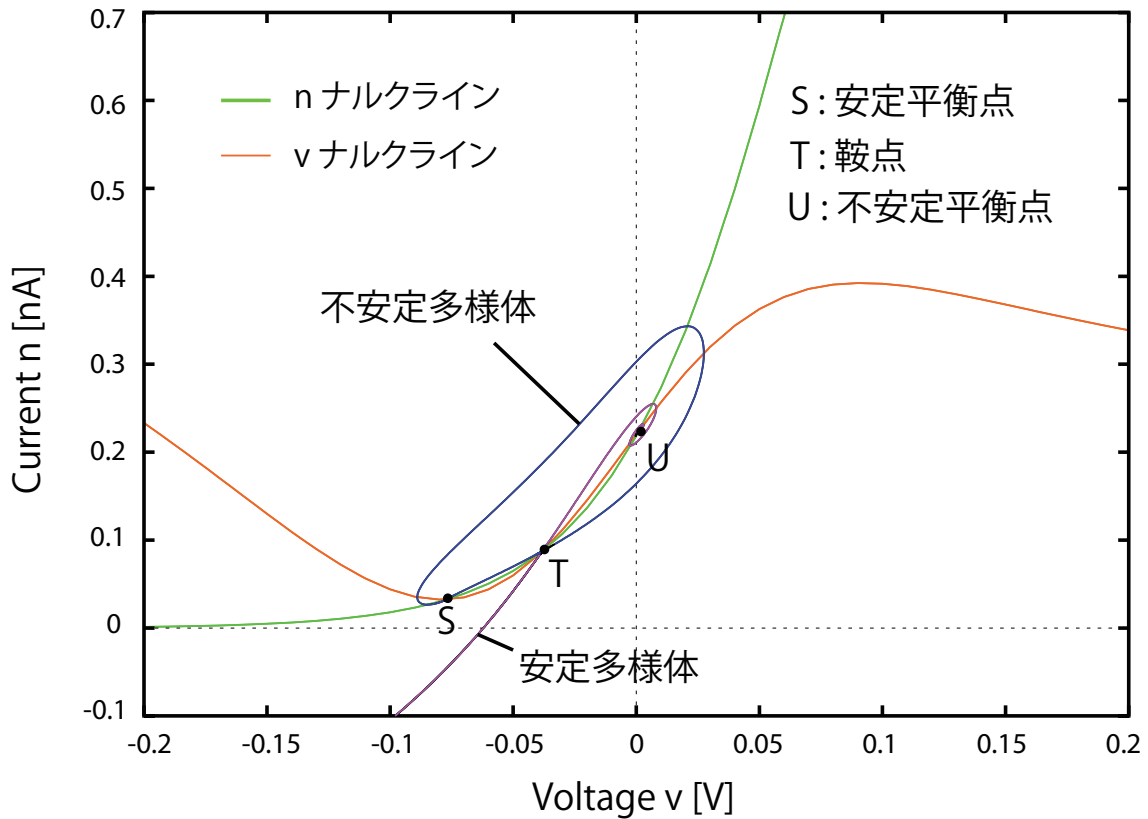


図 2.1: 位相平面図 (XPPAUT シミュレーション)

まず図 2.1 のような膜電位の v と、速い方のイオンチャネル電流である n を変数とした平面を考える (q は時定数が遅いためひとまず定数とみなす)。 $\frac{dn}{dt} = 0, \frac{dv}{dt} = 0$ となる線 (ナルクライン) をこの平面にプロットすると、ナルクラインを境として n 方向と v 方向それぞれのベクトルの向きが変わるため軌道を或る程度予想することができる。 $\frac{dn}{dt} = \frac{dv}{dt} = 0$ となるナルクラインの交点は平衡点である。厳密に平衡点上にあれば軌道は動かないが、少しずれた時の動作は平衡点のタイプによって異なる。各平衡点近傍で微分方程式を線形化することにより得られる固有ベクトルが平衡点に対してどちらを向いているかで以下のように分類できる

- 安定点において固有ベクトルが全て平衡点に向かっている：安定平衡点 (S)
- 全て平衡点から離れている：不安定平衡点 (U)
- 平衡点に向かっているもの、平衡点から離れているもの両方が有る：鞍点 (T)

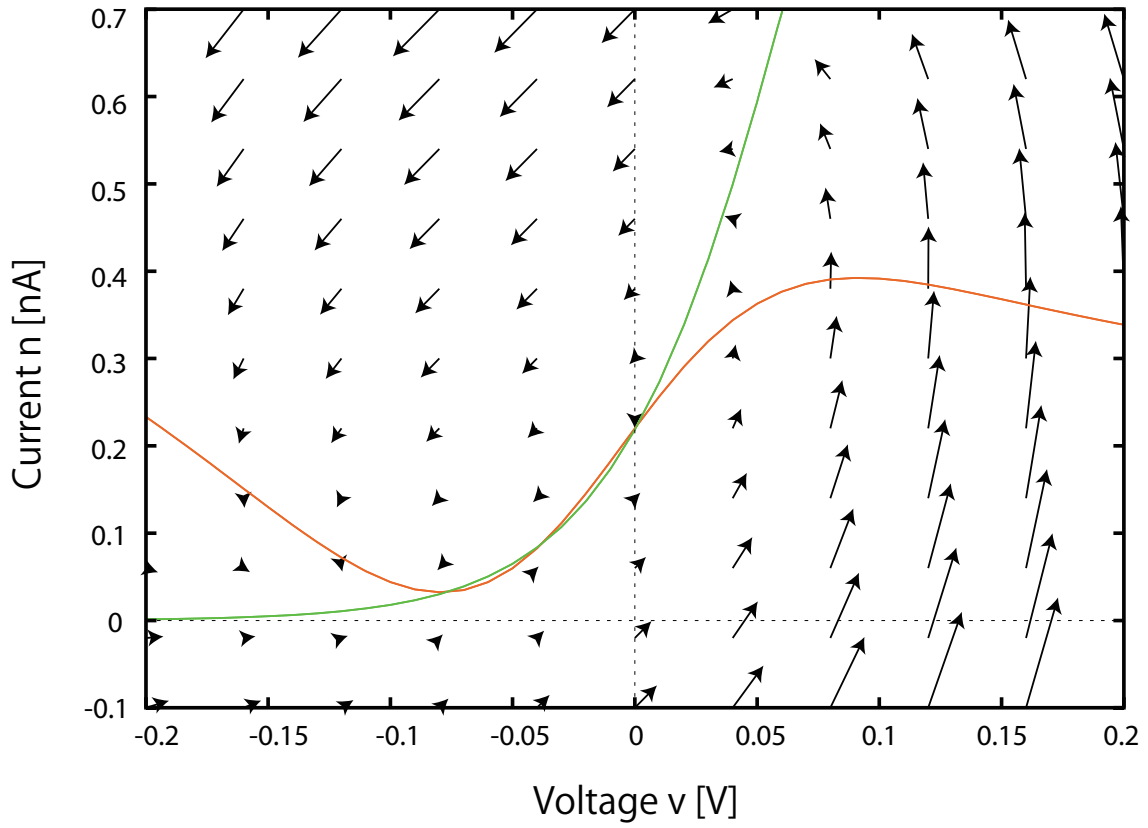


図 2.2: 位相平面図 ベクトル図 (XPPAUT シミュレーション)

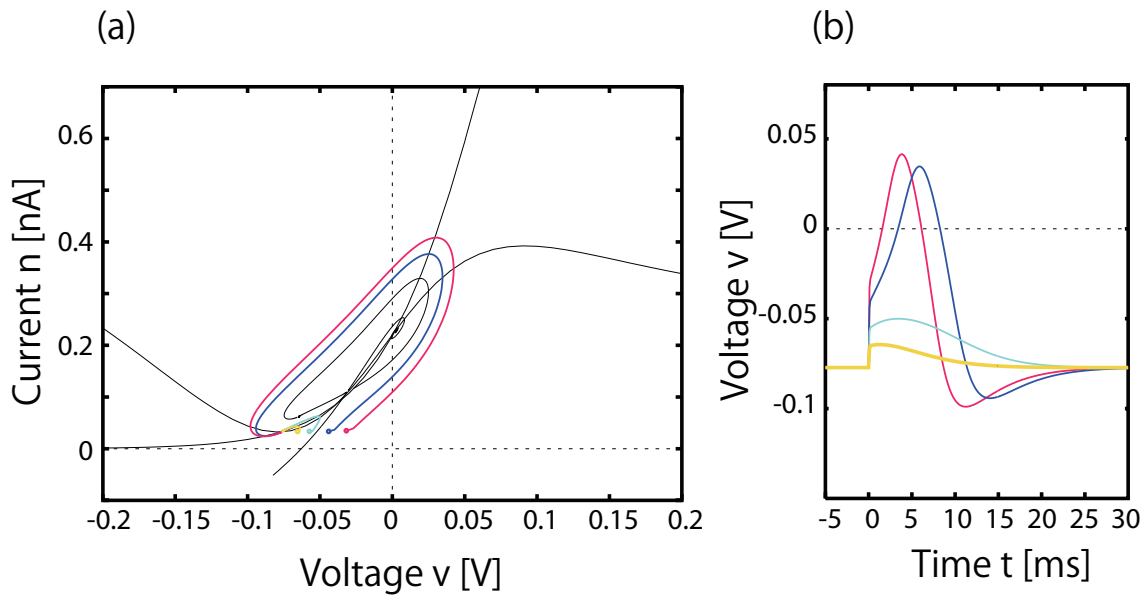


図 2.3: パルス刺激による発火の閾値特性 (XPPAUT シミュレーション)

安定点において固有ベクトルにそって平衡点を出ていく、または平衡点に入っていく軌道をそれぞれ不安定多様体、安定多様体という。鞍点から出た不安定多様体が安定平衡点に向かって閉じた軌道（区分線、セパトリックス）を作る場合、ベクトル場は連続である以上この軌道を横切ることがないため、初期状態が鞍点から区分線の外側にずれた時は不安定多様体を迂回するように安定点へと向かう（＝発火）。しかし区分線の内側にずれた時は特に大きな迂回は起こらない（＝非発火）。

上記のメカニズムによってニューロンの静止膜電位や閾値特性が実現される（図 2.3）。また、 n ナルクラインと v ナルクラインの交差の仕方が変わり不安定平衡点のみで交わるとき、リミットサイクルと呼ばれる一つの軌道が周りに生じることがある。この軌道上で状態点は平衡点へたどり着くことなく連続的に発火を続ける（トニック発火）。

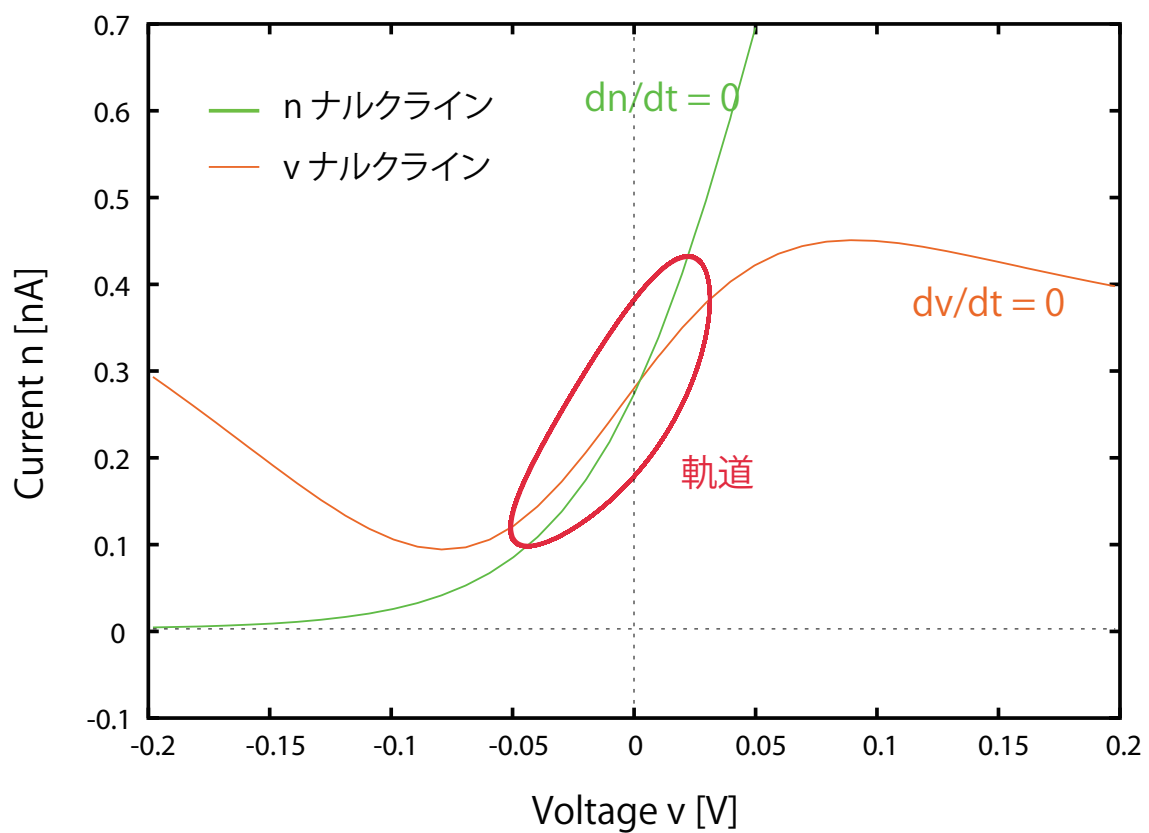


図 2.4: トニック発火を実現するナルクライン (XPPAUT シミュレーション)

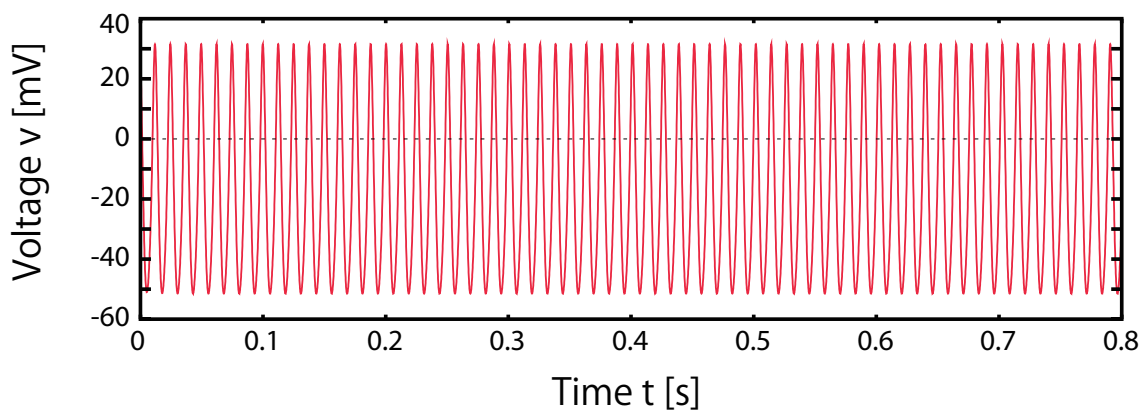


図 2.5: トニック発火 (XPPAUT シミュレーション)

2.3 分岐解析

ここで刺激電流 I_{stim} を動かした場合を考える。 I_{stim} の値によって v ナルクラインは平行移動するため、 n ナルクラインとの位置関係が変わる。

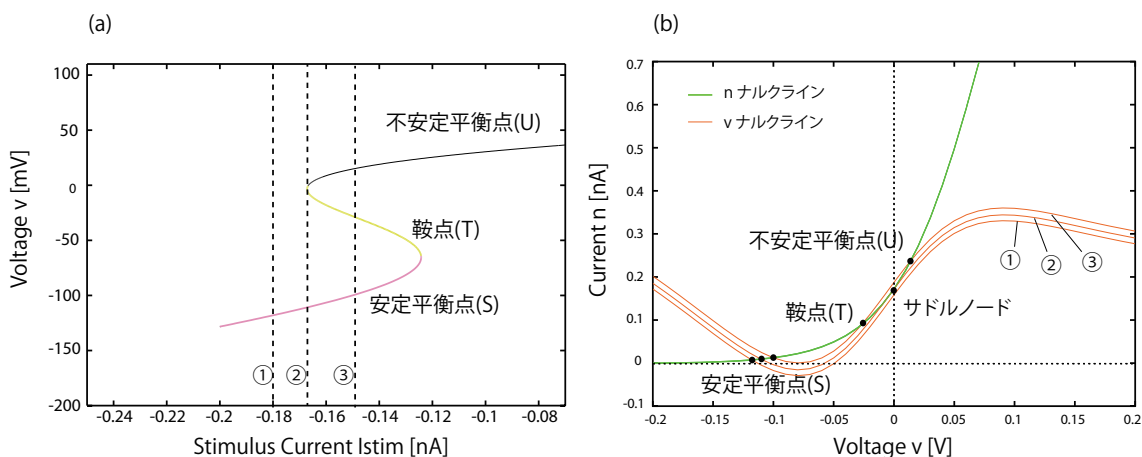


図 2.6: (a) 分岐図 (b) I_{stim} の違いによるナルクラインのシフト (XPPAUT シミュレーション)

$n-v$ 位相平面での平衡点における v を I_{stim} や q に対してプロットすると、システムにおける各種平衡点の消失や、周期解の出現など（分岐）が起こるポイントがあることがわかる。図 2.6(a) に示したこの図は分岐図と呼ばれる。ホジキンニューロンを発火周波数の変化によって 0 Hz から始まるクラス I、周波数が一定値以上のクラス II に分類した。

それぞれの発火特性は以下の分岐構造を作ることによって実現できることが分かっている。

クラス I は、鞍点と安定平衡点が結合して一つの点になり、伴って区分線を構成していた二つの不安定多様体がりミットサイクルに変化する不変円状のサドルノード分岐という分岐構造によって実現される (図 2.7)。鞍点と安定平衡点の結合した分岐点ではりミットサイクルは平衡点上を通るため、変化速度がゼロで周期は無窮大となる。また分岐点直後もりミットサイクルはナルクラインの近くを通るため周期がとても大きい。そのためサドルノード分岐点において発火周波数が 0Hz から徐々に大きくなるクラス I ニューロンの特性が実現される。

クラス II は、平衡点まわりのヤコビアン行列の固有値が虚部が非ゼロのまま、実部の符号が反転することにより平衡点の安定性が変化するホップ分岐という分岐構造によって実現される (図 2.8、図 2.9)。サブクリティカルホップ分岐においては分岐点において不安定りミットサイクルが発生する。そして不安定りミットサイクルの振幅が大きくなり、安定周期解と合流した点で両者が消失する (フォールド分岐)。安定りミットサイクルの周期を延差するメカニズムが存在しないためクラス II ニューロンの特性が実現できる。

ホップ分岐にはサブクリティカルホップ分岐とスーパークリティカルホップ分岐がある。これらは以下の特徴を示す場合がほとんどである [11]。

- サブクリティカルホップ分岐では安定周期解と不安定周期解、安定平衡点がある範囲の分岐パラメータ q や I_{stim} の値に対して同時に存在し (バイスタビリティ)、パラメータを増大させた場合と減少させた場合で挙動が異なりヒステリシスが観測できる
- スーパークリティカルホップ分岐では分岐点から周期解の振幅が徐々に大きくなり、バイスタビリティは存在しない

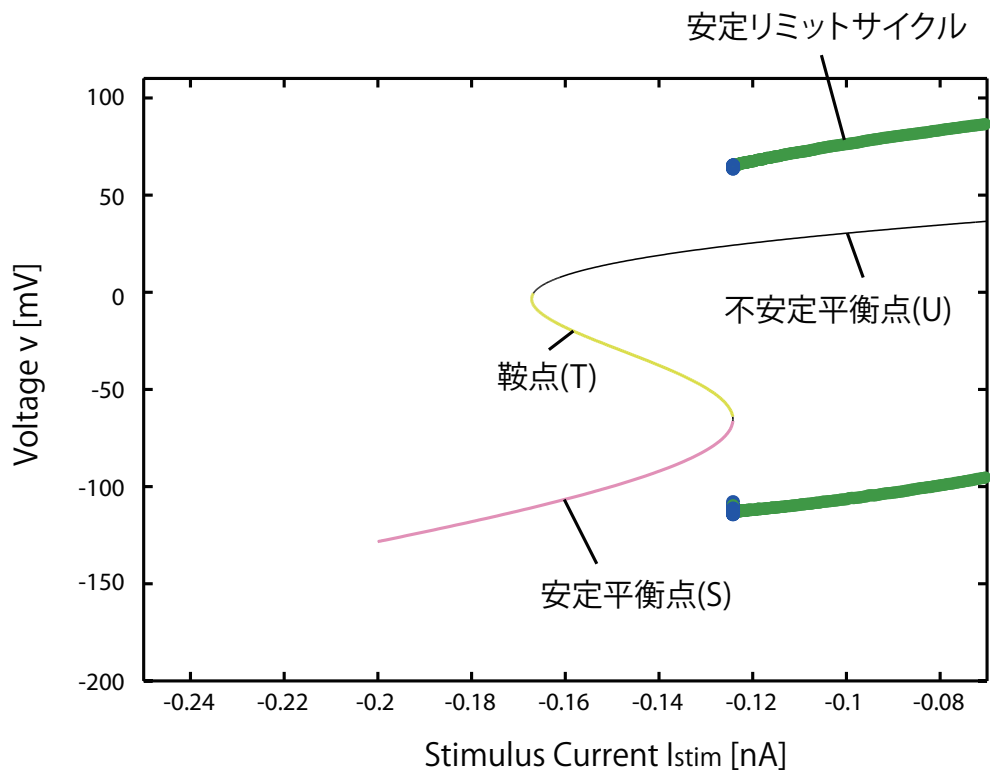


図 2.7: サドルノード分岐 (XPPAUT シミュレーション)

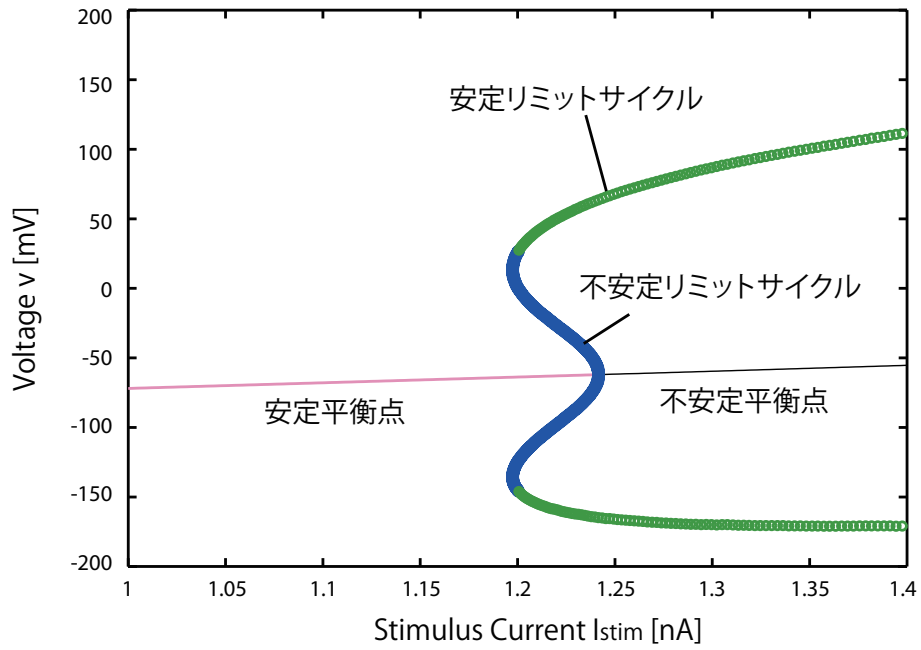


図 2.8: サブクリティカルホップ分岐 (XPPAUT シミュレーション)

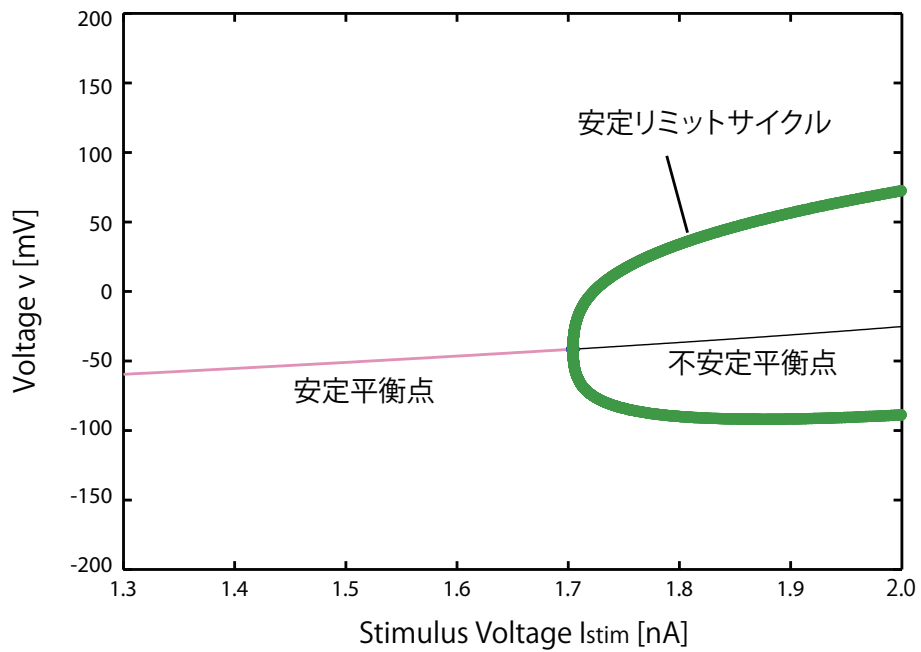


図 2.9: スーパークリティカルホップ分岐 (XPPAUT シミュレーション)

2.4 方形波バーストのメカニズム

2.3節で示したのは I_{stim} による分岐図であるが、ここで定数として考えていたイオンチャンネル電流 q を分岐パラメータとしたある速い系の分岐図を図 2.10 に示す。 q は式 (2.1) において I_{stim} と等価であるため、縦軸について反転した同様の図が得られる。

q の時定数は n, v の時定数より大きいいため、短期的なダイナミクスは n, v による位相平面で解析することができるが、 q がゆっくり変化するにつれ、分岐による発火状態の変化が起こる。

$q = 0.07$ では状態点は唯一の安定状態である安定平衡点にある。このとき発火は起こらず、状態点は q ナルクラインより右にあるため、 q は時間と共に減少する。 $q = 0.0635$ で安定点が鞍点と結合し、消滅する (saddle-node 分岐) ため軌道は安定リミットサイクルに移り、発火が起こる。移った先の安定点は q ナルクラインより左にあるため、発火をしながら徐々に q が時間と共に増加する。 $q = 0.066$ において安定リミットサイクルが鞍点の多様体と結合しホモクリニック軌道になり、安定リミットサイクルは消失する (saddle-loop homoclinic orbit 分岐) するため、軌道は再び安定点に移り、発火が止む。以上を自発的に繰り返すため、膜電位の時間波形は図 2.11 となり、これを方形波バーストと呼ぶ。方形波バーストは実際に pre-Bötzinger complex の自発バースト細胞などで観測されている [12]。

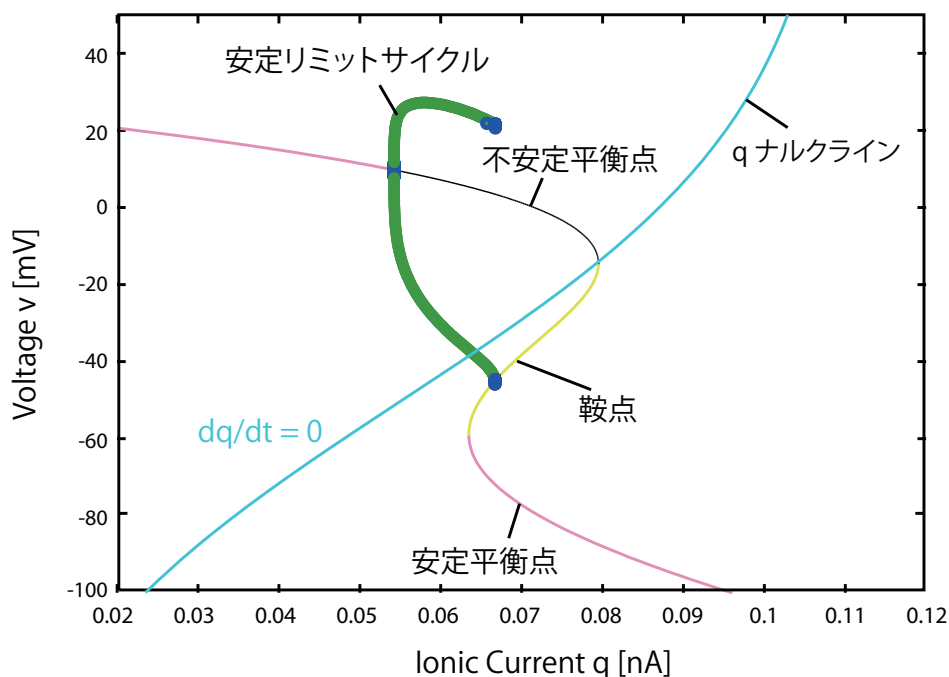


図 2.10: 方形波バーストの分岐図 (XPPAUT シミュレーション)

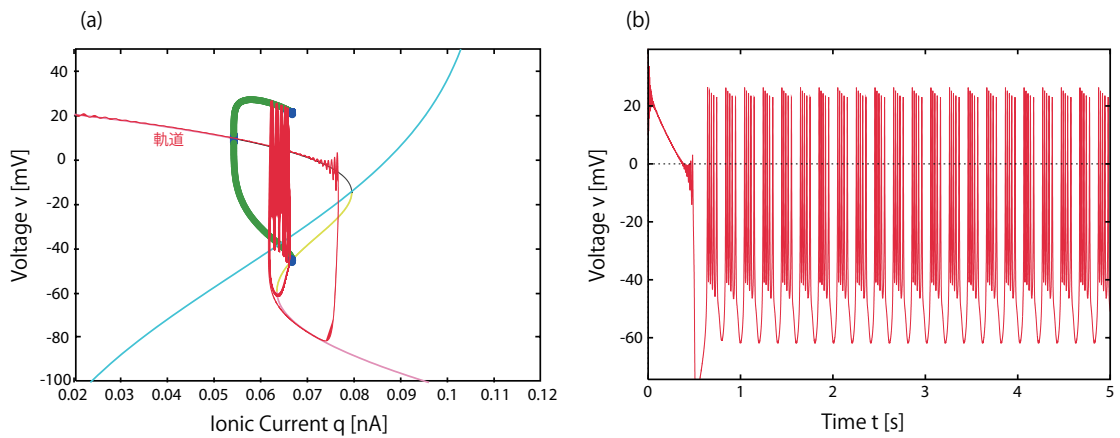


図 2.11: 方形波バーストの軌道と時間波形 (XPPAUT シミュレーション)

2.5 楕円バーストのメカニズム

同様に、ある q を分岐パラメータとした速い系の分岐図を図 2.12 に示す。まず $q = 0.02$ では軌道は唯一の安定状態であるリミットサイクル上にあり、発火が起こる。 q ナルクラインの位置が適切であれば発火中 q は時間と共に増加する。 $q = 0.056$ でフォールド分岐によりリミットサイクルが消失し、安定平衡点に軌道が移り発火が止む。状態点は q ナルクラインの右にあるため q は時間と共に減少する。 $q = 0.027$ においてホップ分岐により安定平衡点が消失し、軌道はリミットサイクルに移る。以上を自発的に繰り返すため、膜電位の時間波形は図 2.13 となる。発火状態と安定状態の遷移においては振幅が徐々に減衰または増大し、結果として包絡線が楕円形に見えるため、楕円バーストと呼ばれる [13]。楕円バーストは視床皮質のニューロンなどで観測されている [14]

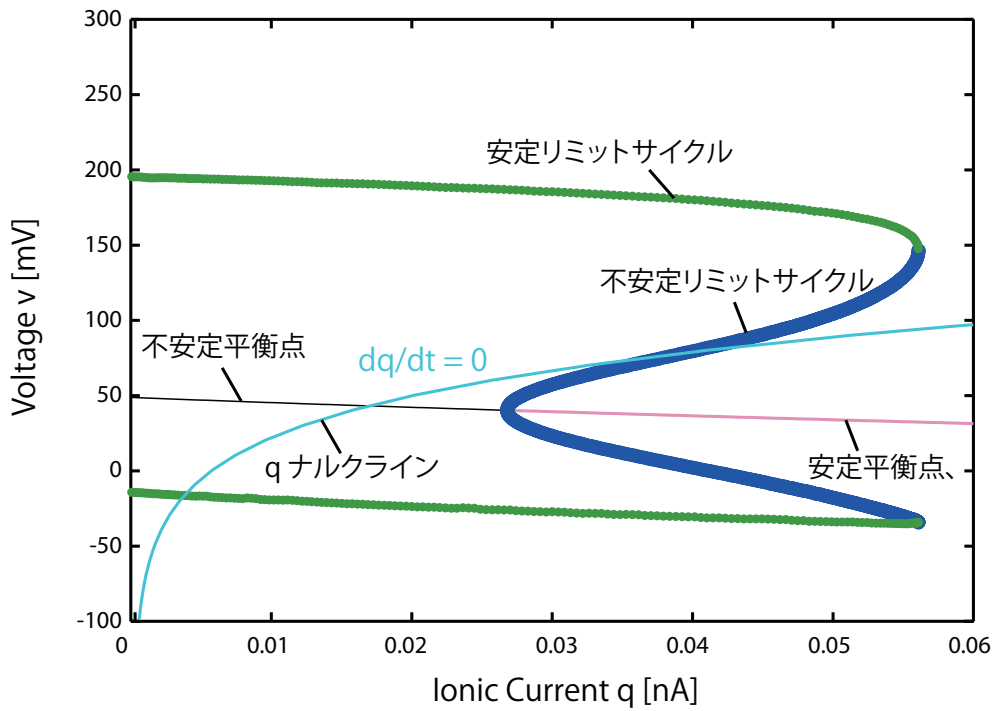


図 2.12: 楕円バーストの分岐図 (XPPAUT シミュレーション)

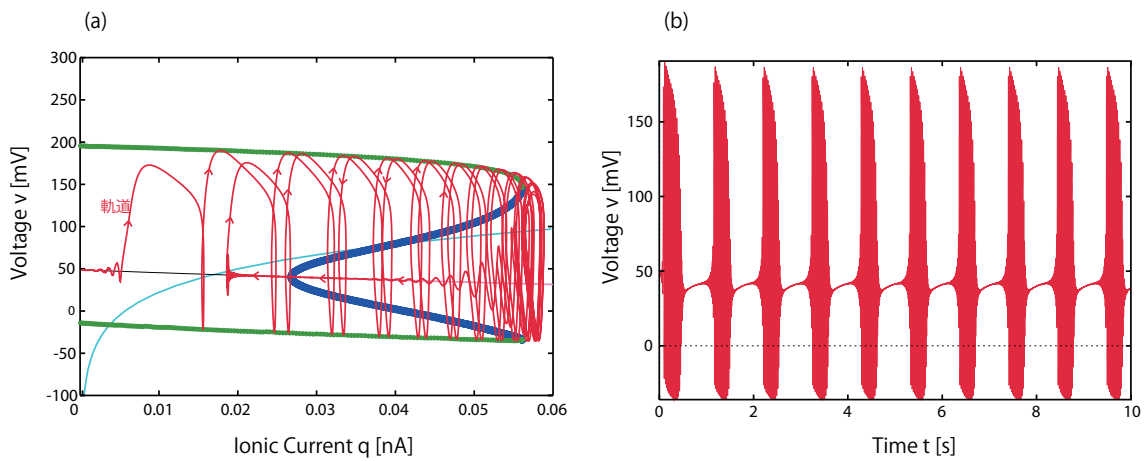


図 2.13: 楕円バーストの軌道と時間波形 (XPPAUT シミュレーション)

第3章 シリコンニューロン回路

3.1 MOSFET とサブショルド領域

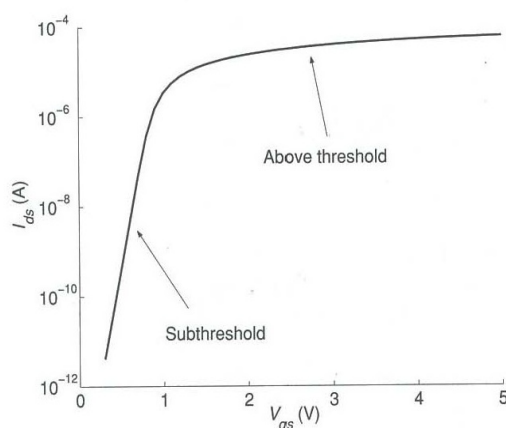


図 3.1: MOSFET が飽和領域にあるとした場合のゲートソース電位に対するドレインソース電流の特性 (引用:Liu(2002)[15])

MOSFET はゲート、ソース、ドレインの 3 つの電圧入力 V_g, V_s, V_d を持つ。電流は主にドレインソース端子間を流れ、その値 I_{ds} は主にドレインソース電位 V_{ds} とゲートソース電位 V_{gs} によって決まる。ドレインソース電位がある値より低いときは三極間 (Triode) 領域、ある値を超えると飽和 (Saturation) 領域となり、飽和領域においては出力電流のドレインソース電位に対する傾きが小さくなる。

MOSFET が飽和領域にあるとした場合のゲートソース電位に対するドレインソース電流の特性を図 3.1 に示す。この図を見ると、 $V_{gs} = 1$ V 前後の値を境にして特性曲線の傾きが大きく変わっている。この値は閾値 (Threshold) と呼ばれ、閾値以上の領域がアバブスレシヨルド (Above-threshold) 領域、閾値以下の領域がサブスレシヨルド (Subthreshold) 領域である。

Kohno モデルでは MOSFET のサブスレシヨルド領域における特性を利用して 2.1 節の式を簡潔に実装している。サブスレシヨルド領域の特性方程式を以下に示す。ただし U_T は熱電圧、 κ, I_0 は製造段階で決まる値である。

$$I_{ds} = I_0 \exp\left(\frac{\kappa V_g - V_s}{U_T}\right) \quad (3.1)$$

3.2 シリコンニューロンの全体図

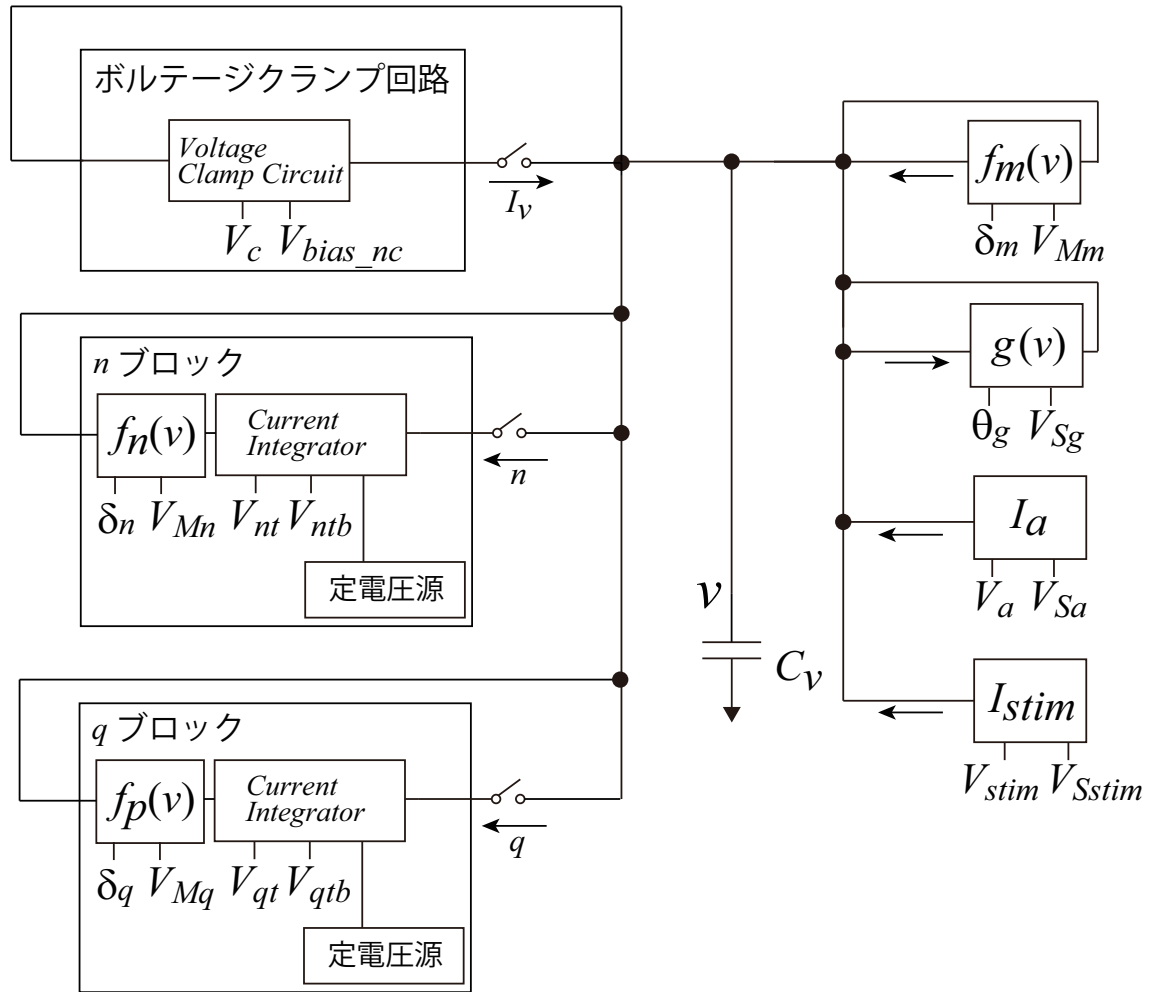


図 3.2: Kohno モデルによるシリコンニューロンの回路ブロック図

Kohno モデルによるシリコンニューロンの回路ブロック図を図 3.2 に示す。今回扱う VLSI シリコンニューロンは $V_{dd}=1.65\text{V}$, $V_{ss}=-1.65\text{V}$ の正負電源で駆動する。ニューロンの発火パターンを変える上で中心となるパラメータは $\delta_n, V_{Mn}, V_{nt}, V_{ntb}, V_{\delta_q}, V_{Mq}, V_{qt}, V_{qtb}, \delta_m, V_{Mm}, \theta_g, V_{Sg}, V_a, V_{Sa}, V_{stim}, V_{Sstim}$ である。各ブロック内の具体的な回路構成は後述する。

3.3 基本構成回路

Kohno モデルの式にあらわれる $f_x(v), g(v)$ (式 (2.5)、(2.4)) はそれぞれ図 3.3 の差動対回路、図 3.4 の差動トランスコンダクタンスアンプ回路と呼ばれる回路で実装できることを以下で示す。

図 3.3 の MOSFET M1 と M2 がサブスレシヨルドかつ飽和領域で動作しているとする
と入力に対する出力の式は以下のように導かれる。[15]

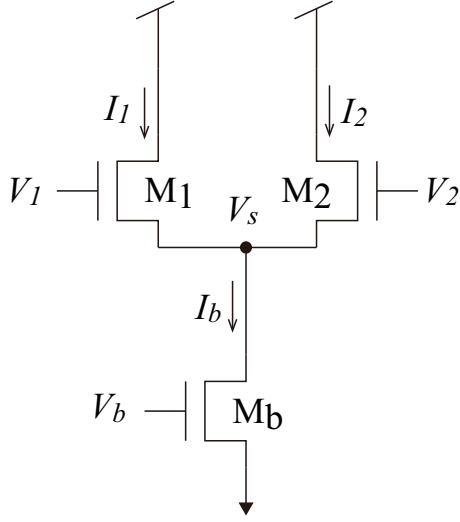


図 3.3: 差動対回路

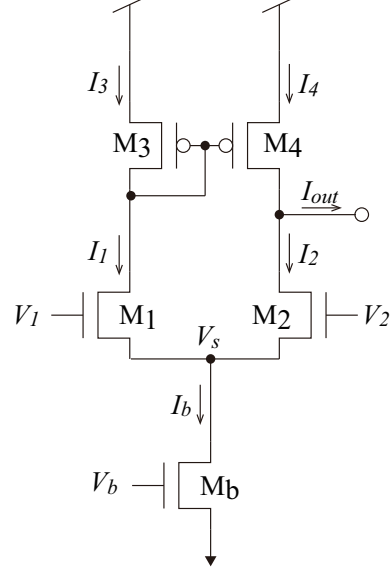


図 3.4: 差動トランスコンダクタンスアンプ回路

M_1 、 M_2 を流れる電流をそれぞれ I_1 、 I_2 とすると

$$I_1 = I_0 \exp\left(\frac{\kappa V_1 - V_s}{U_T}\right), \quad (3.2)$$

$$I_2 = I_0 \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right) \quad (3.3)$$

M_b を流れる電流を I_b とすると、

$$I_b = I_1 + I_2, \quad (3.4)$$

$$= I_0 \left(\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) + \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right) \right) \quad (3.5)$$

V_b が固定されている場合、 I_b は定電流である I_b を用いて I_1 、 I_2 を表すと

$$I_1 = I_b \frac{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right)}{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) + \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right)}, \quad (3.6)$$

$$= I_b \frac{1}{1 + \exp\left(-\frac{\kappa}{U_T}(V_1 - V_2)\right)} \quad (3.7)$$

I_1 を出力電流 f_x 、 V_1 を入力電圧 v 、 I_b を M_x 、 V_2 を δ とすると式 (2.5) と一致する。

図 3.4 の MOSFET M1、M2 がサブスレシヨルドかつ飽和領域で動作しているとする
入力に対する出力の式は以下のように導かれる。

M1、M2 を流れる電流をそれぞれ I_1 、 I_2 とすると

$$I_1 = I_0 \exp\left(\frac{\kappa V_1 - V_s}{U_T}\right), \quad (3.8)$$

$$I_2 = I_0 \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right) \quad (3.9)$$

また、M3、M4 が飽和領域にあるとこれらを通る電流 I_3 、 I_4 はゲート電位とソース電位で決定される。ゲート電位が接続されており常に等しいため、ソース電位が等しければ $I_3 = I_4$ である（カレントミラー）。よって M_b を流れる電流を I_b とすると出力電流 I_{out} は以下のように導かれる。

$$I_1 = I_b \frac{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right)}{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) + \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right)}, \quad (3.10)$$

$$I_2 = I_b \frac{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right)}{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) + \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right)} \quad (3.11)$$

よって

$$I_{out} = I_1 - I_2 \quad (3.12)$$

$$= I_b \frac{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) - \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right)}{\exp\left(\frac{\kappa V_1 - V_s}{U_T}\right) + \exp\left(\frac{\kappa V_2 - V_s}{U_T}\right)} \quad (3.13)$$

$$= I_b \frac{1 - \exp\left(\frac{\kappa V_2 - V_s}{2U_T}\right)}{1 + \exp\left(\frac{\kappa V_2 - V_s}{2U_T}\right)} \quad (3.14)$$

$$= I_b \tanh\left(\frac{\kappa}{2U_T}(V_1 - V_2)\right) \quad (3.15)$$

I_{out} を出力電流 $g(v)$ 、 V_1 を入力電圧 v 、 V_2 を θ_y 、 I_b を S とすると式 (2.4) と一致する。

図 3.5~3.8 は図 3.2 における $f_x(v)$ 、 $g(v)$ 、 I_a 、 I_{stim} ブロック（ただし $x = n, p, m$ ）の構成である。

$f_x(v)$ ブロックの図 3.5 は差動対回路、 I_a 、 $g(v)$ ブロックの図 3.6 と図 3.7 は差動対アンプ回路であるが、加えてカレントミラー、ソースデジェネレーションが加えられている。ソースデジェネレーションはソース端子に直列のダイオード接続トランジスタ（ゲートとドレインを短絡したトランジスタ。抵抗として働く）を接続することでトランジスタの特性を緩やかにすることを指す [16]。差動対回路にデジェネレーションを施すと出力の特性が緩やかになり、線形領域が拡大する。

また、カレントミラーが 2 段構成になっているのはチャネル長変調効果による影響を抑えるためである（カスコードカレントミラー）。

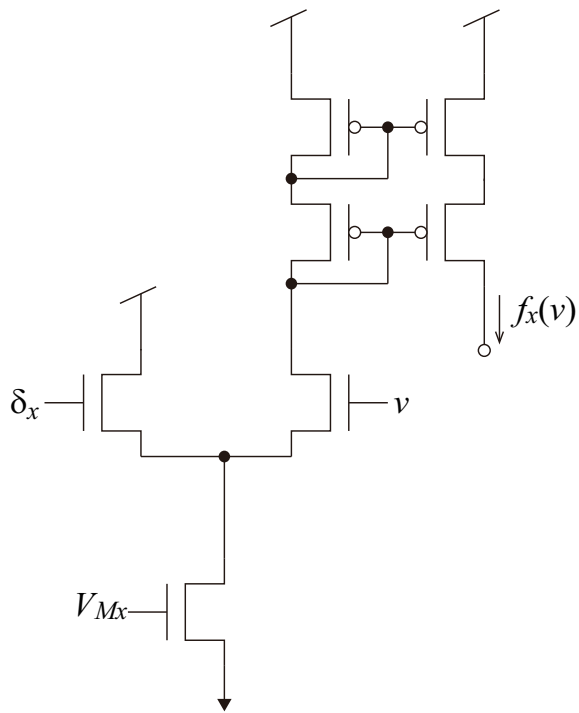


図 3.5: $f_x(v)$ ブロック

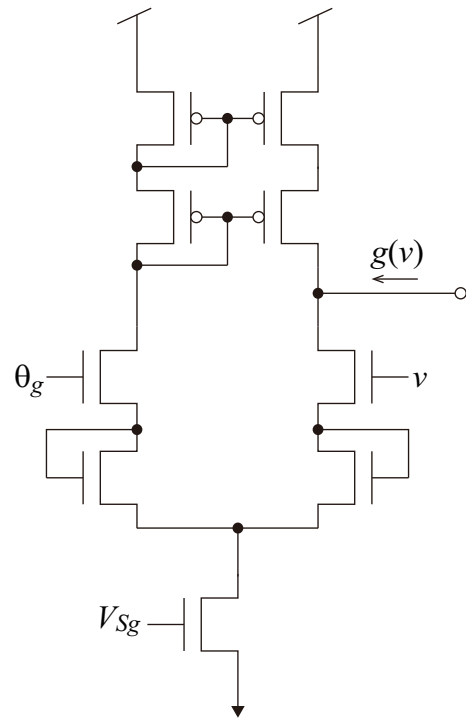


図 3.6: $g(v)$ ブロック

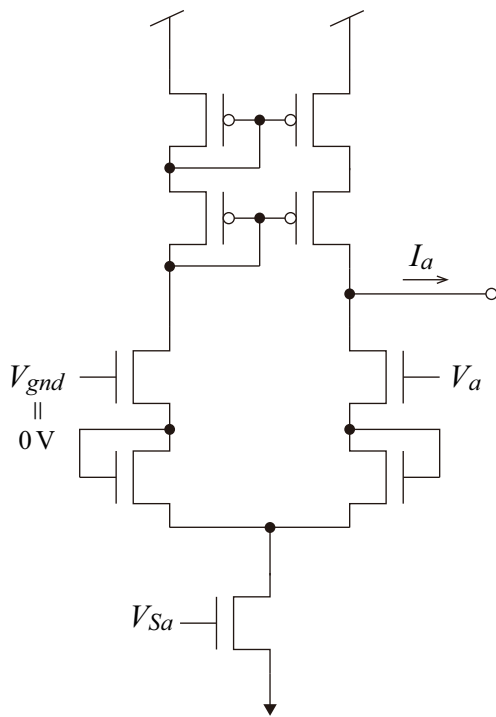


図 3.7: I_a ブロック

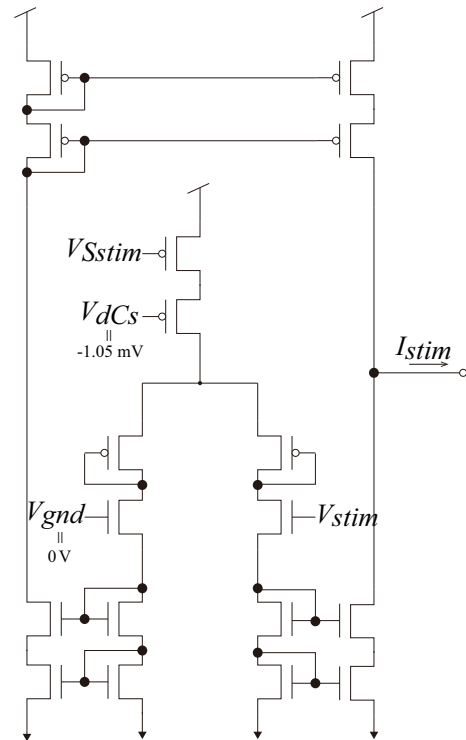


図 3.8: I_{stim} ブロック

図 3.8 は広レンジ差動対アンプ回路と呼ばれる。基本的な特性は差動対アンプ回路と変わらないが、カレントミラーを用いて差動対入力が入力されるトランジスタから出力 I_{stim} を分離し、広い範囲の出力端子の電位に対して、目的の電流特性を維持できる。

実際のチップではさらに実験の際に各電流を取りだしてモニターするためのカレントミラーやスイッチ、ダミートランジスタなども追加されている。

3.4 電流モード積分器

電流モード積分器

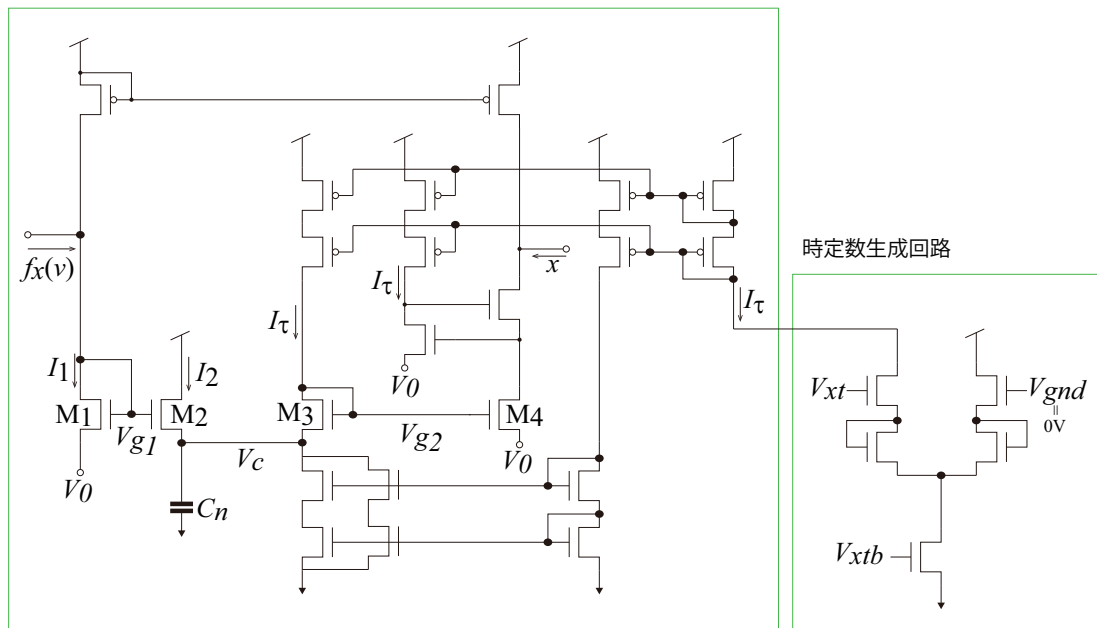


図 3.9: Current Integrator (電流モード積分器) ブロック

図 3.9 に図 3.2 における Current Integrator ブロックの構成を示す。今回のシリコンニューロンでは式 (2.2)、(2.3) の微分方程式の積分をこの電流モード積分器を用いて実装している。以下この回路によって微分方程式が計算できることを導く。

トランジスタ M1 に関して

$$f_x(v) = I_0 \exp\left(\frac{\kappa V_{g1} - V_0}{U_T}\right) \quad (3.16)$$

トランジスタ M2 に関して

$$I_2 = I_0 \exp\left(\frac{\kappa V_{g1} - V_c}{U_T}\right) \quad (3.17)$$

よって

$$I_2 = f_x(v) \exp\left(\frac{V_0 - V_c}{U_T}\right) \quad (3.18)$$

トランジスタ M3 に関して

$$I_\tau = I_0 \exp\left(\frac{\kappa V_{g2} - V_c}{U_T}\right) \quad (3.19)$$

トランジスタ M4 に関して

$$x = I_0 \exp\left(\frac{\kappa V_{g2} - V_0}{U_T}\right) \quad (3.20)$$

よって

$$I_\tau = x \exp\left(\frac{V_0 - V_c}{U_T}\right) \quad (3.21)$$

コンデンサ C について

$$C \frac{dV_c}{dt} = I_2 + I_\tau - 2I_\tau \quad (3.22)$$

$$= I_2 - I_\tau \quad (3.23)$$

$$= f_x(v) \exp\left(\frac{V_0 - V_c}{U_T}\right) - x \exp\left(\frac{V_0 - V_c}{U_T}\right) \quad (3.24)$$

$$= \exp\left(\frac{V_0 - V_c}{U_T}\right) (f_x(v) - x) \quad (3.25)$$

式 (3.21) より

$$I_\tau = x \exp\left(\frac{V_0 - V_c}{U_T}\right) \quad (3.26)$$

$$\therefore x = I_\tau \exp\left(\frac{-V_0 + V_c}{U_T}\right) \quad (3.27)$$

両辺を微分して

$$\frac{dx}{dt} = I_\tau \exp\left(\frac{-V_0 + V_c}{U_T}\right) \cdot \frac{1}{U_T} \frac{dV_c}{dt} \quad (3.28)$$

式 (3.25) より

$$C \frac{dV_c}{dt} = \exp\left(\frac{V_0 - V_c}{U_T}\right) (f_x(v) - x) \quad (3.29)$$

$$\frac{dV_c}{dt} = \frac{1}{C} \exp\left(\frac{V_0 - V_c}{U_T}\right) (f_x(v) - x) \quad (3.30)$$

これを式 (3.28) に代入して

$$\frac{dx}{dt} = I_\tau \exp\left(\frac{-V_0 + V_c}{U_T}\right) \cdot \frac{1}{U_T} \cdot \frac{1}{C} \exp\left(\frac{V_0 - V_c}{U_T}\right) (f_x(v) - x) \quad (3.31)$$

$$= \frac{I_\tau}{CU_T} (f_x(v) - x) \quad (3.32)$$

$\frac{I_T}{CU_T} = \frac{1}{T_x}$ (ただし $x = n, q$) と書けば、式 (2.2)、(2.3) に一致する

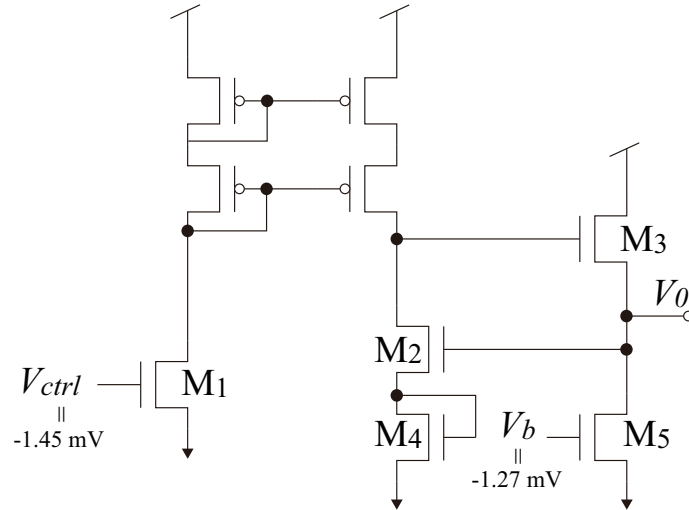


図 3.10: 定電圧源ブロック

図 3.10 に図 3.2 における定電圧源ブロックの構成を示す。電流モード積分回路内 V_0 はこの定電圧源回路によって安定化されている。以下定電圧源回路の動作について述べる。

V_{ctrl} によってトランジスタ M1 にはある値の電流が流れる。M1 を流れる電流はカレントミラーによってコピーされトランジスタ M2 に流れ、またトランジスタ M3 のゲート端子を充電する。出力は V_{ctrl}, V_b を使って表せる値 V_0 となる。

もし接続先の影響で V_0 が下がった場合、M5 は定電流源のため M2 のゲートから放電が起こりゲート電圧が下がる。そして M2 に流れる電流が減るが M1 は定電流源のため M3 のゲートが充電され、結果として V_0 は再び上昇する。

もし V_0 が上がった場合、M5 は定電流源のため M2 のゲートが充電されゲート電圧が上がる。M2 に流れる電流が増えるが M1 は定電流源のため M3 のゲートから放電が起こり、結果として V_0 は再び下降する。以上の仕組みにより V_0 は安定化される。

3.5 Voltage Clamp 回路

$$C_v \frac{dv}{dt} = -g(v) + f_m(v) - n - q + I_a + I_{stim} + I_v \quad (3.33)$$

今回用いた Kohno モデルによるシリコンニューロンの特長として、ナルクラインを描画し位相平面解析を行うことで、目的の発火特性を実現するためのパラメータを各回路ごとに設定できるという点がある。この特長により製造ばらつきの影響を吸収できる。ナルクラインの描画は、シリコンニューロンの v を決めた電圧に固定し各電圧における

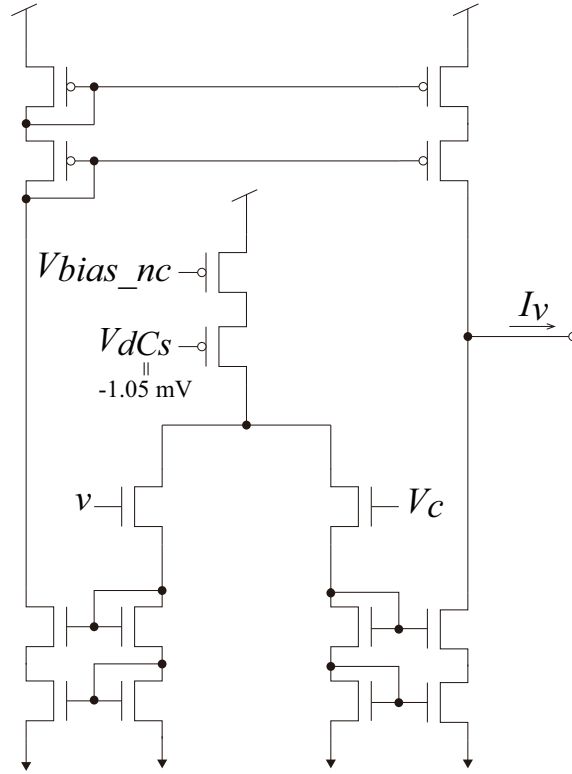


図 3.11: Voltage Clamp Circuit(ボルテージクランプ回路) ブロック

I_v, n, q の定常値をプロットすることで行う。図 3.2 に示した各スイッチで各ブロックの機能を ON/OFF することで通常の動作とナルクライン描画を切り替えることができる。通常の動作ではボルテージクランプ回路のスイッチは OFF、 n ブロックと q ブロックのスイッチは ON にするが、ナルクラインを描画する際は、ボルテージクランプ回路のスイッチを ON にすると共に n ブロックと q ブロックのスイッチを OFF にする。

図 3.11 に図 3.2 における Voltage Clamp Circuit(ボルテージクランプ回路) ブロックの構成を示した。 I_{stim} 回路と同じく広レンジ差動トランスコンダクタンスアンプ回路である。 V_c に比べて v が大きいと v に負の電流 I_v が流れ v が小さければ正の電流 I_v が流れ、 v を V_c に近づける。電圧が固定された状態では式 (3.33) はゼロとなり、ボルテージクランプ回路の出力電流 I_v は各電圧における微分方程式 (2.1) の値と等しい。

$$-I_v = -g(v) + f_m(v) + I_a + I_{stim} \quad (3.34)$$

クランプされた電圧値に対して I_v をプロットすると v ナルクラインを描くことができる。つまり、この値より式 (3.33) の右辺が大きいと電圧が上昇し、小さいと電圧が低下する。

クランプして定常状態になると、式 (2.2) の微分方程式により n は以下の値となる。この値より n が大きいと電圧が上昇し、小さいと電圧が低下する。

$$n = f_n(v) = M_x \frac{1}{1 + \exp(-\frac{\kappa}{U_T}(v - \delta_x))} \quad (3.35)$$

V_c と v の間に完全に電位差がなくなるとボルテージクランプ回路からの電流がゼロになり、また v がずれてしまう。よって実際に固定される電圧は V_c に常に差があるが、固定された出力も同時に測定することができるためナルクラインは正しく描画することができる。

第4章 温度フィードバックによるシリコンニューロンチップの単独動作

4.1 サブスレシヨルド領域における実験温度の影響

上で述べたようにサブスレシヨルド領域において MOSFET の特性は式 (3.1) で表される。動作時の温度を 27°C として設定したパラメータ電圧を 32°C の回路に入力すると、MOSFET のドレインソース間に流れる電流は設計値の 90.6%、 20°C の場合は設計値の 115.4% となる。(ただし $\kappa=0.6$, $V_g=260\text{mV}$, $V_s=0\text{V}$ とした。)

4.2 これまでの実験設備

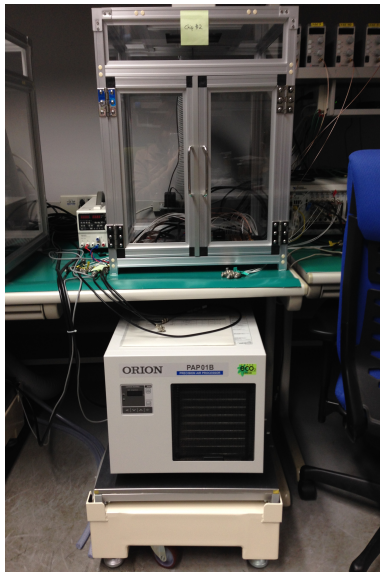


図 4.1: 従来の温度安定装置

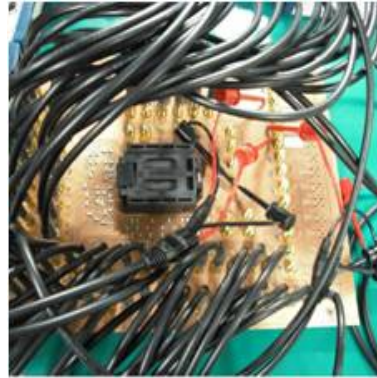


図 4.2: ニューロンチップとケーブル

図 4.1 の ORION 社の PAP01B PRECISION AIR PROCESSOR を用いて実験中の温度を安定に保っている。また、今回使用したシリコンニューロンチップには 2 つのニューロン回路と 4 つのシナプス回路が実装されているが、その内 1 つのニューロン回路と 2 つのシナプス回路を動作させるために 52 個の電圧を設定する必要がある。従来、入力電圧は National Instruments NI PXI-1045 を用いて印加しており、図 4.2 のように多数のケーブルが必要である。

このようにこれまでの実験設備は巨大であり、持ち運びには適さないためこのままではニューロンチップと生体ニューロンの結合動作実験などの応用が難しく、また複数チップを結合させて動作させることを考えても機器を複数用意しなければならないため、より簡略な設備が好ましい。

4.3 ペルチェ素子

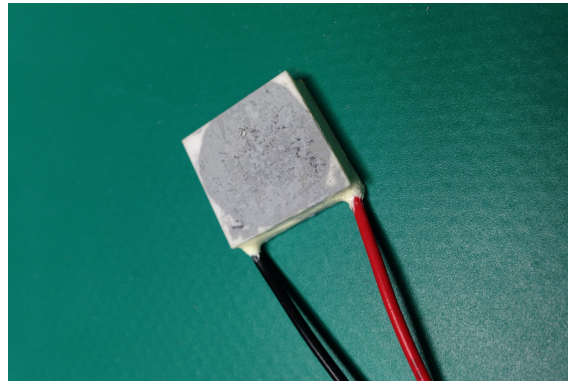


図 4.3: ペルチェ素子概観

ペルチェ素子とは電流を流すと素子両面に温度差が表れる素子である。図 4.4 に動作原理を示した。p 半導体から n 半導体へ電子が移動すると、p 型半導体の方がエネルギーレベルが低いため高いエネルギーレベルの n 型半導体へ移るときに熱エネルギーを吸収する。これをペルチェ効果という。ペルチェ素子内部の吸熱面側には p 型半導体から n 型半導体へ接続する導線が配置され、放熱面には n 型半導体から p 型半導体へ接続する導線が配置されている。入力電流の正負を変えると、電子が移動する向きが反転するため、吸熱面と放熱面を逆転させることが可能である。

4.4 温度フィードバックによる単独動作回路

基板上にマイクロコントローラ、DAC、ペルチェ素子、温度センサからなるスタンドアロンニューロチップ動作システムを構築する。

マイクロコントローラは ARM 社 mbed NXP LPC1768、DAC は Analog Devices 社の AD5390BST-5 を使用した。DAC1 枚で 16 チャンネルの出力が可能であり、マイクロコントローラの一つの I2C ポートから 4 枚まで制御することができる。ペルチェ素子はフジタカ社の FPH1-7102NC を使用した。最大吸熱量は 2A, 8.8V において 10.2W から 11.2W である。温度センサは Analog Devices 社の ADT7320 を使用し、精度は $\pm 0.25^{\circ}\text{C}$ 、分解能は 0.0078°C である。

システム全体は大きく 2 つの機能を持つ。まず一つ目はニューロチップへのパラメータ電圧入力であり、これは上記の DAC を DAC を 4 枚用意して行う。出力電圧の設定、変更はマイクロコントローラから I2C 通信によって行った。二つ目はチップの恒温コントロー

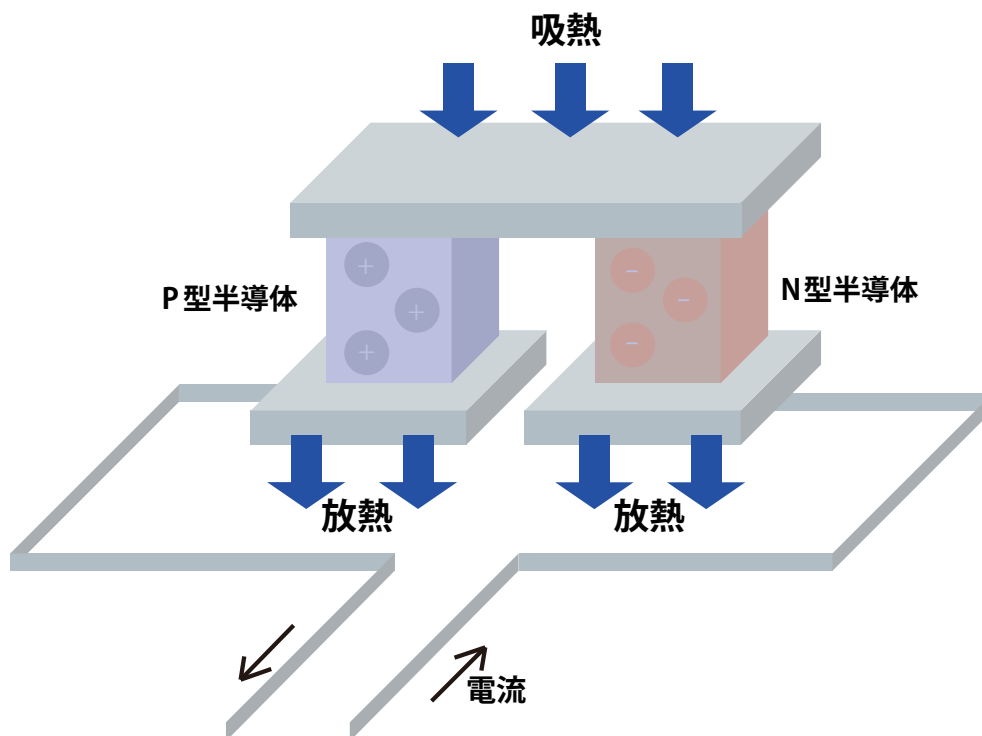


図 4.4: ペルチェ素子の動作原理

ルであり、ペルチェ素子と温度センサからなるフィードバックシステムによって行った。温度センサはニューロチップのソケット内、チップしたの空いているスペースに設置され、SPI通信によってマイクロコントローラで温度チップの温度を測定してマイクロコントローラに送信する。マイクロコントローラのPWM出力がペルチェ素子に電流を流し、チップの温度が一定に保たれる。

PWM出力は正の電圧しか印加できないため、ペルチェ素子に正負両方の電流を流すことができるようにするために図 4.7 の Hブリッジ回路を用いた。M1,M2 を ON, M3,M4 を OM1FF にするとペルチェ素子に正の電流が流れ、M1,M2 を OFF, M3,M4 を ON にすると負の電流が流れる。電流を流さない時は M1,M2,M3,M4 を全て OFF とする。

Hブリッジ回路における nMOS トランジスタは International Rectifier 社 IRF8714PbF、pMOS トランジスタは同社 IRF7416PbF を使用した。また、ペルチェ素子の熱伝導性をよくするために、PC 用のファンをニューロチップソケットの上に設置した。

4.5 マイクロコントローラにおける基板制御プログラムのアルゴリズム

以下 I2C 通信は全て 400KHz, SPI 通信は 1MHz である。以下に温度を制御しながらニューロチップを動作させるプログラムのアルゴリズムを示す。

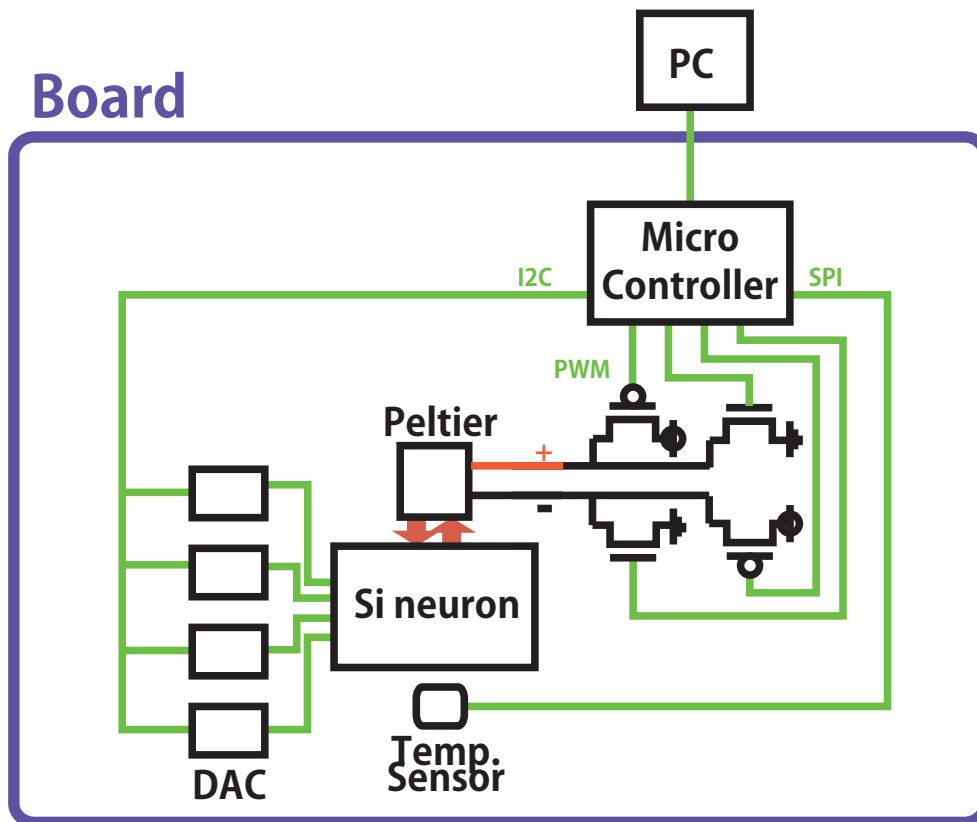


図 4.5: フィードバック回路 概念図

- ニューロチップに入力する電圧パラメータをテキストファイルから読み込む
- I2C 通信で DAC に電圧をセット
- SPI 通信で温度センサを起動
- 以下ループ
 - 温度センサからチップ温度を取得
 - 設定温度 T_{set} との差を求め、PID 制御により印加電圧を決定
 - PWM で H ブリッジ中のトランジスタへ電圧を印加
 - 温度センサの値と経過時間を配列に収納
 - 経過時間が設定した測定時間を超えているか判定
 - 超えていない場合はもう一度ループ
- ペルチェ素子への入力電流をオフにする
- テキストファイルに温度データを書き出す

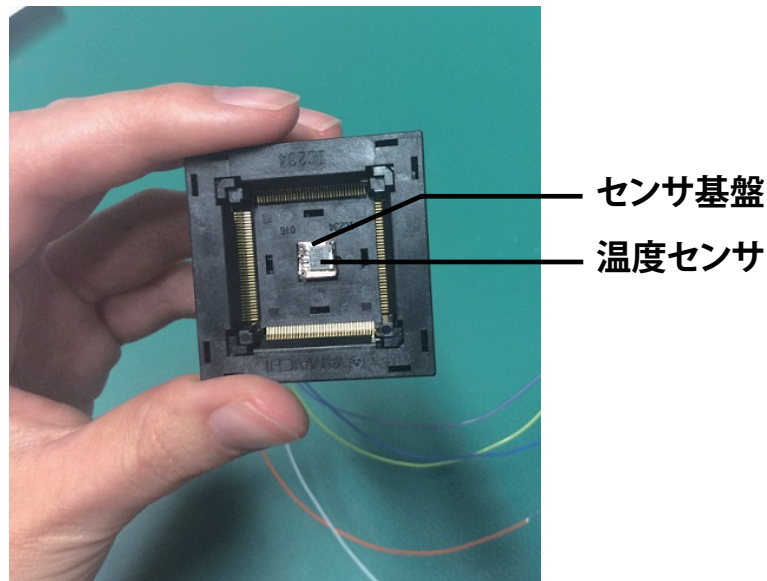


図 4.6: 温度センサ自作基板

次に、このニューロチップに備わっているボルテージクランプ回路を起動し、温度を制御しながらナルクライン描画するプログラムのアルゴリズムを示す。

- ニューロチップに入力する電圧パラメータをテキストファイルから読み込む
- I2C 通信で DAC に電圧をセット
- SPI 通信で温度センサを起動
- 以下ループ
 - ボルテージクランプ回路におけるクランプ電圧を DAC から変化させる
 - 以下ループ
 - * 温度センサからチップ温度を取得
 - * 設定温度 T_{set} との差を求め、PID 制御により印加電圧を決定
 - * PWM で H ブリッジ中のトランジスタへ電圧を印加
 - * ボルテージクランプ回路の出力を配列に収納
 - * 経過時間が設定した測定時間を超えているか判定
 - * 超えていない場合はもう一度ループ
 - パルチェ素子への入力電流をオフにする
 - ボルテージクランプ回路の出力を時間平均して配列に収納
 - 設定したクランプ電圧を超えているか判定
 - 超えていない場合はもう一度ループ

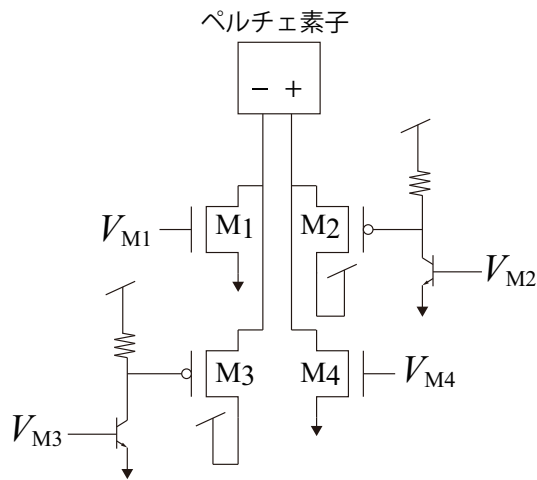


図 4.7: H ブリッジ回路

- テキストファイルにボルテージクランプ回路の出力を書き出す

ペルチェ素子への入力は、PID 制御によって決定する。マイクロコンピュータの PWM は 0V から 3.3V までの電圧を出力できる。設定温度が現在の温度より高い場合、トランジスタ M1 への PWM 入力 V_{M1} を 3.3V、M3、M4 への PWM 入力 V_{M3} 、 V_{M4} を 0V とし、M2 への PWM 入力 V_{M2} を以下の式により決定する。

$$V_{gs} = 3.3 |err \cdot p_{gain} + i_{err} \cdot i_{gain} + d_{err} \cdot d_{gain}| \quad (4.1)$$

ただし

- V_{gs} : トランジスタのゲートソース間電圧
- err : 設定温度から現在の温度を引いた値
- i_{err} : err を足し合わせた値
- d_{err} : あるループにおける err から前回のループにおける err を引いた値
- p_{gain} : 比例制御パラメータ
- i_{gain} : 積分制御用パラメータ
- d_{gain} : 微分制御用パラメータ

設定温度が現在の温度より低い場合、トランジスタ M1、M2 への PWM 入力 V_{M1} 、 V_{M2} を 0V、M3 への PWM 入力 V_{M3} を 3.3V とし、M4 への PWM 入力 V_{M4} を式 (4.1) により決定する。

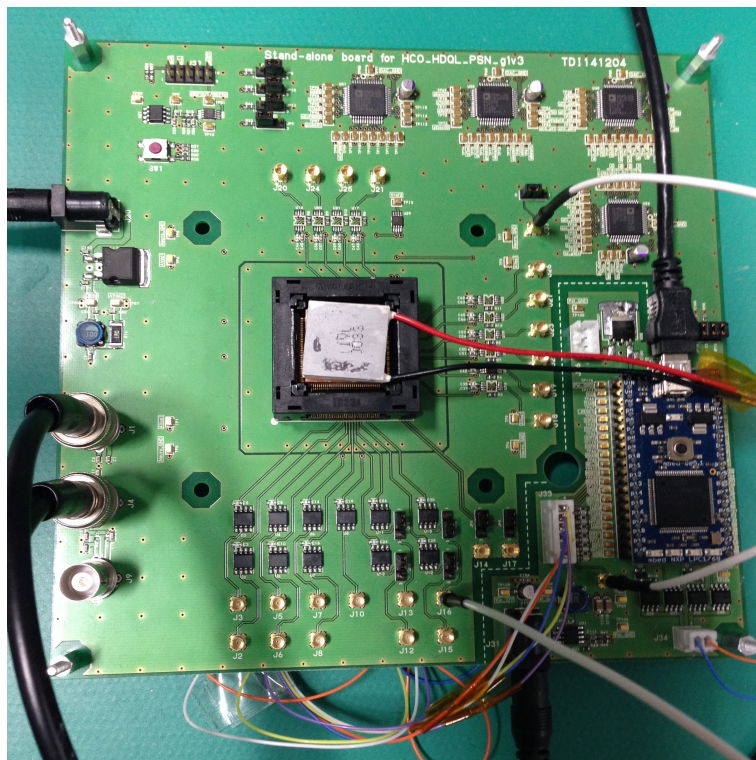


図 4.8: 作製したスタンドアロン基板

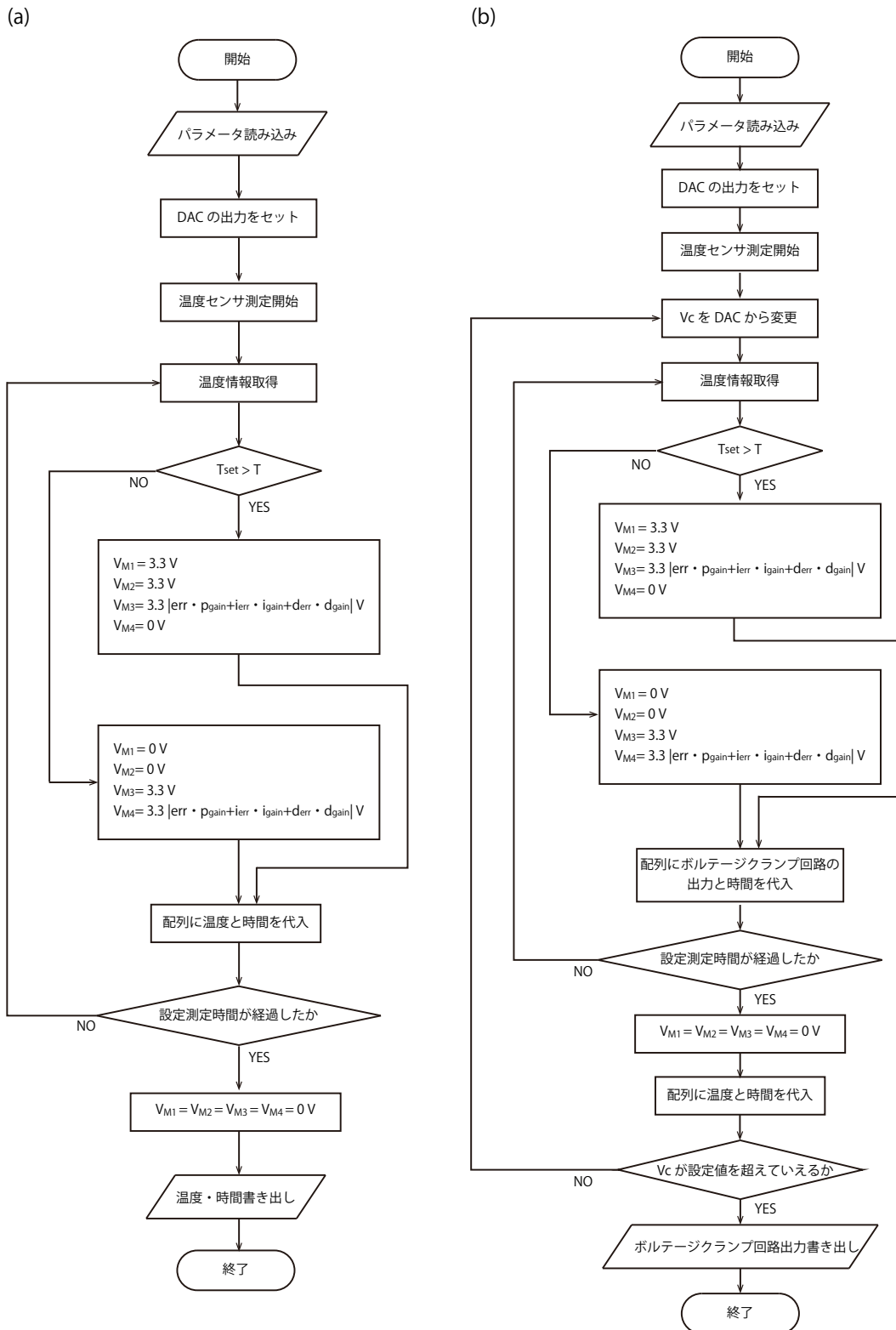


図 4.9: マイクロコントローラの基板制御アルゴリズム (a) 通常の動作モード (b) ナルク
ライン描画モード

第5章 結果

図 5.1 にニューロチップに内蔵のボルテージクランプ回路を用いて描画したナルクライン例を示す。また、表 5.1 に用いたパラメータを示す。式 (2.1)~(2.3) において n は電流値だが、内蔵の高抵抗回路において電圧に変換される。また、符号も逆転して出力されるため縦軸を反転した。

5.1 ナルクライン

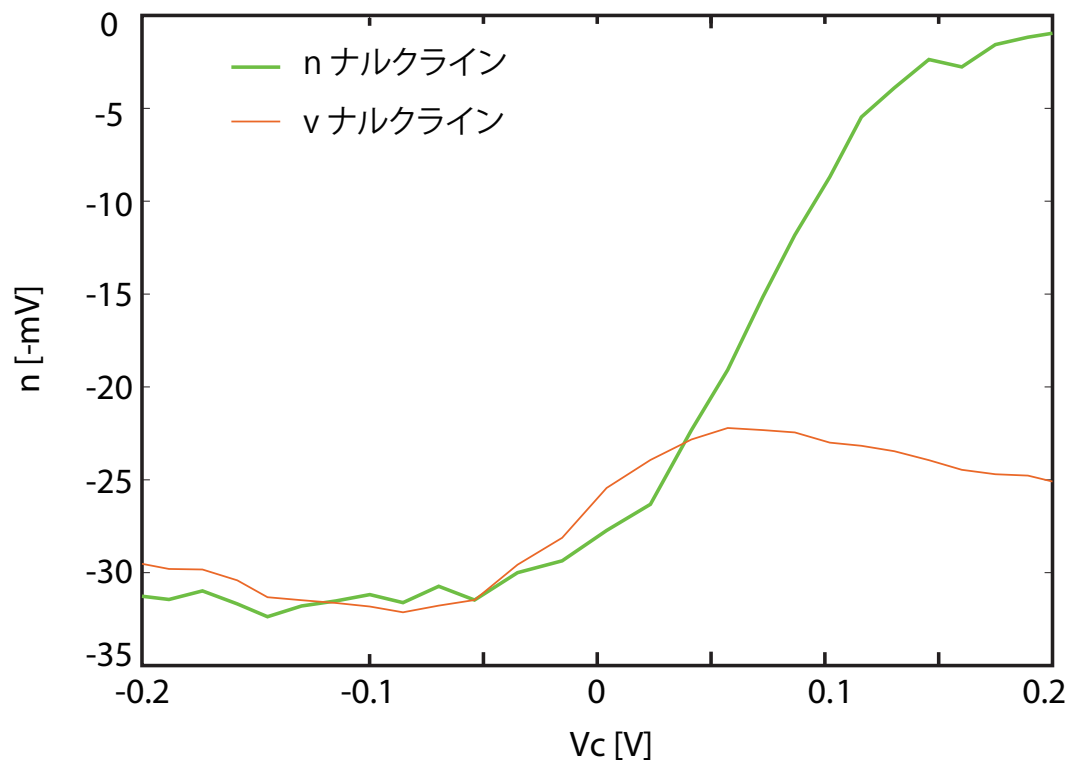


図 5.1: ナルクライン

表 5.1: パラメータ クラス 1

パラメータ	値 [V]	パラメータ	値 [V]
δ_n	0.103	δ_m	0.023
V_{Sn}	-1.28	V_{Sm}	-1.3
V_{nt}	0	θ_g	0.023
V_{ntb}	-1.4	V_{Sg}	-1.35
V_{δ_q}	0	V_a	0.032
V_{Sq}	-1.65	V_{Sa}	-1.304
V_{qt}	0	V_{stim}	0
V_{qtb}	-1.65	V_{Sstim}	1.28

5.2 単一パルスに対する応答 (クラス 1)

$t = 0$ s において最大値 V_{stim} 、幅 1ms のパルスを入力した。パルスの最大値を増加させた場合の応答の変化を図 5.2、温度変化を図 5.3 に示す。その他パラメータは表 5.1 と同じである。 $V_{stim} = 50$ mV を超えると応答の大幅な変化が見られ、閾値が $v = -40$ mV 程度と確認できる。室温は 23.2°C 、設定温度は 27°C であり、チップの温度変化は $-0.1960^\circ\text{C} \sim +0.4920^\circ\text{C}$ の範囲内に収まっている。

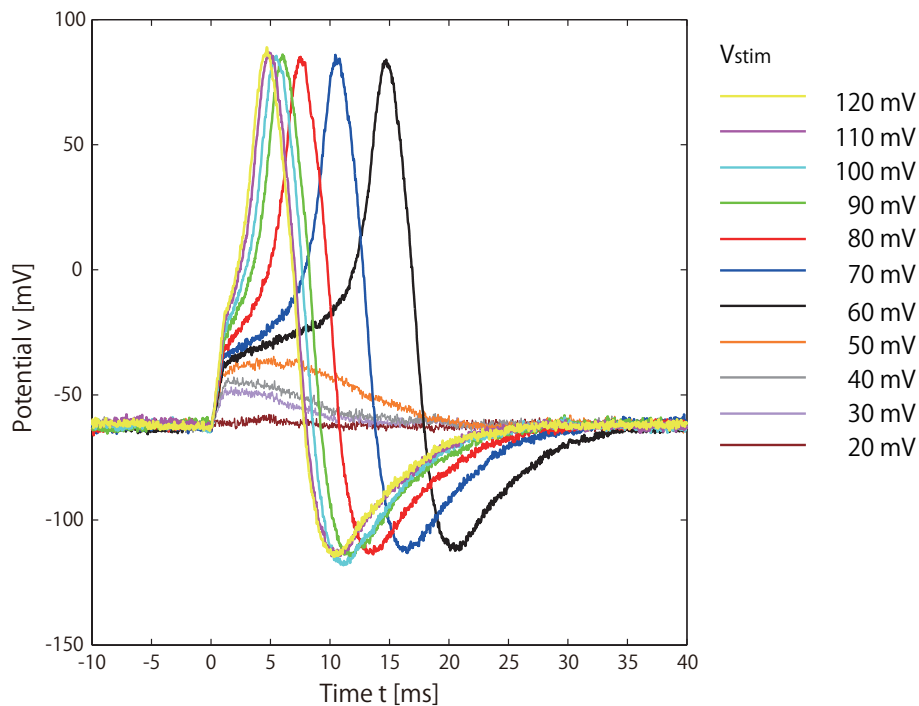


図 5.2: クラス 1 ニューロンにおける単一パルス入力に対する膜電位の応答 time = 0 s において幅 1ms、振幅 V_{stim} のパルスを入力

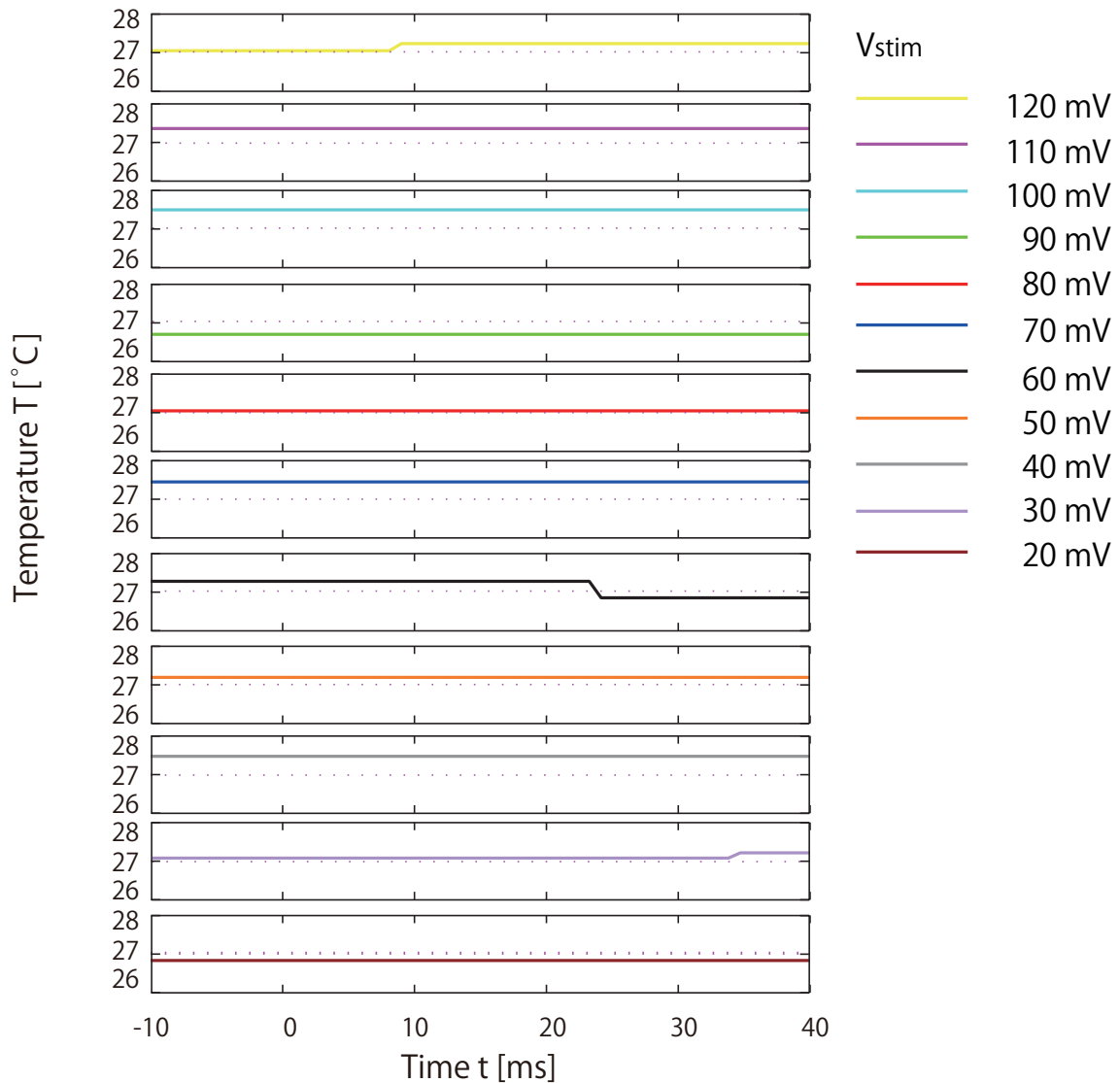


図 5.3: クラス 1 ニューロンにおける単一パルス入力に対する膜電位の応答における温度変化

5.3 2 連パルスに対する応答 (クラス 1)

$t = 0$ s において最大値 100 mV、幅 1ms のパルスを入力し、その後 $t = 17$ ms において最大値 V_{stim} 、幅 1ms のパルスを入力した。二つ目のパルスの最大値を増加させた場合の応答の変化を図 5.4、温度変化を図 5.5 に示す。その他パラメータは表 5.1 と同じである。二度目のパルスでは一度目のパルスに比べ同じ刺激に対する振幅が小さくなっており、発火直後にシリコンニューロンを発火させるのに通常より大きい刺激が必要になるという不応性が確認できる。室温は 23.2°C、設定温度は 27°C であり、チップの温度変化は $-0.1570^{\circ}\text{C} \sim +0.6090^{\circ}\text{C}$ の範囲内に収まっている。

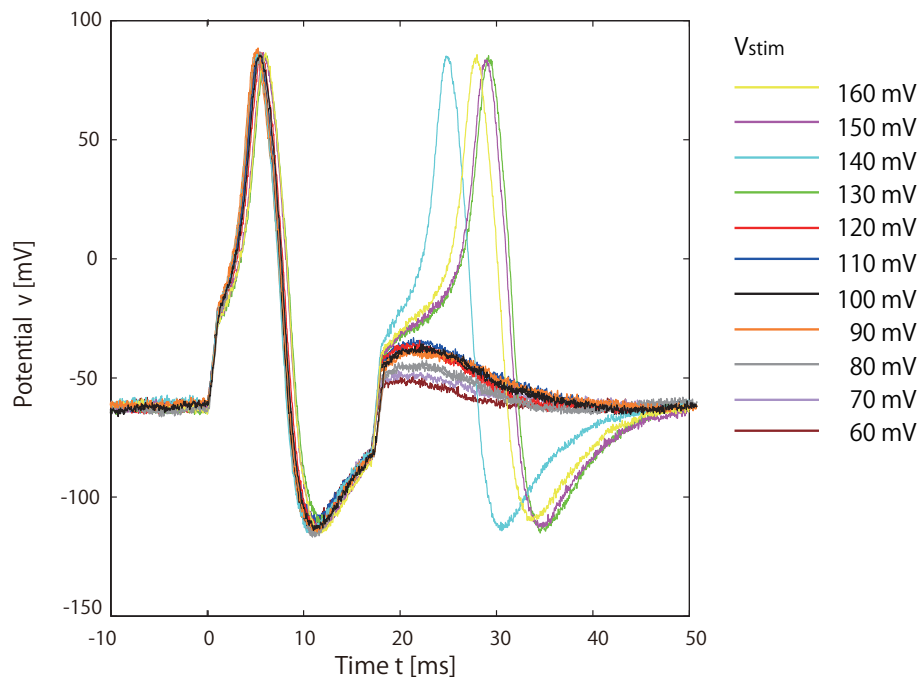


図 5.4: クラス 1 ニューロンにおける二連パルス入力に対する膜電位の応答 $t = 0\text{ s}$ において幅 1 ms、振幅 100 mV のパルス、 $t = 17\text{ ms}$ において幅 1 ms、振幅 V_{stim} のパルスを入力

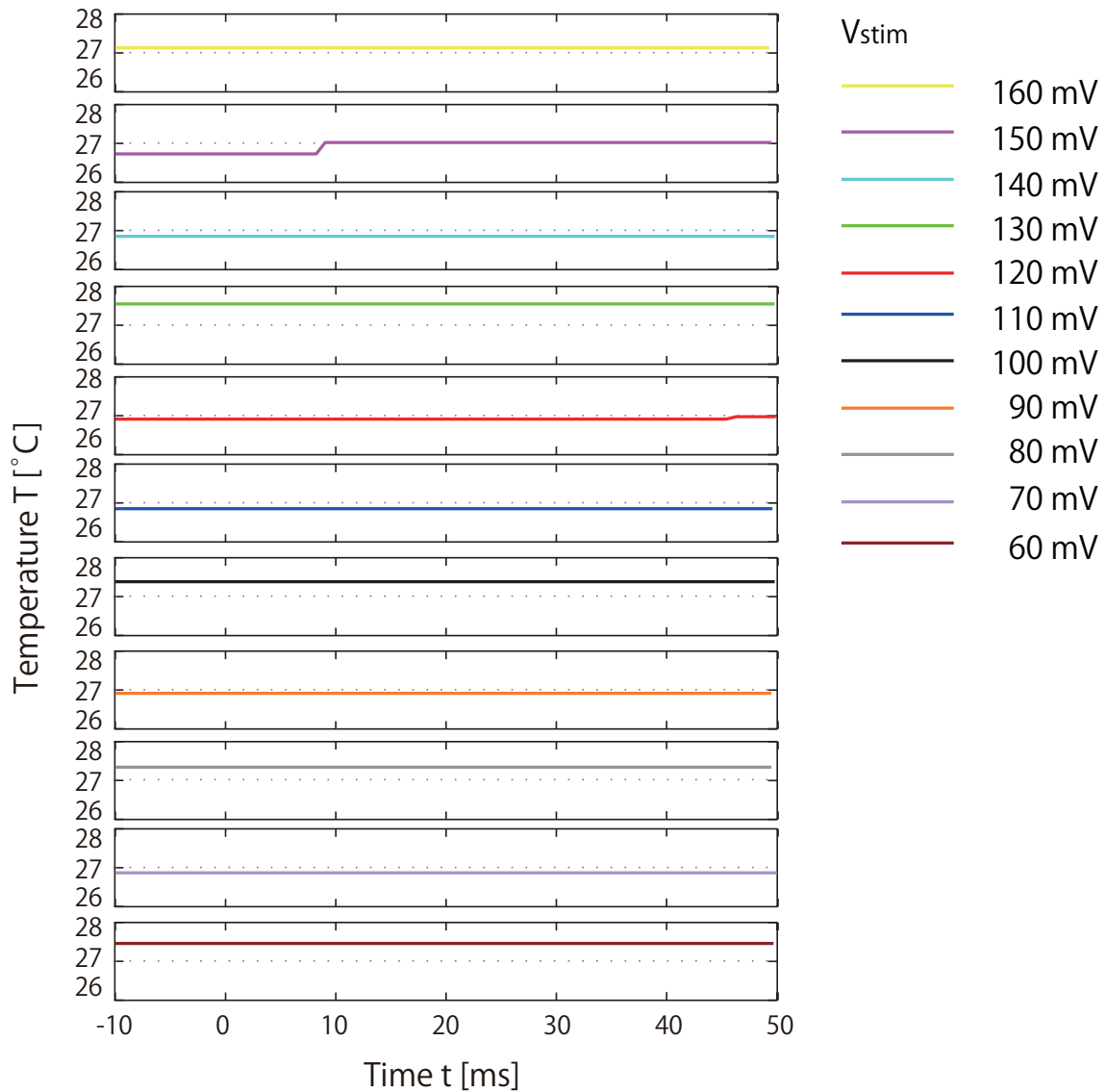


図 5.5: クラス 1 ニューロンにおける二連パルス入力に対する膜電位の応答における温度変化

5.4 定値刺激入力に対する応答 (クラス 1)

図 5.6～図 5.8 において定値刺激を入力した場合の時間波形の変化を示す。その他パラメータは表 5.1 と同じである。また、図 5.9 に周波数変化をまとめた。

$V = 3.5 \text{ mV}$ から発火し、徐々に周波数が増加する。クラス 1 ニューロンの特性である非常に低い周波数での発火が確認できる。

室温は 23.2°C 、設定温度は 27°C であり、チップの温度変化は $-1.290^\circ\text{C} \sim +2.664^\circ\text{C}$ の範囲内に収まっている。

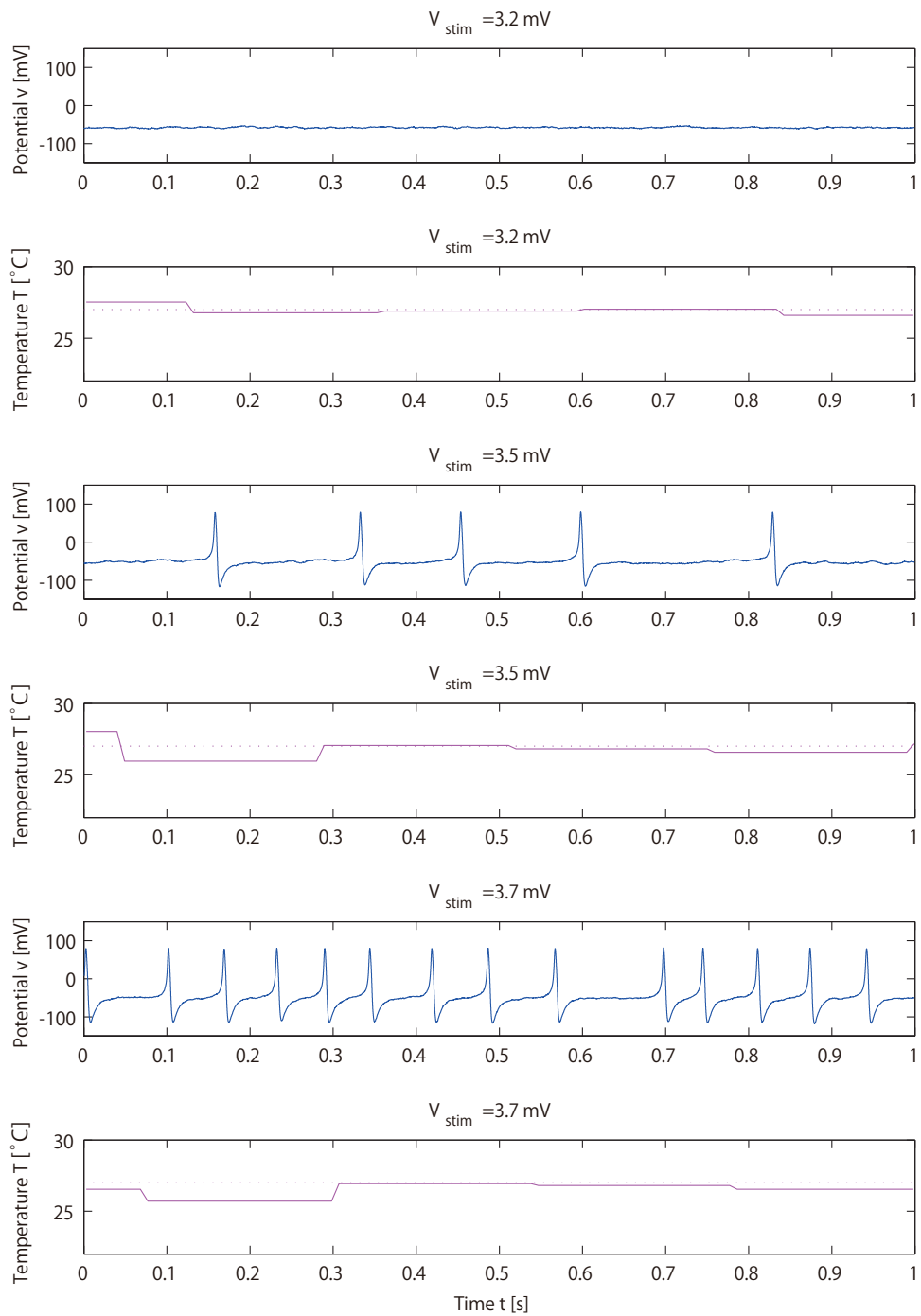


図 5.6: クラス 1 ニューロンにおける定値刺激入力に対する膜電位の応答 (1)

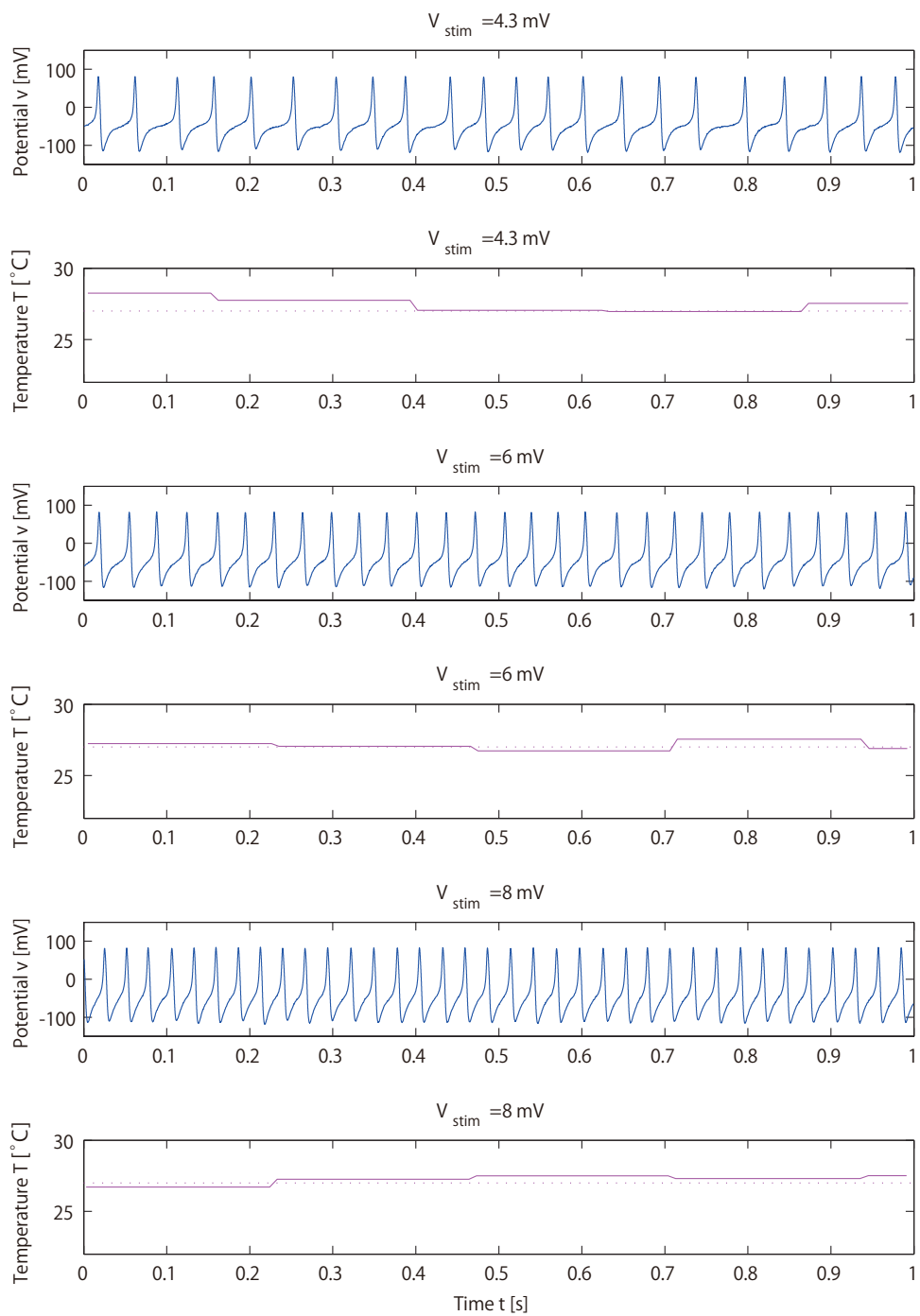


図 5.7: クラス 1 ニューロンにおける定値刺激入力に対する膜電位の応答 (2)

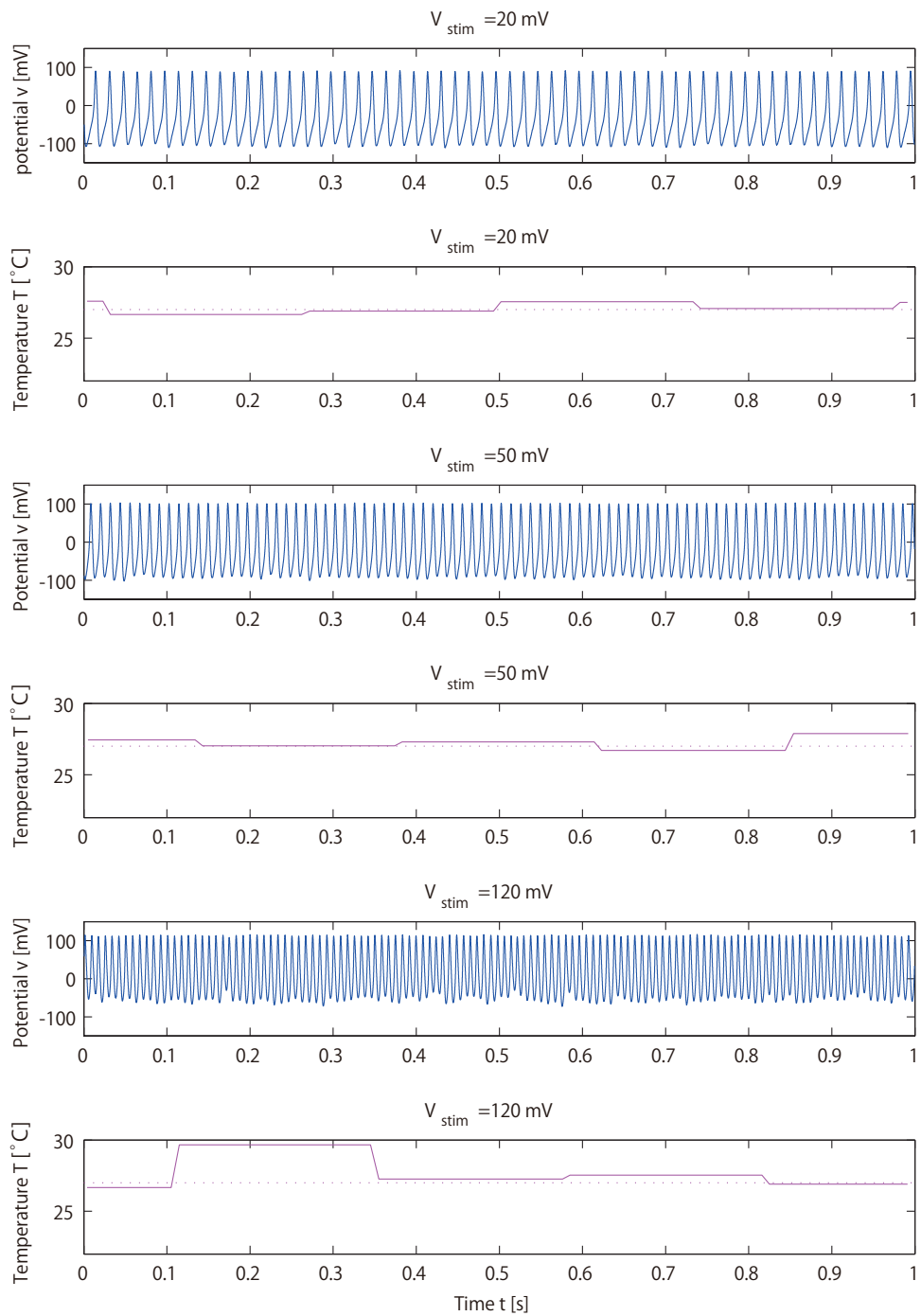


図 5.8: クラス 1 ニューロンにおける定値刺激入力に対する膜電位の応答 (3)

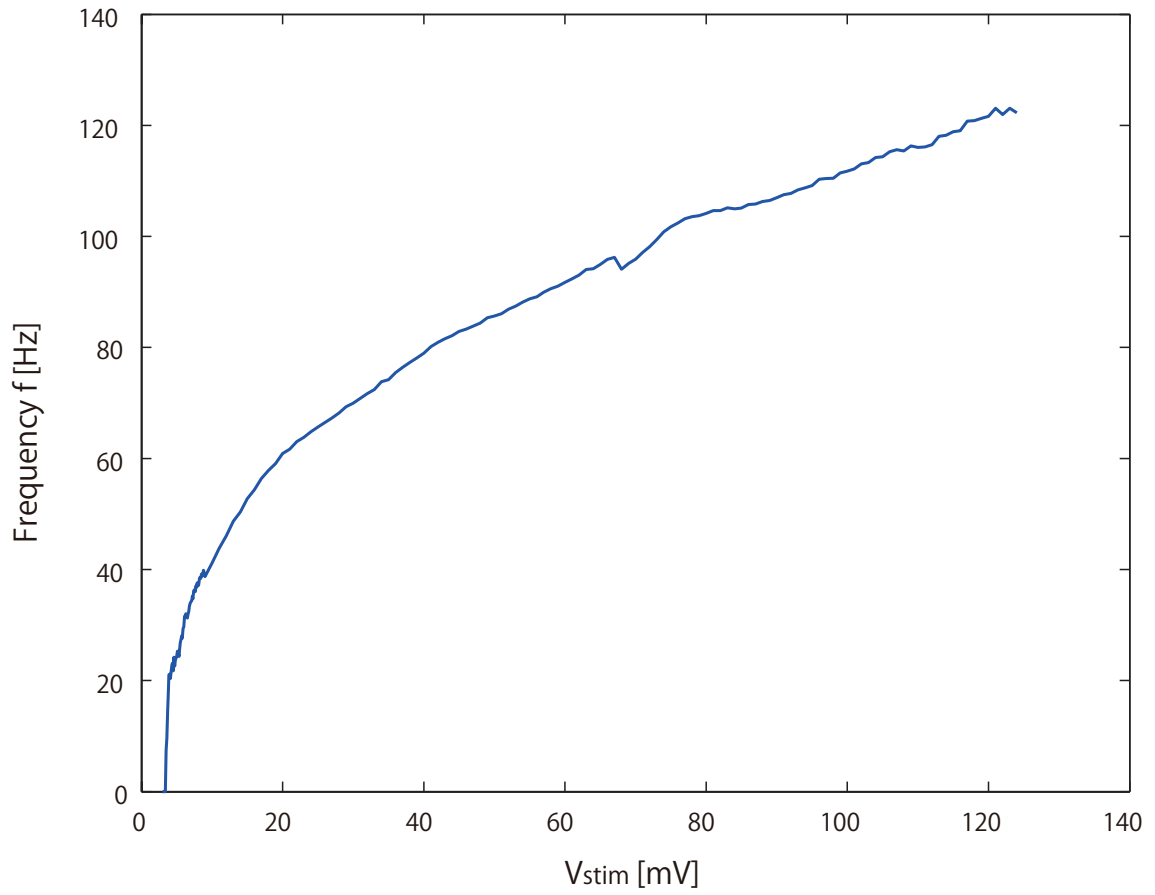


図 5.9: クラス 1 ニューロンにおける定値刺激入力に対する膜電位の応答の周波数変化

5.5 単一パルスに対する応答 (クラス 2)

$t = 0$ s において最大値 V_{stim} 、幅 1 ms のパルスを入力した。パルスの最大値を増加させた場合の応答の変化を図 5.10、温度変化を図 5.11 に示す。その他パラメータは表 5.2 に示した。

$V_{stim} = 60$ mV を超えると応答の大幅な変化が見られ、閾値が $v = -5$ mV 程度と確認できる。室温は 25.2°C 、設定温度は 27°C であり、チップの温度変化は $-0.008^{\circ}\text{C} \sim +0.789^{\circ}\text{C}$ の範囲内に収まっている。

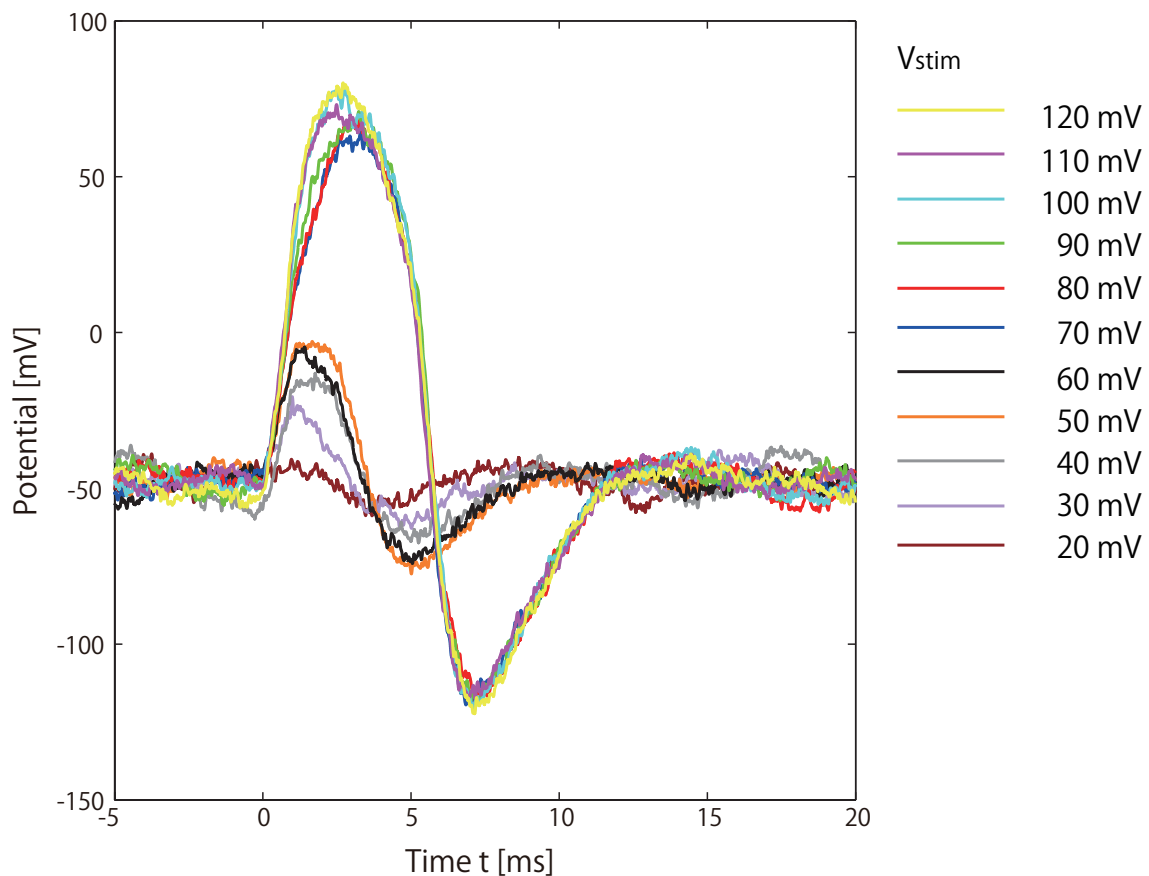


図 5.10: クラス 2 ニューロンにおける単一パルス入力に対する膜電位の応答 $t = 0$ s において幅 1 ms、振幅 V_{stim} のパルスを入力

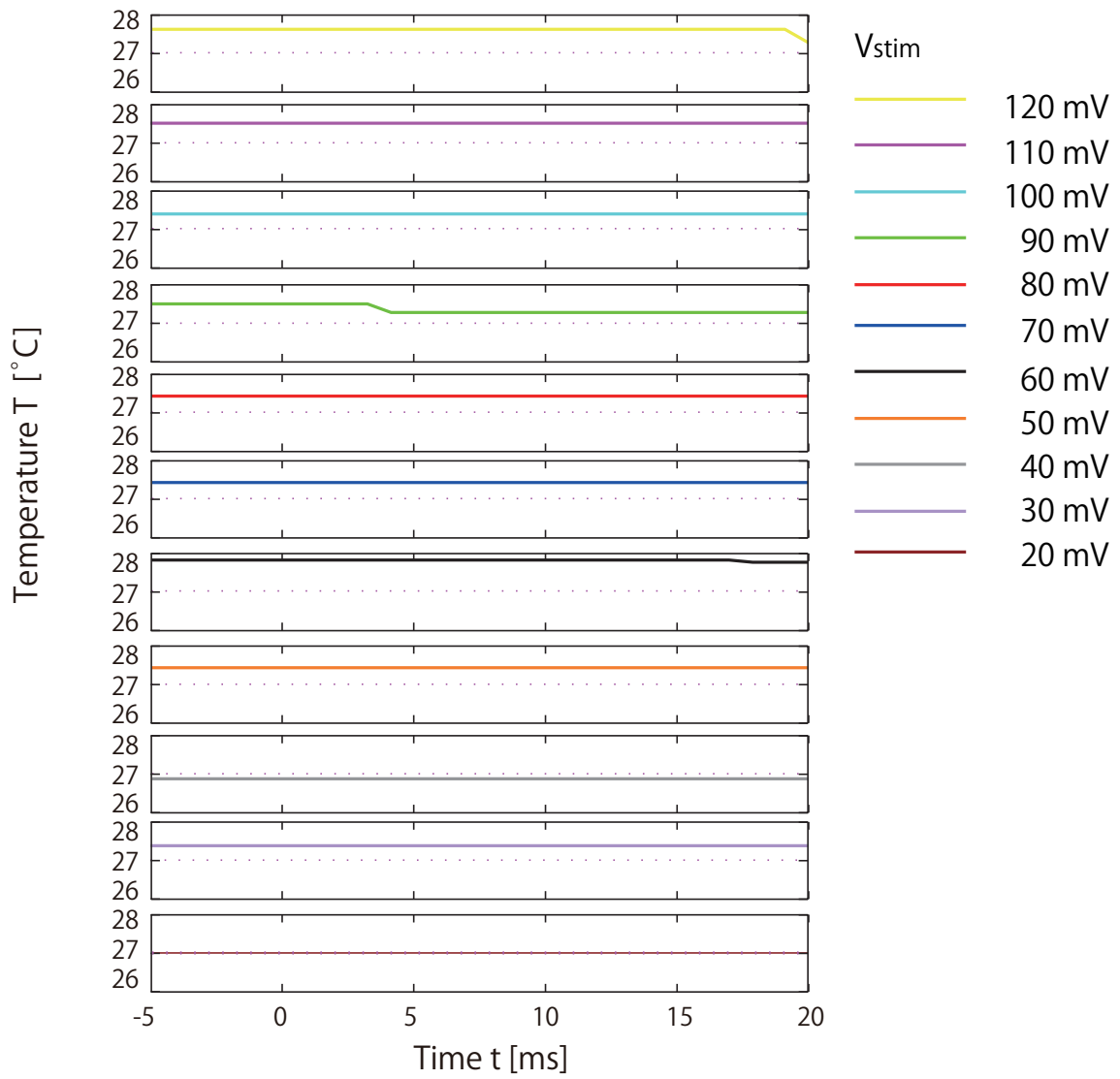


図 5.11: クラス 2 ニューロンにおける単一パルス入力に対する膜電位の応答の温度変化

表 5.2: パラメータ クラス 2

パラメータ	値 [V]	パラメータ	値 [V]
δ_n	-0.03	δ_m	0.017
V_{Sn}	-1.282	V_{Sm}	-1.27
V_{nt}	0	θ_g	0.035
V_{ntb}	-1.45	V_{Sg}	-1.3
V_{δ_q}	0	V_a	0.001
V_{Sq}	-1.65	V_{Sa}	-1.23
V_{qt}	0	V_{stim}	0
V_{qtb}	-1.65	V_{Sstim}	1.26

5.6 定値刺激入力に対する応答（クラス 2）

図 5.12～図 5.14 において定値刺激を入力し徐々に増大させた場合の時間波形の変化を示す。図 5.15～図 5.17 において定値刺激を入力し徐々に減少させた場合の時間波形の変化を示す。その他パラメータは表 5.2 と同じである。また、図 5.18 に周波数変化をまとめた。

どちらの場合でも発火が起こっている間の周波数に大きな変化は無く、有限周波数から発火するクラス 2 ニューロンの特性が確認できる。しかしどちらの場合でも $V_{stim} = 45 \text{ mV}$ から $V_{stim} = 59 \text{ mV}$ の間で波形に安定状態と発火状態の遷移が見られる。これはバイスタビリティがこの区間に存在し、ノイズによって二状態を遷移しているせいだと考えられる。室温は 25.2°C 、設定温度は 27°C であり、チップの温度変化は $-1.868^\circ\text{C} \sim +2.382^\circ\text{C}$ の範囲内に収まっている。

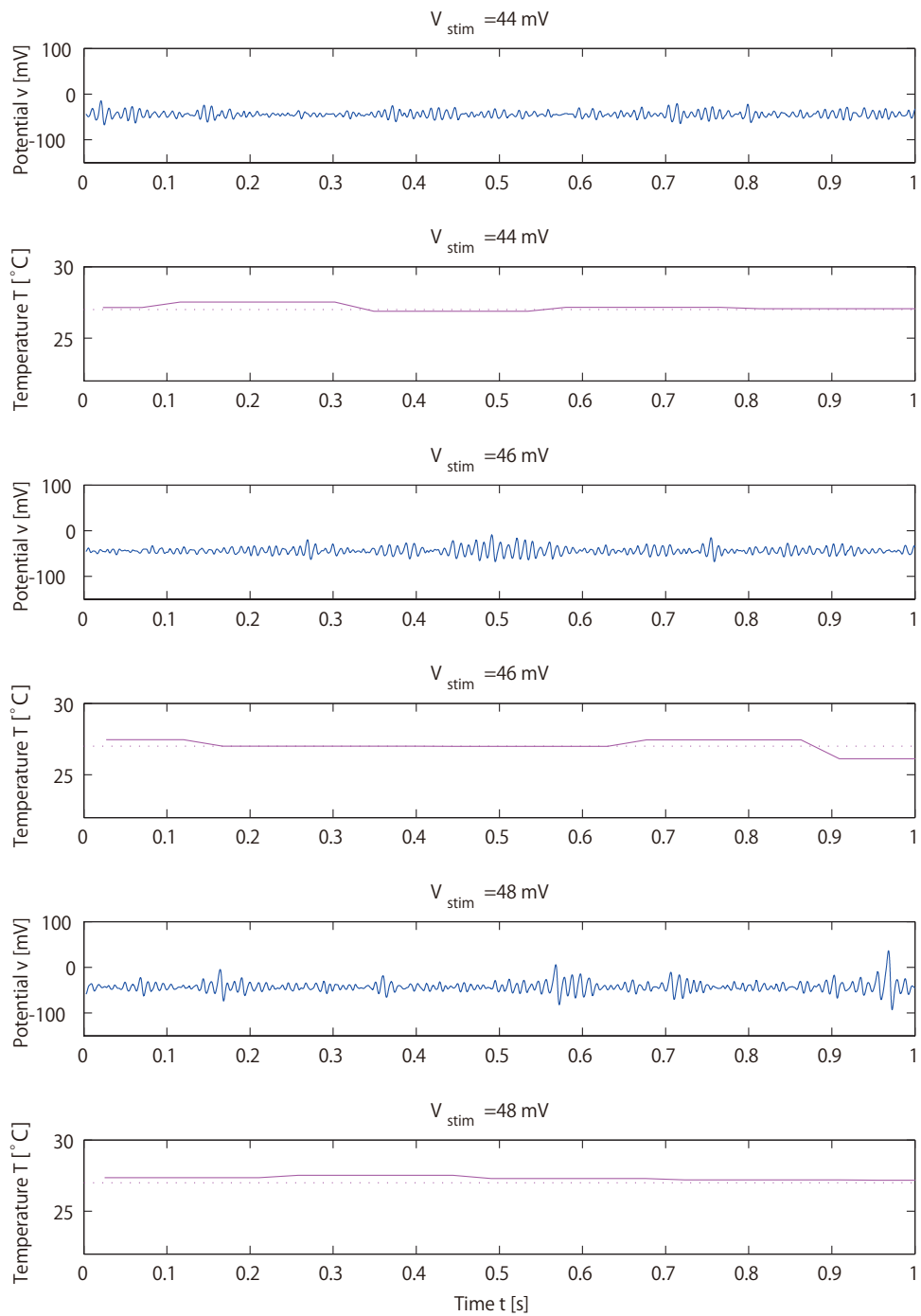


図 5.12: クラス 2 ニューロンにおける定値刺激入力を増大させたときの膜電位の応答 (1)

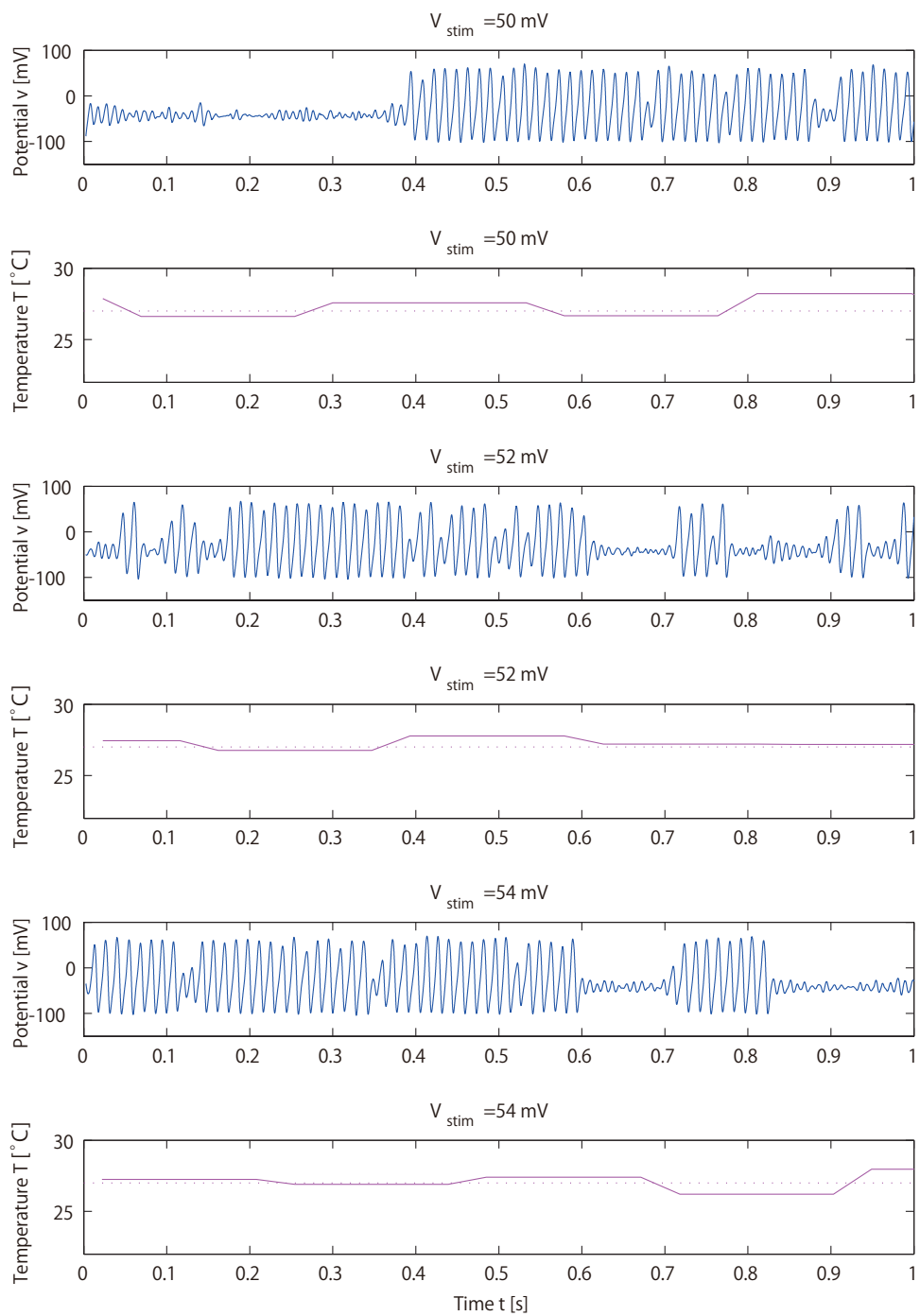


図 5.13: クラス 2 ニューロンにおける定値刺激入力を増大させたときの膜電位の応答 (2)

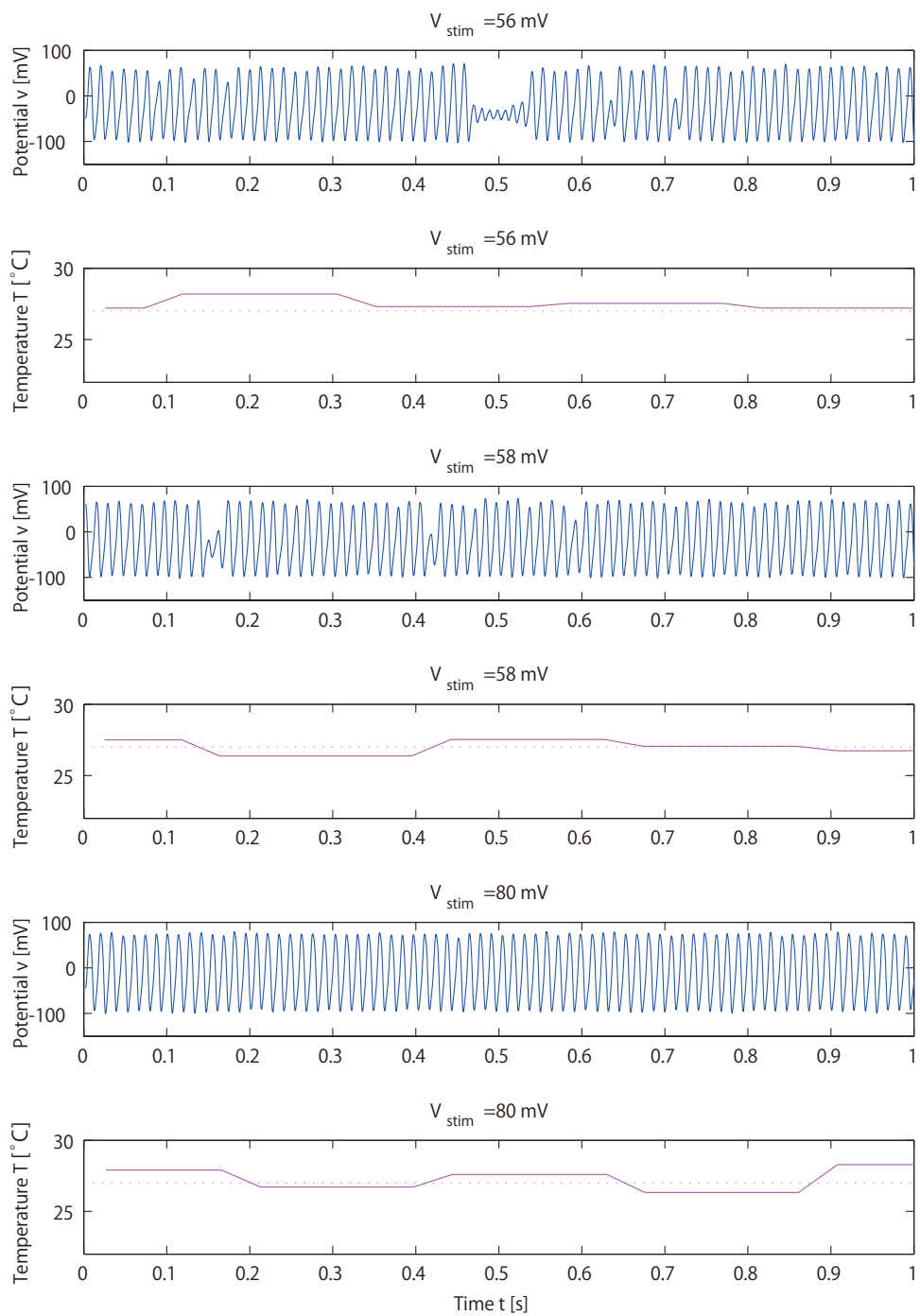


図 5.14: クラス 2 ニューロンにおける定値刺激入力を増大させたときの膜電位の応答 (3)

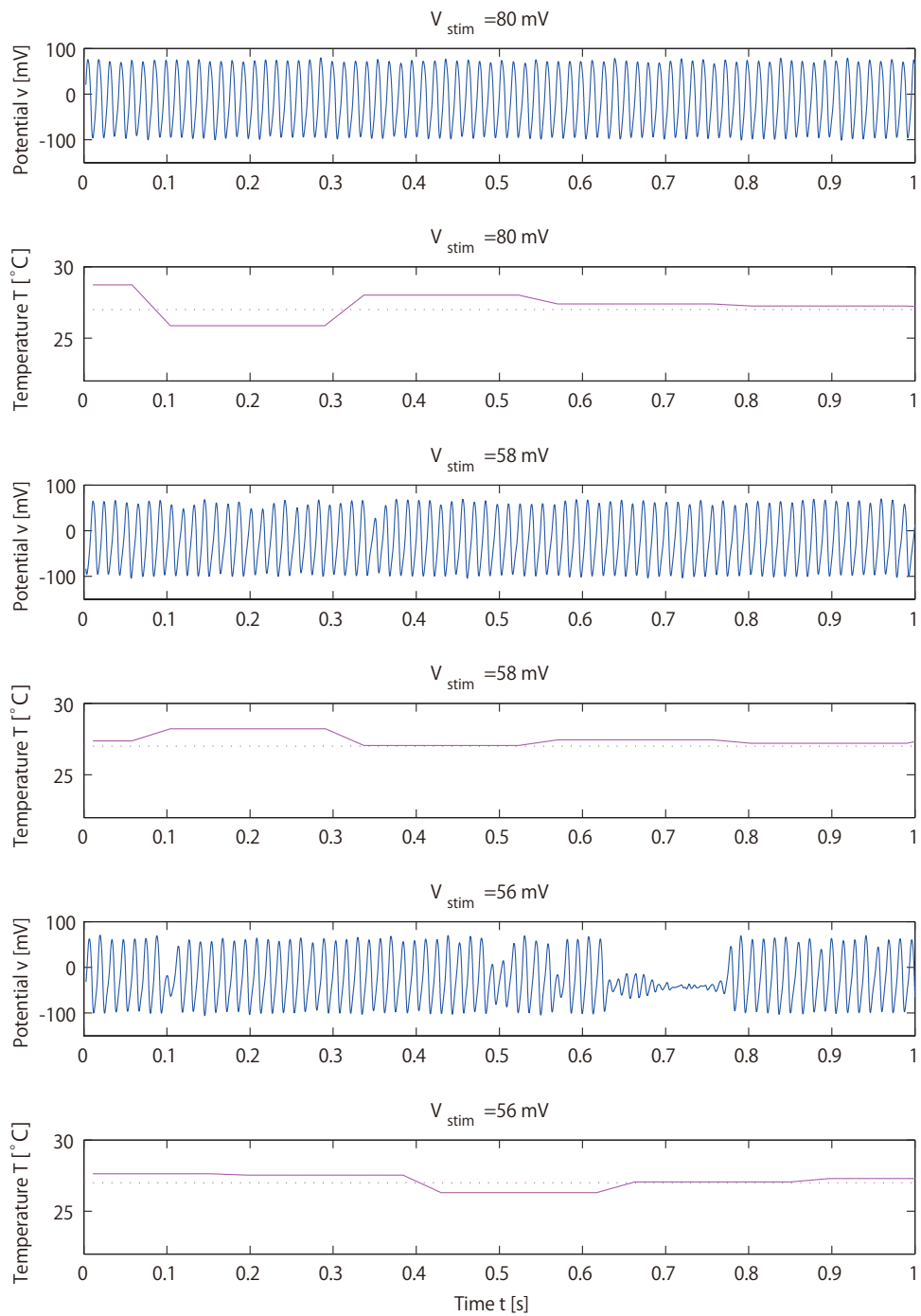


図 5.15: クラス 2 ニューロンにおける定値刺激入力を減少させたときの膜電位の応答 (1)

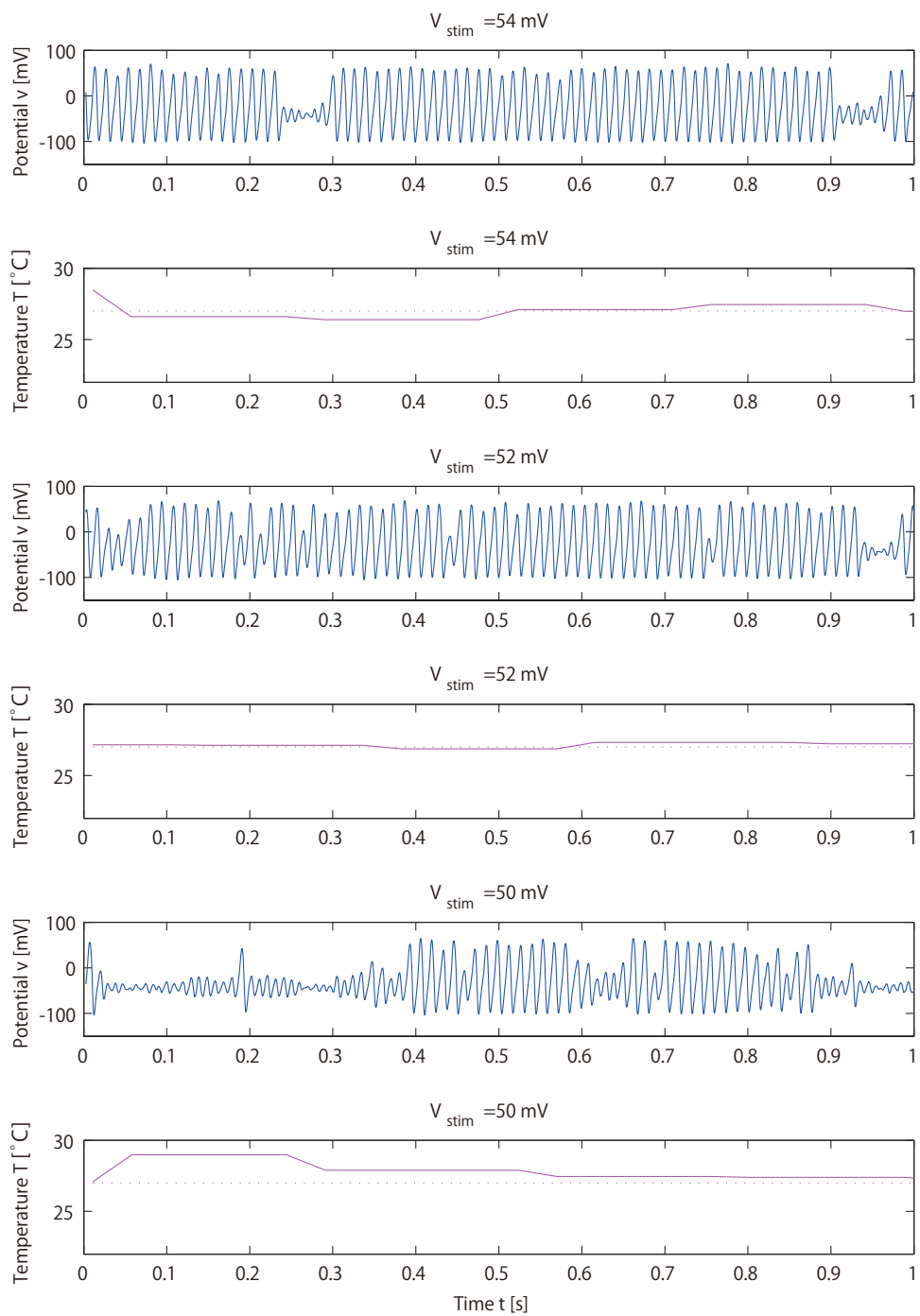


図 5.16: クラス 2 ニューロンにおける定値刺激入力を減少させたときの膜電位の応答 (2)

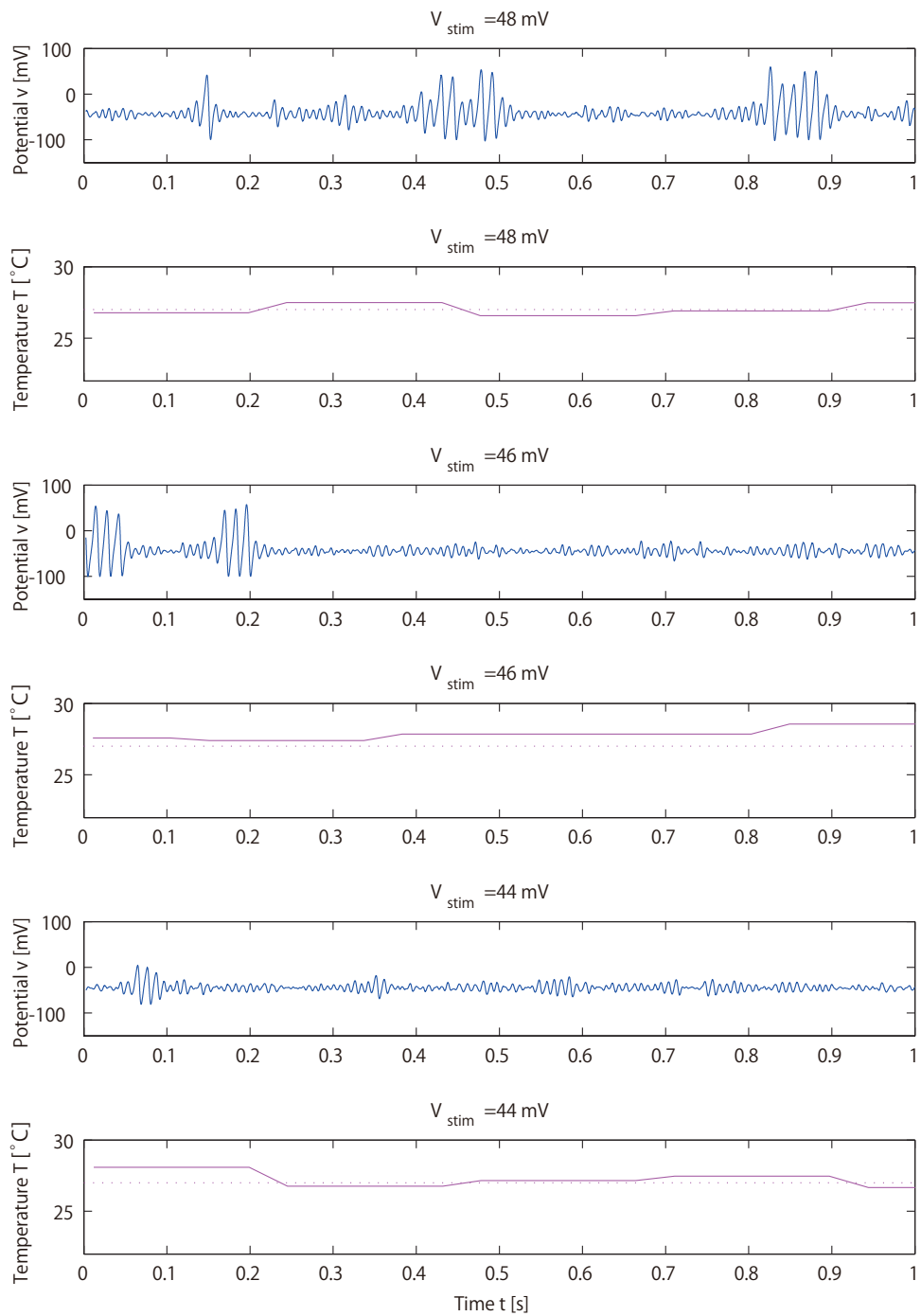


図 5.17: クラス 2 ニューロンにおける定値刺激入力を減少させたときの膜電位の応答 (3)

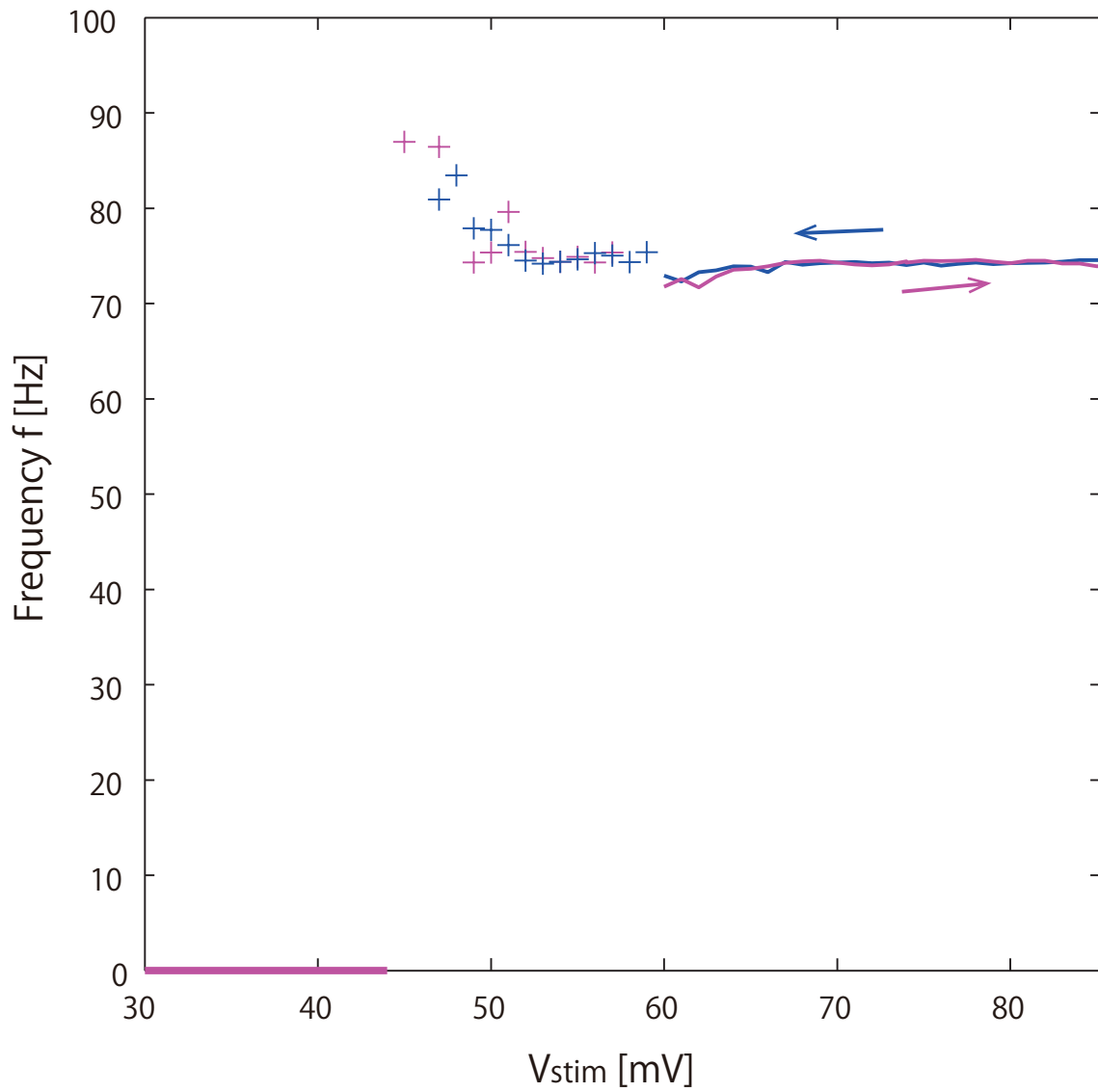


図 5.18: クラス 2 ニューロンにおける定値刺激入力に対する膜電位の応答の周波数変化
 実線は測定中に発火状態か静止状態のどちらかに安定していたことを示し、十字は測定中
 に発火状態と静止状態間の遷移が見られたことを示す

5.7 楕円バーストの出力

図 5.19～図 5.21 に楕円バーストの発火結果を示す。パラメータは表 5.3 の通りである。図 2.13 のシミュレーションでは1つのバースト中のスパイク数は一定となったが、実験結果ではそのようなパラメータを見つけることができなかった。室温は 19.8°C、設定温度は 27°C であり、チップの温度変化は $-1.680^{\circ}\text{C} \sim +1.929^{\circ}\text{C}$ の範囲内に収まっている。

表 5.3: パラメータ 楕円バースト

パラメータ	値 [V]	パラメータ	値 [V]
δ_n	0.06	δ_m	0.055
V_{Sn}	-1.33	V_{Sm}	-1.3
V_{nt}	0	θ_g	0.055
V_{ntb}	-1.44	V_{Sg}	-1.34
V_{δ_q}	0.05	V_a	0.049
V_{Sq}	-1.37	V_{Sa}	-1.304
V_{qt}	0	V_{stim}	0.032
V_{qtb}	-1.56	V_{Sstim}	1.24

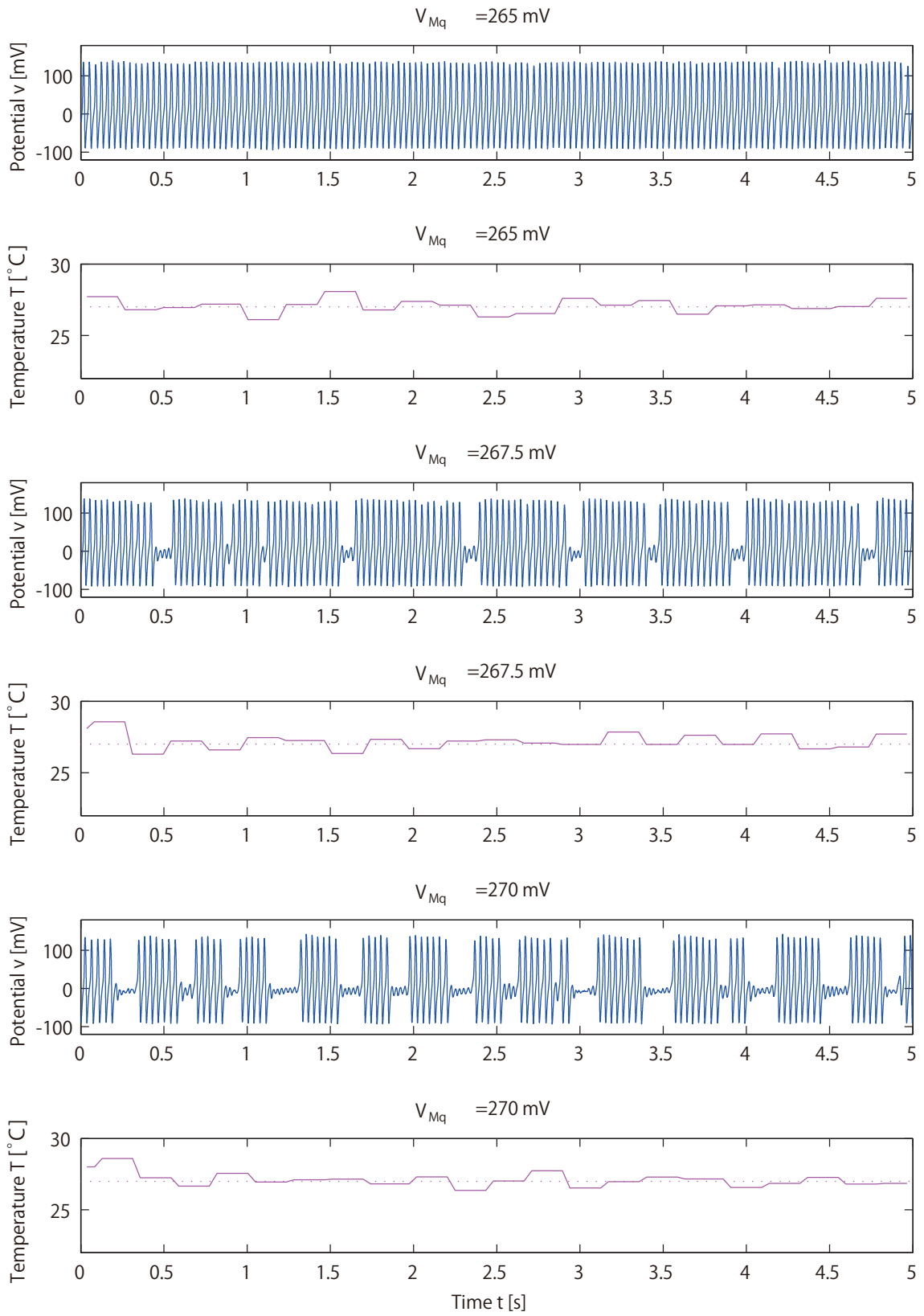


図 5.19: V_{Mq} による楕円パースト時間波形の変化 (1)

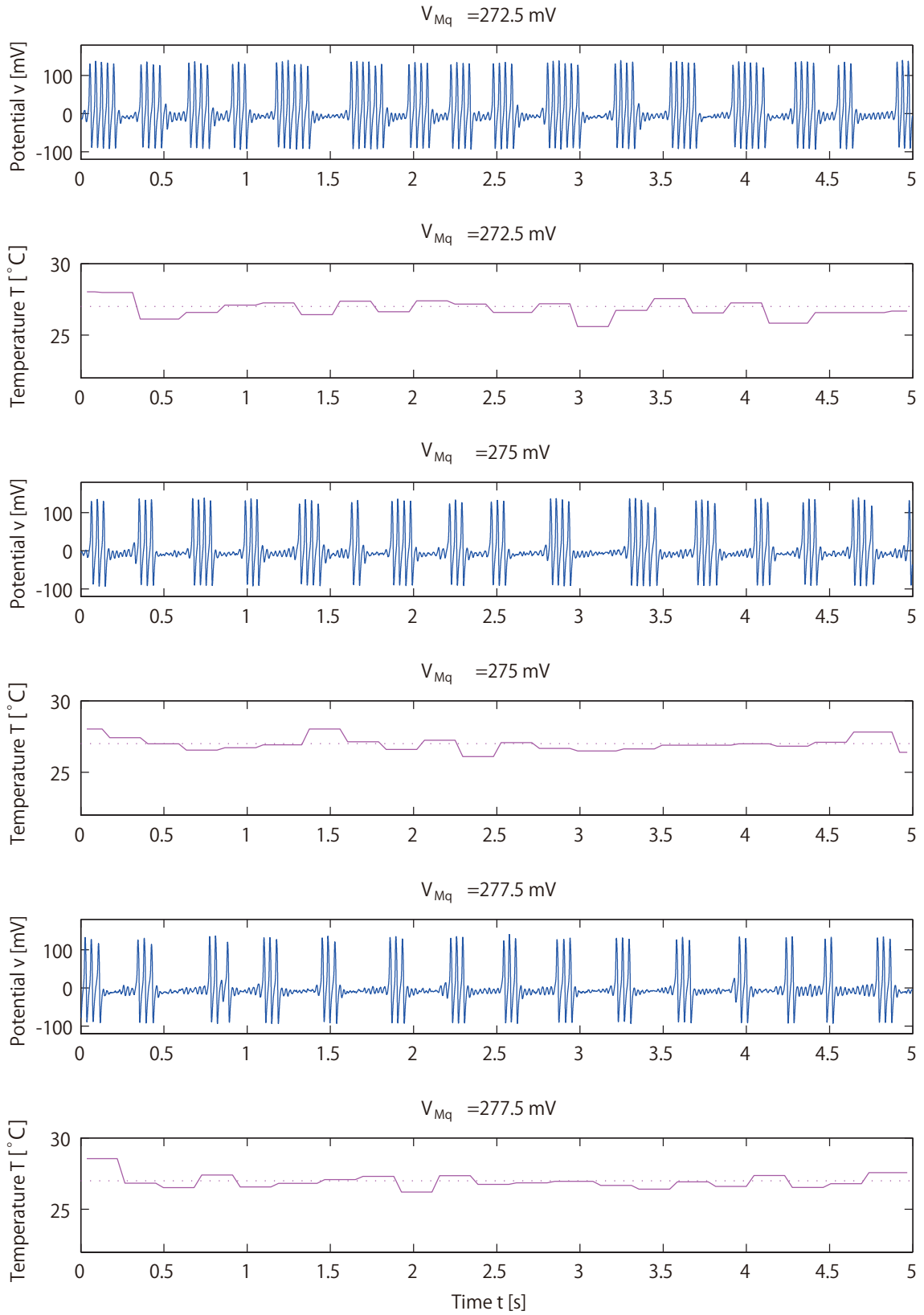


図 5.20: V_{Mq} による楕円バースト時間波形の変化 (2)

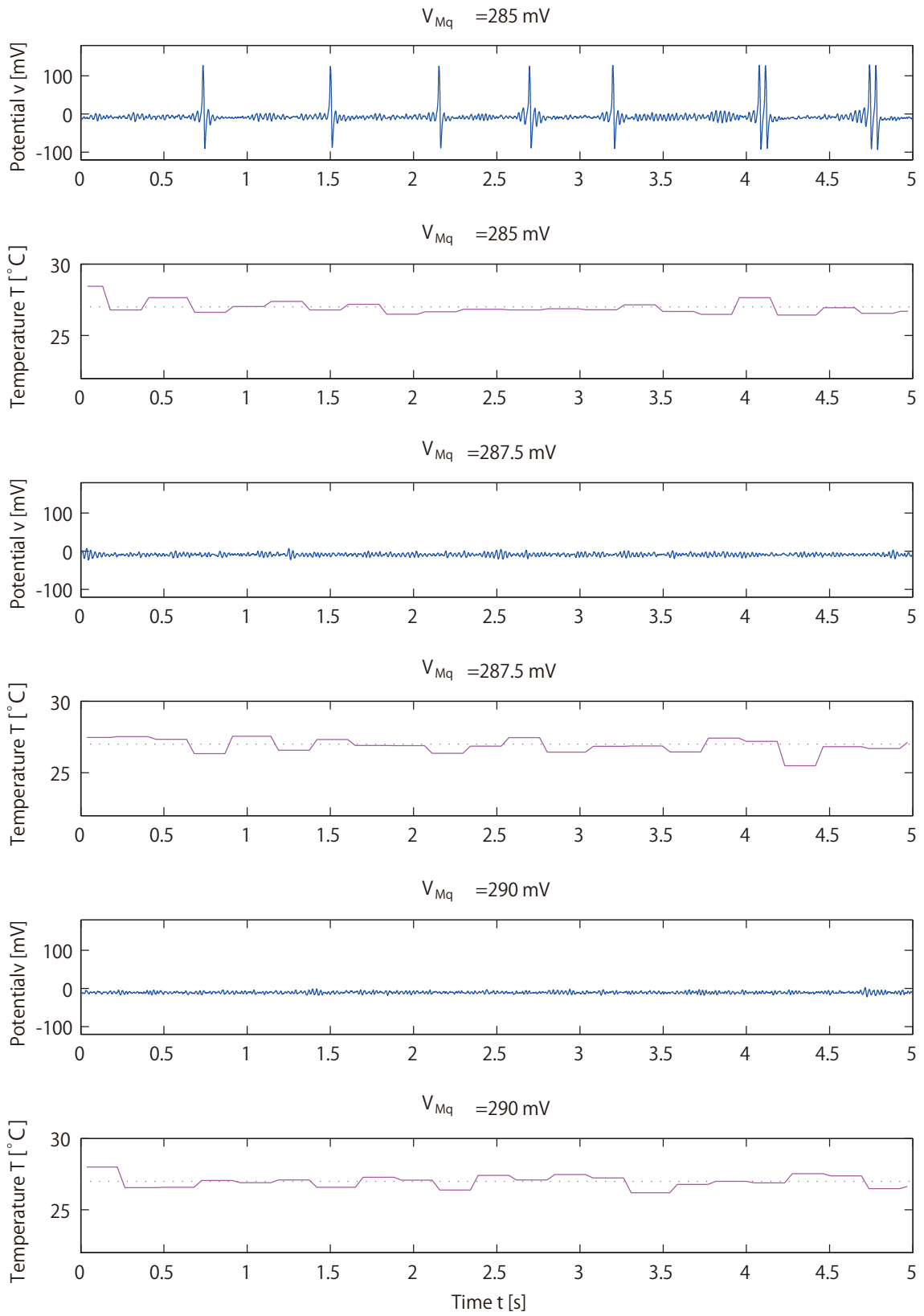


図 5.21: V_{Mq} による楕円バースト時間波形の変化 (3)

第6章 結論と考察

6.1 結論

本研究では、ニューロンの数理構造に基づいたシリコンニューロンをスタンドアロンで動作させるシステムの作製、動作検証を行った。本研究で対象としたシリコンニューロンにはサブスレシヨルド領域でのトランジスタの動作を理由とする温度変化への鋭敏性がある。これまでの巨大な周辺機器による実験環境を大幅に簡素化し、VLSI シリコンニューロン、DAC、温度センサ、ペルチェ素子、マイクロコントローラを同じ基板上に配置した恒温コントロールシステムを構築した。

結果として、パルス刺激を与えた際の応答から閾値、オーバーシュート、静止膜電位、不応期というニューロンの基本特性を再現した。また定値刺激を与えその大きさを変化させた際の応答の変化からクラス1ニューロンの非常に低い周波数における発火という特徴的な周波数特性、クラス2ニューロンの周波数特性を再現した。また、遅い時定数のイオン電流を表現する変数の働きにより楕円バーストの時間波形を再現することができた。以上本研究で対象とした数理構造に基づいたシリコンニューロンが再現できる各種の特性を再現できたことで、ペルチェ素子とマイクロコントローラによる恒温コントロールシステムによりシリコンニューロンの動作に十分な精度での温度安定化が可能であることを示した。

6.2 考察と今後の課題

5章で述べたように、クラス2ニューロンの波形において、ある刺激値の範囲で安定状態と発火状態の不安定な変化が見られた。これはサブクリティカルホップ分岐によるクラス2ニューロンにおいて存在するバイスタビリティの領域において、ノイズの存在によって測定中に両状態間を遷移してしまったことによると考えられる。

今後の課題として、USBやACアダプタ由来と考えられるノイズの対策が必要である。また、今回使用したシリコンニューロンは楕円バーストと同様遅い時定数のイオン電流の働きにより方形波バーストを再現できるように設計されているが、今回は妥当なパラメータを見つけることができなかった。

実験環境の簡素化によって複数ニューロンの動作が容易になったことを踏まえ、今後はVLSIチップにシリコンニューロンと共に内蔵されているシリコンシナプスを通した複数ニューロンの結合実験、特に上記の方形波バーストを出力している2つのニューロンを接続することにより交互にバーストを繰り返す Half center oscillator と呼ばれるネットワークなどの実現を目指したい。

謝辞

本研究の進行に際し、指導教員の河野崇准教授に終始適切なお助言と丁寧なご指導を頂いたことをここに深く御礼申し上げます。また、幅広い視点からご指摘を下さった合原研、鈴木研、小林研の方々に深く感謝致します。共に励ましあい、切磋琢磨しあうことができた同期の学生に深く感謝致します。最後に、温かく見守り研究に集中できるよう支えてくれた家族に心から感謝します。

参考文献

- [1] 相磯秀雄、甘利俊一. 1989 『ニューロコンピューティングへの挑戦』 三田出版会 11-27.
- [2] A. L. Hodgkin, A. F. Huxley, “Action Potentials Recorded from Inside a Nerve Fibre,” *Nature*, vol. 144, pp. 710-711; October, 1939
- [3] E. R. Kandel, “Principles of Neural Science Fourth Edition,” *McGraw-Hill*, pp. 3; 2000
- [4] A. L. Hodgkin, A. F. Huxley, “A quantitative description of membrane current and its application to conduction and excitation in nerve,” *J. Physiol.*, vol. 117, pp. 500-544; August, 1952.
- [5] M.F. Simoni, “A Multiconductance Silicon Neuron With Biologically Matched Dynamics,” *Biomedical Engineering*, vol.51, No.2, pp.342-353, February, 2004.
- [6] G. Indiveri “A LOW-POWER ADAPTIVE INTEGRATE-AND-FIRE NEURON CIRCUIT” *Circuits and Systems, Proc. IEEE International Symposium on*, vol. 4, pp. 820-823; May, 2003.
- [7] 甘利俊一、深井朋樹. 2009 『脳の計算論 シリーズ脳科学1』 東京大学出版会
- [8] C. Morris, H. Lecar “VOLTAGE OSCILLATIONS IN THE BARNACLE GIANT MUSCLE FIBER” *Biophys. J.* vol35, pp193-213; July, 1981
- [9] J. Nagumo, S. Arimoto “An Active Pulse Transmission Line Simulating Nerve Axon,” *Proc IRE*, pp.2061-2070; October, 1962
- [10] T. Kohno, K. Aihara, “A mathematical-structure-based aVLSI silicon neuron model,” *Proceeding of International Symposium on Nonlinear Theory and its Applications NOLTA2010*, September, 2010.
- [11] S. H. Strogatz, “Nonlinear Dynamics and Chaos,” *Westview*, pp. 253; 1994
- [12] R. J. Butera, “Models of Respiratory Rhythm Generation in the Pre-Böttinger Complex. I. Bursting Pacemaker Neurons,” *J. Neurophysiol* vol 82, pp382-397; February, 1999
- [13] J. Rinzel, B. Ermentrout, “Analysis of neural excitability and oscillations”, In “Methods in Neuronal Modelling: From synapses to Networks”, C. Koch and I. Segev, eds. *MIT Press* 1989

- [14] A. Destexhe, A. Babloyantz, T.J. Sejnowski, "Ionic Mechanisms for Intrinsic Slow Oscillations in Thalamic Relay Neurons," *Biophys J.* vol65, pp1538-1552; October, 1993
- [15] S. Liu, J. Kramer, "Analog VLSI: Circuits and Principles," *The MIT Press.*, pp. 133-142; 2002.
- [16] B. Razavi 著、黒田忠広訳. 2003 『アナログ CMOS 集積回路の設計 基礎編』 丸善 64, 73-75

発表文献

- [1] M. Miyake, T. Kohno, “A single board solution for silicon neuron chips with thermo-feedback system’, International Symposium on Neuromorphic and Nonlinear Engineering, 2014