

論文の内容の要旨

論文題目 微細 MOSFET の接合リーク電流におけるばらつき機構の解明

氏名 毛利 友紀

今日の情報社会を支える LSI (Large Scale Integration) において、最も基本的な構成要素である MOSFET (Metal Oxide Semiconductor Field Effect Transistor) は、素子寸法が小さいほど性能が向上することから、発明以来一貫して微細化が進められてきた。ところが近年、微細化に起因したばらつきの増大に伴い、従来は問題にならなかった現象が、不良の原因として顕在化してきた。MOSFET における各特性のばらつき原因を解明し、制御することは、これからの LSI の信頼性を確保する上で非常に重要である。

本研究では、LSI におけるばらつき課題のなかでも、DRAM(Dynamic Random Access Memory)のリテンション特性に支配的な、MOSFET の接合リーク電流ばらつきに注目し、その発生機構や対策指針を示した。一般的に、LSI におけるばらつき課題には、素子間ばらつきと、素子ごとに生じる経時揺らぎの 2 タイプがある。本研究では前者を「静的ばらつき」、後者を「動的ばらつき」と呼ぶ。接合リーク電流においても両タイプが観察されることから、双方について考察した。

■接合リーク電流の静的ばらつきについて

接合リーク電流の静的ばらつきは、DRAM ではメモリセル同士のリテンション特性ばらつきの原因となる。メモリセル内 MOSFET の接合リーク電流が大きいほど、リテンション特性は低下する。問題は、リテンション特性分布において、中央値より 2, 3 桁も低く裾を引く「裾分布」である。裾分布に属するメモリセル、いわゆる「裾ビット」の発生確率は 0.1%以下と低いが、それらごく一部のリテンション特性が、チップ全体のデータ保持能力を決定するため、ばらつき原因の解明と対策が求められる。ところがこれまで、裾ビットの接合リーク電流を直接観測した報告はなかった。メモリセルの接合リーク電流が、素子構造上、直接測定できないためである。メモリセルの接合部のみを模擬したテスト素子を作成すれば、リーク電流の直接測定は可能になるが、発生確率の低い裾ビットを検出するには、数 10M 個もの素子の測定が必要であり、直接測定では膨大な時間がかかる。そこで本研究では、より少ない測定数で裾ビットを検出するためのテスト用素子「裾ビット解析 TEG(Test Element Group)」を提案し、裾ビットの検出と解析を試みた。裾ビット解析 TEG は、メモリセルと同一プロセスの MOSFET が複数並列接続された構造で、各 MOSFET の接合リーク電流の和が測定できる。並列接続する MOSFET の数は、裾ビット検出に向けて最適化する必要があり、TEG の接合リーク電流をモンテカルロシミュレーションして定めた。実際に裾ビット解析 TEG で接合リーク電流分布を評価したところ、シミュレーションで予想したように、裾ビットを含むと思われる TEG のリーク電流が、分布から外れて大きく観測された。

検出した裾ビットを含む TEG の接合リーク特性を解析するにあたっては、接合リーク電流のバイアス依存性から、関与する局在準位のエネルギーと電界を評価する手法を構築した。解析の結果、裾ビットを含む高いリークレベルを示した TEG は、平均的なリークレベルの TEG に比べて、局在準位のエネルギーが低く、また電界が高い傾向が得られた。この結果によれば、裾ビットのリークレベルは 2 桁ほど高くなると考えられ、実際の裾ビットの特性を定量的に説明できることが確認された。

MOSFET の接合部の電界は一様ではなく、裾ビットの原因となる高電界は、ごく一部の領域で発生する。従って、その電界を緩和すれば、裾ビットのリーク電流は低減すると考える。そこでこのモデルを検証するため、接合部の最大電界を実測に基づき評価する手法を構築し、仕様の異なるいくつかの DRAM で、裾ビットのリテンション特性と電界との関係を調べた。その結果、接合部の最大電界が高い仕様ほど裾ビットのリテンション特性が低い、すなわち、接合リーク電流が高い傾向が確認できた。また、プロセス過程で、ドライエッチングダメージなどで欠陥が生じると、欠陥起因のリーク電流が増え、リテンション特性が劣化することも確認された。

以上より、裾ビットに代表される接合リーク電流の静的ばらつきは、リークに関与する局在準位のエネルギーレベルや量に加えて、接合部電界の分布が重畳することで、より大きくなることがわかった。プロセス過程で局在準位の原因となる欠陥を作らないことは当然重要であるが、それらをゼロにはできないことから、根本対策としては、電界分布のピーク値を抑えることが有効と考える。なお、本モデルに基づけば、接合部に占める高電界領域の割合と裾ビットの発生確率より算出される欠陥の面密度から、リークに関与する主な欠陥は界面準位であると考えられる。特に、接合部の高電界箇所は素子分離領域 STI(Shallow Trench Isolation)の酸化膜と接していることから、その界面に存在する準位がリーク源になると考える。

■接合リーク電流の動的ばらつきについて

接合リーク電流の動的ばらつきは、本研究で初めて見出された現象である。DRAM 開発の歴史では、1980 年代から、VRT(Variable Retention Time)と呼ばれる、リテンション時間が経時的に 2 値変動する RTN(Random Telegraph Noise)的な振る舞いが報告されていた。その原因として接合リーク電流の動的ばらつきが疑われたものの、本研究着手時の 2000 年までは進展がなかった。そこで本研究では、VRT の起源として接合リーク電流の動的ばらつきを見出すことから始め、その特性を解析することで、発生機構のモデル化と対策を検討した。

動的ばらつきの検出にあたっては、裾ビット解析 TEG での検討を応用した。動的ばらつきが生じるのは DRAM を構成するメモリセルの一部であり、特に、問題となる大幅な変動が生じるメモリセルは、裾ビットと同様、ごくわずかである。従って、裾ビット解析のように、複数のメモリセルを並列接続させ、リーク電流の和を評価すれば、より少ない測定数で変動を検出でき、効率的である。一方で、並列接続数が多すぎると、変動が生じて、測定分解能に埋もれてしまい、検出されない。そこで、TEG のリーク電流をモンテカルロシミュレーションすることで、動的ばらつきを検出するのに最適な並列数を求めた。実際に、同 TEG を試作し、リーク電流の

時間依存性を評価したところ、一部の TEG で、VRT の原因となりうるリーク電流の変動、すなわち動的ばらつきを見出すことに初めて成功した。その変動は、MOSFET のドレインと基板の間の接合で発生することが測定で確認され、本研究ではこれを、VJL(Variable Junction Leakage)と名づけた。

VJL の発生機構を検討するにあたって、まず、変動を示す接合リーク電流の機構を考察した。一般的に接合リーク電流の機構は、拡散、SRH(Shockley-Read-Hall)、TAT(Trap Assisted Tunneling)の 3 つで、活性化エネルギーに特徴がある。すなわち、拡散電流は約 1.1eV、SRH は局在準位のエネルギーレベル (0.55eV 以上 1.1eV 未満)、TAT は SRH と同等かそれ以下でバイアスに伴う低下が特徴である。そこで、リーク電流の活性化エネルギーに着目して VJL を解析したところ、その機構は SRH、または TAT であり、特に、変動幅が大きいものでは、活性化エネルギーのバイアスに伴う低下がみられたことから TAT が支配的であることがわかった。

さらに、VJL の振幅や変動頻度の特性に基づき、VJL の発生機構として「構造変動モデル」「荷電状態変動モデル」の 2 つを提案し、妥当性を検討した。構造変動モデルは、VJL に関与する欠陥が、安定構造・準安定構造といった双安定構造を示し、それらが熱揺らぎで交互に出現することで局在準位のエネルギーが変動し、リークレベルが変動する、というモデルである。一方、荷電状態変動モデルは、VJL のリーク源となる生成・再結合中心の近傍に酸化膜中トラップ等のサイトが存在し、そのサイトへの電荷の捕獲・放出が生成・再結合レートを変調させ、リーク変動を生じさせる、というモデルである。両モデルとも、当初得られた VJL の各特性を、定量的に説明することができた。

そこで、2 つのモデルの違い、すなわち、荷電状態変動モデルでは界面準位の関与が示唆される点に着目し、VJL と界面準位との関係を調べることで、モデルの妥当性を精査した。その結果、電氣的ストレスやアニール処理で界面準位密度が増えると、VJL が観察される TEG の検出確率が増加することがわかった。さらに、荷電状態変動モデルに従えば、意図的にトラップサイトへの電荷捕獲・放出を誘発できれば、VJL 変動タイミングを制御できると考えられる。そこで、ゲート酸化膜中トラップへのホール捕獲を誘発するパルスゲートをゲート電極に印加したところ、そのタイミングに合わせて VJL の変動が誘発されることが確認できた。これらの結果はいずれも、荷電状態変動モデルの妥当性を強く支持する。

荷電状態変動モデルでは、他報告のモデルに比べて各特性を網羅的に説明できることから、現時点では最も有力なモデルである。同モデルに従えば、アニールの最適化などで界面準位を減らすことは VJL 発生を抑制するのに有効であるが、界面準位は電氣的ストレスによっても発生するために根本対策にはならない。最も有効なのは、電氣的ストレスによって界面準位が生じても不良にさせない対策であり、それは変動幅の低減、すなわち電界の低減であると考えられる。

以上をまとめると、接合リーク電流の静的ばらつき、動的ばらつきはいずれも、界面準位のエネルギーレベルや量のばらつきに、電界の分布が重畳して拡大することが、本質的な問題であることがわかった。本研究では主に DRAM を対象として接合の信頼性を論じたが、ここで得られ

た知見は、微細 MOSFET の一般的な設計指針として適用できる。将来、微細化技術が成熟すれば、微細化そのものは差別化技術ではなくなる。むしろ、省エネルギーや高信頼性、機能性などの付加価値を実現するための物理に根ざした設計力こそが差別化技術になると考えられ、本検討がその一助となれば大変幸いである。