

審査の結果の要旨

氏名 毛利 友紀

本論文は、「微細 MOSFET の接合リーク電流におけるばらつき機構の解明」と題し、DRAM と呼ばれる大規模半導体ダイナミックメモリの信頼性を劣化させる微細 MOS トランジスタの接合リーク電流ばらつきの発生機構を論じたものであって、全 5 章より構成される。

第 1 章は「序論」であり、今日の高度情報化社会を支えている大規模半導体メモリにおいて、信頼性劣化が問題となっており、信頼性物理の深耕が必須であることについてまとめており、本論文の背景と目的を明確にしている。

第 2 章は、「MOSFET の接合信頼性における課題」と題し、DRAM における信頼性の課題を論じている。DRAM セルの記憶保持時間を統計解析すると、正規分布を示す主分布に対して、ごくまれに保持時間が極めて短い「裾分布」が存在することを明らかにし、この裾分布のビットが DRAM 全体の保持時間を劣化させており、原因解明と対策が急務であることについて述べている。

第 3 章は、「接合リーク電流における静的ばらつきの機構解析」と題し、裾分布の原因となる、時間によらない接合リークの静的ばらつきの機構解析について述べている。まず、発生頻度の極めて低い接合リークビットを検出するためのテストパターンを設計し、異常に大きな接合リークを観測することに成功した。さらに、高リーク電流を詳細に解析した結果、その発生機構は、トランジスタ中の高電界領域に偶然界面準位が位置することによるトラップ支援トンネリングであることを明らかにした。

第 4 章は、「接合リーク電流における動的ばらつきの機構解析」と題し、時間に依存して接合リーク電流が変化する現象の機構解析について述べている。この現象により DRAM の保持時間は時間的に変化し、信頼性の劣化をもたらす。まず、新テストパターンを設計し、この稀な現象を検出することに成功した。さらに、実測結果を詳細に解析することにより、この動的ばらつき現象は界面準位が関与した荷電状態変動で説明できることを明らかにした。

第 5 章は、「結言」であり、本論文の結論と将来展望について述べている。

以上のように本論文は、大規模半導体ダイナミックメモリの信頼性を劣化させる微細トランジスタのごく稀な異常接合リーク電流の静的および動的ばらつきを直接実測することに成功し、その発生機構を解明し対応策を論じたものであって電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。