

# 修士論文

リコンフィギュラブル無線回路向け  
CMOS コンパレータの高精度化の研究

A Research on High-Precision CMOS  
Comparator for Reconfigurable RF Circuits

平成 28 年 2 月 4 日

指導教員 桜井 貴康 教授

東京大学大学院  
工学系研究科電気系工学専攻  
融合情報コース

37-146476 濱松 昌宗

# 内容

第 1 章 序論.....	5
1.1 研究の背景と目的.....	5
1.2 本論文の構成 .....	6
第 2 章 リコンフィギュラブル無線受信回路 .....	7
2.1 従来の無線受信器.....	7
2.2 スイッチドキャパシタ無線回路 .....	8
2.2.1 スイッチドキャパシタ回路 .....	8
2.2.2 間欠サンプリング .....	9
2.3 先行研究と提案方式.....	9
2.4 提案する受信器に求められるコンパレータの仕様 .....	13
第 3 章 コンパレータの概要 .....	16
3.1 コンパレータの種類.....	16
3.1.1 連続型コンパレータ .....	16
3.1.2 同期型コンパレータ .....	17
3.1.3 ラッチ .....	18
3.2 Strong ARM Latch の動作原理 .....	20
3.2.1 プリチャージ.....	20
3.2.2 差動対が増幅.....	22
3.2.3 差動対とクロスカップルペアの一部で増幅 .....	23
3.2.4 ラッチが増幅.....	24
3.3 Double-tail 型コンパレータの動作原理.....	25
3.3.1 リセット .....	25
3.3.2 比較動作.....	25
3.4 同期型コンパレータに付随する回路ブロック .....	27
3.4.1 サンプル&ホールド回路 .....	27
3.4.2 プリアンプ .....	28
3.4.3 SR ラッチ.....	30
3.5 入力換算雑音電圧を推定する方法 .....	30
第 4 章 コンパレータの特性 .....	31
4.1 キックバックノイズ.....	31
4.2 ヒステリシス .....	31
4.3 メタステビリティ .....	31
4.4 オフセット .....	32
4.4.1 同期型コンパレータに見られるオフセット調整機構.....	32

4.4.2 電流補償.....	34
4.4.3 容量補償.....	36
4.4.4 電荷補償.....	38
4.5 ノイズ .....	39
4.5.1 熱雑音 .....	39
4.5.2 フリッカーノイズ .....	40
4.5.3 差動対におけるノイズ .....	41
4.5.4 ラッチのノイズ .....	43
第 5 章 オフセット調整方法の考察.....	46
5.1 使用可能なオフセット調整方式 .....	46
5.2 容量方式と電荷方式の比較 .....	46
5.2.1 容量方式.....	46
5.2.2 電荷方式.....	46
5.2.3 容量方式と電荷方式の比較 .....	48
5.3 従来の容量 DAC .....	49
5.3.1 並列に容量を並べた DAC .....	49
5.3.2 スプリット構造を有する DAC .....	49
5.4 提案する電荷に 2 回方式の DAC .....	50
5.4.1 提案する 2 回方式の動作原理 .....	51
5.4.2 提案する 2 回方式の理論解析 .....	53
5.4.3 スプリットキャパシタ方式と提案する 2 回方式のシミュレーション比較 .....	53
第 6 章 入力換算雑音シミュレーション .....	57
6.1 同期型差動増幅回路のノイズシミュレーション .....	57
6.1.1 同期型差動増幅回路の電流を変化させた場合 .....	57
6.1.2 同期型差動増幅回路の差動対の W/L を変化させた場合 .....	60
6.1.3 同期型差動増幅回路の負荷容量を変化させた場合 .....	62
6.2 Strong Arm Latch のノイズシミュレーション .....	64
6.2.1 Strong Arm Latch の電流を変化させた場合 .....	64
6.2.2 Strong Arm Latch の差動対の W/L を変化させた場合 .....	65
6.2.3 Strong Arm Latch の負荷容量を変化させた場合 .....	66
6.3 ラッチの負荷容量 $C_{X,Y}$ と $W$ を変化させたノイズシミュレーション .....	67
6.4 試作したコンパレータのノイズシミュレーション .....	70
第 7 章 コンパレータのチップ試作 .....	72
7.1 はじめに .....	72
7.2 レイアウト .....	72

7.3 測定系について .....	74
7.4 測定結果 .....	77
7.4.1 1MHz でコンパレータを動作した場合の問題 .....	77
7.4.2 電荷注入による入力オフセットの変化 .....	78
7.4.3 入力換算雑音の測定 .....	79
7.4.4 入力換算雑音の電流依存性におけるシミュレーションと実測の比較 .....	80
7.4.5 仕様との比較 .....	80
7.4.6 論文との性能比較 .....	81
第 8 章 今後の展望 .....	82
8.1 前回試作の問題点 .....	82
8.2 結論 .....	84
参考文献 .....	86
本研究に関する発表 .....	88
謝辞 .....	88



# 第1章 序論

## 1.1 研究の背景と目的

橋やトンネルなどの構造物が高度経済成長時に数多く建設され、現在次々に耐用年数を迎え、その数が年々増加しているという問題がある。これらの立て替えには膨大な費用がかかるため、保守により延命を図っている現状がある。しかし同時に押し寄せる、少子高齢化、人口減の状況で、これらすべてを人が保守するのは困難である。これらの理由から、構造物に交換やメンテナンス不要のセンサーを設置し、それらセンサーからのデータを解析し、インフラの状態を正確に把握する需要が高まっている[1]。

センサーネットワークは、様々な状態を観測できるセンサーを無線通信機能と共にモジュール化(センサーノード)し、ネットワーク化したもので、これらの応用先は先ほどのインフラの保守の話のみならず、多くの応用が考えられる。たとえば、防災や安全、健康管理などが挙げられる。図 1.1 にセンサーネットワークの概念図を示す。

このように、センサーネットワークは、センシングにより、人の負担を減らし、より安全安心な未来の社会を実現するために必要不可欠なものである。

しかし、その実現にはいくつかの技術的困難がある。まず、監視や保守が目的の場合、センサーが設置される場所の特性上、電池交換の困難さがあるため、超低消費電力化によって、長期の使用の使用を可能にする技術は必須である。低消費電力化の技術としては、使用中にも部分的に電源を落とす間欠動作が工夫として挙げられる。

さらにセンサーネットワークの端末は、様々な用途(通信距離、通信頻度)に対応する必要がある。一般に無線規格はアプリケーションや地域によって異なる。従来は多様なアプリケーションに対応するために、それ専用の回路を制作する結果、少量多品種によりコストが高くなる問題点があった。この問題を解決するには、1つのチップで様々な規格やアプリケーションに対応するリコンフィギュラブルな回路が必要である。

センサーネットワークのもう 1 つの特徴は、通信が低速でも構わない点である。従来の無線技術では、如何に正確に高速に遠くまで間違いなく通信をするかが重要であったが、センサーネットワークで送る情報量は、一般に気温や大きな振動があった回数などの数値であり、送信頻度も1時間に1回もしくは1日に1回程度といった使い方が想定される。これらの通信では、データ量が少ないため、低速で送信しても問題ない。通信が低速でも構わない分、低消費電力が優先されるところもセンサーネットワークの特徴である。

まとめると、センサーネットワークには以下のような特徴がある。

- 超低消費電力
- 様々な用途への応用が可能な設計
- 通信は低速でも良い

これらの特徴により、従来の回路設計とは少々異なるアプローチが必要となる。

そこで、本研究では、極低電力動作に向けたソフトウェア無線の要素回路技術として、スケーラブル無線受信回路を提案し、その内部で使用する要素技術の1つである高精度なコンパレータについて、その設計手法をお伝えする。

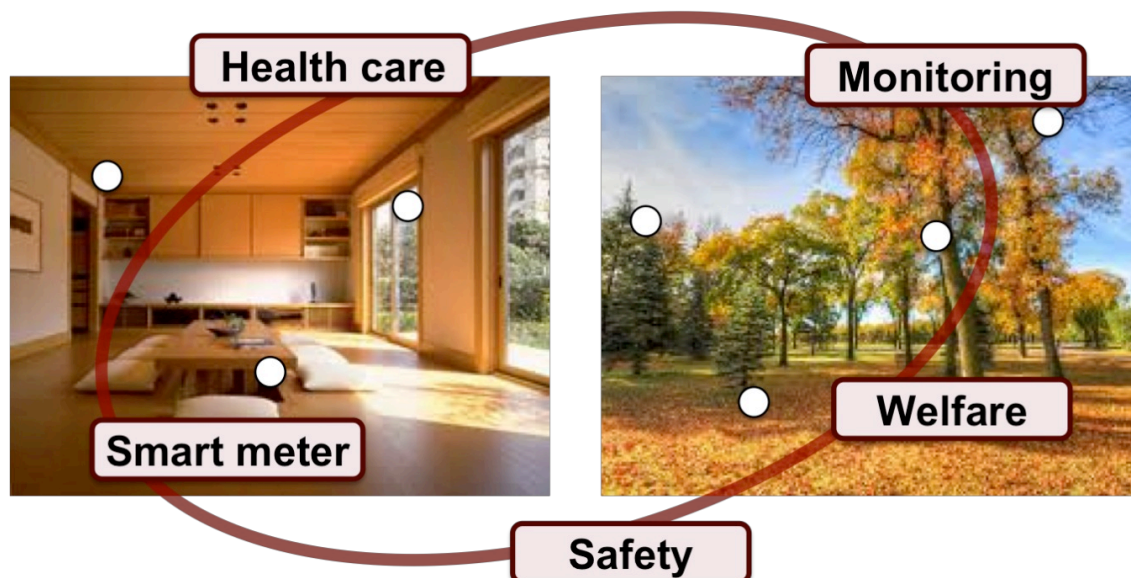


図 1.1 センサーネットワークの概念図

## 1.2 本論文の構成

本論文は8章で構成されている。2章では、センサーネットワーク向けの受信器の先行研究と提案する無線機の回路構成について紹介する。3章では、コンパレータの概要について説明する。第4章では、コンパレータの様々な特性について示す。第5章では、コンパレータのオフセット調整方法について説明し、第6章では、入力換算雑音について説明する。第7章では、試作したコンパレータについて書いており、第8章では、コンパレータと前段の回路を組み合わせで作製した受信器についてお伝えする。

## 第2章 リコンフィギュラブル無線受信回路

本章では、スケーラブルなソフトウェア無線を実現すべく、スケーラブル無線回路を提案する。一般に無線規格はアプリケーションや地域によって異なり、従来は多様なアプリケーションに対応するために、それ専用の回路を制作する結果、少量多品種によりコストが高くなる問題点があった。近年その問題を解決する方法として、近年、この問題を解決するためにソフトウェア無線やマルチバンド無線が提案されている。これらの技術は多様な規格に対応可能だが、ソフトウェア無線[2]の消費電力は 100mW、マルチバンド無線[3]の消費電力は 5.4mW と消費電力が大きいという問題がある。これらの問題を解決する方法として、先行例を挙げ、改善点を示した上で、提案する回路構成を示す。

### 2.1 従来の無線受信器

電力の制約から、ワイヤレスセンサーネットワークの受信回路では、従来使われている受信機の構成を使うことが困難である。ソフトウェア無線も含め、従来の受信機は図 2.1 のような構成をしており、LNA (Low Noise Amplifier)やMixerのように定電流源をもつ素子を多数使用する。これら定電流源を持つ回路構成は、常時電力を消費するだけでなく、距離や感度に関係なく、常に最高品質の受信を行うため、無駄な消費電力も多い。この問題の解決案としては連続的な動作の部分を最小化した間欠サンプリングを用いて超低電力を行った先行研究がある(後述)[4]。これを用いて低電力化を可能にし、間欠サンプリングの頻度を変えることで 図 2.2のように電力とデータレートのスケーラビリティが実現できる。スケーラブルであるとは、ここでは、無線受信器の何らかの性能や消費電力などのトレードオフを自在に変更可能であることを意味しており、スケーラブルであることで、様々な仕様や用途において、求められる性能を維持した上で、消費電力を低減させることが可能となる。

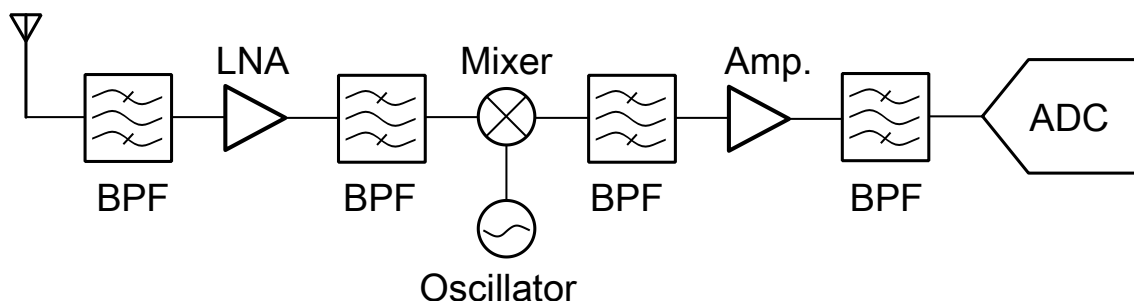


図 2.1 従来の無線受信器のブロック図

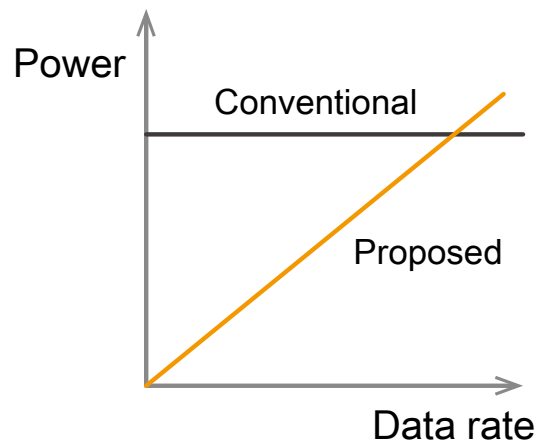


図 2.2 無線受信回路における データレート-電力スケーラビリティ

## 2.2 スイッチドキャパシタ無線回路

### 2.2.1 スイッチドキャパシタ回路

本研究では、様々な周波数帯や変調方式に対応し、かつデータレート-電力スケーラビリティを持つ回路を実現すべく、周波数帯域による変化が小さく、デジタル回路による制御が容易なスイッチドキャパシタを用いた復調を行う。

スイッチドキャパシタはキャパシタとスイッチ(MOSFET)を用いることで実現される(図 2.3)。デジタル信号により、スイッチのタイミングを制御することで入出力の流れをコントロール可能である。スイッチドキャパシタを用いた回路の時定数はスイッチの ON 抵抗と容量で定まるため、この時定数が十分無視できる周波数領域で使用することで、周波数変化を抑えられる。

ただし、通常の受信器のように、帯域を狭めてのサンプリングを行っていないため、スイッチドキャパシタ回路によるサンプリングは、高周波の折り返し雑音により、感度が低くなる可能性がある。

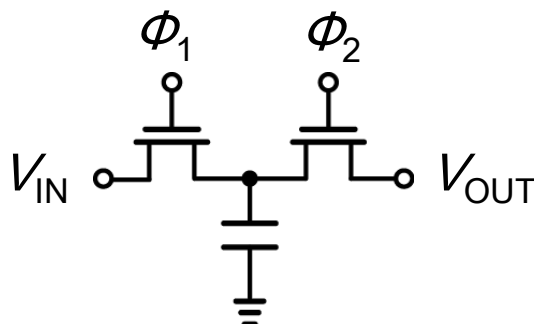
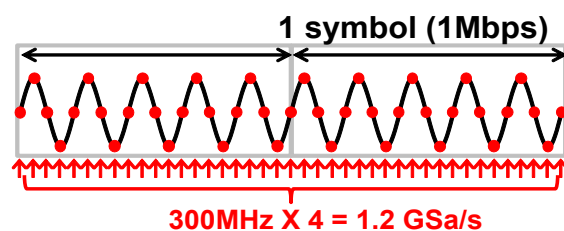


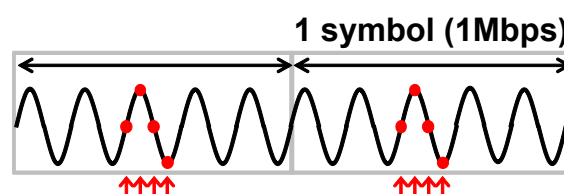
図 2.3 スイッチドキャパシタ回路

### 2.2.2 間欠サンプリング

間欠サンプリングは、スイッチドキャパシタを用いた低電力化の方法の 1 つである。従来の無線回路[5,6]では図 2.3 (a)のように、キャリア信号のすべてをサンプリングする。この方法を連続サンプリングという。一方、間欠サンプリングは図 2.3 (b)のようにキャリア信号を部分的にサンプリングする方法で、連続サンプリングよりもサンプリング回数が少ない分低消費電力を実現できる。



(a) 連続サンプリング



(b) 間欠サンプリング

図 2.4 連続サンプリングと間欠サンプリング

## 2.3 先行研究と提案方式

先行研究として、スイッチドキャパシタ回路と間欠サンプリングを用いた無線受信器が報告されている[4]。この受信器（図 2.5）は、315MHz のキャリア周波数、1Mbps のビットレート、OOK 変調方式に対応し、間欠サンプリングを用いることにより、1 $\mu$ S に 1 度のサンプリングを行うことで、連続サンプリングと比べ、サンプリングの電力を抑えた。この受信器は最低受信感度が-55dBm を達成している。

この手法により、サンプリングの電力は低減できたが、後段に続くアンプの電力が全体の約 8 割を占めており（表 2.1）、アンプの電力の削減が課題となった。先行研究のアンプは、常時電流を流す必要がある（図 2.6）。そのため、どのようなデータレートであってもアンプは一定の電力を消費し、スケラブルでない。

そこで、本研究では、無線受信器からアンプを排除し、微小な入力電位差でも大小を正確に判断する高精度な同期型コンパレータを用いることで、様々なデータレートに応じて、電力スケラブルな無線受信器を提案する（図 2.7）。

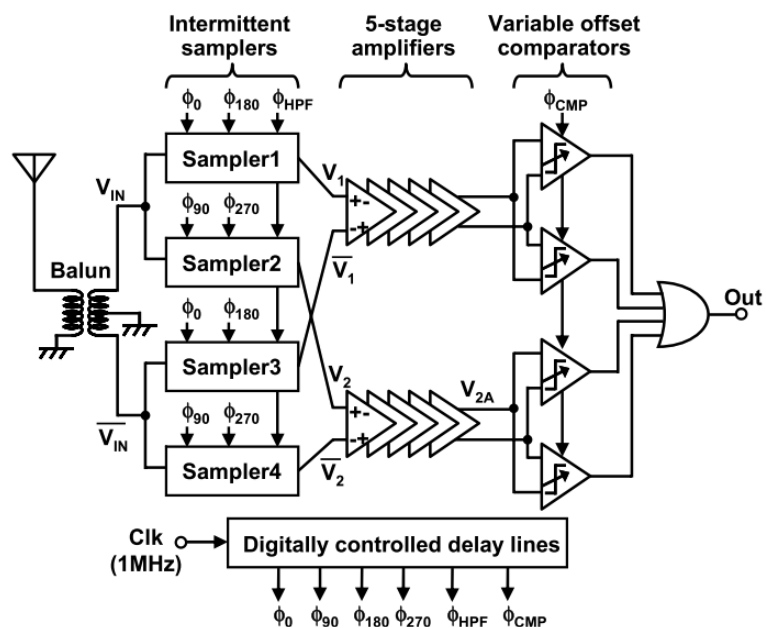


図 2.5 先行研究のブロック図

表 2.1 先行研究の電力内訳

Circuits	Power $\mu\text{W}$	$V_{DD}$ V
<b>Samplers</b>	<b>3</b>	<b>0.590</b>
<b>Amplifier</b>	<b>30</b>	<b>0.420</b>
<b>Comparator</b>	<b>2</b>	<b>0.500</b>
<b>Timing</b>	<b>3</b>	<b>0.599</b>
<b>Sum</b>	<b>38</b>	

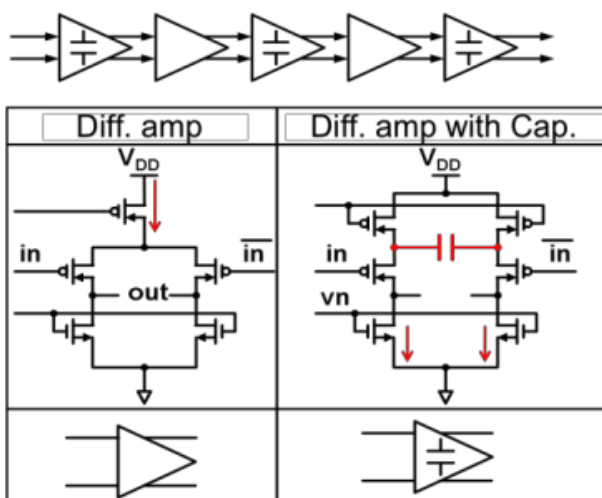


図 2.6 先行研究の差動アンプの詳細

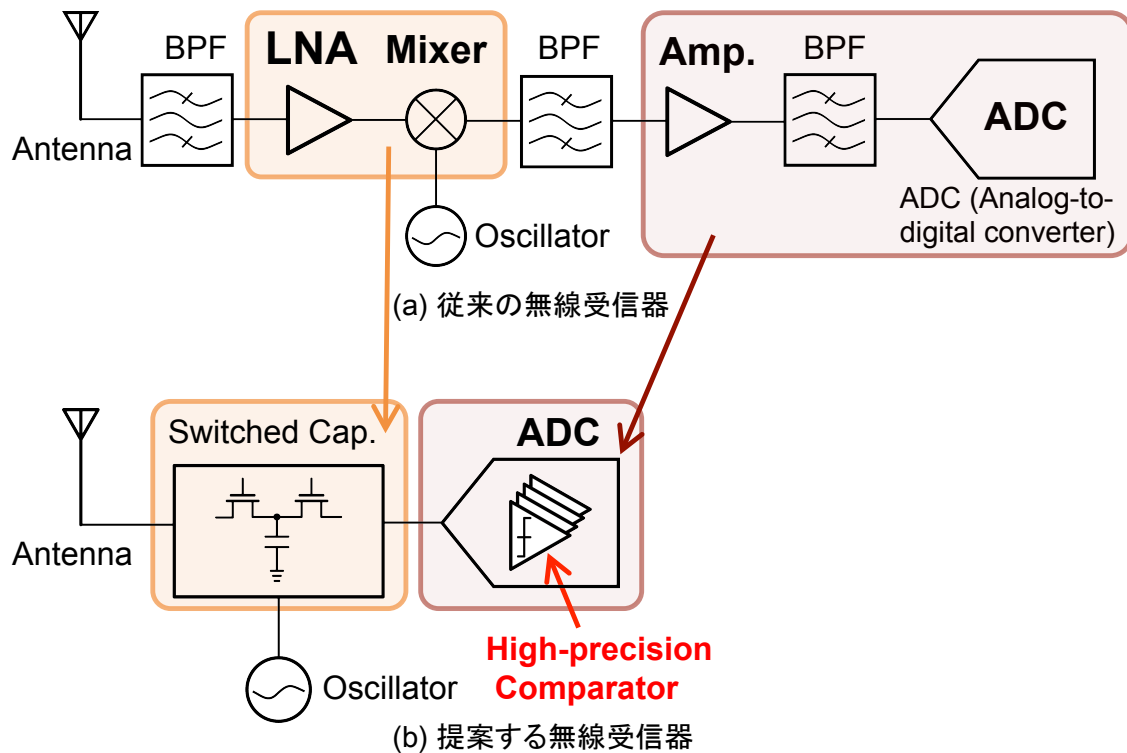


図 2.7 (a)従来の無線受信器と(b)提案する無線受信器

少し本題から逸れるが無線受信器の通信方式についても触れておく。デジタル無線通信で用いられる BPSK(Binary phase shift keying)を例にとると、本研究の提案する無線受信器では後述する理由からキャリア同期を取らないため、最初のシンボルの位相(デジタル値の 1 または 0)を知ることができない。そこで、位相の相対的な変化を検出して通信する DBPSK(Differential BPSK)を採用する。DBPSK の場合、位相の変化の有無をコンパレータにより比較するが、変化する方向が  $0 \rightarrow 1$  のみならず、 $1 \rightarrow 0$  の場合もあるため、絶対値を検出する必要性から、ADC は、3 つの状態を区別可能な、いわば 1.5 ビットの ADC を用いる (図 2.8 の Comparators)。

本研究の無線受信器でキャリア同期を取らない理由は、同期を高精度に取ることに對する電力コストも考慮しているからである。高精度が求められるキャリア同期ではなく、低精度なシンボル単位の同期を取ることで、同期に対する電力を削減することを見据えている。キャリア同期を取らないため、サンプリングの位相がキャリアに対して 90 度ずれると、直交して受信ができないことから、I 相と Q 相のサンプリングが必要であり、実際は、図 2.9 のように、コンパレータを 4 つ用いることで、これに対応している。

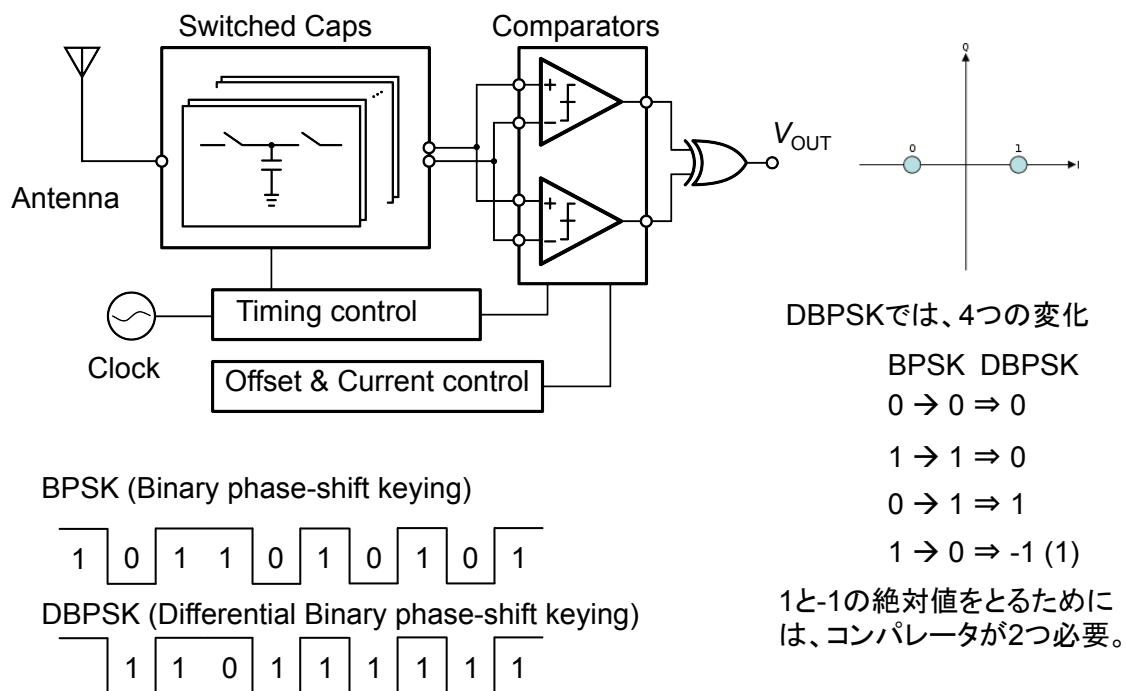


図 2.8 DBPSK 通信とコンパレータが 2 つ必要な理由

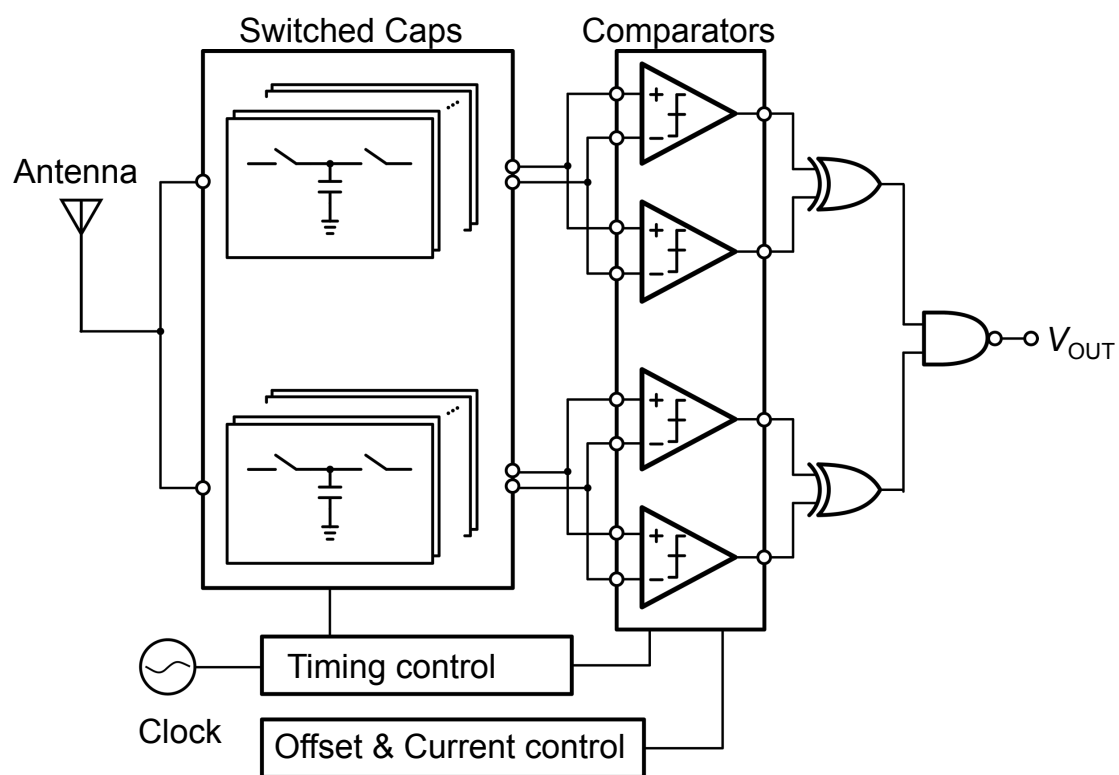


図 2.9 提案する無線受信器が DBPSK 通信をする場合のブロック図



## 2.4 提案する受信器に求められるコンパレータの仕様

本研究における受信器の目標は、キャリア周波数が 315MHz、データレートが 1Mbps、通信距離を最大 10m とする。アンテナでの最低受信感度は、送信電力を BLE (Bluetooth Low Energy) などの低電力無線系で使用される -20dBm と仮定すると -65dBm である。

コンパレータと前段のスイッチドキャパシタの研究は同時並行で進んでいるため、ここではコンパレータのみの見積もりで仕様を決定する。-20dBm で送信された電波が 10m を伝搬することで生じる損失は -45dB であることから、この電波を受信するのに必要な最低受信感度は -65dBm で、エラーレート 1/1000 を達成することを目標とする。これらの数値をコンパレータの仕様に置き換える。

最低受信感度である -65dBm をスイッチドキャパシタで差動でのサンプリングした場合、50Ω 系の分圧も考慮して、最大で得られる電圧は 178μVp-p(-71dBm) である。しかし、本研究の受信器は、キャリア同期をとらない設計を行っており、I 相、Q 相でサンプリングを行うため、もっともサンプリング電圧が小さくなる場合は、I 相、Q 相から最大 45 度ずれた時である。その場合の振幅は 126μVp-p(-74dBm) で、この電圧を SN 比が最も良い状態で次段に電圧情報を伝えるには、同じ値をもつ容量に分ける時であるため、コンパレータの入力差動電圧は約 63μV(-80dBm) となる。理想的には差動入力電圧の半分の約 31.5 μV のしきい値で比較判断をする必要がある。エラーレートを 1/1000 にするためには、3.1σ 以上を考慮する必要があり、入力換算雑音電圧の仕様を 10μV 以下に定めた。これらの算出フローを図 2.10 に示す。BPSK の場合の SNR と BER の関係は以下の式で表される。

$$BER = \frac{1}{2} \operatorname{erfc} \left( \sqrt{\frac{1}{2} \left( \frac{S}{N} \right)^2} \right) \quad (1)$$

この式をグラフにしたものを図 2.11 に示す。計算により S/N = 3.1 の場合、BER=9.68×10<sup>-4</sup> であり、1/1000 以下である。

オフセットについては、最小値は、入力換算雑音電圧と同程度の 10μV とした。オフセットが最も寄与するのは、差動対であることが知られているため[7]、この部分が 3σ ばらついても大丈夫なように、オフセットの最大値を設定した。

さらに、コンパレータの入力容量は、片側 8pF とする。片側で考えた場合、8pF のリセットノイズは 20μV とコンパレータの入力換算雑音電圧の仕様である 10μV よりも大きい。今後入力容量が増える可能性はあるが、小さい分には増やすのは容易であるため、8pF とする。

電力は、315MHz 動作時に全体の電力を 1mW 以下にするため、コンパレータの消費電力は 100μW 以下とする。仕様をまとめたものを表 2.2 に表す。

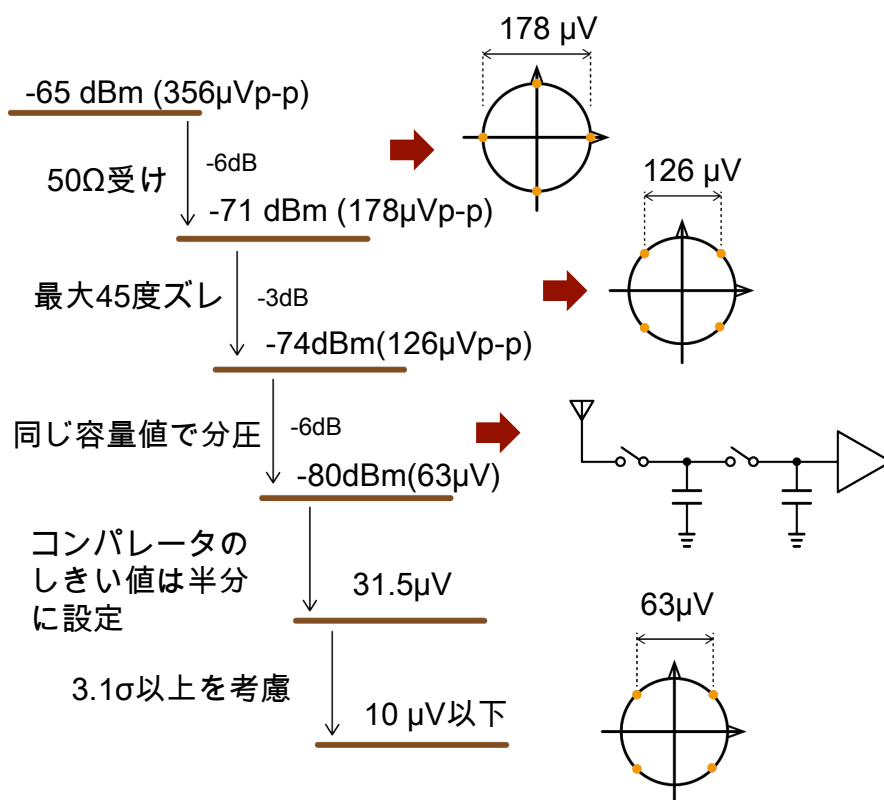


図 2.10 コンパレータの入力換算雑音電圧算出フロー

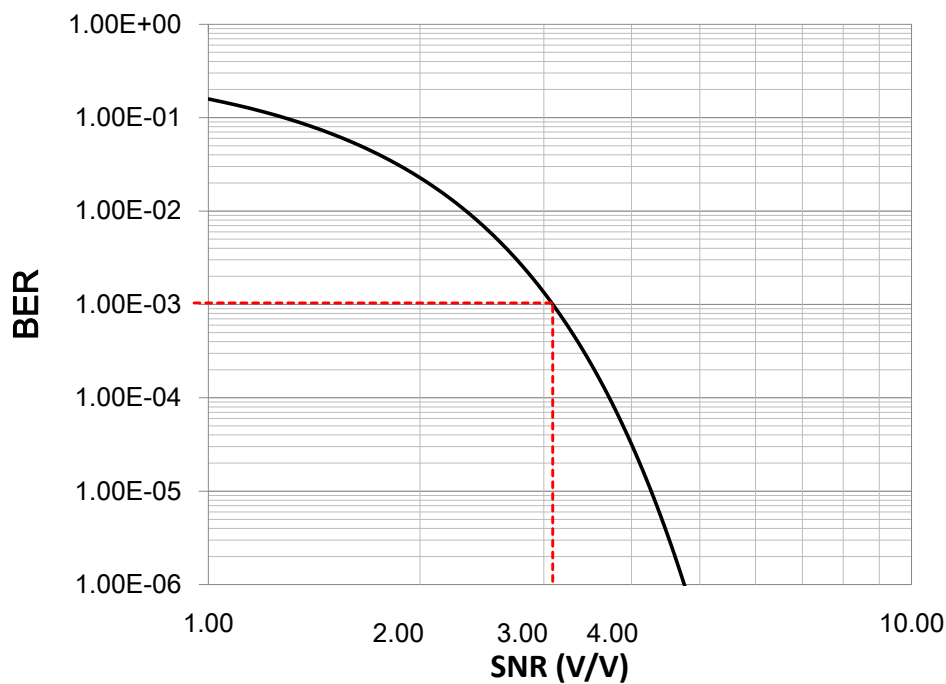


図 2.11 SNR と BER の関

表 2.2 コンパレータの仕様

仕様	目標
電圧	1.2 V
プロセス	65nm
消費電力	<100 $\mu$ W
入力換算ノイズ (1 $\sigma$ )	<10 $\mu$ V
比較時間	< 1 $\mu$ S
入力同相電圧	0 V
オフセット調整範囲 (入力換算)	10 $\mu$ V~1500 $\mu$ V
Comparator 面積	<1Pad (10000 $\mu$ m <sup>2</sup> )

## 第3章 コンパレータの概要

世の中には様々な試験がある。某英語の試験にあるように、偏差値が点数に反映されるものもあれば、入学試験のようにある点数を基準に合否をきめることもある。コンパレータは後者に近く、ある基準値に達しているかどうかによって、デジタル理論を出力する回路である。

### 3.1 コンパレータの種類

#### 3.1.1 連続型コンパレータ

連続型コンパレータは、一例として、入力電圧をある基準電圧と大小を比較し、トリガーの信号を出力するという場合に用いられる。連続型コンパレータの例として、オペアンプ型から容量保証を取り除いたもの(図 3.1(a))や、インバータの理論しきい値を用いたもの(図 3.1(b))[8]、プリアンプとラッチが一体化したもの(図 3.2)がある[9]。後で紹介する同期型コンパレータと異なり、入力信号は常に変化しているため、入力信号に外来ノイズが重畳した場合、基準値付近で出力ばたばた入れ替わる問題が発生することがある点に注意が必要で、対策としては出力値によって基準値を変化させるシュミットトリガが挙げられる。

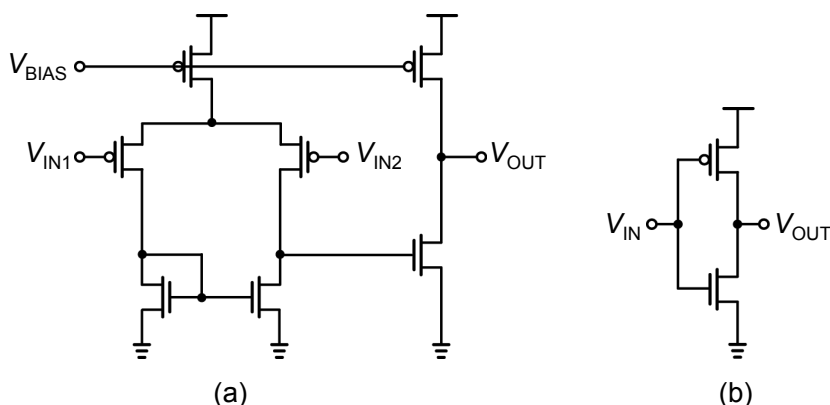


図 3.1 連続型コンパレータの例 (a)オペアンプ型 (b)インバータ型

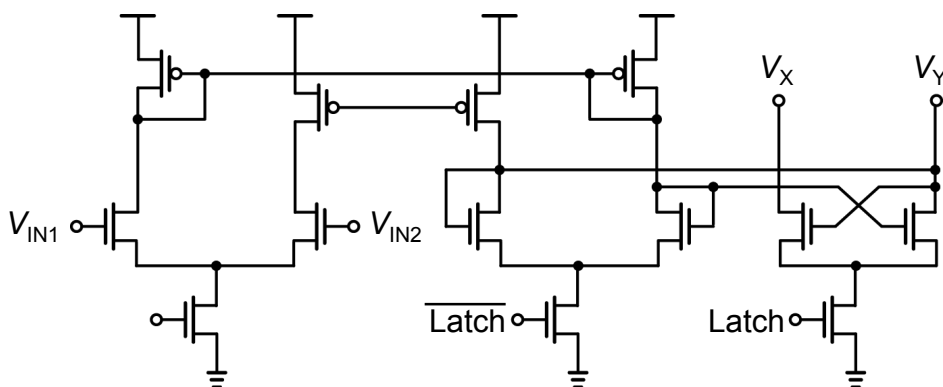


図 3.2 プリアンプとラッチが一体化となったコンパレータの例

### 3.1.2 同期型コンパレータ

電圧を比較する同期型コンパレータの例として、Strong ARM Latch (図 3.3 (a)) と Double-tail 型 Comparator (図 3.3 (b)) を紹介する。

Strong ARM Latch は、Strong ARM というマイクロプロセッサ[7]が名前の由来であり、センスアンプや、コンパレータ、ラバスタなラッチとして用いられる。この回路の基本構造は、東芝の小林さんらによって発表された[10]。

同期型コンパレータには、以下のような優れた特徴がある[7]。

- 定常消費電力がゼロ
- 出力電圧が電源電圧またはグラウンドまで Rail-to-rail で振幅

このコンパレータの動作原理については、後述する。

同期型コンパレータは、ある周期で動作しているため、ある決められた時間内に比較を終える必要があるため、そこで正帰還をかけることでゲインを増強する。この正帰還を担うのが背中合わせのインバータで、ラッチと呼ばれ、ほとんどの同期型コンパレータに搭載されている。

同期型コンパレータは、別名、ダイナミック型コンパレータと呼ばれることがある。クロックに応じて、プリチャージフェーズと評価フェーズを切り替える、ダイナミック論理回路との類似性がその理由である。

Strong ARM Latch では、同期型アンプとラッチが、カスコード接続（いわゆる縦積み）されているのに対し、Double-tail 型 Comparator は、これを横に繋ぐことで、縦積みの MOS の数を減らしたもので、2007 年に Nauta らによって発表された[11]。

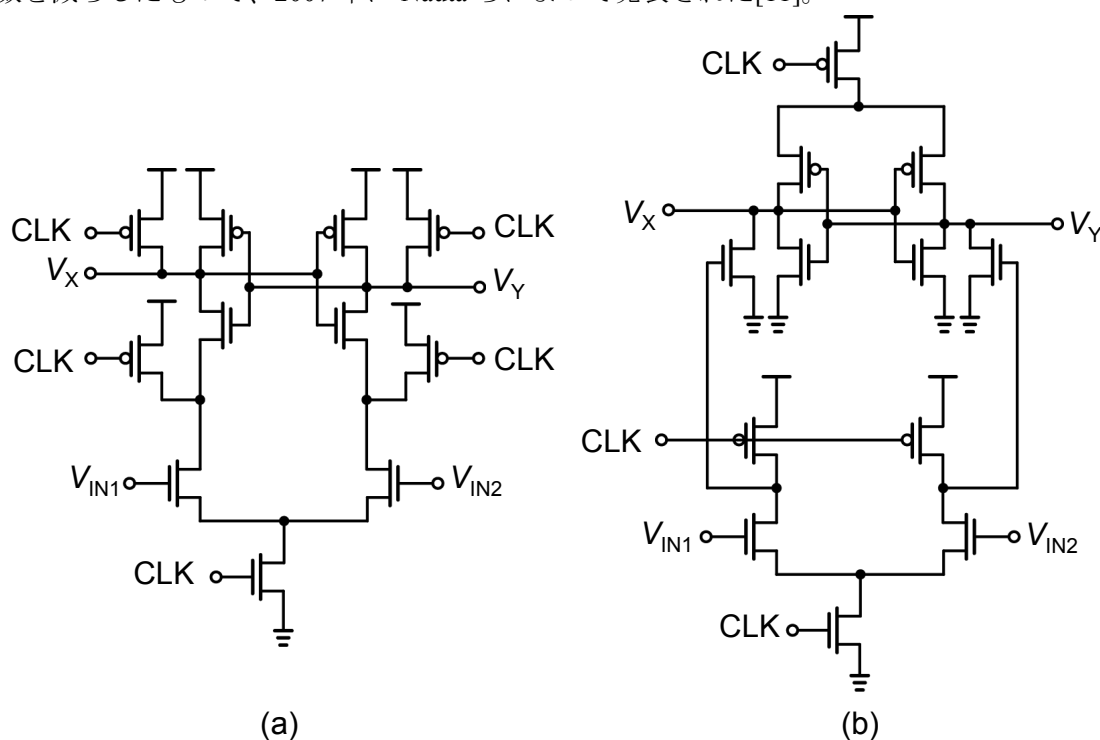


図 3.3 同期型コンパレータの例(a) Strong ARM 型 (b) Double-tail 型

微細化の進展とともに、ADCは高速化の一途をたどっているが、同時に、電源電圧の低下にもかかわらず、しきい値電圧は同様にスケールしていない問題がある[12]。したがって、より高速なコンパレータを設計する難易度は上がっており、より大きなトランジスタを用いることで、電源電圧低下の穴埋めをする必要があった[13]。しかしそれでは、面積、電力ともに大きい。さらに、電源電圧の低下は、入力同相電圧範囲を狭めており、これは、Flash型ADCでは特に問題となる[14]。そこで Nauta らによって発表された Double-tail 型コンパレータでは、MOS のスタック数を減らし、Double-tail の構造にすることで、数個の MOS の追加をするだけで、従来の Strong ARM Latch よりも高速動作が可能になった[13]。これらの同期型コンパレータの動作原理については、後述する。

### 3.1.3 ラッチ

ラッチは、ほとんどのコンパレータに含まれるコンパレータにおける基本的かつ重要な回路である。コンパレータは微小信号が入力される点では、オペアンプと共通しているが、オペアンプと異なり、出力は素早くロジック電圧になることが求められる。同期型コンパレータでは、クロックに同期して比較を行うため、システム上与えられた時間内に比較を終えることは必須である。

素早くロジック電圧に増幅する方法として正帰還をかける方法があり、入力信号は指数関数的に増幅される。この正帰還を担うのが 2 つのインバータの入出力を互いにつないだ構造である(図 3.4 (a))。これらのインバータは互いに電気的特性やサイジングが等しく作られている。この構造から、ラッチはクロスカップル接続したインバータやクロスカプルペアと言われることもある。ラッチの伝達特性を図 3.4 (b)に示す。ラッチには、2 つの安定点(図 3.4(b)の A 点と B 点)と 1 つの準安定点(Metastable point) (図 3.4(b)の C 点)がある。準安定点は、ラッチの出力ノード  $X$ ,  $Y$  が互いに同電位となる点である。もし、出力ノード  $X$ ,  $Y$  が初期状態で微小電位差  $\Delta V_0$  を与えられた場合、正帰還がかかり、出力ノード  $X$ ,  $Y$  は片方が電源電圧  $V_{DD}$ 、もう片方がグランド電圧  $V_{SS}$  の安定点に向かう。出力が電源レールに振り切った後は、電源からグランドへのパスが無くなるため、電流が流れない。

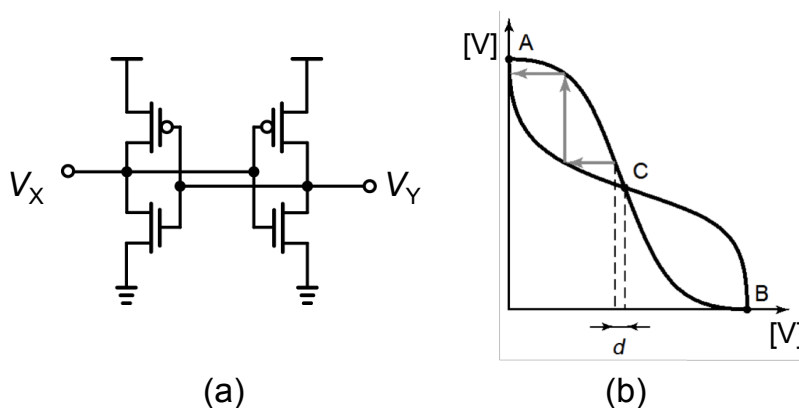


図 3.4 (a) ラッチの回路図 (b)ラッチの伝達特性

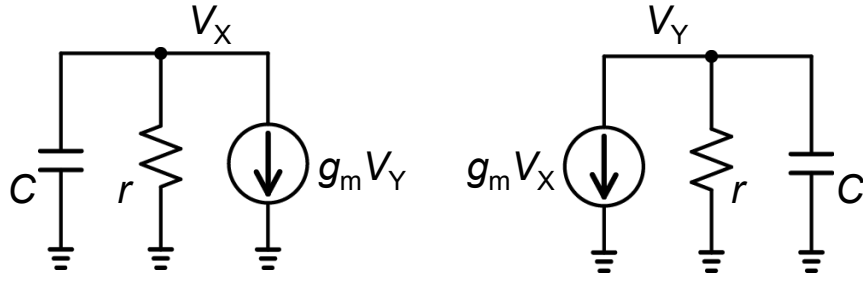


図 3.5 ラッチの小信号等価回路

ラッチの小信号等価回路を図 3.5 に示す。インバータは互いに電気的特性が等しいため、そのトランスコンダクタンス  $g_m$  や出力抵抗  $r$  は等しい。ラッチの微分方程式は以下のように書ける。

$$\frac{dV_O(t)}{dt} - \frac{g_m - \frac{1}{r}}{C} = 0 \quad (2)$$

この微分方程式の解は、初期値を  $V_{IN} = |V_X - V_Y|$  とすれば、

$$V_O = V_{IN} \exp\left(\frac{g_m - \frac{1}{r}}{C} t\right) \quad (3)$$

と書ける。時定数は以下のようになる。

$$\tau_{reg} = \frac{C}{g_m - \frac{1}{r}} \quad (4)$$

ただし、出力電位差が大きくなると、MOS が飽和状態ではなくなるため、小信号等価回、成り立たなくなる点に注意が必要である。遅延  $t_{Delay}$  は、所望の出力電圧差を  $V_{Logic}$  とおくと、以下のように書ける。

$$t_{Delay} = \frac{C}{g_m - \frac{1}{r}} \ln\left(\frac{V_{Logic}}{V_{IN}}\right) \quad (5)$$

## 3.2 Strong ARM Latch の動作原理

図 3.6 に示す NMOS 入力の Strong ARM Latch で動作原理を説明する[7]。この回路は、差動対( $M_{1,2}$ )、クロスカップルペア( $M_{3-6}$ )、プリチャージ用のスイッチ( $S_{1-4}$ )からなる。動作は、まずはコンパレータの内部のノードをすべて電源電圧まで充電し、その次に下のトランジスタから順に動作を始め、最後はラッチが出力端子 X, Y を電源電圧またはグランドまで Rail-to-rail で振幅する。

コンパレータの動作原理をここでは、4つのフェーズに分けて説明する(図 3.7)。

1. プリチャージ
2. 差動対が増幅
3. 差動対とクロスカップルペアの一部で増幅
4. ラッチが増幅

### 3.2.1 プリチャージ

最初は、CLK が Low から始まる。 $S_{1-4}$  までの PMOS が ON することで、コンパレータの対となるすべてのノードが電源電圧  $V_{DD}$  まで充電される。この際、差動対( $M_{1,2}$ )は電流を流していない Off の状態で、ノード X, Y, P, Q もすべて電源電圧  $V_{DD}$  まで充電され、ラッチも動作していない Off 状態である。

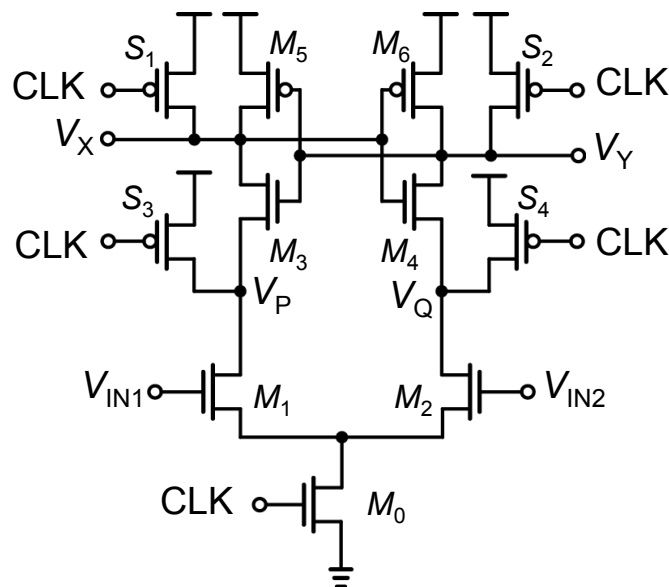


図 3.6 Strong ARM Latch



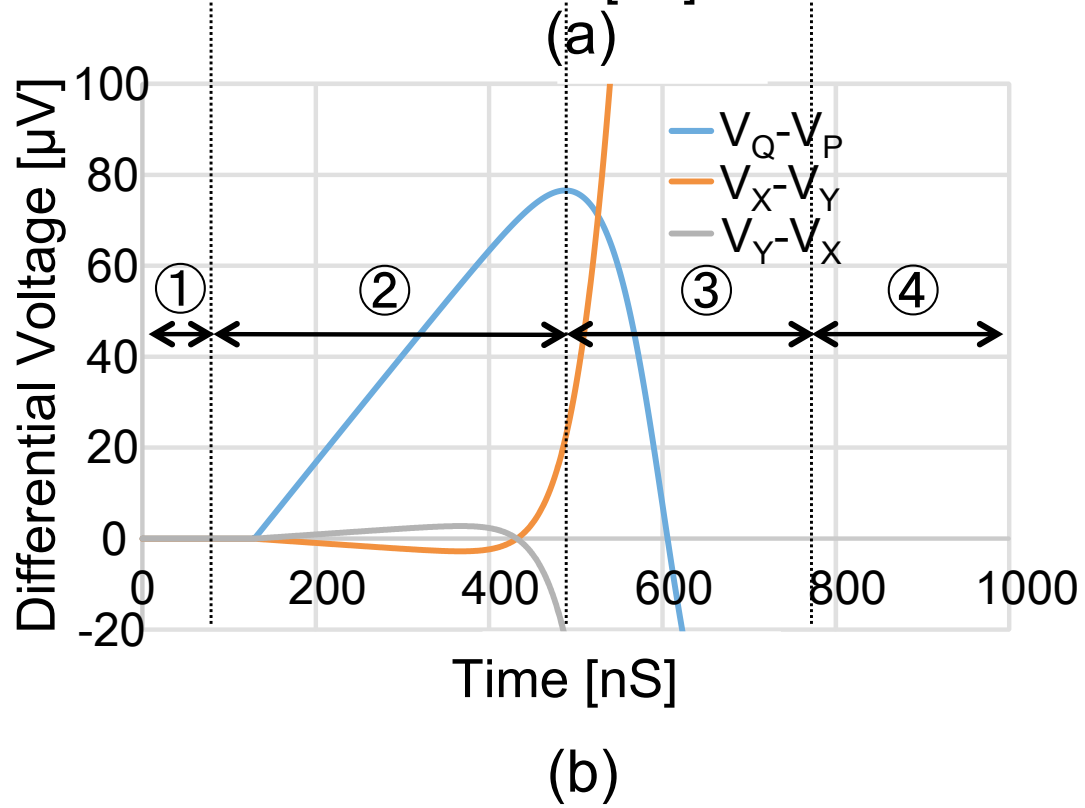
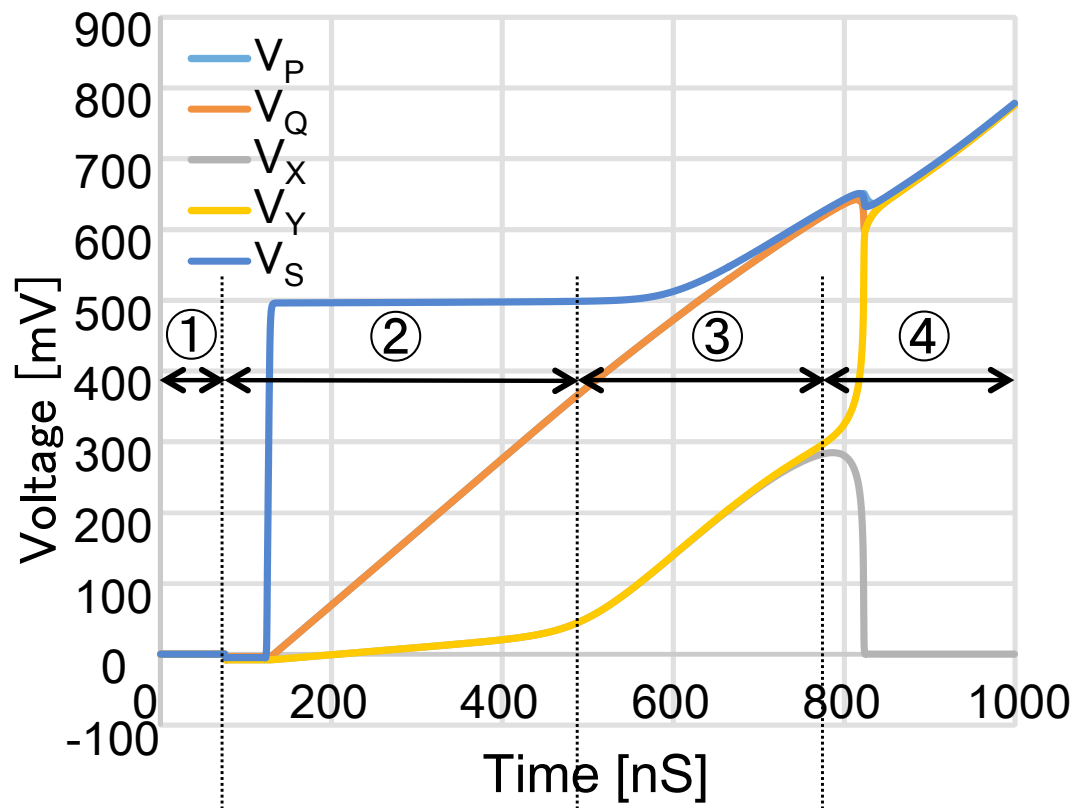


図 3.7 コンパレータの(a)各ノードの電圧 (b)各ノードの差動電圧

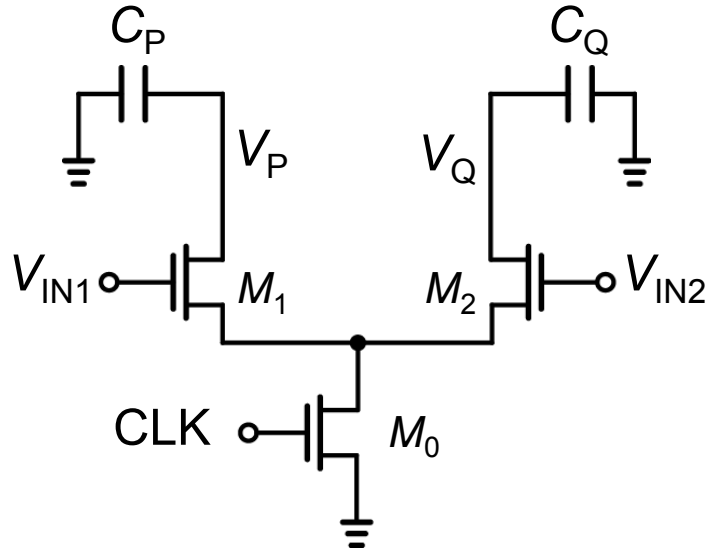


図 3.8 差動対が増幅する際の等価回路

### 3.2.2 差動対が増幅

差動対が増幅を担う時の等価回路を図 3.8 に示す。 $CLK$  が High になることで、充電を担った  $S_{1-4}$  までの PMOS が Off 状態となり、代わりに  $M_0$  が ON となることで、差動対が動作を始める。入力の電位差に応じて左右で電流差が生じることで、 $|V_P - V_Q|$  の電位が時間と共に大きくなる。このフェーズでは、クロスカップルペア(M3-6)はまだ Off 状態である。このフェーズで差動対(M1,2)は増幅するため、出力電圧 $|V_P - V_Q|$ は、

$$|V_P - V_Q| \approx \frac{g_m |V_{in1} - V_{in2}|}{C_{P,Q}} t \quad (6)$$

となる。 $C_P, C_Q$  は共に、差動対( $M_1, M_2$ )の負荷容量で、対称性より  $C_{P,Q} = C_P = C_Q$  である。

補足すると、小信号等価回路はバイアス点を固定するのが基本だが、同期型コンパレータはバイアス点を常に変化させながら増幅する。そのため同期型コンパレータでは、通常あるバイアスの範囲内では  $g_m$  は一定だとして取り扱う。式を見ると、ゲインが時間変化[15]することを不思議に思われるかもしれないが、同期型コンパレータの場合、動作中は常にバイアスが変化するので、通常のアンプとは取り扱いとが異なる。通常のアンプの出力は、上下の MOS が貫通電流を流すことで同相電圧のバランスを保つが、同期型コンパレータでは最初に充電した電位から電圧が降下するため、バランスを保つことができない。

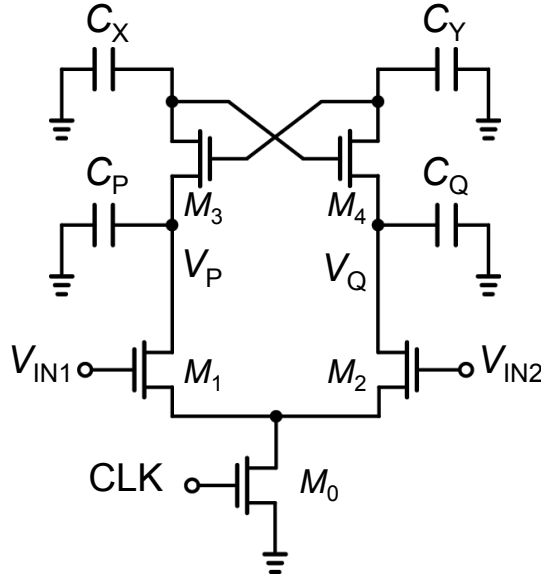


図 3.9 差動対とクロスカップルペアの一部で増幅する際の等価回路

### 3.2.3 差動対とクロスカップルペアの一部で増幅

$V_P, V_Q$  の差動電位差が広がると共に、同相電位は下がり続け、電源電圧  $V_{DD}$  から NMOS のしきい値電圧  $V_{THN}$  降下したところで、クロスカップルペアの NMOS ( $M_{3,4}$ ) の  $V_{GS}$  がしきい値以上となり、差動対のドレイン電流の一部はノード X, Y から供給され始める。この時の等価回路を図 3.9 に示す。差動対のみが増幅を担う時間  $t_{Diff}$  は、 $C_{P,Q}$  各々から流れる電流  $I_{CM}$  が一定だと扱うと、おおよそ

$$t_{Diff} = \frac{C_{P,Q} V_{THN}}{I_{CM}} \quad (7)$$

で表され、式(5),(6)より、差動対のゲインは、

$$A_V \approx \frac{g_{m1,2} V_{THN}}{I_{CM}} \quad (8)$$

となる。

このフェーズにおいて、X, Y, P, Q の各ノードで微分方程式を立てると以下のように書ける。

$$-C_X \frac{dV_X}{dt} = g_{m3} (V_Y - V_P) \quad (9)$$

$$-C_Y \frac{dV_Y}{dt} = g_{m4} (V_X - V_Q) \quad (10)$$

$$-C_P \frac{dV_P}{dt} = C_X \frac{dV_X}{dt} + \Delta I \quad (11)$$

$$-C_Q \frac{dV_Q}{dt} = C_Y \frac{dV_Y}{dt} - \Delta I \quad (12)$$

(9), (10)式をまとめると、

$$-C_{X,Y} \frac{d(V_X - V_Y)}{dt} = g_{m3,4} (-V_X + V_Y - V_P + V_Q) \quad (13)$$

(11), (12)式をまとめると、

$$C_{P,Q} (V_Q - V_P) = C_{X,Y} (V_X - V_Y) + 2\Delta I t \quad (14)$$

(13), (14)式より、出力ノード X, Y に関する微分方程式は、

$$C_{X,Y} \frac{d(V_X - V_Y)}{dt} - g_{m3,4} \left( 1 - \frac{C_{X,Y}}{C_{P,Q}} \right) (V_X - V_Y) = -2g_{m3,4} \frac{\Delta I}{C_{P,Q}} t \quad (15)$$

この微分方程式の一般解は、 $\exp(t/\tau_{reg})$  の形になり、Regeneration の時定数  $\tau_{reg}$  は、

$$\tau_{reg} = \frac{C_{X,Y}}{g_{m3,4} \left( 1 - \frac{C_{X,Y}}{C_{P,Q}} \right)} \quad (16)$$

と表される。 $\exp(t/\tau_{reg})$  が発散するか収束するかは、時定数  $\tau_{reg}$  の符号、つまり  $C_{X,Y}$  と  $C_{P,Q}$

の大小関係によって決まる。

(i)  $C_{X,Y} > C_{P,Q}$  の場合

通常、 $C_{X,Y}$  は後段の入力容量も追加されるため、 $C_{P,Q}$  よりも大きくなる。この条件では、時定数  $\tau_{reg}$  は負となるため、Regeneration は起きない。

(ii)  $C_{X,Y} < C_{P,Q}$  の場合

差動対のドレインに負荷容量を付加した場合、 $C_{P,Q}$  の方が大きくなり、時定数  $\tau_{reg}$  が正となるため、出力ノード X, Y の電位差は正帰還により指数関数的に増加する。

### 3.2.4 ラッチが増幅

出力ノード X, Y の同相電位は降下を続け、降下した電位差が  $|V_{THP}|$  になると、 $M_{5,6}$  は ON になり、正帰還がかかることで、出力ノード X, Y は片側が  $V_{DD}$ 、もう片側が  $V_{SS}$  となる。

クロスカップルペアの性質により、同期型コンパレータは比較時以外には、定常電流が流れず、低消費電力向きである。また、出力ノード X, Y が外部の影響によりある程度変動しても、出力電圧が  $V_{DD}$  や  $V_{SS}$  まで戻るため、ロバストである。

### 3.3 Double-tail 型コンパレータの動作原理

Double-tail 型コンパレータは、縦積みの MOS が少なくなるため、従来の縦積みのものより低電圧動作が可能となる。さらに、Double-tail 型では、同期型差動アンプとラッチに別々の電流を流せるため、より高速に Regeneration するよう、クロスカップルペアの電流は多めに、オフセットを低減するために、差動対には少なめと差動対とラッチそれぞれに異なる電流を流すことが可能である[11]。さらに、 $M_{7,8}$ により差動対とクロスカップルペアが分離されているので、クロスカップルペアの Regeneration による電圧変化が容量カップリングにより入力電圧に影響を与えるキックバックノイズも低減される[11]。

図 3.10 の Double-tail 型コンパレータは、Strong ARM Latch (図 3.6)と多くの共通点をもっている。 $M_{1,2}$ は同様に入力差動対で、 $M_{3,6}$ はクロスカップルペア、差動対とは  $M_{7,8}$ を通して繋がっている。Double-tail 型コンパレータの動作をここでは、

- リセット
- 比較動作

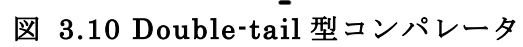
の 2 つに分けて簡単に説明する。

#### 3.3.1 リセット

同期型コンパレータの最初の動作は、ある電圧にリセットするところから始まる。このフェーズでは CLK は Low なので、 $M_0, M_9$ は Off 状態、 $S_{1,2}$ は On により  $V_P, V_Q$ は電源電圧  $V_{DD}$ にプリチャージされる、同時に  $M_7, M_8$ はクロスカップルペアの出力ノード X, Y を  $V_{SS}$ まで放電する。

#### 3.3.2 比較動作

比較動作のフェーズでは、CLK は High となり、 $M_0, M_9$ は On、 $S_{1,2}$ は Off となる。 $M_{1,2}$ は Strong ARM Latch と同様に電源電圧  $V_{DD}$ に充電された電圧を放電する過程で入力電圧  $|V_{in1} - V_{in2}|$ に応じて、差動出力電圧  $|V_P - V_Q|$ が増幅される。比較動作の前では、クロスカップルペアの出力ノード X, Y を  $V_{SS}$ はとなっているので、 $M_{3,4}$ は最初 Off 状態である。 $V_P, V_Q$ の同相電位が徐々に下がるにつれ、 $M_{3,4}$ のゲート電圧  $V_X, V_Y$ は上昇し、ある時点で ON し、 $M_{7,8}$ によって差動対が増幅した電圧がラッチに伝わり、Regeneration する。



### 3.4 同期型コンパレータに付随する回路ブロック

連続型コンパレータの場合は、コンパレータ単体で使用しても機能的に問題ないが、同期型コンパレータを使用する場合、その特性上、前後に回路ブロックを付け加えることが一般的である。図 3.11 に一般的な同期型コンパレータに付随する回路ブロックを概念的に示す。サンプル&ホールド回路で、高速に変化する信号のある瞬間を捉え、その後捉えた信号と参照電圧との差をプリアンプで増幅し、最後にラッチが比較を行う。以下に、各回路ブロックの役割を説明する。

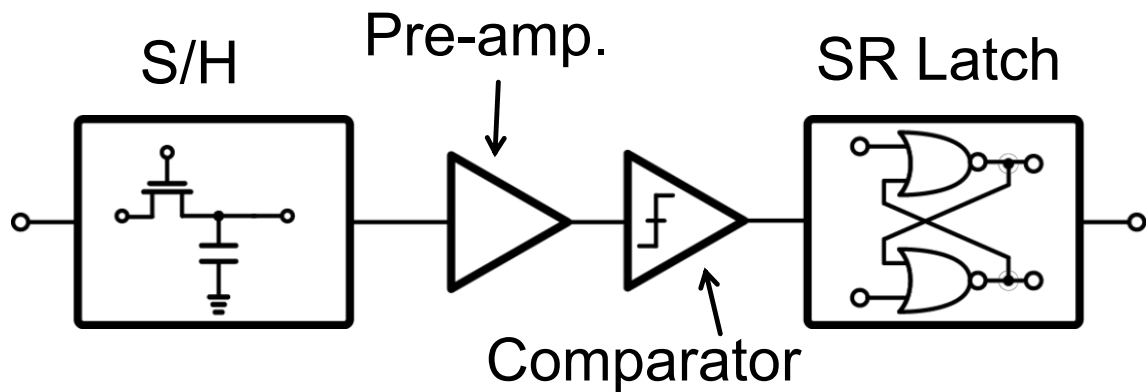


図 3.11 同期型コンパレータに付随する回路ブロック

#### 3.4.1 サンプル&ホールド回路

サンプル&ホールドは前述の図 2.3 のように、スイッチ(MOSFET)と容量で構成される。サンプル&ホールドは同期型コンパレータを構成する回路ブロックの初段であるため、ここで混入したノイズや様々な誤差は後段に影響する。このことから、サンプル&ホールドを精度よく設計するために、多くの研究がなされている。ここでは、サンプル&ホールドで考えられる問題点を挙げる。さらに、同期型コンパレータのリセットスイッチはリセット電圧をサンプリングしているとも言えるため、ここで挙げた問題は、コンパレータでも起きるものである。サンプル&ホールドで考慮すべき問題は、洋書[16]や IEEE SSCS 発行の雑誌[17]で詳しく述べられているため、ここでは簡単に列挙する。

- Charge injection
- Clock Feed through
- $kT/C$  ノイズ

Charge injection は、NMOS を考えた場合、ON 時には反転層に電子が存在するが、OFF になった時に、それらの電子は反転層には存在できなくなり、MOS のソースまたはドレインに移動する。この際に移動する電荷が容量にサンプル&ホールドされた電荷に加わり、誤差をもたらす。

Clock Feed through は MOS のゲート・ソース間の寄生容量  $C_{GS}$  または、ゲート・ドレイン間の寄生容量  $C_{GD}$  を通じて、サンプル&ホールドされた電荷に誤差をもたらす。

これらの問題は、同相電圧となるため、差動でサンプル&ホールドすることである程度回避可能である。

抵抗体中の電子は絶対温度に比例したエネルギーを持って動き回っている。平均するとその変位はゼロではあるが、絶えず動き回っているためある瞬間をサンプルすると、正規分布に従ったばらつきをもつ。絶対温度  $T$ 、ボルツマン定数  $k$ 、容量  $C$  とすると、サンプル

時の雑音電圧の標準偏差は、 $V_{n(\sigma)} = \sqrt{\frac{kT}{C}}$  となる。通常回路設計では、 $3\sigma$  程度は考慮する。

熱雑音電圧の標準偏差が容量と絶対温度で決まることについての計算は、4 章にて詳しく紹介する。

### 3.4.2 プリアンプ

ラッチは、初期の電位差を指数関数的に増加させる機能を持つが、入力にそのまま接続すると、入力の電位も変えてしまうため、何らかの分離をする必要がある。そこで、ラッチの前に、プリアンプを加えることで、入力とラッチの分離を図るとともに、プリアンプを追加することで、入力換算オフセットと入力換算雑音を低減する効果がある。ただし、プリアンプ自身の入力換算オフセットは自らのゲイン倍大きくなって後段に伝わるため、ここではそれぞれのアンプの方式におけるオフセット除去方法について説明する。

プリアンプにオフセットキャンセル機能を付加したブロック図を図 3.12 に示す。 $\phi 1$  でユニティゲインバッファを構成した回路は、入力側の容量にオフセット電圧を保存し、続いて  $\phi 2$  でオフセットをキャンセルする。また、入力側でオフセットをキャンセルするには、高いゲインを持つアンプが必要で、この問題の解決方法として、出力側でオフセット電圧を保持する方法を図 3.13 に示す。入力側と出力側のオフセットキャンセルの機構を持つ回路の組み合わせと利得については、前段側のアンプを出力オフセットキャンセルで低利得、後段側のアンプは入力オフセットキャンセルで高利得が、高速動作が求められる際のアンプの構成として良いとの報告がある [18]。



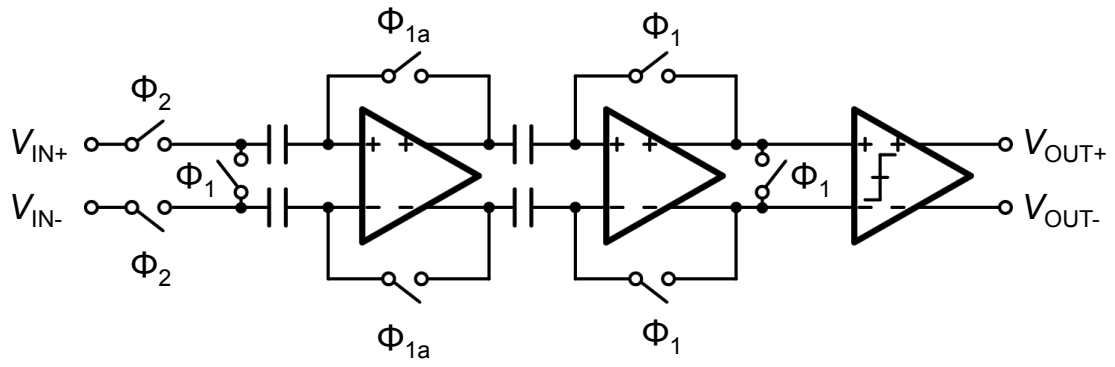


図 3.12 入力オフセットキャンセル

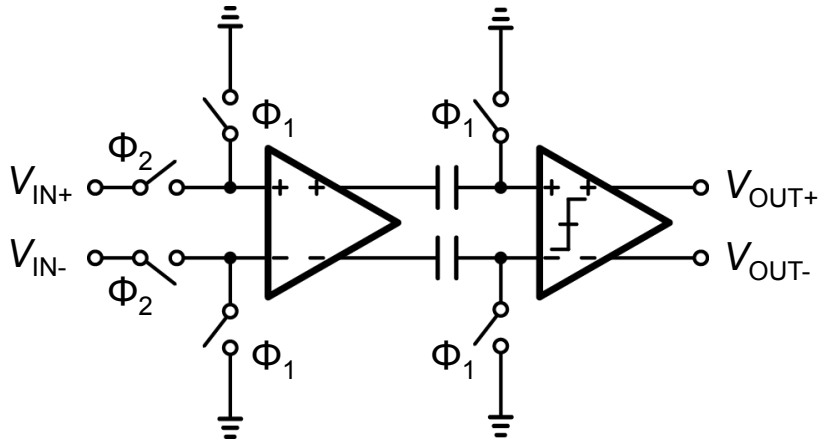


図 3.13 出力オフセットキャンセル

### 3.4.3 SR ラッチ

同期型コンパレータは、毎度比較する前にリセットする期間があり、その期間中、出力ノードは比較結果を保持していない。このことが、システム上不都合が生じさせることがあるため、比較結果を常に保持できるよう、SR ラッチを付加することがある。

## 3.5 入力換算雑音電圧を推定する方法

通常のアンプの場合、入力換算雑音は出力のノイズをゲインで割ることで算出できる。ところが、コンパレータの場合、出力がデジタル値であるため、この方法が用いられない。コンパレータの入力換算雑音は、ガウス過程に従うと仮定したうえで、統計的な手法を用いてフィッティングする手法がよく用いられる[19]。

コンパレータの入力電圧を数点変えて、出力のデジタル値=1 となる確率  $P(v_{in})$  を、プロットすると、この確率は累積分布関数に従う。

$$P(v_{in}) = \frac{1}{\sqrt{2\pi}\sigma} \int_{-\infty}^{v_{in}} \exp\left\{-\frac{(x-\mu)^2}{2\sigma^2}\right\} dx \quad (17)$$

シミュレーションでは、Excel の Solver 機能を使用し、最小二乗法を用いてフィッティングしている。測定データにおける入力換算雑音の推定方法は、オフセット電圧をまずは推定することから始まる。得られた確率データのうち、20-80%(点数が少ない場合は 10-90%) の点に近似直線を引き、確率 50%の入力電圧をオフセット電圧と定めることで、式(17)の  $\mu$  を算出する。その後、Excel の Solver 機能を使用し、最小二乗法を用いてフィッティングし、入力換算雑音電圧  $\sigma$  を推定する。

## 第4章 コンパレータの特性

コンパレータには知っておくべき、いくつかの特性があるため本章で取り上げる。

### 4.1 キックバックノイズ

キックバックノイズは、コンパレータ自身で起きる。比較時に出力ノードは正帰還を受け、素早くロジックの電圧まで遷移する。この時、出力ノードから様々な容量結合を経て入力ノードに影響を与えてしまうことがキックバックノイズの原因である。また、クロックの急な立ち上がりもキックバックノイズとなることがある。しかし、多くの場合クロックは同相電圧で影響を与えるため、それほど問題とならない[8]。

### 4.2 ヒステリシス

連続型コンパレータの場合、ノイズに対する耐性を高めるために、意図的にヒステリシスを持つよう設計することがある。しかし、同期型コンパレータの場合、ヒステリシスはあまり好ましい現象ではない。たとえば、逐次比較型 ADC の場合、1 つ前の結果が次の出力結果に影響を与えることとなり、判定結果がコード依存性をもつことになりかねない。

### 4.3 メタステビリティ

メタステビリティとは、同期型コンパレータなどの比較を担う回路が、決められた時間内に、比較判断結果を示せないことである。同期型コンパレータの内部には、ラッチがあり、ラッチにおける入力電圧  $|V_{IN}|$  がロジック電圧  $V_{Logic}$  まで増幅されるまでの遅延時間  $t_{Delay}$  は以下のように表される。

$$t_{Delay} = \frac{C}{g_m - \frac{1}{r}} \ln \left( \frac{V_{Logic}}{|V_{IN}|} \right) \quad (18)$$

この式から、 $C$  を小さく、 $g_m$ ,  $r$ ,  $|V_{in}|$  を大きくすることで遅延を低減できることが分かる。

メタステビリティの理論的な解析については、こちらの論文で述べられている[20]。

## 4.4 オフセット

コンパレータの左右が対称に作られているとすると、理想的にはオフセットは生じない。しかし、実際のコンパレータは、不純物注入のばらつきにより左右のバランスが崩れ、オフセットが生じる。さらに、本研究では、無線受信器として成立するためには、コンパレータはオフセットをキャンセルするだけでなく、自在にオフセットを与えられることも必須である。そこで本節では、コンパレータのいくつかのオフセット調整方法について紹介する。

#### 4.4.1 同期型コンパレータに見られるオフセット調整機構

コンパレータのオフセット調整の概念図を図 4.1 に示す。調整方法は

- 入力差動対のトランジスタに流れる電流量を調整する方法（電流補償）
  - 入力差動対の負荷容量を調整する方法（容量補償）
  - リセット後の電荷注入で、電圧の初期値を変化させる方法（電荷補償）
- の3つがあり、利害得失を表にまとめた。

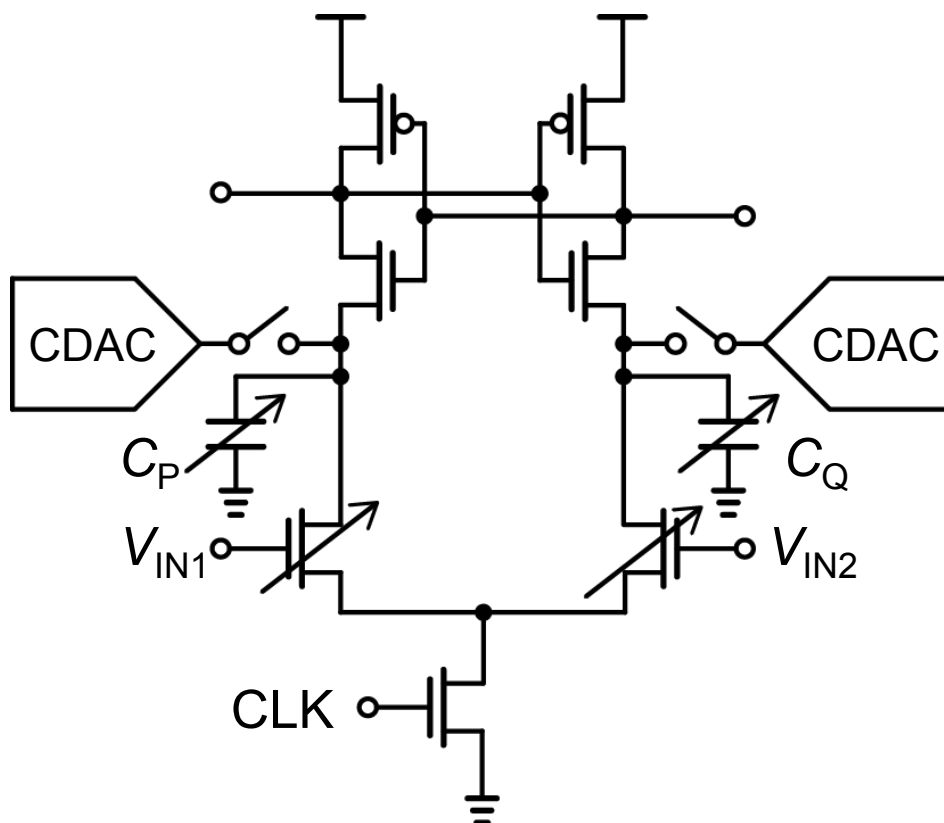


図 4.1 オフセット調整方法の概念図

表 4.1 オフセット調整方法の利害得失

補償方式	分類	説明	メリット	デメリット
電流補償	差動対のボディ電圧を変化 (図 4.2)	差動対の $g_m$ を変化させる	容量を使用しないため 高速動作向き	中間電位使用 しきい値の変化量はプロセスで決定
	Sub-tr.方式 (図 4.3)	差動対に別の電流パスを作る	容量を使用しないため 高速動作かつボディ電圧を使用したものよりも可変幅が大きい	中間電位使用
容量方式	MOS容量をバイアス電圧を変化 (図 4.4)	バイアス電圧はアナログで与える	微小な変化もバイアスで与えられる。	中間電位使用 高速には不向き
	MOS容量をバイナリーで変化 (図 4.5)	MOS反転層容量を使用	デジタルで制御	高速には不向き
	容量をスイッチ(MOS)でバイナリー変化 (図 4.6)	スイッチで容量の有無を切り替え	デジタルで制御 可変幅大きい。	
電荷方式	電荷を注入 (図 4.7)	リセット後の電圧の初期値を変化	微小変化を容易に与えられる。	注入可能な電圧に制限あり。

#### 4.4.2 電流補償

電流補償には2種類の方法がある。

(a) 差動対のボディ電圧  $V_{BS}$  を変化させる方法[21, 22]

(b) Sub-Tr.を変化させる方法[23, 24, 25]

これらの方法は、どちらも本質的には入力差動対に流れる電流量を調整することでオフセットを補償する。

(a)  $V_{BS}$  を変化させる方法(図 4.2)は、入力差動対の基板バイアスの電圧を変化させることで、トランジスタのしきい値を変化させ、電流量を調整する方法である。この方法では、次に紹介する(b) Sub-Tr.を変化させる方法と比べ、入力換算ノイズが小さいとのシミュレーション結果が報告されている[26]。ただし、基板バイアスに対するしきい値の変化量がプロセスによる制限を受けるという欠点がある。オフセット調整の最小ステップ幅 $\Delta V_{\min.V_{BS}}$ は、以下のように書ける[26]。

$$\Delta V_{\min.V_{BS}} = \frac{dV_{th}}{dV_{bg}} \Delta V_{DAC} \quad (19)$$

$V_{th}$ はトランジスタのしきい値、 $V_{bg}$ は基板バイアスの電位、 $\Delta V_{DAC}$ は中間電位を生成するDAC (Digital-to-Analog Converter)の最小電圧ステップである。

(b) Sub-Tr.を変化させる方法(図 4.3)は、入力差動対に並列に挿入されたトランジスタ(Sub-Tr.)のゲート電圧を変化させることで、入力差動対の負荷容量に流れる電流量を調整する方法である。(a)  $V_{BS}$  を変化させる方法とは異なり、入力差動対( $M_1, M_2$ )のトランジスタのゲート幅( $W_{main}$ )と Sub-Tr.のゲート幅( $W_{Sub-Tr.}$ )の比を設計者は決められるので、自由度は大きい。オフセット調整の最小ステップ幅 $\Delta V_{\min.Sub-Tr.}$ は、以下のように書ける[8]。

$$\Delta V_{\min.Sub-Tr.} = \frac{W_{Sub-Tr.}}{W_{Main}} \Delta V_{DAC} \quad (20)$$

いずれの方法も、負荷容量が増加することなくオフセットを調整できるため、動作速度を高速に維持したままでの調整が可能である。ただし、センサーネットワークのように、通信速度が低速でも良い場合、設計次第ではリーク電流が問題になる可能性があるため、中間電位を生成するために、DAC や Charge-Pump (CP)の後段に、電位を維持するためアンプが必要となり、間欠動作を行うセンサーネットワーク向けのデバイスには向かない可能性がある。

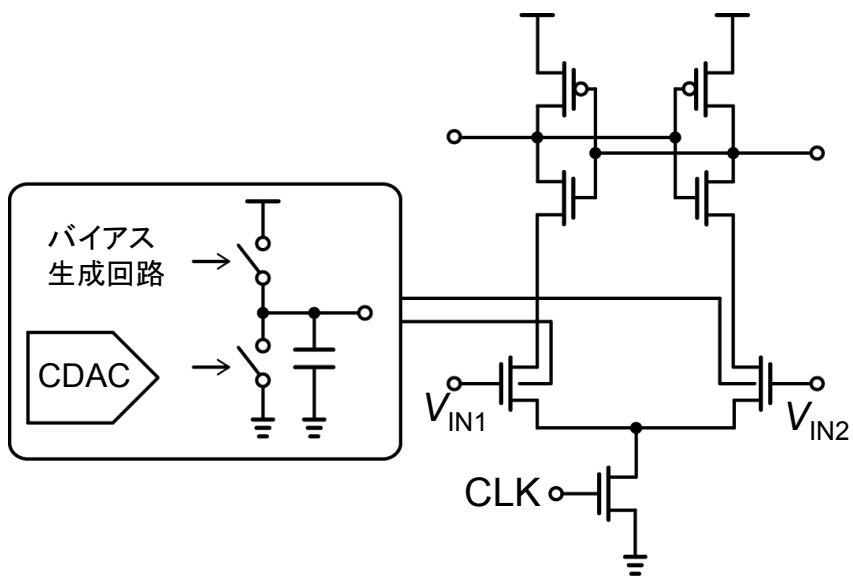


図 4.2 入力差動対のボディ電圧を変化させる方法

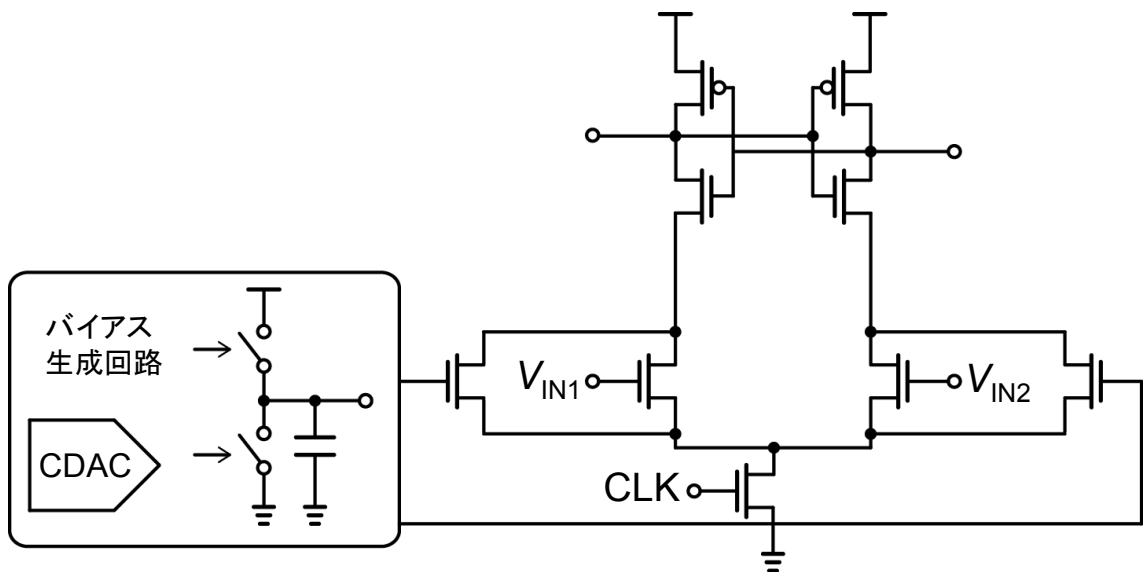


図 4.3 入力差動対に並列接続されるトランジスタのゲート電圧を変化させる方法

#### 4.4.3 容量補償

入力差動対の負荷容量を変化させることで、入力換算オフセットを調整する方法である。負荷容量には、MOSFET を可変容量として用い、そのソース・ドレイン電圧を変化させる方法[27]と、バイナリーで容量を並べ、オンオフを制御することで、負荷容量を変化させる方法[28]がある。いずれにせよ、容量を付加するため、速度が低下し高速の用途には比較的不向きである。容量の変化に対する入力換算オフセット $\Delta V_{\text{Offset.C}}$ は以下の式であらわされる[27]。

$$\Delta V_{\text{Offset.C}} = \frac{I_{\text{diff.ave}}}{g_{\text{m.diff}}} \cdot \frac{\Delta C}{C} \quad (21)$$

$I_{\text{diff.ave}}$  は入力差動対の片側のトランジスタに流れる平均電流であり、 $g_{\text{m.diff}}$  は入力差動対の片側のトランジスタのトランスコンダクタンス、 $C$  は左右の負荷容量の和、 $\Delta C$  は左右の負荷容量の差である。

可変容量を用いる方法(図 4.4)[27]では、中間電位が必要となるため、前述の理由から間欠動作をするセンサーネットワークには向かない。一方、バイナリーで容量を切り替える方法[14]は、デジタルで制御できるため、アナログ回路を必要とせず、低電圧動作にも対応可能なため、センサーネットワーク向きである。

デジタル制御で容量を可変させる方法にも 2 通りある。1 つ目は図 4.5 のように、MOS のバイアスを変化させる方法、2 つ目は、スイッチで容量の使用不使用を切り替える方法(図 4.6)である。

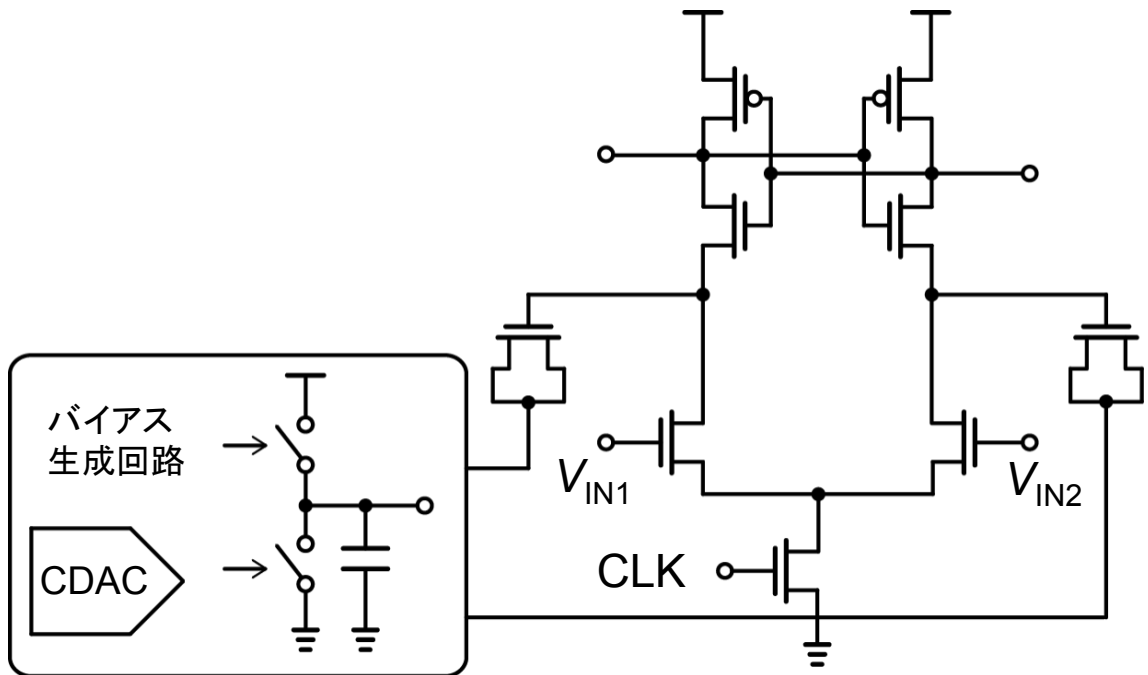


図 4.4 MOS を可変容量として用い、バイアス電圧を与える方法



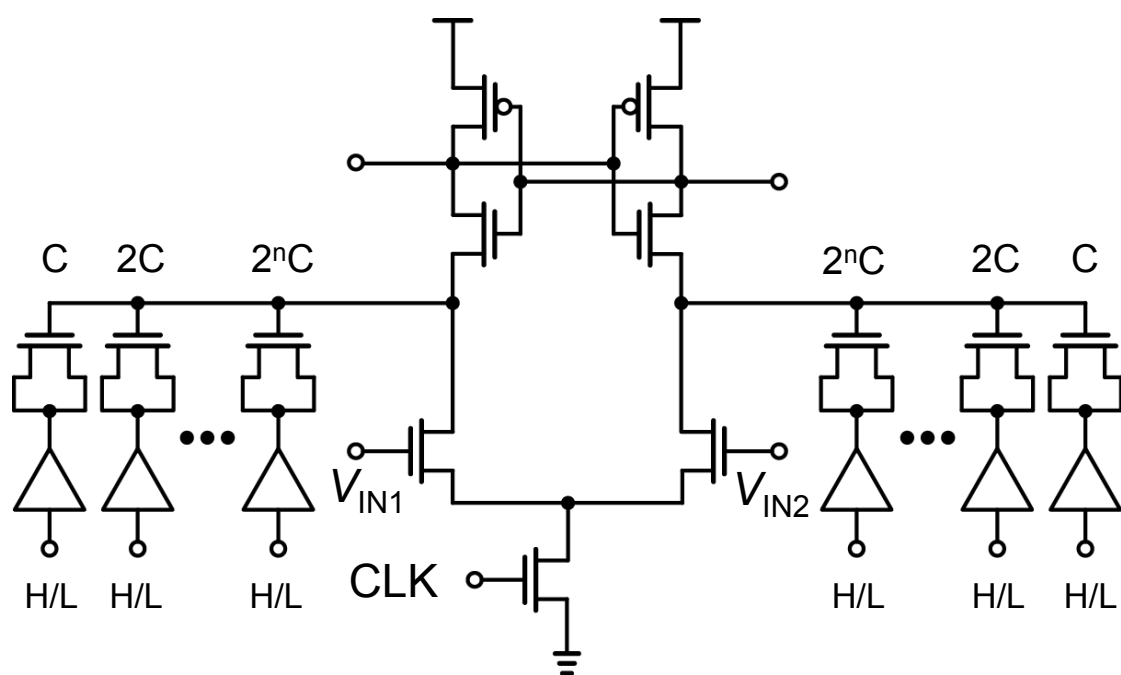


図 4.5 MOS を可変容量として使い、バイナリー制御をする方法

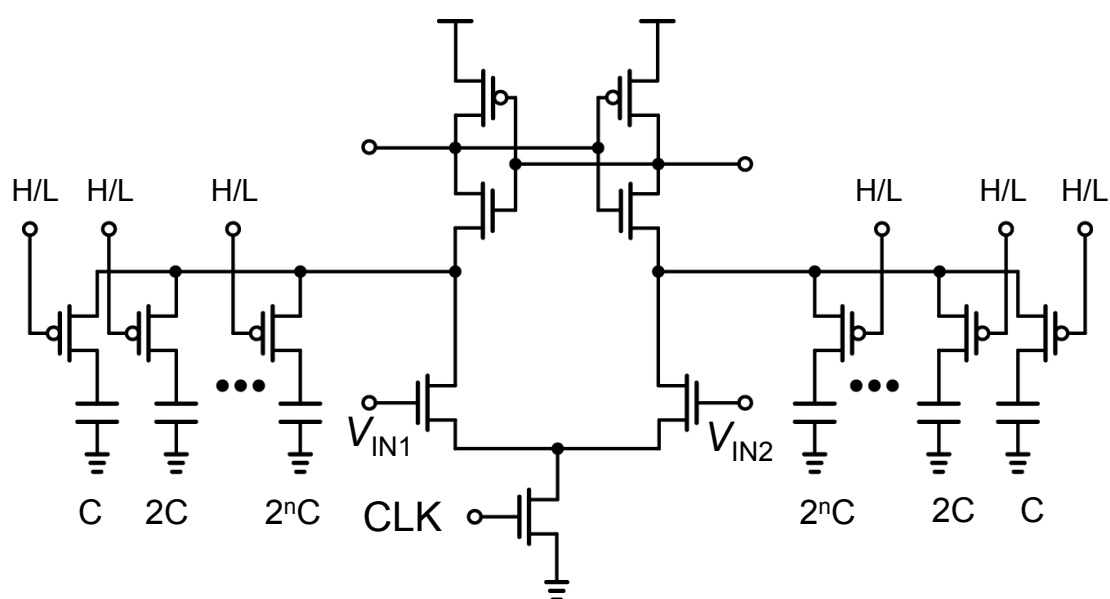


図 4.6 容量の使用不使用をスイッチで切り替える方法

#### 4.4.4 電荷補償

電荷補償とは、リセット後にバイナリー容量の DAC (CDAC) で電荷を注入することで、負荷容量の初期電位を変え、オフセットを調整する方法[29]である。今までの電流補償方式、容量補償方式は比較時に変化を与えることでオフセットを調整したが、電荷補償は比較前に変化を与えることも可能である点に特徴がある。電荷補償方式を図 4.7 に示す。ただし、注入した電荷による電圧が高くなりすぎると、片側の差動対が飽和領域で動作せず、入力換算電圧が急激に増加する問題があるため、注意が必要である。注入する電荷と入力換算オフセット  $\Delta V_{\text{Offset.Q}}$  は、一次近似をすることで次のように書ける[29].

$$\Delta V_{\text{Offset.Q}} = \frac{V_{\text{ov}}}{2} \cdot \frac{\Delta V_p}{V_p} \quad (22)$$

$V_{\text{ov}}$  は入力差動対のオーバードライブ電圧、 $V_p$  は負荷容量のノードのリセット時と最終的な電位の電位差、 $\Delta V_p$  は電荷注入により上昇する電圧である。バイナリーの容量で電荷の注入量を制御できるため、低電圧動作にも対応可能で、センサーネットワーク向きである。

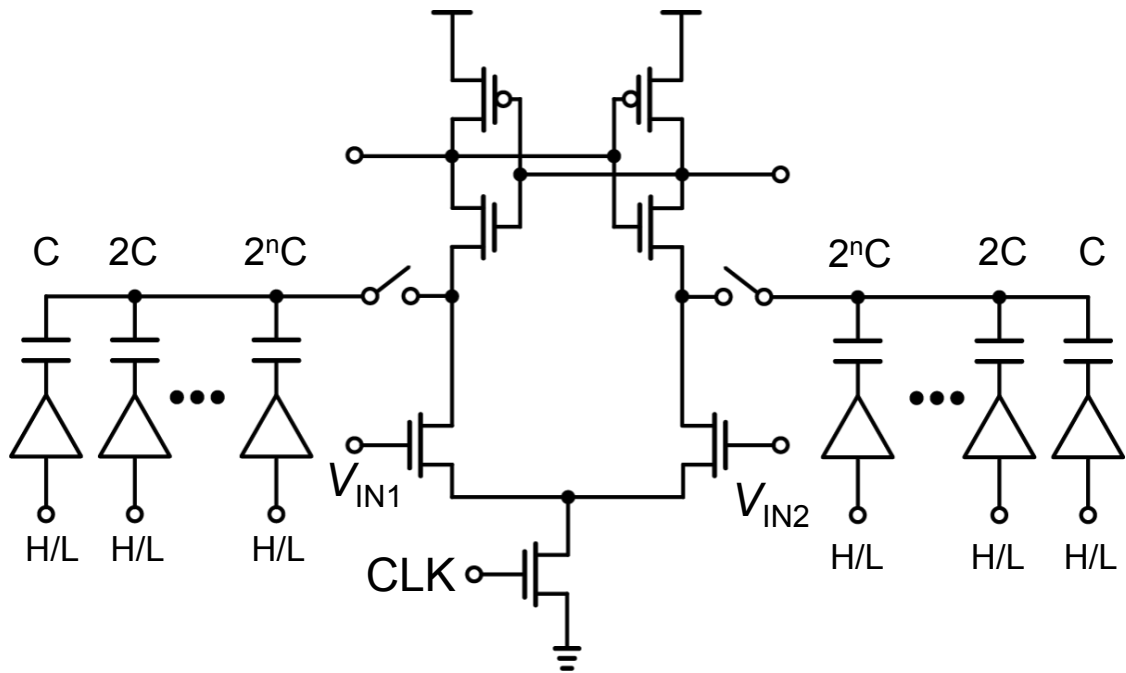


図 4.7 電荷を注入することで、リセット後の初期電圧を変える方法

## 4.5 ノイズ

コンパレータは古くからメモリーのセンスアンプとして使用されてきたため、その理解はかなり進んでいるような印象を受けるかもしれないが、コンパレータの雑音が初めて数式を用いて理論的に示されたのは、実は 2008 年と割と最近のことである[19]。

コンパレータが比較過程で発するノイズは、ブラウン運動を記述する際に用いられる確率微分方程式で記述される。これは、瞬間ごとに偶然的要素が介入する現象の記述する微分方程式で、経済の株価の変動を予測など、多岐にわたって使用されている。その数学的基礎は、日本人の数学者、伊藤清によって 20 世紀半ばに示された。ここでは、差動対とクロスカップルペアそれぞれにおける入力換算雑音を数学的に示す。

### 4.5.1 熱雑音

熱雑音は、抵抗体内で電子がランダム運動することで生じる。一般に抵抗が発生する熱雑音は  $4k_BTR$  で表される。ここで、 $k_B$  はボルツマン定数、 $T$  は絶対温度、 $R$  は抵抗値である。図 4.8 のように、容量と Low Pass Filter を形成した場合の出力端  $V_{OUT}$  の雑音は、 $kT/C$  ノイズと呼ばれる[16]。自身の熱雑音の電力を Low Pass Filter した結果、抵抗値によらず、容量値によってのみノイズが決定される。

MOS の場合は、 $4k_BTR$  の代わりに、ドレイン・ソース間に  $\bar{I}_n^2 = 4kT\gamma g_m$  のノイズ源を挿入して考える(図 4.9)

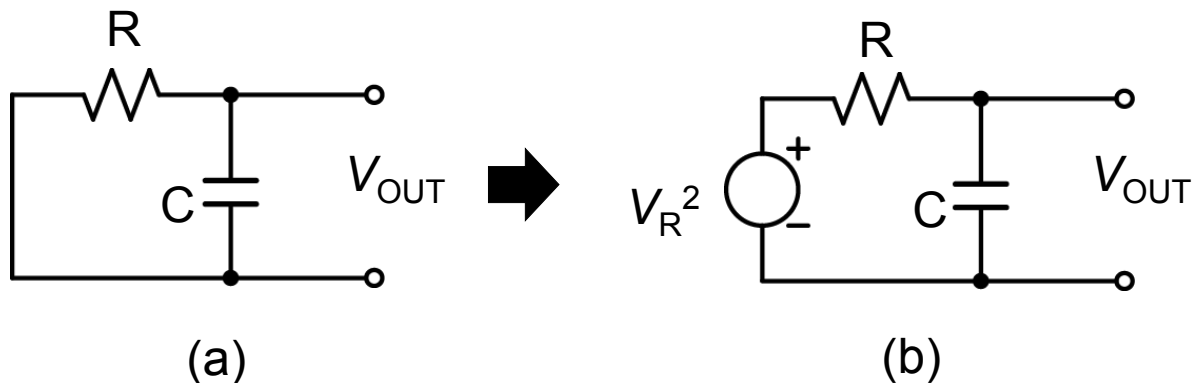


図 4.8 Low pass filter におけるノイズ(a)ノイズあり抵抗の場合の回路 (b)ノイズなし抵抗の場合の回路

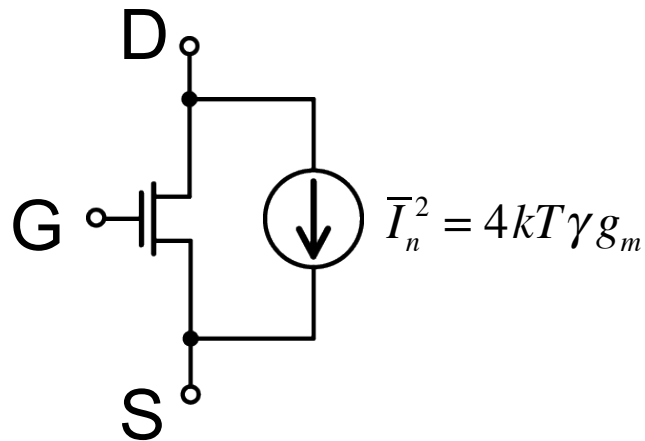


図 4.9 MOS の熱雑音の等価回路

#### 4.5.2 フリッカーノイズ

フリッカーノイズは、MOS の構造起因のノイズである。電子が流れるチャネル(Si/SiO<sub>2</sub> 界面)付近では、シリコン結晶と、シリコン酸化膜の格子定数の違いからできる未結合手が、電子を捕獲、放出する。チャネル付近には無数の捕獲順位があり、捕獲と放出をランダムに繰り返しているため、外部端子からは、 $1/f$  に比例した周波数成分を持ったノイズが発生したように見える。このフリッカーノイズは、MOS 素子のゲート面積  $LW$  が小さい時に顕著となる。

また、フリッカーノイズは低周波側で起こり、熱雑音は全周波数帯にあるため、ある周波数で、これらの雑音の支配が切り替わる。この切り替わる周波数をコーナー周波数と呼ぶ(図 4.10)。

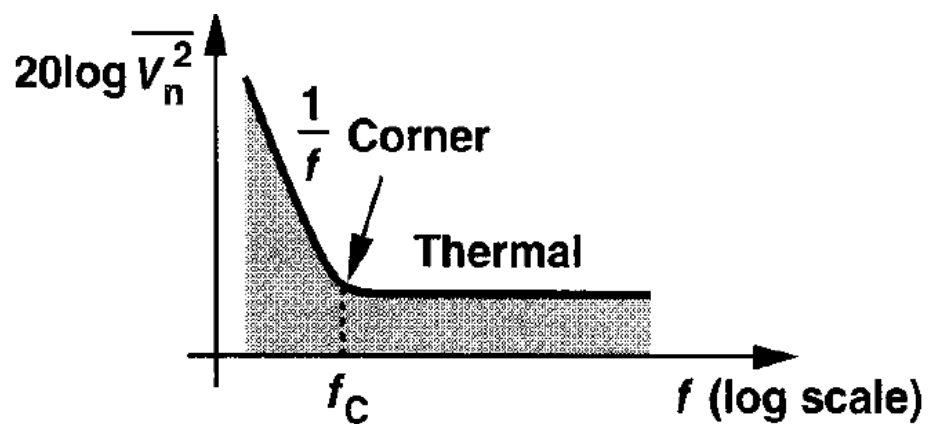


図 4.10 コーナー周波数の概念図

### 4.5.3 差動対におけるノイズ

差動対は、コンパレータの入力電圧を直接受ける部分であるため、一般には後段よりもノイズを小さくする必要がある。差動対が増幅を担う場合、等価回路は、図 4.11 のように書ける。そこで、簡単な理論を用いて、信号対雑音比(SNR)の観点から考察したい。簡単のため、トランジスタは2乗則に従うとする。なお、文字は以下のように定義する。

$g_{m1,2}$	Differential input pair transconductance
$\Delta v_{in}$	Input differential voltage
$t$	Time
$t_{sat}$	Maximum time span which differential pair works as amplifier
$C$	Capacitor load for differential input pair
$k$	Boltzmann constant
$T$	Temperature
$\gamma$	Thermal noise coefficient
$(W/L)_{1,2}$	W/L in differential pair (M1, M2)
$I_D$	Current through current limit transistor (M0)
$V_{GS}$	Differential input pair gate to source voltage
$\mu_p$	mobility of PMOS transistor
$C_{OX}$	oxide capacitance per unit area
$Q$	Charge in load capacitor

差動対の出力電位差のうち信号成分を  $V_{signal}$ 、雑音成分を  $V_{noise}$  とすると、信号成分は、時間とともに増加するため、以下のように表せる[19]。

$$V_{Signal}(t) = g_{m1,2} \Delta v_{in} \frac{t}{C} \propto g_{m1,2} t \quad (23)$$

一方ノイズは、Strong Inversion、かつ熱雑音しかない場合を想定した場合以下のように書ける[19]。

$$V_{Noise}(t) = \sqrt{\frac{4kT}{C} \cdot \frac{\gamma g_{m1,2}}{C} t} \propto \sqrt{g_{m1,2} t} \quad (24)$$

よって、SNR は

$$SNR(t) = \frac{V_{Signal}(t)}{V_{Noise}(t)} = \frac{\Delta v_{in}}{\sqrt{4kT\gamma}} \sqrt{g_{m1,2} t} \propto \sqrt{g_{m1,2} t} \quad (25)$$

電流を制限された場合の差動対の  $g_{m1,2}$  は、

$$g_{m1,2} = \frac{\partial I_D}{\partial V_{GS}} = \sqrt{2\mu_p C_{OX} \left( \frac{W}{L} \right)_{1,2} I_D} \quad (26)$$

差動対のドレイン電圧がある電圧まで達すると、差動対が増幅しなくなるため、増幅可能なドレイン電圧の範囲に制限がある。ドレイン電圧は、負荷容量により電流より変換され

るため、電流を一定だと仮定すると、

$$Q = I_D \cdot t \quad \therefore t \propto \frac{1}{I_D} \quad (27)$$

SNR(t)を電流の式で表すと、

$$SNR(t) \propto \sqrt{g_{m1,2} t} \propto \sqrt{\sqrt{\left(\frac{W}{L}\right)_{1,2}} \cdot \frac{1}{\sqrt{I_D}}} \quad (28)$$

また、 $I_D$  一定の条件の下で  $C$  を増加させると、

$$C \propto t_{Sat.} \quad (29)$$

以上より、SNR(t)の最大値は、

$$SNR(t) \Big|_{Max.} \propto \sqrt{g_m t_{Sat.}} \propto \sqrt{C} \quad (30)$$

Eq. (28)より SNR 向上には、

- 電流制限トランジスタ( $M_0$ )の  $W/L$  を小さくする( $I_D$ が減少)
- 差動対( $M_{1,2}$ )の  $W/L$  を大きくする

ことが有効であることが分かり、Eq. (29) より SNR 向上には、

- 差動対の負荷容量を大きくする

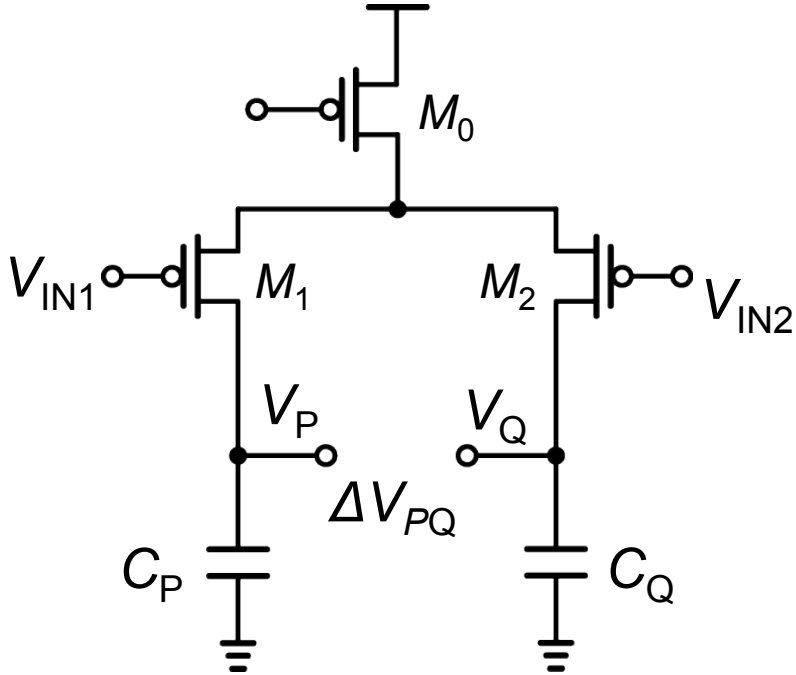


図 4.11 差動対が増幅を担う時の Strong Arm Latch の等価回路

#### 4.5.4 ラッチのノイズ

ラッチ単体のノイズについても、研究がされているので簡単に紹介する[20]。ラッチを図4.12に示し、動作を2つに分けて説明する。

Phase 1:  $\Phi 1$  を閉じることで、入力電圧と導通する。この際  $\Phi 2$  は開いており、ラッチは動作できない。

Phase 2:  $\Phi 1$  を開き、 $\Phi 2$  を閉じることで指数関数的に入力電圧  $v_0 = |V_{INP} - V_{INN}|$  を増幅する。

MOSの容量は非線形なので、MOSがPhase 1 のラッチの出力容量  $C_d^I$  とPhase 2 の容量  $C_d^{II}$ 、と分けて考える。また、容量は対地容量のみならず、線間容量  $C_C$  もあるので、そちらも考慮する。

$$C_D^I = C_L + C_{GB_p}^I + C_{GB_n}^I + C_{GS_p}^I + C_{GS_n}^I + C_{DB_p} + C_{DB_n} \quad (31)$$

$$C_D^{II} = C_L + C_{GB_p}^{II} + C_{GB_n}^{II} + C_{GS_p}^{II} + C_{GS_n}^{II} + C_{DB_p} + C_{DB_n} \quad (32)$$

$$C_C = 2(C_{GD_p} + C_{GD_n}) \quad (33)$$

Phase 1 では、スイッチングのノイズにより、以下のノイズ電力  $\sigma_0$  が発生する。

$$\sigma_0^2 = \frac{2kT}{C_d^I + 2C_C} \quad (34)$$

Phase 2 では、ラッチは以下の確率微分方程式に従う。

$$\frac{dv_{XY}(t)}{dt} - \frac{g_m - \frac{1}{r}}{C_d^{II} + 2C_C} V_{XY}(t) - \frac{1}{C_d^{II} + 2C_C} i_n(t) = 0 \quad (35)$$

ただし、

$$\frac{i_n(t)}{\xi(t)} = \sqrt{4kT\gamma g_m} \quad (36)$$

ここで、 $\xi(t)$  は確率微分方程式におけるランダム項である。

式(33)を解くと、

$$p(v, v_{XY}(t), t) = \frac{1}{\sqrt{2\pi\sigma^2(t)}} \exp\left[-\frac{(v - \mu(v_{XY}, t))^2}{2\sigma^2(t)}\right] \quad (37)$$

ただし、

$$\mu(v_{XY}, t) = v_0 \exp\left(\frac{t}{\tau}\right) \quad (38)$$

ノイズは信号同様、指数関数的に増幅される。ノイズの時間変化は、

$$\sigma^2(t) = \sigma_0^2 e^{2t/\tau} + \sigma_r \left[ e^{2t/\tau} - 1 \right] \quad (39)$$

$g_m \gg \frac{1}{r}$  の場合、 $\sigma_r^2$  は以下のように書ける。

$$\sigma_r^2 = \frac{2kT\gamma}{C_d^{\text{II}} + 2C_c} \quad (40)$$

$e^{2t/\tau} \gg 1$  とすると、

$$\sigma^2(t) \cong \sigma_t^2 e^{2t/\tau} = (\sigma_0^2 + \sigma_r^2) e^{2t/\tau} \quad (41)$$

コンパレータのゲインは指数関数的に増加するため、自身のゲインで割ることで、入力換算雑音電力を求めると、

$$\sigma_t^2 = 2kT \left[ \frac{1}{C_d^{\text{I}} + 2C_c} + \frac{\gamma}{C_d^{\text{II}} + 2C_c} \right] \quad (42)$$

よって、ラッチの入力換算雑音電力は近似的には、ラッチの速度に関係なく、ラッチの出力端子の実質的な容量で決まる。



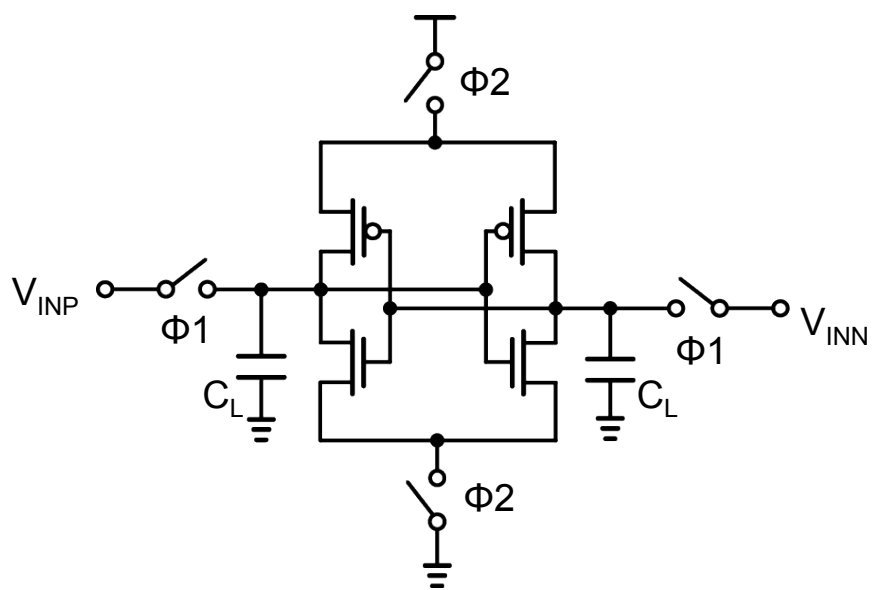


図 4.12 ラッチの回路図

## 第5章 オフセット調整方法の考察

### 5.1 使用可能なオフセット調整方式

低消費電力を優先するためには、中間電位を用いる方法を使用することは可能な限り避けたい。中間電位を使用するには、基本的にアンプで参照電位を維持する必要があり、常時電流が流れるのが理由である。第4章で紹介したオフセット調整方法のうち中間電位を用いず、バイナリー制御可能な回路構成には、容量方式と電荷方式が挙げられた。この両者を比較し、いずれの方法を用いるのが良いのか議論したい。

### 5.2 容量方式と電荷方式の比較

表 2.1 の仕様表より  $10\mu\text{V}\sim 1500\mu\text{V}$  の 8Bit を変化させる必要がある。本研究では、設計論を述べているため、これ以外の範囲にも対応可能な柔軟性が要求される。

#### 5.2.1 容量方式

図 5.1 に容量方式のシミュレーションで使用した回路図を示す。差動対の負荷容量(ノード P, Q)は  $1\text{pF}$  とする。また、差動対とラッチのサイジングは等しく  $L=0.2\mu\text{m}$ ,  $W=10\mu\text{m}$  とした。容量の最小 Bit は  $L=1\mu\text{m}$ ,  $W=1\mu\text{m}$  は  $65\text{nm}$  の High Voltage プロセスでは最小値よりも 10 倍程度大きい、アナログ設計ではばらつき等の考慮により、そもそも最小値を用いて設計することはあまりない。ここでは、様々なプロセスに応用可能な設計論について論じているため、最小寸法よりも十分余裕を持たせた値を使用する。入力換算雑音は容量が大きいほど小さくなる傾向があることが 6 章で述べられていることから、オフセット調整は最大の容量となるバイアス(Bit=L)から、片側の容量を減らすことで、極力容量を最大に保ちながらオフセットを変更する方式を採用した。

#### 5.2.2 電荷方式

電荷方式の回路図を図 5.2 に示した。電荷方式では、容量 DAC(Digital-to-analog converter)に MOM 容量を使用した。容量を直列に接続することもあるため、MOSCAP のような非線形の容量は出力電圧等の誤差の要因となるのが理由である。条件を揃えるため、容量方式同様、差動対の負荷容量を  $1\text{pF}$  に設定した。容量値は MOM により容易に設定可能なため、電荷注入の際の分圧キャパシタ  $C_S$  を  $C_S=25\text{fF}$ ,  $C_S=400\text{fF}$  の 2 種類を使用してシミュレーションした。電荷方式はスイッチ(MOSFET)を多用するため、タイミングチャートを図 5.3 に示した。電荷方式では、

- ① リセット
- ② 容量のボトムプレートが L から H にする
- ③ 電荷をコンパレータのノードに転送する。
- ④ コンパレータの比較開始

の 4 つの手順が必要である。

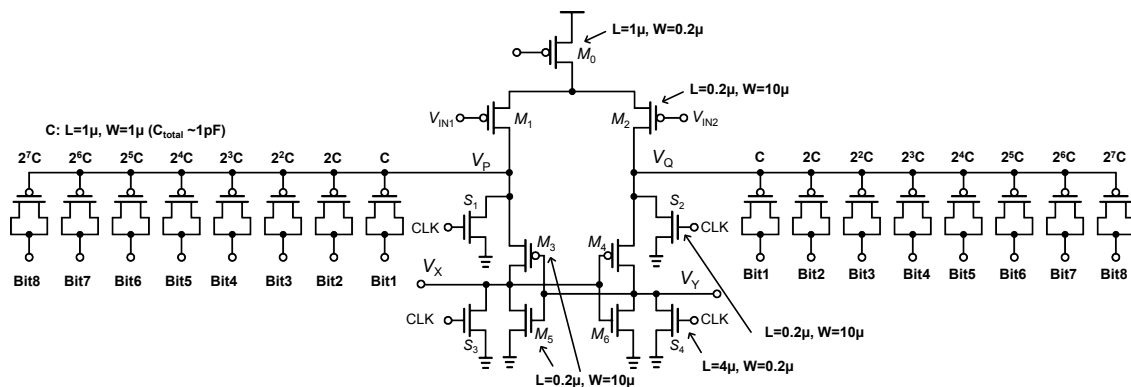


図 5.1 容量方式のシミュレーションに使用した回路図

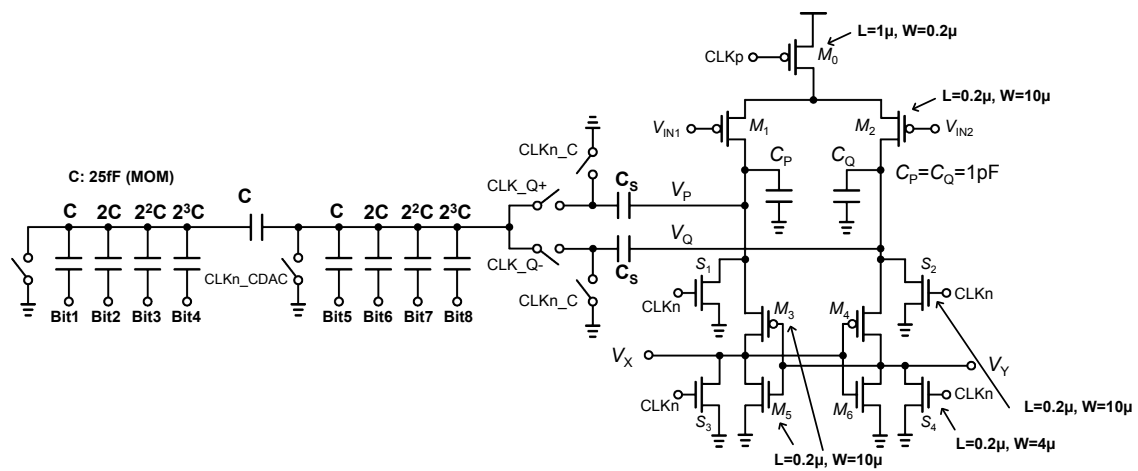


図 5.2 電荷方式のシミュレーションに使用した回路図

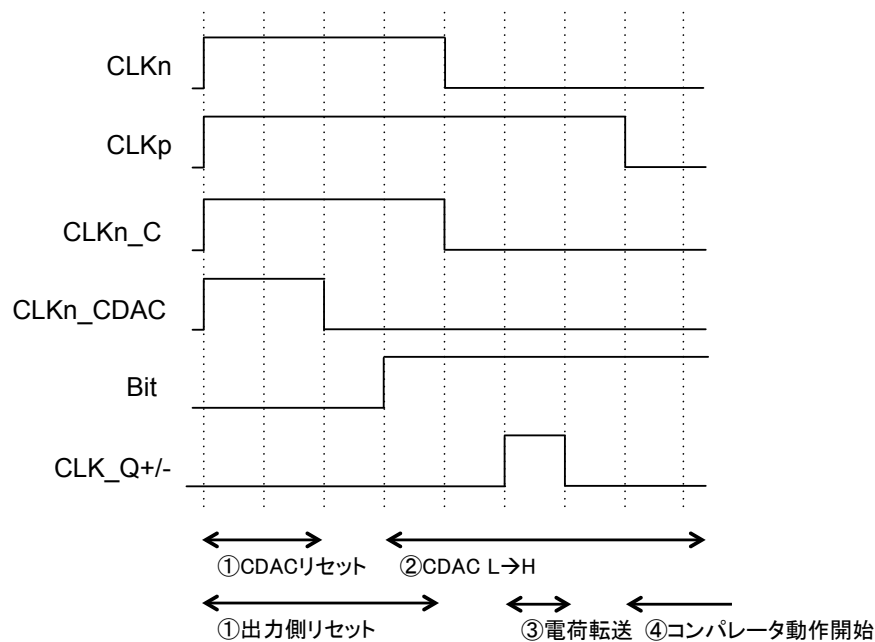


図 5.3 電荷方式のタイミングチャート

### 5.2.3 容量方式と電荷方式の比較

容量方式と電荷方式の入力換算オフセットを図 5.4 に示す。入力換算オフセット電圧は、各 Bit のみを変化させた条件で、入力電圧を細かく変化させ、入力電圧により出力結果が入れ替わる値をプロットしたものである。各コンパレータには 8Bit までしかないが、9Bit はすべての Bit を変化させたと定義する。

シミュレーションの結果、容量方式も電荷方式も単調増加を示していることが分かる。しかし、容量方式は仕様の最小オフセット電圧を満たしていないが、電荷方式は分圧容量  $C_S$  を変化させることで仕様を満たしていることが分かる。分圧容量は、スイッチの切り替えることで実装可能なため、デジタル制御に対する負担は小さい。

容量方式における最小オフセットは、プロセスにて作製可能な最小の容量（もしくは、実際のアナログ回路設計で使用可能な最小の容量）で決まるため、容量を小さくするには、総容量を大きくする必要がある。総容量を大きくすることは、電力や速度、面積へのトレードオフとなる。一方、電荷方式において最小オフセットをより小さくするためには、容量を直列につなぐ等の手段があるため、設計はより容易である。電荷方式は、リセット後に電荷を注入するので、時分割で他のコンパレータにも分けることで、さらに効率よく使用することが可能である。したがって、本研究では、電荷方式を採用する。

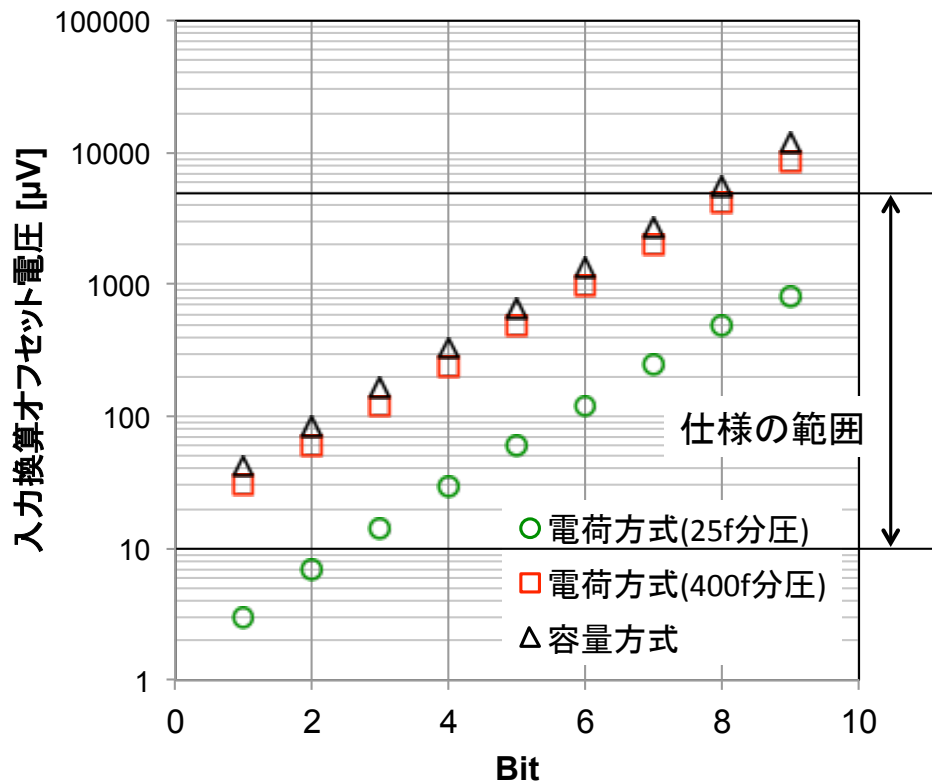


図 5.4 容量方式と電荷方式の入力換算オフセットの比較

## 5.3 従来の容量 DAC

### 5.3.1 並列に容量を並べた DAC

容量 DAC は、バイナリーに重み付けされた容量を並列に並べ、そのボトムプレートに電位をデジタル的に変化させることで、トッププレートの電位  $V_{DAC}$  を変化させるものである。その基本構造を図 5.5 に示す。この方法はビット数が少ない場合には有効であるが、ビットが増加するにつれ、面積が 2 の指数乗ビット必要となるため、面積効率や電力効率が悪化する問題がある。

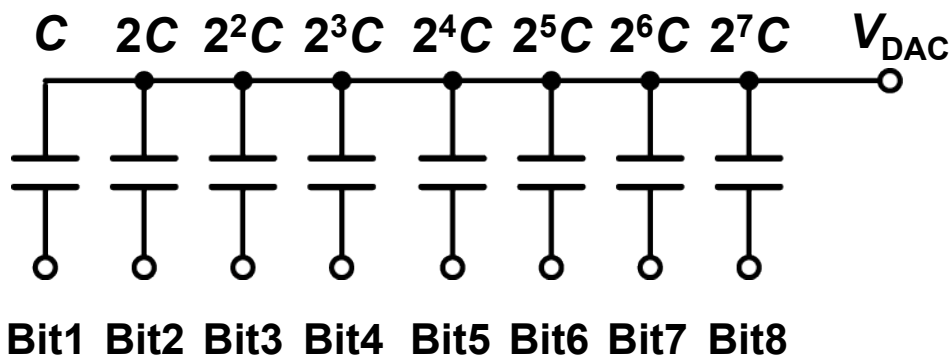


図 5.5 容量を並列に並べた DAC

### 5.3.2 スプリット構造を有する DAC

面積効率や電力効率を改善するために、途中にスプリット容量を追加する方法が提案されている[30]。この方式を用いることで、最小容量を実質的に小さくすることが可能である。図 5.5 の容量 DAC をスプリット構造を用いて構成した場合を図 5.6 に示す。これにより、図 5.5 では最小容量の約  $2^8$  倍(=256 倍)の面積が必要だったのに対し、図 5.6 ではおおよそ  $2^5$  倍(=32 倍)の面積で済む。スプリット構造を有する DAC は  $V_{DAC}$  から覗き込んだ場合、実質的には図 5.7 のように見える。

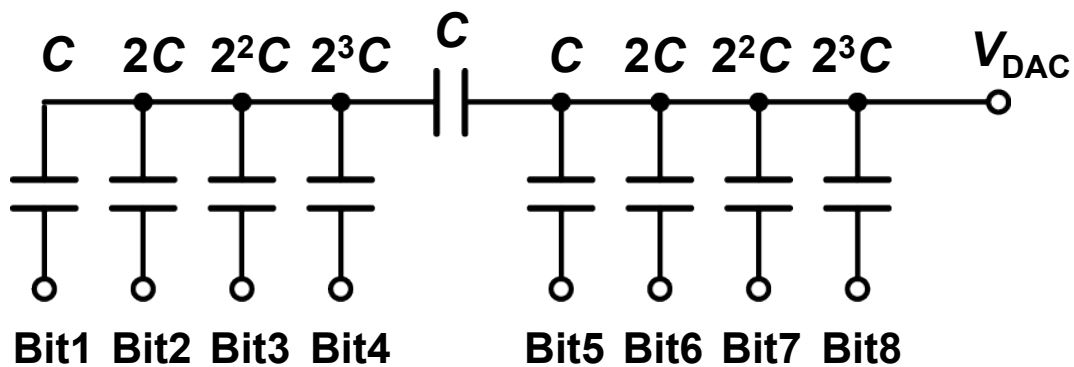


図 5.6 スプリット構造を有する DAC

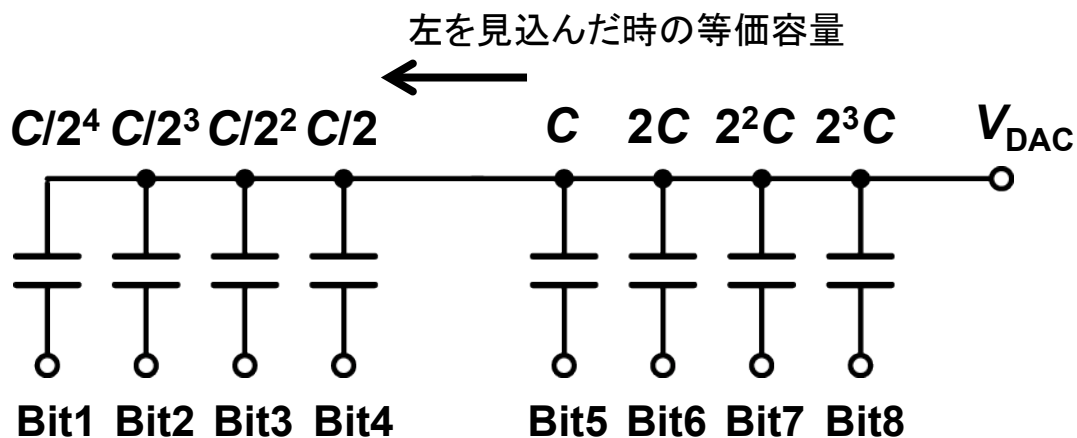


図 5.7 スプリット構造を有する DAC

## 5.4 提案する電荷に 2 回方式の DAC

スプリットキャパシタを用いることで、面積効率や電力効率を改善できることは前述した。この方式は、Succession approximation register (SAR) ADC (Analog-to-digital converter) 一般には用いられる。SAR ADC はトッププレートにサンプリングした電荷を DAC のビット数分バイナリサーチをすることで、デジタル値を得る。この容量 DAC の原理をコンパレータのオフセット調整機構に用いる場合には、前提条件が異なることから、さらに面積効率を良くする方法が考えられる。

コンパレータに求められるオフセット調整には、ADC にあるような INL(Integral Non-Linearity)や DNL(Differential Non-Linearity)のような要求がない。あるオフセットを定量的な値としてデジタル化する必要がないからである。仕様で求められるオフセット量のスケールが満たされ、かつ階段のステップが仕様以内であれば問題ない。たとえば粗調と微調の両方を使用してオフセットを実現する場合、それぞれのオフセット調整範囲に重複があっても、全く問題ない。最大ビットから順に小さいビットへ該当するオフセット量になるように、搜索すれば、そのコードは一意的に決まる。このようにコンパレータに求められるオフセット調整の仕様が比較的柔軟であることから、面積オーバーヘッドを時間方向に変化させることで、さらに面積効率を改善した方式を提案する(図 5.8)。またそのタイミングチャートを図 5.9 に示す。

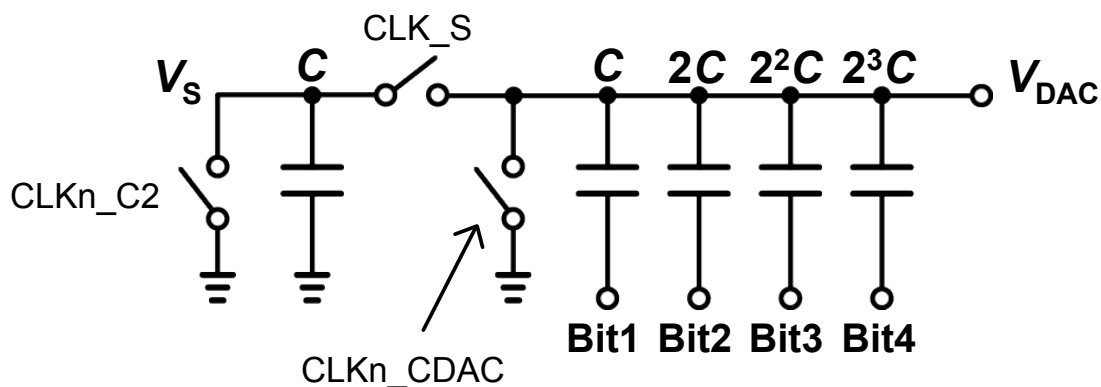


図 5.8 提案する 2 回方式の容量 DAC

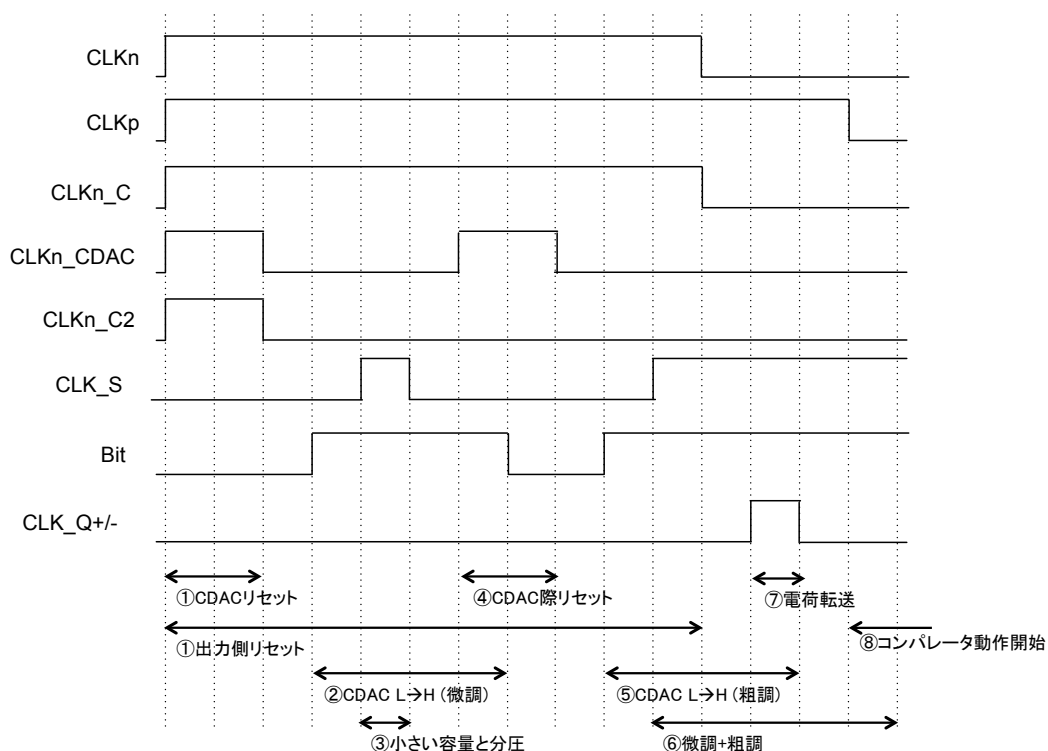


図 5.9 提案する 2 回方式の容量 DAC のタイミングチャート

#### 5.4.1 提案する 2 回方式の動作原理

提案する 2 回方式の容量 DAC の動作原理を図 5.10 に示す。

まず、右側の容量を大きい容量、左側の容量を小さい容量とする。①では、両方の容量がリセットされる。②では、大きい容量のボトムプレートにコードに応じて、L から H にすることで、 $V_{DAC}$  に電圧を生成する(微調)。③生成された電圧  $V_{DAC}$  を小さい容量に移す。④大きい容量をリセットする。⑤大きい容量のボトムプレートにコードに応じて、L から H にすることで、 $V_{DAC}$  に電圧を生成する(粗調)。⑥微調と粗調の電荷を足し合わせることで、4 ビットの容量 DAC を用いて 8 ビットを生成可能である。

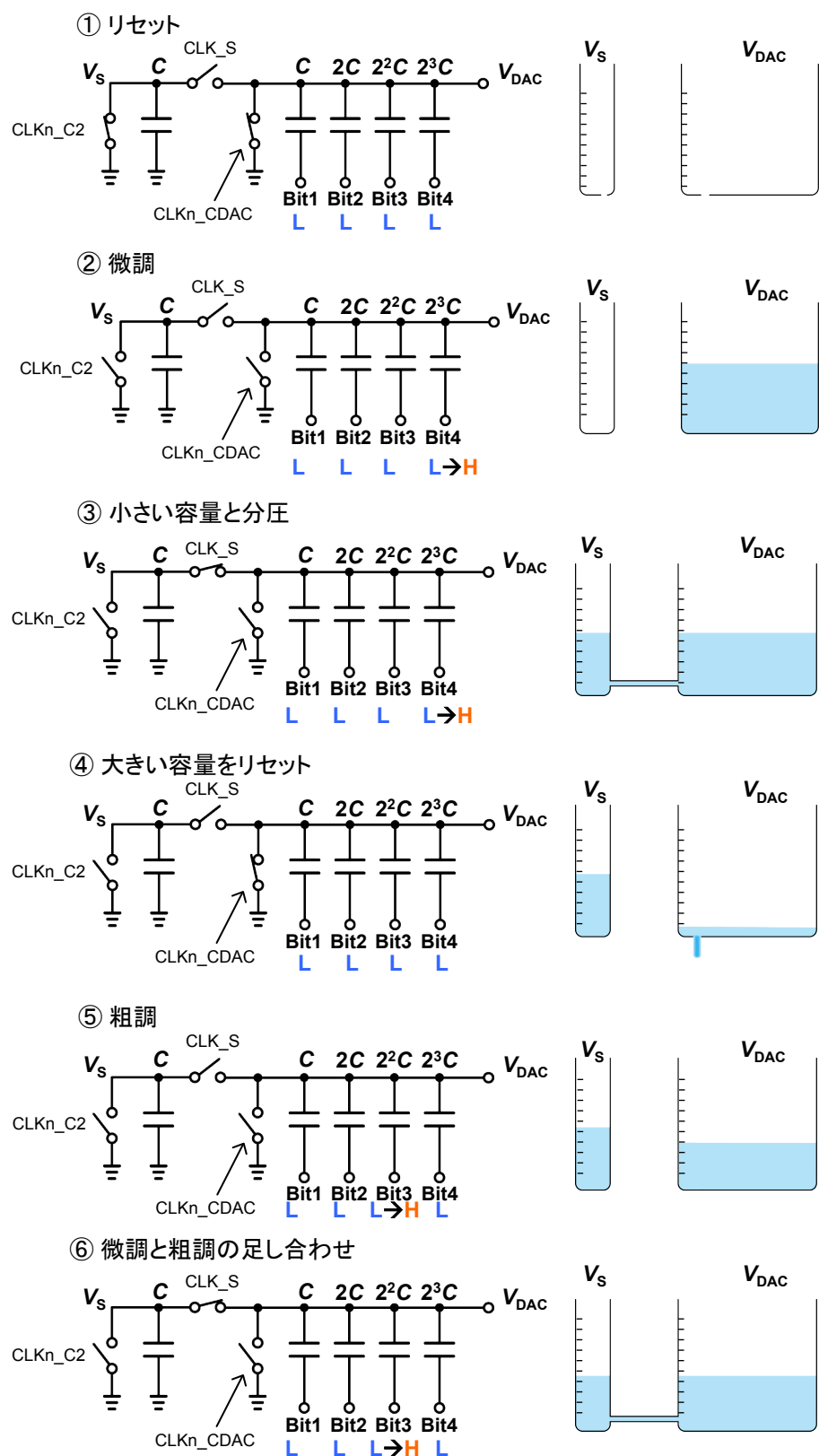


図 5.10 提案する 2 回方式の容量 DAC の動作原理



### 5.4.2 提案する 2 回方式の理論解析

②微調の際に、大きい容量に注入される電荷  $Q_{DAC1}$  は、

$$Q_{DAC1} = x_1 C \Delta V \quad (43)$$

ただし、 $\Delta V$  は容量 DAC のボトムプレートの電位の変化で、 $x_1 (x_1 = 0, 1, \dots, 15)$  は 1 回目の微調のデジタルコードである。

③小さい容量に分圧される時の小さい容量の電荷  $Q_{DAC1\_S}$  は

$$Q_{DAC1\_S} = \frac{x_1 C \Delta V}{16} \quad (44)$$

⑤粗調の際に大きい容量に注入される電荷  $Q_{DAC2}$  は、 $x_2 (x_2 = 0, 1, \dots, 15)$  を 2 回目の微調のデジタルコードとして、

$$Q_{DAC2} = x_2 C \Delta V \quad (45)$$

⑥微調と粗調を合わせた時の電荷  $Q_{TOTAL}$  は、

$$Q_{TOTAL} = Q_{DAC1\_S} + Q_{DAC2} = \frac{x_1 C \Delta V}{16} + x_2 C \Delta V \quad (46)$$

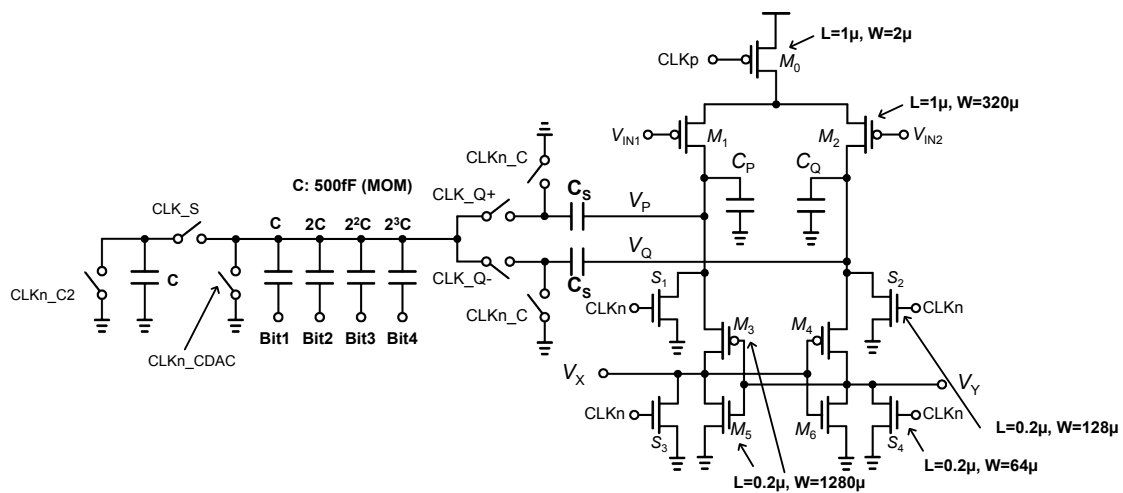
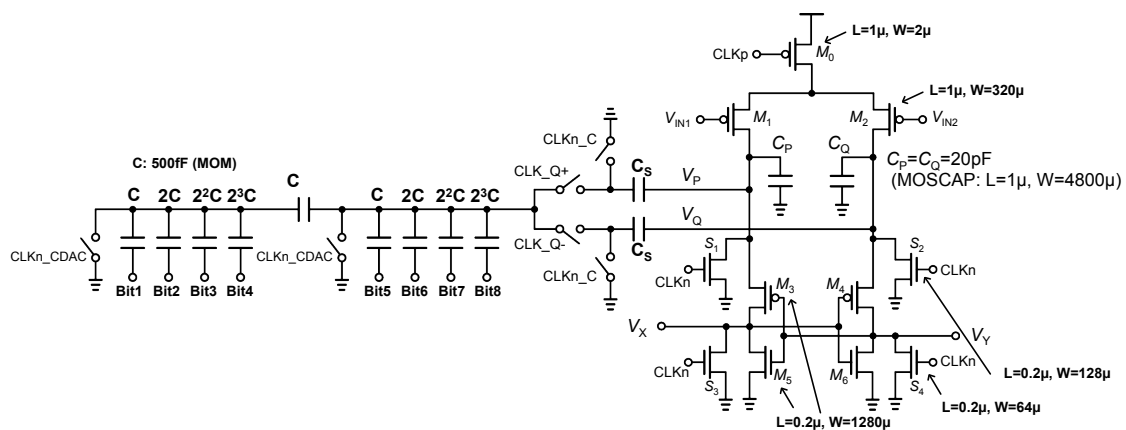
総容量は  $16C$  であるから、 $V_{DAC}$  は、

$$V_{DAC} = \frac{Q_{TOTAL}}{16C} = \frac{1}{256} x_1 \Delta V + \frac{1}{16} x_2 \Delta V \quad (47)$$

以上より 2 回方式は、4 ビットの容量で、8 ビットの容量 DAC に相当する電圧  $V_{DAC}$  を生成できる。

### 5.4.3 スプリットキャパシタ方式と提案する 2 回方式のシミュレーション比較

スプリットキャパシタ方式と提案する 2 回方式のシミュレーションをコンパレータと結合した状態でシミュレーションし、比較した。シミュレーションに使用した。スプリットキャパシタを用いたコンパレータの回路図を図 5.11、提案する 2 回方式を用いたコンパレータの回路図を図 5.12 に示す。いずれも電源電圧 1.2 V、65nm プロセスでシミュレーションした。コンパレータ込みのタイミングチャートを図 5.13 に、コンパレータの負荷容量  $C_{p,q}$  に生じた電圧のビット依存性を図 5.14 に、入力換算オフセットを求めたものを図 5.15 に示す。図 5.14 図 5.15 の結果から、提案する 2 回方式はスプリットキャパシタを用いた方法とほとんど変化がなく、DAC の機能を維持したまま、面積を削減でき、容量 DAC 全体で 43% の面積の削減が可能となった(図 5.16)。



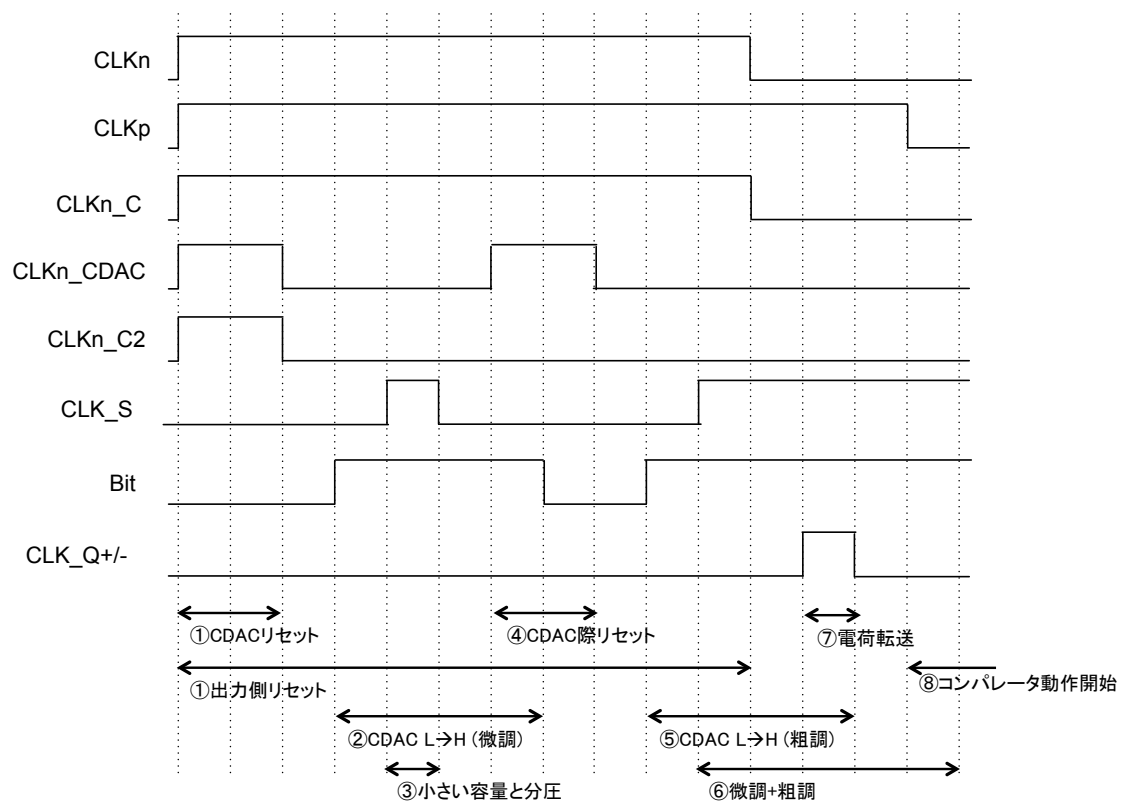


図 5.13 コンパレータのクロックも含めた 2 回方式のタイミングチャート

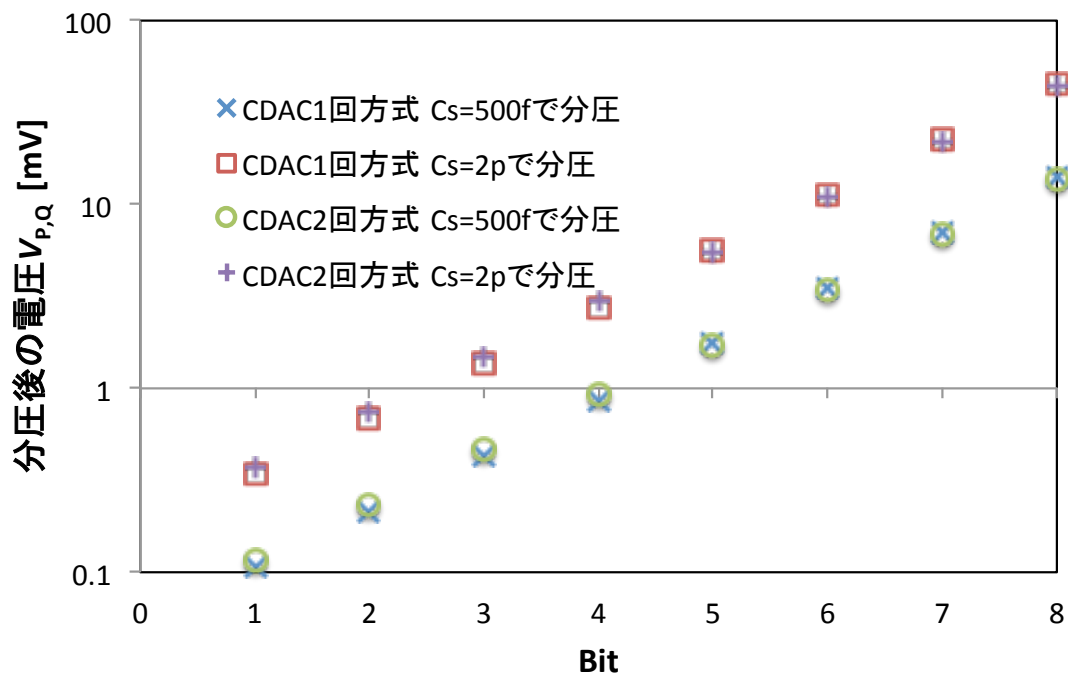


図 5.14 スプリットキャパシタ方式と提案する 2 回方式のコンパレータ内の容量  $C_{p,q}$  と分圧後の電圧

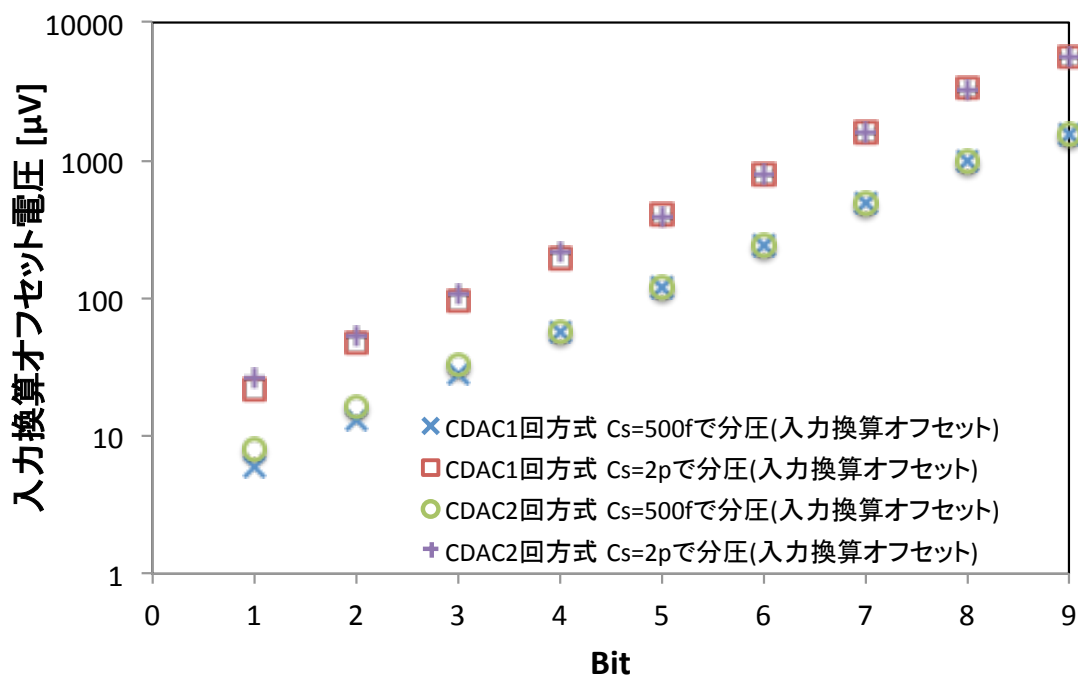


図 5.15 スプリットキャパシタ方式と提案する 2 回方式のコンパレータの入力換算オフセット

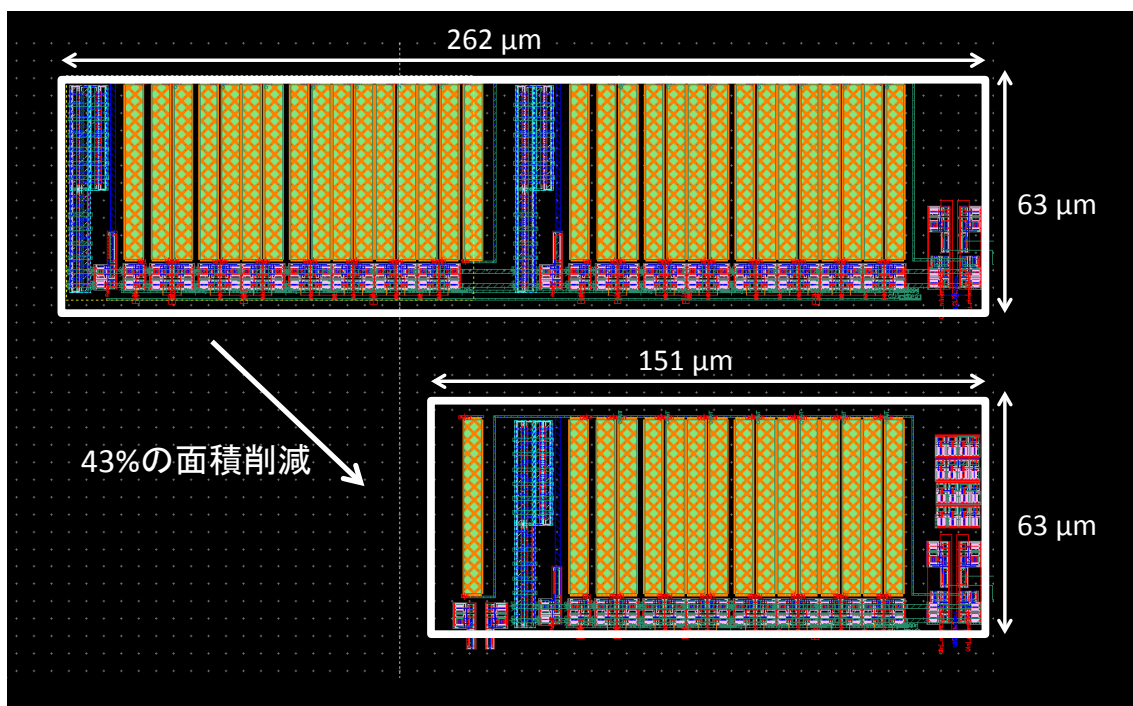


図 5.16 スプリットキャパシタ方式と提案する 2 回方式の容量 DAC の面積比較

## 第6章 入力換算雑音シミュレーション

第 4 章では、ノイズの理論について、差動対はラッチを分けて説明した。そこでの結論は、差動対においては、

- 電流制限トランジスタ( $M_0$ )の W/L を小さくする
- 差動対( $M_{1,2}$ )の W/L を大きくする
- 差動対の負荷容量  $C_p, C_Q$  を大きくする

ことが必要であり、ラッチにおいては、

- ラッチの負荷容量を大きくする

ことが必要であることが分かった。これらの理論的に導かれた結論がシミュレーション上でも成り立つかどうか確認する。

### 6.1 同期型差動増幅回路のノイズシミュレーション

Strong Arm Latch の動作は 4 つに分けられるが、このうち、差動対が増幅を担う時の等価回路は図 4.11 のようになる。この等価回路において、ノイズシミュレーションを行った。この回路において差動対のみによるノイズを考慮し問題を単純化するため、リセット時に発生する  $kT/C$  ノイズを除外して（リセットの MOSFET をノイズ対象外として）シミュレーションした。差動対の入力はコンパレータと同様に入力同相電圧を 0V、入力電位差を  $60\mu\text{V}$  に設定し、1000 回シミュレーションした。ノイズの周波数は、1MHz~1GHz としている。なお、差動対に関しては、コーナー周波数に注意し、すべてのシミュレーションで熱雑音が支配的な領域を使用している。言い換えると、コーナー周波数は 1MHz 以下になるよう、回路定数を設定している。また、以降のシミュレーションの温度は、すべて摂氏 27 度で統一している。

#### 6.1.1 同期型差動増幅回路の電流を変化させた場合

図 6.1 で示した回路の電圧波形、差動対の出力電圧を図 6.2 に、 $\Delta V_{PQ} = V_Q - V_P$  の各時間点における 1000 回の平均電圧を  $V_{\text{average}}$ 、各時間点における電圧の平均電圧からの差分を  $\sigma$  で表したものの  $V_{\text{noise}}$ 、( $\sigma$ ) を図 6.3 に差動対の出力電圧の信号対雑音比  $\text{SNR} = V_{\text{average}}/V_{\text{noise}}$  を図 6.4 に示した。

図 6.2 より電流制限トランジスタの W/L が小さくなると流れる電流のつり合いを取るために、差動対のソース電圧  $V_s$  は徐々に低下する。電流が制限れているため、差動対の同相出力電圧 ( $V_P, V_Q$ ) の立ち上がりが遅くなっている。図 6.3 の  $V_{\text{average}}$  と  $V_{\text{noise}}$  は、共に時間が経つにつれ値が大きくなっている。出力電位差の最大値は電流を絞った方が大きくなっており、入力換算雑音が低減し、 $\Delta V_{PQ}$  の SNR も改善していることが分かる(図 6.4)。

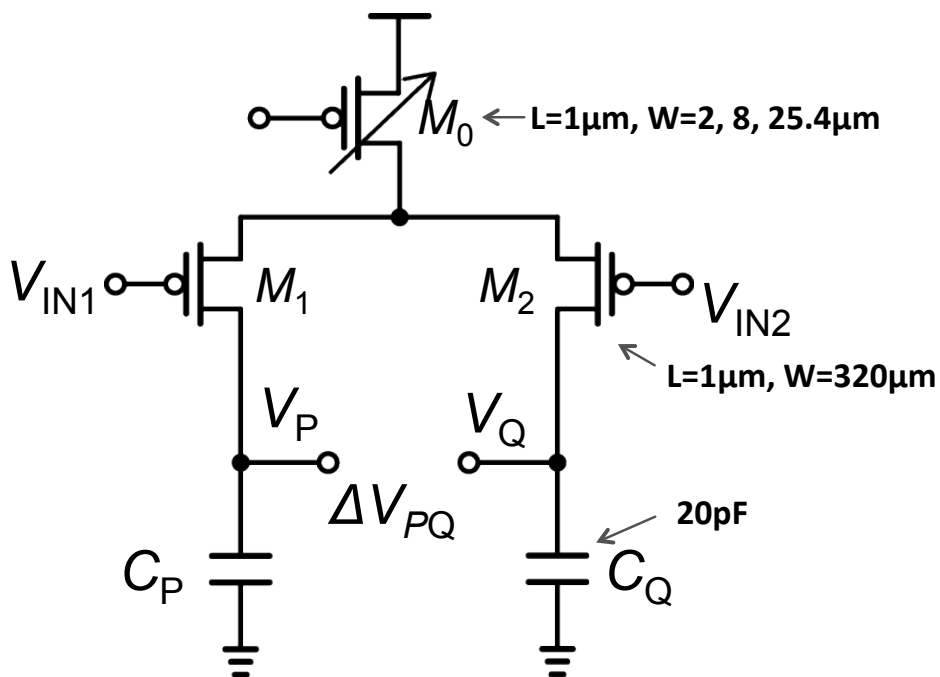


図 6.1 差動対が増幅を担う時の等価回路（電流を変化）

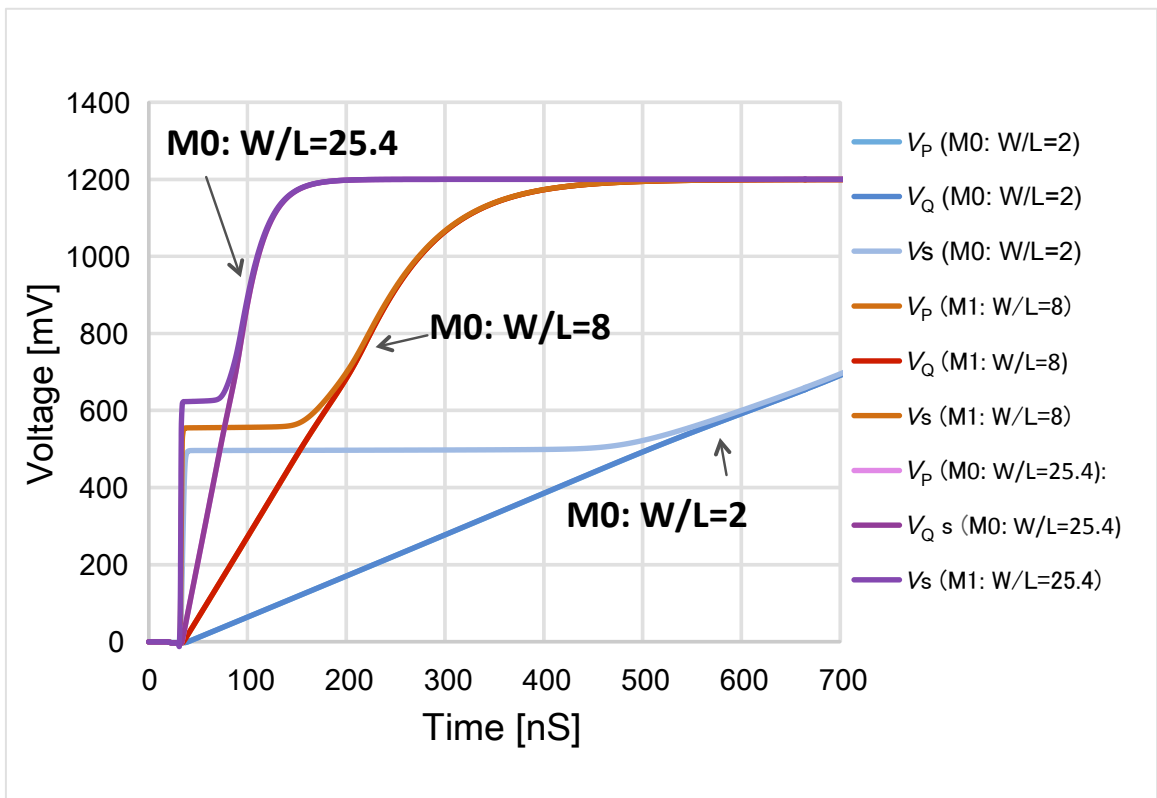


図 6.2 電流を変化させた場合の各ノードのシミュレーション波形

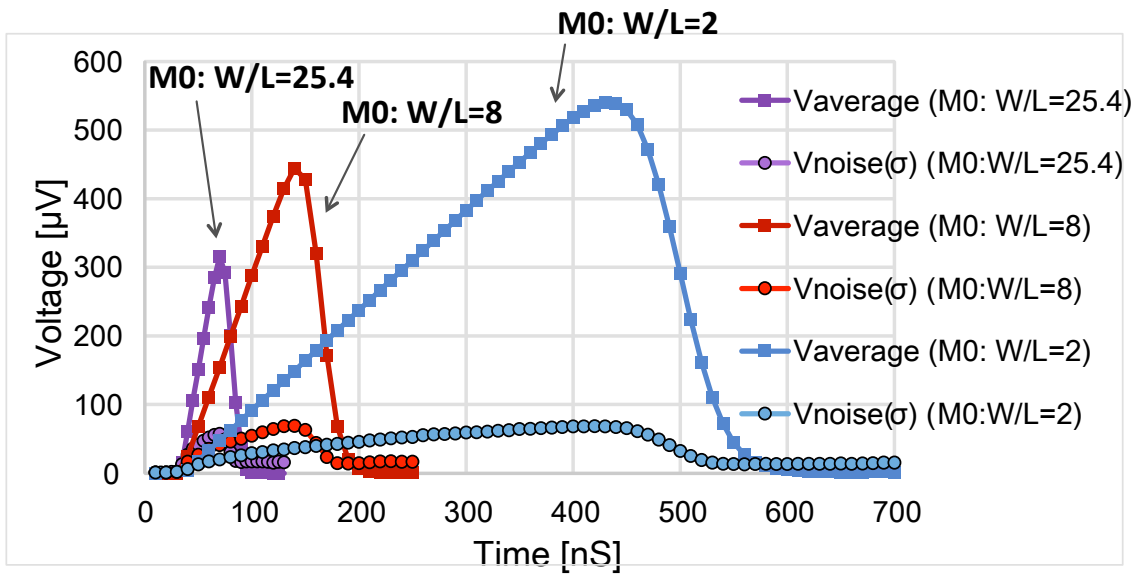


図 6.3 統計処理後の差動出力信号  $\Delta V_{P,Q}$  の信号成分と雑音成分

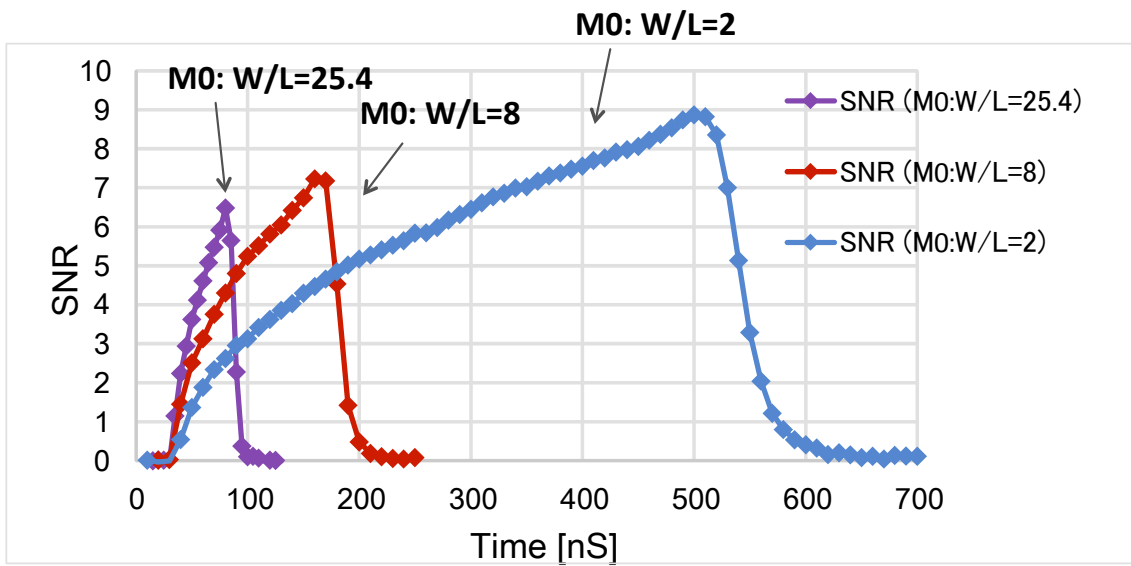


図 6.4 図 6.3 の信号成分と雑音成分の比

### 6.1.2 同期型差動増幅回路の差動対の W/L を変化させた場合

シミュレーションに用いた回路図を図 6.5 に示す。入力差動対(M1, M2)の W/L を 20, 80, 320 と変化させた時の電圧波形、差動対の出力電圧を図 6.6 に、 $\Delta V_{PQ} = V_Q - V_P$  の各時間点における 1000 回の平均電圧を  $V_{average}$ 、各時間点における電圧の平均電圧からの差分を  $\sigma$  で表したものの  $V_{noise}$ 、( $\sigma$ ) を図 6.7 に差動対の出力電圧の信号対雑音比  $SNR = V_{average}/V_{noise}$  を図 6.8 に示した。差動対の W/L が増加するにつれ、信号対雑音比が小さくなっていることが分かる(図 6.8)。

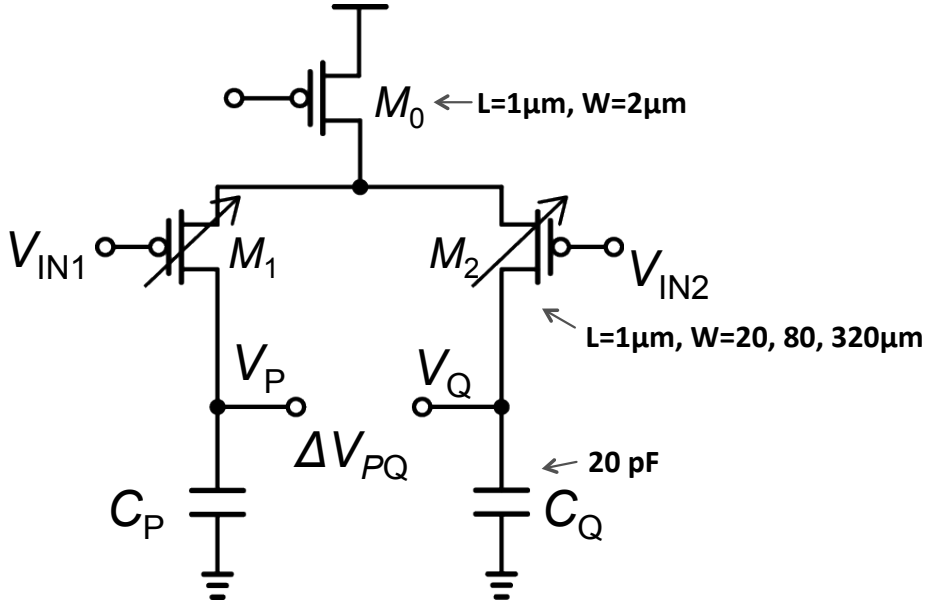


図 6.5 差動対が増幅を担う時の等価回路（差動対の W を変化）

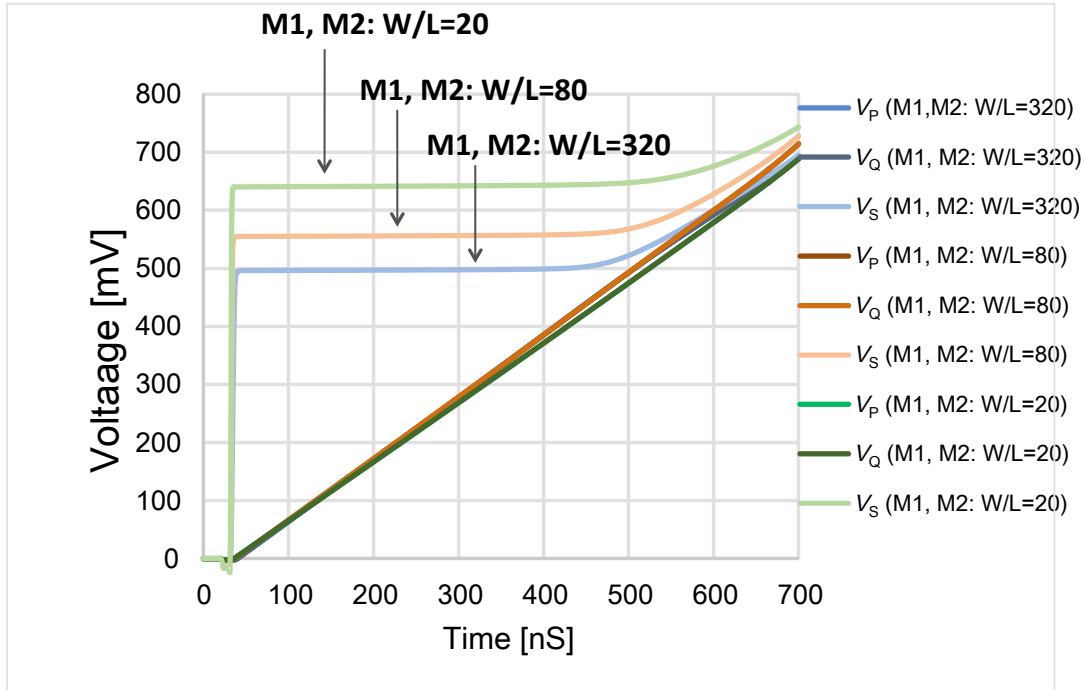


図 6.6 差動対の W を変化させた場合の各ノードのシミュレーション波形



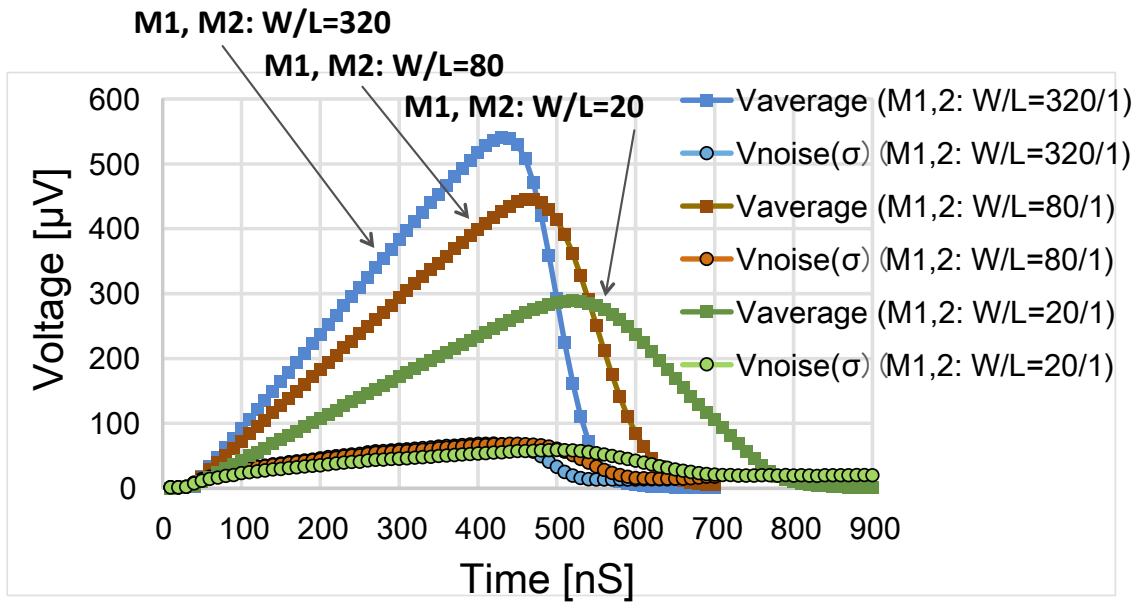


図 6.7 統計処理後の差動出力信号  $\Delta V_{P,Q}$  の信号成分と雑音成分

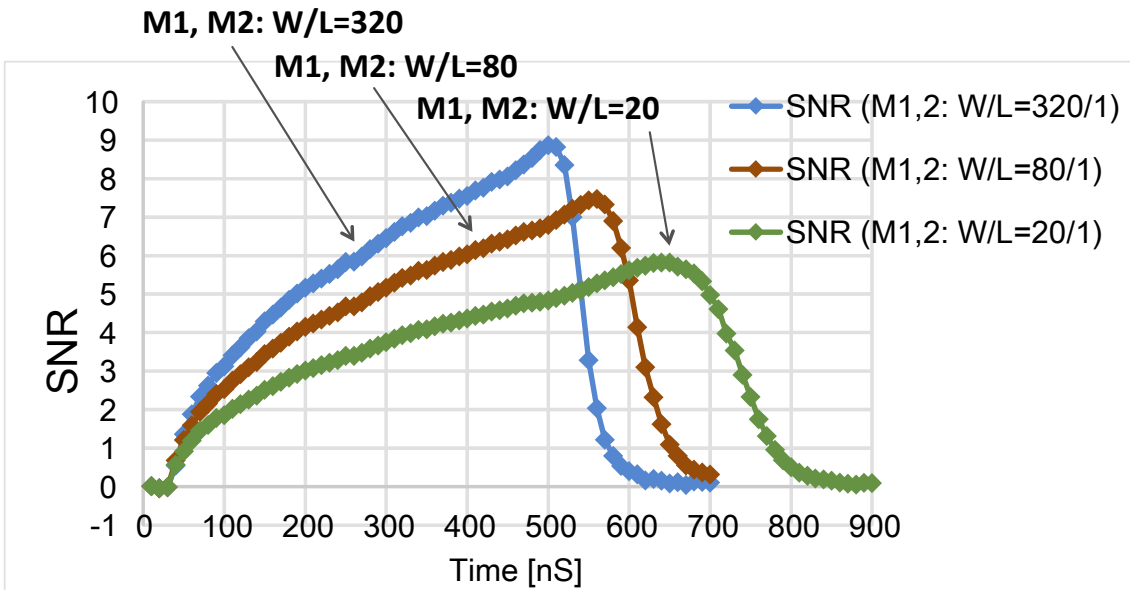


図 6.8 図 6.7 の信号成分と雑音成分の比

### 6.1.3 同期型差動増幅回路の負荷容量を変化させた場合

シミュレーションに使用した等価回路を図 6.9 に示す。差動対の  $W/L$  を変更した際の信号成分（雑音信号の平均成分） $V_{average}$  と雑音成分  $V_{noise}$  を図 6.11 に SNR を図 6.12 に示す。差動対の  $W/L$  が大きくなると、差動対の出力電圧  $\Delta V_{outd}$  の信号成分の最大値が増加し、SNR の最大値が増加していることが分かる。各電圧ノードを図 6.10 に示した。入力換算雑音小さくなる条件である、差動対の  $W/L$  が大きい場合は  $V_S$  の電圧が低くなることが分かる。

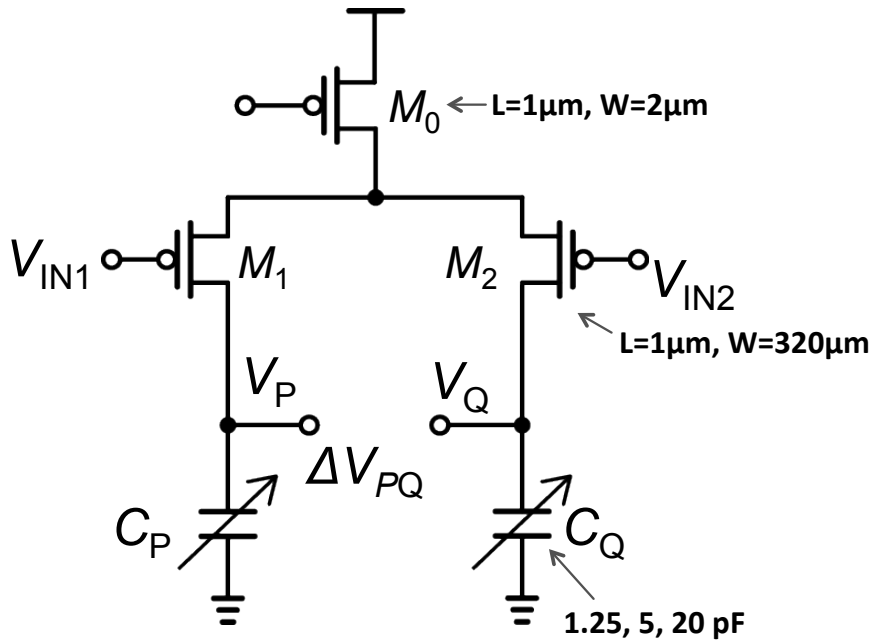


図 6.9 差動対が増幅を担う時の等価回路（差動対の負荷容量  $C_{P,Q}$  を変化）

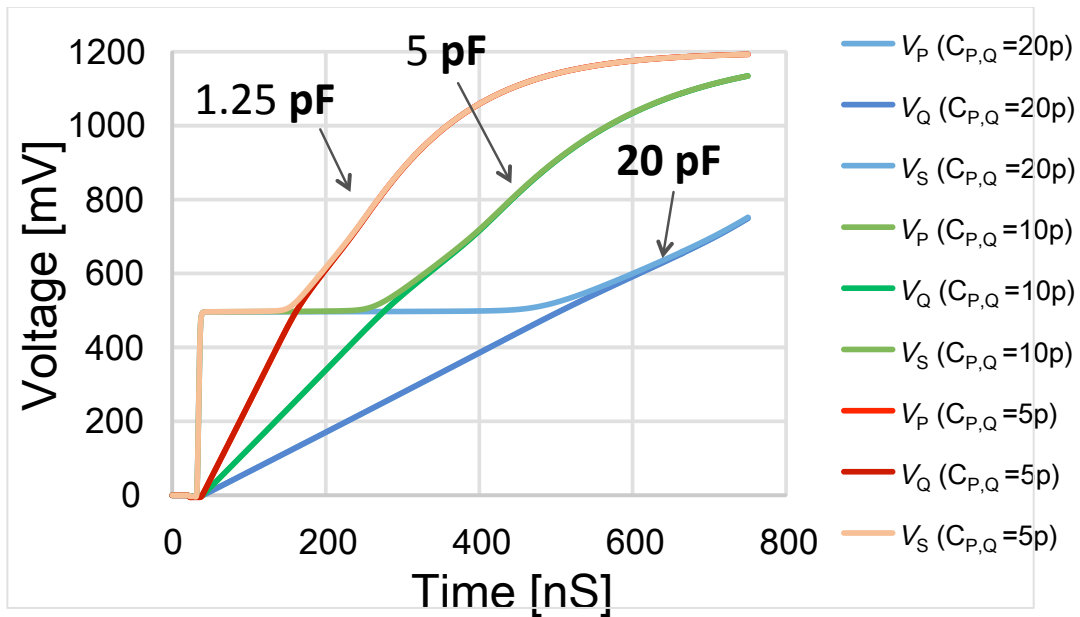


図 6.10 差動対の負荷容量  $C_{P,Q}$  を変化させた場合の各ノードのシミュレーション波形

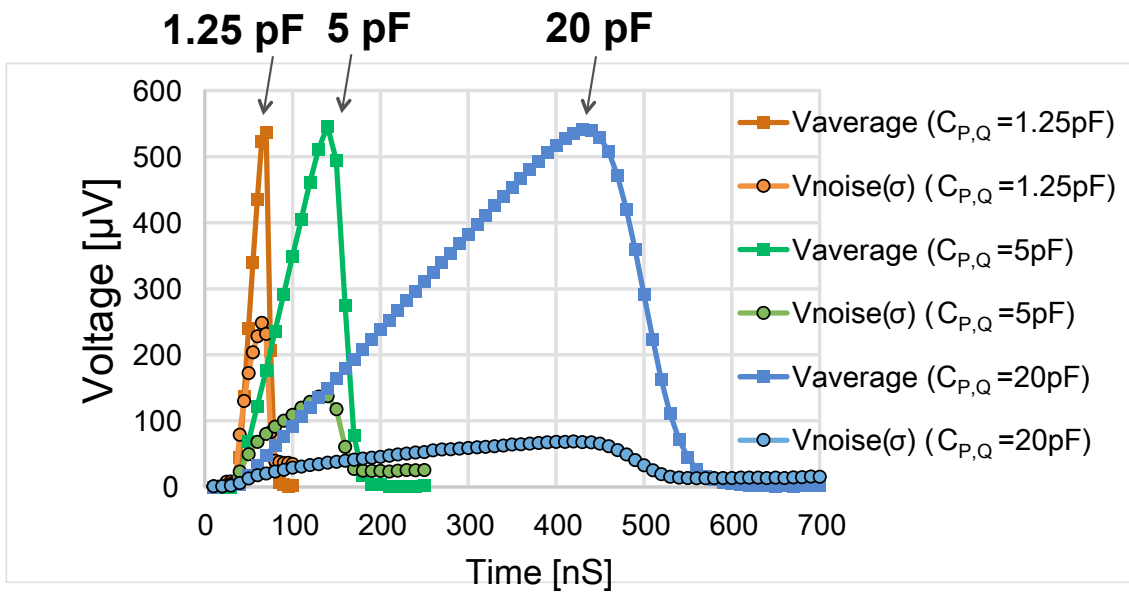


図 6.11 統計処理後の差動出力信号  $\Delta V_{P,Q}$  の信号成分と雑音成分

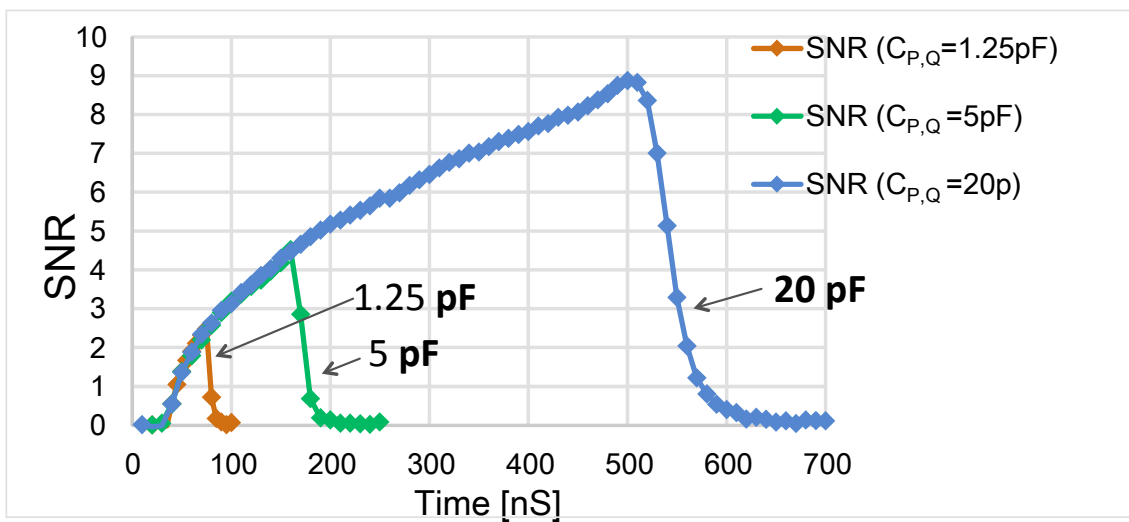


図 6.12 図 6.11 の信号成分と雑音成分の比

## 6.2 Strong Arm Latch のノイズシミュレーション

差動対のいくつかのパラメータを変化させた場合に差動対の出力容量において、信号対雑音比が改善することは前述した。ここでは、信号対雑音比の改善が、コンパレータ全体の入力換算雑音電圧の低減に繋がることを示す。なお、シミュレーションは単純化するため、リセット時に発生する  $kT/C$  ノイズを除外して（リセットの MOSFET をノイズ対象外として）シミュレーションした。差動対の入力はコンパレータと同様に入力同相電圧を 0V、入力電位差を  $60\mu\text{V}$  に設定し、1000 回シミュレーションした。ノイズの周波数は、1MHz~1GHz としている。なお、差動対に関しては、コーナー周波数に注意し、すべてのシミュレーションで熱雑音が支配的な領域を使用している。言い換えると、コーナー周波数は 1MHz 以下になるよう、回路定数を設定している。

シミュレーションで使用した回路定数は、7 章の最終的にテブアウトしたものに基づいている。

### 6.2.1 Strong Arm Latch の電流を変化させた場合

図 6.13 にノイズシミュレーションに用いた回路図を示す。入力換算雑音のシミュレーション結果を図 6.14 に示す。理論と同様電流を絞ることで、入力換算雑音が減少する。

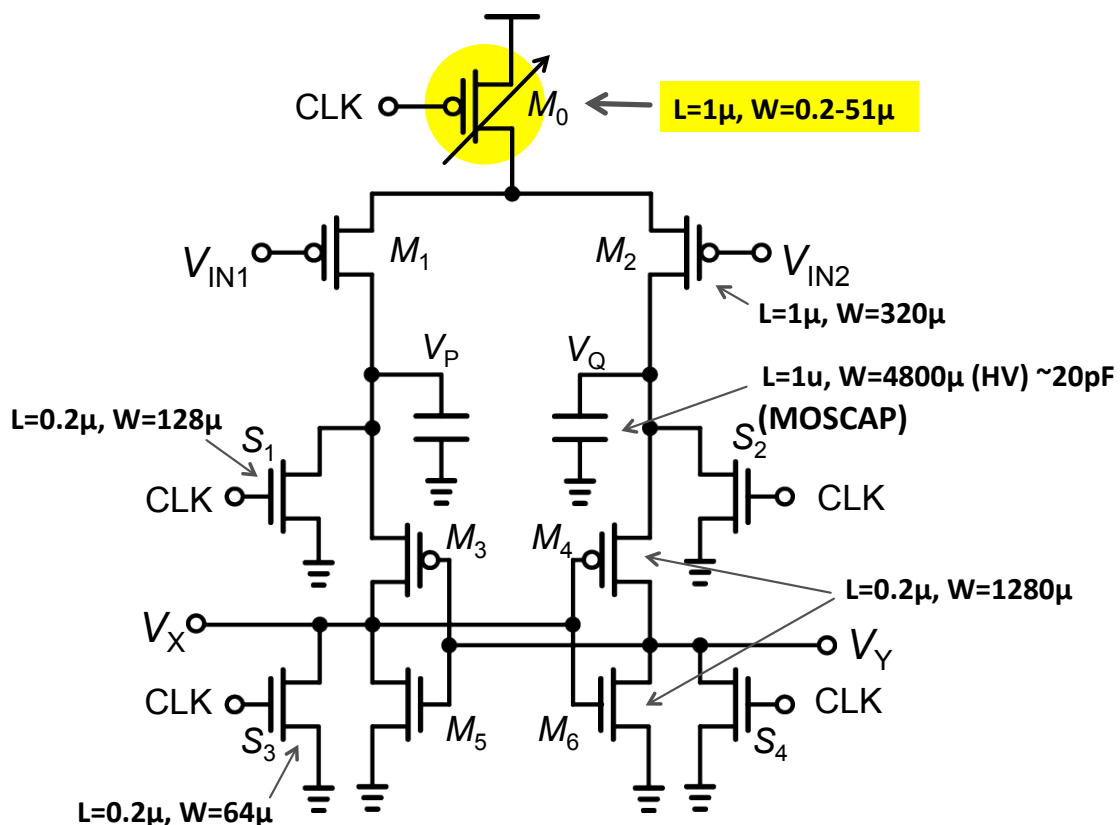


図 6.13 Strong Arm Latch の電流を変化させたシミュレーションに用いた回路



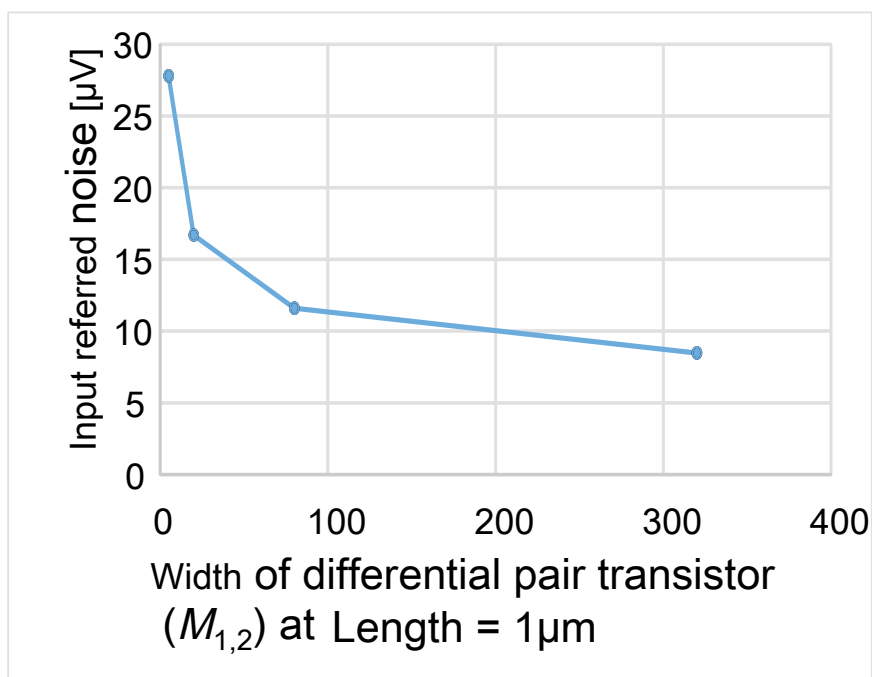


図 6.16 Strong Arm Latch の入力換算雑音の差動対の  $W$  依存性

### 6.2.3 Strong Arm Latch の負荷容量を変化させた場合

図 6.17 にノイズシミュレーションに用いた回路図を示す。入力換算雑音のシミュレーション結果を図 6.18 に示す。理論と同様差動対の負荷容量  $C_{P,Q}$  の値が減少した場合、入力換算雑音電圧が増加する。

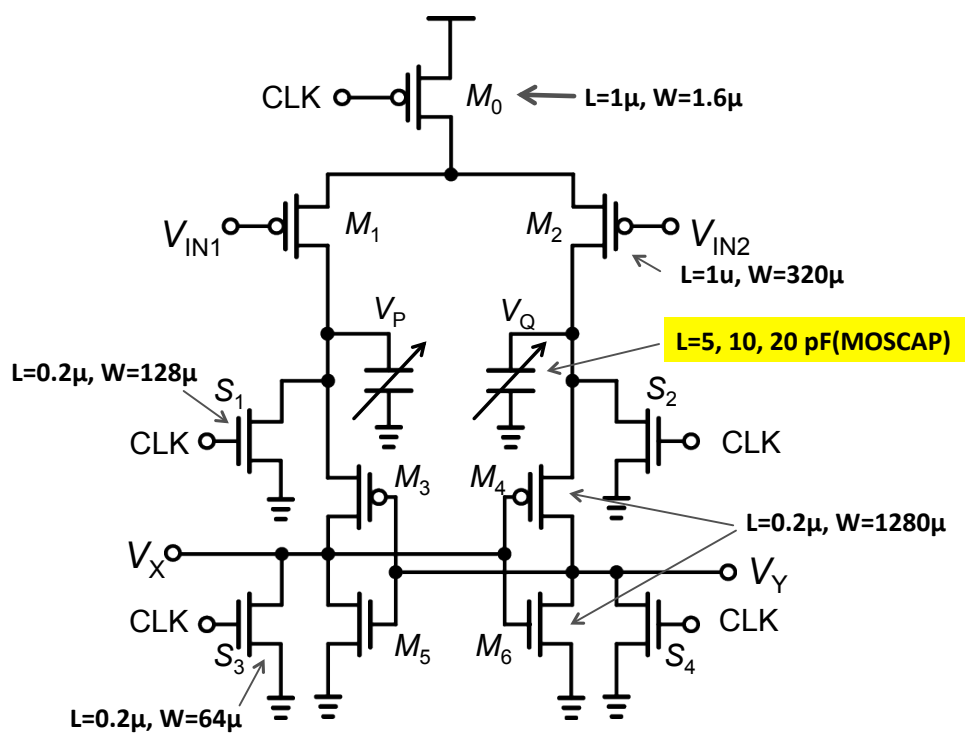


図 6.17 Strong Arm Latch の差動対の負荷容量を変化させたシミュレーションに用いた回路

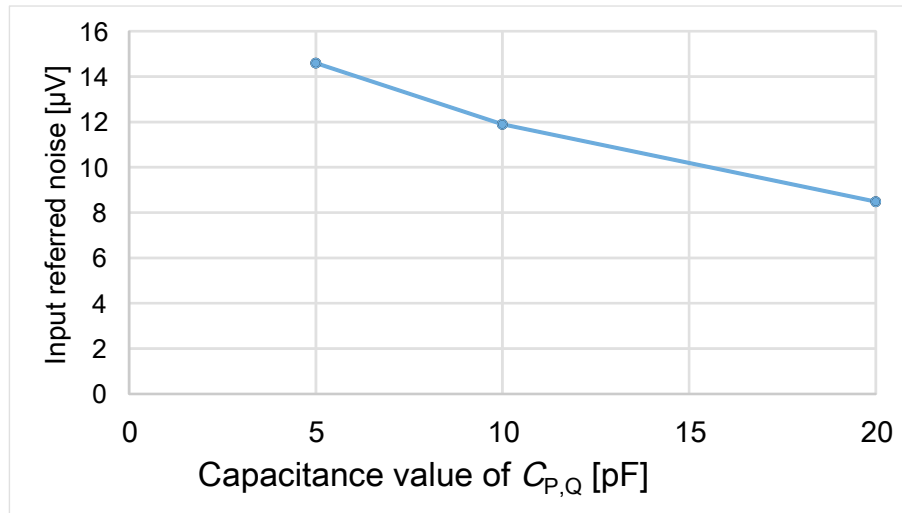


図 6.18 Strong Arm Latch の入力換算雑音の差動対の負荷容量  $C_{P,Q}$  依存性

このように、差動対の負荷容量  $C_{P,Q}$  の SN 比の向上はエラーレート低減に繋がる。

## 6.3 ラッチの負荷容量 $C_{X,Y}$ と $W$ を変化させたノイズシミュレーション

4 章にて、ラッチの入力換算雑音を低減するためには、ラッチの負荷容量の増加が必要だと示された。ラッチは、差動対と縦積みされており、差動対は電流を制限したほうが、入力換算雑音が低減されることが分かっている。このため、実質的にラッチも電流が制限されている。そこで、ラッチの電流を絞ることによる悪影響の有無の確認と理論の結論である、ラッチの負荷容量を増やした方がいいことが正しいかの 2 点を確認するため、ラッチの  $W$  と負荷容量を 2 次元で変化させ、入力換算雑音を求めた。シミュレーションに用いた回路図を図 6.19 に示す。

理論では、リセット時にもノイズが混入するとの結論だったため、リセットの MOSFET もノイズ対象に含めて、ノイズシミュレーションした。

ノイズシミュレーションの周波数は差動対の入力は 1MHz~1GHz としている。入力同相電圧は 0V、入力電位差は、3μ, 5μ, 10μ, 20μV に設定し、各電圧にて 1000 回シミュレーションした。なお、差動対に関しては、コーナー周波数に注意し、すべてのシミュレーションで熱雑音が支配的な領域を使用している。シミュレーションの温度設定は、すべてデフォルト値である摂氏 27 度で統一している。

比較時間が仕様の 1μS 以内に従うよう、適宜電流を増やしている。シミュレーション条件と入力換算雑音電圧の結果を表 6.1 に示す。また、シミュレーション結果を等高線グラフにしたものを図 6.20 に示す。その結果ラッチの  $W$  と負荷容量  $C_{X,Y}$  を増加させると、共に入力換算雑音が減少することが分かった。ラッチの  $W$  を増やした場合は、寄生容量が増加したと考えられる。結果的には、容量が大きいほど入力換算雑音電圧が低減する結果となった。

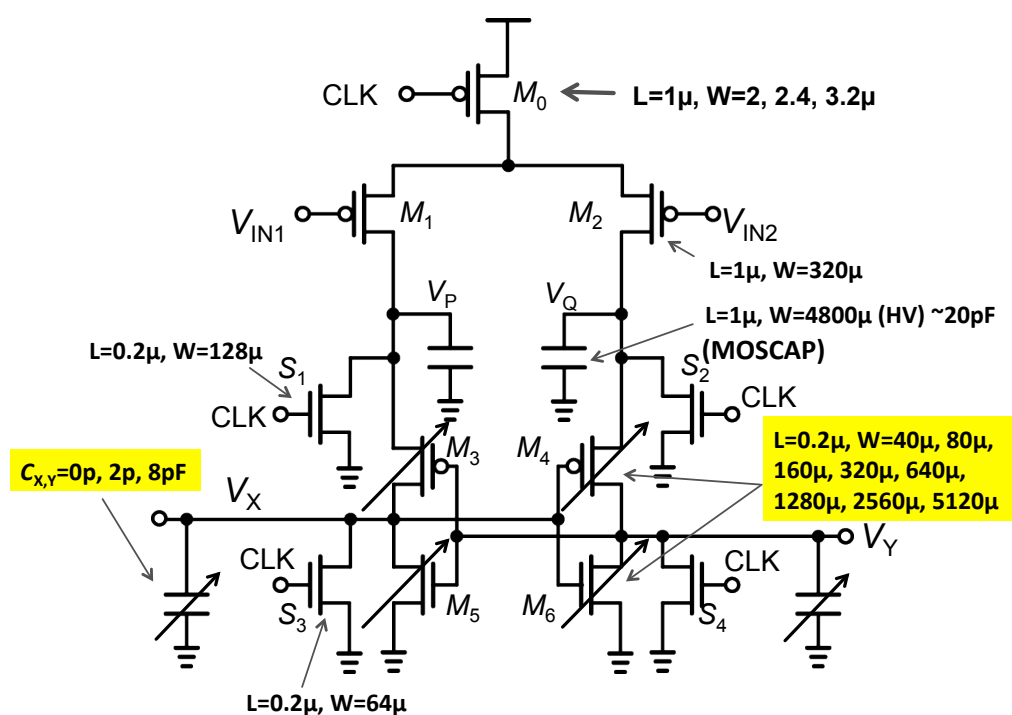


図 6.19 Strong Arm Latch の入力換算雑音電圧におけるラッチ部の W と負荷容量  $C_{X,Y}$  依存性のシミュレーションに使用した回路図

表 6.1 Strong Arm Latch の入力換算雑音電圧におけるラッチ部の W と負荷容量  $C_{X,Y}$  依存性

Latch の W[ $\mu\text{m}$ ](L=0.2 $\mu\text{m}$ )	M0 の W/L [ $\mu\text{m}/\mu\text{m}$ ]	ラッチの負荷容量[pF]		
		0	2	8
40	2/1	24.7	12.9	11.4
80	2/1	20.6	12.2	10.6
160	2/1	17.9	12.5	10.2
320	2/1	13.2	10.4	9.54
640	2/1	11.0	10.4	9.1
1280	2/1	10.6	10.7	9.92
2560	2.4/1	10.2	10.0	9.08
5120	3.2/1	8.72	8.50	8.22



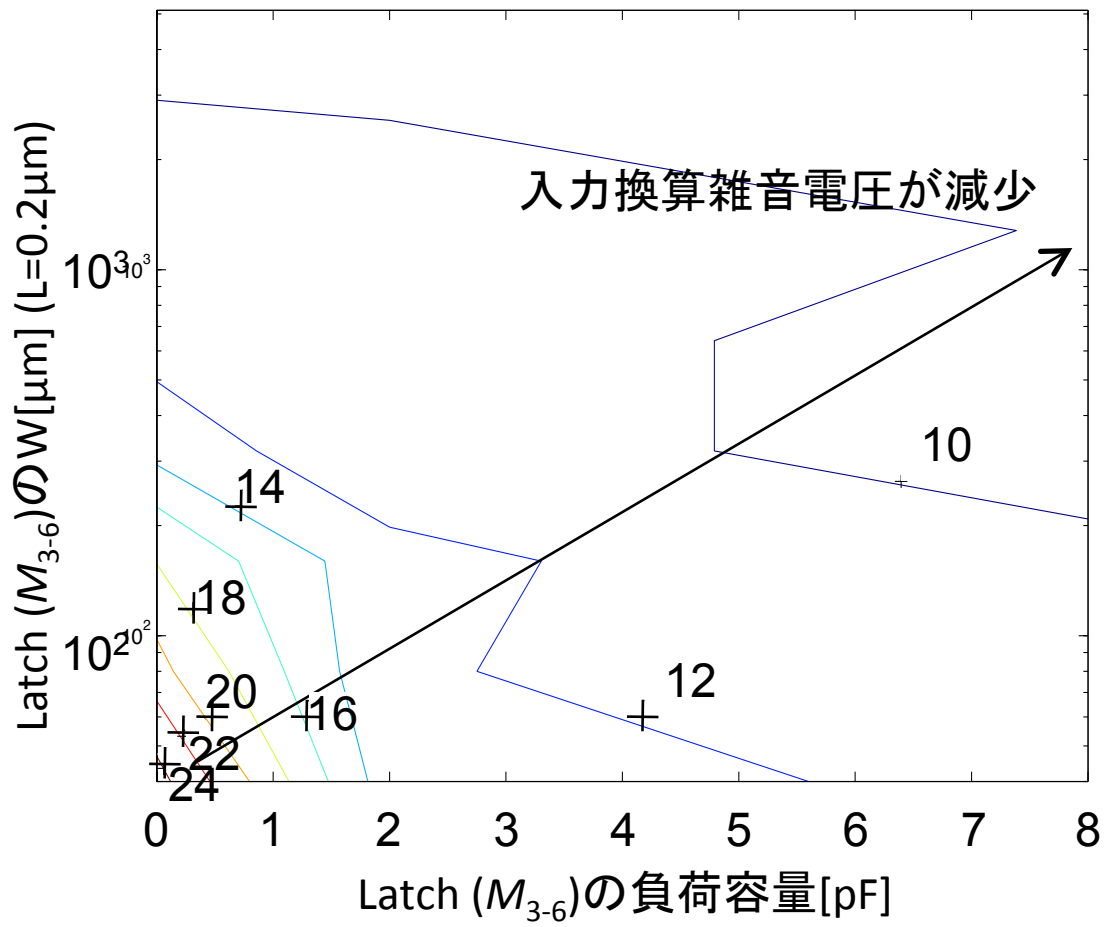


図 6.20 Strong Arm Latch の入力換算雑音電圧におけるラッチ部の W と負荷容量  $C_{X,Y}$  依存性

## 6.4 試作したコンパレータのノイズシミュレーション

入力換算雑音を低減する理論とシミュレーションは4章と6章で述べた。これより、

- 電流制限トランジスタ( $M_0$ )の  $W/L$  を小さくする
- 差動対( $M_{1,2}$ )の  $W/L$  を大きくする
- 差動対の負荷容量  $C_P, C_Q$  を大きくする
- ラッチの負荷容量を大きくする

が条件だと分かった。

これらから、面積、電力等を総合的に判断した結果、図 6.21 の回路定数で試作することとなった。最優先すべき仕様は、入力換算雑音電圧が  $10\mu\text{V}$  以下であることと、 $1\mu\text{S}$  以内に比較判断を終えることである。コンパレータには Strong Arm Latch と Double-tail 型コンパレータがあるが、Double-tail 型の特徴である、高速、入力同相範囲が広いという特徴は仕様で要求されていないため、電力を考慮し、電流を再利用する縦積みの Strong Arm Latch を採用した。面積効率の観点から、容量は MOSCAP の High Voltage 用を使用することで、微細プロセスのゲートリークの問題を回避した。プロセスは無線受信器全体をデジタルで制御することを考慮して、65nm プロセスを使用した。

試作したコンパレータの入力換算雑音は NMOS, PMOS 共に Typical(tt)である場合、入力換算雑音電圧  $8.48\mu\text{V}$  と  $10\mu\text{V}$  以下を達成した。また、ss, ff 共に、仕様の  $10\mu\text{V}$  以下を達成している。図 6.22 に入力換算雑音電圧のフィッティングを示す。また、Typical 条件におけるコンパレータの各部分の入力換算雑音電圧における割合を図 6.23 に示す。

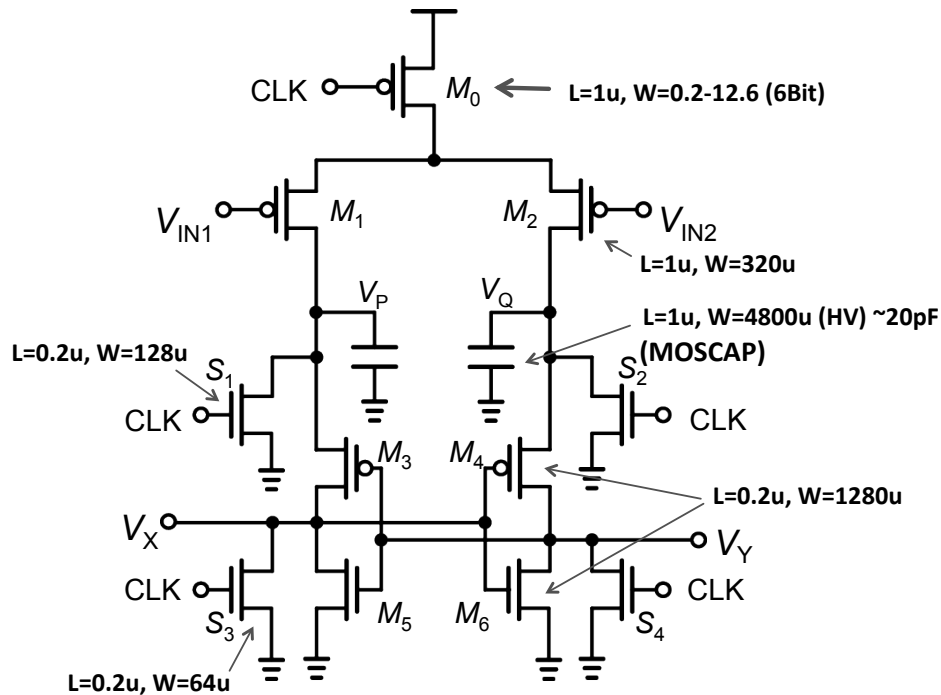


図 6.21 試作したコンパレータの回路図

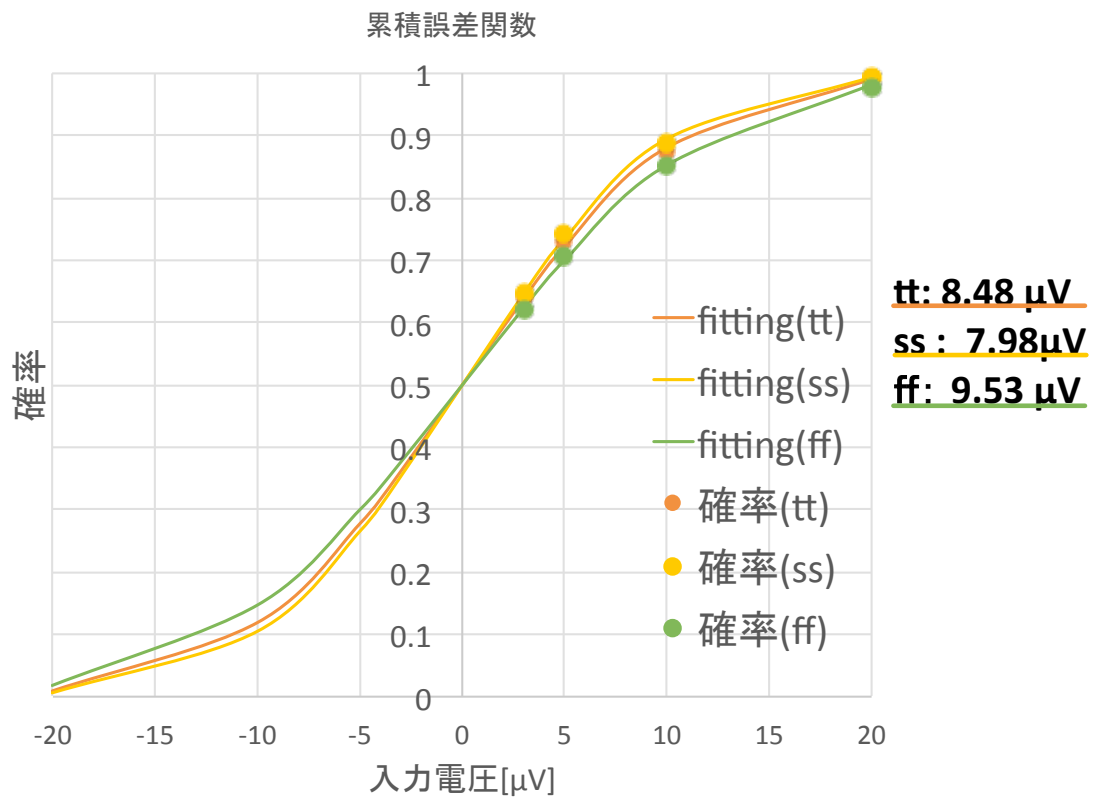


図 6.22 入力換算雑音の推定

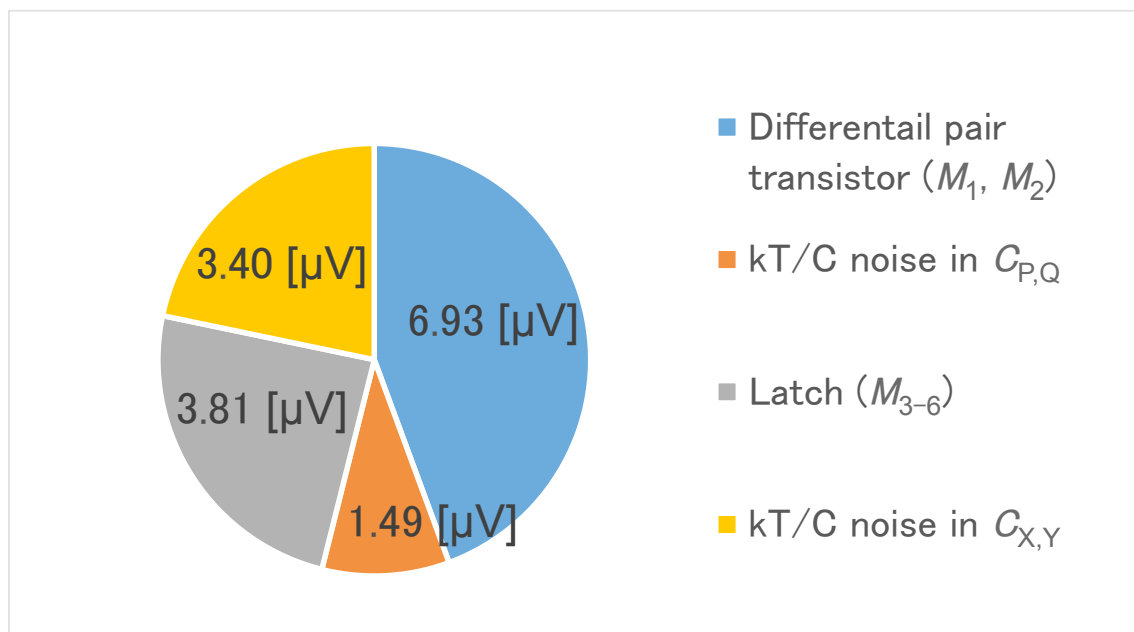


図 6.23 Typical 条件におけるコンパレータの各部位の入力換算雑音電圧の割合

## 第7章 コンパレータのチップ試作

### 7.1 はじめに

第2章では、無線受信器の性能にスケーラブルな性能を取り入れるために、アンプを取り除き、高精度なコンパレータで置き換える回路構成を提案した。これは同時に、これまでアンプが負担していたことで、後段のコンパレータでは緩和されていた仕様が厳しくなることを意味する。具体的に厳しくなる仕様とは、

- オフセット
- 入力換算雑音

の2点である。

オフセットに関して言えば、第3章で紹介したように、アンプのオフセットは、アンプの接続を変えることにより、自身のオフセット電圧を保持し、アンプとして動作する際に、キャンセルすることが可能であった。さらに、オフセットがキャンセルされた状態で、信号電圧が増幅されてコンパレータに入力されるため、コンパレータの入力オフセットは、アンプの電圧ゲイン分緩和されていた。ところが、アンプが無くなることで、コンパレータはこれらアンプの恩恵を受けることができない。コンパレータのオフセットキャンセル方法として3種類挙げたが、この極限的な仕様では、電荷注入方式が最適であることを5章で述べた。

入力換算雑音についても、シミュレーションより、入力換算雑音電圧が  $10\mu\text{V}$  以下となる結果を得た。そこで、これらを組み合わせて試作することになった。

### 7.2 レイアウト

図7.1にレイアウトしたコンパレータの全体図を示す。試作したコンパレータは、デジタル電源とアナログ電源、CDACの電源を分けており、それぞれでの消費電力が分かるようになっている。

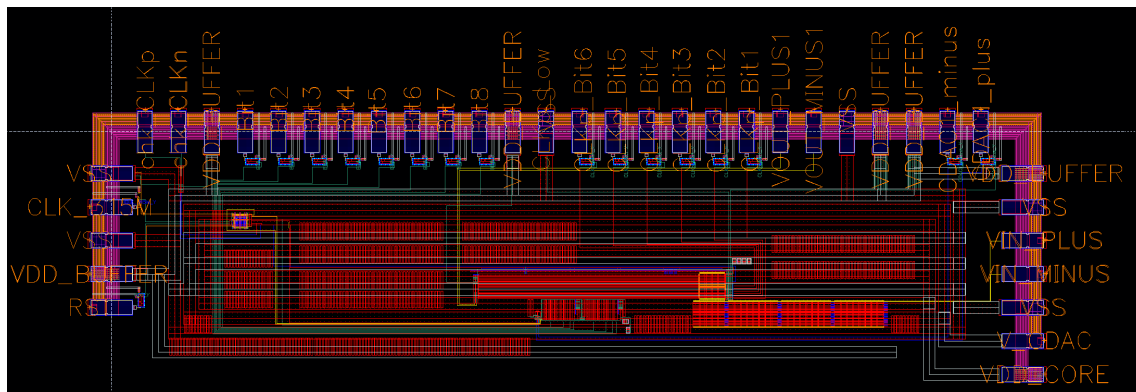


図 7.1 試作したコンパレータの全体レイアウト

図 7.2 にコアレイアウトを示す。コンパレータのみの面積は、 $37800\mu\text{m}^2$ 、CDAC は  $18228\mu\text{m}^2$ 、全体では、 $92820\mu\text{m}^2$  とパッドおよそ 10 枚分の面積となった(パッドの面積を  $10000\mu\text{m}^2$  として算出)。

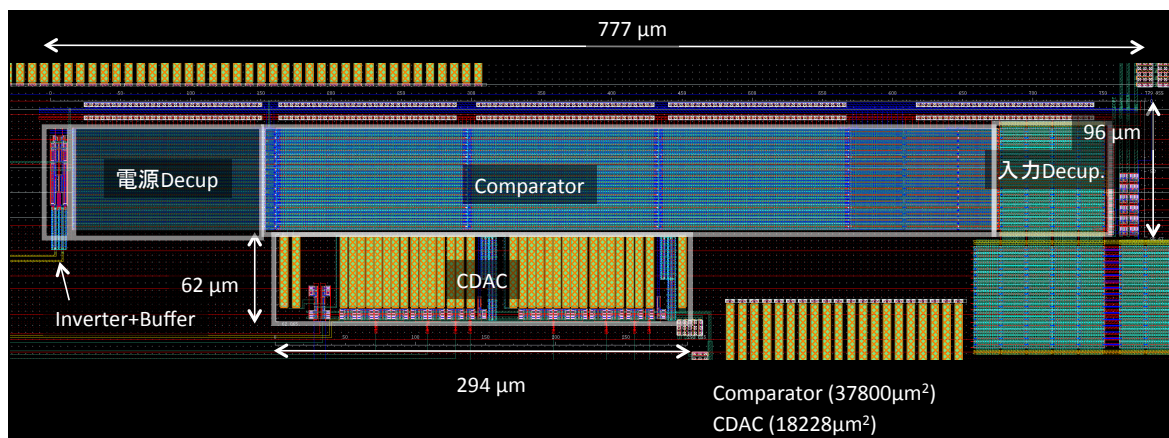


図 7.2 試作したコンパレータのコアレイアウト

チップ写真を図 7.3、ボードの設計図を図 7.4 に示す。ボードの入力部分は差動設計となっており、対 GND 容量では、1p, 1n, 1 $\mu$ F、線間容量は 1p, 1n, 1 $\mu$ , 10 $\mu$ , 100 $\mu$ F を容量がついている。測定パラメータの変更は手動によるスイッチの切り替えでも、LabVIEW を用いた自動測定でも可能な設計となっている。

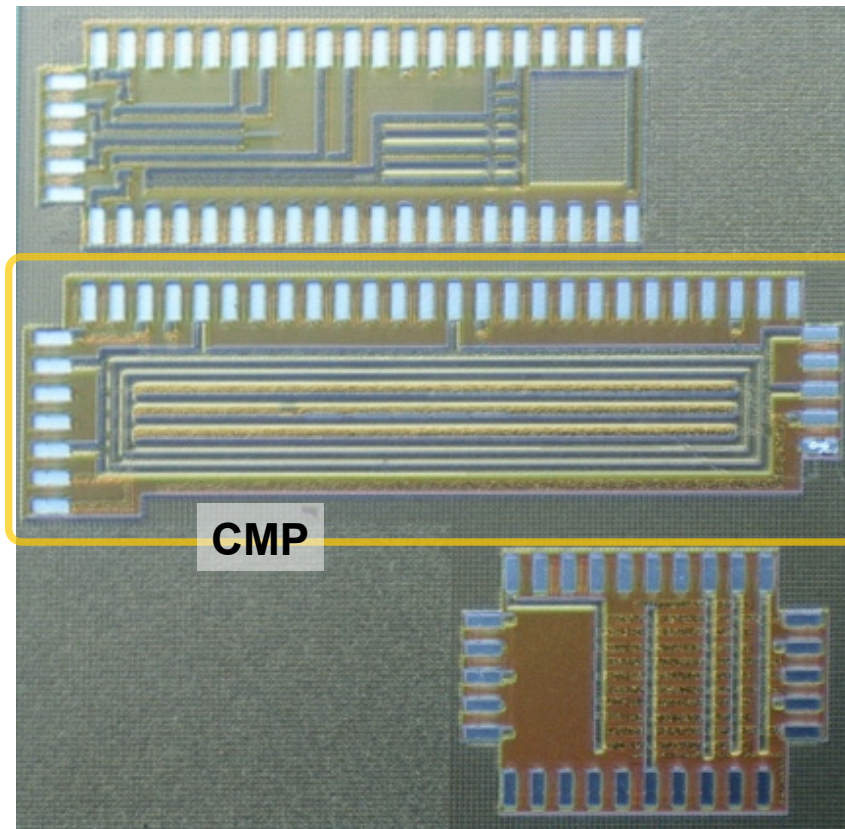


図 7.3 チップ写真



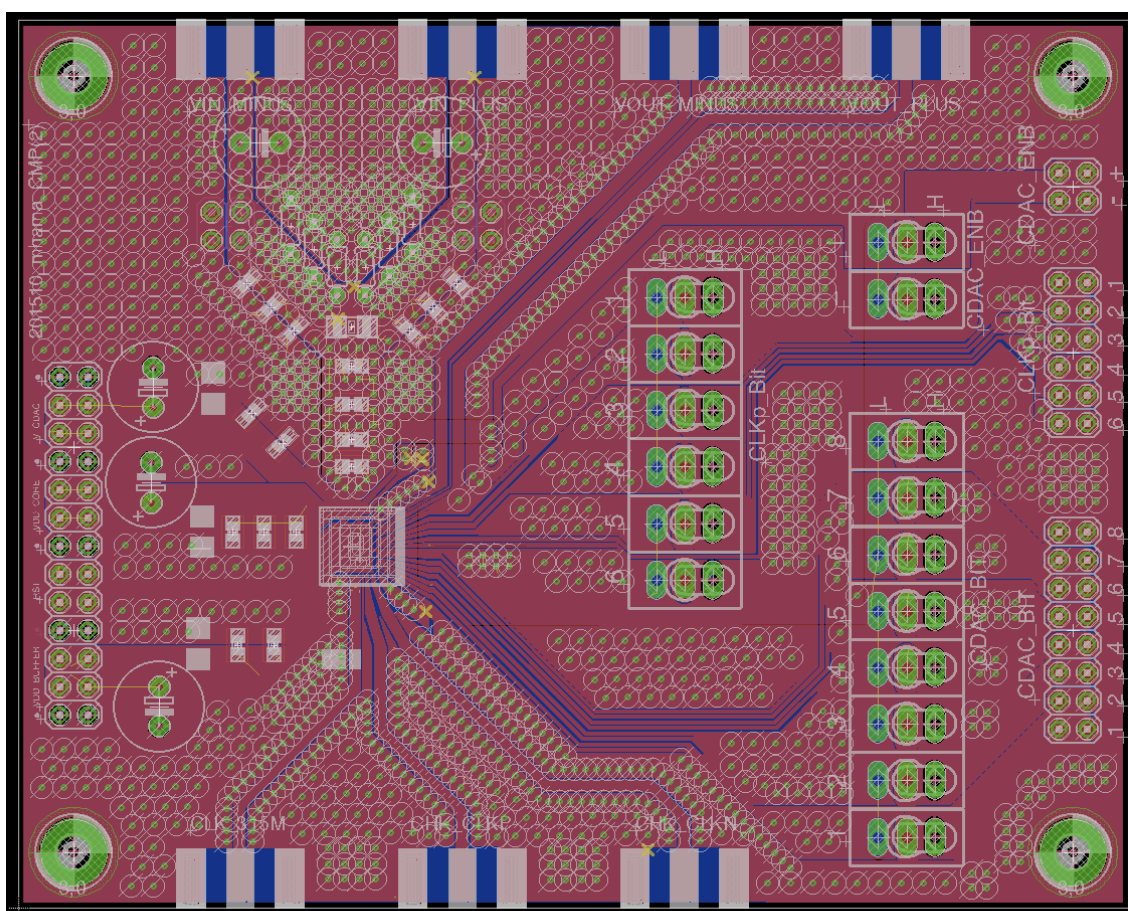


図 7.4 ボード設計図

### 7.3 測定系について

図 7.5 に測定系の構成を示す。最も重要な部分は入力差動電圧の生成であり、半導体パラメータアナライザ(Agilent 4156C)を電流源として使用した。これは、半導体パラメータアナライザの特性上、電圧源として使用する場合の最小レンジは2Vで分解能が2μV、設定確度が100μVだからである。一方、電流は最小レンジで10pAまであり、10Ωの金属皮膜抵抗(ばらつき1%以下、温度係数50ppm/°C)と100μAレンジを使用することで、比較的容易に、測定のメインのレンジである、-1000μV~1000μVを生成可能である。この場合の分解能は、10nAであり、電圧に変換すると、100nVとコンパレータの入力換算雑音として期待される10μVよりも十分小さい。確度は、100μAレンジで10μAを流した場合は47nAであり、これは10μAに対して47ppmであるため、かなりいい精度である。電流源として使用した場合のノイズは、出力端にてレンジの0.2%であるとデータシート[31]には参考までに載っており、Keysightに確認したところ、これは、出力端のすべてのノイズを含むとのことである。データシートの電流源と電圧源に関するデータを抜粋したものを図 7.6に示す。

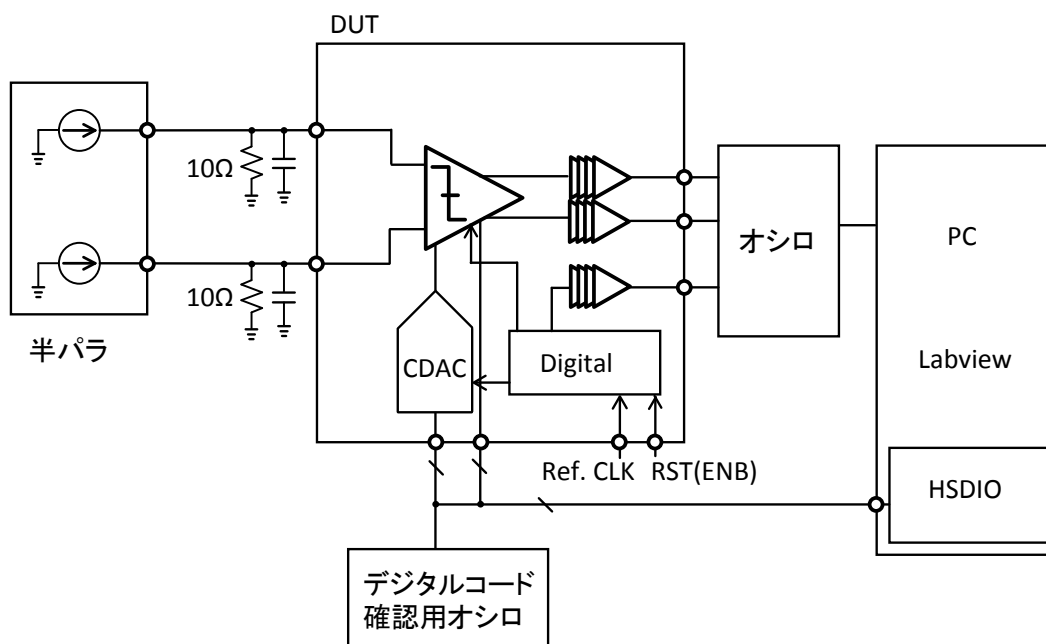


図 7.5 測定系の構成

## HRSMU (High Resolution SMU) Specifications

### Voltage Range, Resolution, and Accuracy (HRSMU)

Voltage Range	Set. Reso.	Set. Accuracy	Meas. Reso.	Meas. Accuracy	Max. Current
±2V	100μV	±(0.02%+400μV)	2μV	±(0.01%+200μV)	100mA
±20V	1mV	±(0.02%+3mV)	20μV	±(0.01%+1mV)	100mA
±40V	2mV	±(0.025%+6mV)	40μV	±(0.015%+2mV)	<sup>1</sup>
±100V	5mV	±(0.03%+15mV)	100μV	±(0.02%+5mV)	<sup>2</sup>

<sup>1</sup> 100mA (Vout ≤ 20V), 50mA (20V < Vout ≤ 40V)

<sup>2</sup> 100mA (Vout ≤ 20V), 50mA (20V < Vout ≤ 40V), 20mA (40V < Vout ≤ 100V)

### Current Range, Resolution, and Accuracy (HRSMU)

Current Range	Set. Reso.	Set. Accuracy	Meas. Reso.	Meas. Accuracy	Max. V
±10pA	10fA	±(4%+400fA) <sup>1,2</sup>	1fA	±(4%+20fA+1fA×Vout/100) <sup>1,2</sup>	100V
±100pA	10fA	±(4%+400fA) <sup>1,2</sup>	1fA	±(4%+40fA+10fA×Vout/100) <sup>1,2</sup>	100V
±1nA	100fA	±(0.5%+0.7pA+1fA×Vout) <sup>2</sup>	10fA	±(0.5%+0.4pA+1fA×Vout) <sup>2</sup>	100V
±10nA	1pA	±(0.5%+4pA+10fA×Vout)	10fA	±(0.5%+2pA+10fA×Vout)	100V
±100nA	10pA	±(0.12%+40pA+100fA×Vout)	100fA	±(0.1%+20pA+100fA×Vout)	100V
±1μA	100pA	±(0.12%+400pA+1pA×Vout)	1pA	±(0.1%+200pA+1pA×Vout)	100V
±10μA	1nA	±(0.07%+4nA+10pA×Vout)	10pA	±(0.05%+2nA+10pA×Vout)	100V
±100μA	10nA	±(0.07%+40nA+100pA×Vout)	100pA	±(0.05%+20nA+100pA×Vout)	100V
±1mA	100nA	±(0.06%+400nA+1nA×Vout)	1nA	±(0.04%+200nA+1nA×Vout)	100V
±10mA	1μA	±(0.06%+4μA+10nA×Vout)	10nA	±(0.04%+2μA+10nA×Vout)	100V
±100mA	10μA	±(0.12%+40μA+100nA×Vout)	100nA	±(0.1%+20μA+100nA×Vout)	<sup>3</sup>

図 7.6 半導体パラメータアナライザ(Agilent 4156C)のデータシート(抜粋)

コンパレータの出力はオシロスコープに繋がっており、オシロスコープはLabVIEWで制御されている。LabVIEWは他にもデジタルコードを変更してコンパレータの電流はCDACのコードなどを制御しており、測定は自動化されている。

測定系の写真を図7.7に示す。このうち、DUTは測定条件を一定にするため、小型環境試験機(ESPEC Su-242)に入れている。内部では、温度を均一に保つために強風となっており、静電シールドと防風を兼ねて金属のケースで覆っている。金属のケースはボードのGNDと明示的に接続されている。このように、測定系は、ノイズを考慮して組み立てた。

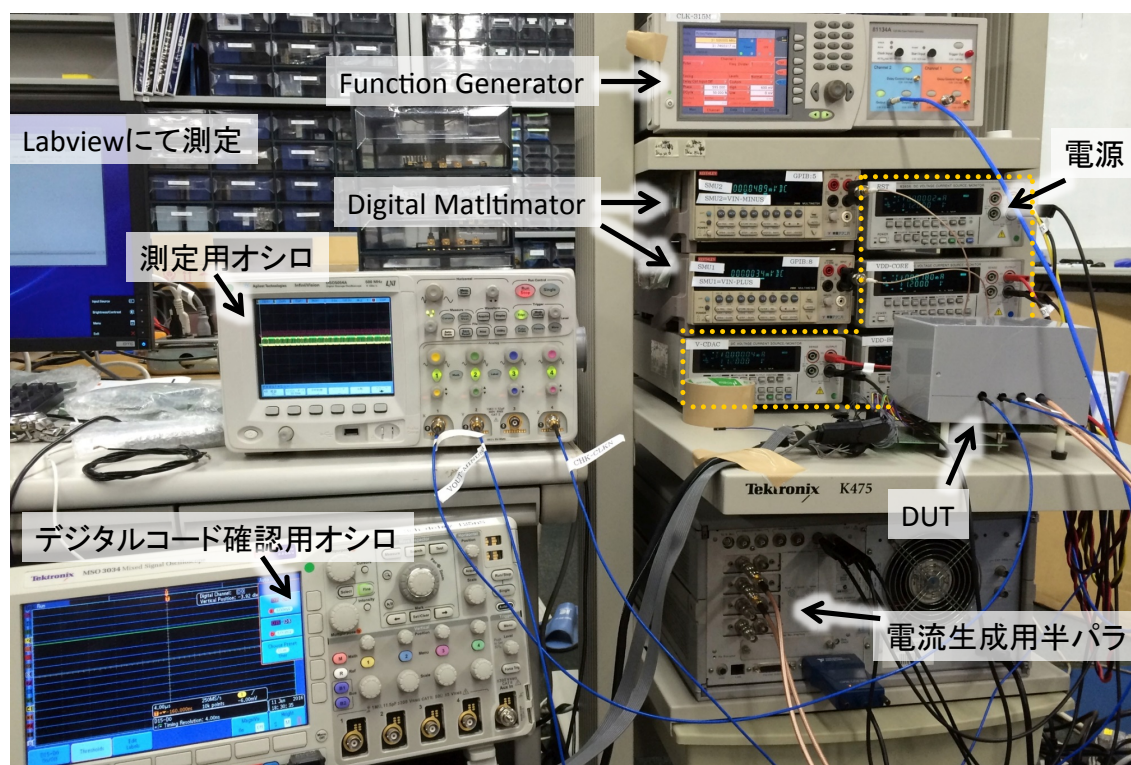


図 7.7 測定系の写真



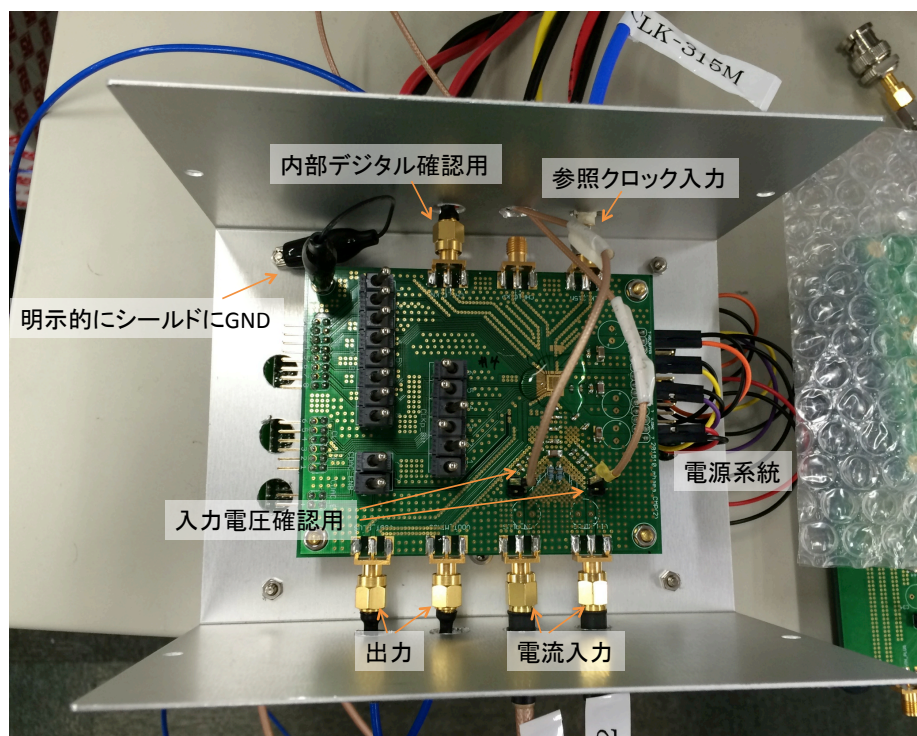


図 7.8 金属ケース内部の様子

## 7.4 測定結果

### 7.4.1 1MHz でコンパレータを動作した場合の問題

コンパレータは 1MHz で動作するよう設計していた。実際の測定では、1MHz では動いていたものの、図 7.9 のように、ヒステリシス特性を持つことが分かった。このことについて、リセットスイッチのサイズが小さい場合に起こると指摘されている[8]。シミュレーション上では、問題なくリセットされていたが、リセットスイッチを理想的な GND に接続していたため、実際のレイアウト設計での、リセットスイッチから、チップの GND までのインピーダンスの考慮が足りず、電荷が残留していたものと思われる。そこで、以降の測定はすべて 100kHz で動作させることで、リセットの時間を確保した。このことについては、8 章で述べる再試作の際に改善されている。以下の測定結果はすべて電源電圧 1.2V で測定しており、アナログ電源とデジタル・バッファ電源は分離されている。ただし、グラウンドは共通となっている。グラウンドの分離は 8 章にて述べる。

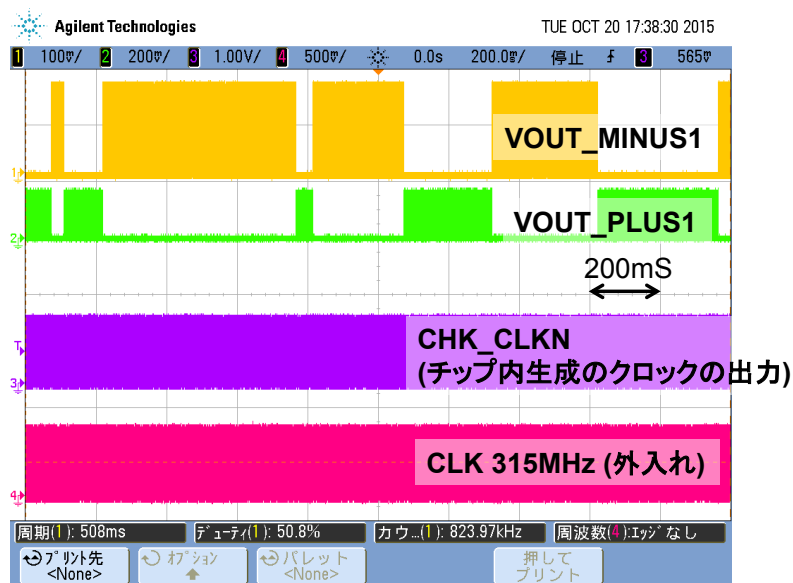


図 7.9 1MHz 動作の際に、ヒステリシスが見られる

## 7.4.2 電荷注入による入力オフセットの変化

電荷注入によるオフセットの変化を図 7.10 に示す。電流コードは 10 ( $M_0$ :W/L=10.6 $\mu$ m/1 $\mu$ m)で、CDAC コードは-255, -96, 0, 96, 255 で変化させた。入力差動電圧は、 $V_{IN\_MINUS}$ : -2000 $\mu$ V~3000 $\mu$ V を 50 $\mu$ V ステップで変化させており、各点 1000 点の出力結果が H になる確率を算出している。  $V_{IN\_PLUS}$  は 0V 電流源で 0A を指定することで、0V を出力している。温調 20 度で測定しており、図から、仕様の最大値である 1500 $\mu$ V は達成していないことが分かる。これは、コンパレータの寄生容量が原因で、容量分圧の比が変化してしまったことが考えられる。また、最小値は、コンパレータの入力換算雑音電圧が予想以上に大きいことから、入力換算雑音電圧のシミュレーションとの乖離の理由の追求を優先し、測定はしていない。

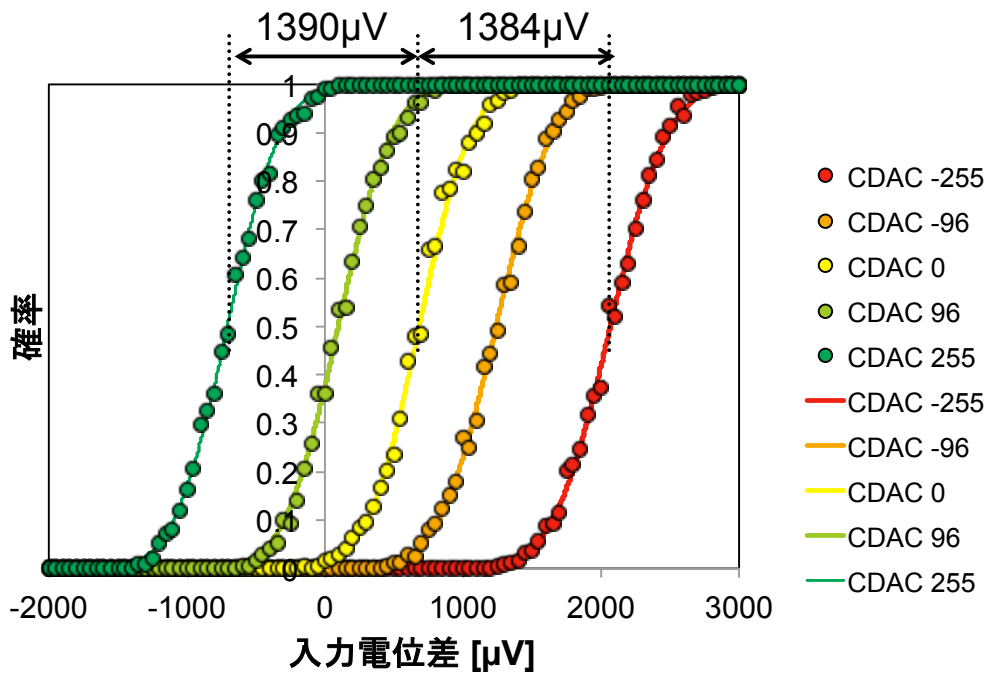


図 7.10 電荷注入によるオフセットの変化

#### 7.4.3 入力換算雑音の測定

入力換算雑音の測定は、 $V_{IN\_MINUS}$ : -1000μV~1000μV を 50μV ステップにて 10 回スイープすることで、各点 10000 点の出力が H になる確率を算出している。 $V_{IN\_PLUS}$  は半導体パラメータアナライザを 0A 出力させることで、0V に保っている。温度を一定に保つため、小型環境試験機(ESPEC Su-242)に入れることで、摂氏温度を 20 度に保っている。電流コードは設計中心の 10( $M_0$ :W/L=2μm/1μm)、CDAC は動作をさせていない。測定結果を図 7.11 に示す。入力換算雑音電圧は 311μV で、オフセットは 666μV となった。シミュレーション上では、入力換算雑音電圧が 8.48μV であったため、30 倍以上の開きがある。測定結果を図 7.11 に示す。

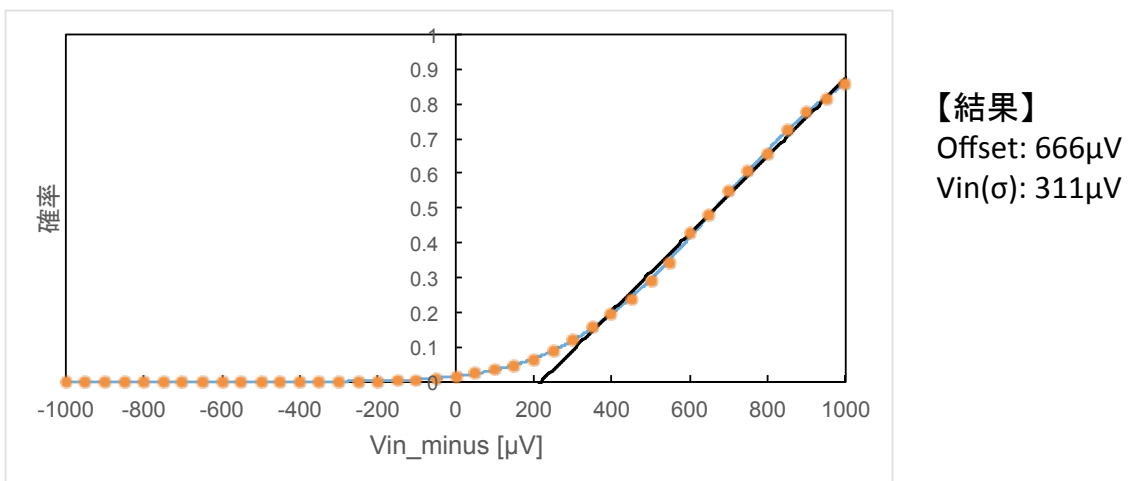


図 7.11 設計中心における測定結果

#### 7.4.4 入力換算雑音の電流依存性におけるシミュレーションと実測の比較

電流を制限すると、入力換算雑音が低減することは、4章の理論と6章のシミュレーションで示した。実測でも同様の傾向であることを図 7.12 に示す。測定は、 $-1000\mu\text{V}\sim 1000\mu\text{V}$  を  $50\mu\text{V}$  ステップにて各点 1000 回、温度は室温にて摂氏 20 度である。シミュレーションと測定では、入力換算雑音に 30 倍以上の開きがあることを示すため、シミュレーション結果を合わせて図 7.12 示す。原因は未だに不明だが、電流を絞ることで、入力換算雑音が大きく変化しているため、コンパレータ自身がノイズ源となっている可能性が考えられる。電流を最も制限した場合  $10(M_0:W/L=0.2\mu\text{m}/1\mu\text{m})$  は 10kHz 動作となるが、入力換算雑音電圧は  $50\mu\text{V}$  となった。

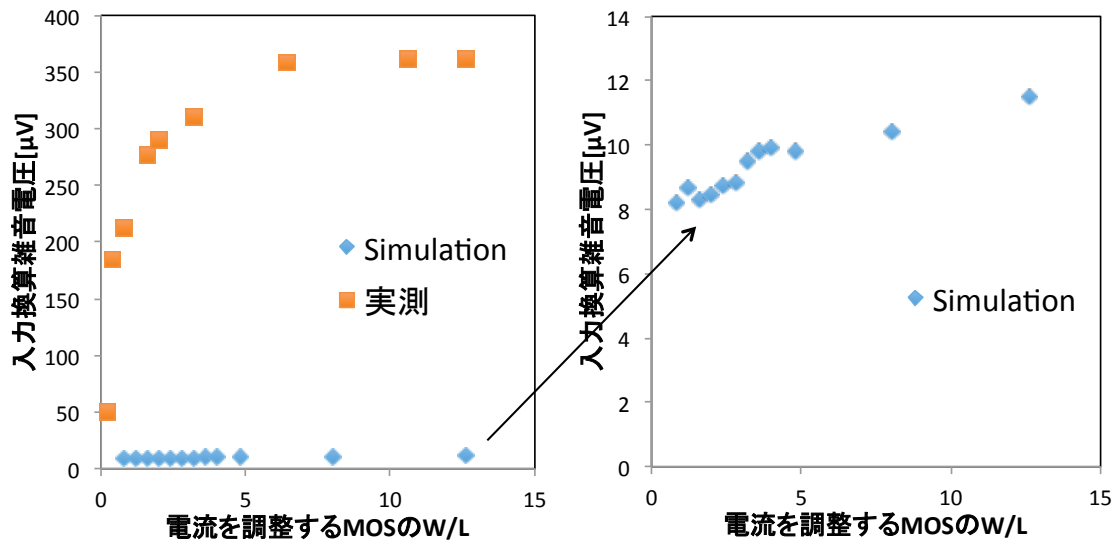


図 7.12 入力換算雑音電圧のシミュレーションと実測の比較

#### 7.4.5 仕様との比較

2章で導かれたコンパレータの仕様とシミュレーション結果、実測結果を比較したものを表 7.1 に示す。オフセットに関しては、CDAC のコード最大値では測定をしていないため、動作を確認したとした。オフセット調整範囲の最小値は、そもそもコンパレータの入力換算雑音がシミュレーションよりも 30 倍以上おおきいため、最小コードを測定する以前に入力換算雑音が大きい理由を探ることが先決であるため、測定していない。

表 7.1 において、シミュレーション上、満たした仕様は、消費電力、入力換算雑音、比較時間であったが、測定で満たした仕様は消費電力のみとなった。測定で、入力換算雑音がシミュレーションよりも 30 倍以上大きくなった理由は考察中であるが、比較時間については、8章で述べる再試作において、リセットスイッチを強化することで修正した。

表 7.1 コンパレータ仕様とシミュレーション結果、測定結果の比較

	目標	201506TO			実測
電圧	1.2 V	1.2V			1.2
プロセス	65nm	65nm			65nm
消費電力	<100μW	63 μW (Comparatorのみ, tt, CLKp_code=10, Vin=10μV)			80μW(※1)
入力換算ノイズ(1σ)	<10 μV	ss	typ.	ff	tt
		7.98 μV CLKp_code=16	8.48 μV CLKp_code=10	9.53 μV CLKp_code=9	311 μV(※2) CLKp_code=10
比較時間	< 1μS	< 1μS (Reconfigurable)			< 1μS
入力同相電圧	0 V	0 V			0V
オフセット調整範囲 (入力換算)	10μV~6mV	17μV~1.56mV			~1.38mV
Comparator 面積	<1Pad (10000μm <sup>2</sup> )	37800μm <sup>2</sup> (<4 Pad)			-

※1: コンパレータが1MHz動作しているときのKeithley電源が示したおおよその値である。

※2: 1MHzでは動作しなかったため、100kHz動作の結果を示している。

#### 7.4.6 論文との性能比較

表 7.2 に他論文との比較を示す。シミュレーション結果としては、論文と比較しても最も小さい値となっているが、測定結果は、史上最高の性能ではない。特に ASSCC'2011 と比較すると、動作周波数、電力、面積ともに及ばない。

表 7.2 他論文との性能比較

	ASSCC'08 [32]	ASSCC'11 [24]	TVLSI'15 [33]	Target	Mesuremnt
Technology	90 nm	90 nm	180 nm	65 nm	65 nm
VDD	1.0 V	1.2 V	1.2 V	1.2 V	1.2 V
Vin(σ)	660μV (simu.)	320μV (meas.)	250μV (simu.)	8.48 μV (simu.)	311 μV (meas.)
Area	3480μm <sup>2</sup>	120 μm <sup>2</sup>	N/A	37800μm <sup>2</sup>	-
Power	40μW/GHz	61μW/GHz	N/A	63μW/MHz	-
Frequency	1GHz	1GHz	300MHz	1MHz	100kHz

## 第8章 今後の展望

### 8.1 前回試作の問題点

前回試作の問題点や不足点として以下の項目があげられる。

- 1MHz 動作するようリセットスイッチの強化が必要。
- パッドから入力容量までをつなぐ配線の抵抗が  $100\Omega$  程度あり、大きい。
- コンパレータの配線のメッシュを更に増やすことで素子間インピーダンスの低減が必要。
- アナログ電源とデジタル電源の GND 分離がされていなかったため、デジタルノイズがアナログ部に混入する可能性があった。

これらの問題に対して、リセットスイッチは、4カ所に増やし、リセットスイッチを駆動する MOS の駆動力も増強することで、対応した。パッドからの配線抵抗を下げるため、パッドからの配線を廃止し、容量メッシュによってコンパレータの入力容量まで接続した。コンパレータの素子間インピーダンスは、仕様可能な配線層すべてでメッシュを施した。さらに、ボディの電圧を安定させるため、回路の複数箇所から直上の電源配線まで接続した。アナログ電源とデジタル電源の GND は分離し、Deep N well で囲うことでデジタルのノイズの混入の可能性は低減した。Deep N well の基板コンタクトの上の配線層にビアを設けて、電源配線のメタルぎりぎりまで囲うことで、コンパレータは静電シールドされている。このレイアウトを図 8.1 に、コア回路を図 8.2 に示す。

前回の試作では、コンパレータと復調部は独立していたが、これらを接続詞、無線受信器としての性能評価が可能になった。合体化されたレイアウトを図 8.3 に示す。



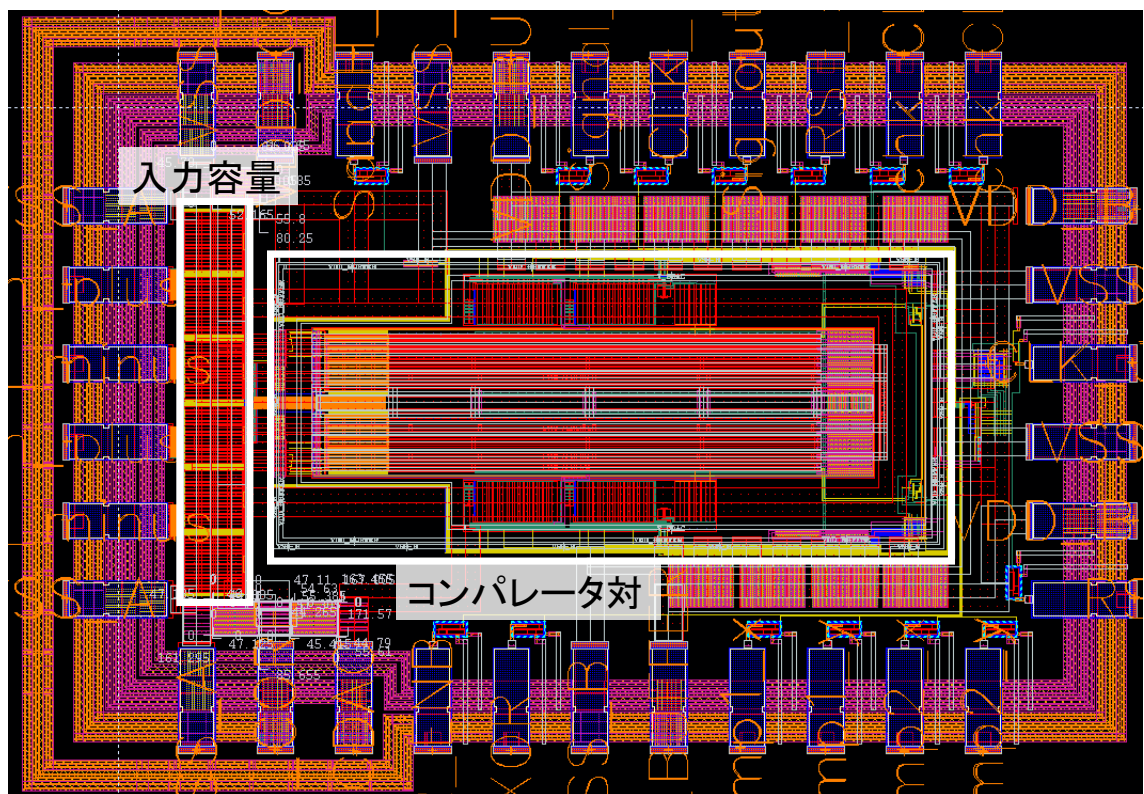


図 8.1 設計したコンパレータ対のレイアウト

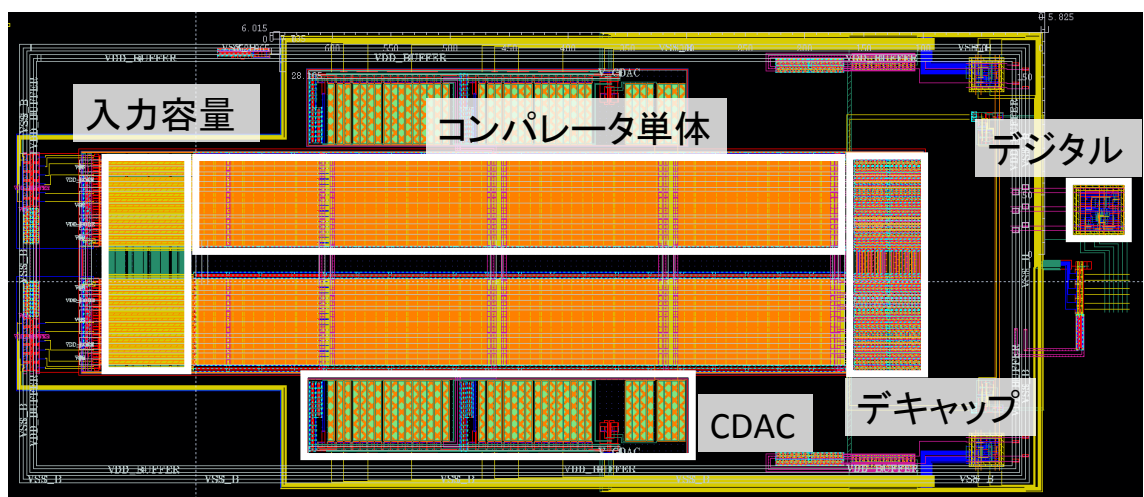


図 8.2 設計したコンパレータ対のコアレイアウト

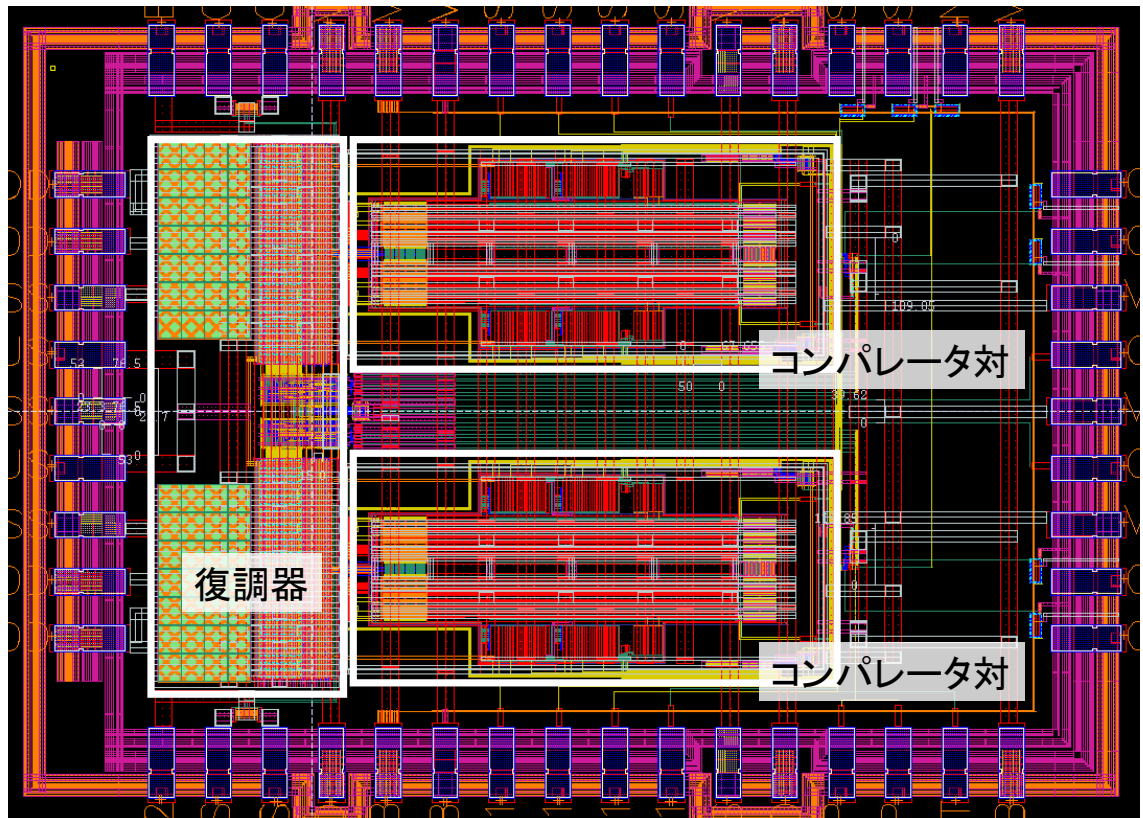


図 8.3 復調器とコンパレータを組み合わせたレイアウト

## 8.2 結論

本研究は、センサーノード向けの無線受信器において、様々な周波数や変調方式に対応可能なよう、リコンフィギュラブルかつ、スケーラブルな特性をもつように、可能な限り、アナログ回路を除き、デジタル回路で制御可能な設計をしている。その結果、従来アンプが担っていた、オフセットの除去や入力換算雑音の低減をコンパレータ自身が請け負うこととなった。オフセットに関しては電荷方式を用いることで、さまざまなスケールでオフセット調整が可能となった。入力換算雑音の低減に関しては、以下の 4 点が重要であることが、理論とシミュレーションにより示された。

- 電流制限トランジスタ(M0)の W/L を小さくする
- 差動対(M1, M2)の W/L を大きくする
- 差動対の負荷容量  $C_P$ ,  $C_Q$  を大きくする
- ラッチの負荷容量をおおきくする

また、オフセットに関しては、電荷補償が最も自由度が大きいことを示し、高精度コンパレータに求められる容量 DAC の条件を考察した結果、2 回方式を用いることがかのであることを、理論、シミュレーションでしめた。また、レイアウトにおいて、2 回方式は、



スプリットキャパシタ方式を比較した結果、面積が 43%削減された。

測定において、電流を制限することで、入力換算雑音電圧が低減することが確認された。シミュレーションにおける入力換算雑音は  $8.48\mu\text{V}$  であったが、測定では 30 倍以上の  $311\mu\text{V}$  となった。この原因としてはデジタルノイズが理由であると考えられる。

コンパレータは 1MHz 動作時には、ヒステリシスが生じ、リセットスイッチが原因であると文献で述べられていたため、再試作では、リセットスイッチを強化した。測定では、オフセット調整範囲を越える場合があったため、再試作では、オフセット調整範囲を拡大した。再試作では、復調ブロックと組み合わせることで、無線受信器としての性能を評価する予定である。

## 参考文献

- [1] “インフラ長寿命化基本計画,” 2013. [Online]. Available: [http://www.cas.go.jp/jp/seisaku/infra\\_roukyuuka/pdf/houbun.pdf](http://www.cas.go.jp/jp/seisaku/infra_roukyuuka/pdf/houbun.pdf).
- [2] J. Borremans, G. Mandal, V. Giannini, T. Sano, M. Ingels, B. Verbruggen, and J. Craninckx, “A 40nm CMOS highly linear 0.4-to-6GHz receiver resilient to 0dBm out-of-band blockers,” *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 42, no. 12, pp. 62–63, 2011.
- [3] Y. H. Liu, X. Huang, M. Vidojkovic, K. Imamura, P. Harpe, G. Dolmans, and H. De Groot, “A 2.7nJ/b multi-standard 2.3/2.4GHz polar transmitter for wireless sensor networks,” *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, vol. 55, pp. 448–449, 2012.
- [4] A. Saito, K. Honda, Y. Zheng, S. Iguchi, K. Watanabe, T. Sakurai, and M. Takamiya, “An All 0.5V, 1Mbps, 315MHz OOK Transceiver with 38- $\mu$ W Career-Frequency-Free Intermittent Sampling Receiver and 52- $\mu$ W Class-F Transmitter in 40-nm CMOS,” pp. 460–461, 2012.
- [5] R. B. Staszewski, K. Muhammad, D. Leipold, C. M. Hung, Y. C. Ho, J. L. Wallberg, C. Fernando, K. Maggio, R. Staszewski, T. Jung, J. Koh, S. John, I. Y. Deng, V. Sarda, O. Moreira-Tamayo, V. Mayega, R. Katz, O. Friedman, O. E. Eliezer, E. De-Obaldia, and P. T. Balsara, “All-digital TX frequency synthesizer and discrete-time receiver for Bluetooth radio in 130-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2278–2291, 2004.
- [6] M. C. M. Soer, E. A. M. Klumperink, Z. Ru, F. E. Van Vliet, and B. Nauta, “A 0.2-to-2.0GHz 65nm CMOS receiver without LNA achieving >11dBm IIP3 and <6.5 dB NF,” *Dig. Tech. Pap. - IEEE Int. Solid-State Circuits Conf.*, pp. 222–224, 2009.
- [7] B. Razavi, “CIRCUITS,” *IEEE SSCS*, vol. Spring, pp. 12–17, 2015.
- [8] H. Z. Bernhard Goll, *Comparators in Nanometer CMOS Technology*, Springer S. Springer, 2015.
- [9] 谷口研二著, *LSI設計者のためのCMOSアナログ回路入門*, 半導体シリーズ. CQ出版社.
- [10] T. Kobayashi, K. Nogami, T. Shirotori, and Y. Fujimoto, “A Current-mode latch Sense Amplifier and a Static power-Saving Input Buffer for Low-power Architecture,” *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 523–527, 1993.
- [11] D. Schinkel, E. Mensink, E. Klumperink, and E. Van Tuijl, “A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time,” *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Pap.*, pp. 314–316, 2007.
- [12] B. Goll, H. Zimmermann, and S. Member, “A Comparator With Reduced Delay Time in 65-nm CMOS for Supply Voltages Down to 0.65 V,” vol. 56, no. 11, pp. 810–814, 2009.
- [13] D. Comparator, “Analysis and Design of a Low-Voltage Low-Power,” vol. 22, no. 2, pp. 343–352, 2014.
- [14] S. U. Ay, “A sub-1 Volt 10-bit supply boosted SAR ADC design in standard CMOS,” *Analog Integr. Circuits Signal Process.*, vol. 66, no. 2, pp. 213–221, 2011.

- [15] B. Razavi, "CIRCUITS," *IEEE SSCS*, vol. Fall, pp. 9–12, 2014.
- [16] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Edition 20. 2001.
- [17] B. Razavi, "CIRCUITS," vol. Summer, pp. 12–15, 2015.
- [18] Y. Ikeda and A. Matsuzawa, "Design of Very High Speed 6-bit Flash ADC using 90nm CMOS Technology," 2005, p. p.3.
- [19] P. Nuzzo, F. De Bernardinis, P. Terreni, and G. Van der Plas, "Noise Analysis of Regenerative Comparators for Reconfigurable ADC Architectures," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 55, no. 6, pp. 1441–1454, Jul. 2008.
- [20] P. M. Figueiredo, "Comparator Metastability in the Presence of Noise," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 60, no. 5, pp. 1286–1299, 2013.
- [21] S. B. Mashhadi, S. H. Nasrollaholosseini, H. Sepehrian, and R. Lotfi, "An offset cancellation technique for comparators using body-voltage trimming," *2011 IEEE 9th Int. New Circuits Syst. Conf.*, pp. 273–276, Jun. 2011.
- [22] Y. Xu, L. Belostotski, and J. W. Haslett, "Offset-corrected 5GHz CMOS dynamic comparator using bulk voltage trimming: Design and analysis," *2011 IEEE 9th Int. New Circuits Syst. Conf.*, pp. 277–280, Jun. 2011.
- [23] M. Meysam and S. Khosrov, D, "A 0.5V 200MHz Offset Trimmable Latch Comparator in Standard 0.18um CMOS Process," *Electr. Eng. (ICEE), 2013 21st Iran. Conf.*, pp. 1–4, 2013.
- [24] C. Chan, Y. Zhu, U. Chio, S. Sin, R. P. Martins, and A. C. Implemetation, "A Reconfigurable Low-Noise Dynamic Comparator with Offset Calibration in 90nm CMOS," pp. 4–7, 2011.
- [25] L. Sun and K.-P. Pun, "Low-offset comparator using capacitive self-calibration," *2012 Int. SoC Des. Conf.*, pp. 412–414, Nov. 2012.
- [26] T. Asazawa, "A Study of comparator offset calibration using body biasing technique," vol. 2, no. 3, p. 4.
- [27] R. P. Martins, "A voltage-controlled capacitance offset calibration technique for high resolution dynamic comparator," *2009 Int. SoC Des. Conf.*, pp. 392–395, 2009.
- [28] G. Van Der Plas, S. Decoutere, and Stephane Donnay, "A 0.16 pJ/conversion-step 2.5 mW 1.25 GS/s 4b ADC in a 90nm digital CMOS process," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Pap.*, vol. 28, no. 4, pp. 1591–1599, 2006.
- [29] D. G. Chen and A. Bermak, "A Low-power Dynamic Comparator with Digital Calibration for Reduced Offset Mismatch."
- [30] W. Guo and S. Mirabbasi, "A low-power 10-bit 50-MS/s SAR ADC using a parasitic-compensated split-capacitor DAC," *ISCAS 2012 - 2012 IEEE Int. Symp. Circuits Syst.*, pp. 1275–1278, 2012.
- [31] "Agilent 4156C Semiconductor Parameter Analyze." [Online]. Available: [http://www3.nd.edu/~nano/facilities/at\\_ds\\_Agilent4155C\\_SemiconductorParameterAnalyzer.pdf](http://www3.nd.edu/~nano/facilities/at_ds_Agilent4155C_SemiconductorParameterAnalyzer.pdf).

- [32] H. Adcs, M. Miyahara, Y. Asada, D. Paik, A. Matsuzawa, and A. S. Technique, “A Low-Noise Self-Calibrating Dynamic Comparator for,” pp. 0–3, 2008.
- [33] B. G. Lee, “Power and Bandwidth Scalable 10-b 30-MS/s SAR ADC,” *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 23, no. 6, pp. 1103–1110, 2014.

## 本研究に関する発表

- [1]. 濱松昌宗 井口俊太 高宮真 桜井貴康, “同期型コンパレータのエラーレート低減に向けた一考察,” 電子情報通信学会総合大会, C-12-36, 草津, 2015 年 3 月.

## 謝辞

本研究を進めるにあたって、様々な方からのご協力をいただきましたので感謝申し上げます。

桜井貴康教授には研究に関して様々な助言を頂き、非常に有益な議論をさせていただきました。また、研究者、技術者としての心構えや将来のエレクトロニクスのビジョンなどをご教授いただきました。心より御礼申し上げます。

高宮真准教授には研究について数々の熱心な議論をさせていただくとともに、学会論文や口頭発表に関して数多くのご指導を頂きました。深く感謝致します。

更田裕司助教には研究のみならず様々なことの助言、フォローをして下さって、心より御礼申し上げます。

マーフズ助教には研究室のシステム管理等多くのサポートや研究の相談をしていただきました。心より感謝しております。

博士課程の井口俊太氏、染谷晃基氏、李承俊には測定機器や CAD ツールの使い方など大変親身に教えていただきました。チェンシアンウ氏には測定のデバッグを付き合ってくださいました。心より御礼申し上げます。

同期の羅丹には研究の相談など、様々なことで相談していただきましたので、心より御礼申し上げます。

研究室での二年間を過ごすにあたって、数多くのご協力をしていただいた桜井研究室及び高宮研究室の全ての皆様に感謝致します。

本研究におけるチップ試作は東京大学大規模集積システム設計教育研究センターを通し、日本ケイデンス株式会社、ローム株式会社、株式会社東芝の協力で行われたものである。

最後に 2 年間の大学院生活を支えてくださった両親に感謝致します。

本研究は、STARC の協力のもとで行われた。テープアウトの際に有用なご議論を頂いた株式会社東芝の吉原様、仁木様、藤本様に感謝致します。