

論文の内容の要旨

論文題目：集積回路設計環境を用いた CMOS-MEMS デバイスのための
統合設計技術とその加速度計応用に関する研究

A Study on Integrated Design Technique for CMOS-MEMS Devices with a Circuit Design Tool and
Its Application to Accelerometer

氏名： 小西 敏文

本論文は「集積回路設計環境を用いた CMOS-MEMS デバイスのための統合設計技術とその加速度計応用に関する研究」と題し、CMOS (Complementary Metal-Oxide Semiconductor) -MEMS (Microelectromechanical Systems、微小電気機械システム) デバイスにおける CMOS LSI (Large Scale Integrated circuits)と MEMS デバイスの同時設計、レイアウト、および検証の全てを集積回路設計環境上で実現する新たな設計手法を提案し、当該技術を用いることで MEMS 技術を用いた加速度計である MEMS 加速度センサデバイスを CMOS 回路上に集積した CMOS-MEMS 加速度センサを実現できることを示したものであり、CMOS-MEMS デバイスの設計およびレイアウト方法、MEMS 加速度センサデバイスの作製方法、応用試作例、評価実験結果、考察、および結論に関して全 8 章を日本語で報告したものである。

第 1 章は「序論」であり、本研究の背景技術について述べている。MEMS の歴史と CMOS-MEMS デバイスの作製方法の概念を述べ、従来の CMOS-MEMS デバイスの設計手法を総括し、従来技術における「簡便性」「有効性」「拡張性」「妥当性」の 4 つの課題を挙げ、これらの課題を解決するための手法である、集積回路設計環境を用いた CMOS LSI と MEMS デバイスの同時設計、レイアウト、および検証を全て網羅した統合設計技術の実現が可能であることを述べつつ、本論文の目的と研究の意義、論文構成について説明している。

第 2 章は本論文で検討した CMOS-MEMS デバイスのための統合設計技術の具体的な構築方法について述べている。SPICE (Simulation Program with Integrated Circuit Emphasis) 準拠の集積回路設計環境上において、ビヘイビア電流源・電圧源およびハードウェア記述言語を用い、方程式定義によって MEMS デバイス特有の非線形現象を表現した等価回路を提案し、LSI と MEMS デバイスを同時解析可能とした。また、MEMS デバイスの等価回路モジュールを PCell (Parameterized Cell) 表現とし、各モジュールとレイアウトパタンとの物理的、電氣的対応を整合させることで、MEMS デバイスのレイアウトパタンの自動生成に対応し、LSI と MEMS デバイスの同時レイアウトおよび検証が実行可能であり、CMOS-MEMS デバイスの設計の簡便性が実現できたことを示している。

第3章は第2章で扱った CMOS-MEMS デバイスのための統合設計技術を実デバイスへ応用するために、MEMS 技術を用いた加速度計である MEMS 加速度センサの高性能化を目的として、金めっきを用いて作製した MEMS 加速度センサの構造、材料、作製方法を提案したのちに、実際にセンサデバイスを作製し、その実測結果について示し、CMOS LSI 上に集積可能な MEMS 加速度センサが実現できたことを述べている。

第4章は第3章で扱った MEMS 加速度センサの解析モデルと等価回路モデルについて、デバイスに印加される加速度のモジュール化を含めた MEMS 加速度センサの等価回路を提案し、集積回路設計環境上におけるマルチフィジクス・シミュレーションを実施し、提案した等価回路の妥当性を検証している。また、第3章で作製した MEMS デバイスの実測結果とシミュレーション結果を比較することで、提案等価回路が妥当であることを証明し、本論文で構築した CMOS-MEMS デバイスのための統合設計技術を実際の MEMS デバイスに適用した際の有効性を明らかにしている。

第5章は、第3章および第4章で扱った MEMS 加速度センサを 3×3 のアレイ配置とし、複数の MEMS 加速度センサの同時解析が可能であることを説明している。また、センサデバイスをアレイ配置した場合の電氣的干渉が無視できるほど小さいことを解析的に証明し、さらに、実際に試作したアレイ型 MEMS 加速度センサの実測値とシミュレーション結果との比較結果を述べるとともに、本論文で検討した CMOS-MEMS デバイスのための統合設計技術の拡張性を明確にしたことを説明している。

第6章は、CMOS-MEMS デバイスのための統合設計技術の応用可能性を示す1つの例として、CMOS-MEMS 加速度センサのためのセンサ回路を提案し、第3章、第4章、および第5章で扱った MEMS 加速度センサの等価回路モデルとのマルチフィジクス・シミュレーションを実施し、センサ回路と MEMS 加速度センサの同時設計について述べている。また、実際に 0.35 μm 設計ルールを用いて試作したセンサ回路上に MEMS 加速度センサを集積した CMOS-MEMS 加速度センサを作製し、シミュレーションと実測結果との比較を行い、本研究にて構築した CMOS-MEMS デバイスのための統合設計技術の妥当性を証明している。

第7章は本論文の「考察」であり、本論文で構築した CMOS-MEMS デバイスの統合設計技術と FEM および既存手法との比較、試作した静電アクチュエータの実測結果と構築した統合設計技術を用いたシミュレーション結果との比較、および、複数の MEMS デバイスをアレイ状に配置した複雑なシステム全体の挙動の同時解析を行い、本技術の有効性・拡張性・優位性・妥当性を明確にしつつ、第1章で挙げた課題の解決が達成されたことを述べている。

第 8 章は本論文の「結論」であり、本論文で示した成果を総括している。