

博士論文（要約）

集積回路設計環境を用いた CMOS-MEMS デバイスのための  
統合設計技術と  
その加速度計応用に関する研究

A Study on Integrated Design Technique for CMOS-MEMS Devices with a  
Circuit Design Tool  
and Its Application to Accelerometer

小西 敏文

東京大学大学院工学研究科電気系工学専攻

2014 年 12 月 12 日

指導教員：  
年吉 洋 教授

## 1. 概要

本博士論文（要約）では、博士論文「集積回路設計環境を用いた CMOS-MEMS デバイスのための統合設計技術とその加速度計応用に関する研究」の要約として、(1) 研究背景、(2) 従来技術の課題、(3) 研究目的、(4) 本論文の構成、(5) 本研究の内容、(6) 考察、(7) 結論について述べる。

## 2. 研究背景

近年、携帯電話や自動車といった我々の生活に密着した様々な機器には、マイクロメートルオーダーの機械部品である MEMS (Microelectromechanical Systems) の作製技術を用いた各種 MEMS デバイスや MEMS センサが使用されている<sup>1-6)</sup>。MEMS デバイスから測定対象の物理現象を電気信号として得るためには、MEMS デバイスと測定用の CMOS(Complementary Metal-Oxide Semiconductor) LSI (Large Scale Integrated-circuits)を組み合わせる必要がある<sup>7-10)</sup>。また、MEMS デバイスの需要は世界的に増加傾向にあり、MEMS デバイスのさらなる小型化・高機能化が要求されている<sup>11)</sup>。本要求を実現するために、CMOS LSI と MEMS デバイスをひとつのチップに集積した、CMOS-MEMS 技術が期待されている<sup>12-14)</sup>。

## 3. 従来技術の課題

CMOS-MEMS デバイスの実現のためには、デバイスの設計段階において MEMS デバイスと LSI との機械的・電気的挙動を踏まえた解析<sup>15)</sup>だけでなく、レイアウト、検証を同時に実施することが必要である。「簡便性」「有効性」「拡張性」「妥当性」の観点から、MEMS デバイスと LSI との同時解析・同時レイアウト・同時検証の全てを単一の集積設計環境上で全て実現する設計技術はこれまで存在しなかった。

## 4. 研究目的

本研究は、図 1 に示すように、集積回路設計環境を用いて、MEMS デバイスと LSI

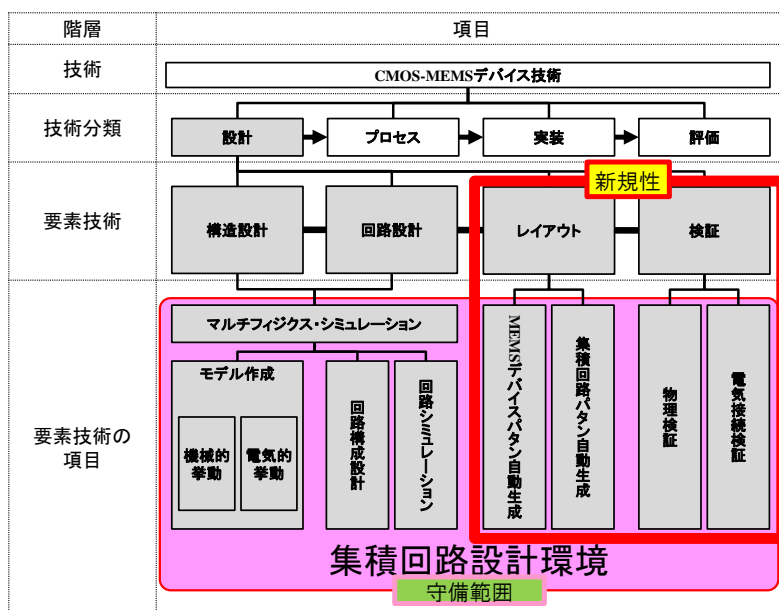


図 1 本論文の守備範囲

との同時解析・同時レイアウト・同時検証を全て実現する CMOS-MEMS デバイスのための統合設計技術を構築すると共に、加速度計の高性能化を目指して本統合設計技術を CMOS-MEMS デバイスへ適用することにより、従来技術が抱えていた「簡便性」「有効性」「拡張性」「妥当性」の4つの課題の解決を証明することが目的である<sup>16-20)</sup>。

## 5. 本論文の構成

本論文の構成を図2に示す。本論文の構成は、第1章では序論、第2章では、集積回路設計環境を用いた CMOS-MEMS デバイスのための統合設計技術の構成方法、第3章では、統合設計技術を応用する実デバイスとして、MEMS 技術を用いた加速度計を例とした金めっきを用いた MEMS 加速度センサの作製方法と実測結果、第4章では、MEMS 加速度センサの解析モデルと等価回路モデルの構成、第5章では、MEMS 加速度センサをアレイ配置した場合に対する統合設計技術の拡張性、第6章では、CMOS-MEMS 加速度センサの同時設計および実測結果、第7章では考察、第8章では結論を述べる。

## 6. 本研究の内容

### 6-1 : CMOS-MEMS デバイスのための統合設計技術

本研究において解析対象となる平行平板型 MEMS 静電アクチュエータの解析モデルと解析式を図3に示す。本図をもとに、SPICE (Simulation Program with Integrated Circuit Emphasis) シミュレーションが可能な集積回路設計環境である LTspice<sup>21)</sup>を用いて、MEMS 静電アクチュエータを4つのモジュールからなる等価回路として表現した。結果を図4に示す。各モジュールはそれぞれ、i)平行平板アクチュエータ、ii)ばね、iii)運

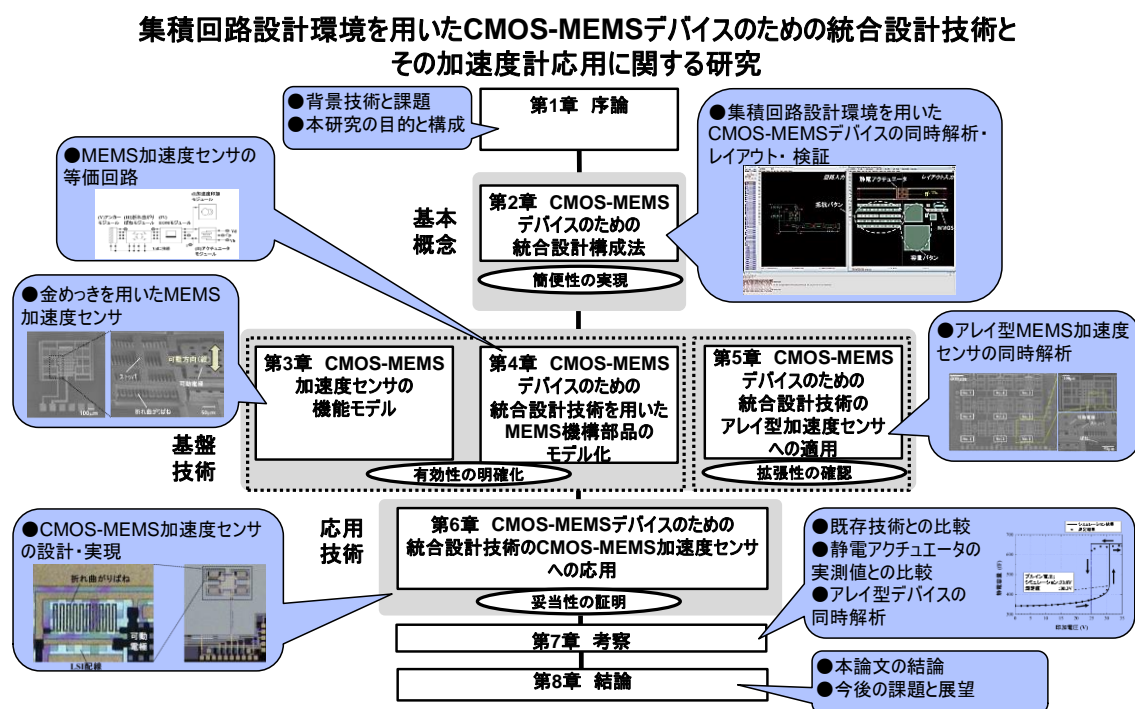


図2 本論文の構成

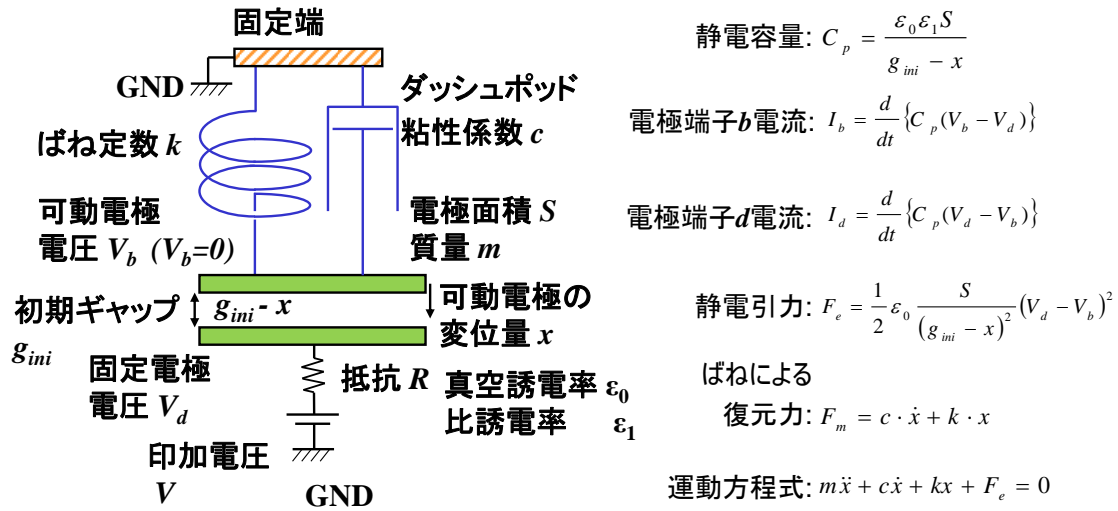


図 3 MEMS 静電アクチュエータの解析モデルと解析式

動方程式、iv)固定端、の役割を果たし、モジュール内の動作をビヘイビア電流電圧源を用いて表現した。

図 4 を用いた静電アクチュエータのプルイン・リリース解析の結果を図 5 に示す。本結果より、SPICE シミュレータを用いて MEMS デバイスの非線形現象に対応したマルチフィジクス・シミュレーションが実行可能であることを確認した。

次に、MEMS デバイスのレイアウト・検証に対応させるため、市販の集積回路設計環境である Cadence Virtuoso®<sup>22)</sup> 上において、ハードウェア記述である Verilog-a を用いて MEMS 静電アクチュエータを 4 つのモジュールからなる等価回路として表現した。結果を図 6 に示す。MEMS デバイスのレイアウトパタンの自動生成を実現するため、各モジュールを PCell (Parameterized Cell) とし、それぞれのモジュールに対応するレイアウトパターンをスクリプトコードを用いて構築した。これにより、同じ設計環境上で、MEMS デバイスのレイアウトと、抵抗やトランジスタ等の集積回路素子のレイアウト

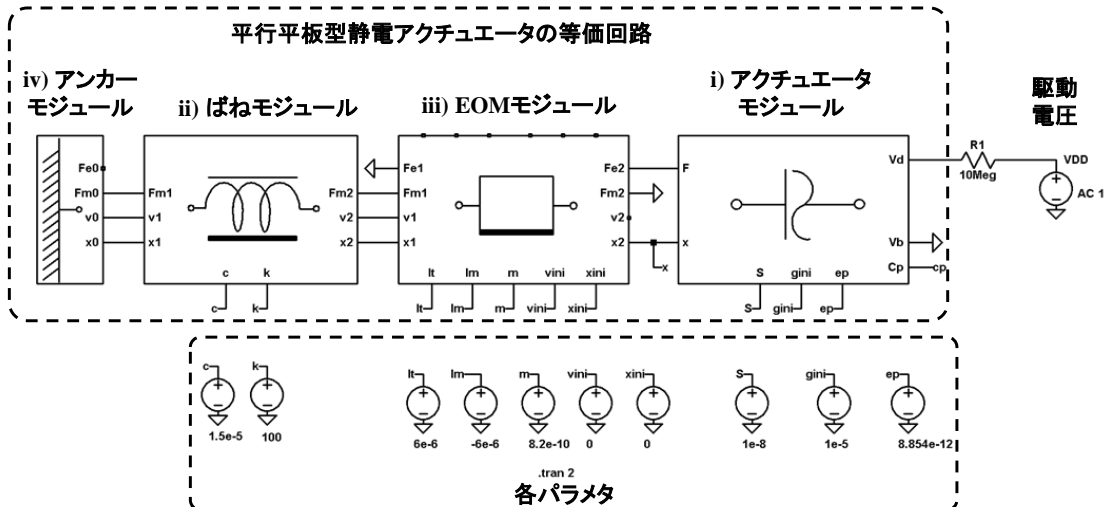


図 4 LTspice 上に構築した静電アクチュエータの等価回路ブロック

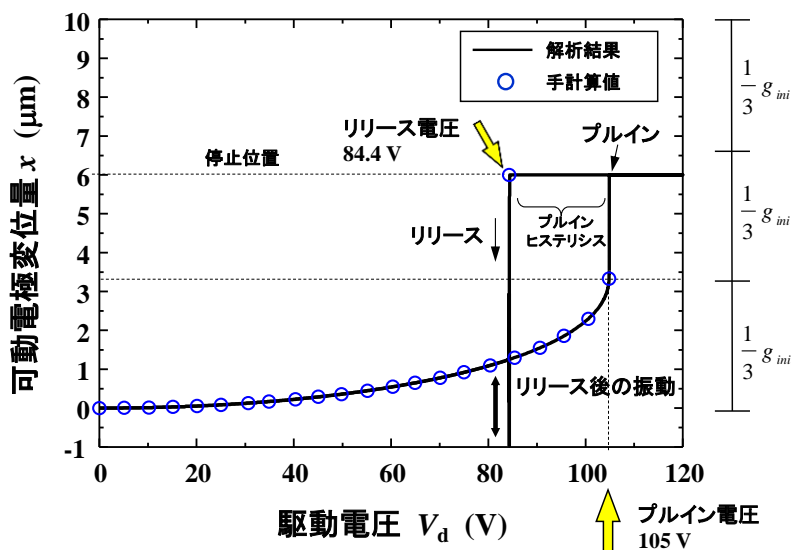


図 5 マルチフィジクス・シミュレーション結果：プルイン・リリース解析

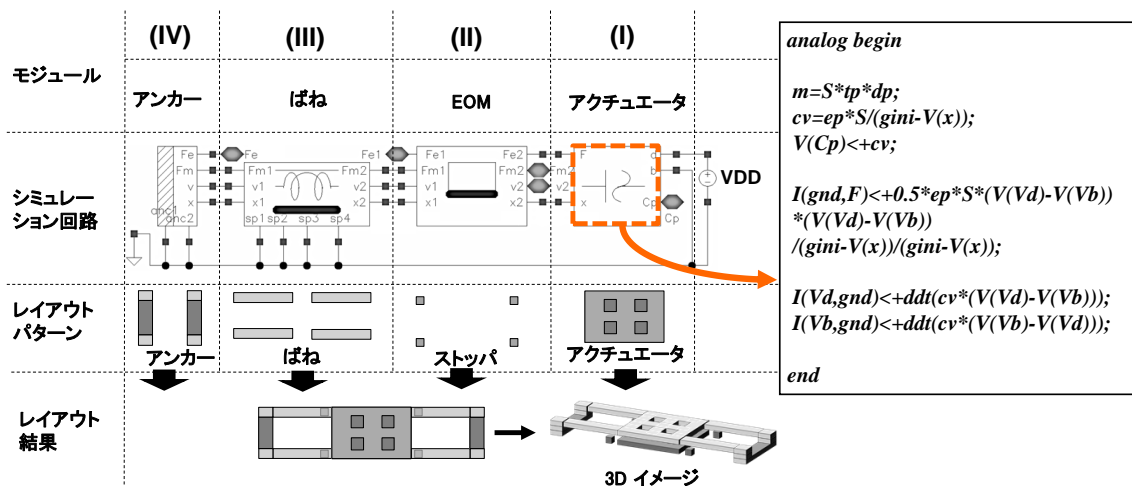
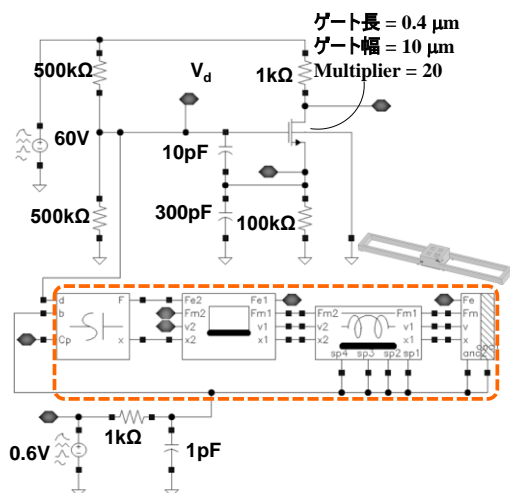


図 6 Cadence Virtuoso®上に構築した静電アクチュエータの等価回路と Verilog-a 記述

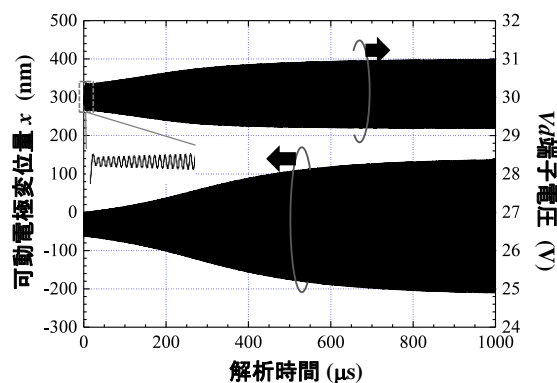
を同時に実施可能とした。

図 6 に示す等価回路をコルピッツ発振回路に適用し、MEMS 共振器としての機械的及び電氣的な挙動について過渡解析を実施した。シミュレーション回路図を図 7(a)に、解析結果を図 7(b)に示す。これより、MEMS 共振器がプルインすることなく、持続的に発振することを確認した。これより、MEMS デバイスと LSI の同時解析を実現可能であることを示した。

図 7(a)に示す回路について、レイアウトパターンの自動生成を行った結果を図 8 に示す。また、本レイアウトパターンに対し、集積回路の検証で用いる物理検証および電気接続検証を実施可能であることを確認した。本結果より、構築した統合設計技術を用いて、MEMS デバイスと LSI の同時レイアウトおよび同時検証が実行可能であることを証明し、従来技術が抱えていた「簡便性」を解決した。



(a)



(b)

図 7 (a)コルピッツ発振回路に適用した静電アクチュエータ等価回路、(b)シミュレーション結果

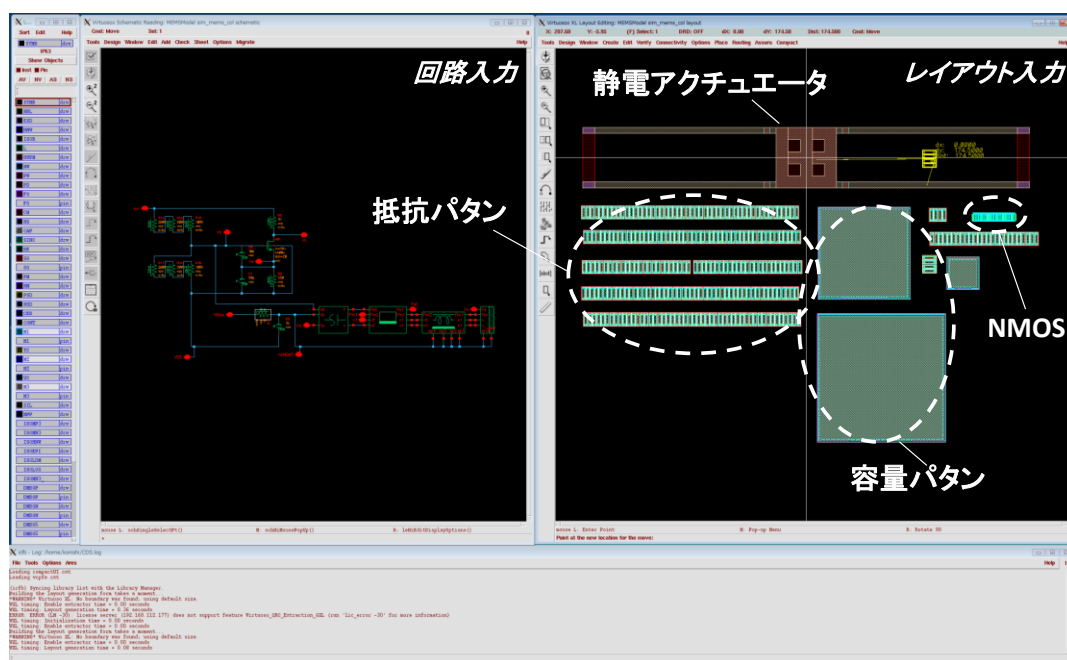


図 8 コルピッツ発振回路と静電アクチュエータの同時レイアウトパタン自動生成結果

## 6-2 : 加速度計応用

本研究にて構築した CMOS-MEMS デバイスのための統合設計技術を、MEMS 技術を用いた加速度計である MEMS 加速度センサの高性能化に応用した。

### 6-2-1 : MEMS 加速度センサの機能モデル

CMOS 回路上へ集積した MEMS 加速度センサの実現のために、図 9 に示す MEMS 加速度センサの作製方法を検討した。図に示す MEMS 加速度センサの特徴は、i)レイヤ分割技術を用い、メタルレイヤ毎に可動電極、ばね、固定電極等の機能を分割して持たせ

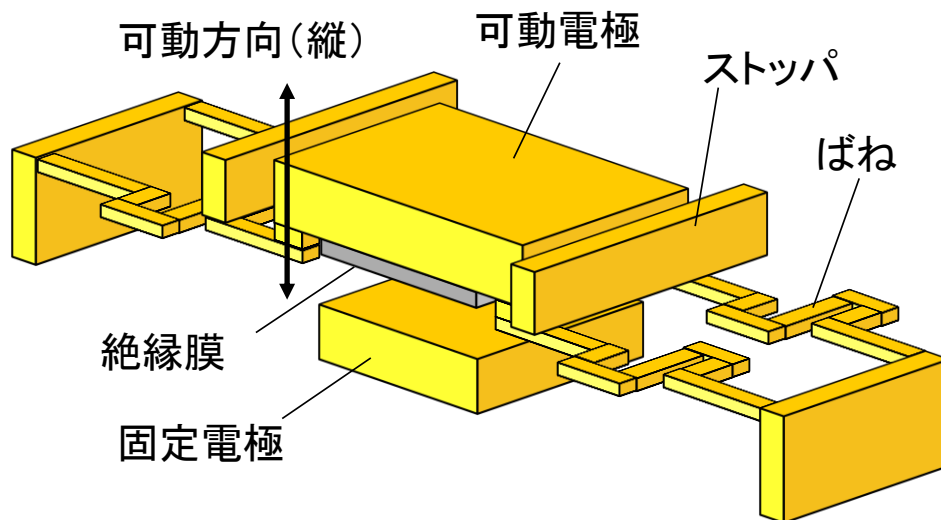


図 9 MEMS 加速度センサの概略図

たこと、ii)過剰な加速度印加によるセンサの自壊を防ぐためのストッパを形成したこと、可動電極と固定電極のスティクションおよび電氣的ショートを防ぐための絶縁膜を設けたこと、である。加速度センサのノイズ低減のため、構成する材料を検討した結果を図 10 に示す。これより、高密度かつ post-CMOS プロセスとして適用可能な金を材料として選定した。

金めっきを用いた MEMS 加速度センサの作製プロセスを図 11 に示す。本プロセスに基づき作製した MEMS 加速度センサの作製結果を図 12 に示す。これより、図 11 に示すプロセスにて加速度センサの構造が問題なく作製できることを確認した。作製した MEMS 加速度センサについて、設計値と実測値の結果を表 1 に示す。これより、金めっきを用いた MEMS 加速度センサの実現が可能であることを実験的に確認した。

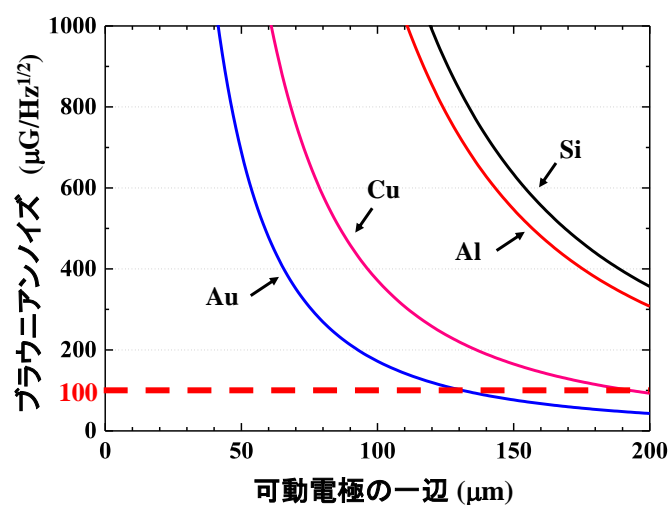


図 10 各種材料を用いた場合の MEMS 加速度センサのブラウニアンノイズ



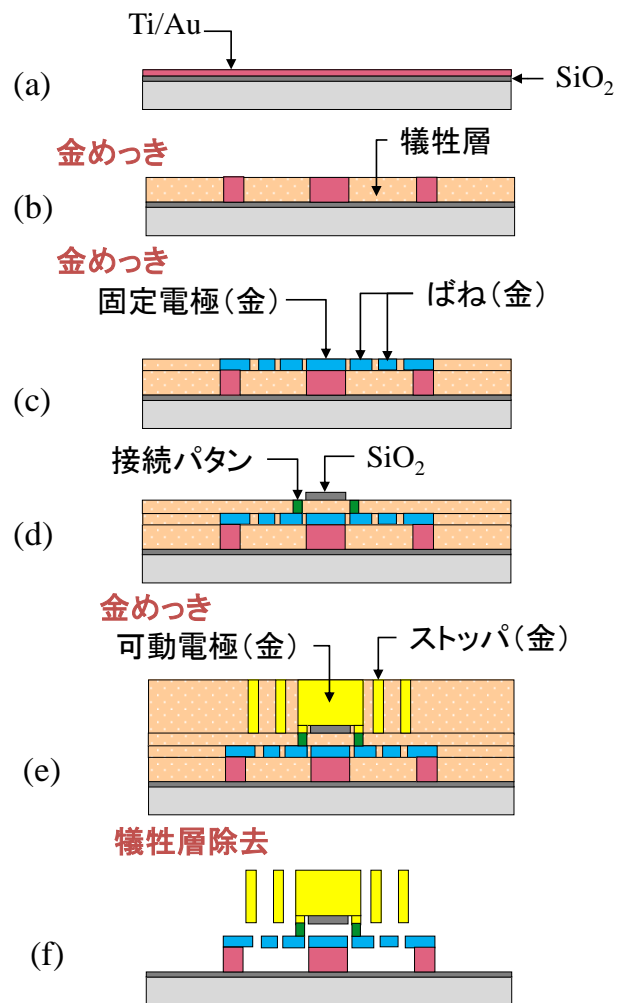


図 11 金めっきを用いた MEMS 加速度センサの作製フロー

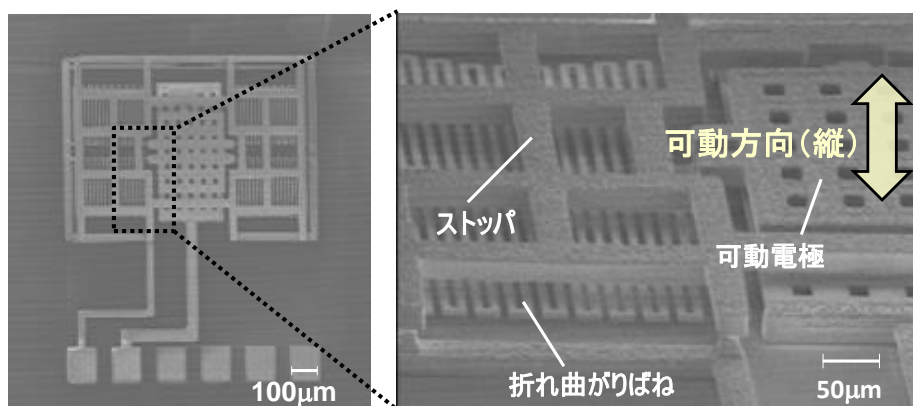


図 12 作製した MEMS 加速度センサの SEM 写真





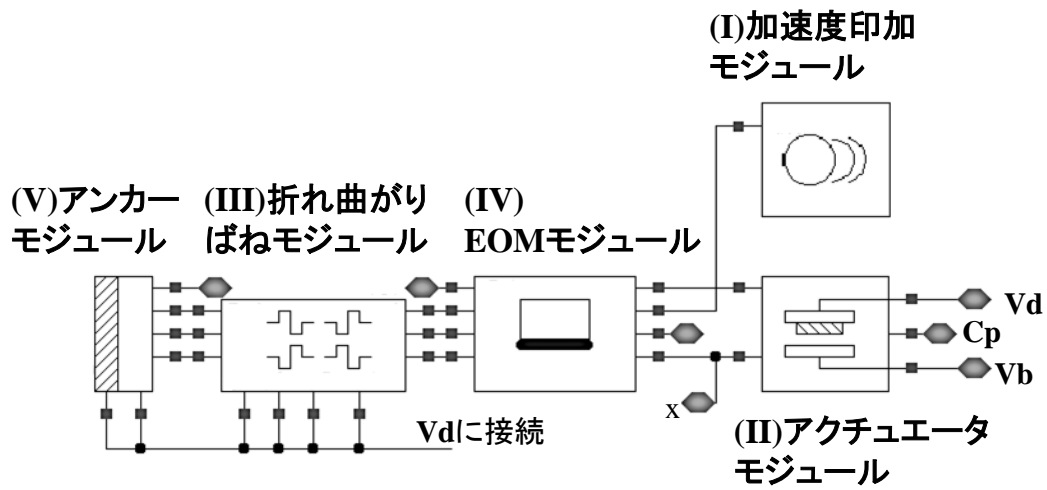


図 14 MEMS 加速度センサの等価回路

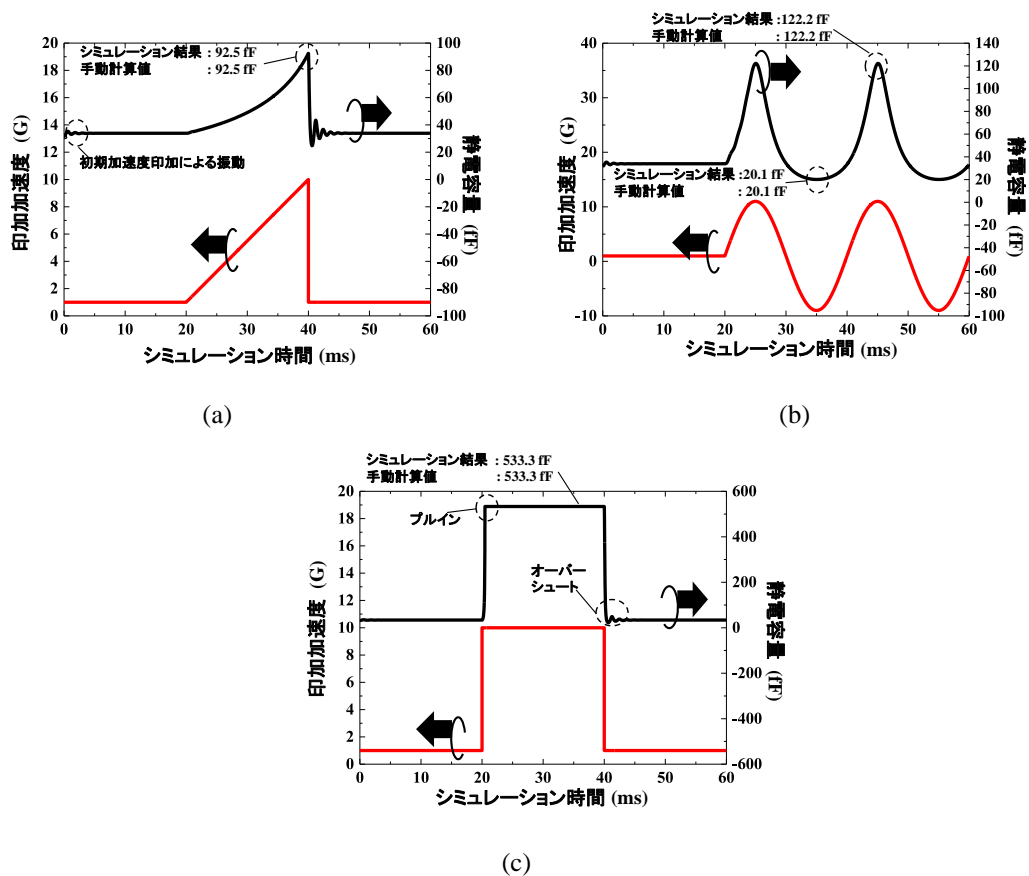


図 15 各加速度波形を MEMS 加速度センサの等価回路に印加した際の過渡解析の結果:(a) 線形波形、(b) sin 波形、(c) パルス波形

果を図 15 に示す。これより、シミュレーション結果は手動計算値と一致しており、また、プルインおよびオーバーシュートといった非線形現象も表現可能であることを確認

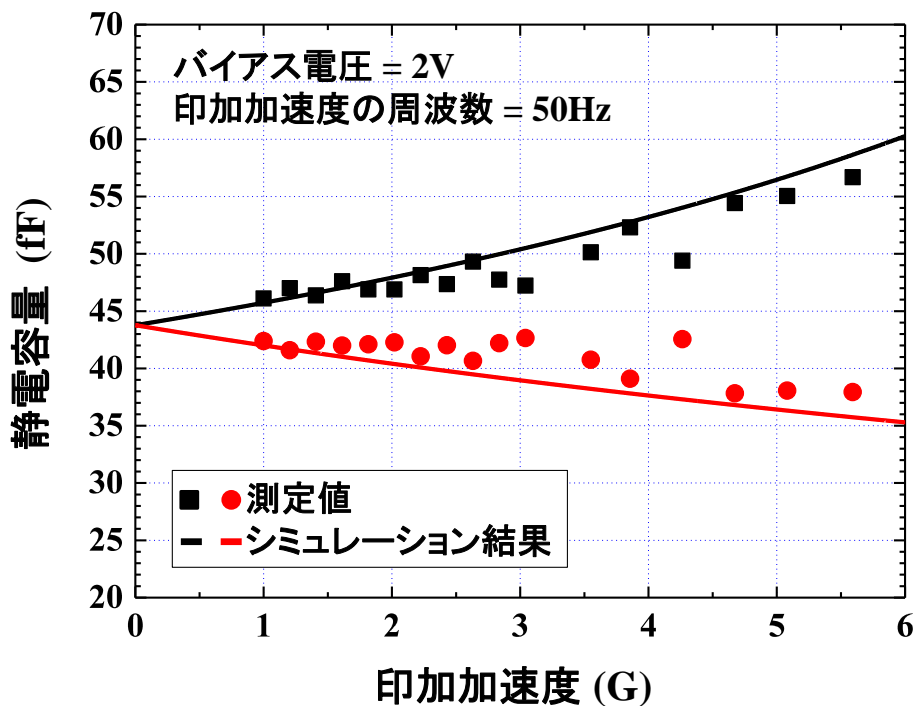


図 16 作製した MEMS 加速度センサの容量-印加加速度特性と等価回路を用いたシミュレーション結果との比較

した。

本等価回路を用い、表 1 に示す MEMS 加速度センサの実測結果から得られた設計パラメタを用いて加速度印加時の静電容量変化のシミュレーションを行い、実測結果と比較した。結果を図 16 に示す。本結果より、構築した MEMS 加速度センサの等価回路を、実際の MEMS デバイスへ適用可能であり、本論文にて構築した CMOS-MEMS デバイスのための統合設計技術を、実際の MEMS デバイスに適用した際の有効性を確認した。

### 6-2-3 : アレイ型 MEMS 加速度センサへの適用

加速度センサの小型化・検出範囲拡大を目的とし、構築した統合設計技術を用いたアレイ型 MEMS 加速度センサの実現検討を行った。アレイ配置を行った際、隣接する MEMS 加速度センサどうしの電氣的干渉を検討した結果、電氣的干渉は無視できるほど小さいことを確認した。

図 9 に示す金めっきを用いた MEMS 加速度センサを用い、3 種類の大きさの可動電極と、3 種類のばね定数のばねをそれぞれ組み合わせ、3×3 のアレイ型構成を検討した。MEMS 加速度センサの等価回路をアレイ型に配置した結果を図 17 に示す。表 2 に示す設計パラメタを用いたシミュレーション結果を図 18 に示す。これより、1G から 20G の範囲の印加加速度について、検出範囲が途切れることなく計測可能であることを確認した。

本結果および図 11 に示す作製プロセスを用い、アレイ型 MEMS 加速度センサを作製した。結果を図 19 に示す。作製したアレイ型 MEMS 加速度センサに加振機を用いて加

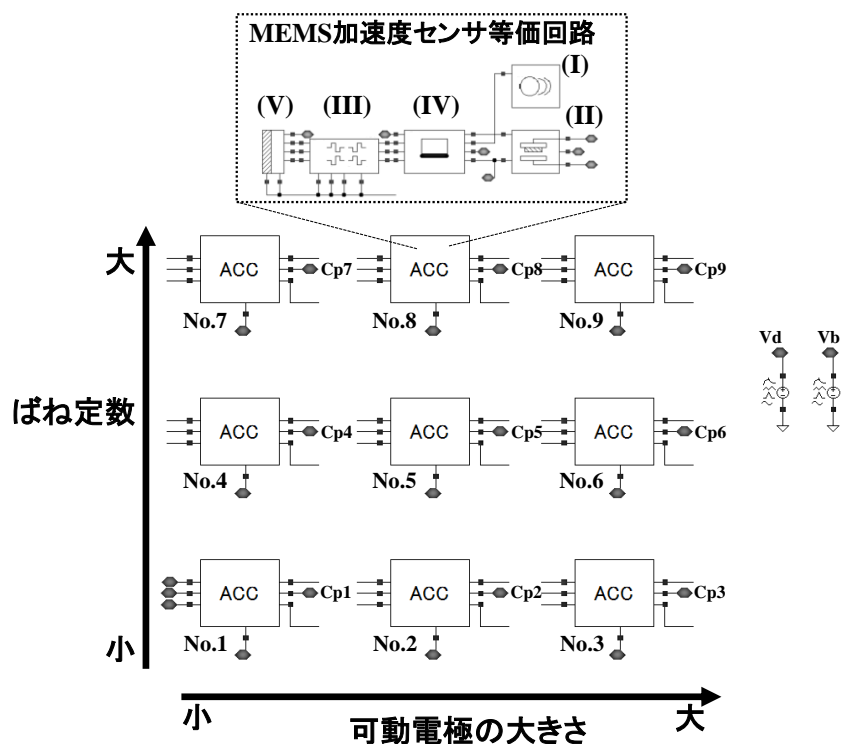


図 17 アレイ型 MEMS 加速度センサ(3×3 配置)の等価回路

表 2 アレイ型 MEMS 加速度センサの設計パラメータ

デバイス 番号	ばね定数 (N/m)	可動電極サイズ ( $\mu\text{m}^2$ )	最大検出加速度 (G)	共振 周波数 (Hz)	ブラウニアンノイズ ( $\mu\text{G}/\text{Hz}^{1/2}$ )
1	0.2	80×80	13.8	856.6	41.7
2	0.2	140×140	8.5	687.3	26.9
3	0.2	200×200	4.9	554.2	17.4
4	0.3	80×80	18.1	1059.9	42.6
5	0.3	140×140	11.6	847.3	27.2
6	0.3	200×200	7.4	678.8	17.4
7	0.4	80×80	27.8	1313.2	48.9
8	0.4	140×140	16.8	1022.2	29.7
9	0.4	200×200	10.5	805.8	18.4

速度を印加しながら、可動電極と固定電極間の容量を評価した。結果を図 20 に示す。これより、デバイス No. 1、2、4、5、7、8 については実測値とシミュレーション結果はよく一致しているが、No. 3、6、9 について容量変化の実測値はシミュレーション結果よりも小さい。これらの 3 つの MEMS 加速度センサは他の 6 つのデバイスと比べ可

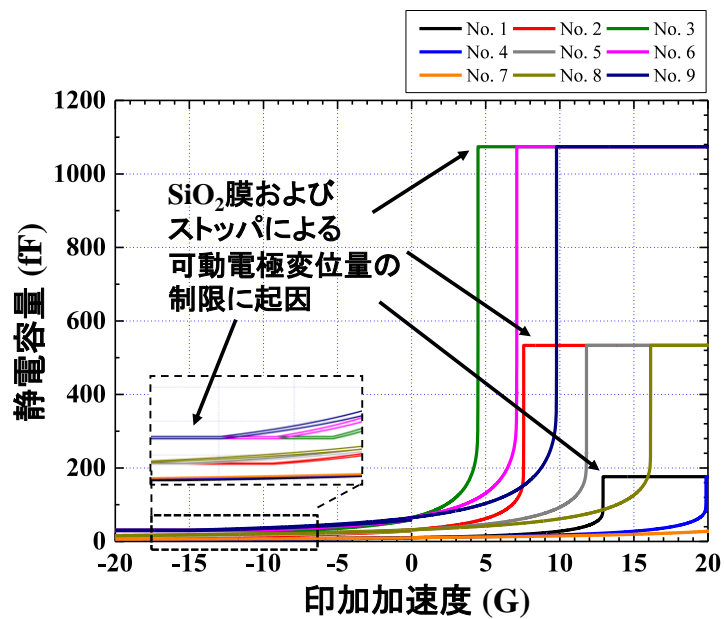


図 18 マルチフィジクス・シミュレーションを用いたアレイ型 MEMS 加速度センサの印加加速度と静電容量変化

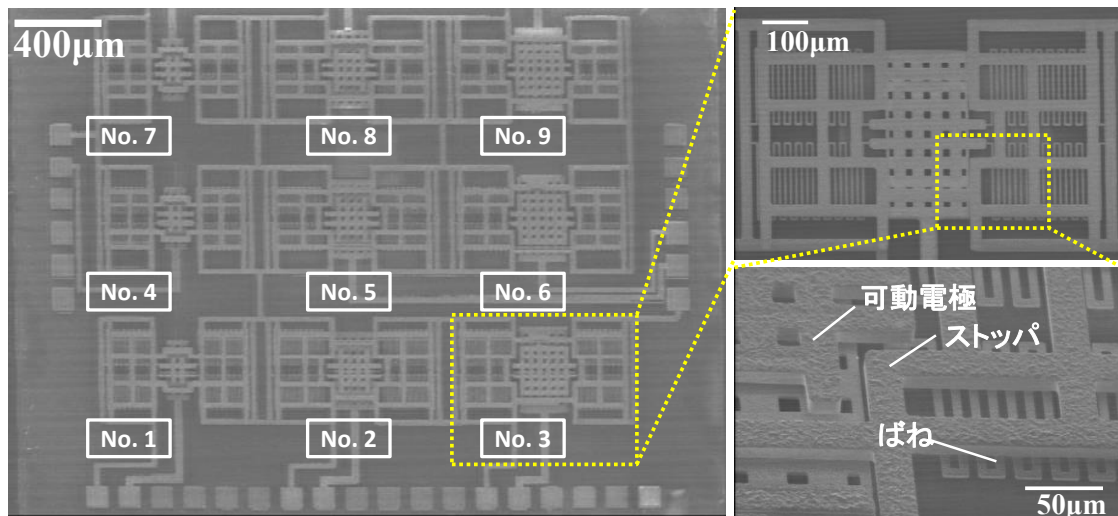


図 19 作製したアレイ型 MEMS 加速度センサの SEM 写真

動電極の寸法が  $200 \times 200 \mu\text{m}^2$  と大きく、作製プロセスにおける残留応力および変形の影響を受けやすい。それにより、可動電極部の反り、歪みによってばね定数が大きくなったため、可動電極の可動範囲が狭まり、静電容量の変化が少なくなったと考える。本結果より、本論文で構築した統合設計技術を複数の MEMS デバイスの同時解析に適用可能であることを示し、その拡張性を明確にした。

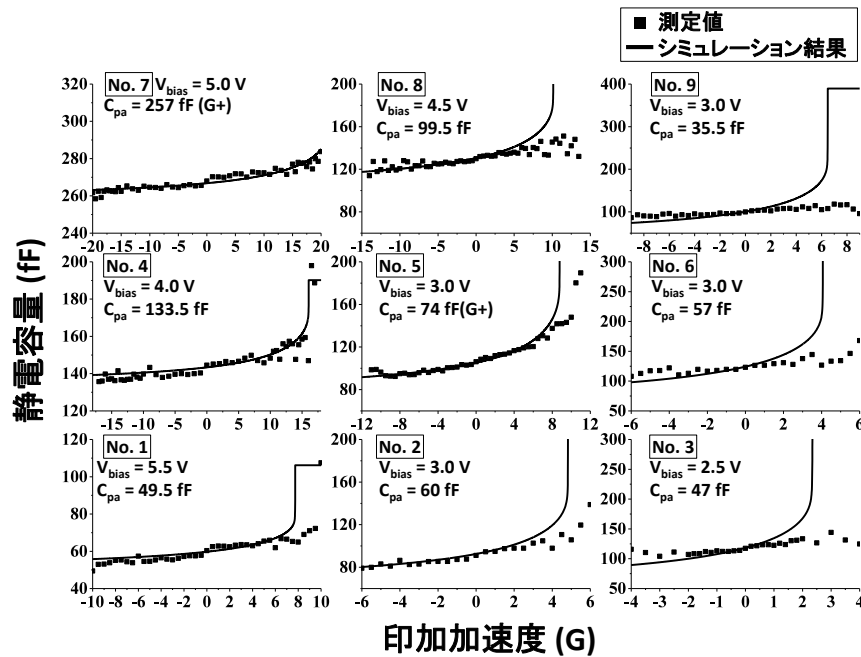


図 20 作製したアレイ型 MEMS 加速度センサの容量-印加加速度特性

#### 6-2-4 : CMOS-MEMS 加速度センサへの応用

本研究で構築した統合設計技術を用い、図 21 に示すように、MEMS 加速度センサを CMOS センサ回路上に作製した CMOS-MEMS 加速度センサの同時設計を行った。MEMS 加速度センサの静電容量と LSI 上の固定容量との差分から印加加速度を電圧として出力するセンサ回路の構成を検討した。センサ回路の動作を図 22 に、MEMS 加速度センサとセンサ回路と組み合わせたマルチフィジクス・シミュレーション回路を図 23 に示す。本回路を用いたシミュレーション結果を図 24 に示す。これより、検討したセンサ回路は印加加速度を電圧値として出力可能であることを確認した。

検討したセンサ回路を 0.35  $\mu\text{m}$  CMOS プロセスを用いて作製し、その後図 11 に示すプロセスに基づき MEMS 加速度センサを CMOS センサ回路上に形成した。作製結果を

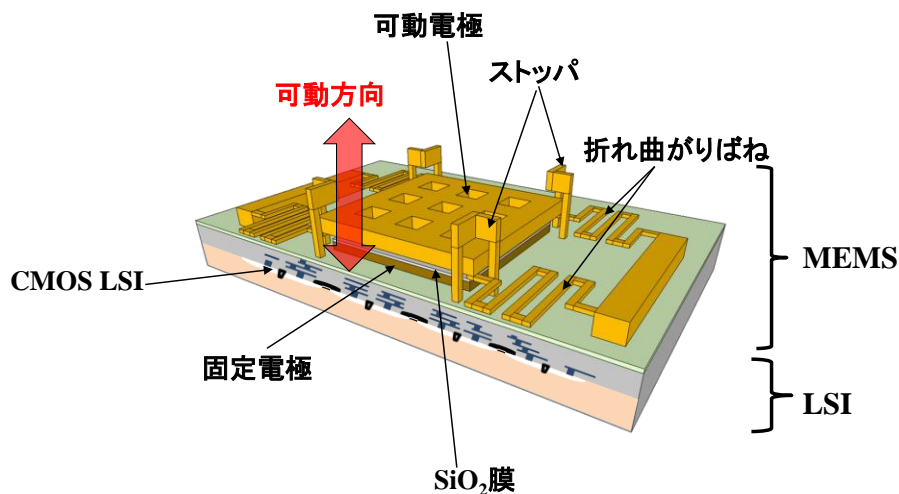


図 21 CMOS-MEMS 加速度センサの概略図

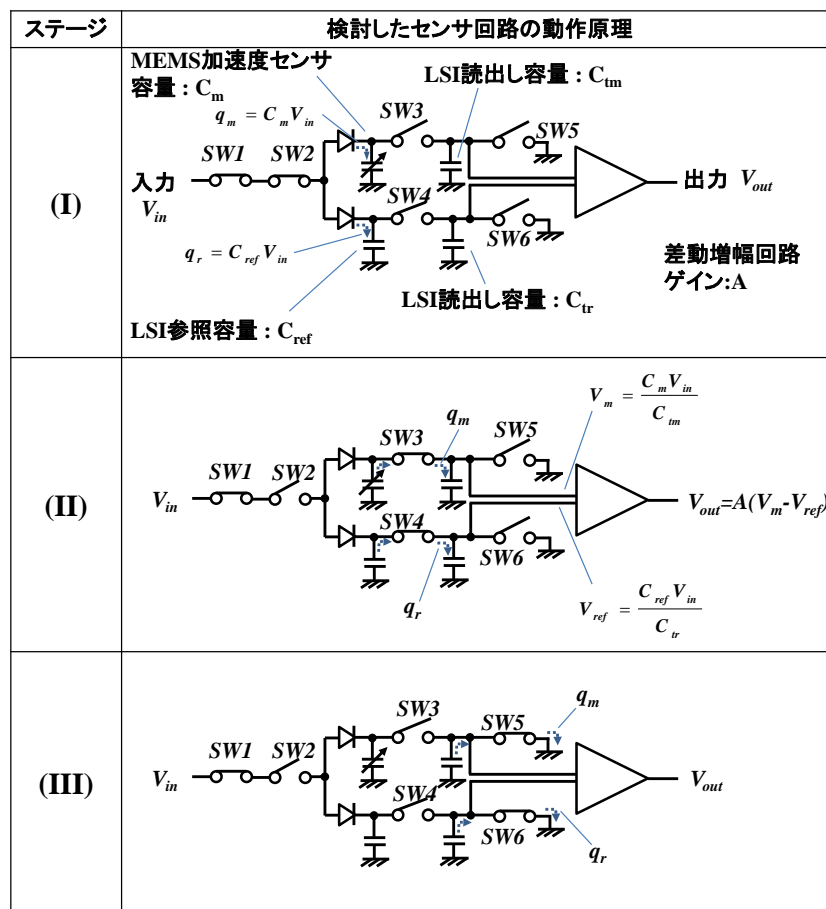


図 22 検討したセンサ回路の動作原理

#### MEMS加速度センサの等価回路

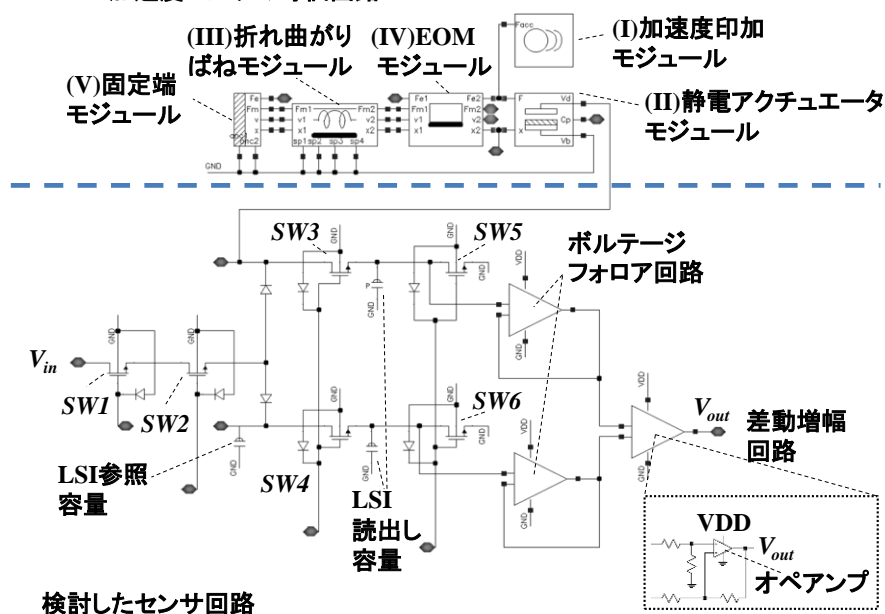


図 23 CMOS-MEMS 加速度センサの回路図



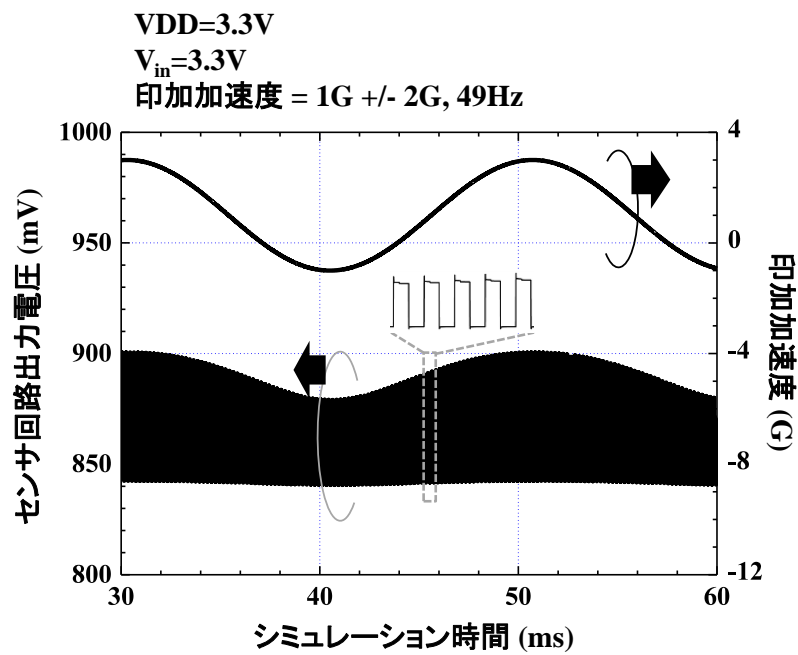


図 24 センサ回路の出力電圧の過渡解析結果

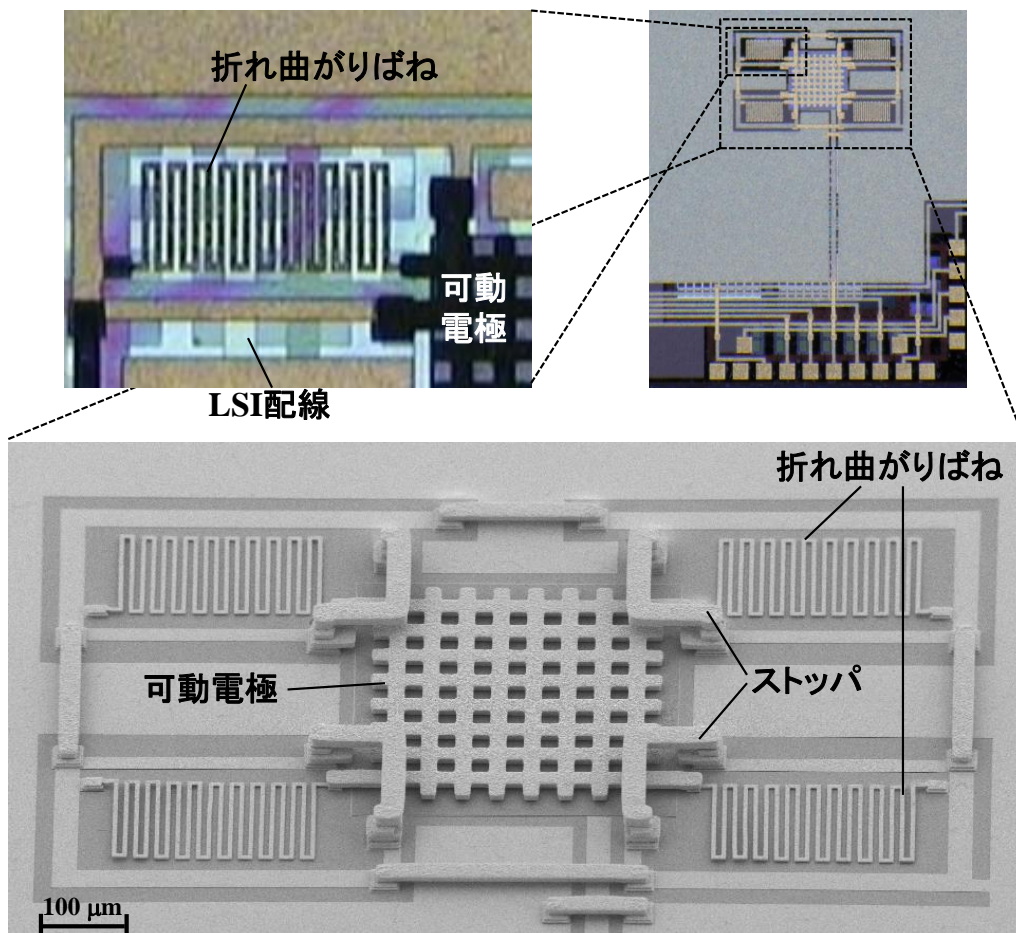


図 25 作製した CMOS-MEMS 加速度センサ

図 25 に示す。作製した CMOS-MEMS 加速度センサに加速度を印加し、出力電圧を測定した。また、本測定結果から実際のばね定数と初期ギャップを見積もり、設計パラメタに反映させてマルチフィジクス・シミュレーションを実施した。結果を図 26 に示す。

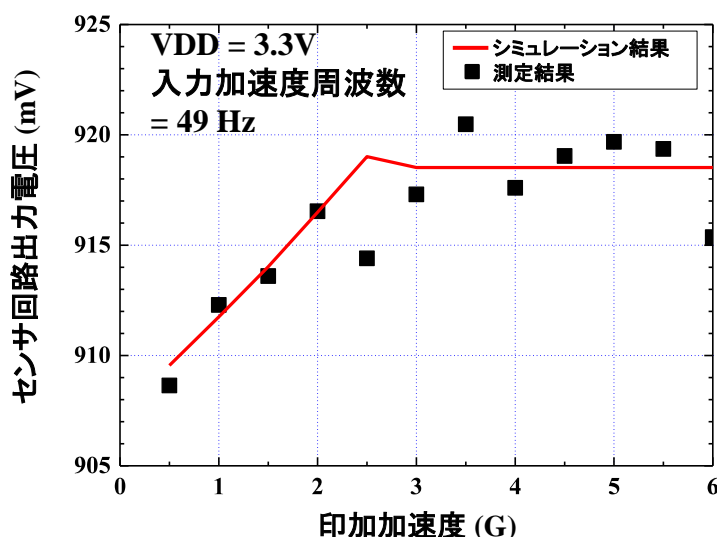


図 26 作製した CMOS-MEMS 加速度センサのセンサ回路出力電圧-印加加速度特性

これより、印加加速度 3 G 以下の範囲において、測定結果とシミュレーション結果がほぼ一致することを確認した。本結果より、本研究で構築した統合設計技術の妥当性を証明した。

## 7. 考察

本論文にて構築した CMOS-MEMS デバイスのための統合設計技術について、本技術以外の CMOS-MEMS デバイス設計手法との比較を行った結果を表 3 に示す。FEM を用いた従来の設計手法<sup>23)</sup>では、MEMS と LSI の設計環境が分かれており、設計に時間がかかる。また、方程式定義モデルを用いた従来の設計手法<sup>24, 25)</sup>では、MEMS と LSI の同時レイアウト、同時検証が困難であった。FEM と方程式定義モデルの両方を扱う手法<sup>26)</sup>については、質点系および分布定数系の両方の解析が実施可能であるが、レイアウトパタンの自動生成、および LSI 検証ツールへの対応はなされていない。本研究で構築した統合設計技術は、MEMS デバイスのレイアウトパタンの自動生成、LSI 検証ツールへの対応が可能であり、既存の方程式定義モデルを用いた設計手法からさらに学術的・工業的に一歩進んだ技術である。

表 3 CMOS-MEMS デバイス設計環境の比較

設計環境	FEM を用いた設計手法 <sup>23)</sup>		FEM と方程式定義モデルに両対応	方程式定義モデルを用いた設計手法			
	MEMS	LSI	MEMSpi ce <sup>26)</sup>	ラグランジュ方程式 <sup>24)</sup>	Qucs <sup>25)</sup>	本研究	
						LTspice	Verilog-A 準拠の HDL
MEMS デバイスの機構解析	FEM	-	FEM または方程式定義モデル	動作制約のあるモデル	方程式定義モデル	方程式定義モデル	方程式定義モデル
電子回路シミュレーション	-	回路シミュレータ	○	ネットリスト生成が必要	○	○	○
マルチフィジクス・シミュレーション	外部プラグインモジュールが必要		○	×	○	○	○
質点系の解析	○	-	○	○	○	○	○
分布定数系の解析	○	-	○	既知の共振モード情報が必要			
レイアウトパターン自動生成	個別のレイアウト環境で対応可		×	×	×	×	○
DRC・LVS への対応	個別のレイアウト環境		×	×	×	×	○

## 8. 結論

本研究は、従来の CMOS-MEMS 設計手法が抱えていた「簡便性」「有効性」「拡張性」「妥当性」の 4 つの課題に対し、CMOS-MEMS デバイスの設計、レイアウト、検証を全て網羅する、CMOS-MEMS デバイスのための統合設計技術を実現し、その応用として、加速度計の高性能化を目指し実際の CMOS-MEMS 加速度センサに本技術を適用することで、上記 4 つの課題解決を達成した。

今後の展望として、本技術を適用することによって、モジュールの高機能化による多軸加速度センサやガスセンサ等の様々な MEMS デバイスと LSI との同時設計・レイアウト・検証の実行可能、それらのデバイスを複数組み合わせた異種機能集積化デバイスの実現等、今後の CMOS-MEMS 技術のさらなる発展に貢献する可能性を十分有している。

## 参考文献

- 1) H. C. Nathanson, W. E. Newell, R. A. Wickstrom, J.R. Davis Jr, "The resonant gate transistor," IEEE Transactions on Electron Devices, Volume 14, Issue 3 (1967) pp. 117- 133
- 2) L. J. Hornbeck, "128 × 128 deformable mirror device," IEEE Trans. Electron Devices, vol. ED-30, No. 5 (1983) pp. 539-545
- 3) F Goodenough, "Airbags boom when IC accelerometer sees 50G," Electronic Design (Aug. 8, 1991) pp. 45-56
- 4) J. J. Bernstein, and J. T. Borenstein, "A micromachined silicon condenser microphone with on-chip amplifier," Proc. Solid-State Sensor and Actuator Workshop (Hilton Head '96) (1996) pp. 239-243.
- 5) R. Ryf, J. Kim, J. P. Hickey, A. Gnauck, D. Carr, F. Pardo, C. Bolle, R. Frahm, N. Basavanahally, C. Yoh, D. Ramsey, R. Boie, R. George, J. Kraus, C. Lichtenwalner, R. Papazian, J. Gates, H. R. Shea, A. Gasparyan, V. Muratov, J.E. Griffith, J.A. Prybyla, S. Goyal, C.D. White, M.T. Lin, R. Ruel, C. Nijander, S. Arney, D. T. Neilson, D. J. Bishop, P. Kolodner, S. Pau, C. Nuzman, A. Weis, B. Kumar, D. Lieuwen, V. Aksyuk, D. S. Greywall, T.C. Lee, H.T. Soh, W.M. Mansfield, S. Jin, W.Y. Lai, H.A. Huggins, D.L. Barr, R.A. Cirelli, G. R. Bogart, K. Teffeu, R. Vella, H. Mavoori, A. Ramirez, N.A. Ciampa, F.P. Klemens, M.D. Morris, T. Boone, J.Q. Liu, J.M. Rosamilia, and C. R. Giles, "1296-port MEMS Transparent Optical CrossConnect with 2.07Petabit/s Switch Capacity," Proc. Optical Fiber Communication Conf., (2001) Postdeadline Paper PD28, pp. 1-3
- 6) R. N. Candler, M. Hopcroft, B. Kim, W.-T. Park, R. Melamud, M. Agarwal, G. Yama, A. Partridge, M. Lutz, and T. W. Kenny, "Long-Term and Accelerated Life Testing of a Novel Single-Wafer Vacuum Encapsulation for MEMS resonators," J. Microelectromech. Syst., Vol. 15, Issue 6 (2006) pp. 1446 – 1456
- 7) W. Henrion, L. DiSanza, M. Ip, S. Terry, and H. Jerman, "WIDE DYNAMIC RANGE DIRECT DIGITAL ACCELEROMETER," Tech. Dig. 4th Solid-State Sensor and Actuator Workshop (1990) pp. 153-157
- 8) D. J. Hayes, D. B. Wallace, and W. R. Cox, "MicroJet Printing of Solder and Polymers for Multi-Chip Modules and Chip-Scale Packages," Proc. SPIE THE INTERNATIONAL SOCIETY FOR OPTICAL ENGINEERING (1999) pp. 242-247
- 9) J. Chae, H. Kulah, and K. Najafi, "A HYBRID SILICON-ON-GLASS (SOG) LATERAL MICRO-ACCELEROMETER WITH CMOS READOUT CIRCUITRY," Proc. The Fifteenth IEEE Int. Conf. Micro Electro Mechanical Systems 2002 (MEMS 2002) (2002) pp. 623-626
- 10) T. Denison, K. Consoer, W. Santa, M. Hutt, and K. Miesel, "A 2 □W Three-Axis MEMS-based Accelerometer," Proc. Instrumentation and Measurement Technology Conf., (2007) pp. 1-6
- 11) K. Machida and H. Morimura, "Integrated CMOS-MEMS Technology and its Application," Ext. Abstr. 2010 Int. Conf. Solid State Devices and Materials (SSDM 2010) (2010) pp. 818-819
- 12) Technol. Working Group Rep., International Technology Roadmap for Semiconductors (2011) [Online]. Available: <http://www.itrs.net/Links/2011ITRS/Home2011.htm> (Last accessed Aug. 14th, 2014)
- 13) 石原 昇, 天川 修平, 益 一哉, "CMOS 集積回路と MEMS の融合," 電子情報通信学会誌, Vol. 93, No. 11 (2010) pp. 928-932

- 14) H. Baltes, O. Brand, A. Hierlemann, D. Lange, and C. Hagleitner, "CMOS MEMS – PRESENT AND FUTURE" Proc. The Fifteenth IEEE Int. Conf. Micro Electro Mechanical Systems 2002 (MEMS 2002) (2002) pp. 459-466
- 15) Stephen D. Senturia, "Simulation and design of microsystems: a 10-year perspective", Sensors and Actuators A: Physical, Vol 67, No. 1 (1998) pp.1-7
- 16) T. Konishi, K. Machida, K. Masu, and H. Toshiyoshi, "Multi-physics Equivalent Circuit Models for MEMS Sensors and Actuators," ECS Transactions, Vol. 50, No. 14 (2012) pp 55-62
- 17) T. Konishi, K. Machida, S. Maruyama, M. Mita, K. Masu, and H. Toshiyoshi, "A Single-platform Simulation and Design Technique for CMOS-MEMS Based on a Circuit Simulator with Hardware Description Language," IEEE/ASME J. Microelectromech. Syst. Vol. 22, Issue 3 (2013) pp 755-767
- 18) T. Konishi, D. Yamane, T. Matsushima, G. Motohashi, K. Kagaya, H. Ito, N. Ishihara, H. Toshiyoshi, K. Machida, and K. Masu, "Novel Sensor Structure and its Evaluation for Integrated Complementary Metal Oxide Semiconductor Microelectromechanical Systems Accelerometer," Jpn. J. Appl. Phys. Vol. 52, No. 6S (2013) 06GL04
- 19) T. Konishi, D. Yamane, T. Matsushima, K. Masu, K. Machida, and H. Toshiyoshi, "An arrayed accelerometer device of a wide range of detection for integrated CMOS–MEMS technology", Jpn. J. Appl. Phys. Vol. 53, No. 2 (2014) 027202
- 20) T. Konishi, D. Yamane, T. Matsushima, K. Masu, K. Machida, and H. Toshiyoshi, "A capacitive CMOS–MEMS sensor designed by multi-physics simulation for integrated CMOS–MEMS technology," Jpn. J. Appl. Phys. Vol. 53, No. 4S (2014) 04EE15
- 21) LTspice IV, Linear Technology [Online].  
Available:<http://www.linear-tech.co.jp/designtools/software/> (Last accessed Nov. 14th, 2014)
- 22) Cadence Custom IC Design [Online]. Available:  
<http://www.cadence.com/products/cic/Pages/default.aspx> (Last accessed Nov. 14th, 2014)
- 23) M. Gyimesi, I. Avdeev, and D. Ostergaard, "Finite-element simulation of micro-electromechanical systems (MEMS) by strongly coupled electromechanical transducers," IEEE Trans. Magn., vol. 40, no. 2 (2004) pp. 557–560
- 24) Y. Nishimori, H. Ooiso, S. Mochizuki, N. Fujiwara, T. Tsuchiya, and G. Hashiguchi, "A multiple Degrees of Freedom Equivalent Circuit for a Comb-Drive Actuator," Jpn. J. Appl. Phys. Vol. 48 (2009) 124504.
- 25) 丸山智史, "MEMS 静電アクチュエータの時分割駆動・変位計測インターフェース回路に関する研究", 博士論文, 東京大学 (2012)
- 26) 望月 俊輔, 水田 千益, "コンパクトモデル・マクロモデルによる MEMS/電子回路の連成シミュレーション," 電気学会論文誌 E (センサ・マイクロマシン部門誌), Vol. 134, No. 11 (2014) pp.349-356