

博士論文

混載 DRAM および SRAM の高性能化に関する研究

宮野 信治

Shinji Miyano

第1章 序論.....	6
1-1 緒言.....	6
1-2 SRAM マクロの低消費電力化と高速化.....	8
1-3 DRAM 混載によるメモリの高密度化とシステム LSI の高性能化.....	9
1-4 3次元トランジスタによるメモリセル面積の縮小と LSI の低電力化.....	10
1-5 本研究の目的および開発手法.....	10
1-6 本論文の構成.....	11
1章の参考文献.....	14
第2章 従来の SRAM の低消費電力技術と解決すべき課題.....	17
2-1 緒言.....	17
2-2 SRAM の低消費電力化技術.....	17
2-3 メモリセルの低電圧化.....	18
2-4 アシスト回路技術による低電力化 (write 動作).....	19
2-5 アシスト回路技術による低電力化 (read 動作).....	20
2-6 トランジスタの微細化とランダムばらつき増大.....	22
2-7 ランダムばらつき増大による低電力化の限界.....	22
2-8 結言.....	23
2章の参考文献.....	29
第3章 電荷制御技術による SRAM の低電力化.....	32
3-1 緒言.....	32
3-2 トランジスタのランダムばらつきと SRAM の消費電力.....	33
3-3 電荷制御型 SRAM 技術 ～ビット線チャージシェアによる低電力化～.....	34
3-4 シミュレーションおよび実測結果 ～ビット線チャージシェアによる低電力化～.....	35
3-5 電荷制御型 SRAM 技術 ～ビット線チャージコレクト回路による低電力化～.....	36
3-6 書き込み時の電荷制御型 SRAM 技術 ～書き込みデータのチャージシェア転送～.....	37
3-7 試作および実測結果 ～ビット線コレクト回路による低電力化～.....	39
3-8 結言.....	39
3章の参考文献.....	53
第4章 8T メモリセルの相補化による高速化.....	54
4-1 緒言.....	54

4-2	相補8Tセルによるメモリアレイの構成と非選択セルによるリーク電流	55
4-3	相補8Tセルによるメモリアレイのシミュレーション解析	56
4-4	サスペンディッドビット線方式によるビット線リーク電流の低減と低消費エネルギー化	57
4-5	チップの試作と評価結果	58
4-6	結言	59
	4章の参考文献	73
	第5章 DRAM混載技術による高密度化と高速化	75
5-1	緒言	75
5-2	DRAM混載技術のためのメモリマクロ	76
5-3	DRAM混載技術による高バンド幅メモリの実装	77
5-4	DRAMマクロの読み出し動作	78
5-5	DRAMマクロの書き込み動作	79
5-6	DRAMマクロの試作と評価結果	80
5-7	結言	81
	5章の参考文献	91
	第6章 大容量混載メモリのテスト容易化技術	93
6-1	緒言	93
6-2	DRAMマクロ設計技術の進化 (Configurabilityの獲得)	94
6-3	DRAMマクロテストの課題とテスト容易化技術	95
6-4	Universal Test InterfaceによるDRAMテスト環境の標準化	96
6-5	Universal Test Interfaceの実装	97
6-6	セルフ・バーンインモードの実装	98
6-7	結言	99
	6章の参考文献	111
	第7章 3次元トランジスタによる高性能化	113
7-1	緒言	113
7-2	本章の研究の背景	114
7-3	Cylindrical Thin Pillar Transistor	114
7-4	デバイス構造と計算手法	115

7-5 サブスレッショルド特性	117
7-6 弱反転領域におけるモビリティの増加	118
7-7 強反転領域における電子密度	118
7-8 結言	119
7-9 附録	121
7章の参考文献	136
第8章 総括	138
8章の参考文献	148
研究業績リスト	151
1. 本論文に関する研究論文	151
2. その他の研究論文	157
3. アメリカ合衆国登録特許	158

第1章 序論

1-1 緒言

半導体の微細化技術の進展とともに、LSI 上に集積される素子の数はムーアの法則 [1] に従って増大してきた。1990 年代に入ると、1 チップ上に 100 万以上の素子の集積が可能となり、従来複数の LSI を使って実現されていた一連の機能 (システム) を集積する System on Chip (SoC) またはシステム LSI と呼ばれる LSI が出現した。システム LSI 上では開発効率を向上させるために、機能単位にまとめられた様々な IP コアが用いられる。代表的な例としては、CPU や DSP のデジタルコアや、AD/DA 変換回路、PLL などのアナログコアがあげられる。これらのコアと並んでシステム LSI の中で非常に重要な IP としてメモリがある。メモリは、キャッシュメモリ、画像メモリの他に、プログラムやデータを格納するために様々な用途に使われており、搭載容量は年々増加しており、システム LSI の中に占めるメモリの面積や消費電力の割合は年々大きくなっている [1]。このような状況の中で、LSI の性能向上、低消費電力化を進めていくためには、オンチップメモリの高密度化、低電力化が不可欠である。一方で、電子機器の低消費電力化への要求は、クラウドコンピューティングの時代を迎え、端末側、サーバー側とも厳しくなる一方である。また、センサネットワークなど、従来にない極低消費電力が要求されるアプリケーションも急激に増大している。このような環境の中で、システム LSI への低消費電力化の要求もまた、とどまることなく高まってきてきており、搭載されるメモリに対する低電力化の必要性は高まる一方の状況となっている。

システムLSI上に搭載されるオンチップメモリには、自由に書き込み読み出し可能な Random Access Memory (RAM) の他に、Read Only Memory (ROM)やFlash Memory等の不揮発性メモリが存在し、これらのメモリもシステムLSIの構成には不可欠な存在であるが、本研究では、システムLSIの低電力化に特に重要なRAMの低電力化を取り上げる。また、近年では強誘電体 [2] や強磁性体 [3] を用いた不揮発性RAMを搭載する試みが行われている。いずれも将来のシステムLSIの低電力化を考える上では重要な技術であるが、現状では大容量のメモリをシステムLSIに搭載するためには解決すべき課題が多くあり、本研究では、実用上重要なSRAMの低電力化技術とさらに高密度なメモリをシステムLSIに搭載することを可能にするDRAM混載技術にフォーカスする。

低電力化を実現していくうえでは、LSIを構成する素子の微細化とLSIの低電圧動作は避け

で通れない道であるが、微細化により、素子そのもののばらつきが大きくなると同時に、低電圧動作により、素子ばらつきに対する回路特性の感度が上がり、素子ばらつきに対する回路動作マージンが減少する。そのため、メモリの動作下限電圧の上昇などを通じて、オンチップメモリの低消費電力化の阻害要因となる。本研究では、そのようなトランジスタのばらつきがメモリの消費電力に与える影響を考察し、素子ばらつきの影響を抑えてオンチップメモリの電力を削減する手法を開発した。また、動作電圧の低電圧化による、悪影響の一つに動作速度の大幅な低下があるが、低電圧でも高速に動作するメモリセルについて研究を行い、低消費電力化の障害となるリーク電流を抑える手法を開発した。

一方、オンチップメモリの大容量化については、1bitあたりのメモリの面積を縮小する高密度化を図ることが必要となる。半導体の微細化技術の進展とともに、メモリセル面積は縮小されていくが、このトレンドを超えて、さらなる高密度化を目指して1T1C型のDRAMセルをオンチップメモリに使うことが行われている。チップの外にあるDRAMをオンチップに乗せることによって、外付けのDRAMでは得られない高いバンド幅を得られるようになると同時に、チップ間のデータ転送に使われる大きな消費エネルギーを大幅に減らすことも可能となる。DRAMセルのセル面積は、SRAMに比べると数分の一以下で、メモリの高集積化の手段としては大変有効であるが、読み出し動作が破壊読み出しのためランダムアクセス速度が遅いという課題がある。本研究では、センスアンプとペアとなるデータラッチを導入することにより、メモリマクロの読み出し書き込み動作を実行しながら、次のアドレスを入力可能とする回路構成を実現し、DRAMのランダムアクセスサイクルを高速化する技術の研究を行った。また、DRAMは歩留まり向上のために、冗長回路による不良ビットの救済が不可欠のものとなるが、冗長回路を使った不良ビットの置換え効率をあげようとするとき置換えアルゴリズムが複雑になり、BISTのような簡易なシステムで対応するのが困難となり、メモリテストによるテストが不可欠となる。特にシステムLSI上に搭載されている大容量メモリは、汎用メモリと異なり、容量やワードビットの構成が製品ごとに異なるため、メモリテストを使って効率的にテストするのは容易ではない上に、汎用メモリのように同時にテストするチップ個数を増やすことによって、テストコストを下げる手法を取ることも限りがある。本研究では、実用的な低電力メモリの実現の観点から、種々のシステムLSI上の大容量メモリを一貫した手法でテストすることを可能にする方式の開発を行った。

さらに、オンチップメモリの高密度化を推し進めていくために、3次元トランジスタを使って、集積密度を上げていくことが試みられている [12]。3次元トランジスタは、DRAM

セル面積の縮小にも効果的であり、また、近年ではメモリを3次元方向に積層する技術としても注目を浴びている。一方で、トランジスタを3次元化することによって、トランジスタの性能、消費電力の壁を打破する試みが行われている [4]。近年、普及が進んでいる電池で駆動する機器では、電池寿命の長寿命化や、電池サイズの小型化のために、一定の処理あたりの電力消費を削減することが重要であり、その指標となるLSIの消費エネルギーの低減が重要な課題となっている。LSIの低電圧化を進めていくと、消費エネルギーがミニマムとなる動作電圧が存在することが知られている。メモリはロジックに比べ回路の活性化率が低いために、消費エネルギーがミニマムとなる電圧が高く、そのことが、消費エネルギーの低減の壁となっている。そして、この消費エネルギーミニマムの電圧は、図1-1に示すように、トランジスタのS-factorに依存することが知られており [14]、より急峻なサブスレシヨルド特性が、低消費エネルギー化のカギとなっている。本研究では、オンチップメモリの待機時消費電力削減も視野に置いて、トランジスタの3次元化がサブスレシヨルドの特性の改善に対する有効性について、デバイス設計の観点から考察を試みた。

本章では、本研究の背景を、SRAMの低消費電力化、DRAM混載技術によるメモリの高密度化とシステムLSIの低消費電力化。および、3次元トランジスタによるメモリセル面積の縮小とリーク電力削減の有効性に分けてその課題を説明し、引き続き本研究の目的と概要を述べる。

1-2 SRAM マクロの低消費電力化と高速化

SRAMは一般的なCMOSプロセスで、メモリセルを構成することが可能であり、DRAMやFlash Memoryに比べて周辺回路による制御が簡素で容易にメモリ容量やワードビットの構成を変えることができ、かつ高速性に優れており、システムLSIに搭載するメモリとして大変使い勝手が良いメモリということがいえる。従って、システムLSIの中では、CPUのキャッシュメモリやプログラムやデータを格納するメモリ、画像データのバッファメモリ等、非常に幅広く使われる重要なメモリである。SRAMメモリセルとしては、6トランジスタ型のセルが [5] が最もよく使われている。トランジスタの微細化の進展に伴い、閾値電圧のローカルばらつきが増大しており、低電圧動作では読み出し時のセルの安定性と、書き込みマージンを両立させるのが難しくなっている。そのため、最近では低電圧での動作マージンをより向上させた8トランジスタ型のセル [6] も一部で使われるようになってきているが、セル面積が大きい、シングルエンド読み出しのため必ずしも消費電力が下がらないなどの課題を抱えている。これら

の課題を解決しようとして、さらにセルのトランジスタ数を増やした 9 トランジスタ型セル、10 トランジスタ型セルの提案 [7] [8] もあるが、セル面積が増大してコストの観点から実用性に疑問が持たれる。上記の諸課題に加えて、消費電力を低下させるために、動作電圧を下げるとやはり閾値電圧のローカルばらつきのため動作速度が急激に低下し、用途が限定されてしまうという問題があった。

一方で、メモリセルの動作マージンを向上させるのとは別に、周辺回路による制御を通じて、動作電圧を下げるための様々な回路技術が開発されている [15] [16] [17]。これらは総称してアシスト回路技術と呼ばれている。これらのアシスト回路技術も、セルの安定性と書き込みマージンの双方をうまく満足する解決策を見出すのは難しい。昇圧電圧を作るための昇圧回路の消費エネルギーや、面積オーバーヘッドの問題があり、動作電圧を下げることによる SRAM の低消費エネルギー化の課題となっていた。

1-3 DRAM 混載によるメモリの高密度化とシステム LSI の高性能化

システム LSI に搭載するメモリ容量の増大によって、チップ面積の大きな部分をメモリ領域が占めるようになってきている [8]。SRAM に比べて少ない素子数で 1 ビットのメモリセルを構成できる DRAM を混載することによって、従来搭載できなかった、大容量のメモリを搭載することが実現できる [9] [10] [11]。大容量のメモリをオンチップに搭載することによって、システム LSI とメモリチップの間のデータ転送のためのエネルギーを大幅に削減することが可能となる。特に大きなメモリバンド幅を必要とする用途では、消費電力の大部分はチップ間のデータ転送に費やされるため、この低消費電力化の効果は大きなものになる。大容量のメモリを搭載する DRAM のセルとしては、標準 CMOS プロセスを用いたもの [9] と、汎用 DRAM と同様に 3 次元キャパシタを集積したもの [10] [11] に分かれる。標準 CMOS プロセスを利用したものは、1bit のメモリセルを 2~4 のトランジスタで構成するものが多く、追加プロセスが必要ないので、ウエファーコストを低く抑えられるメリットはあるものの、セル面積を SRAM に比べて十分に小さくすることは難しく、メモリの搭載容量を大きく増加させることが難しい。一方で、3 次元キャパシタを使ったものは、セル面積を SRAM の数分の 1 に縮小することが可能であり、大容量のメモリを搭載するのに適しているが、追加プロセスが必要のためウエファーコストが高くなるという欠点がある。そのため、高いメモリバンド幅や、低消費電力性能といった新たな価値を付加することが不可欠となる。初期の DRAM 混載 LSI は単に汎

用 DRAM をほぼそのままシステム LSI に混載したもの [10] であったが、メモリバンド幅や、低消費電力性能の観点から十分な性能を得ることができず、実用化に至ることができなかった。

1-4 3次元トランジスタによるメモリセル面積の縮小と LSI の低電力化

トランジスタの微細化に伴い、個々のトランジスタのばらつきが大きくなり、そのことが LSI の低電力化の大きな妨げとなるようになってきた。また、リーク電力の増大は、オンチップメモリの待機時電力に深刻な影響を与えるようになってきている。そのため、トランジスタを3次元化することによって、トランジスタの性能の向上を図ることが行われてきている [12][13]。メモリにおける3次元化のメリットとしては、第一にメモリセル面積の縮小があげられる。トランジスタとキャパシタを3次元方向に集積することによって、従来になり高密度の DRAM セルを実現することができる。この他に、チャネル領域をゲートで取り囲むことによる gm の向上などが見込めるが、これらの効果に加えて、チャネル領域のシリコンが薄膜化することにより、完全空乏化 SOI トランジスタと同様な S-factor 改善の効果が生じることが期待される。S-factor の向上は、トランジスタ低リーク化や低電圧動作を通じてオンチップメモリの消費電力低減に大きな効果をもたらす。3次元トランジスタの S-factor 改善効果に関して、そのサイズとの関連に見通しを立てることが重要となっていた。

1-5 本研究の目的および開発手法

本研究は、システム LSI に搭載されるオンチップメモリのメモリの重要性に鑑みて、オンチップメモリの高性能化を目指すものである。本論文の全体構成を図 1-2 に示す。LSI に搭載されるメモリの容量と消費電力の増大を鑑み、オンチップのメモリの高密度化と低消費電力化を進めることが大きな課題となっている。本研究は、この課題に対する考察を進めるとともに、課題の解決の中で新たな課題として現れてくる、メモリの速度性能の低下や、テストの複雑化のに対しても総合的に検討をすすめる、課題を解決する方法を提案するものである。また、提案した解決策の多くは、実際に試作を行い効果の確認を行った。

テクノロジーの微細化により、メモリの集積度は向上を続けているが、これに加えて、DRAM セルをオンチップに搭載することにより、一層の高密度化を図る試みがなされている。しかし、DRAM セルは、ランダムアクセス速度が遅く応用に制限があるという問題があった。また、DRAM

はSRAMに比べてリダダンシーが複雑で[18]リダダンシーセルの置換のためにBISTによるテストが難しいうえ、オンチップのDRAMは汎用DRAM位比べて、大きなメモリバンド幅を持たせるために、I/Oビット幅が非常に大きくなっていることから、DRAMテストを効率よく行うことが大きな課題であった。

一方、SRAMの低消費電力化は、従来、動作電圧を低下させることで推進することが行われてきた。しかし、SRAMの読み出し安定性と、書き込みマージンの間にはトレードオフの関係があり、SRAM動作の動作電圧を下げるのは容易ではない。この問題を解決するために、メモリセルのトポロジーを工夫して、動作マージンを広げることと、様々なアシスト回路技術によって、SRAMの動作電圧を下げるのが研究されてきた。しかし、これらの技術は、それぞれに低電圧動作を実現するうえでの限界があり、SRAMの低電圧技術として、十分なものではなかった。また、低電圧化のもう一つの弊害として、電圧低下にともない、SRAMの動作速度が急速に低下するという問題があった。

上記のような、高集積化、低電力化の課題を解決するために、本論文では、図1-2に示したような手順に従って、多角的なアプローチで解決方法を提案する構成をとっている。高集積化、低電力化に付随する、テスト工程の長時間化、メモリ速度の低下に対する検討を合わせて行い、総合的にメモリの高性能化を図ることを目的としている。

1-6 本論文の構成

本論文は、本章にて開発の背景、目的および構成を説明し、第2章ではSRAMの低消費電力化の課題について述べる。以下、第3章、第4章では、SRAMの回路技術による低消費電力化および高速化技術、第5章では、システムLSI混載用DRAMのランダムアクセスの高速化、第6章で大容量DRAMのテスト容易化回路技術、第7章で3次元トランジスタによるメモリの高性能化についての展望を述べ、第8章にて総括する。表1-1に第3章から、第7章までの内容の概要を示す。

(a)----- : $S=30\text{mV/dec}$ (c)-.-.- : $S=60\text{mV/dec}$
 (b)..... : $S=90\text{mV/dec}$ (d)——— : $S=120\text{mV/dec}$

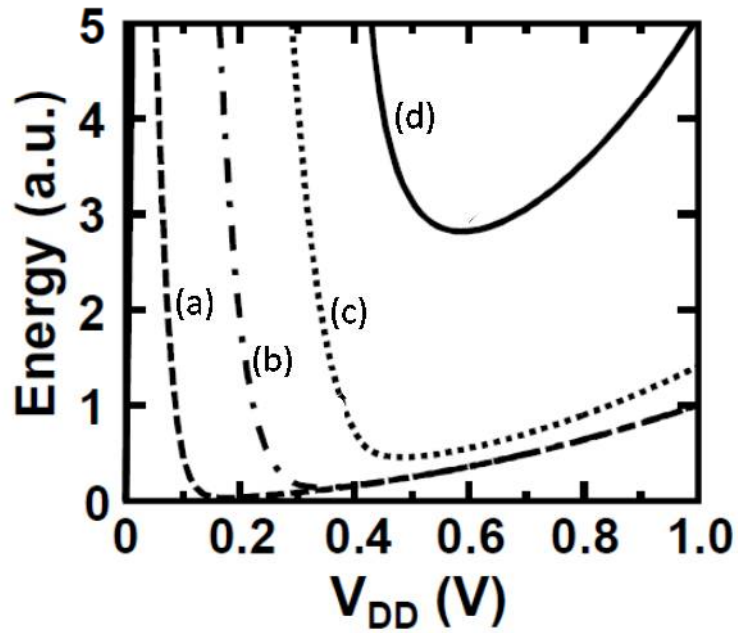


図 1-1 S-factor とメモリのエネルギー効率 [14]

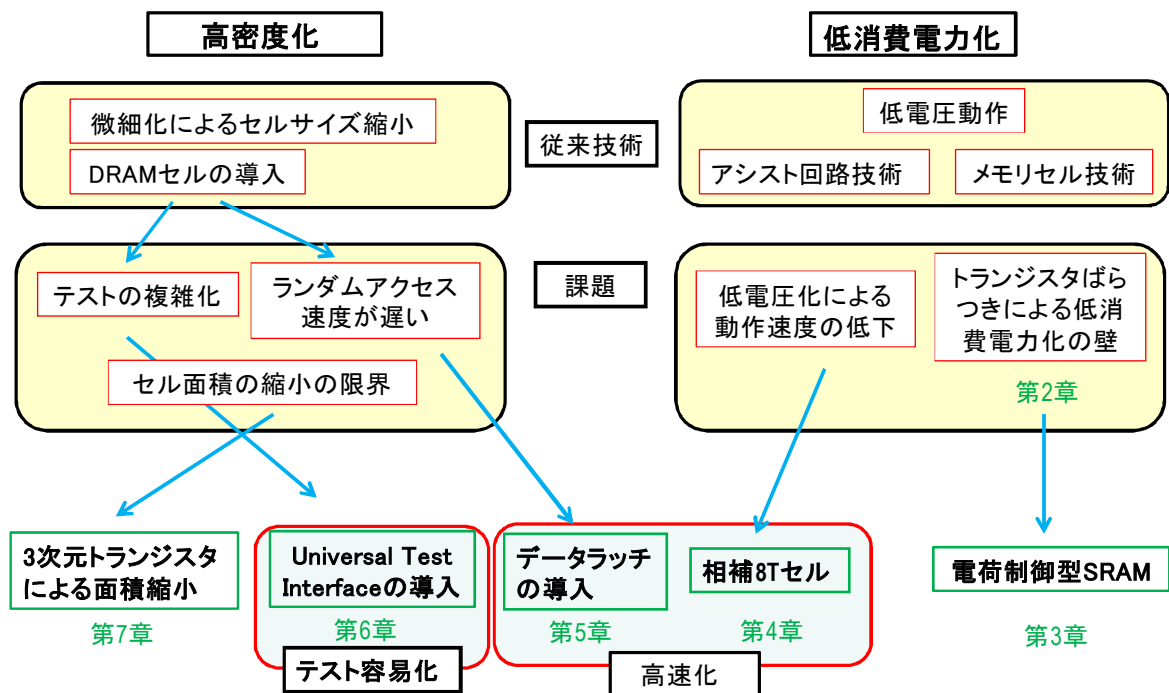


図 1-2 本論文の構成

表 1-1 本論文の構成

	低消費電力化	高速化		テスト容易化	高密度化
		アクセス タイム	メモリバ ンド幅		
電荷制御技術によるSRAMの低電力化 (第3章)	◎	—	—	—	—
8Tメモリセルの相補化による高速、低消費電力化 (第4章)	○	◎	—	—	—
DRAM混載技術による高バンド幅、低消費電力化 (第5章)	○	—	◎	—	○
大容量混載メモリのテスト容易化 (第6章)	—	—	—	◎	○
3次元トランジスタによる低電力化 (第7章)	◎	—	—	—	○

1 章の参考文献

- [1] H. Tanaka, " SoC Embedded Memories", Fujitsu, vol.56, NO.4 pp279-285, July 2005.
- [2] D. Takashima, Y. Nagadomi, K. Hatsuda, Y. Watanabe, and S. Fujii, " A 128 Mb Chain FeRAM and System Design for HDD Application and Enhanced HDD Performance," IEEE J. Solid-State Circuits, vol. 46, no. 2, pp. 530-536, Feb. 2011.
- [3] K. Tsuchida, T. Inaba, K. Fujita, Y. Ueda, T. Shimizu, Y. Asao, T. Kajiyama, M. Iwayama, K. Sugiura, S. Ikegawa, T. Kishi, T. Kai, M. Amano, N. Shimomura, H. Yoda, Y. Watanabe, " A 64Mb MRAM with Clamped-Reference and Adequate-Reference Schemes," ISSCC Digest of Technical Papers, pp. 258-259, Feb. 2010.
- [4] H. Kawasaki, V. S. Basker, T. Yamashita, C.-H. Lin, Y. Zhu, J. Faltermeier, S. Schmitz, J. Cummings, S. Kanakasabapathy, H. Adhikari, H. Jagannathan, A. Kumar, K. Maitra, J. Wang, C.-C. Yeh, C. Wang, M. Khater, M. Guillorn², N. Fuller, J. Chang, L. Chang, R. Muralidhar, A. Yagishita, R. Miller, Q. Ouyang, Y. Zhang, V. K. Paruchuri, H. Bu, B. Doris, M. Takayanagi, W. Haensch, D. McHerron, J. O' Neill , and K. Ishimaru, " Challenges and Solutions of FinFET Integration in an SRAM Cell and a Logic Circuit for 22 nm node and beyond," IEDM Digest of Technical Papers, pp. 289-292, Dec. 2009.
- [5] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka[†], Y. Oda[†], M. Igarashi, M. Takeuchi, H. Kawashima, H. Makino, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, K. Ishibashi, and H. Shinohara, " A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits," IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 820-829, Apr. 2007.
- [6] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii, H. Kawaguchi, and M. Yoshimoto, "An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 256-257, June 2007.
- [7] Qi Li, Bo Wang, and Tony T. Kim, "A 5.61 pJ, 16 kb 9T SRAM with Single-ended Equalized Bitlines and Fast Local Write-back for Cell Stability Improvement," Proceedings of European Solid-State Device Research Conference, pp. 201-204, Sept. 2012.
- [8] K. Hui, and D. Tuan, "A 16Kb 10T-SRAM with 4x read-power reduction," Proceedings

- of IEEE International Symposium on Circuits and System, pp. 3485–3488, June 2010.
- [9] P. Gillingham, B. Hold, I. Mes, C. O’Connell, P. Schofield, K. Skjaveland, R. Torrance, T. Wojcicki, and H. Chow, “A 768k Embedded DRAM for 1.244Gbls ATM Switch in a 0.8 Logic Process,” ISSCC Digest of Technical Papers, pp. 262–263, Feb. 1996.
- [10] K. Sawada, T. Sakurai, K. Nogami, T. Iizuka, Y. Uchino, Y. Tanaka, T. Kobayashi, K. Kawagai, E. Ban, Y. Shiotari, Y. Itabashi, and S. Kohyama, “A 72K CMOS Channelless Gate Array with Embedded 1Mbit Dynamic RAM,” Proceedings of IEEE Custom Integrated Circuits Conference, pp. 20.3/1 – 20.3/4, May 1988.
- [11] K. Inoue, H. Nakamura, H. Kawai, T. Tani, Y. Sakemi, H. Matsuoka, M. Ishikawa, J. Matsumoto, K. Yamamoto, K. Takahashi, M. Yamawaki, E. Yokomoto, C. Hart, J. tin, K. Ishihara, K. Shimotori “A 1 Omb 3D Frame Buffer Memory with Z-Compare and Alpha-Blend Units,” ISSCC Digest of Technical Papers, pp. 262–263, Feb. 1996.
- [12] K. Sunouchi, H. Takato, N. Okabe, T. Yamada, T. Ozaki, S. Inoue, K. Hashimoto, K. Hieda, A. Nitayama, F. Horiguchi and F. Masuoka, “A Surrounding Gate Transistor (SGT) Cell for 64/256Mbit DRAMs,” IEDM Digest of Technical Papers, pp. 23–26, Dec. 1989.
- [13] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, “A Fully Depleted Lean-channel Transistor (DELTA),” IEDM Digest of Technical Papers, pp. 833–836, Dec. 1989.
- [14] H. Fuketa, T. Yasufuku, S. Iida, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, “Device–Circuit Interactions in Extremely Low Voltage CMOS Designs,” IEEE International Electron Devices Meeting Digest of Technical Papers, pp. 25.1.1 – 25.1.4, Dec., 2011.
- [15] B. Zimmer, S.O. Toh, H. Vo, Y. Lee, O. Thomas, K. Asanovi^ć, and B. Nikoli^ć, “SRAM Assist Techniques for Operation in a Wide Voltage Range in 28-nm CMOS,” IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS–II: EXPRESS BRIEFS, vol. 59, no. 12, Dec. 2012.
- [16] M. Yamaoka and T. Kawahara, “Operating-margin-improved SRAM with Column-at-a-time Body-bias Control Technique,” Proceedings of the IEEE European Solid-State Circuits Conference, pp. 396–399, September 2007.
- [17] M. Iijima, K. Seto, M. Numa, A. Tada, and T. Ipposhi, “Low Power SRAM with Boost Driver Generating Pulsed Word Line Voltage for Sub-1V Operation,” JOURNAL OF COMPUTERS, vol. 3, no. 5, pp. 34–40, May 2008.

- [18] T. Namekawa, S. Miyano, R. Fukuda, R. Haga, O. Wada, H. Banba, S. Takeda, K. Suda., K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, and K. Numata, "Dynamically Shift-Switched Dataline Redundancy Suitable for DRAM Macro with Wide Data Bus," IEEE Journal of Solid-State Circuits, pp. 705-712, vol.35, no.5, May 2000.

第2章 従来のSRAMの低消費電力技術と解決すべき課題

2-1 緒言

本章では、SRAMの低消費電力化技術を概観するとともに、トランジスタの微細化の進展に伴い、新たに現れてきた解決すべき技術的課題について述べる。

システムLSIにおけるSRAMの低消費電力化の重要性は広く認識されており、SRAMの低消費電力化技術も多岐にわたって提案されている。これらの低消費電力化技術は大きくメモリセル技術によるものと周辺回路技術に分けられるが、最初にそれらの低消費電力技術について概観し、各々の技術の効果と限界について述べる。その上で、近年のトランジスタの微細化の進展に伴い顕著になってきたトランジスタのローカルばらつきがSRAMの消費電力に対する影響について述べる。トランジスタのローカルばらつきの増大のため、単にSRAM動作電圧を低下させても消費電力が増大してしまう可能性を示し、新たな解決策の必要性を述べる。

2-2 SRAMの低消費電力化技術

最初にSRAMの低消費電力化の課題について述べる。SRAMの消費電力は、SRAMが動作しているときの動作時の消費電力と待機時の消費電力に大きく2つに分けられる。どちらの消費電力の低減も応用上重要であるが、本論文では、主として動作時の消費電力の低減手段を取り扱う。SRAMは、動作時には、ワード線、ビット線、メモリセルからなるメモリアレイ部とデコーダ部などの周辺回路部における充放電電力が主たる電力消費の源となる。よく知られているように、LSIの動作周波数を F 、充放電容量を C 、動作電圧を V とすれば、LSIの充放電電力 P は $P = F C V^2$ となるため、動作電圧を下げることは消費電力低減のための有効な手段とされ、SRAMについても動作電圧を低減させる研究が数多く行われている[1][2][3]。SRAMの低電圧動作を行う上での最も大きな壁は、SRAMメモリセルの特性にある。6トランジスタ型のメモリセルでは、読み出し時のメモリセルのデータ保持能力と、書き込み時の書き込みやすさともに動作電圧の低下とともに劣化していくことが知られている。その上、データ保持能力と買い込みやすさの間にトレードオフの関係が存在する。書き込み動作はセルのデータを反転させる動作であるため、安定性の高いセルほど書き込みにくいという関係が存在する。図2-1は、その様子を示す1例であるが[4]、トランジスタの閾値を変化させた時に、NMOSの閾

値を深くしたり、PMOS の閾値を浅くすれば書き込みが難しくなり、反対に NMOS の閾値を浅くしたり、PMOS の閾値を深くすればメモリセルの安定性が損なわれる。また、動作電圧を下げると、動作領域が減少していく。このような SRAM 動作の低電圧化の困難を回避するために様々な試みが行われている。それらの試みは大きく分けて低電圧で動作可能なメモリセルを開発するものと、周辺回路にメモリセルの動作を補助（アシスト）する機能を持たせるアシスト回路技術の開発を進めるものの 2 方向の技術開発となる。一般に低電圧動作可能なメモリセルはメモリセル面積が増大し、アシスト回路技術で周辺回路規模が増加することとなる。従って、小容量のメモリでは、メモリセルそのものの低電圧化を行うことが面積オーバーヘッドの小さい方法となり、メモリセルの占める面積が大きい大容量メモリでは、アシスト回路技術の面積オーバーヘッドが小さくなる傾向がある。以下 2-3、2-4、2-5 の各節でこれらの低電圧動作 SRAM 技術について概観する。

2-3 メモリセルの低電圧化

SRAMメモリセルは最近では、4つのトランジスタからなるラッチ回路と2つのアクセストランジスタからなる6トランジスタ(6T)型の構成が広く使われている(図2-2(a))。これは、面積オーバーヘッドが小さく、システムLSI上のメモリの高集積化に適した構造である。しかしながら、微細化が進展し、ランダムばらつきの影響が大きくなるにつれて、動作マージンが減少し、前述のようにメモリセルの安定性と書きやすさの間のトレードオフが特に低電圧で顕著に見えるようになって来た。そこで、この6Tメモリセルの課題を修正したメモリセルの提案が行われるようになった。代表的なメモリセルの一例として、図2-2(b)に示すシングルエンド読み出しの8Tメモリセルがある。2つのトランジスタを追加することによって、読み出し専用のポートを設け、読み出し時にストレージノードとビット線が直接接続されないため、読み出し安定性と書き込みやすさのトレードオフを免れることが可能となり、低電圧動作が6Tメモリセルよりも容易に行えるという特徴を持っている。シングルエンド型の8Tメモリセルは低電圧の安定動作を要求されるいくつかのシステムLSI中で使用されている[5][6]。8Tメモリセルは、低電圧での動作マージンの観点からは優れた特性を示すが、低電力メモリとしてはいくつかの課題がある。第一にシングルエンド読み出しのために、センスアンプを用いた微小振幅読み出しが難しく通常は図2-3に示すような単純なインバ

ータ受けの読み出し回路となり、読み出し時のビット線がフル振幅することが必要となる。そのため、1回のメモリセルアクセスにおけるビット線の充放電電力が、6Tメモリセルのように相補読み出しが可能なメモリセルに比べて、大きくなってしまいう問題がある。前述のようにビット線の充放電電力がSRAMの消費電力の大きな部分を占めるため、動作電圧が低下してもビット線充放電電力が大きくなってしまいうと、低消費電力化の効果は限られたものとなってしまいう。また、シングルエンド型8T SRAMのもう一つの課題は、書き込み動作時の非選択セル、いわゆるハーフセレクトセルの安定性の問題がある。シングルエンド型8Tセルには書き込み時には、6Tメモリと同様に書き込みビット線からアクセストランジスタを介してラッチに保持されているデータを反転する。この時、非選択セルでは、書き込みワード線が選択されている状態でデータを保持する必要があり、6T型メモリセルと同様なメモリセルデータの安定性の問題が生じる。これらの問題を回避するために、さらにトランジスタの数を増やして、相補型読み出しをじつげんしつつ、ハーフセレクトの問題を回避する9T [7]、10T [8]のメモリセルが提案されているが、メモリセルの面積が大きくなってしまいうため実用的な解決策に至っていない。

2-4 アシスト回路技術による低電力化 (write 動作)

メモリセルの改良により動作マージンを改善し、低い動作電圧を実現し、消費電力を低下させる試みの他に、周辺回路の工夫によってSRAMを低電圧まで動作させることによって、消費電力を低下させる試みも数多く報告されている。以下に、write動作に関わるアシスト回路の代表的な例を述べる。

(1) メモリセル電源降圧技術 [9]

Write動作は、メモリセルが保持しているデータを反転させる必要がある。メモリセルにwrite動作を行うときにメモリセル電源の電圧を下げれば、メモリセルのデータ保持能力が低下して、write marginを向上させることができる。Read動作時には、メモリセルのデータ保持特性を保つために、メモリセル電源を復帰させる必要がある。図2-4に構成の一例を示す。WEが入力された時だけ、メモリセルに低いVDDが供給されWrite Marginを上げることができる。ただし、メモリセルの電源電圧を下げたため、低電圧では、非選択セルのretention不良を生じるという課題がある。

(2) ワード線昇圧技術 [10]

ワード線電圧を高くすることにより、ビット線からメモリセルのHigh側のノードがLowに書き変えるためのビット線に引き抜く電流を増やすことができ、メモリセルの書き換えが容易になる。上記(1)と同様に、ワード線電圧をあげるとメモリセルのデータ保持能力は低下するため、昇圧電圧は慎重に決定する必要がある。この問題を避けるため、write時のみ、ワード線昇圧する手段も存在するが、write時の非選択セルでは、やはりデータ保持能力の低下を避けることができない。

(3) ビット線負電位技術 [11]

Write時のビット線のLowレベルを負電位にすることによって、ワード線昇圧と同様にメモリセルへのローレベルの書き込みを容易にする。メモリセルの負荷側のPMOSトランジスタのゲートに負電圧を与えることができるため、メモリセルの反転が容易になる。また、選択セルのみに負電位を与えることが可能で、非選択セルのデータ保持能力に影響を与えずにwrite marginを向上することができる。ただし、一般にwrite時に活性化されるビット線はワード線より容量負荷が重いため、負電位を生成するための回路の電力消費が大きいことが欠点である。図2-5に構成の一例を示す。

上記のように種々のwrite marginの向上を図るアシスト回路が提案されているが、データ保持能力の劣化を招いたり、昇圧(降圧)回路による消費電力増大したりなどの課題を抱えている。

2-5 アシスト回路技術による低電力化 (read動作)

Writeの場合と同様、read時のデータ保持能力を向上させるためのアシスト回路も数多く提案されている。いくつかの例を本節に示すが、write marginとread時のデータ保持特性は基本的にトレードオフの関係にあるため、2-5節で述べたwriteアシストと反対の制御となるものが多い。

(1) メモリセル電源昇圧技術 [12]

メモリセルの電源電圧を上昇させれば、データ保持の力は高まるが、書き込み動作は難しくなる。そこで、動的にメモリセル電源を制御して、read動作の時のみ、メモリセル電源の電圧を昇圧する。この制御により、メモリセルの安定性が向上するだけでなく、

セル電流の増加を通じて、SRAM のアクセスタイムの改善も見込めるため、有力なアシスト手法の一つである。

(2) ワード線レベル制御 [13]

Write Assist の時とは逆に、ワード線電圧を低くすることにより、メモリセルの安定性を向上させることができる。読み出し速度の低下などの副作用はあるが、アクセストランジスタの駆動力低下を通じてメモリセルの β 比を改善することができる。ワード線電圧を低下させるとメモリセルの書き込みマージンは低下するため、ワード線レベルは慎重に決定する必要がある。この問題を避けるため、Read 時のみ、ワード線レベルを下げる制御方法も有効である。

(3) ワード線スリューレート技術 [14]

上記のようにワード線のレベルを下げればメモリセルの安定性は増すが、書き込みマージンは減少する。このトレードオフを緩和するために図2-6に示すように、ワード線を2段階に上げる制御方法が考案されている。最初ワード線のレベルを低いレベルにとどめることによってメモリセルの安定性を確保し、メモリセルのデータによってビット線にレベル差がついたところで、ワード線のレベルを高いレベルに上げる。ビット線にセルのデータと同じ方向の電圧レベル差がついているため、ワード線レベルを高くしてもセルの安定性が保たれる。メモリセルデータの安定性が確保されたのちに、ワード線を所定のレベルまで上げることにより、write マージンを確保しながら、メモリセルの安定性を増す制御をおこなうことができる。しかし、ワード線を2段階で上げるため、アクセス速度の低下を完全に免れることはできない。

以上述べてきたように、ワード線、ビット線、セル電源の電圧を制御することによって、write マージン、read 安定性を向上させることが可能であり、これらの制御をさまざまに組み合わせた数多くの試みが行われている。ただし、これらの制御において、write マージンを向上させる方向と、read 安定性を向上させる方向は逆方向になってしまうため、極端な制御をすることは難しく、低電圧化に向けた動作マージンの改善は一定のレベルの限界の中にとどまっている。

2-6 トランジスタの微細化とランダムばらつきの増大

LSI を構成するトランジスタの微細化が進むにつれて、一つ一つのトランジスタの特性のばらつきが LSI の動作マージンを確保する上で大きな問題となってきた。トランジスタの閾値電圧 (V_{th}) のばらつきを示す指標としては、PELGRM [15] による A_{vt} が広く使われている。 A_{vt} を用いてしきい値ばらつきの標準偏差 σ_{vth} は、

$$\sigma_{V_{th}} = A_{vt} / \sqrt{LW}$$

と表現される。すなわち、トランジスタのしきい値ばらつきの標準偏差 σ_{vth} は、 $1/\sqrt{LW}$ に比例し、その比例係数が A_{vt} となる。

この式に見られるように、トランジスタのゲート長 L 、ゲート幅 W が微細化するにつれて、しきい値のばらつきが増大してくることが分かる。一般にデジタル回路においても、トランジスタしきい値のばらつきが増大することによって、回路の動作マージンが減少していくことが知られているが SRAM においても同様な回路マージンの低下や、メモリセルの読み出しマージン、書き込みマージンの劣化が生じる [16]。

2-7 ランダムばらつきの増大による低電力化の限界

前節で述べた、トランジスタのランダムばらつきは、SRAM の動作マージン劣化による低電圧動作の困難化の他に、SRAM の低消費電力に対しても大きな影響を与える。トランジスタのランダムばらつきが SRAM の消費電力の増大をもたらすメカニズムは以下のようなものである。

SRAM の充放電電力の大きな部分はビット線の充放電電力で占められている。通常ビット線の振幅は、読み出しの高速性と消費電力の観点から小振幅動作するように設計されている。必要な最小の振幅の大きさは、通常センスアンプのオフセット電圧で決まり、数 10mV から 100mV の大きさとなる。最も信号のデル速度の遅いメモリセルからの信号が、この必要最小限のビット線振幅に達する時間を待って、センスアンプが活性化される。動作電圧が高く、トランジスタのローカルばらつきが小さい場合は、最も遅いセルからでる信号が必要最小限のビット線振幅に達するまでの時間と、平均的なメモリセルからの信号が必要最小限のビット線振幅に達するまでの時間の差は、比較的小さく、ビット線振幅は全体として小振幅の領域にとどまる。しかし、動作電圧が下がり、微細化によってトランジスタのローカルばらつきが大きくなってくると事情は異なる。最も遅いセルからでる信号が必要最小限のビット線振幅に達するまでの時

間と、平均的なメモリセルからの信号が必要最小限のビット線振幅に達するまでの時間の差が広がり、最も遅いセルからでる信号が必要最小限のビット線振幅に達する間に平均的な速度のビット線は、非常に大きな振幅を持つようになる。川澄ら [17] によるランダムばらつきによる平均振幅の増大をシミュレーションした結果を図 2-7 にしめす。このシミュレーション結果では、動作電圧 0.9V では、平均ビット線振幅 0.14V であるが、0.5V まで動作電圧を低下させると多くのビット線がフル振幅で動作するようになり、平均ビット線振幅は 0.4V まで増大している。

2-8 結言

本章では、SRAMの低消費電力化に向けた回路技術について述べ、その課題についてのべた。従来のSRAMの低電力化技術は、主としてSRAMの低電圧動作を実現することを通じて実現することを目指したものであった。低電圧動作を実現するために、メモリセルを構成するトランジスタの数を増やしたり、周辺回路の工夫（アシスト回路技術）によって低電圧でのメモリセルの動作マージンの向上を図るなどの試みがなされてきた。メモリセル技術としては、従来の6T型のメモリセルにトランジスタを追加することによりメモリセルの動作マージンを向上させたり、Read動作とWrite動作のトレードオフを回避させたりするために、8T、9T、10Tなどのメモリセルが提案されている。しかし、面積オーバーヘッドが大きいなどの理由により、一部の用途に対してしか実用化に至っていない。また、周辺回路によるアシスト回路技術では、セル電源、ワード線、ビット線の電圧を様々に制御して、メモリの動作マージンを向上させる試みが行われている。ただし、これらの制御においても、writeマージンを向上させる方向と、read安定性を向上させる方向は逆方向になってしまうため、極端な制御をすることは難しく、低電圧化に向けた動作マージンの改善は一定のレベルの限界の中にとどまっているのが現状である。

近年、微細化の進展とともに、トランジスタのランダムばらつきがメモリセルの動作マージンを低下させてSRAMの低電圧動作は一層困難になってきている。それに加えて、微細化の進展によるランダムばらつきの増大とともに、単に動作電圧を低下させただけでは、低消費電力化が難しいという課題が見えてきた。SRAMのダイナミックな消費電力の中で、ビット線の充放電電力は大きな割合を占めているが、ランダムばらつきの増大により、ビット線の振幅のばらつきが大きくなり、センスアンプのオフセット電圧などで決まる、必要最小限のビット線振

幅に、最も遅いセルからの信号が到達する時間で、大部分のセルははるかに大きなビット線振幅をもつようになる。その結果、動作電圧を低下させたにもかかわらず、平均的なビット線振幅はかえって増大してしまうという問題が顕在化してくる。

次章では、トランジスタのランダムばらつきによるビット線充放電電力の増大についての考察を深めるとともに、この課題を解決するための回路技術について述べる。

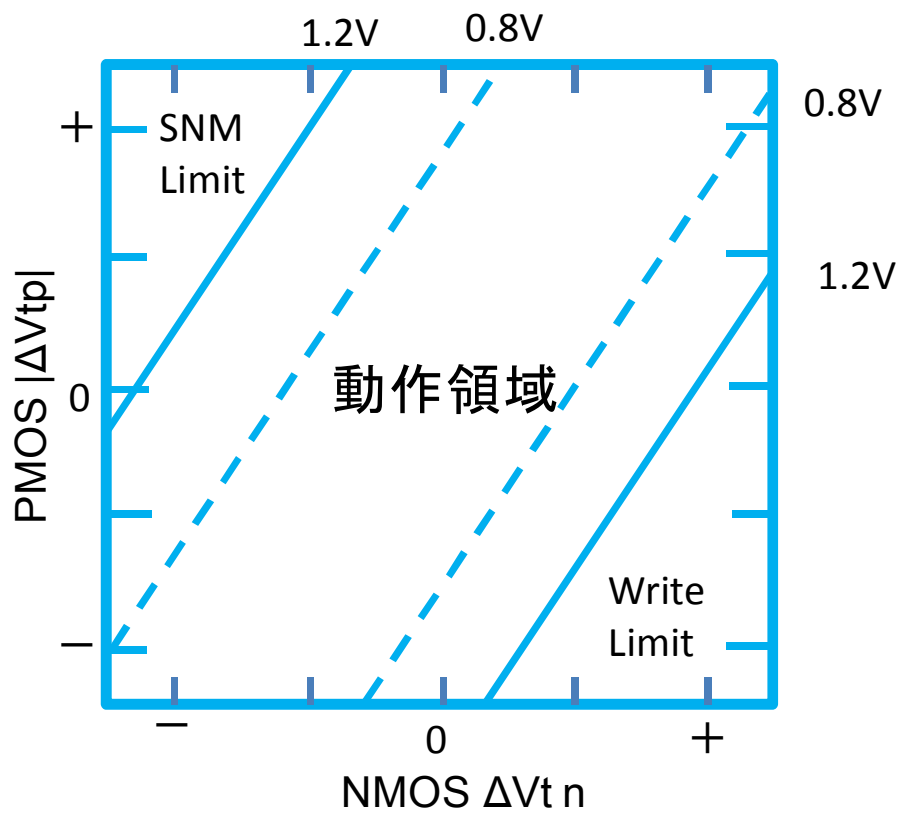


図 2 - 1 SRAMセルの動作領域と動作電圧、 V_t の関係

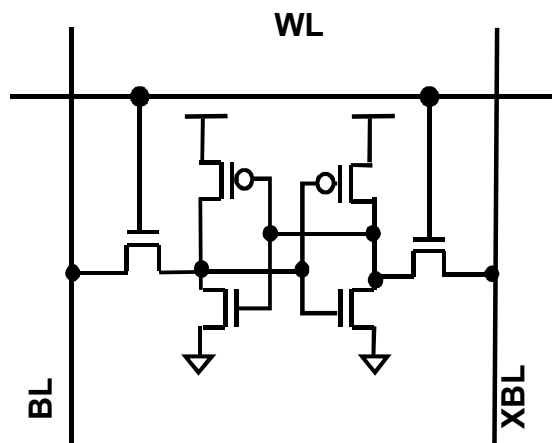


図 2 - 2 (a) 6Tセル

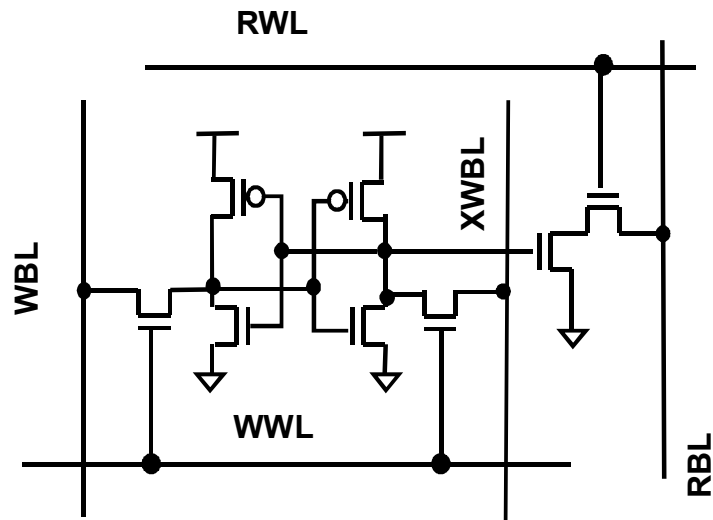


図 2-2 (b) 8Tセル

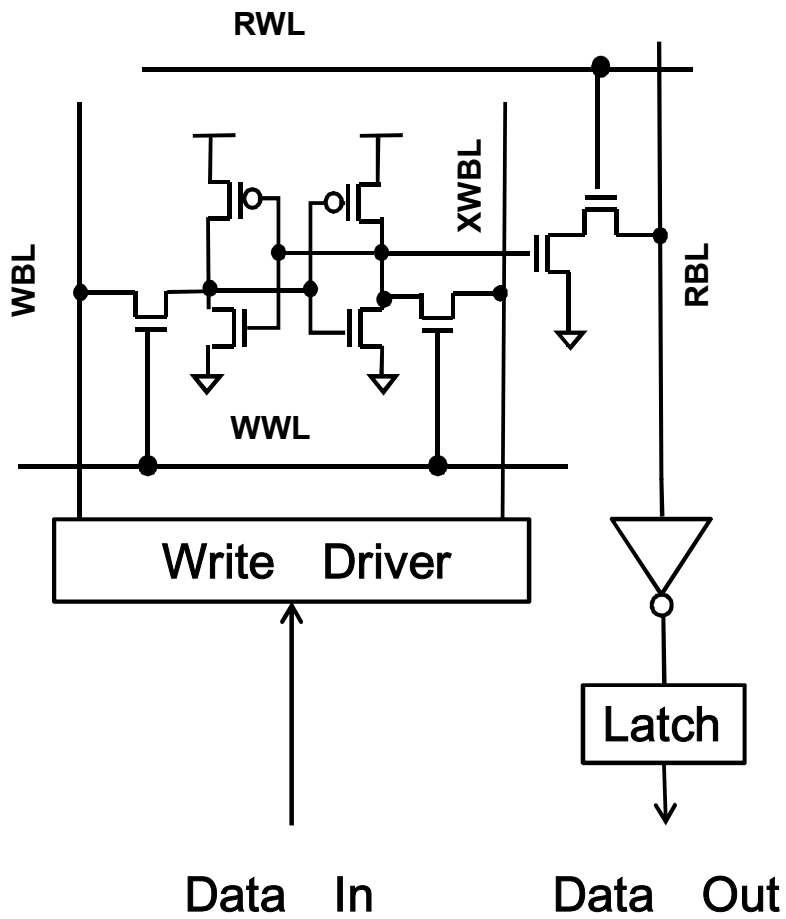


図 2-3 8Tセルの読み出し回路

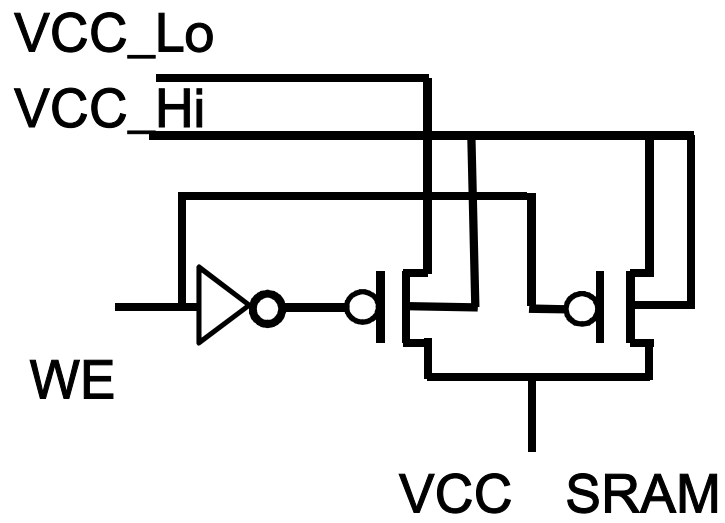


図 2-4 メモリセル電源降圧による write assist 回路

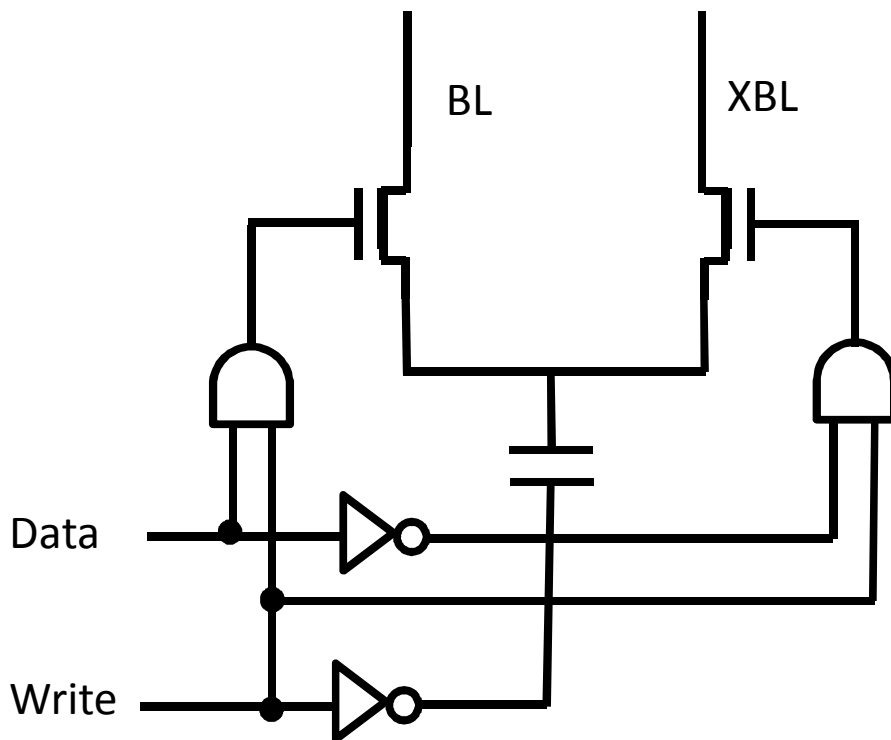


図 2-5 ビット線負電位技術による write assist 回路

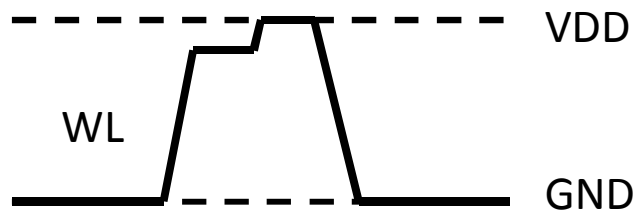


図 2-6 ワード線の 2 ステップ駆動による Read Assist 制御

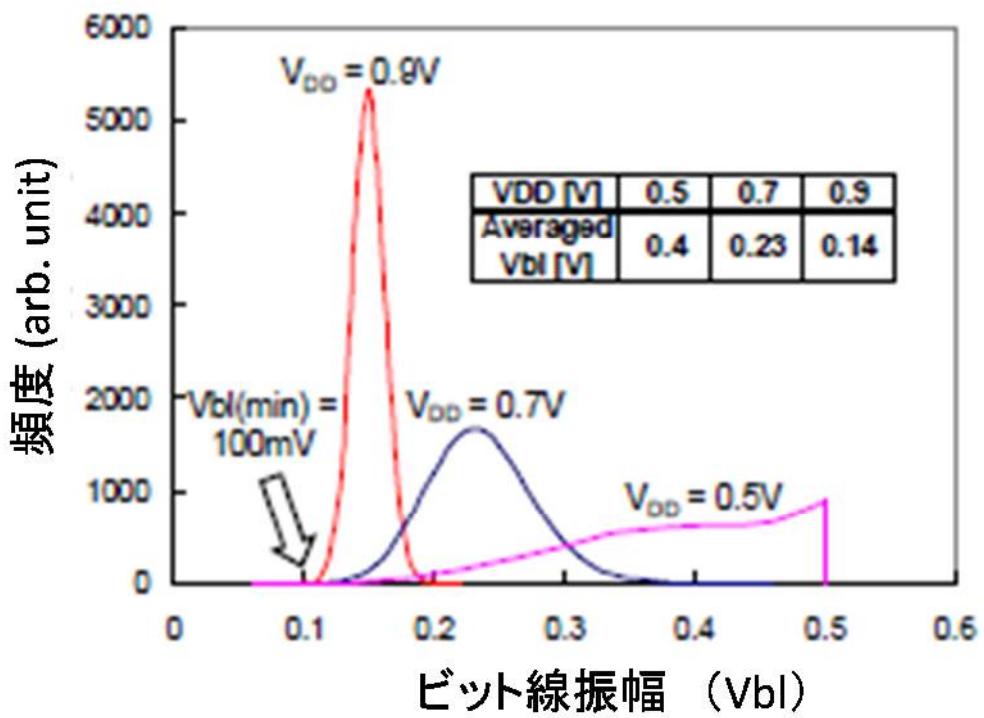


図 2-7 トランジスタのランダムバラつきによる、低電圧化による平均ビット線振幅の増大 [17]

2章の参考文献

- [1] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka †, Y. Oda †, M. Igarashi, M. Takeuchi, H. Kawashima, H. Makino, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, K. Ishibashi, and H. Shinohara, ” A 65 nm SoC Embedded 6T-SRAM Design for Manufacturing with Read and Write Cell Stabilizing Circuits,” IEEE J. Solid-State Circuits, vol. 42, no. 4, pp. 820–829, Apr. 2007.
- [2] L. Chang, D. M. Fried, J. Hergenrother, J. W. Sleight, R. H. Dennard, R. K. Montoye, L. Sekaric, S.J. McNab, A. W. Topol, C. D. Adams, K. W. Guarini and W. Haensch, “Stable SRAM Cell Design for the 32nm Node and Beyond,” Symposium. on VLSI Technology Digest of Technical Papers, pp128–129, June 2005.
- [3] M.E. Sinangil, N. Verma, A. P. Chandrakasan, “A Reconfigurable 65nm SRAM achieving Voltage Scalability from 0.25–1.2V and Performance Scalability from 20kHz–200MHz,” Proc. European Solid-State Circuits Conference (ESSCIRC), pp.282–285, Sept. 2008.
- [4] M. Yamaoka, N. Maeda, Y. Shinozaki, Y. Shimazaki, K. Nii, S. Shimada, K. Yanagisawa, T. Kawahara, “90-nm Process-Variation Adaptive Embedded SRAM Modules With Power-Line-Floating Write Technique,” IEEE J. Solid-State Circuits,, vol. 41, no. 3, pp.705–711, Mar. 2006
- [5] S. Yoshimoto, M. Terada, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi and M. Yoshimoto, “A 40-nm 0.5-V 20.1-uW/MHz 8T SRAM with Low-Energy Disturb Mitigation Scheme,” Digest of Technical Papers, Symposium on VLSI Circuits, pp. 72–73, Jun. 2011.
- [6] Y. Morita, H. Fujiwara, H. Noguchi, Y. Iguchi, K. Nii , H. Kawaguchi, and M. Yoshimoto, “An Area-Conscious Low-Voltage-Oriented 8T-SRAM Design under DVS Environment,” Symposium on VLSI Circuits, Digest of Technical Papers, pp. 256–257, June 2007.
- [7] Qi Li, Bo Wang, and Tony T. Kim, “A 5.61 pJ, 16 kb 9T SRAM with Single-ended Equalized Bitlines and Fast Local Write-back for Cell Stability Improvement,” Proceedings of European Solid-State Device Research Conference, pp. 201–204, Sept. 2012.

- [8] K. Hui, and D. Tuan, "A 16Kb 10T-SRAM with 4x read-power reduction," Proceedings of IEEE International Symposium on Circuits and System, pp. 3485-3488, June 2010.
- [9] M. Koyanagagi, H. Sunami, N. Hashimoto and M. Ashikawa, " Novel High Density Stacked Capacitor MOS RAM," IEDM Digest of Technical Papers, pp. 348-349, Feb. 1978.
- [10] M. Iijima, K. Seto, M. Numa, A. Tada, and T. Ipposhi, " Low Power SRAM with Boost Driver Generating Pulsed Word Line Voltage for Sub-1V Operation," JOURNAL OF COMPUTERS, vol. 3, no. 5, pp. 34-40, May 2008
- [11] Y. Fujimura, O. Hirabayashi, T. Sasaki, A. Suzuki, A. Kawasumi, Y. Takeyama, K. Kushida, G. Fukano, A. Katayama, Y. Niki, and T. Yabe, "A Configurable SRAM with Constant-Negative-Level Write Buffer for Low-Voltage Operation with 0.149 μm^2 Cell in 32nm High- κ Metal-Gate CMOS," ISSCC Digest of Technical Papers, pp. 348-349, Feb. 2010..
- [12] H. Yamauchi, T. Iwata, H. Akamatsu, and A. Matsuzawa, "0.8V/100MHz/sub-5mW-Operated Mega-bit SRAM Cell Architecture with Charge-Recycle Offset-Source Driving (OSD) Scheme," Digest of Technical Papers, Symposium on VLSI Circuits, pp. 126-127, Jun. 1996.
- [13] S. Ohbayashi, M. Yabuuchi, K. Nii, Y. Tsukamoto, S. Imaoka, Y. Oda, T. Yoshihara, M. Igarashi, M. Takeuchi, H. Kawashima, Y. Yamaguchi, K. Tsukamoto, M. Inuishi, H. Makino, K. Ishibashi, and H. Shinohara, " A 65-nm SoC Embedded 6T-SRAM Designed for Manufacturability With Read and Write Operation Stabilizing Circuits," IEEE J. Solid-State Circuits, vol. 42, no. 4, pp.820-829, Apr. 2007
- [14] B. Zimmer, S.O. Toh, H. Vo, Y. Lee, O. Thomas, K. Asanovic, and B. Nikolic, " SRAM Assist Techniques for Operation in a Wide Voltage Range in 28-nm CMOS," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-II: EXPRESS BRIEFS, vol. 59, no. 12, Dec. 2012.
- [15] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors," IEEE J. Solid-State Circuits, vol. 24, No. 5 pp. 1433-1440, Oct. 1989.
- [16] 山岡 雅直, "SRAM における素子ばらつきの影響と対策," 電子情報通信学会学会誌 92(6), 427-432, 2009-06-01.
- [17] A. Kawasumi, T. Suzuki, S. Moriwaki and S. Miyano, "Energy Efficiency Degradation Caused by Random Variation in Low-Voltage SRAM and 26% Energy Reduction by Bitline

Amplitude Limiting (BAL) Scheme,” IEEE Asian Solid-State Circuits Conference
Digest of Technical Papers, pp.165-168, Nov.2011.

第3章 電荷制御技術によるSRAMの低電力化

3-1 緒言

本章では、微細化・低電圧化によって、回路性能や消費電力に大きな影響を与えるトランジスタのばらつきによる、SRAMの消費電力の増大について説明し、これを回避するための低電力SRAM回路技術について述べる。第2章述べたように、従来のSRAMの低消費電力化回路技術は、主として低電圧動作を実現することによって低消費電力を達成することを目指していた。しかし、SRAMの低省電力化・低エネルギー化を推し進めるうえで低電圧化による道のりには2つの壁がある。1つは、低電圧化に伴い、速度が低下して、1アクセスあたりの消費エネルギーに占めるリーク電力成分の割合が増えていくことである。一般に、メモリはロジック回路に比べて活性化率が低く、全消費エネルギーに占めるリーク成分の割合が高いが、低電圧化に伴う、速度低下によりその割合は一層増大していき、ある程度以上低電圧化が進むとリーク電流のために1サイクルあたりの消費エネルギーが増大していつてしまう。どの程度の電圧からエネルギー増大が起こるかは様々な条件によるが、更田ら[1]にの解析によれば、SRAMの1サイクルあたりの消費エネルギーは動作電圧が0.5V付近から急激に増大していく。

低電圧化に伴う、もう一つの課題は、低電力化によってトランジスタに対するオーバードライブ量が減少し、しきい値ばらつきに対してトランジスタの電流が大きく変動するようになるということである。SRAMにおいては、ビット線の充放電電力が消費電力の中で大きな割合を占めるが、しきい値ばらつきによるセル電流の変動により、ビット線の振幅が大きくばらつく。前章で述べたようにビット線振幅のばらつきが、平均的ビット線振幅の増大を通じて、SRAMの低消費電力化の妨げとなる。

上記のような状況から、極限的な低消費電力化を進めていくためには、単に低電圧化を推し進めていくのではない、SRAMの低消費電力化の技術の開発、とりわけ、トランジスタばらつきによるエネルギー消費の増大に対する低消費電力化技術の開発が必要とする。本章では、トランジスタばらつきによるエネルギーの増大を抑制し、電圧低下によらない低消費電力回路として、SRAMのデータ転送における電荷に着目した、電荷制御型SRAM技術について述べる。

3-2 トランジスタのランダムばらつきとSRAMの消費電力

前章でも述べたが、本節では、トランジスタのランダムばらつきによるSRAMの消費電力の増大についてさらに詳しく述べる [2] [3] [4]。

図3-1に一般的なSRAMのメモリアレイを示す。ワード線が選択されると選択ワード線に接続されるメモリセルからビット線にデータが転送される。通常、ワード線が非選択の時には、ビット線はHighプリチャージされているため、メモリセルのLow側のノードに電流が引かれることによって対応するビット線の電位がLow側にひかれていく。一本のワード線が選択されることによって、多数のビット線が同時に動作するため、ビット線の充放電電流がSRAMの動作時の消費電力の中で大きな割合を占める。そのため、SRAMの小電力低減のためには、ビット線充放電電力を下げるのが最も重要である。ビット線充放電電力の低減と読み出しの高速化のために、ビット線は小振幅動作させて、センスアンプで信号を増幅することによって外部に信号を取り出している。図3-2にモンテカルロシミュレーションによるビット線動作波形の一例を示す。ビット線の最小振幅はセンスアンプオフセット電圧などで決まる最小検知電圧より大きくなければならない。各メモリセルが引き込む電流(セル電流)はばらつきがあるため、最も遅い(セル電流の少ない)メモリセルによるビット線振幅がセンスアンプの検知できる最小レベルまで振幅するまでワード線をオン状態にしておかなければならない。するとより速い(セル電流の多い)メモリセルに接続されたビット線は、必要な最小レベル以上の振幅をすることになる。SRAMの動作電圧が1.2Vの時は、トランジスタの V_{th} に対して十分なオーバードライブ電圧があるためセル電流のばらつきは小さく、ビット線の平均振幅は200mV程度に抑えられている。

SRAMの動作電圧を低下させていくとメモリセルのトランジスタにかかるオーバードライブ量が減少していき、トランジスタの V_{th} のローカルばらつきを敏感に反映するようになり、セル電流が大きくばらつくようになる。これに伴い、遅いセルと早いセルの速度差が増えて、ビット線ばらつきのばらつきが増大していく。図3-3は動作電圧0.5Vの時のモンテカルロシミュレーションによるビット線動作波形の一例である。1.2Vの時と比べてビット線振幅のばらつきは大きくなり、多くのビット線がフルスイングするようになり、平均ビット線振幅も動作電圧1.2Vの時よりも大きくなる。このことは単純に動作電圧を低下させても、トランジスタのランダムばらつきにより、ビット線充放電電力を下げるのが難しいということの意味して

いる。

3-3 電荷制御型 SRAM 技術 ～ビット線チャージシェアによる低電力化～

ランダムばらつきによるビット線充放電電力の増大を抑えるために、ビット線を充放電する電荷に着目した制御方式を開発した [2]。図 3-4 に新たに開発したビット線チャージシェア回路を示す。メモリアレイは図の左に示すようにサブアレイに分割され、それぞれのサブアレイを貫通するローカルビット線(LBL/LBLX)とサブアレイ間をつなぐグローバルビット線(GBL/GBLX)の階層ビット線構造を有している。ローカルビット線とグローバルビット線はサブアレイごとにトランスファーゲートによって接続されており、GWL 信号によって制御されている。サブアレイの中の一つのワード線(図 3-4 では WL1)が選択されるとローカルビット線はメモリセル電流によって放電され、LBL か LBLX の片方が VSS レベルに向かって放電され、もう一方はプリチャージレベルである VDD に保たれる。ローカルビット線の片方の電位が VSS に到達するとメモリセル電流は停止する。すべてのローカルビット線対の情報がフル放電した状態になったのちに選択ワード線(WL1)を閉じる。するとローカルビット線は VSS レベルを保ったままフローティング状態となる。このときローカルビット線に蓄えられる電荷量はローカルビット線の容量ばらつきによって決まり、メモリセルのトランジスタのばらつきにはよらない。ローカルビット線の容量のばらつきは、メモリ線電流のばらつきに比べると非常に小さいため、どのローカルビット線にもトランジスタばらつきによらずほぼ一定量の電荷が蓄えられる。

この状態で、グローバルビット線のプリチャージを切り、GWL をオンさせてローカルビット線とグローバルビット線を接続させる。するとローカルビット線に蓄えられた電荷(電子)は、チャージシェアにより、図 3-5 に示すようにローカルビット線とグローバルビット線に再分配される。ローカルビット線に蓄えられた電荷は、トランジスタばらつきのよらないため、再分配された電荷によって、電位が変化するグローバルビット線の振幅もトランジスタばらつきによらず一定の振幅でそろえることができる。図 3-6 に上記のチャージシェア読み出しのタイミングダイアグラムを示す。

3-4 シミュレーションおよび実測結果 ～ビット線チャージシエアによる低電力化～

図3-7に動作電圧の0.5Vでのビット線チャージシエア方式によるSRAMのモンテカルロシミュレーション動作波形を示す。ローカルビット線の信号波形のばらつきは大きいですが、すべてのローカルビット線がフル振幅したのちにワード線がLowレベルにさがり、GWLが立ち上がる。その結果ローカルビット線の電荷がグローバルビット線に再分配されて、グローバルビット線に信号が転送される。そのため、グローバルビット線の振幅ばらつきは小さくなり、平均ビット線振幅を100mV以下に抑えることができている。図3-8にビット線チャージシエア方式によるビット線充放電電力を従来方式と比較したシミュレーション結果を示す。従来方式では、電圧を下げると、トランジスタのローカルばらつきによる平均ビット線振幅の増大の効果により消費電力低減効果が飽和するが、ビット線チャージシエア方式では低電圧領域まで電圧の二乗に比例して、ビット線充放電電力が低減していく。このため低電圧動作領域での本方式の優位性が高くなることがわかる。動作電圧0.5Vでは従来方式に比べて60%の消費電力低減を実現している。

ビット線チャージシエア回路方式のSRAMを65nmCMOSテクノロジーで試作した。図3-9にシムプロットを示す。試作したSRAMはより低電圧で動作可能となるようメモリセルのNMOSのバックゲートにフォワードバイアスを印加できるようにした。フォワードバイアスをかけない状態では、最低動作電圧は0.5Vであったが、フォワードバイアスをかけることによって最低動作電圧は0.1V改善した。図3-10にSRAMの消費エネルギーの実測結果を示す。電圧低下に伴いほぼ二乗に比例して消費エネルギーが低下していくことがわかる。また、フォワードバイアスを印加するとリーク成分が増えるため同じ電圧で比べると消費エネルギーは増えるが、最低動作電圧が低下するため、最低動作電圧で消費エネルギーを比較すると、20%程度フォワードバイアスを印加したほうが小さくなる。

試作したSRAMのチップ写真と緒元を表3-1、図3-11に示す。

3-5 電荷制御型 SRAM 技術 ～ビット線チャージコレクト回路による低電力化～

前節までで、SRAMのビット線に充放電される電荷に着目して、これを制御することによってランダムばらつきによるビット線充放電電力の増大を抑えることが可能であることを示した。本節では、電荷制御技術をさらに一歩進めて、非選択ビット線に充放電される電荷の制御を行うことによってさらなる低消費化を実現する技術について述べる [5] [6]。

図3-12にSRAMのデータ線の構造を示している。一つのワード線が選択された時に多くのメモリセルが選択され、接続されるビット線すべてにデータが出力され、ビット線が振幅し充放電電流が消費される。しかし、通常のSRAMでは、これらのビット線に出力されたデータはカラムアドレスによって選択されて、選択されたビット線のデータのみがSRAMの外に出力される。非選択のビット線に出力されたデータは外部に出力されることなく破棄される。したがって、これらの非選択ビット線の充放電電力はSRAMの動作にとって不要な動作であるにもかかわらず無駄に消費されている電力であるといえる。この無駄に捨てられていた電力をビット線電荷制御技術によって有効に活用する技術を開発した。図3-13は開発したチャージコレクト回路を含むSRAMのブロック図である。ワード線が選択されてローカルビット線がフル振幅し電荷（電子）がビット線に蓄積されるまでは前節のチャージシェア方式と同様である。ローカルビット線はチャージコレクト回路に接続されている。チャージコレクト回路はLow側に振幅したビット線を相互に接続する働きを持っている。つまり蓄積された電子はすべて同一ノードに集められる。その後カラム選択信号によって、集められた電子はチャージシェアによって選択グローバルビット線に再分配される。つまり、非選択のローカルビット線に読みだされた電子も選択グローバルビット線の信号として有効に活用されることになる。

チャージコレクタ回路の具体例を図3-14に示す。図では16個のビット線対がチャージコレクタ回路で接続されている。左端のカラム0が選択され、他の15個のビット線対は非選択の状態を示してある。ワード線を選択すると図に示すような回路により、選択カラム、非選択カラムとともにLow側に振幅するビット線が同一ノードに接続される。その後ワード線を立ち下げ、GCX<0>をオンさせると16個のLow側に振幅したビット線に蓄えられた電子が、チャージシェアにより選択グローバルビット線である、GBL<0>に再分配され、GBL<0>は一定の微小振幅で信号をセンスアンプに伝えることができる。従来のSRAMで無駄に捨てられていたビット線の電荷を、選択グローバルビット線に再分配することによって有効に利用することが可

能となる。この働きにより、従来 SRAM より有効に電荷を使うことが可能な低消費エネルギー SRAM が実現できる。図 3-15 にチャージシェア回路方式と、チャージコレクト方式のグローバルビット線の振幅の比較を示す。チャージコレクト方式では、ローカルビット線とグローバルビット線の容量比によって、グローバルビット線の振幅が決まるため、長いグローバルビット線を実現するのは困難であったが、16 対のローカルビット線対から電荷を集めるチャージコレクト方式では、2K ワード線分のグローバルビット線に対しても十分な振幅を確保することが可能となる。

図 3-16 にビット線充放電エネルギーの電圧依存性のシミュレーション結果を示す。従来技術では、電圧を下げていってもトランジスタのランダムばらつきのために、消費エネルギーの低減は頭打ちとなるが、チャージコレクタ方式の採用により、電圧低減に対してスケラブルに消費エネルギーを提言していくことが可能となる。さらにチャージコレクト回路を用いることで、一層のエネルギー効率の改善が実現でき、0.6V で約 38% のエネルギー低減を図れることがわかった。

3-6 書き込み時の電荷制御型 SRAM 技術 ～書き込みデータのチャージシェア転送～

今まで、読み出し時の電荷制御技術について述べてきたが、書き込み時にも電荷制御技術を適用することができる。書き込み時もチャージシェアによってグローバルビット線を一定の振幅にとどめることによって、消費電力を減らすことができる。図 3-17 に書き込み時にチャージシェア技術を使う方式の回路を示す。書き込み動作が始まる前に WENX は High となっており、WRVSS のノードはグランドに引き落とされている。書き込み動作が始まると WENX は Low となり、WRVSS のノードは電子が蓄えられた状態でフローティングとなる。この状態で選択カラムに書き込みデータ (WD/WDX) が入力されると CSWD (Charge Share Write Driver) 回路で WRVSS と選択グローバルビット線の間で電荷の再分配がおこり、GB1 または GB1X の一方が微小振幅する。このグローバルビット線の作動振幅を、ローカルビット線内のセンスアンプによって増幅してメモリセルに書き込みえを行う。この書き込み動作のすべての過程で、グローバルビット線の動作はトランジスタばらつきの如何によらず一定の振幅以下に待たれており、グローバルビット線の振幅で消費されるエネルギーを抑制することができる。図 3-18 にチャージシェア書き込み方式によるビット線充放電電力シミュレーション結果を示

す。従来方式に比べて半分以下の充放電電流で書き込みができることが分かった。

3-7 試作および実測結果 ～ビット線コレクト回路による低電力化～

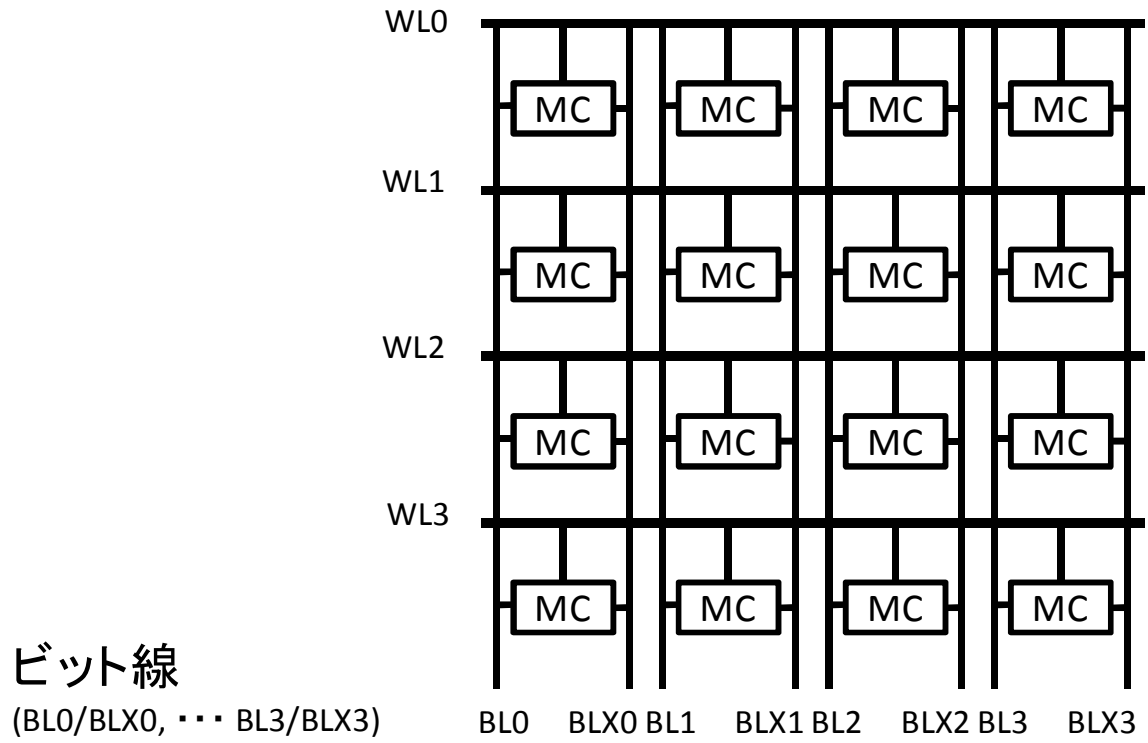
ビット線コレクタ回路を実装したSRAMを40nmCMOSテクノロジーで試作した。試作したSRAMは低電圧での読み出しマージンを向上させるために、読み出し時にメモリセルの電源電圧をブーストする回路を実装した。メモリセル電源ブーストのための回路図を図3-19に示す。読み出し時にブーストと信号Boostが立ち上がり、メモリセル電源ノードMVDDをブーストする。ワード線が立ち上がった直後のメモリセルの安定性が不十分な間、メモリセル電源をブーストして安定性を向上させつつセル電流を増やして高速化を図っている。相補ビット線のどちらかの振幅が大きくなるとPK0またはPK1のトランジスタがオンして、MVDDは電源電圧に戻る。書き込み時はどちらかのビット線はLowにひかれるため、メモリセル電源のブーストは起こらず、書き込みマージンを悪化させることはない。

図3-20に試作したSRAMのシミュレーションを示す。試作したSRAMは0.59Vまで動作し、13.8pJ/Accessの消費エネルギーを実現している。

3-8 結言

SRAMの極低消費エネルギー化を阻む課題としてトランジスタのローカルバラつきによるビット線の充放電電力が増大することを見出した。このことは従来のSRAMの低消費電力化技術が主として低電圧化によって低消費電力化を進めることを目指していたのに対し、そのアプローチ方法による低消費電力化の限界を示したものである。このトランジスタバラつきによる低消費電力化の限界を突破するために電荷制御型SRAMという従来のアシスト回路の考えとは全く異なる方式でのSRAMの低電力化方式を開発した。SRAMの動作時電力の大部分を占めるビット線に充放電される電荷に着目し、無駄な充放電がおこらないように電荷を制御することにより、極低エネルギー動作SRAMを実現した。ビット線チャージシェア方式では、階層ビット線の内側のローカルビット線に電荷を蓄積し、チャージシェアによって、グローバルビット線と電荷を再分配することによって、トランジスタのローカルバラつきによるビット線の無駄な充放電電力を抑制することが可能となった、また、この技術を発展させた、チャージコレクト回路方式では、従来のSRAMでは、使われずに捨てられていた非選択ビット線の電荷を、選択ビット線の伝達信号に有効に活用する方式を開発した。これらの技術を実装したSRAMを試作し、1Mbitの容量で、13.8pJ/Accessの消費エネルギーでSRAMを動作させることが可能となった。

ワード線(WL0, … WL3)



ビット線

(BL0/BLX0, … BL3/BLX3)

図 3 - 1 メモリアレイの模式図

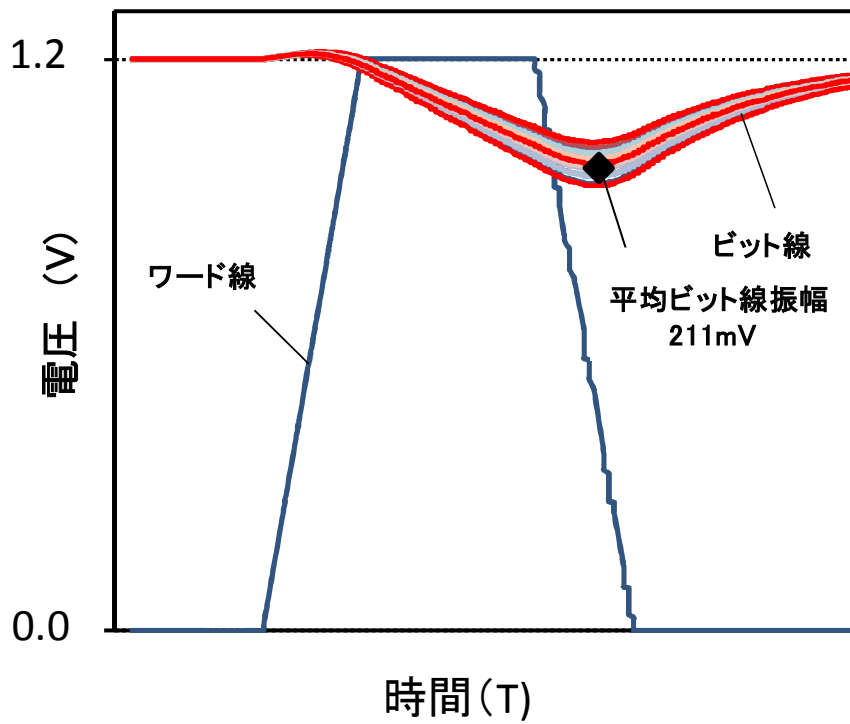


図 3 - 2 S R A M読み出し時のビット線の波形例 (1.2V Typical 25°C)

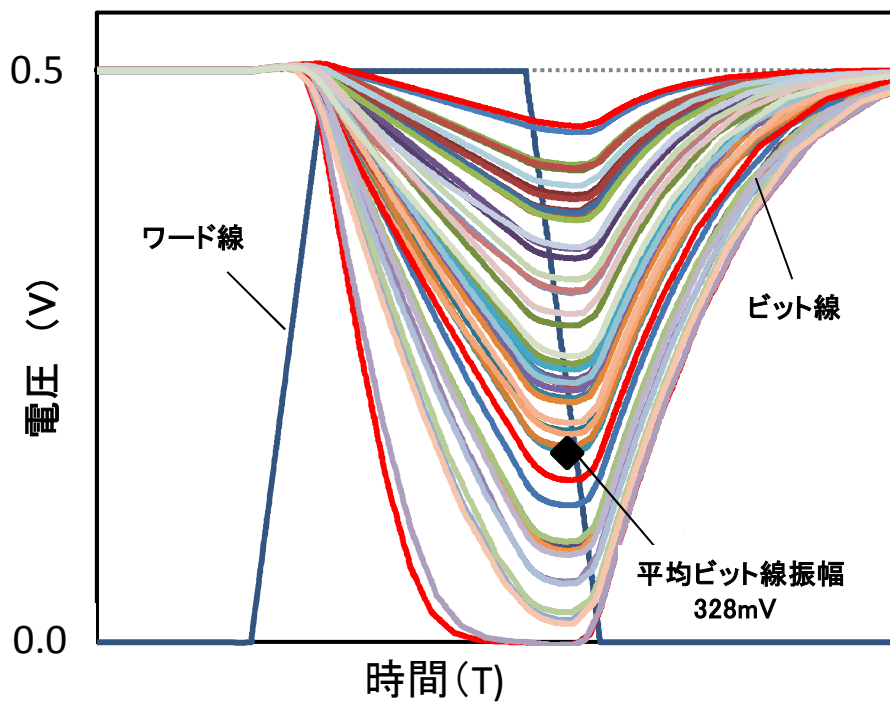


図 3 - 3 S R A M読み出し時のビット線の波形例 (0.5V Typical 25°C)

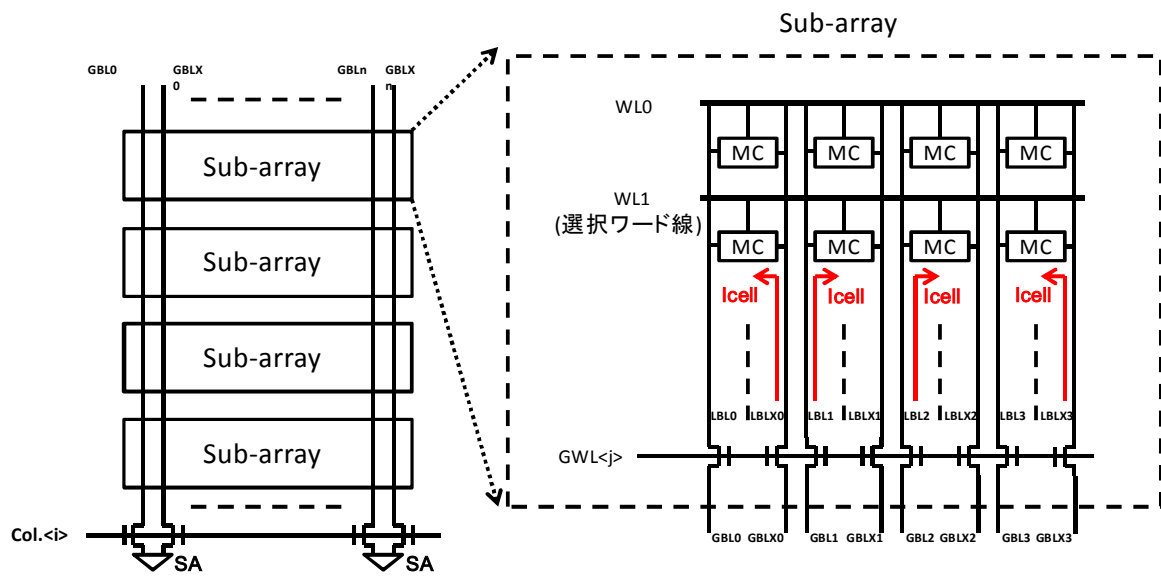


図 3-4 ビット線チャージシェア回路

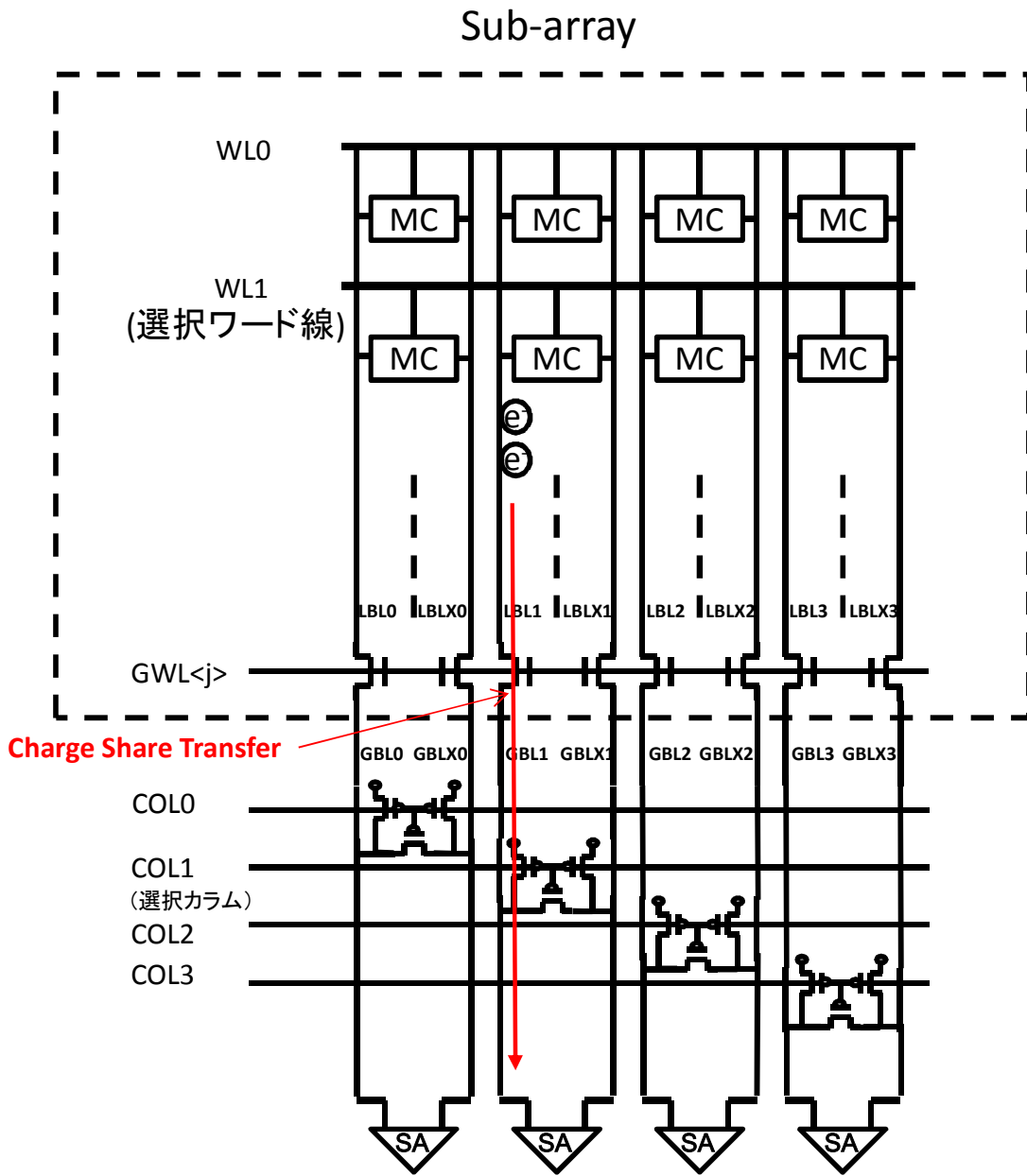


図 3-5 ビット線チャージシェアによるデータ転送方式

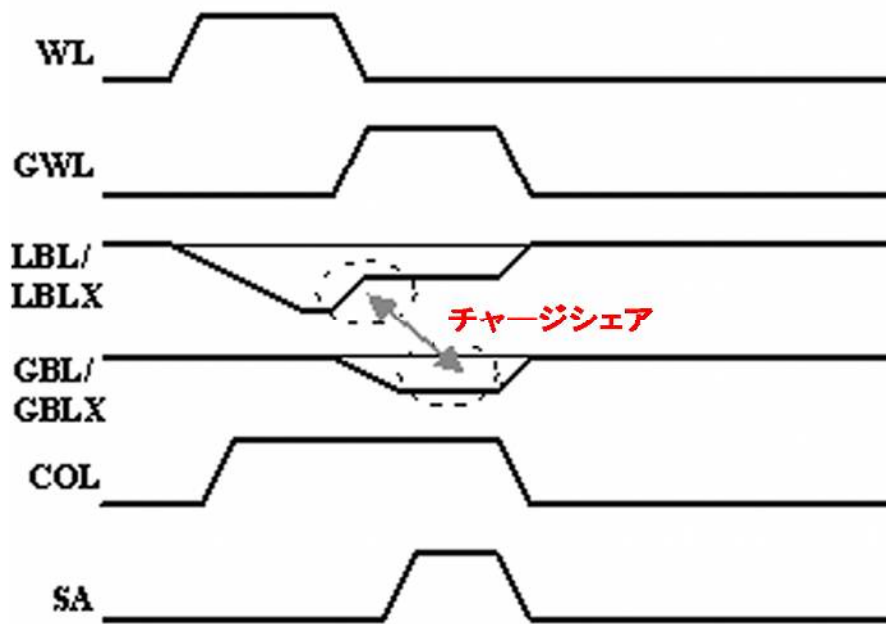


図 3-6 ビット線チャージシェアによるデータ転送方式 (タイミング波形)

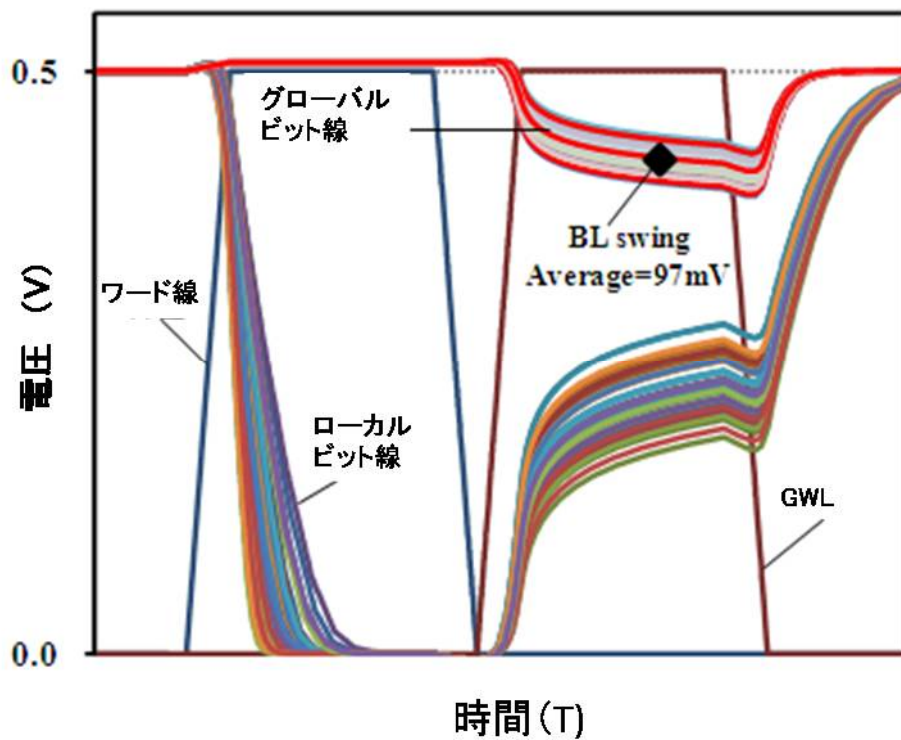


図 3-7 ビット線チャージシェアによるデータ転送方式 (シミュレーション波形)
(0.5V 25°C Typical)

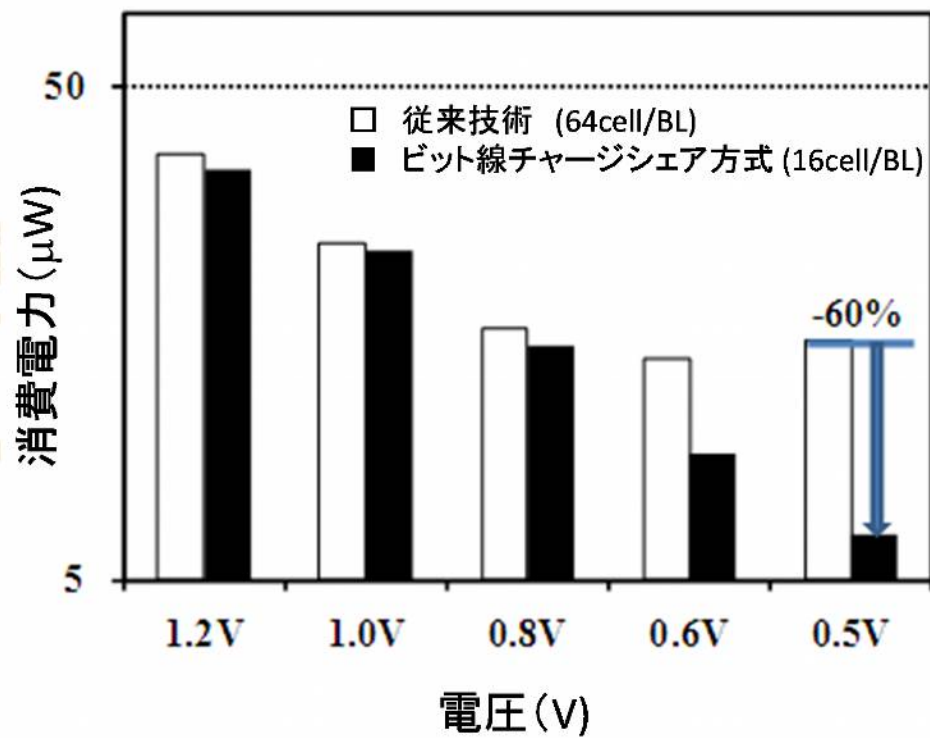


図3-8 ビット線チャージシェアによるビット線充放電電療 (シミュレーション)

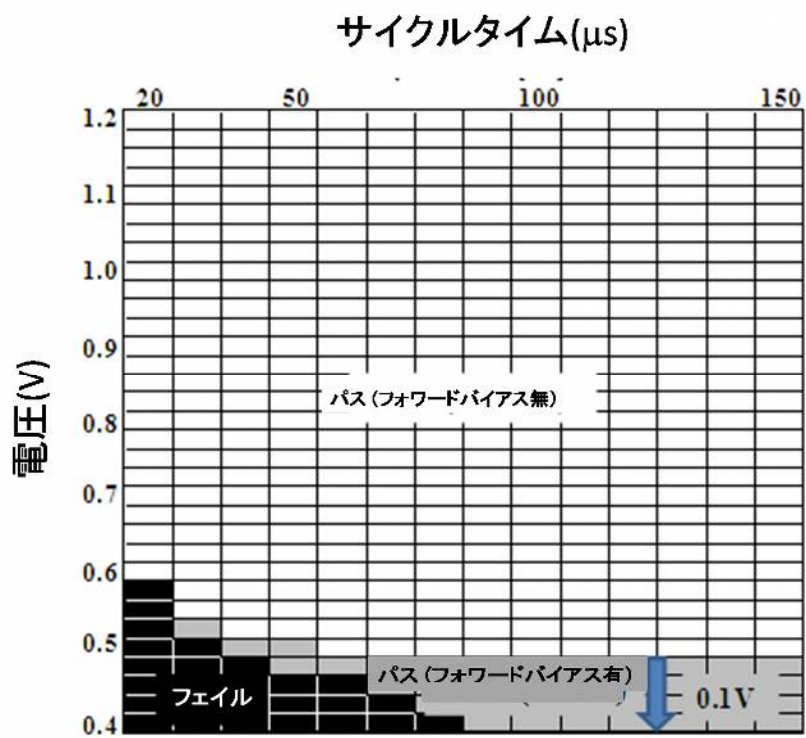


図3-9 ビット線チャージシェアSRAMシミュレーションプロット

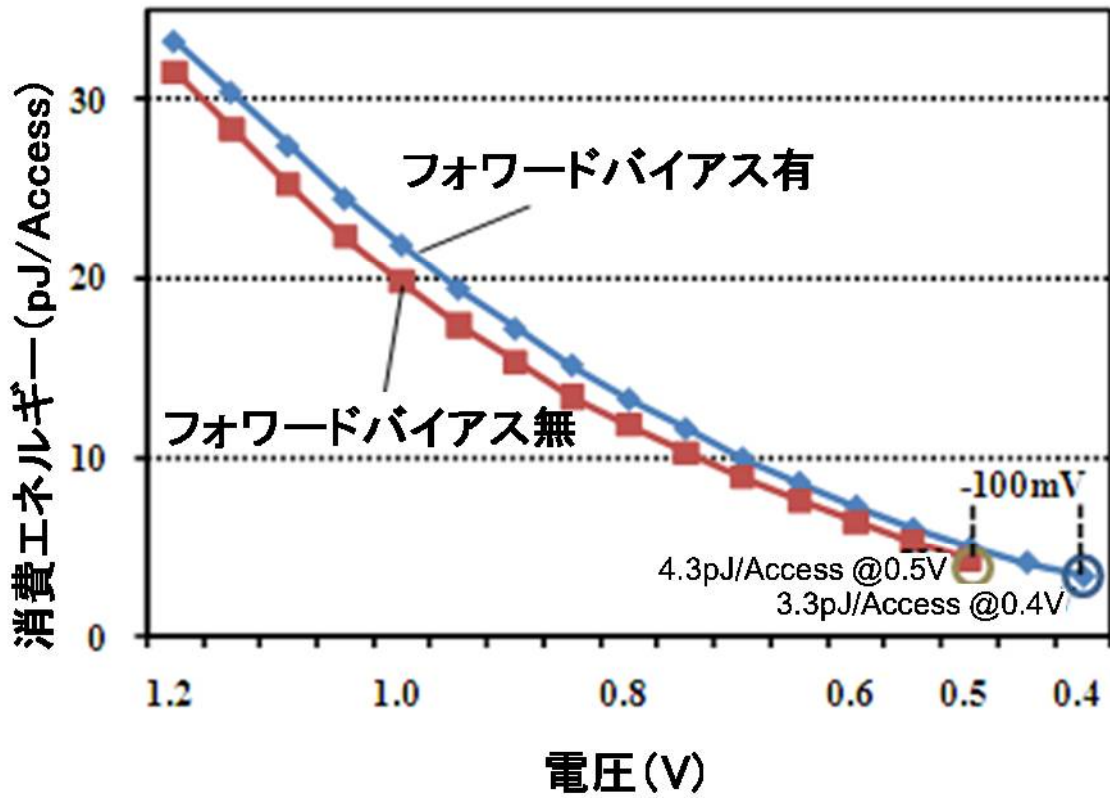


図3-10 ビット線チャージシェアSRAM消費エネルギー

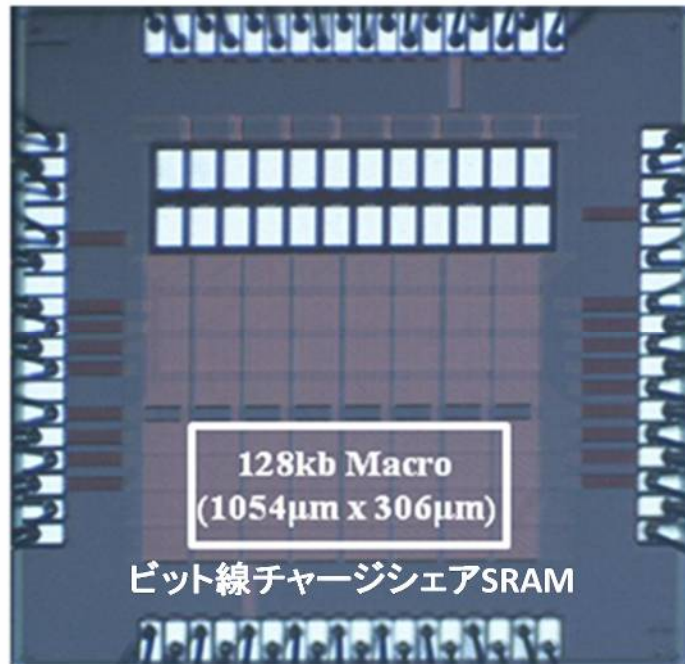


図3-11 ビット線チャージシェアSRAMチップ写真

表 3-1 試作したビット線チャージシェアSRAMの緒元

テクノロジー	65nm CMOS
電源電圧	0.4V - 1.2V
メモリセルサイズ	1.092 μm^2 (Logic Rule)
マクロサイズ	1054 μm x 306 μm
構成	4096ワード X 32ビット
サイクルタイム	60ns (フォワードバイアス無) 0.5V RT 90ns (フォワードバイアス有) 0.4V RT
消費エネルギー	4.3pJ/Access (フォワードバイアス無) 0.5V RT 3.3pJ/Access (フォワードバイアス有) 0.4V RT

ワード線(WL0, ... WL3)

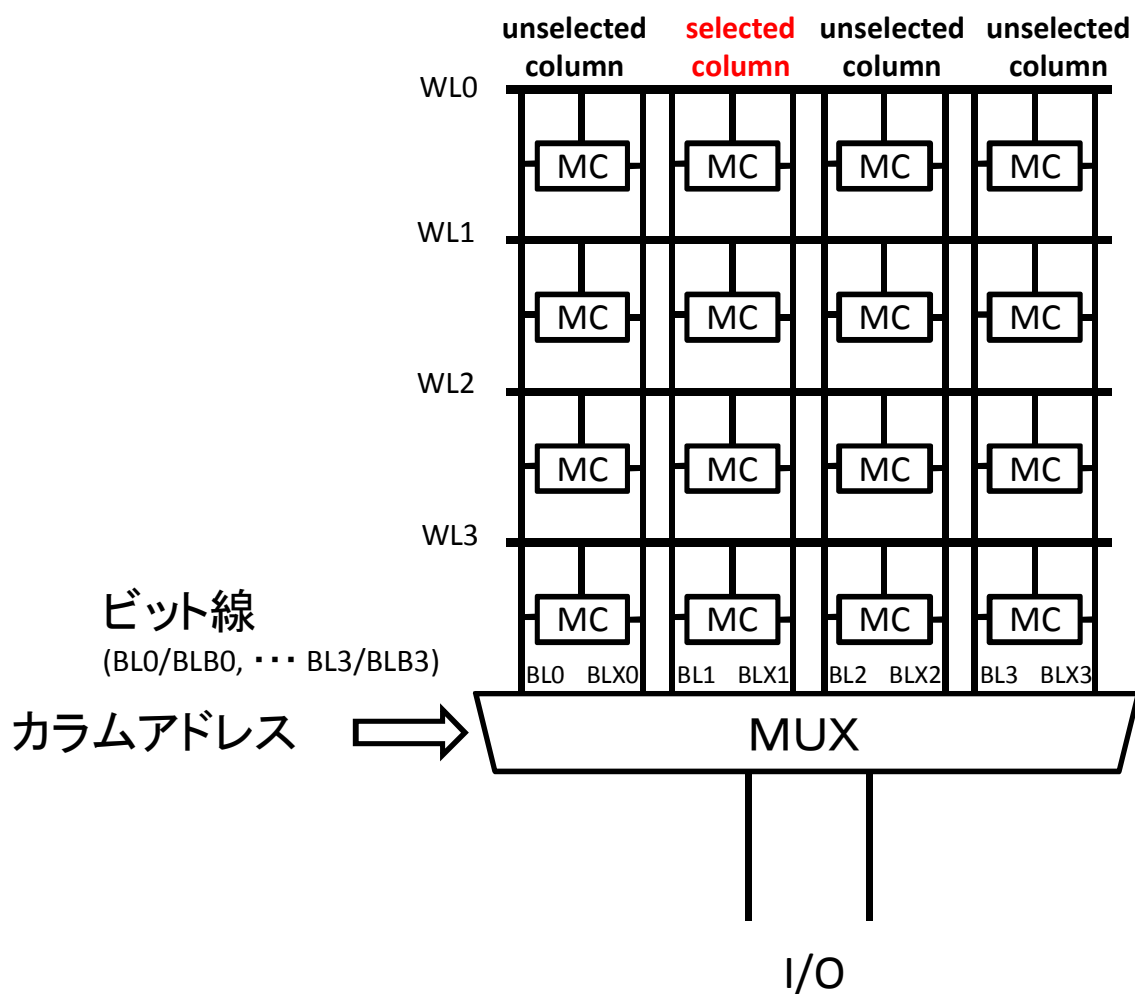
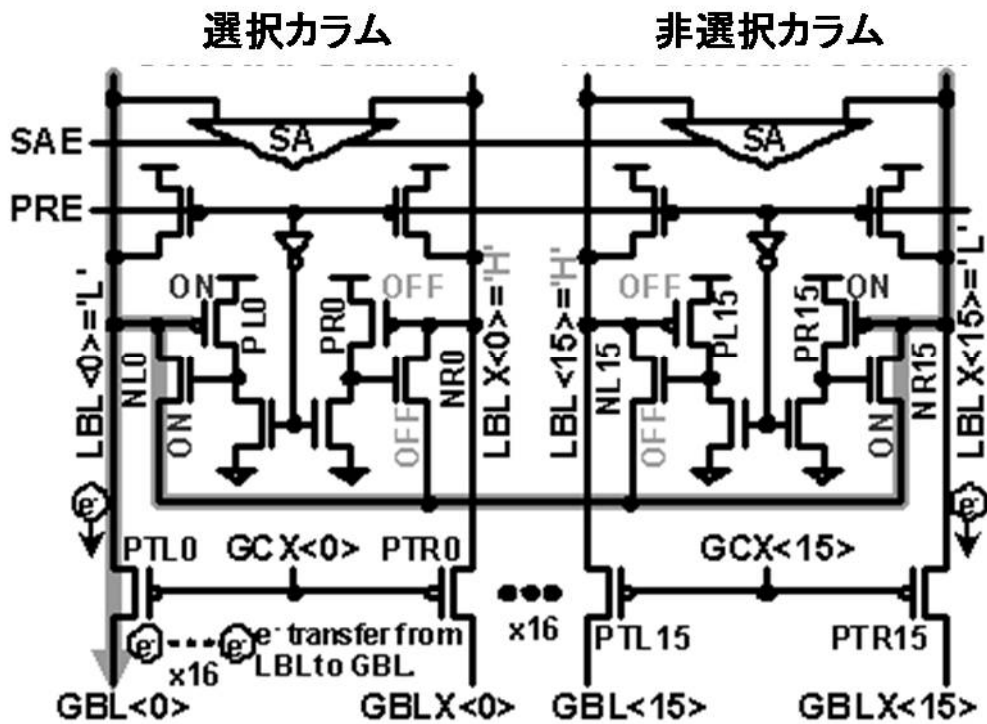
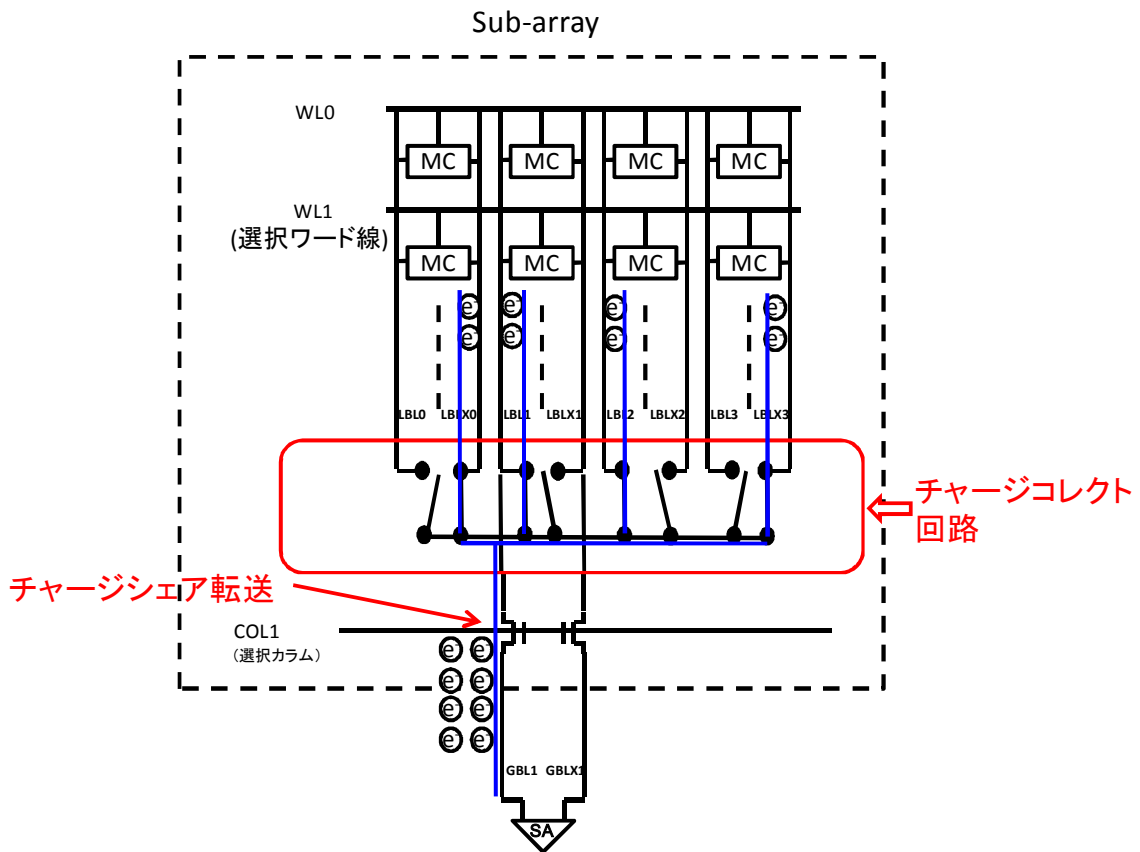


図 3-1 2 SRAMにおけるデータ線のマルチプレクス



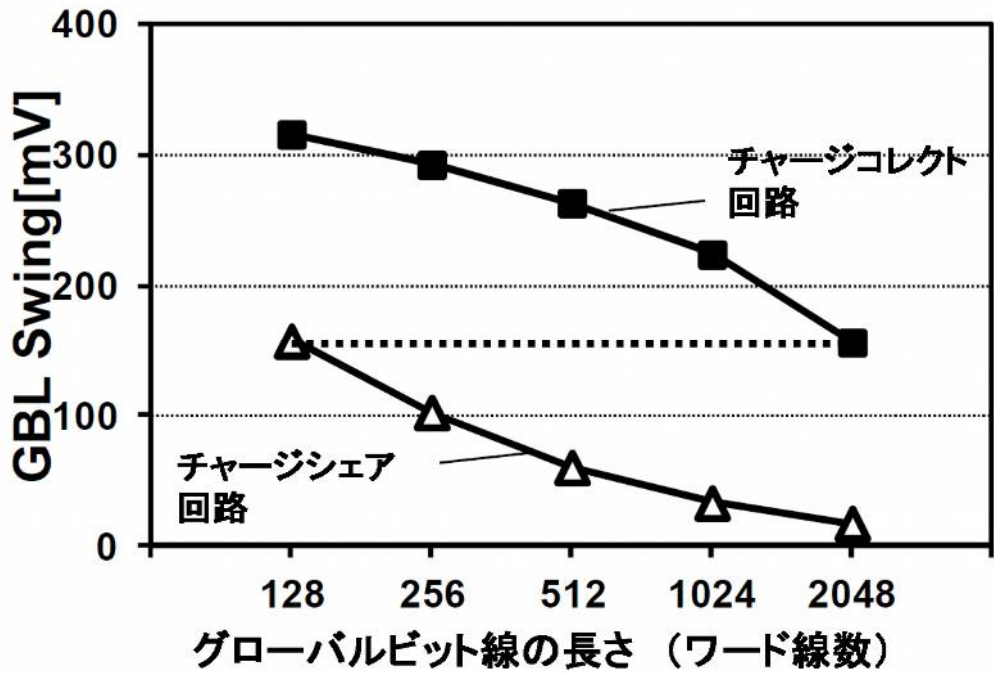


図3-15 ビット線充放電電力の電圧依存性 (シミュレーション)

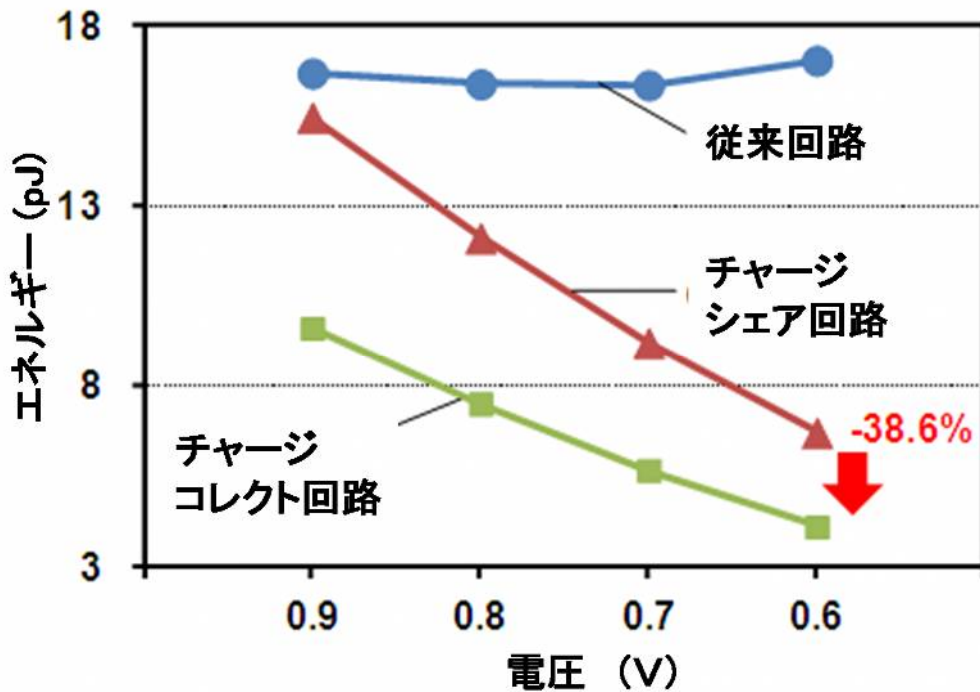


図3-16 ビット線充放電電力の電圧依存性 (シミュレーション)

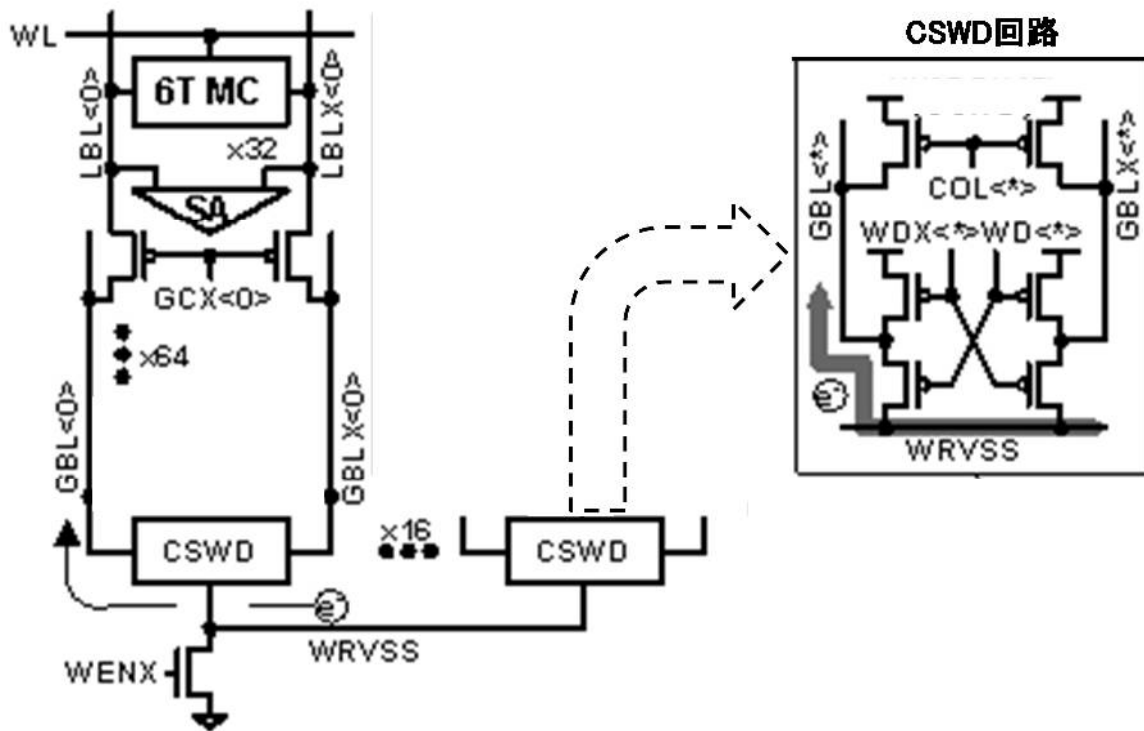


図3-17 チャージシェア書き込みの回路

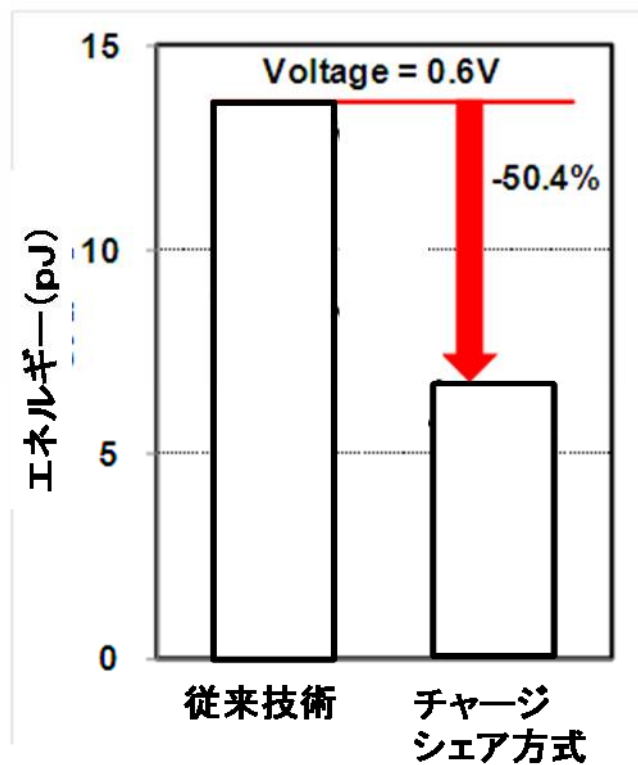


図3-18 チャージシェア書き込みによるビット線充放電電力の低減

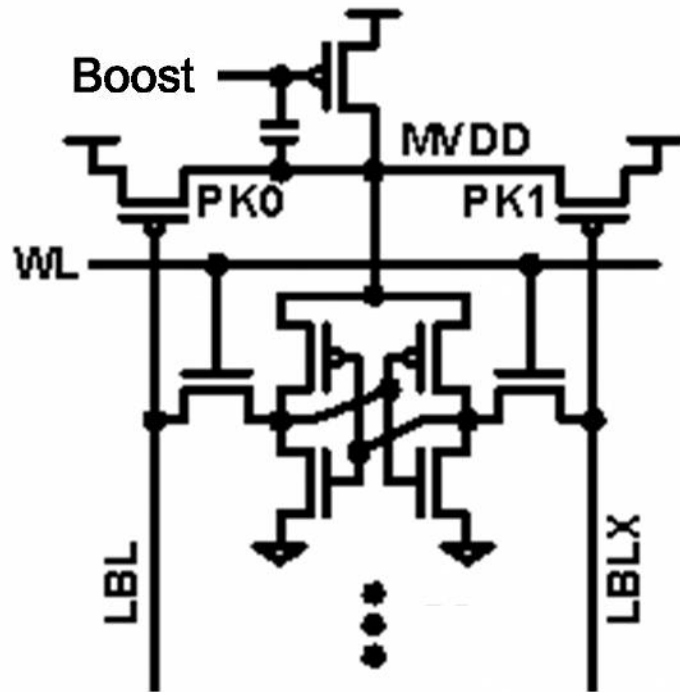


図3-19 メモリセル電源ブーストによるリードアシスト回路

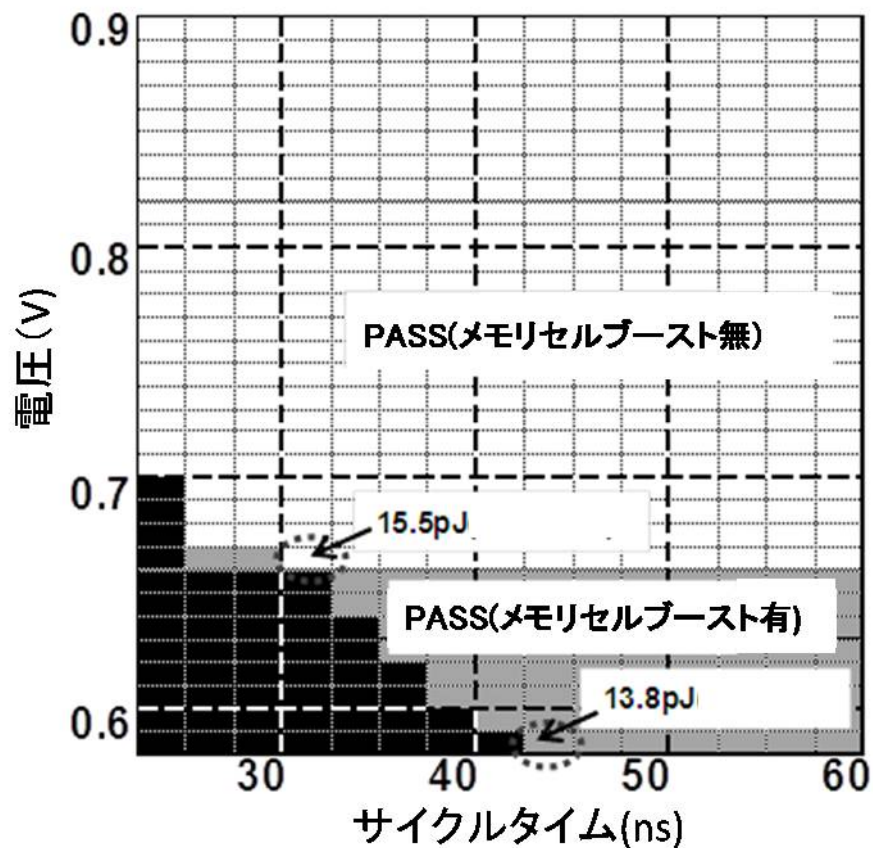


図3-20 チャージコレクト回路を使ったSRAMのシミュレーションと動作エネルギー

表3-2 試作したチャージコレクト回路を使ったSRAMの緒元

テクノロジー	40nm CMOS
電源電圧	0.59V - 0.90V
メモリセルサイズ	0.523 μm^2 (Logic Rule)
マクロサイズ	733 μm x 1466 μm
構成	32kワード X 32ビット
サイクルタイム	45ns @0.59V RT
消費エネルギー	13.8pJ/Access 0.59V RT

3章の参考文献

- [1] H. Fuketa, T. Yasufuku, S. Iida, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Device-Circuit Interactions in Extremely Low Voltage CMOS Designs," IEEE International Electron Devices Meeting Digest of Technical Papers, pp. 25.1.1 - 25.1.4, Dec., 2011.
- [2] S. Moriwaki, A. Kawasumi, T. Suzuki, T. Sakurai, and S. Miyano, "0.4V SRAM with Bit Line Swing Suppression Charge Share Hierarchical Bit Line Scheme," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 1-4, Sept. 2011.
- [3] A. Kawasumi, T. Suzuki, S. Moriwaki, and S. Miyano, "Energy Efficiency Degradation Caused by Random Variation in Low-Voltage SRAM and 26% Energy Reduction by Bitline Amplitude Limiting (BAL) Scheme," IEEE Asian Solid-State Circuits Conference, Digest of Technical Papers, pp. 165-168, Nov. 2011.
- [4] Y. Yamamoto, A. Kawasumi, S. Moriwaki, T. Suzuki, S. Miyano, and H. Shinohara, "60% Cycle time acceleration, 55% energy reduction, 32Kbit SRAM by auto-selective boost (ASB) scheme for slow memory cells in random variations," IEEE European Solid-State Circuits Conference, Digest of Technical Papers, pp. 317-320, Sept., 2012.
- [5] S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, S. Miyano, T. Sakurai and H. Shinohara, "A 13.8pJ/Access/Mbit SRAM with Charge Collector Circuits for Effective Use of Non-Selected Bit Line Charges," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 60-61, Jun. 2012.
- [6] S. Miyano, S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, T. Sakurai and H. Shinohara, "Highly Energy-Efficient SRAM with Hierarchical Bit Line Charge-Sharing Method Using Non-Selected Bit Line Charges" IEEE J. Solid-State Circuits, vol. 48, no. 4 pp. 924-931, March. 2013

第4章 8T メモリセルの相補化による高速化

4-1 緒言

SRAM の低省電力化を進めていくうえで、前節で述べたような課題はあるものの低電圧動作は避けて通ることができない。一方で、動作電圧を低下させると SRAM の動作速度が低下するという副作用が出てくる。極限的な低消費エネルギー化を狙って、大きく動作電圧を低下させると動作速度の低下も大きなものとなる。低消費エネルギーSRAM の用途を広げるには、低電圧動作において、相応の動作速度の確保が重要である。本章では、低電圧において、低消費電力と 100MHZ 級の動作速度を同時に満たす SRAM 技術について述べる。

今まで述べてきたように SRAM セルとして最も基本的な 6T メモリセルでは、読み出し時のメモリセルの安定性と、書き込み時の書き込みマージンのトレードオフにより、低電圧動作を押し進めていくうえで動作マージンの壁が存在する。一方で、図 4-1 に示すような 8T メモリセルでは、読み出しポートと書き込みポートが分離されているため、読み出し時のメモリセルの安定性と、書き込み時の書き込みマージンのトレードオフが解消されて、より低電圧での動作が可能となる。しかし、図 4-2 に示すように従来型の 8T メモリセルはシングルエンドのリードビット線になるため、読み出し動作のためにフル振幅に近い読み出し動作が必要になる。そのため、低電圧動作には向いているものの同じ動作電圧で動作させた時に、6TSRAM より消費電力が大きくなってしまう [1] という課題がある。また、大きなビット線振幅が必要であることは速度性能に対してもネガティブな影響を与える。これらの課題を克服して、読み出し時のメモリセルの安定性と、書き込み時の書き込みマージンのトレードオフを回避しつつ、高速化を実現できる新しい 8T メモリセルとして、相補読み出し型の 8T セルが提案されている [2] [3] [4] [5] [6]。

本章では、最初にこのメモリセルを使って、低電圧で高速に動作する SRAM を実現できることを述べる。次にこのメモリセルを使った SRAM の低電力化の課題である非選択セルのリーク電流の問題について説明する。最後にこのリーク電流の問題を回避する回路方式とシミュレーション結果と実測結果について述べて本章を終える。

4-2 相補 8T セルによるメモリアレイの構成と非選択セルによるリーク電流

従来型の 8T メモリセルでは読み出しビット線がシングルエンドとなり、同じ動作電圧で比較した場合、消費電力、動作速度の点で、6T メモリセルに比べて不利であった。そこで、トランジスタ数を増やさず、読み出しポートと書き込みポートを分離しつつ相補ビット線構造を実現できる図 4-3 のような相補型の 8T セルが提案されている。このメモリセルでは、リードワード線 (XRWL) とライトワード線 (WWL) も分離しており、読み出し時は XRWL が Low レベルになり、読み出しポートのトランジスタのソースを Low に引き下げることによって、読み出しビット線 (RBL/XRBL) にメモリセルのデータを転送する。読み出しポートと書き込みポートが分離されているうえに、相補ビット線の構造となっているため、低電圧で小振幅のビット線読み出し動作が可能である。そのため、高速で低消費電力な読み出しが可能となる。

図 4-4 に相補 8T メモリセルと従来型のラッチ型センスアンプを組み合わせた回路例を示す。以下にこの回路を使った読み出し動作について述べる。リードワード線、リードビット線はメモリセルが非選択状態のときは VDD にそれぞれ保たれている。したがって、リードポートの N 型トランジスタのソース・ドレイン間には電圧がかからず、ストレージノードのデータによらず電流は流れない。ワード線が選択されると、選択されたワード線のレベルは VSS に向かって引き下げられる。そのとき、選択されたセルに格納されているデータに従い、リードポートのトランジスタのゲートに High が保持されているノードでは、リードポートのトランジスタがオンして、プリチャージレベル (VDD) に保たれていたリードビット線からリードワード線に向かって電荷が引き抜かれる。この動作によって、リードビット線の電位は低下して RBL と XRBL の間に電位差が生じ、センスアンプを用いてビット線の電位差を検知、増幅することにより読み出し動作が行われる。

相補 8T セルでは相補リードビット線 RBL/XRBL に微小振幅が出力されるが、一方で、非選択セルの XRWL は VDD に保持されているため、リードビット線の電位が下がると図 4-5 に示すように非選択セルのリードポートを經由して非選択の XRWL からリードビット線にリーク電流が生じることになる。リードビット線の振幅は一般には数 10mV から 100mV 程度であり、リードポートのトランジスタのゲート・ソース間にかかる電圧は、トランジスタのしきい値電圧以下であり、リードポートの N 型トランジスタがオン状態になるわけではないが、リードポート

のトランジスタには一定のサブスレッショルド電流が流れることになる。Near-Threshold 領域[7]で動作する極低消費エネルギー動作 SRAM ではこのサブスレッショルド電流によるリークが消費エネルギーの大きな部分を占めるため、このリーク電流の削減が重要な課題となる。

4-3 相補 8T セルによるメモリアレイのシミュレーション解析

上記の相補 8T セル SRAM のメモリアレイの動作を 65nm 世代の Low Power CMOS テクノロジーの回路シミュレーションによって解析した。図 4-6 に動作電圧 0.5V の時の読出し時の信号のモンテカルロシミュレーション結果の動作波形を示す。図 4-6 (a) はメモリアレイの各信号の電圧波形を示し、図 4-6 (b) は、非選択の XRWL からリードビット線に流れ込むリーク電流の時間変化を示している。非選択セルを流れるリーク電流は、同一ビット線上のすべての非選択セルのデータが選択セルのデータと反対である時に最大となるが、図 4-6 はそのような条件でのリーク電流のシミュレーション結果を示している。

図 4-6 (a) に示すように XRWL が選択されると選択された XRWL のレベルは VDD から低下するが、非選択の XRWL からリードビット線を介して流れ込むリーク電流のため、VSS レベルまでは下がらないことがわかる。RBL の振幅が増加すると、リードポートのトランジスタのサブスレッショルド電流によるリーク電流も増加していき、RBL のレベルが 0.2V 程度まで下がったところでリーク電流により RBL のレベルがクランプされる。リードビット線の電位の低下速度は、トランジスタのローカルバラつきによってビット線毎に大きくばらつくが、もっとも遅いリードビット線の電位が十分下がったところで、センスアンプ活性化信号 SAE を起動してセンス動作を行う。SAE 起動直後に XRWL は VDD にリセットされる。相補ビット線を採用しているため、もっとも遅いビット線の振幅が 100mV 程度あれば正常にセンス動作を行うことが可能で、動作電圧 0.5V でも 8ns のビット線遅延でセルデータを読み出すことができる。

従来型のシングルエンド読み出しの 8T セルでは、リードビット線がシングルエンドのため、正常な読み出し動作が行われるためにはビット線がフル振幅に近い動作をする必要があった。また、High データの出力のためにビット線の電位を High 側に保つキーパートランジスタが必要であるが、Near-Threshold 領域では、メモリセルのセル電流とともにキーパートランジスタのばらつきも顕著になるために、キーパートランジスタの電流がセル電流の小さいセルからの信号によるリードビット線の振幅を妨げる現象が起きるため、“遅い”セルからの信号がさらに遅れてしまう。上記のような効果により、最も遅いセル同士の比較では、従来型 8T セル

ではセンスアンプの起動に、相補型 8T セルの場合と比べて、2 倍近いビット線遅延が必要となる。

図 4-7 に、相補 8T セルと従来型 8T セルの読出し遅延の電源電圧依存性のシミュレーションによる比較結果を示す。相補型セルを用いた場合、最も遅いセルの読出し遅延は従来型 8T セルを用いた場合に対して 52%低減する。また、最も早いセルと遅いセルの遅延時間の差（読出し遅延のばらつき）は 54%低減することが分かった。

4-4 サスペンディッドビット線方式によるビット線リーク電流の低減と低消費エネルギー化

Near-Threshold 領域の動作では、相補 8T セルを用いることで、読出し速度は大きく向上する。その一方で、読み出し時に非選択セルのリードポートのトランジスタのサブスレッショルド電流による XRWL 間のリーク電流が増加して、低消費エネルギー動作を実現するうえで大きな障害となる。この課題を解決するために図 4-8 に示すサスペンディッド・ビットライン読出し回路を開発した。PMOS の電流源トランジスタを挿入することによって、リードビット線のレベルを読み出し動作時にも VDD レベル近くに保持し、リードビット線の低下によるリーク電流の増大を防ぐ。この PMOS 電流源を挿入することによって、読み出し時の相補リードビット線間の電位差が非常に小さくなるため、初段のセンスアンプとして電流センス型のセンスアンプを用いる。

以下にこの回路の動作について述べる。図 4-9 に回路動作のシミュレーション動作波形を示す。PMOS の電流源トランジスタのゲートノード(XRD)は Low に固定され、PMOS は常にオンしている。初段の電流センス型のセンスアンプは XRWL が選択された直後に CSAE パルス信号により起動され、相補 NMOS ダイオード端のセンスノード n1, n2 に電位差が生じる。続いて CSAE 信号が立下り、初段のセンスアンプは非活性となる一方で、VSAE 信号が立ち上がって 2 段目のラッチ型アンプが起動し、n1, n2 に生じた電位差を増幅し、最後に XHOLD 信号によってデータをラッチして出力する。PMOS の電流源トランジスタを挿入することによって、初段のセンスアンプの接地に流れる電流は増加するが、センスアンプの相補ノード n1, n2 に電位差が生じたところで、CSAE 信号を下げることによって増加量を一定のレベル以下に抑えることができる。VSAE の活性化によって、センスノードの High 側が上昇するにつれて、センスアンプの接地に向かう電流は減少する。

サスペンディッド・ビットライン読出し回路を相補 8T セルに適用した場合の 1kbit メモリアレイの平均消費電流を図 4-10 に示す。従来のラッチ型センスアンプを用いた読み出し回路では、非選択セルからのリーク電流が読みだし時の消費電流の 30%以上を占めているが、サスペンディッド・ビットライン読出し回路を採用することによってこのリーク電流がほぼなくなっていることがわかる。また、センスアンプで消費する電流は増えているが、非選択セルのリークの減少分に比べると小さく全体として、消費電力が削減されていることがわかる。このことは、極低消費エネルギーSRAM の実現のために、サスペンディッド・ビットライン読出し回路を使った相補 8T セルの有効性を示している。

プロセスや温度の変化により、トランジスタのリーク電流が大きくなっても、非選択セルでの XRWL は VDD に保たれているため、非選択セルを経由したリーク電流は読み出しビット線を High レベルに保つ方向に働き、リードポートの NMOS トランジスタのソース・ドレイン間の電圧は減少してリーク電流の増大は抑制される。電流源の PMOS トランジスタは、それ自身の相対的ばらつきやセルトランジスタのばらつきによってビット線レベルが低下しないように、セルトランジスタに対して十分大きなサイズにしてある。また、電流源 PMOS のサイズを大きくすることによって、PMOS トランジスタ自身の相対的ばらつきを抑制して、ばらつきに起因した誤読み出しを防いでいる。この電流源 PMOS は通常の SRAM のプリチャージトランジスタを置き換えて配置されており面積オーバーヘッドは抑えられている。

4-5 チップの試作と評価結果

サスペンディッド・ビットライン読出し回路を装備した相補 8T セル SRAM のテストチップを 65nm Low Power CMOS テクノロジを使って試作した。チップ写真を図 4-11 に、試作した SRAM の緒元を表 4-1 に示す。比較のために従来型の 8T メモリセルを使った SRAM も同時に試作した。

搭載した SRAM のアクセスタイムを評価するための評価回路のブロック図を図 4-12 に示す。I/O 部は 3.3V、SRAM の動作電圧 (VDC) は 0.4V~1.0V の間で変化させて測定を行った。チップ内部の SRAM 部以外の信号経路は VDC+0.3V を与えている。SRAM のアクセスタイムは、図 4-12 の 2 つの FF に到達するクロック (CLK) 信号と SRAM の出力 (Q) の時間差で測定している。具体的には、以下の手順によってアクセスタイムを測定する。

- (1) 最初にクロック (CLK) の SRAM の入力タイミングがテスト用クロック (TCLK) 信号を用い

て、図の下部の FF に取り込まれるタイミングを測定する。

(2) 次に同じく TCLK 信号でマクロのデータ出力 (Q) の Fail-Pass 遷移遅延を測定する。

(3) (2)のタイミングから(1)のタイミングを差し引いた時間差によって SRAM のアクセスタイムが測定できる。

1kbit の容量のサスペンディッドビット線読み出し回路を装備した相補 8T セル SRAM のアクセスタイム・シミュレーションプロットを図 4-13 に示す。横軸に TCLK のストロークタイミング、縦軸に SRAM の動作電圧を示す。図中の Fail-Pass 遷移遅延 (上記(2)) から、白線で示す CLK 遅延 (上記(1)) を差し引いた値がアクセスタイムである。0.5V 時のアクセスタイム 5.5nsec を達成した。図 4-14 に比較のために、従来型の 8TSRAM のアクセスタイムを示す。0.5V の時に 14.5nsec のアクセスタイムである。相補型 8T セルを用いた SRAM の低電圧での高速性が試作チップでも実証された。

試作したサスペンディッド・ビットライン読み出し回路を装備した相補 8T セル と従来型 8T セルを用いた SRAM の 0.5V 動作時の消費電力と電力遅延積の実測結果の比較を図 4-15 に示す。サスペンディッド・ビットライン読み出し回路を装備した相補 8T セル SARM の消費電力は従来型 8T セルを用いた SRAM に比べて 58%低減し、電力遅延積は 78%低減した。サスペンディッド・ビットライン読み出し回路を装備した相補 8T セル SARM が高速性と低消費電力性能を兼ね備えていることを示している。

最後に相補 8T 型セルの課題について述べる。相補 8T 型セルの面積は、表 4-2 に示すように、従来型の 8T セルと同程度であるが、6T セルに比べると 40%程度大きい。また、メモリセルアクセス時にワード線に電流が流れるため、ワード線長を長くすると、配線抵抗のため、メモリセルの動作マージンが低下するという問題がある。そのため、相補 8T 型 SRAM の用途としては、小容量で高速に動作することが必要なキャッシュメモリやワーキングメモリが適していると考えられる。

4-6 結言

SRAM も低電圧化は、動作エネルギーの低減に一定の効果があるが、電圧低下に伴い動作速度が大きく損なわれるという課題が存在する。高いエネルギー効率で CMOS 回路が動作することが期待できる電圧領域である Near-Threshold 領域でも、一定の高速動作が可能な極低消費

電力 SRAM を相補型 8T メモリセルを使って実現した。読み出し時の消費電力の中で大きな割合を占める、非選択セルを経由して流れるリーク電流を削減するため、サスペンディッド・ビットライン読み出し回路を設計し、シミュレーションでリーク電流が 98%減少することを確認した。

サスペンディッド・ビットライン読み出し回路を備えた相補 8T セル SRAM を 65nm LP CMOS テクノロジーを用いて試作・評価した。試作した 1kbit SRAM は電源電圧 0.5V 時にアクセスタイム 5.5nsec を実現した。0.5V 動作時の消費電力は従来のシングルリードポート型 8T SRAM に対して 58%低減し、電力遅延積は 78%低減した。

前章では、6T セルを使った低電力化手法について述べ、本章では、より高速で動作可能な相補 8T セルを使った低電力 SRAM 技術について述べた。LSI 上の SRAM は、その用途に応じて、高密度であることが重要であったり、高速であることが必須であったり、場合によって重要な特性が異なる。そのため、それぞれの用途に応じた低電力 SRAM 技術を開発することが必要となる。本研究により、高密度タイプ、高速タイプの 2 種類の SRAM で極限的な低消費電力化を実現することができた。これらの技術を使った SRAM は、実際に超低電力 LSI の中で使用されて LSI の低消費電力化に大きな効果があることが実証されている [8]。

Embedded Memory の他の使い方として画像データなどの比較的大規模な容量を、大きなバンド幅で転送する応用が存在する。次章以降ではこのような大容量、高バンド幅の用途向けの Embedded Memory の低消費電力化を実現するための Embedded DRAM 技術について述べる。

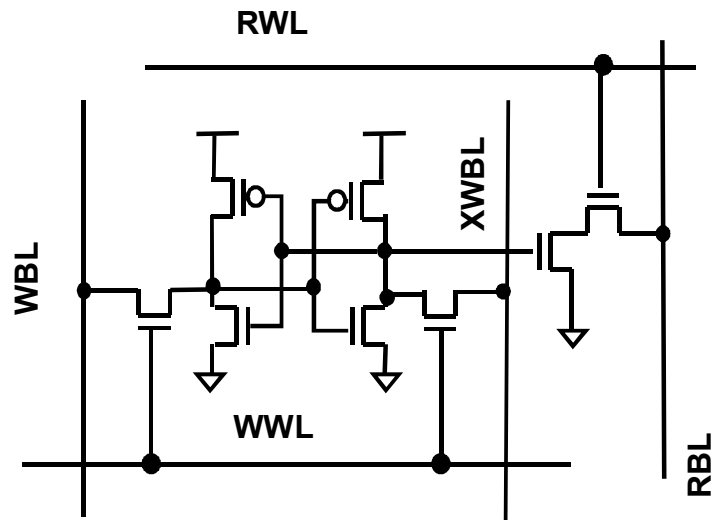


図 4-1 8Tセル

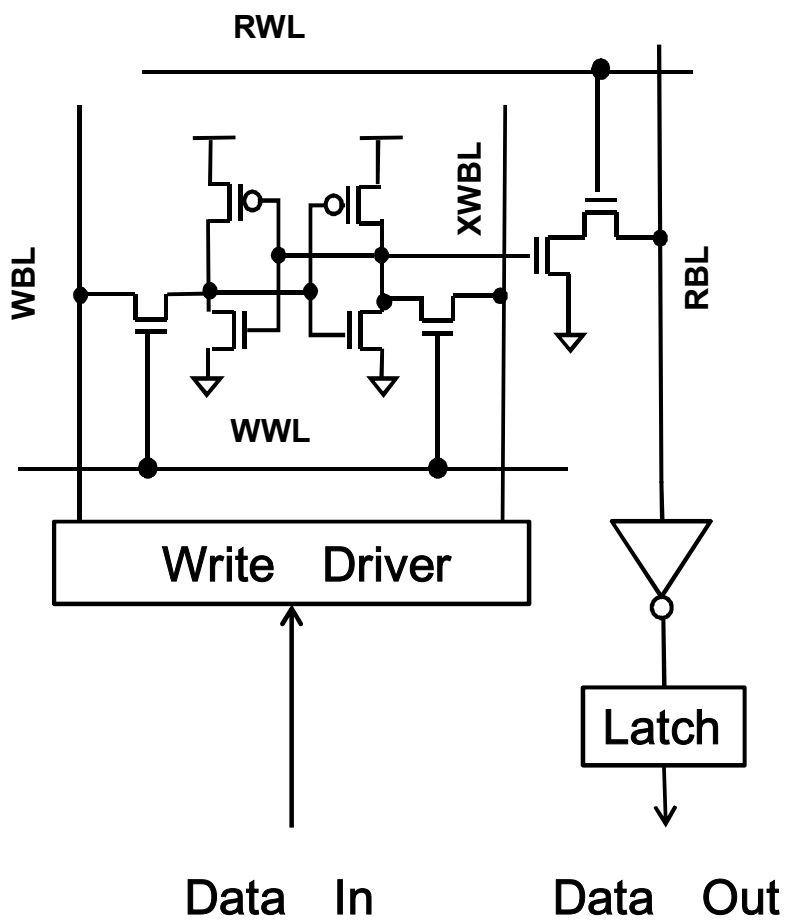


図 4-2 8Tセルの読み出し回路

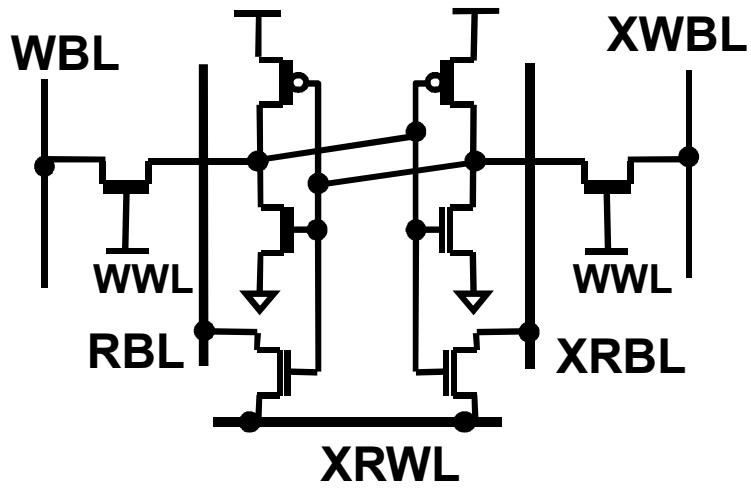


図4-3 相補型8Tメモリセル

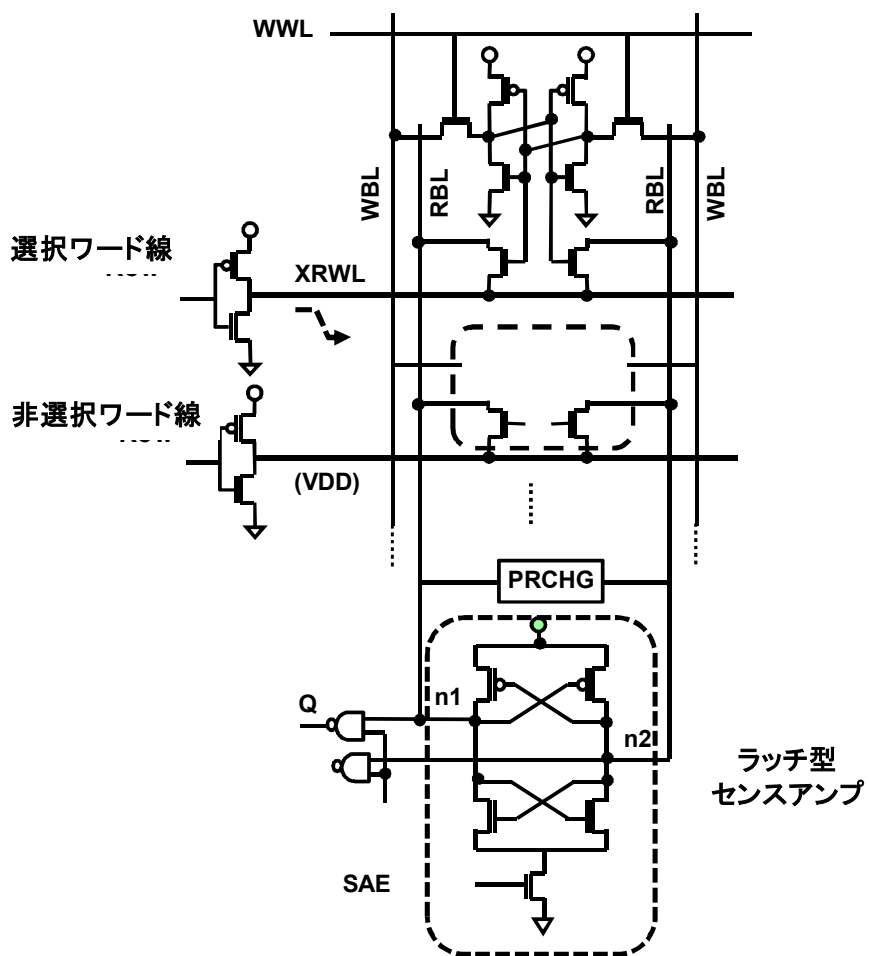


図4-4 相補型8Tメモリセルと従来型センスアンプを使った回路例

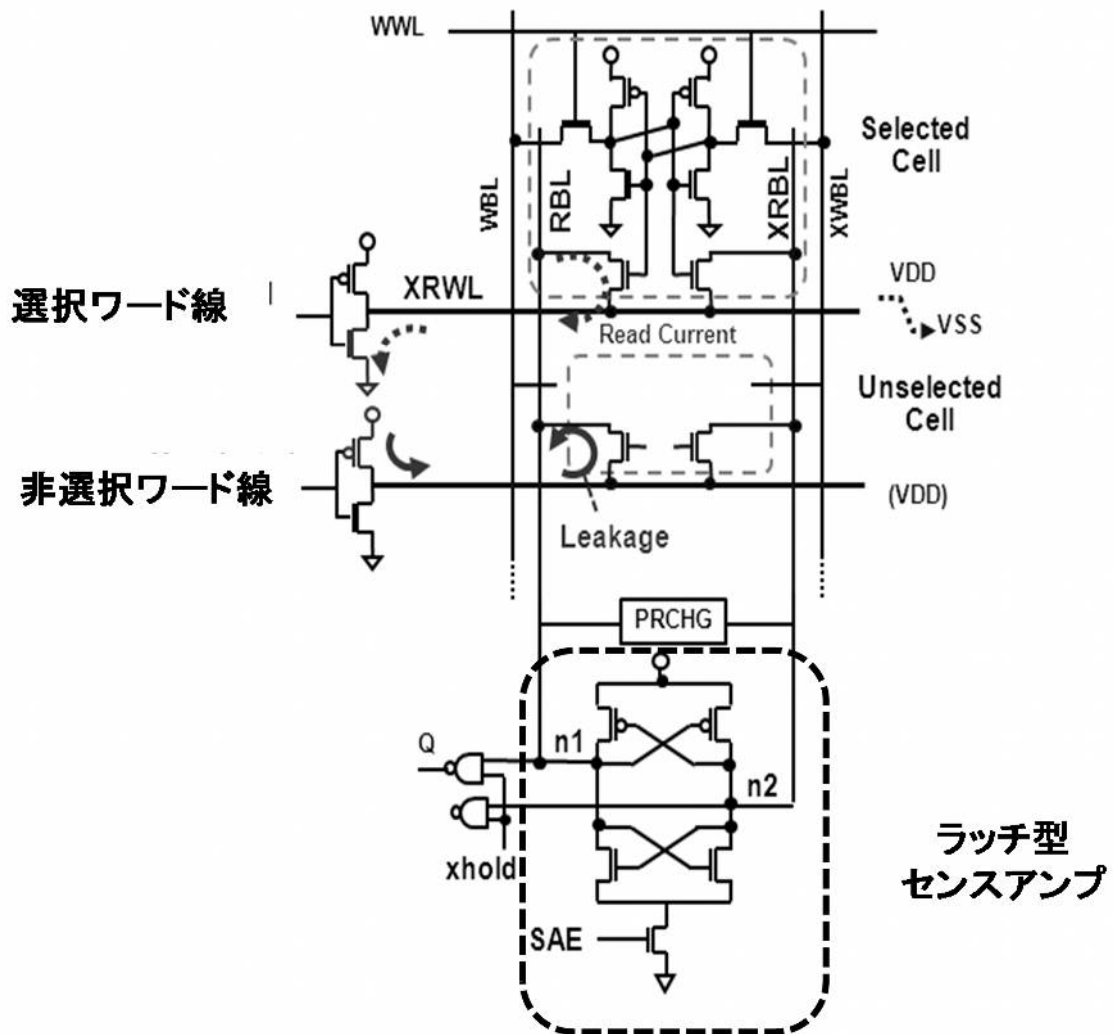


図4-5 相補型8Tメモリセルを使ったメモリアレイの読み出し時のリーク電流パス

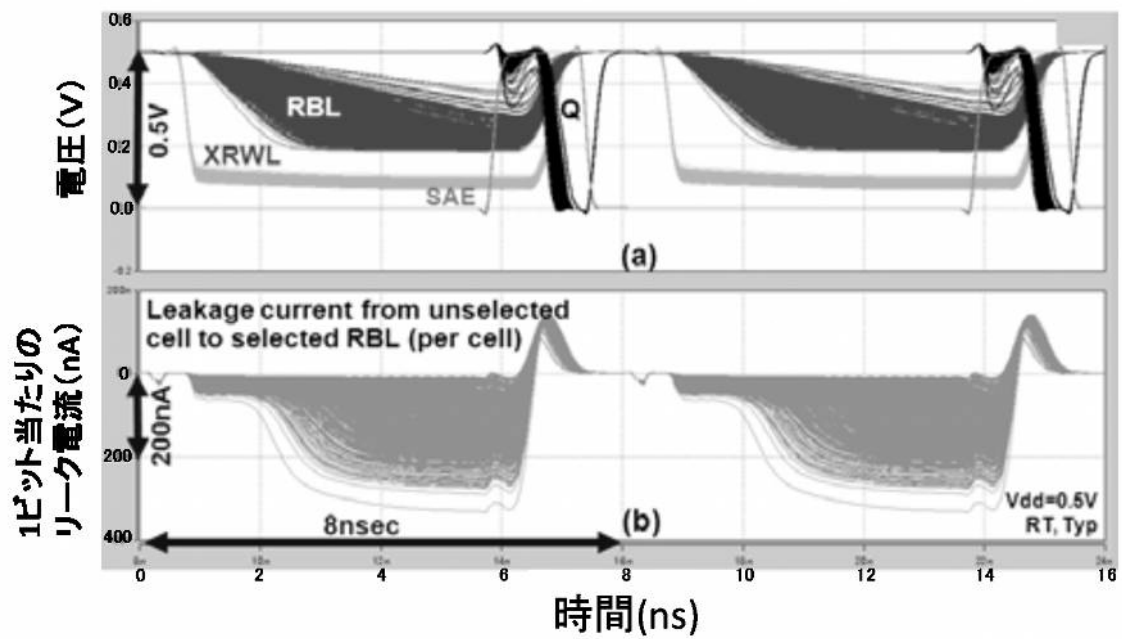


図4-6 読み出し時のモンテカルロシミュレーション波形 (0.5V, Typical 条件 25°C 試行回数 1k回)

(a) 電圧波形

(b) 同一カラム上の非選択セルからのリーク電流波形

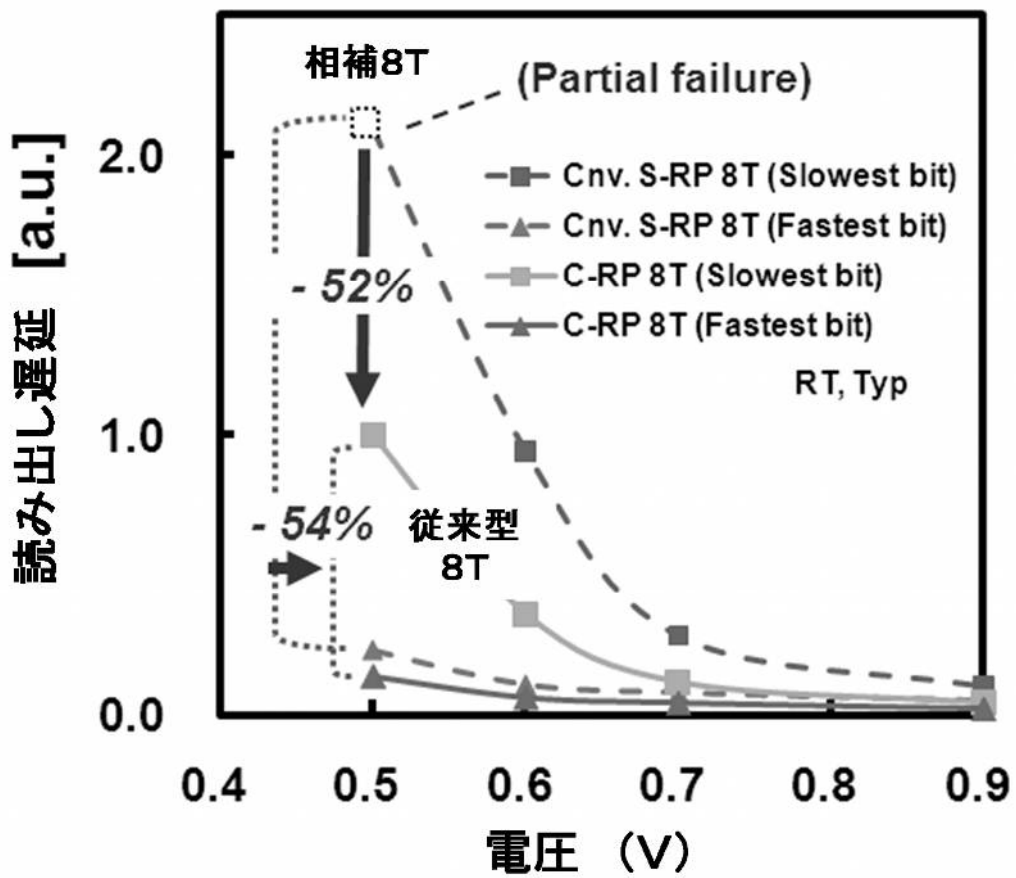


図4-7 C-RP8TとS-RP8Tの読み出し遅延(XRWL起動からRBLレベルが読み出しに必要なレベルに達するまでの遅延)の電源電圧依存(モンテカルロシミュレーション結果 Typical 条件 25°C 試行回数 1k回)

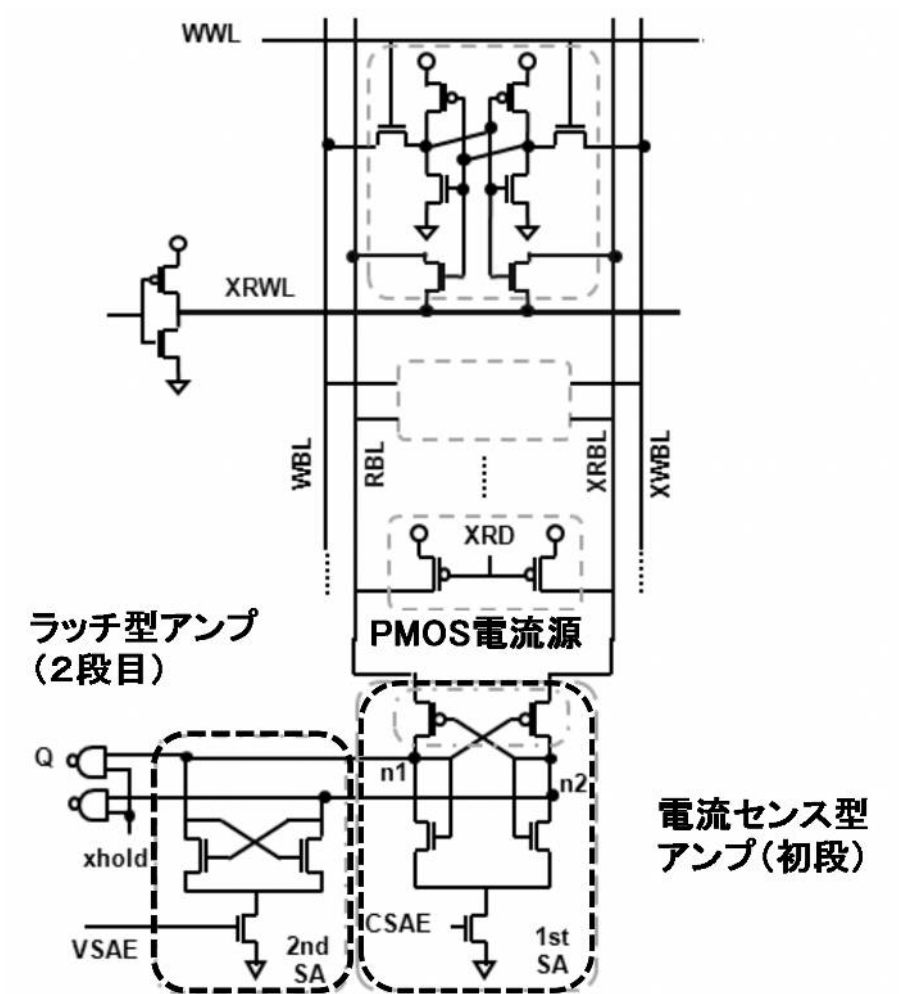


図4-8 サスペンディッド・ビットライン読出し回路を用いたメモリアレイ

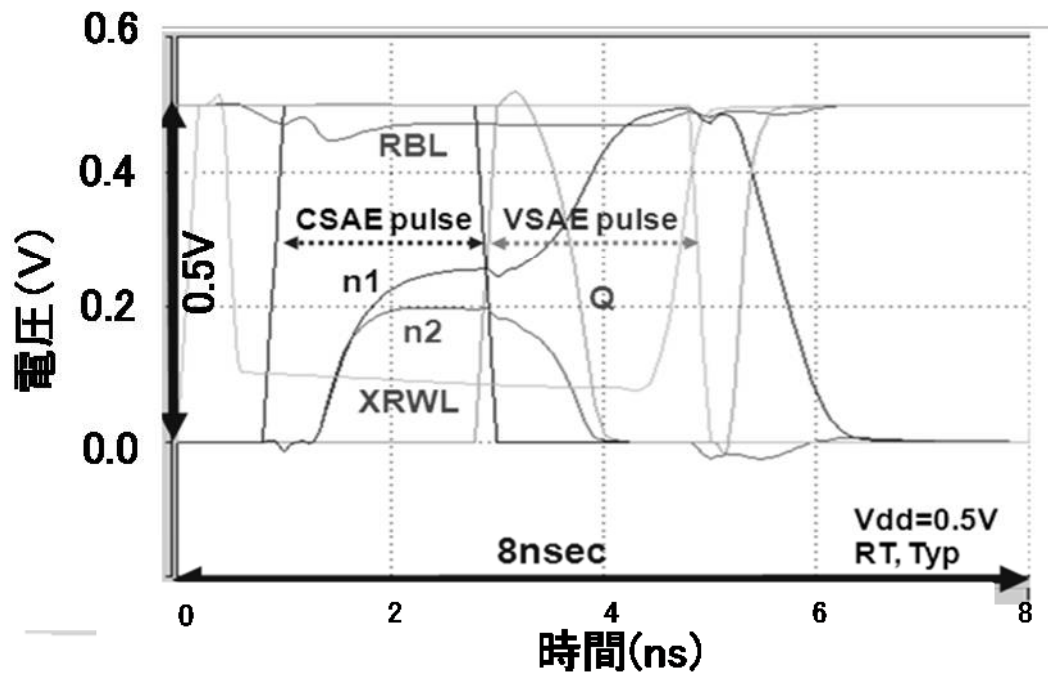


図4-9 サスペンディッド・ビットライン読出し回路を用いたC-RP8Tメモリの
 タイミングチャート(a)とシミュレーション動作波形(b) (0.5V Typical 条件
 25°C)

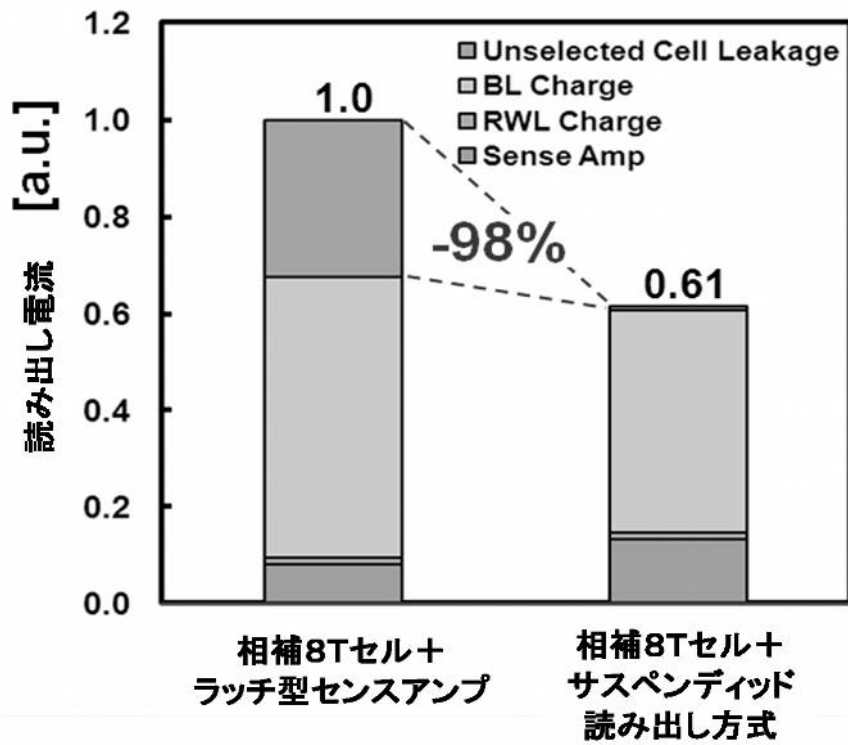


図4-10 サスペンディッド・ビットライン読み出し回路を用いた時の電流削減効果 (0.5V Typical 条件 25°C)

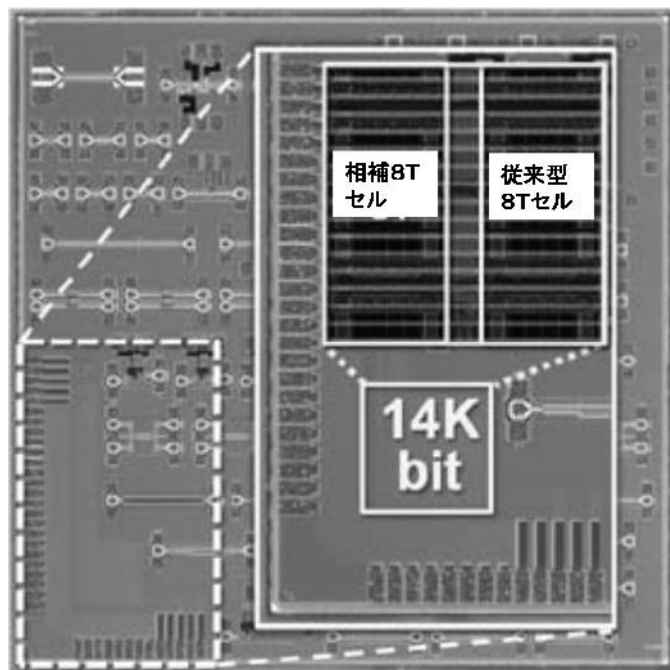


図4-11 試作したテストチップの写真

表 4 - 1 試作した SRAM の緒元

Technology	65 nm LP CMOS
マクロサイズ	400 μ m x 400 μ m
メモリ容量	14K bit (0.5K – 8Kbit module)
セルの形式	相補8T
セル面積	1.56 μ m ² with Logic-based rule

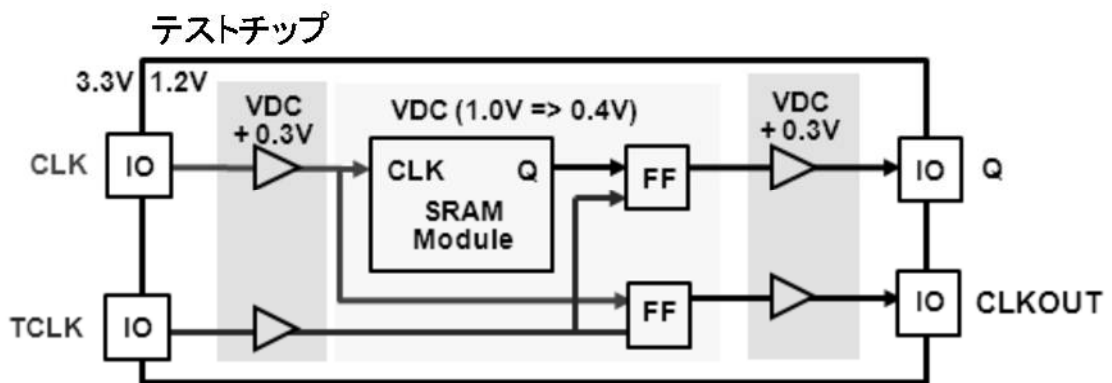


図 4 - 1 2 SRAM アクセスタイム評価回路

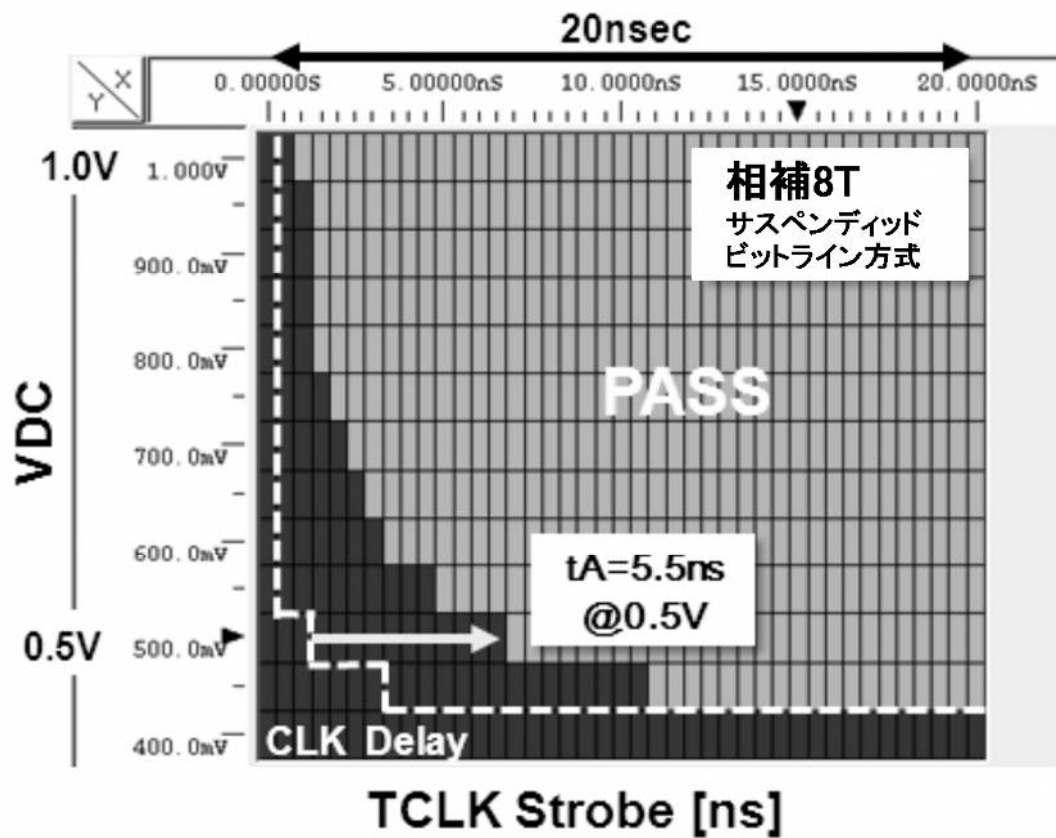


図4-13 SRAM アクセスタイム評価回路 (相補8Tセル+サスペンディッド・ビットライン方式)

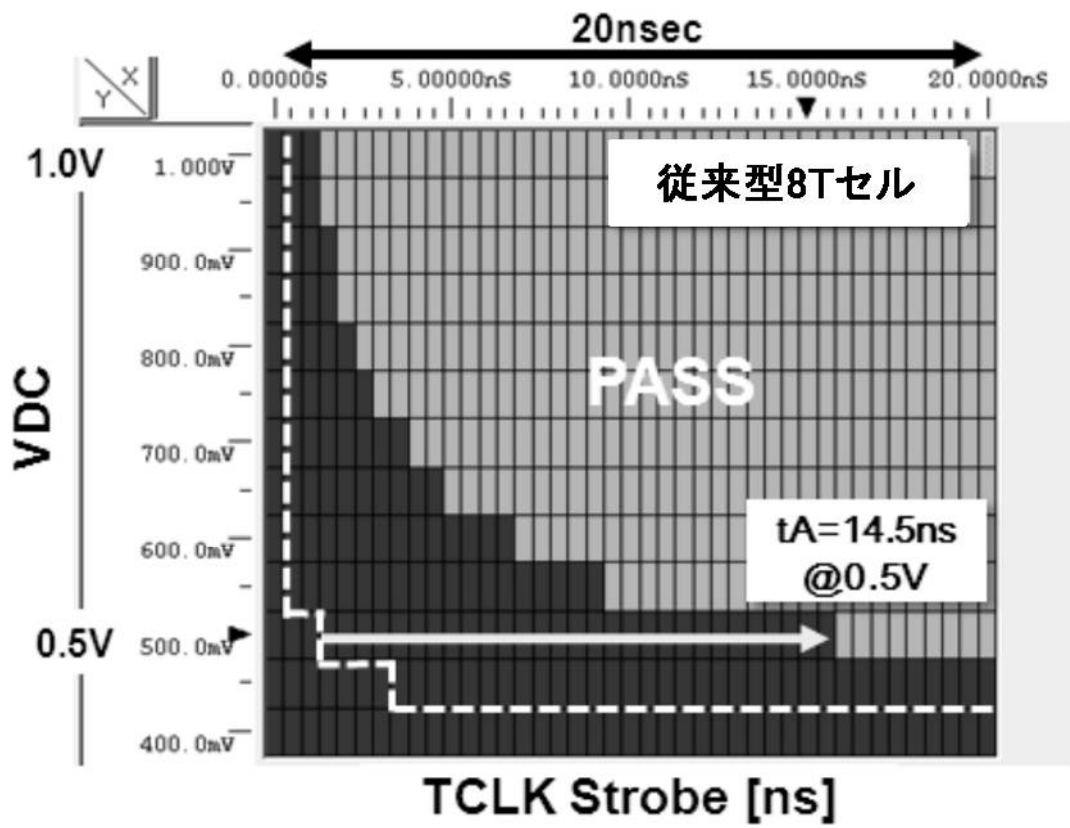


図4-14 SRAM アクセスタイム評価回路 (従来型8Tセル)

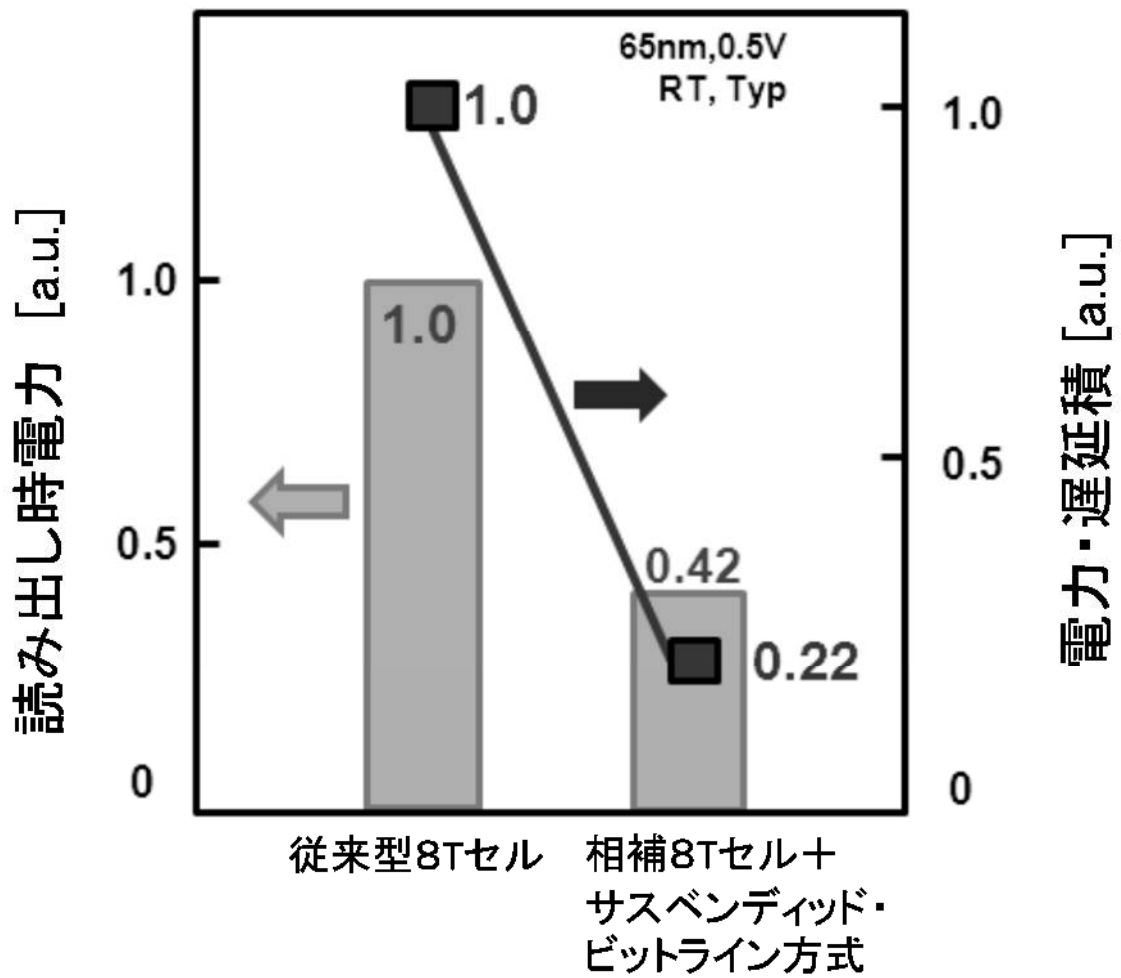


図 4-15 電力・遅延積の実測結果

表 4-2 相補 8T セルの面積

相補 8T	従来型 8T	10T	6T
1.4x	1.4x	1.8x	1x

4章の参考文献

- [1] S. Yoshimoto, M. Terada, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi and M. Yoshimoto, “A 40-nm 0.5-V 512-Kb 8T SRAM with Disturb Mitigation scheme,” Symposium on VLSI Circuits, Digest of Technical Papers, pp. 72-73, Jun. 2011.
- [2] J. Wu, Y. Chen, M. Chang, P. Chou, C. Chen, H. Liao, M. Chen, Y. Chu, W. Wu, and H. Yamauchi, “A large σ Vth/VDD tolerant zigzag 8T SRAM with area-efficient decoupled differential sensing and fast write-back scheme,” Digest of Technical Papers, Symposium on VLSI Circuits, pp. 103-104, June 2010.
- [3] T. Suzuki, S. Moriwaki, A. Kawasumi, S. Miyano and H. Shinohara, “0.5-V, 150-MHz, Bulk-CMOS SRAM with Suspended Bit-Line Read Scheme,” Proceedings of the IEEE European Solid-State Circuits Conference, pp.354-357, September 2010.
- [4] J. Wu, Y. Chen, M. Chang, P. Chou, C. Chen, H. Liao, M. Chen, Y. Chu, W. Wu, and H. Yamauchi, “A Large σ Vth/VDD Tolerant Zigzag 8T SRAM With Area-Efficient Decoupled Differential Sensing and Fast Write-Back Scheme,” IEEE Journal of Solid-State Circuits, vol.46, no.4, pp.815-827, April 2011
- [5] C. Chen, T. Chang L. Chen, M. Chang, and H. Yamauchi, “A 210mV 7.3MHz 8T SRAM with Dual Data-Aware Write-Assists and Negative Read Word line for High Cell-Stability, Speed and Area-Efficiency,” Digest of Technical Papers, Symposium on VLSI Circuits, pp. 130-131, Jun. 2013.
- [6] 宮野信治、鈴木利一、森脇慎一、川澄 篤、篠原尋史、“サスペンディッドビット線読み出し方式による相補8T型SRAMのNear-Threshold領域における低消費電力化” 電子情報通信学会和文論文誌、
- [7] H. Kaul, M. Anders, S. Hsu, A. Agarwal, R. Krishnamurthy, and S. Borkar, “Near-threshold voltage (NTV) design – Opportunities and challenges,” Digest of Technical Papers, Design Automation Conference, 1149 - 1154, Jun., 2012.
- [8] M. Nomura, A. Muramatsu, H. Takeno, S. Hattori, D. Ogawa, M. Nasu, K. Hirairi, S. Kumashiro, S. Moriwaki, Y. Yamamoto, S. Miyano, Y. Hiraku, I. Hayashi, K. Yoshioka, A. Shikata, H. Ishikuro, M. Ahn, Y. Okuma, X. Zhang, Y. Ryu, K. Ishida, M. Takamiya, T. Kuroda, H. Shinohara, and T. Sakurai, “0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU

Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40nm CMOS," IEEE Symposium on VLSI Circuits, pp. 36-37, June 2013.

第5章 DRAM 混載技術による高密度化と高速化

5-1 緒言

プロセッサの高性能化や、画像処理技術の進展に伴い、メモリのバンド幅に対する要求は増加の一途をたどっている。メモリのバンド幅を上げるために、DRAM の高速インターフェース技術の進展は目覚ましく、現在では 10Gbit/sec/pin に速度に達する高速インターフェースの試作も行われるようになってきた [1]。このような高速インターフェースは、DIMM やボードのオフチップの比較的大きな負荷容量を駆動しなければならず、そのため高速に動作させた時に大きな充放電電力が消費される。また、高いバンド幅を得るためには、多くのピン数が必要になりチップの PAD や、パッケージのピン数が増えることによるコスト面からのデメリットも少なくない。

その一方で、携帯電話における動画処理など高いメモリバンド幅を必要としながら、同時に低消費電力を求められる応用や [2] [3]。比較的小さなメモリ容量で、非常に大きなバンド幅を必要とする家庭用ゲーム機 [4] などの応用領域が広がりを見せている。

このような用途を主たるターゲットとして DRAM とロジックをワンチップに搭載するロジック混載 DRAM が開発されてきた [5] [6] [7]。DRAM とロジックを混載するメリットは、DRAM とロジックの間をつなぐ信号線を半導体製造技術の配線層を使って生成できることである。このことにより、信号の伝送距離を短くでき、寄生容量の小さい配線でロジックと DRAM の間を結ぶことができ、信号伝送に伴う充放電電力を大幅に下げることができる。また、半導体の微細化に伴い、DRAM とロジックの間を多くの配線で結ぶことが容易となった。そのため、外付け DRAM の高速インターフェースのように 1 ピンで数 Gbit/s のような高速転送をせずとも、ビット幅を広げることによって容易に高いメモリバンド幅を得ることができる。これにより高速インターフェースを実現するための多くの回路が不要となり、消費電力削減、並びにチップサイズ削減に大きな利点を有することとなる。

本章では、DRAM 混載技術の黎明期に、汎用 DRAM では実現できない、高いバンド幅を実現した混載 DRAM 技術向けの DRAM マクロの設計について述べる。

5-2 DRAM 混載技術のためのメモリマクロ

本章を進めるにあたって、DRAM 混載技術のためのメモリマクロがどのような技術であるかということについて触れておきたい。まず、DRAM 混載技術を、2つの技術と比較することによりその特徴を述べる。最初に SRAM 技術との比較を述べる。SRAM と比較すると DRAM はデータ保持するためにリフレッシュ動作を必要とするかわりに 1bit のデータを保持するメモリセル面積が小さくすることができ、大容量のメモリ (RAM) を作るのに適した技術といえる。しかし、データを保持するために一定の容量のキャパシタが必要であるため、セルを微細化するためにキャパシタを3次元化する必要があった [8]、[9]。このことは、SoC に DRAM を混載するにあたって、通常の CMOS プロセスに加えて付加的な工程が必要となってウエファーコストが上昇することを意味している。そのため、SoC に搭載するメモリ容量がさほど大きくない場合は DRAM を混載することによるチップ面積の減少によるコスト低減分をウエファーコストの増大が上回ってしまう。従って、DRAM 混載技術は、チップの中でメモリの占める面積が比較的大きなものに適用するのがコスト面で適しているといえることができる。また、DRAM は一般的に破壊読出しであるために、読み出しのたびにセルにデータを書き直す動作 (リストア動作) が必要である。そのため、動作速度、特にランダムアクセス速度の点で SRAM に及ばない。したがって高速に動作する L1 キャッシュなどを DRAM で置き換えることは通常は困難である。

次に DRAM 混載技術を SoC + 汎用外付け DRAM と比較する。汎用 DRAM は bit cost を削減するために DRAM セルの微細化に特化した製造技術となっており、トランジスタの速度や動作電圧の低電圧化、配線層の数などの点では、SoC で使われる程の高い性能を有したものとなっていない。しかし、DRAM 混載技術では、ロジック部分については、通常の SoC と同レベルの性能が要求されるため、メモリセルの密度を犠牲にして、ロジック性能を向上させる集積化技術を用いる [10] ことが多い。そのため、同じ容量のメモリを使用した場合、外付け DRAM を用いる方法の方がコストメリットの点で有利であるのがふつうである。

それでは、DRAM 混載技術を使う利点はどこにあるといえるのか。図 5-1 (a) と図 5-1 (b) に外付け DRAM と SoC を 1 チップに集積したイメージを図示した。DRAM と SoC を 1 チップに集積することにより、DRAM と SoC の間の信号の接続を半導体の配線形成技術で形成できるようになる。このため、信号線本数に対する制約が小さくなり、容易に数百本~数千本の信号線で

DRAM と SoC を接続することが可能になる。つまり、DRAM を SoC に混載することによって、通常、数 bit から数 10bit 程度で SoC と結ばれている外付け DRAM に対して、データ転送の速度が変わらなくても、メモリバンド幅を桁違いに増やすことが可能となる。このため、家庭用ゲーム機 [4] などの 3 次元画像処理向けチップに DRAM 混載技術が使われている。さらに、SoC と DRAM を結ぶ接続の距離はチップ外の接続に比べてはるかに短く、寄生容量が小さいため、大きなメモリバンド幅でメモリと SoC を結んだ時のバンド幅あたりの充放電電力が桁違いに小さくなる。このデータ転送の極低消費電力化が DRAM 混載技術の 2 つ目の利点であり、この点を生かして携帯電話向けのアプリケーションプロセッサ [2] などに使われてきた。DRAM 混載技術はこのほかにも、パッケージピンカウントの削減、チップ上の PAD 数の削減、インターフェースの充放電に起因するノイズの削減などの利点を有している。

以上述べてきたように、単純に外付け DRAM と SoC を同一チップに並べただけでは DRAM 混載技術のメリットを生かすのは難しい。DRAM 混載技術の特徴を生かした応用に特化することが必要であり、その特徴を最大限に生かせるように汎用 DRAM とは異なるメモリ設計が求められる。もっとも大きな違いは、通常の汎用 DRAM よりはるかに高いバンド幅を実現するメモリマクロの設計が求められる。次節では、DRAM 混載技術に適した高バンド幅メモリの実装について述べる。

5-3 DRAM 混載技術による高バンド幅メモリの実装

DRAM 混載技術の黎明期には、汎用 DRAM とほぼ同じ構成のメモリマクロを混載した SoC の試作が行われていた [5]。しかし、前節に述べたように DRAM 混載技術の本質的な利点は大きなメモリバンド幅にある。そのため、高いメモリバンド幅が得られるようにメモリマクロの設計は進化していった。DRAM 混載技術の黎明期では 3 次元グラフィックスが技術を主導する一つの大きなアプリケーション分野として存在していた。3 次元グラフィックスの処理では、メモリバンド幅が処理の大きなボトルネックとして課題となっていた [11]。そこでこのボトルネック解消のために DRAM 混載技術の適用が考えられた [6] [7]。

同時期に、汎用 DRAM のインターフェースの高速化も始まっており、シンクロナス DRAM [12] や RAMBUS DRAM [13] の製品化も始まっていた。これらの高速 DRAM の課題は以下のようなものであった。第一にはメモリバンド幅が不十分であった。もっとも大きなメモリバンド幅を有していた RAMBUS DRAM でも 500Mbyte/sec のメモリバンド幅しかなく、1Gbyte/sec 以

上に達していたメモリバンド幅の要求に十分に答えられるレベルではなかった。2 つ目には、DRAM の特性として、メモリセル読み出しが破壊読み出しのため必ずリストア動作が必要となる。そのため、DRAM のランダムアクセスサイクルは数 10ns 程度の時間を要する。これらの高メモリバンド幅 DRAM では、センスアンプに一時的にキャッシュされたデータをシリアルアクセスすることによって高メモリバンド幅を実現しており、アドレスの局所性が低くワード線が頻繁に切り替わるメモリアクセスに関しては、実効的なアクセス速度がピークの数分の一程度にしかなかった。3 つ目は前節でもふれたが、高速インターフェースおよび、接続配線で消費する電力が大きいという問題があった。これらの課題を解決するために DRAM 混載技術を用いた新しいメモリマクロの開発を行った。

図 5-2 に開発した DRAM マクロのデータパスのパイプラインアーキテクチャーを示す。この DRAM マクロの大きな特徴は、ビット線とグローバルビット線の間には Data Latch を挿入し、ワード線によるメモリアクセス (Row Access) とカラムアドレスによる戦背アンプの選択動作 (Column Access) を分離できるようにしたことである。このことにより、ビット線をリストアしている間にもデータラッチから連続的にデータを読み出すことが可能となり、ローアドレスを連続的に変化させながら切れ目のない読み出し動作をすることが可能となった。

5-4 DRAM マクロの読み出し動作

図 5-2 の回路の動作を図 5-3 のタイミングダイアグラムに従って説明する。まず、通常の DRAM と同様に RAS 信号の立下りでローアドレスを入力する (R1)。DRAM の内部では、ローアドレスに対応したワード線が選択され、メモリセルから読み出されたデータがセンスアンプに蓄えられる。このタイミングで、外部から Lord Word 信号を入力すると、センスアンプと Data Latch の間をつなぐトランスファーゲートがオンする。Data latch を構成するトランジスタのサイズをセンスアンプより十分小さくしているため、トランスファーゲートをオンしただけで、データはセンスアンプから Data Latch へ 1 サイクルで転送される。データが転送された次のサイクルでは、トランスファーゲートはオフして、ビット線と Data Latch の接続が切れる。この動作により Row Access と Column Access 動作を並列に行うことが可能となり、ビット線がプリチャージ動作を行うのと同時に Data Latch に転送されたデータは入力さ

れたカラムアドレスに従って選択されてグローバルビット線 (GBL/GBLB) を通って、マクロから出力 (Dout) される。ビット線から Data Latch、グローバルビット線へのデータ転送のシミュレーション波形を図 5-3 に示す。Data Latch へデータを転送した後に、ビット線はすぐにプリチャージ動作に入ることができ、プリチャージ動作が終了した後は、次の Row Address (R2) を入力することができる。この動作を連続して行うことにより、Row Address を切り替えながら切れ目なくデータの出力を続けることが可能となる。

5-5 DRAM マクロの書き込み動作

本マクロでは、読み出し動作だけでなく書き込み動作においても Row Address を切り替えながら切れ目なくデータ入力続けることが可能である。図 5-5 に書き込み動作時のデータパスアーキテクチャを示す。書き込み時には、マクロの外部からのデータ入力 (Din) は、カラムアドレスに従って Data Latch に書き込まれる。その後、Write Word (WW) 信号によって、Data Latch とセンスアンプの間を結ぶトランスファーゲート (BSG) をオンする。前述のように Data Latch を構成するトランジスタのサイズはセンスアンプより小さいため、センスアンプを活性化後に BSG をオンしても、Data Latch からセンスアンプへのデータ転送は起こらない。そこで、BSG をオンするのとほぼ同時に S/A を活性化することによって、Data Latch からセンスアンプへのデータの転送を行う。図 5-6 に Data Latch からビット線へのデータ転送のシミュレーション波形を示す。Word 線が選択されたのちに Write Word 信号によって BSG がオンし、同時にセンスアンプが活性化することによって、データビット線に転送されていることがわかる。BSG は 1 サイクルでオフすることができ、書き込み動作においても、Row Access と Column Access 動作を並列に行うことが可能となる。BSG がオフした後にビット線はフル振幅して選択されたワード線 (R1) のメモリセルへの書き込み動作を行う。この動作と並行して、Data Latch に対しては次の Row Cycle のためのデータの書き込みを行うことができる。図 5-7 に書き込み動作のタイミングダイアグラムを示す。図に示すようにローアドレス R1 に対するメモリセルに書き込み動作を行っている間に、次のローアドレス R2 に対するデータ書き込みを行うことができる。この動作によって、ローアドレスが変化しても切れ間なく書き込み動作を続けることが可能となる。

上記のような構成で、連続的な書き込み動作が可能となるが、実際のメモリの用途では、一

つのワード線につながるセルの一部のセルのみを書き換えたいという状況が起こる。本 DRAM マクロの書き込み動作では、上記のように Data Latch のデータをセンスアンプが受け取る書き込み動作のため、もともとメモリセルに蓄えられていたデータは書き込み動作の時にすべて消えてしまう。したがって、同一ワード線の一部のデータのみを書き換えるときは、Read Modify Write のようにいったんすべてのデータ読み出して、必要な部分だけを書き換えて再び書き込むような動作が必要になる、しかし、もともと高いメモリバンド幅が求められているメモリにおいてこのような動作は大きなデータ転送速度のロスにつながる。そこで、書き込み時に書き換える必要がないメモリセルのデータを保護するために本 DRAM マクロには Write Mask 機能をそなえた。図 5-8 に Write Mask 機能を実現するためのブロック図を示す。各ビット線対にマスクを解除するためのラッチを設け、Write 時に選択されたカラムアドレスに対応するマスクラッチのみマスクを解除していく。図 5-9 に Mask Write 動作のタイミングダイアグラムを示す。1 本のワード線に対応する書き込みがすべて終わった時点で、Write Word 信号を入力してデータを一括してビット線に転送する。この時、選択されていないカラムについては、マスクラッチのマスク状態が解除されていないため、BSG がオンせず、データラッチからビット線にデータ転送は起こらず、メモリセルに保持されていたデータがリストア動作によってふたたびメモリセルに保持される。ビット線へのデータ転送を行った次のサイクルで、リセットマスク信号を入力することで、すべてのマスクラッチはリセット状態に戻り、次の書き込み Row Cycle で選択されないカラムについては、Write Mask 動作を行うことになる。

5-6 DRAM マクロの試作と評価結果

開発した DRAM マクロの試作を行った。テクノロジーは、完全にロジックプロセスと互換性のあるものではなく、DRAM プロセスをベースにトランジスタの性能を向上させたプロセスを使った。試作した 8MbitDRAM マクロは独立した 4 つの 2Mbit Bank から構成されている。2Mbit Bank のブロック図を図 5-10 に示す。各 2Mbit Bank は 8 ビットのローアドレスと 7 ビットのカラムアドレスを 4 ビット持っており、2 セットの RAS シグナルによってインターリーブ動作を行うことも可能となっている。8Mbit マクロ全体では、240bit のアドレス入力ピンを持っている。また、出力は 2Mbit Bank ごとに 4 ポートの 8bit 出力を持ち、8Mbit 全体では、128bit の出力ビットをもっている。このように多くの入出力ピンを持つことにより、大きなバンド幅と柔軟なアドレッシングを同時に実現している。このように多くの入出力ピンをメモリに対し

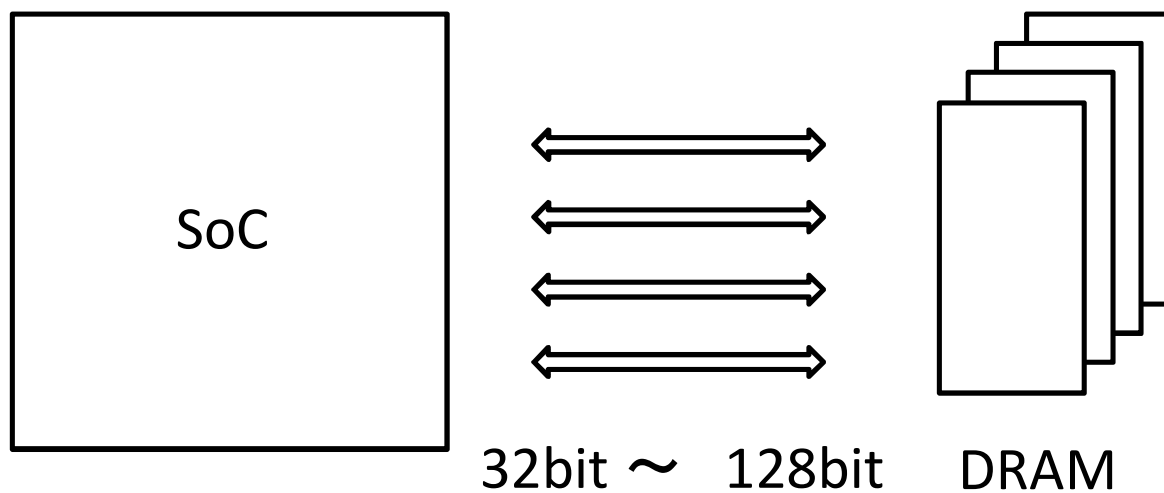
て持つことができるのは、DRAM 混載技術ならではのメモリ性能向上手法といえる。試作した DRAM マクロの緒元を表 5-1 に示す。図 5-1-1 に DRAM マクロの出力波形の測定結果をしめす。100MHz のクロックで、DRAM マクロは動作した。DRAM マクロのメモリバンド幅は、1.6GByte/sec あり、開発当時、最も高いバンド幅を実現していた Rambus DRAM の 3 倍以上のメモリバンド幅を実現した。本 DRAM マクロを混載した ASIC チップの試作を行った。試作したチップのチップ写真を図 5-1-2 に示す。70Kgate のロジック回路とトレンチ化キャパシタセルを持った DRAM を混載したチップである。本チップは、ワークステーションの 3 次元フィックスのテキスチャマッピングのリアリティを向上させるためのチップとして製品に使われた。

5-7 結言

メモリバンド幅ネックを解消しつつ、ロジックチップとメモリチップの間のデータ転送に必要なエネルギーの消費を大幅に削減することが可能となる技術として、DRAM 混載技術がある。本節では、DRAM 混載技術の黎明期の技術として、従来のビットコストを最優先とするオフチップの DRAM 設計技術と異なり、メモリバンド幅をいかに広げるかという視点に立った DRAM マクロ設計手法について述べた。本マクロとそれを搭載した DRAM 混載チップは、本格的に製品に適用された世界最初の DRAM 混載チップとなり、その後の多くの半導体メーカーが DRAM 混載技術に参入するきっかけを作った。DRAM 混載技術に対するメモリバンド幅の要求はその後増大を続け、特にビデオゲーム専用機では数 100GByte/sec に及ぶメモリバンド幅が要求されるようになった。また、ロジック回路の性能も、通常のロジック回路と同等なレベルまで高速化を求められるようになった。このような要求に対応した DRAM 混載技術の発展については次節で概観する。

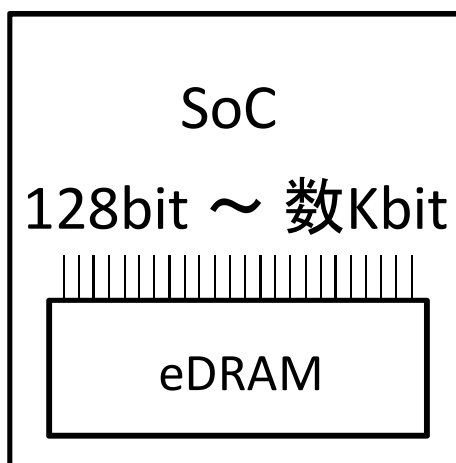
最後に、もう一つ DRAM 混載技術の低消費電力化に対する効果を述べておく。オンチップの SRAM は、テクノロジーの微細化とともにセルサイズを縮小していったが、それと引き換えにゲート長りの増大など、スタンバイ状態での消費電力の増大が避けられなかった。それに対して、DRAM 混載技術では、メモリセルに高い電力を印加する関係上、比較的厚くて、ゲート長の長いトランジスタを使い続けている。これは、一つのセルに通常 6 個以上のトランジスタを必要とする SRAM に比べて、トランジスタを一つしか使わない DRAM セルの場合トランジスタのゲート長のメモリセルサイズに対するインパクトが小さいということも一つ

の理由である。このため、スタンバイ状態での消費電力が大切なモバイル機器向けのチップに対しても DRAM 混載技術は低消費電力技術として使われるようになっていった。



(a) SoC + 外付け DRAM

SoC と DRAM を大きなビット幅で結ぶと、PAD、パッケージピン、実装面積が増大する。



(b) Embedded DRAM を搭載した SoC

半導体製造技術により、容易に大きなビット幅でロジック部とメモリ部を結ぶことができる。

図5-1 SoC と外付け DRAM の組み合わせと Embedded DRAM の比較

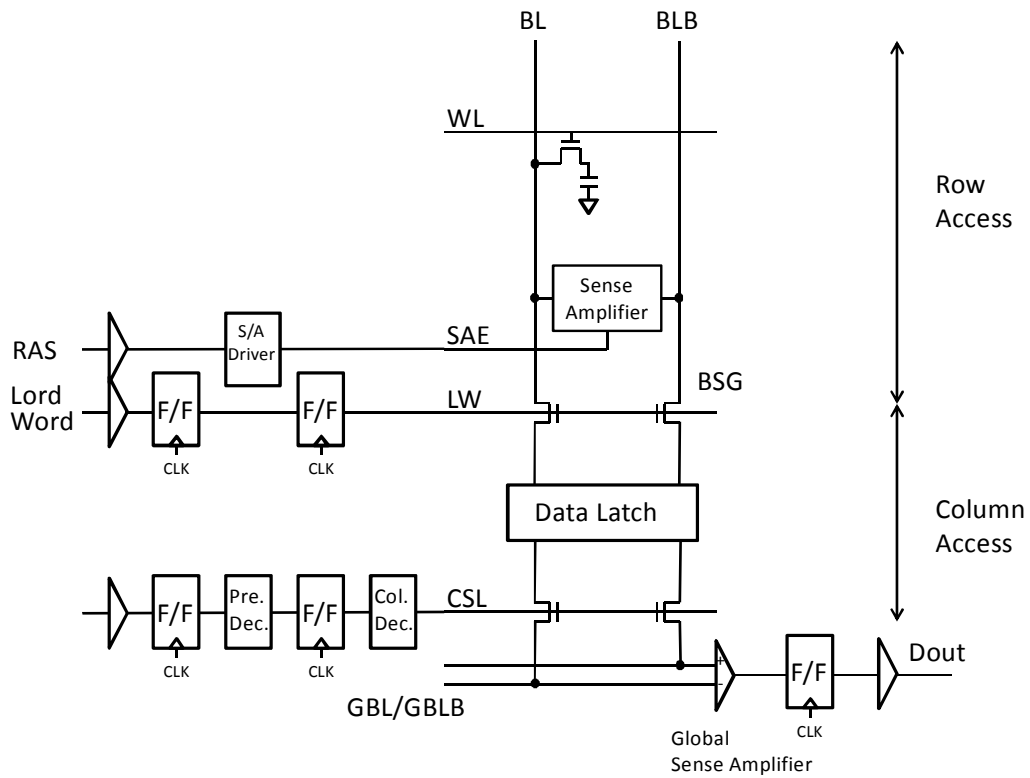


図 5 - 2 混載 DRAM マクロのデータパスアーキテクチャ (Read)

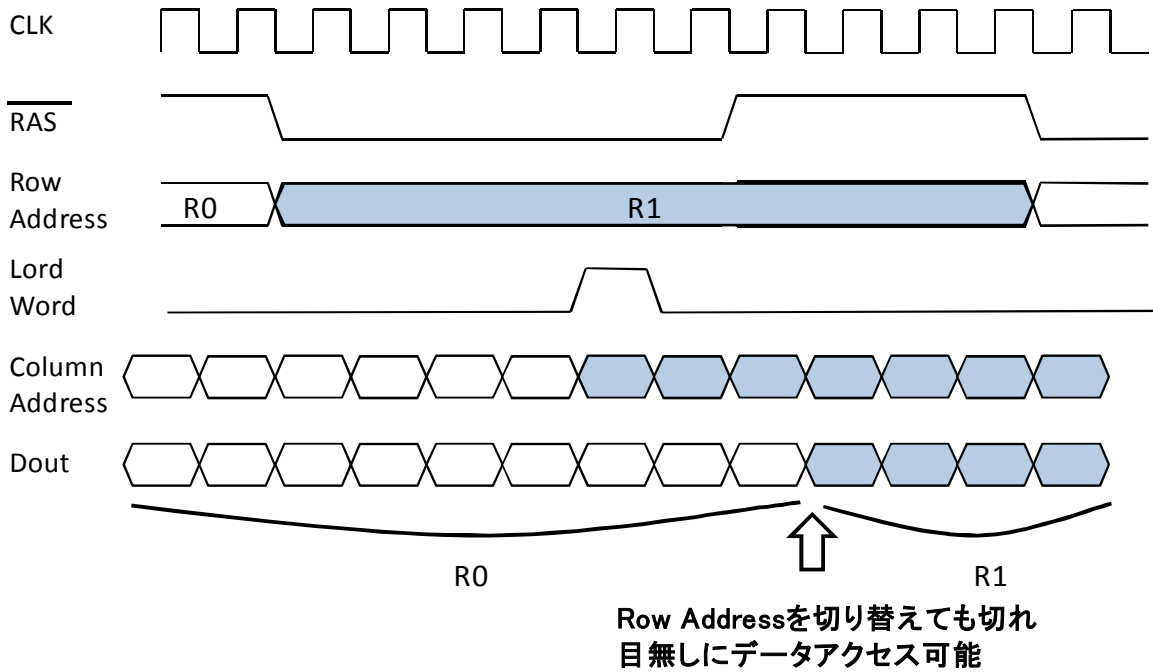


図 5 - 3 読み出しのタイミングダイアグラム

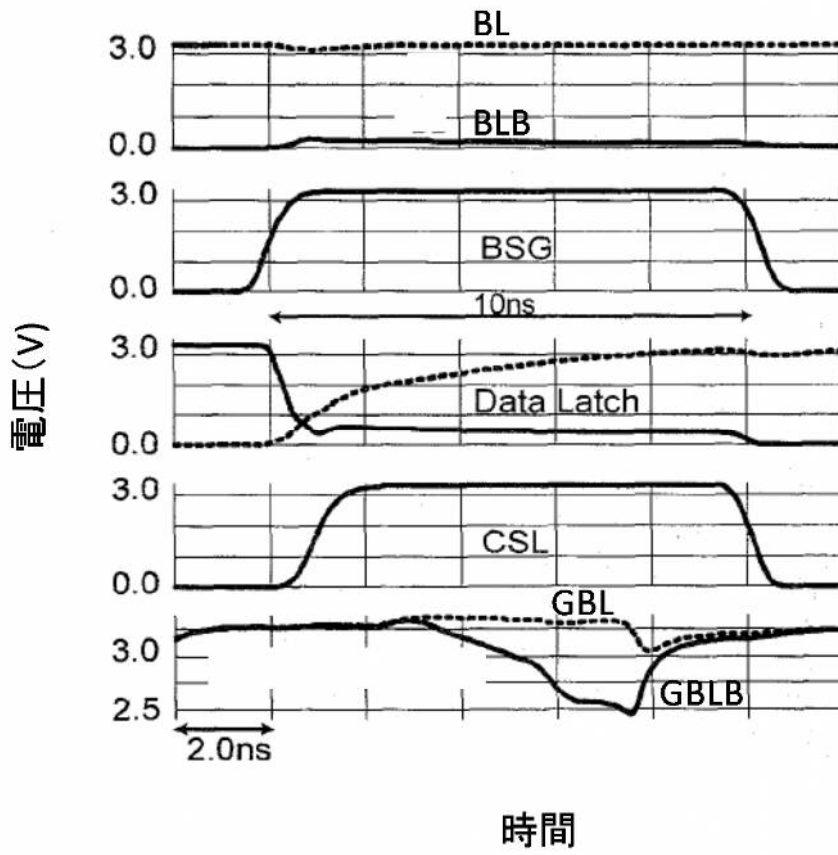


図5-4 ビット線から Data Latch へのデータ転送のシミュレーション波形

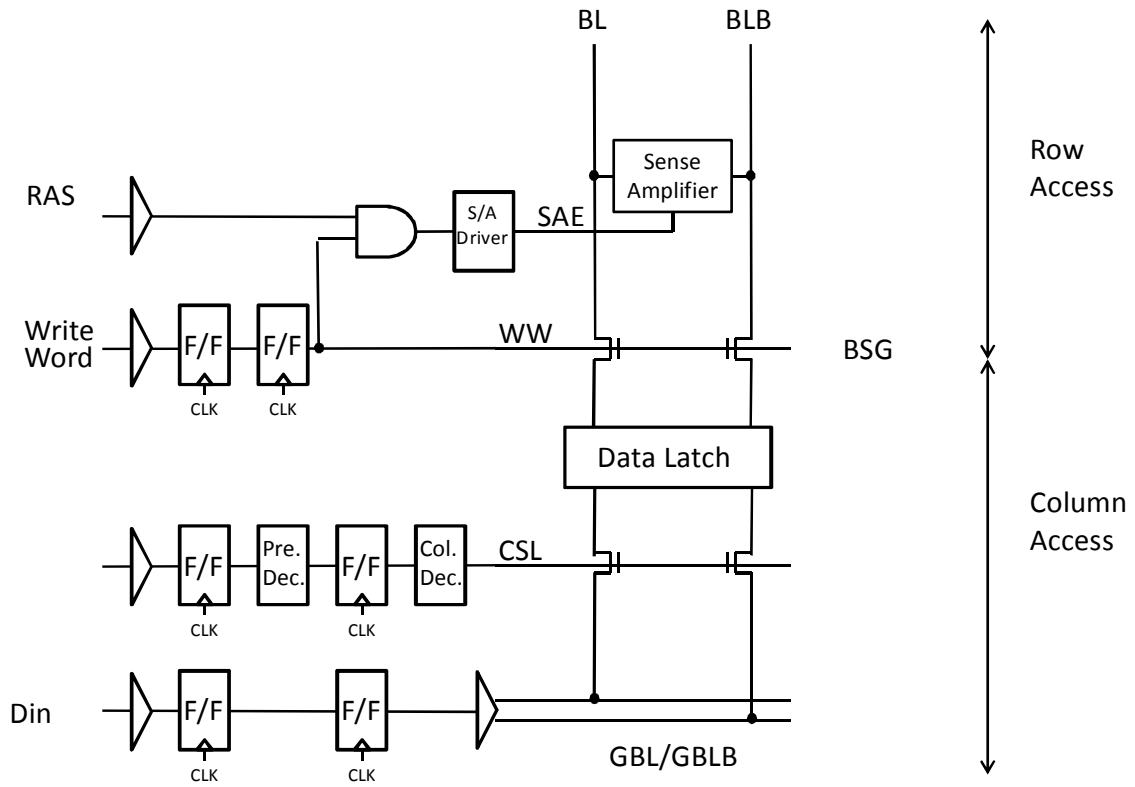


図 5 - 5 混載 DRAM マクロのデータパスアーキテクチャ (Write)

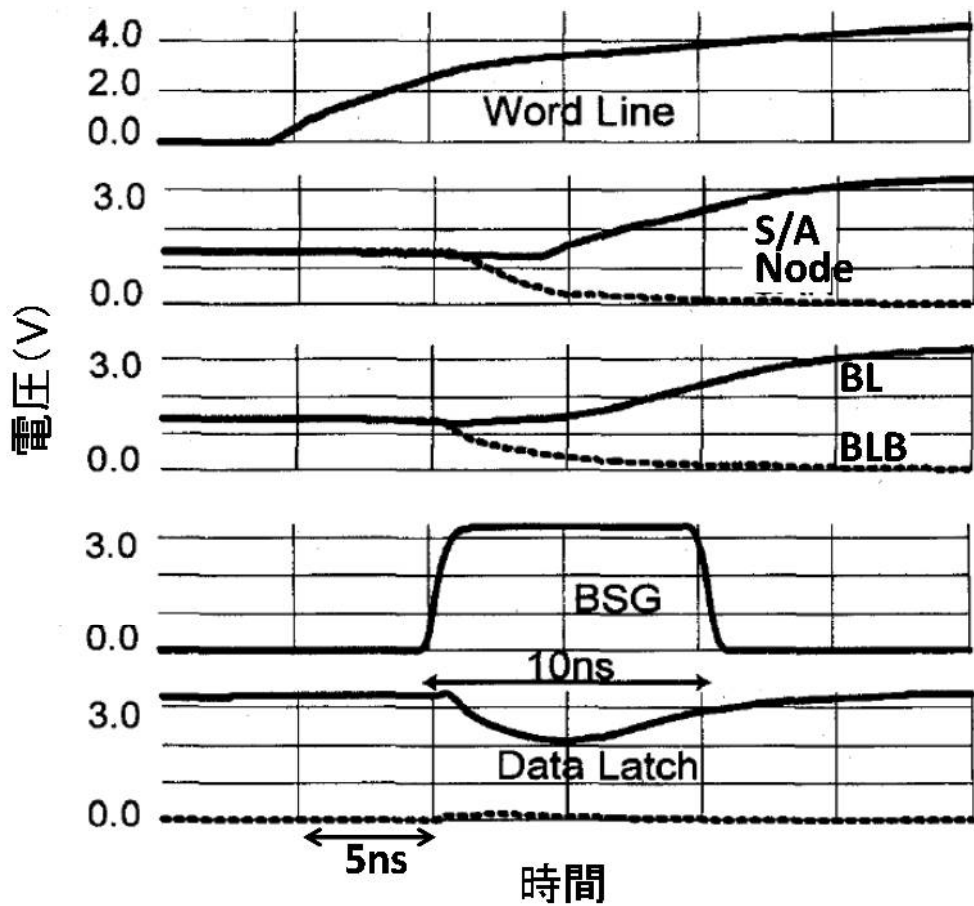


図 5-6 ビット線から Data Latch へのデータ転送のシミュレーション波形

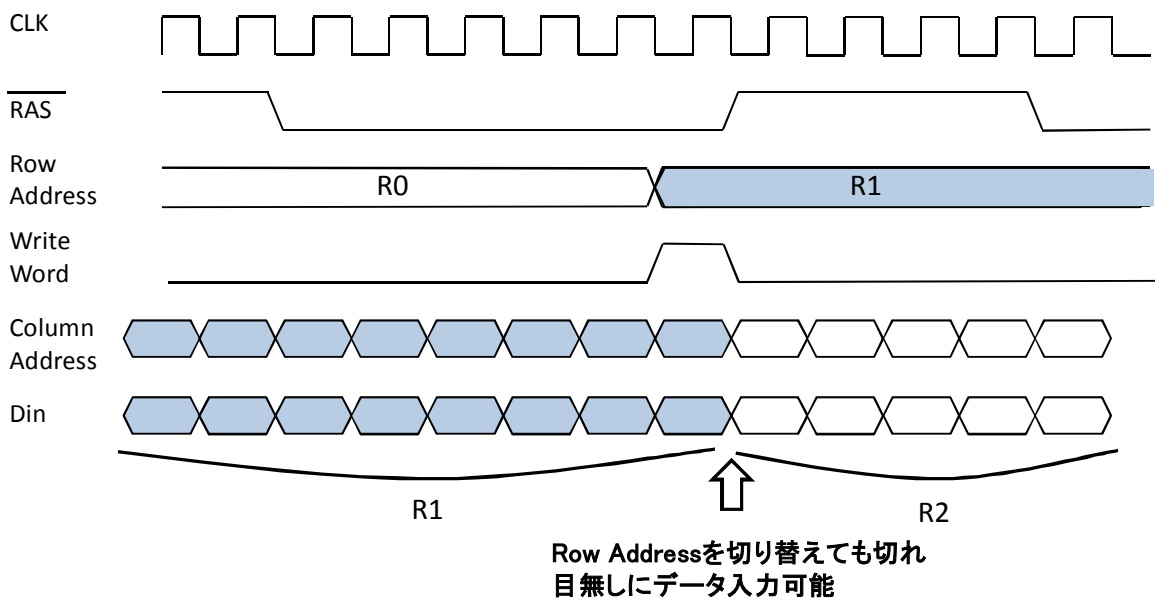


図 5-7 書き込みのタイミングダイアグラム

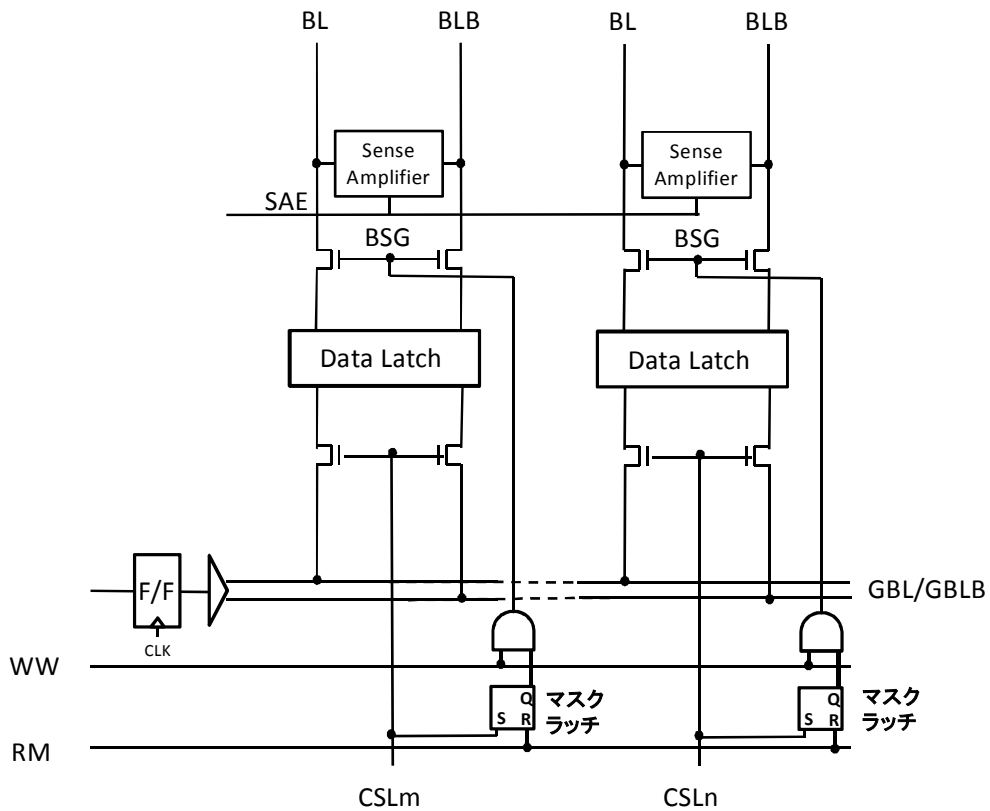


図 5 - 8 混載 DRAM マクロのデータパスアーキテクチャ (Mask Write)

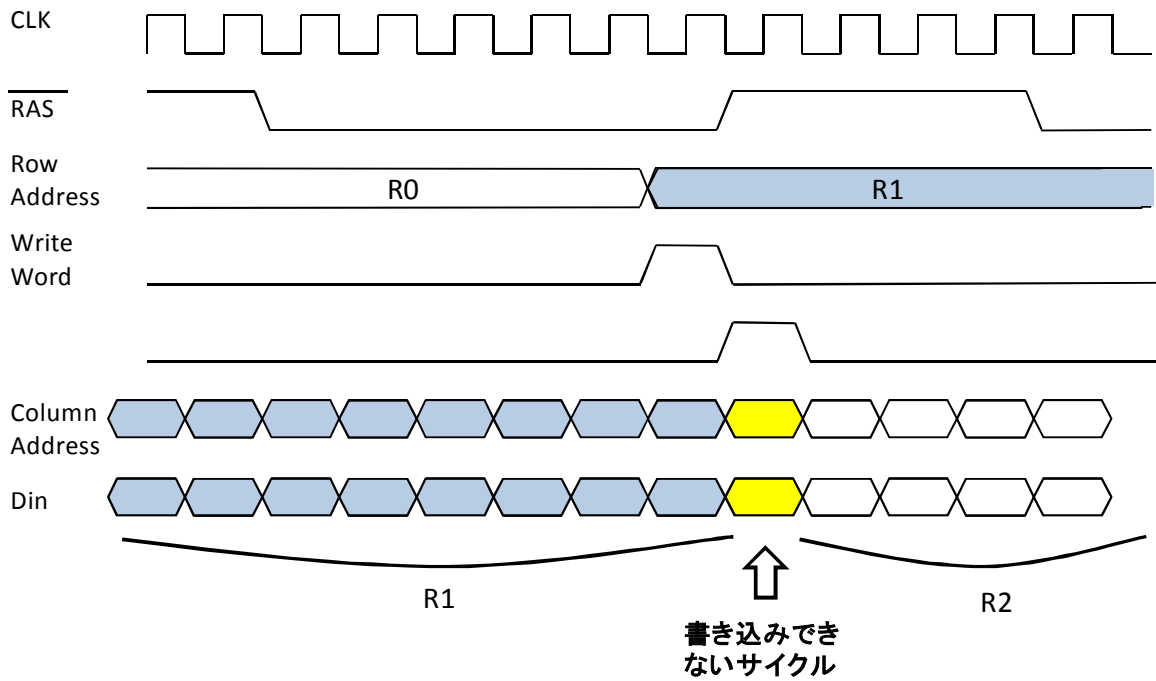


図 5 - 9 書き込み (Mask Write) のタイミングダイアグラム

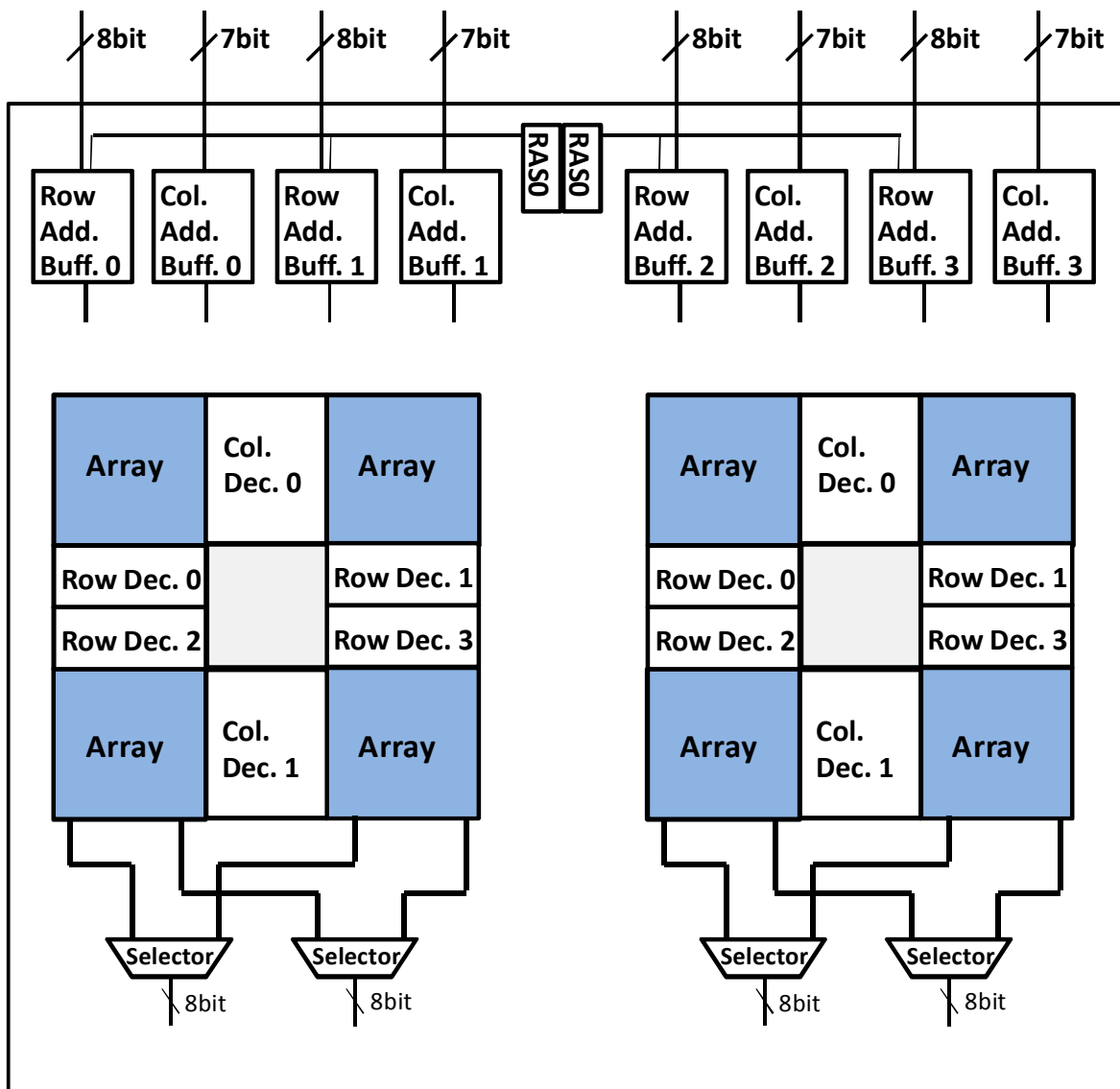


図5-10 2Mbit Bankのブロックダイアグラム

5-1 DRAMマクロの緒元

テクノロジー	0.5 μ m CMOS
メモリセルサイズ	1.3mm x 2.7mm
マクロサイズ	14.2mmX8.5mm
動作電圧	3.3V
クロック周波数	100MHz
消費電力	2.2W
Data Transfer Rate	1.6GByte/sec

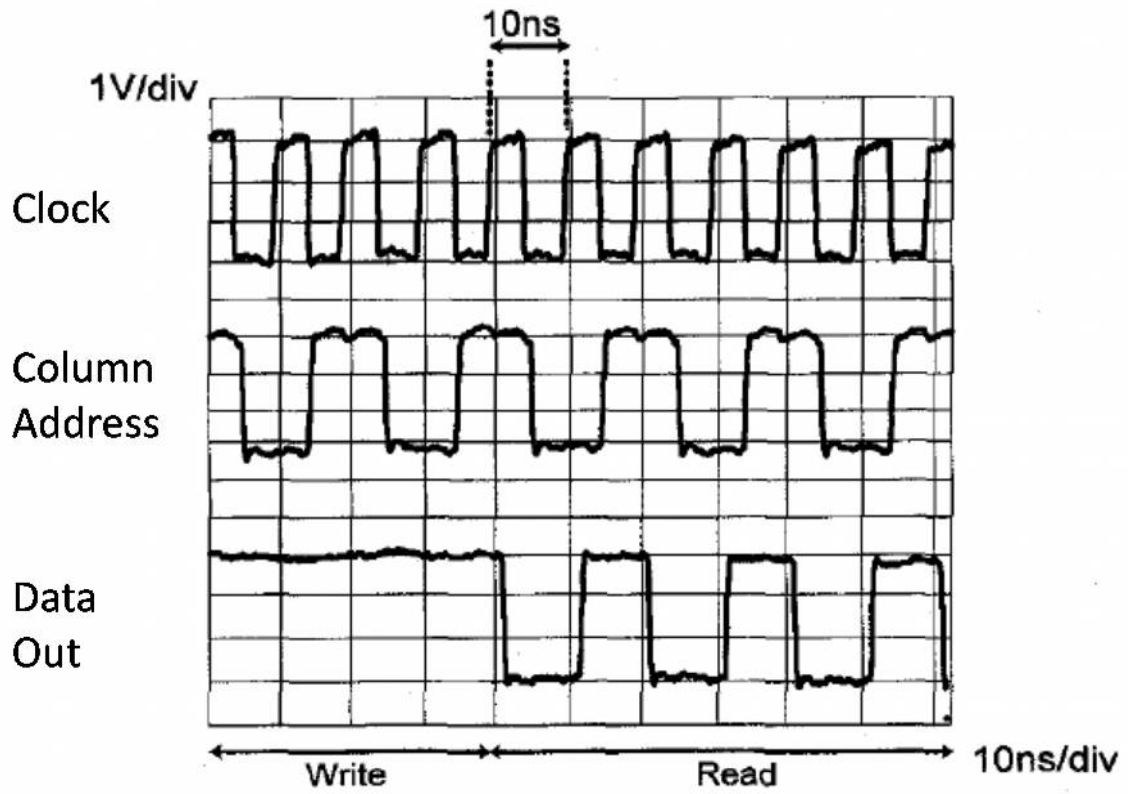


図 5 - 1 1 DRAM マクロの測定結果

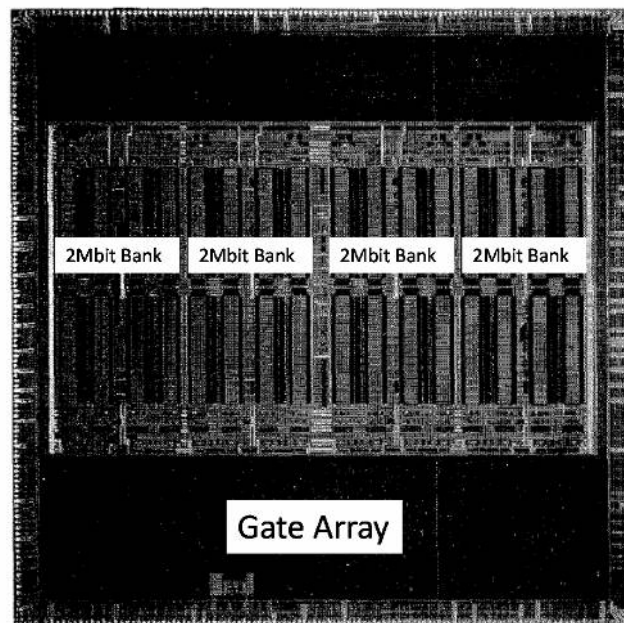


図 5 - 1 2 試作した DRAM 混載チップのチップ写真

5章の参考文献

- [1] J. Song, H. Lee, S. Lim, S. Hwang, Y. Kim, Y. Choi, B. Chung, C. Kim “An Adaptive-Bandwidth PLL for Avoiding Noise Interference and DFE-Less Fast Precharge Sampling for over 10Gb/s/pin Graphics DRAM Interface,” ISSCC Digest of Technical Papers, pp. 312 - 313, Feb. 2013.
- [2] M. Takahashi, T. Nishikawa, M. Hamada, T. Takayanagi, H. Arakida, N. Machida, H. Yamamoto, T. Fujiyoshi, Y. Ohashi, O. Yamagishi, T. Samata, A. Asano, T. Terazawa, K. Ohmori, Y. Watanabe, H. Nakamura, S. Minami, T. Kuroda, and T. Furuyama, “A 60-MHz 240-mW MPEG-4 Videophone LSI with 16-Mb Embedded DRAM,” IEEE Journal of Solid-State Circuits, vol. 35, no.11, pp. 1713-1721, Nov. 2000
- [3] S. Miyano and M. Takahashi, “Embedded DRAM SOCs and its application for MPEG4 codec LSIs,” Proc. of VLSI Circuits Short Course, pp. 101-121, June 2001.
- [4] A. Khan, H. Magoshi, T. Matsumoto, J. Fujita, M. Furuhashi, M. Imai, Y. Kurose, K. Sato, Y. Yamashita, K. Kinying L. Duc-Ngoc J. Yu, N. Trunng, S. Yang, A. Tsou, C. King, J. Shen, L. Min, L. Jun, Z. Hong, and K. Yoshida, “A 150 MHz graphics rendering processor with 256 Mb embedded DRAM,” ISSCC Digest of Technical Papers, pp. 150 - 151, Feb. 2001.
- [5] K. Sawada, T. Sakurai, K. Nogami, T. Iizuka, Y. Uchino, Y. Tanaka, T. Kobayashi, K. Kawagai, E. Ban, Y. Shiotari, Y. Itabashi, and S. Kohyama., “A 72 K CMOS channelless gate array with embedded 1 Mbit dynamic RAM,” IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, 20.3.1, May 1988.
- [6] S. Miyano, K. Numata, K. Sato, Y. Yabe, M. Wada, R. Haga, M. Enkaku, M. Shiochi, Y. Kawashima, M. Iwase, M. Ohgata, J. Kumagai, T. Yoshida, M. Sakurai, S. Kaki, N. Yanagiya, H. Shinya, T. Furuyama, P. Hansen, M. Hannah, M. Nagy, and A. Nagarajan, “A 1.6 Gbyte/s data transfer rate 8 Mb embedded DRAM,” IEEE Journal of Solid-State Circuits, vol. 30, no.11, pp. 1281-1285, Nov. 1995.
- [7] K. Inoue, H. Nakamura, H. Kawai, T. Tani, Y. Sakemi, H. Matsuoka, M. Ishikawa, J. Matsumoto, K. Yamamoto, K. Takahashi, M. Yamawaki, E. Yokomoto, C. Hart, J. Lin, K. Ishihara, and K. Shimotori, “A 10 Mb 3D frame buffer memory with Z-compare and alpha-blend units,” ISSCC Digest of Technical Papers, pp. 302-303, Feb. 1995.

- [8] T. Ohsawa, T. Furuyama, Y. Watanabe, H. Tanaka, N. Kushiyama, K. Tsuchida, Y. Nagahama, S. Yamano, T. Tanaka, S. Shinozaki, and K. Natori, K., "A 60-ns 4-Mbit CMOS DRAM with built-in selftest function," *IEEE Journal of Solid-State Circuits*, vol.22, no.5, pp. 663-668, Oct. 1987.
- [9] K. Kimura, K. Shimohigashi, J. Etoh, M. Ishihara, K. Miyazawa, S. Shimizu, Y. Sakai, and K. Yagi, "A 65-ns 4-Mbit CMOS DRAM with a twisted driveline sense amplifier," *IEEE Journal of Solid-State Circuits*, vol.22, no.5, pp. 651-656, Oct. 1987.
- [10] H. Koike, H. Takato, K. Hiyama, S. Yoshida, H. Harakawa, K. Kokubun, T. Shimabukuro, S. Kato, M. Tamaoki, H. Okano, H. Sato, Y. Morimasa, T. Yamamoto, M. Tanaka, J. Kumagai, O. Yakabe, H. Naruse, H. Kamiyo, K. Tomioka, and H. Ishiuchi, "Fully integrated embedded DRAM technologies with high performance logic and commodity DRAM cells for system-on-a-chip," *Symposium on VLSI Technology Digest of Technical Papers*, pp243-246, June 1999.
- [11] Y. Park, S. Han, J. Kim, S. Lee, J. Kook J. Lim, R. Woo, H. Yoo, J. Lee, J. Lee, "A 7.1 GB/s low-power 3D rendering engine in 2D array-embedded memory logic CMOS," *ISSCC Digest of Technical Papers*, pp. 242-243, Feb. 2000.
- [12] Y. Choi, M. Kim, T. Kim, S. Lee, H. Lee, C. Park, S. Lee, C. Kim, B. Lee, S. Cho, E. Haq, J. Karp, and D. Chin, "16 Mbit synchronous DRAM with 125 Mbyte/sec data rate," *Symposium on VLSI Circuit, Digest of Technical Papers*, pp65-66, May 1993.
- [13] N. Kushiyama, S. Ohshima, D. Stark, H. Noji, K. Sakurai, S. Takase, T. Furuyama, R. Barth, A. Chan, J. Dillon, J. Gasbarro, M. Griffin, M. Horowitz, T. Lee, and V. Lee, "A 500-megabyte/s data-rate 4.5 M DRAM," *IEEE Journal of Solid-State Circuits*, vol.28, no. 4, pp. 490-498, Apr. 1993.

第6章 大容量混載メモリのテスト容易化技術

6-1 緒言

前章で、DRAM 混載技術の黎明期における大きなメモリバンド幅を実現するための DRAM マクロ設計について述べた。その後、DRAM 混載技術の広がりとともにさまざまなチップで DRAM 混載技術が使われるようになっていった [1] [2]。それに伴い DRAM マクロ設計に要求されること技術内容も多岐にわたるようになってきた。一つの方向はより一層の高速化 [3] や低電力化 [4] といった DRAM マクロの性能に関わる要求である、もう一つは、歩留まり向上をサポートするため冗長技術 [5] や、容易に多くの製品チップに DRAM マクロを展開させるための Configurability [6] [7] の獲得といった製品化、量産化に関わる課題に対する対応が求められるようになった。

これらに加えて、DRAM マクロのテスト容易化技術は DRAM 混載技術が立ち上がった直後から大きな課題となっていた。DRAM は SRAM に比べ大容量メモリであることが前提であるうえに、一定の歩留まりを確保するために複雑なリダンダンシーの置き換えが前提となっている。また、メモリセルのリテンション時間のテストといった非常に時間のかかるテスト項目も、DRAM セルの特性から必然的に求められる。これらの要素のために、DRAM マクロのテストは、通常の ASIC などのテストに比べるとはるかに時間のかかるものとなり、テストコストがチップコストの中に占める割合も無視できるレベルではなくなっている。本章では、ロジック回路とりわけ ASIC のテストフローの中に、DRAM マクロのテストを組み込むための手法とテスト容易化技術 [8] について説明する。

本論に入る前に、前章で述べた DRAM マクロからスタートして、どのように DRAM マクロ技術が進化していったかを次の2節で概観する。とりわけ Configurability の獲得、DRAM マクロの高速化、Redundancy 技術の改善、低電力化について述べる。このような DRAM マクロの設計技術の進化とテスト容易化技術は DRAM 混載技術を実用化するうえで、不可分の車の両輪として進化していった。

6-2 DRAM マクロ設計技術の進化 (Configurability の獲得)

DRAM 混載技術の用途が広がるにつれて、様々なチップで混載 DRAM マクロが使われるようになった。チップに必要なメモリの容量はチップごとに異なり、チップコストの観点からそれぞれのチップに必要な最小限の容量と Row/Column/Bit 構成のメモリマクロが要求される。第 5 章で述べた DRAM マクロは、大きなメモリバンド幅を実現することができたが、メモリビット幅を変えずにメモリ容量を変えることはできなかった。混載 DRAM 技術は、前節でも述べたように、ある程度の規模のメモリを搭載することが前提となっているため、一般の SRAM で必要とされるほど細かな粒度は不要なものの、メモリバンド幅を変えずに容易にメモリの Configuration を変えられるメモリマクロを作る日が必要となった。本節では、その要求にこたえる DRAM マクロの構成方法について述べる[6][7]。

図 6-1 にメモリジェネレータの概念図を述べる。左にあるような DRAM を構成する回路部品をあらかじめ作っておき、メモリ容量、Row/Column 構成、I/Obit 幅などのメモリ仕様の変化に対応して、ソフトウェアによって DRAM マクロをくみ上げる。DRAM はビット線の容量とメモリセルキャパシタの容量の比が重要な設計パラメータとなるため、SRAM のようなビットセル単位の Configurability を持たせることは難しく、1Mbit を一つの単位として、DRAM マクロをくみ上げていく。図 6-2 に 4Mbit DRAM マクロと 6Mbit DRAM マクロの構成例を示す。基本的に 1Mbit ブロック、デコーダブロックを積み上げてメモリ容量を増やす。ワード線を複数本立てる場合に備え、ワード線の昇圧電位を生成する VPP pump もメモリ容量の増加とともに増えていく構成になっている。アドレスのデコードロジックの変更は Via の打ち替えで対応する。図 6-2 にこのようなメモリジェネレータのシステムで、構成される DRAM マクロの例を示す。メモリ容量を増加させるためには、1Mbit のブロックを単純に並べていけばよい。さらに広い I/O 幅が必要な場合は、図 6-3 のように 1Mbit のブロックを横に並べることもできる。この場合、アドレス入力、デコードロジックなどの回路を含む Control Circuits は左右のブロック共通に用いることができる。このようなレイアウト構成要素の組み合わせにより、数 Mbit から数 10Mbit のメモリ容量の DRAM マクロを極めて短時間で生成できるようになり、ASIC といった短い設計期間を要求される製品群に対しても、DRAM 混載技術を適用することが可能となった。図 6-4 にそのように生成された DRAM マクロの例のチップ写真を示す。[6]

6-3 DRAM マクロテストの課題とテスト容易化技術

DRAM マクロの設計の工夫により、様々な Configuration の DRAM マクロが ASIC に搭載されるようになると、それらの搭載された DRAM をどのようにテストするかが課題となる。一般論として、ASIC と汎用 DRAM は半導体製品として対極の性質を持っている。汎用 DRAM は、生産量は非常に大きな規模であるが、製品品種数は限られていて、異なる製品間でも仕様の違いは小さい。そのため、テスト手法をその製品にカスタマイズすることが容易である。一方、ASIC が、製品数は膨大であるが、一品種あたりの生産量は小さく、また、製品開発から、短納期であることが重要であるため、テストを製品ごとにカスタマイズすることが必要なテストエンジニアの確保を含めて難しい。また、汎用 DRAM はあらかじめ用途を特定できないため、広範なテストを必要でテスト時間が長い。同時に多数個のチップをテストすることで長いテスト時間による 1 チップあたりのテストコストの上昇を抑えている。ASIC では、用途が特定できる分テストを簡略化できるが、チップのピン数が多く同時に多数のチップのテストを行うのが難しいという制約があった。また、

一般に DRAM は複雑なリダンダンシーシステムを持つため、外付けのメモリテストおよび MRA (メモリ・セル救済解析装置) が必要で、簡易な BIST 回路でテストを行うことは困難である。そのため、搭載された DRAM マクロはメモリテストを使ってテストする必要があるが、DRAM マクロのテストに必要なテストピンの数は数 10 ピンにおよび、LSI ピン数の制約で、それらのテストに必要なピンを確保するのが難しいという問題があった。また、様々な Configuration の DRAM が搭載された様々な LSI に対して、DRAM テストの効率化のために、テスト手法を統一する必要がある。このような様々な課題に対応するために、DRAM 混載マクロを搭載した ASIC に一様に適用可能な Universal Test Interface を開発した [8]。

図 6-5 に混載 DRAM マクロを搭載した ASIC チップのテストフローの一例を示す。1 回目のウェファテストで見つけた DRAM の不良をリダンダンシーで救済するためにフューズブローを行う。その後、温度を変えて二回目の DRAM テストを行い、さらにロジックテストを使ってロジック部のテストを行う。その後アセンブリを行い、バーンインをかけて、最終出荷テストを行う。DRAM のリダンダンシー置き換えのためにメモリテストの使用は不可欠となる。そのため、テスト工程が長くなるとともに、チップ上にメモリテストから直接 DRAM を測定することが可能となるようなダイレクトメモリアクセスモードの設定が不可欠となる。図 6-6 に、ダイレクトメモリアクセスモードの一例を示す。メモリテストを使った DRAM テスト

との時には、TE（テストイネーブル）信号を活性化して、メモリテストからの制御信号で直接 DRAM マクロを直接制御できるようにするとともに、DRAM マクロからの出力をチップの外に取り出せるようなテスト用のパスを LSI 上に設定する。

ダイレクトメモリアクセスモードを作る上で、混載 DRAM マクロ特有の問題がある。一つは、前述のように高いメモリバンド幅を実現するために、数百から数千に及ぶ非常に多くの入出力ピンを持っているため、そのままピンを I/O に出すことができず、何らかの方法でピン数を削減する必要があること。もう一つは、DRAM マクロの Configuration やチップ上の配置がチップごとに異なるため、必要な Row アドレスピン、カラムアドレスピンの数や、配置がチップごとに異なってしまう、チップ上にダイレクトアクセスモードを設定するメソドロジーを確立するのが困難となる。

6-4 Universal Test Interface による DRAM テスト環境の標準化

前節で述べたように、様々な Configuration とチップ上の配置をもつ DRAM マクロにダイレクトメモリアクセスモードを設定して統一したテスト環境を作り上げることには様々な困難がある。しかし、テスト環境を標準化し、テストプログラム、テストピンの配置、ダイレクトテストモードのインプリ手法を標準化しなければ、多種多品種の ASIC の製品に混載 DRAM 技術を適用した DRAM マクロを搭載して製品オペレーションを行うことはできない。そこで、我々は、DRAM マクロの構成によらず常に一定の数のテストピンが DRAM マクロの同じ位置から接続できるような DRAM テストのためのインターフェース回路（Universal Test Interface）を開発した。

DRAM マクロの制御ピン、アドレスピン、データ入出力ピンはロジック部との接続を容易にするために、通常 DRAM マクロの一つの辺にならべてある。Universal Test Interface は、これらの入出力配線との干渉を避けるために、DRAM マクロの反対側の辺に配置してある。（図 6-8）。前節で述べたように DRAM マクロには様々な Configuration があり、入出力ピンの数や配置が異なるが、Universal Test Interface はこれらの Configuration の違いによらず常に一定の入出力ピンで DRAM テストのための制御信号、アドレス信号、データ入出力を行えるようになっている。表 6-1 に DRAM マクロの主要信号ピンの一覧を示す。この表にあるように多い場合、1つの DRAM マクロで 600 ピン近い信号の入出力ピンが存在している。これに対して Universal Test Interface は、図 6-9 にあるようにテスト制御信号ピン、アドレスピン、

データピンすべて合わせて 34 ピンで構成されている。1 ビットはテストモードエントリーピンに割り当て、DRAM を制御するための信号を 5 ビットで制御する。次の 18 ビットは、コマンドに応じた、アドレス、または入力データを与える。コマンドの種類によっては、さらにサブコマンド入力のための信号もこの 18 ビットの中に含まれる。次の 9 ビットは出力ピンで、DRAM の出力データを出力する。通常は 8 ビットを使うがパリティビットを必要とする 144bit の Configuration にも対応可能なように 9bit の出力を要してある。最後の 1 ピンはこのマクロがテストによって選択されているかどうかを判別するためのピンとなる。

6-5 Universal Test Interface の実装

Universal Test Interface を構成する回路は、主としてコマンドデコーダーとアドレスのデマルチプレクサからなっている。インターフェースの回路は、図 6-10 に示すテスト信号バスを通じて、DRAM 制御信号、アドレス信号、入力データを DRAM マクロの制御回路部に送ることによって DRAM 動作の制御を行う。一方、DRAM マクロの出力データは、I/O 領域にある出力レジスタにいったん蓄えられて (図 6-11)、Universal Test Interface から入力されるバイト選択信号により選択された 8 ビットないしは 9 ビットのデータが Universal Test Interface を通じて、外部のメモリテストに送られる。図 6-12 に Universal Test Interface を使ったメモリテストのタイミングダイアグラムを示す。バンク選択信号によって、ワード線を選択して、所望のバンクを活性化する。必要な遅延後に Read コマンドを発行して、データの出力を開始する。テストインターフェースでは一度に 8bit(ないし 9bit)のデータしか出力できないため、数サイクルにわたって読み出しレジスタからデータを取り出し、チップ外部に出力する。

BIST を用いたメモリテストでは、一般にテストシーケンスの種類があらかじめ実装されたシーケンサーによって発生できるパターンに限られるのに対して、Universal Test Interface を用いることで、DRAM マクロの可能な動作パターンのほぼすべてに対応することができる。SRAM に比べて故障モードの種類が多い DRAM では、リダンダンシー置換のためのテスト、製品不良の解析などで、必要に応じて自由にテストパターンを組めるメリットは大きい。

また、一つのチップに複数の DRAM マクロが搭載された場合も、チップ内にセクタを設けることにより、チップ上の DRAM テストピンを増やすことなくダイレクトメモリアクセスモードを実装することが可能である。図 6-13 に複数の DRAM マクロが搭載された場合の実装

例を示す。Universal Test Interface の制御信号の中には、マクロ選択信号が含まれているため、制御信号は単純に各マクロに接続することによって、テストからテストする DRAM マクロを選ぶことができる。チップ上では、出力データをマルチプレクスするセレクタのみ実装すればよく、セレクタの選択信号も Universal Test Interface から出力することが可能となっている。

また、Universal Test Interface の機能の中にはテスト時間短縮のための機能も含まれている。図 6-14 にその一例を示す。DRAM マクロの I/O は最大で 32Byte (256bit) あるが、通常離れたビット間の干渉はないと考えられるので、1byte 単位で同じデータパターンを入れて、テストしてもテストカバレッジに変化はないと考えられる。そのため、Write 時には、Universal Test Interface から 1byte のみデータを入れてそれを 32byte にコピーする機能を入れることにより、テスト時の Write 時間を短縮することができる。また、Read 時も図 6-14 に示すように、出力データを保持する出力ラッチをマッチラインに接続し 1Byte 単位でデータのマッチ判定を行うことによって、1Byte の読み出しで 32byte 分の Pass/Fail の判定を行うことができる。このようなテストでは、不良ビットを特定できないため、リダンダンシー置換を行う前の Pre-Fuse テストには使えないが、Fuse ブロー後の Function Test の時間を大幅に短縮することが可能となる。

6-6 セルフ・バーンインモードの実装

前節までで、Universal Test Interface を使った DRAM のダイレクトメモリアクセルモードによるテスト手法について述べてきた。ダイレクトメモリアクセルモードによる DRAM テストは、Universal Test Interface によるインターフェースを標準化しつつ、柔軟なテストシークエンスを実現できるというメリットがあった。しかし、バーンインを行う時には、大きな問題が生じる。ダイレクトメモリアクセルモードでは、チップのピン数の制約のため、DRAM をテストするための制御ピンは、ロジックピンと同じ PAD をモードを切り替えて使っている。すると、バーンインに必要なパターンをロジック部と DRAM 部にそれぞれに与えるためには、ロジック部のバーンインと DRAM のバーンインを別々に行わなければならない、バーンイン時間が大きく増えてしまう。そこで、ロジック部と DRAM 部のバーンインを同時に行うことができるように DRAM マクロにバーンインパターンジェネレータを実装し、DRAM のセルフ・バーンインモ

ードを実現した。図 6-14 にバーンインパターンジェネレータを使った、セルフ・バーンインモードの実装例を示す。

図 6-15 にセルフ・バーンインモードのシーケンス例を示す。最初に通常の DRAM テストの時と同様に、DRAM テストモードにエントリーする。そして、DRAM マクロのテストコマンドによってバーンインパターンジェネレータを起動して、DRAM をバーンインのための一定のパターンで動作させる。この時、DRAM マクロの外部から入力することが必要な信号は CLK の 1 ピンのみである。この状態でバーンインパターンジェネレータを動作させたまま、DRAM テストモードを解除する。DRAM テストモードを解除しても、バーンインパターンジェネレータは CLK に同期して動作し続ける。DRAM テストモードを解除することによって、今まで DRAM テストピンと共有していた、ロジックの信号ピンをロジックの制御に使えるようになり、これらのピンからロジック用のバーンインパターンを入力することが可能となる。この動作により、DRAM 部とロジック部に同時にバーンインをかけることが可能になり、バーンインコスト低減を図ることが可能となった。

6-7 結言

DRAM 混載技術は大容量のメモリを SoC 上に搭載する技術手法である。メモリ容量が大きだけでなく、DRAM セルの本質的な特徴であるリテンション時間に関わるテストが必要なため、製品化の段階では、個々のチップごとに長いテスト時間が必要になる。そのため、DRAM のキャパシタ作るプロセスのコストと並んで DRAM テストのコストをいかに下げるかが、DRAM 混載技術の重要な課題であった。

また、歩留まり確保のために、非常に複雑な Redundancy Cell による置き換えが必要なため、SRAM で使われるようなシンプルな BIST では、その置換アルゴリズムに対応できないという問題があった。さらに同時に多品種に展開される ASIC の製品群のために、個々のチップごとに DRAM のテストに必要な設計やテスト環境を構築するのはリソースの観点からも困難であった。これらの諸問題を解決するために、DRAM のテストに関するインターフェースを標準化することによって、ダイレクトメモリアクセスモードの実装や、テスト治具、テストプログラムなどカスタマイズする開発工機を大幅に短縮することが可能となった。Universal Test Interface によって混載 DRAM のテストインターフェースを統一するという思想はその後の幾

世代にわたる DRAM マクロ設計に受け継がれ続ける重要な技術となった。

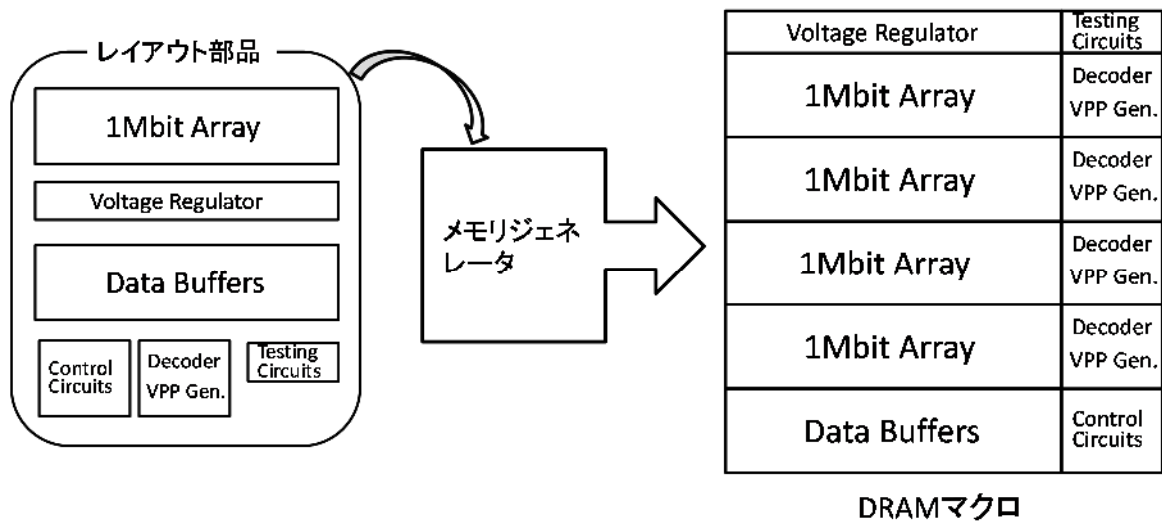
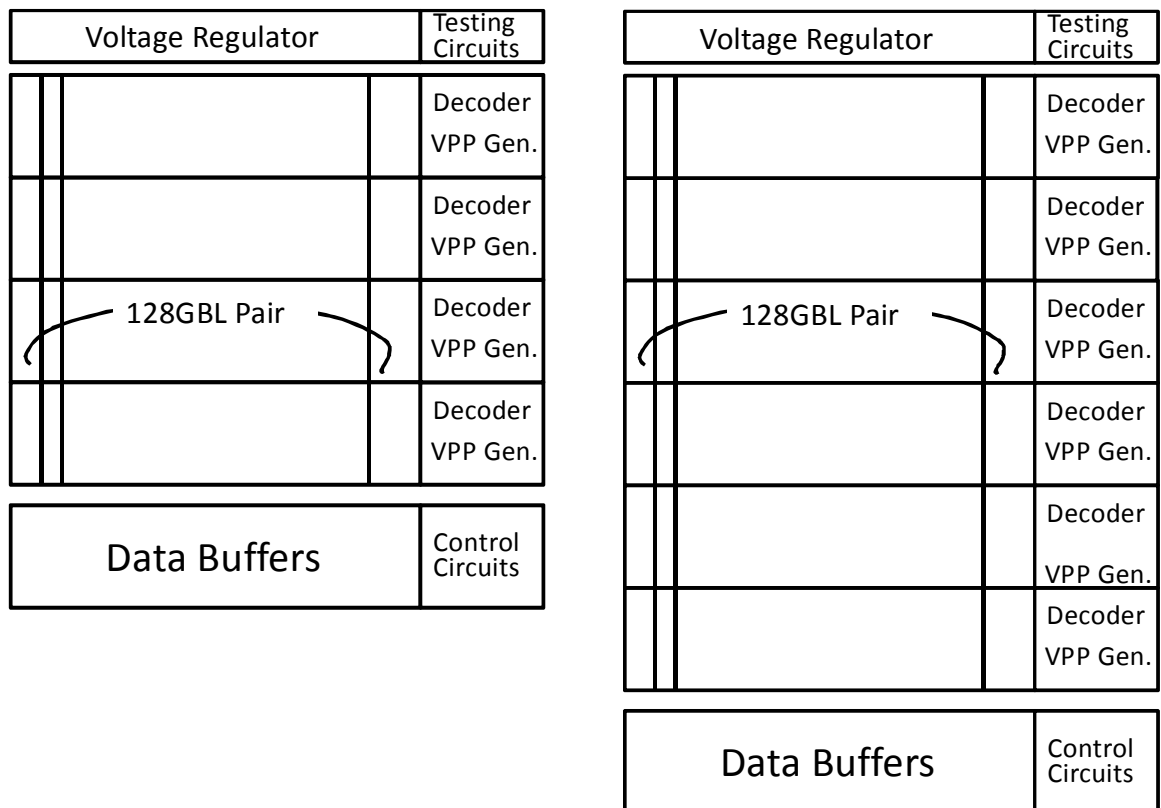


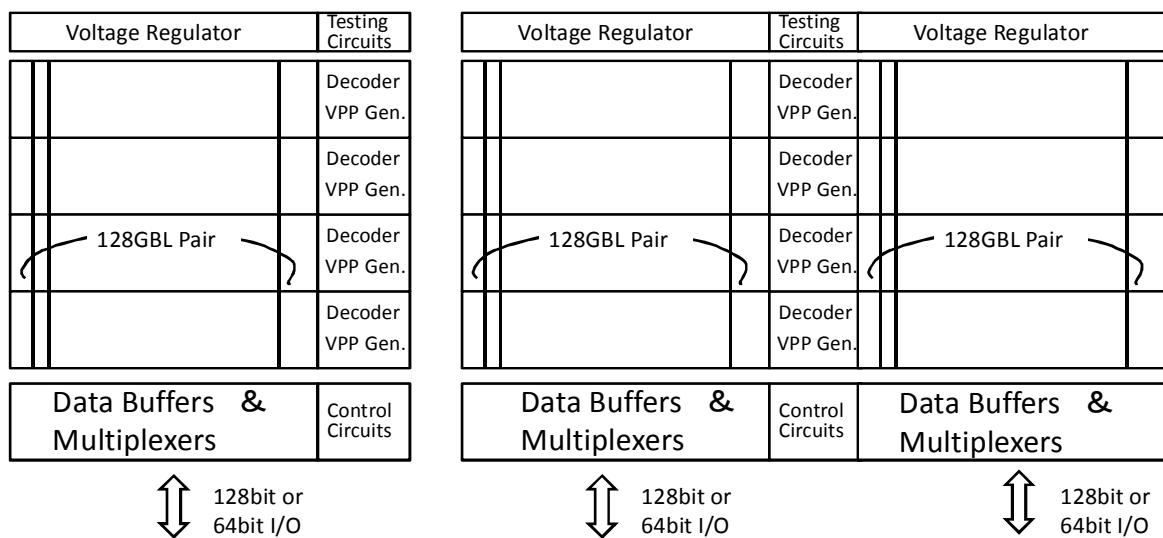
図 6-1 メモリジェネレータによる DRAM マクロのくみ上げ



4Mbit DRAMマクロ

6Mbit DRAMマクロ

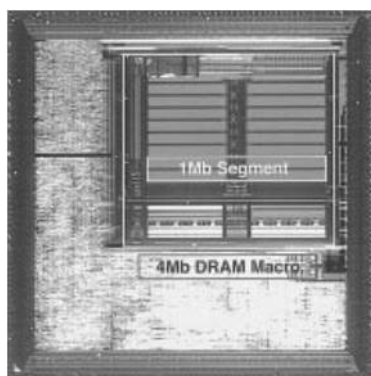
図 6-2 メモリジェネレータによるメモリ容量の換え方



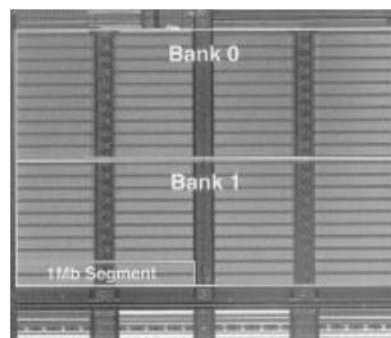
標準タイプ

Wide I/Oタイプ

図6-3 メモリジェネレータによる I/O ビット幅の変え方



(a)



(b)

図6-4 メモリジェネレータで作成された DRAM マクロの例

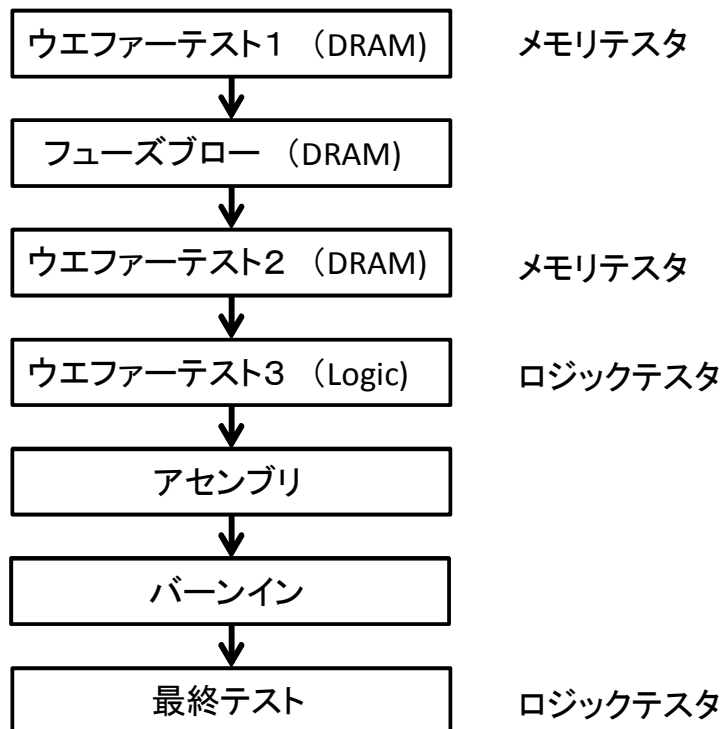


図 6 - 5 混載 DRAM マクロを搭載した ASIC チップのテストフローの一例

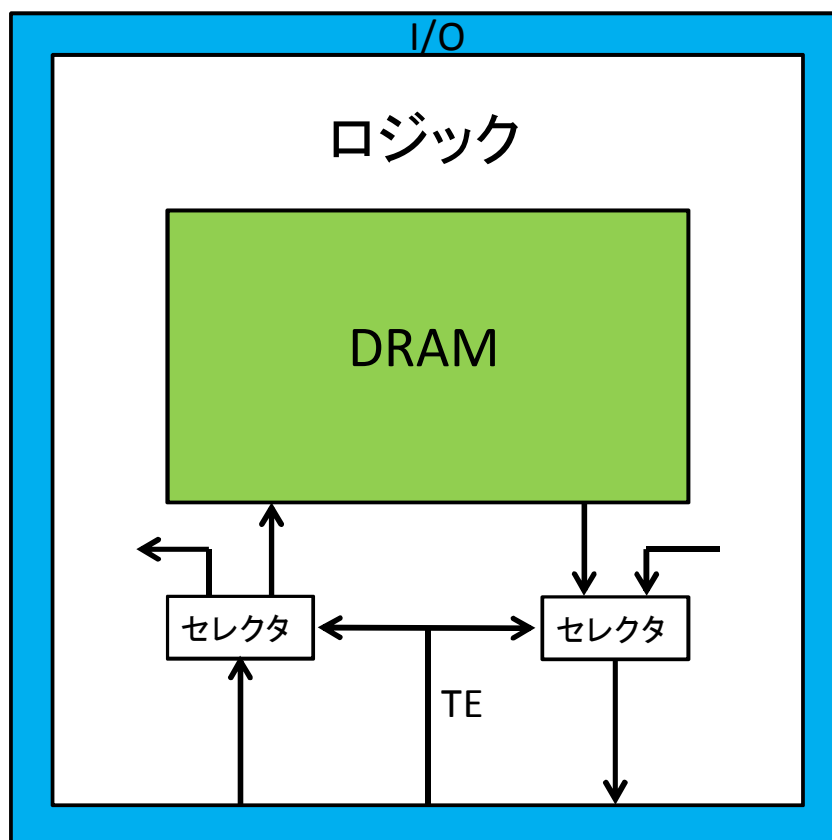


図 6 - 6 ダイレクトメモリアクセスモードの一例

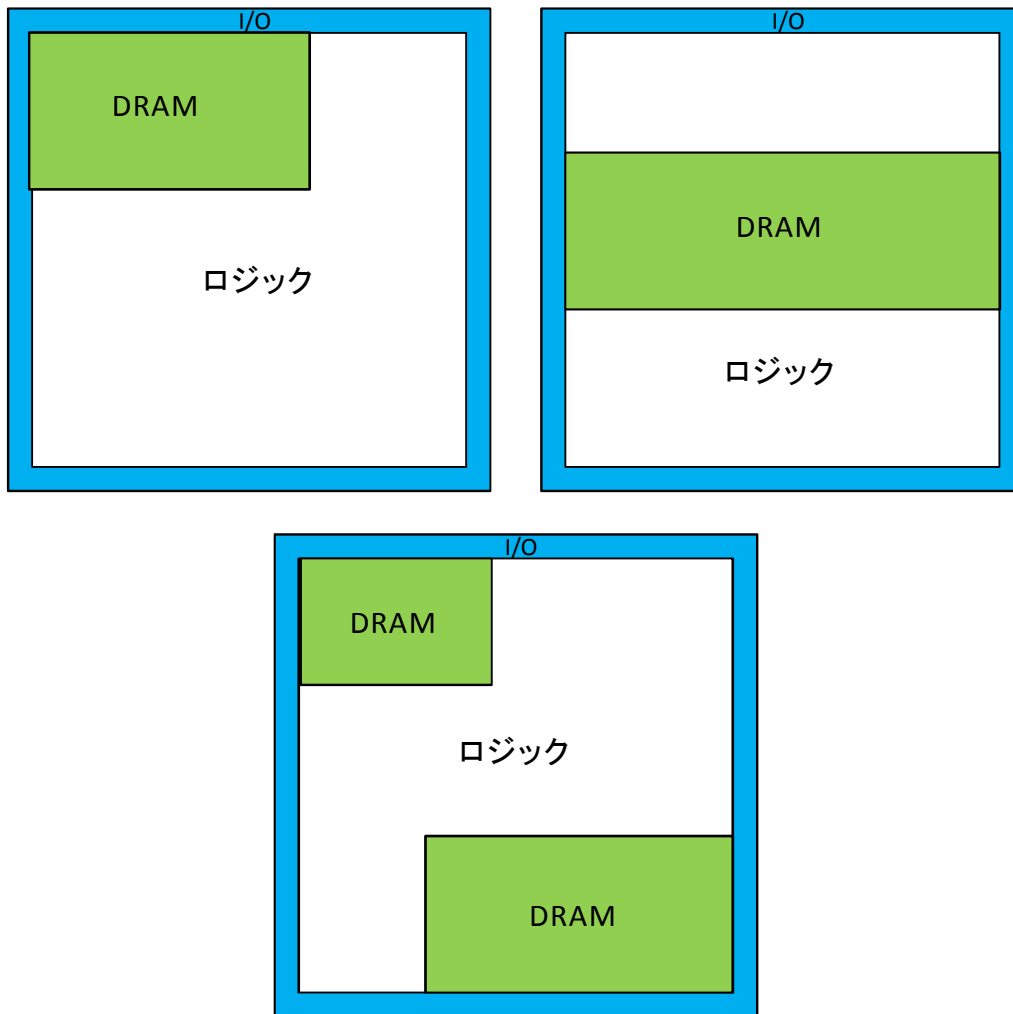
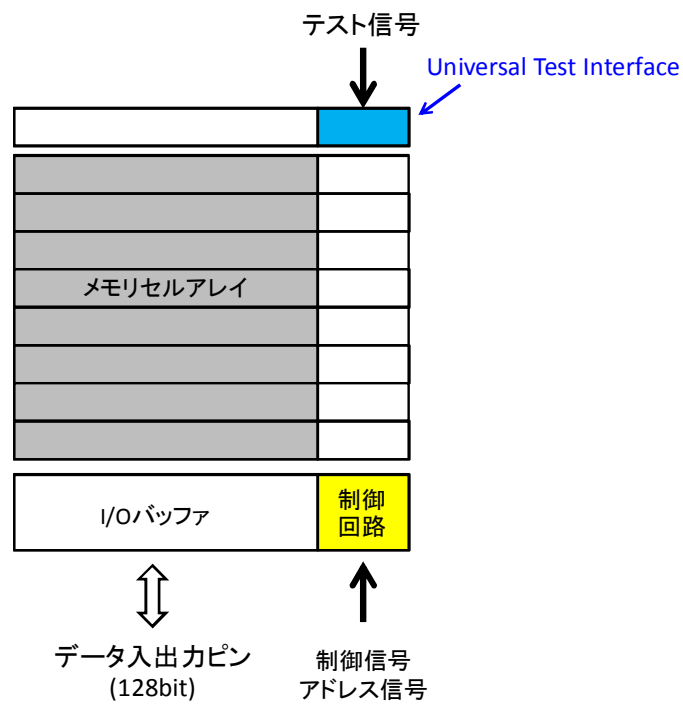
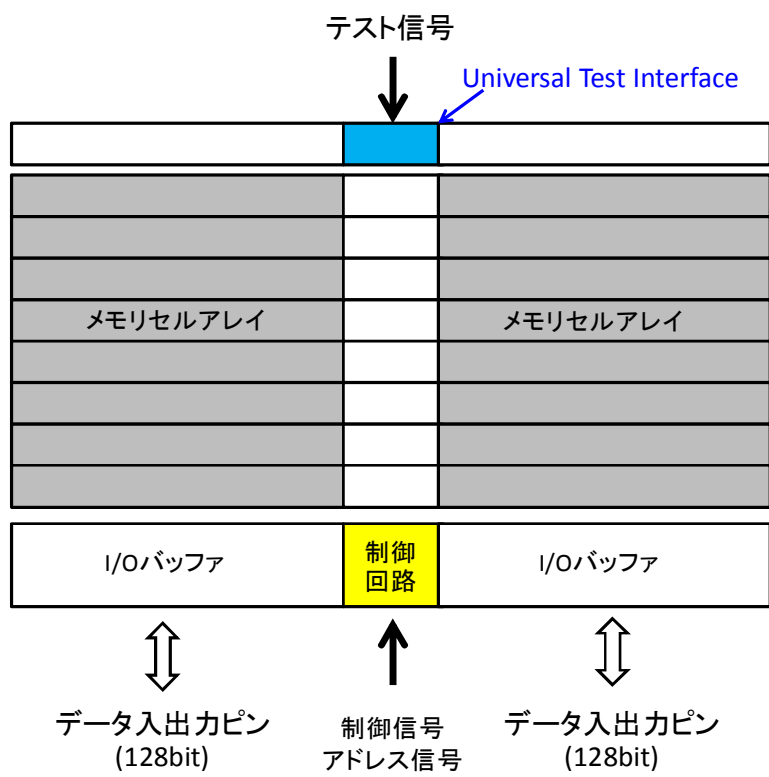


図 6-7 システム LSI 上の DRAM マクロ配置の例



(a)



(b)

図 6 - 8 DRAM マクロの構成と Universal Test Interface の配置

ピン名	信号の意味
AR0-ARn	ローアドレス
AC0-Can	カラムアドレス
RBS0-RBS1(4Bnaks)	ローバンク選択
CBS0-CBS1(4Banks)	カラムバンク選択
D0-D255(x256bit)	データ入力
Q0-Q255(x256bit)	データ出力
BACT	バンク活性化
BPRCH	バンクプリチャージ
READ	リード
WRITE	ライト

表 6 - 1 DRAM マクロの主要ピン一覧

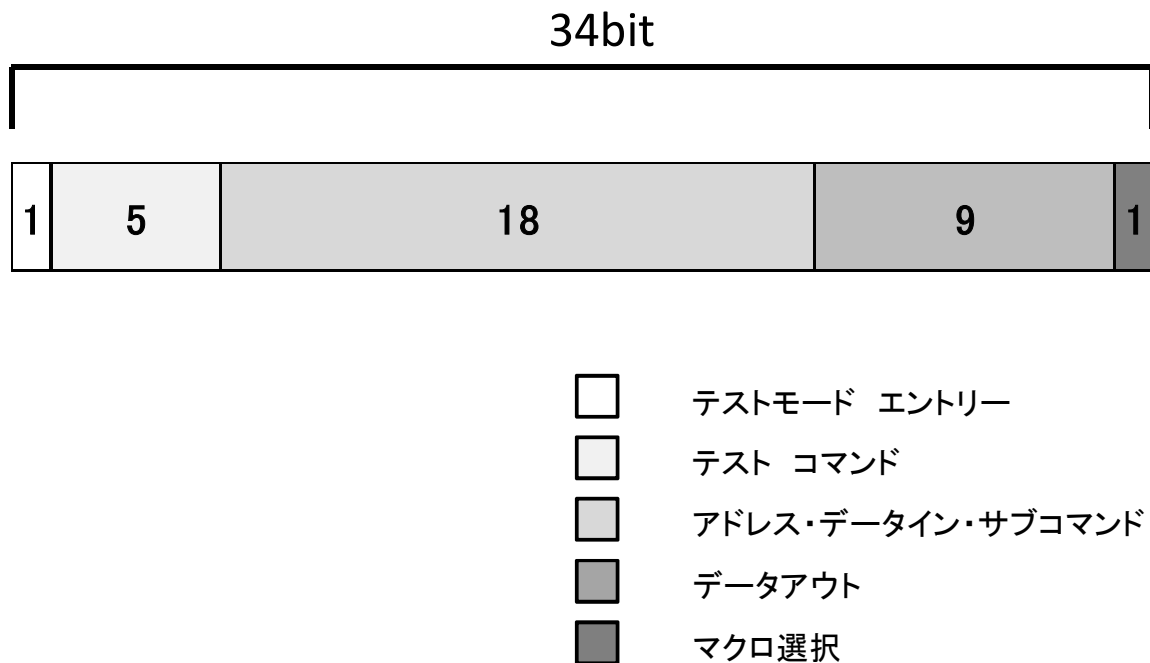


図 6 - 9 Universal Test Interface のピンアサイン

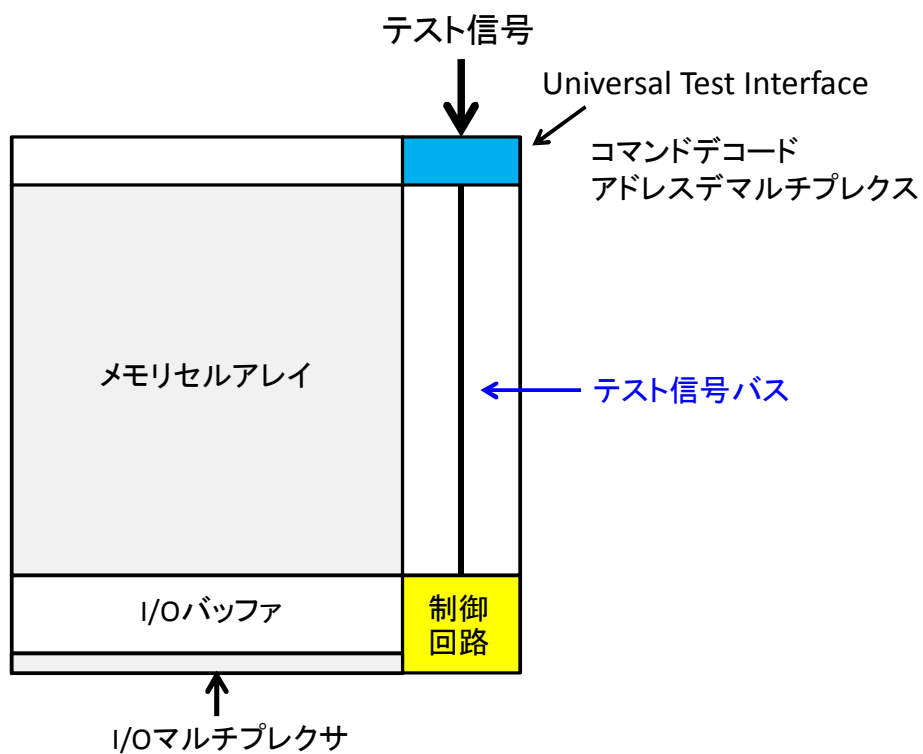


図 6 - 1 0 DRAM マクロのブロック図とテスト信号バス

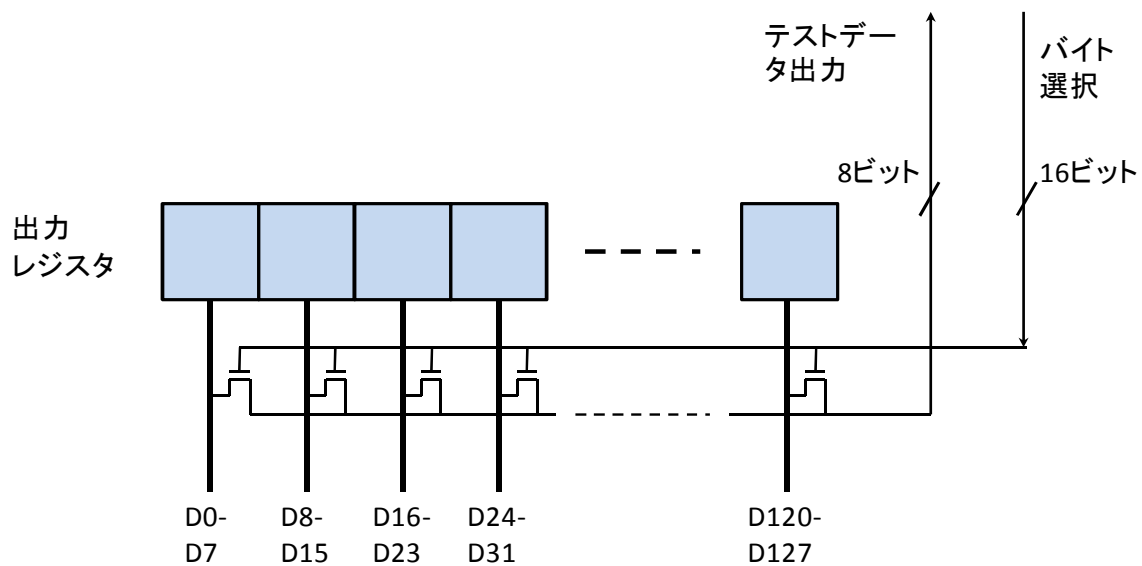


図 6 - 1 1 DRAM マクロのブロック図とテスト信号バス

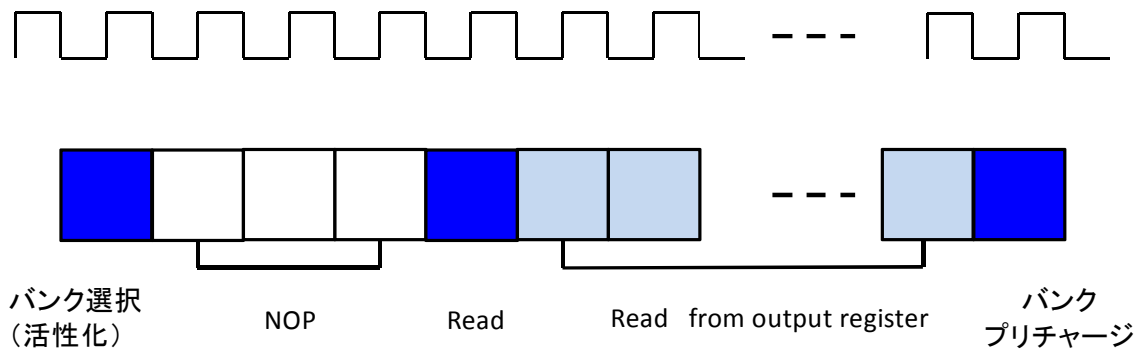


図 6 - 1 2 Universal Test Interface を使ったテストタイミングの一例

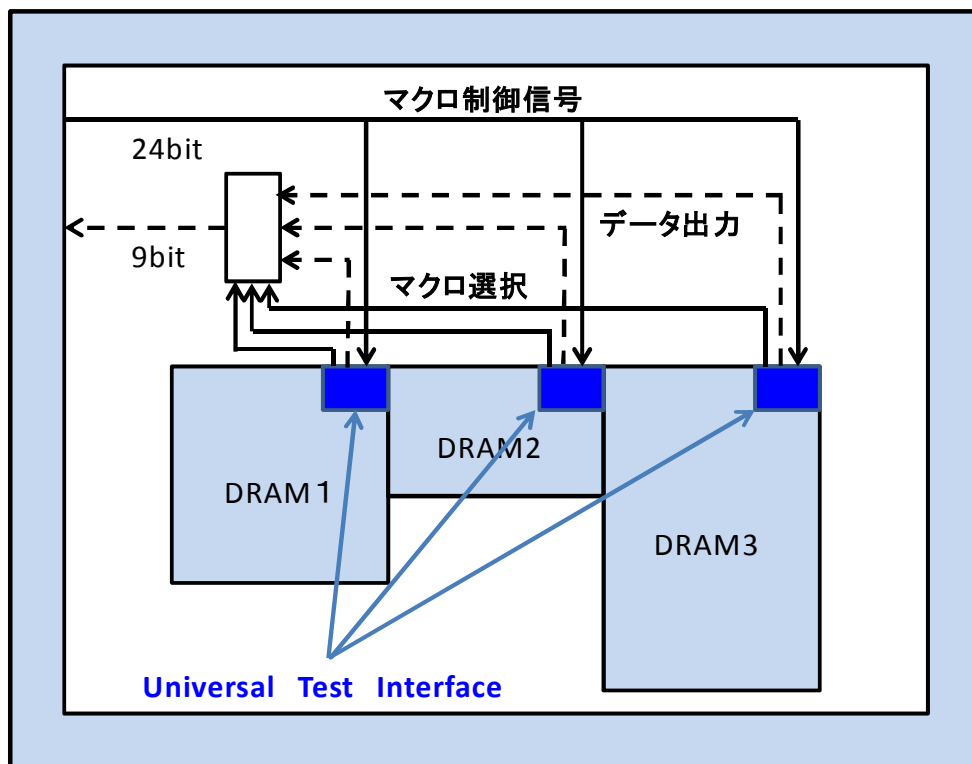


図 6 - 1 3 複数の DRAM マクロが搭載された場合の実装例

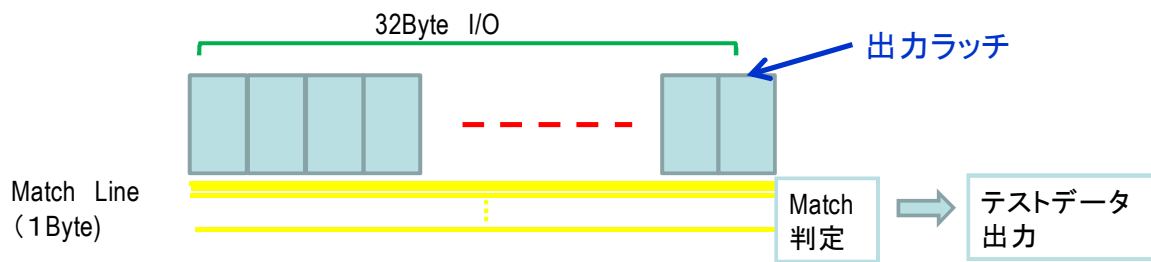


図 6 - 1 4 出力データマッチ判定機能

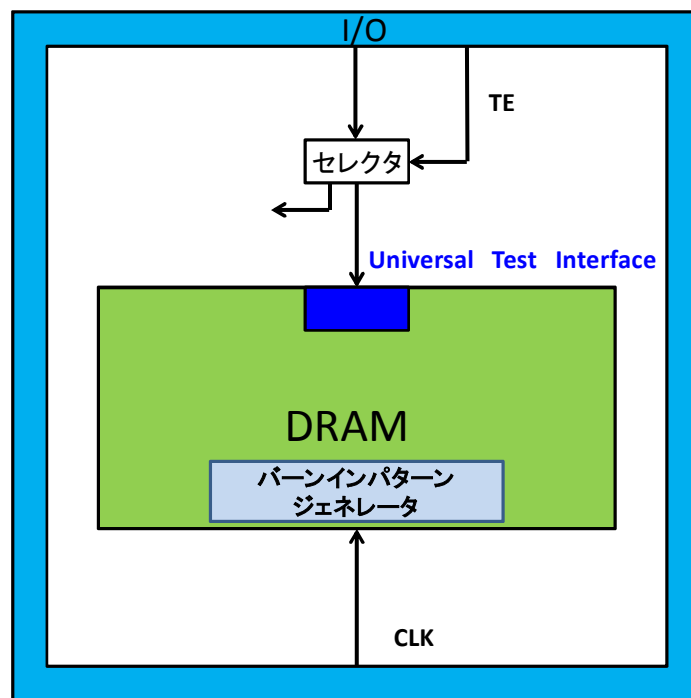


図 6 - 1 5 セルフ・パターンモードの実装例

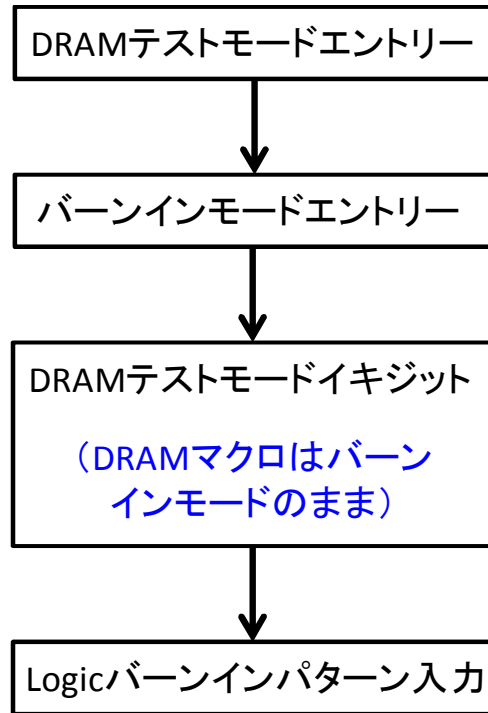


図6-16 セルフ・バーンインモードを使ったバーンインのシーケンス例

6章の参考文献

- [1] M. Takahashi, T. Nishikawa, M. Hamada, T. Takayanagi, H. Arakida, N. Machida, H. Yamamoto, T. Fujiyoshi, Y. Ohashi, O. Yamagishi, T. Samata, A. Asano, T. Terazawa, K. Ohmori, Y. Watanabe, H. Nakamura, S. Minami, T. Kuroda, and T. Furuyama, "A 60-MHz 240-mW MPEG-4 Videophone LSI with 16-Mb Embedded DRAM," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 11, pp. 1713-1721, Nov. 2000
- [2] J. Barth, D. Plass, E. Nelson, C. Hwang, G. Fredeman, M. Sperling, A. Mathews, T. Kirihata, W. R. Reohr, K. Nair, and N. Cao "A 60-MHz 240-mW MPEG-4 Videophone LSI with 16-Mb Embedded DRAM," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 64-75, Jan. 2011
- [3] M. Kaku, H. Iwai, T. Nagai, M. Wada, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, T. Iwai, H. Takenaka, T. Hojo, S. Miyano, and N. Otsuka, "An 833MHz Pseudo-Two-Port Embedded DRAM for Graphics Applications," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 276-277, Feb. 2008.
- [4] T. Nagai, M. Wada, H. Iwai, M. Kaku, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, H. Takenaka, T. Hojo, and S. Miyano, "A 65nm Low-Power Embedded DRAM with Extended Data-Retention Sleep Mode," *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 567-568, Feb. 2006.
- [5] T. Namekawa, S. Miyano, R. Fukuda, R. Haga, O. Wada, H. Banba, S. Takeda, K. Suda., K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, and K. Numata, "Dynamically Shift-Switched Dataline Redundancy Suitable for DRAM Macro with Wide Data Bus," *IEEE Journal of Solid-State Circuits*, pp. 705-712, vol. 35, no. 5, May 2000.
- [6] T. Yabe, S. Miyano, K. Sato, M. Wada, R. Haga, O. Wada, M. Enkaku, T. Hojyo, K. Mimoto, M. Tazawa, T. Ohkubo, and K. Numata, "A configurable DRAM macro design for 2112 derivative organizations to be synthesized using a memory generator," *IEEE Journal of Solid-State Circuits*, pp. 1752-1757, vol. 33, no. 11, Nov. 1998.
- [7] H. Takeuchi, T. Yabe, S. Miyano, T. Hojo, M. Enkaku, M. Yamada, and M. Murakara, "A DRAM Module Generator with an Expandable Cell Array Scheme," *IEEE Custom Integrated Circuits Conference, Digest of Technical Papers*, pp. 287-290, May 1998.

- [8] S. Miyano, K. Sato, and K. Numata, "Universal Test Interface for Embedded-DRAM Testing,"
IEEE Design & Test of Computers, vol. 16, no. 1, pp. 53-58, Jan., 1999.

第7章 3次元トランジスタによる高性能化

7-1 緒言

前章までで、大容量 Embedded Memory として、SRAM、DRAM の2つの重要なメモリの低電力化技術について述べてきた。今まで述べてきた技術はメモリの動作エネルギーと、メモリロジック間のデータ転送のエネルギーの低減を図ることを目的としている。メモリの消費エネルギーでもう一つ重要な成分は待機時のリークエネルギーである。近年は、モバイルデバイスや、ウェアラブルデバイスのようなバッテリー駆動のデバイスが増えてきているため、Embedded Memory に対する待機時エネルギー低減の要求はますます高まっている。回路技術によって、待機時エネルギーを削減する試みも数多く行われている [1] [2] [3] [4]。

しかしながら翻って考えてみると、リークエネルギーは、元来トランジスタがオフした状態でのリーク電流に起因しているため、このトランジスタのリーク電流を軽減することが、メモリのリークエネルギー低減の本質的であると考えられる。MOSFET のリーク電流と V_{th} の関係は、S-factor によって関係づけられており [5]、室温では、約 60mv/degree が最も急峻な傾きとなる。しかし、実際の MOSFET は、完全にゲート電極からの電界で電流を制御することが難しく、通常理想的な S-factor よりもずっと緩やかな傾きを持っている。MOSFET の S-factor を理想的な値まで、改善することができれば、リークエネルギーの低減に大きく貢献することが可能となる。

また、トランジスタの S-factor の改善は、メモリの動作時の消費エネルギーミニマムの電圧を低下させることによって、消費エネルギー削減に大きな効果があることが示されている [20]。このようにトランジスタの S-factor はメモリのみならず、LSI の低消費電力に大きなインパクトを与える特性となっている。

一方で、近年平面型の MOSFET のスケーリングが限界に到達し、3次元 MOSFET の開発が急進展しているが [6] [7] [8]、このような3次元 MOSFET は S-factor が改善することも示されている。

本章では、近年の3次元 MOSFET の開発に先立ち、3次元 MOSFET の特性にたいする萌芽的な研究の成果を報告する。本研究では、究極的な3次元 MOSFET の形状として、円筒状のシリコンの柱に対して、円筒の周囲をゲート電極で囲った MOSFET の特性の解析を行った。[9] 本章では、この研究を行った背景の説明からはじめ、解析手段および、解析結果を示し、円柱状の

シリコンを取り囲んでゲート電極を形成するタイプのデバイス特性、とりわけ S-factor の特性について述べる。

7-2 本章の研究の背景

本節、本研究を行った背景について示す。3次元的な MOSFET の可能性については、古くから指摘されていたが、1980年代には XMOS [10]、SGT [11][12]、DELTA [13] といった3次元構造のトランジスタが提案、試作され、活発に研究が行われるようになった。図7-1に DELTA、SGT のトランジスタの構造を示す。どちらの構造でも、チャンネル領域をゲート電極が2方向以上から取り囲む構造になっており、トランジスタの微細化に伴うショートチャンネル効果の抑制が期待されていた。また、SGT の場合は、図7-2に示すように縦型のトランジスタとメモリセルキャパシタを垂直に重ねることにより、4F2 の DRAM セルの実現を目指した研究が行われていた。図7-3に従来の折り返しビット線構造の 8F2 のアレイ構成と、セルレイアウトを示す。3次元トランジスタの導入により、図7-4に示すような 4F2 セルを実現することができ、セル面積を従来の半分に減らすことが可能となる。一方で、SOI の Body を薄膜化することによって Body が完全に空乏化した FD-SOI トランジスタの研究も始められた。Body が空乏化することによって S-factor が向上することが報告された [14]。このような背景の中で、本研究では、3次元トランジスタの Body の空乏化の効果について、理論的な考察を行った。理想的な3次元トランジスタの特性を解析する目的と、3次元 TCAD の使用が計算機の能力の観点から難しかった年代的な背景のもと、円筒座標を導入して、解析次元を落として計算を簡略化することを容易にするため、細い円筒形のシリコンの柱の周囲をゲート電極が囲む構造のトランジスタ (Cylindrical Thin Pillar Transistor) を想定して解析を行った。

7-3 Cylindrical Thin Pillar Transistor

前述のように SGT は 1980 年代に試作されていたが、当時試作されていた SGT の Silicon Pillar は Feature Size が 1mm 程度であった。これをさらに微細化したときに、どのようなデバイス特性が現れてくるかというのは大変重要で、興味深いテーマである。そこで、SGT の Feature Size が微細化した時の特性を理論的に予測することを試みた。特に、微細化に完全空乏化の効果が、どのように表れてくるかに着目して、解析を行った。解析を行うに当たって

は、理想的な 3 次元トランジスタ特性を解析する目的と、円筒座標を導入して、解析次元を落として計算を簡略化することを容易にするため、細い円筒形のシリコンの柱の周囲をゲート電極が囲む構造のトランジスタ (Cylindrical Thin Pillar Transistor) を想定して解析を行った。図 7-5 に Cylindrical Thin Pillar Transistor (以下 CYNTHIA と略する) の模式図を示す。この構造では、周囲を囲むゲート電極から電界が等方的に内部に加わり、ゲートがチャネルを囲む効果を明瞭に理解することが期待できる。本研究では、CYNTHIA のサブスレショルド特性、弱反転領域におけるモビリティ、および強反転領域におけるキャリア密度について、解析を行った。また、DELTA のような、縦型 FET の特性との比較も行い、ゲートが囲むことによる効果を明らかにした。

7-4 デバイス構造と計算手法

計算を行ったデバイス構造は図 7-5 に示すような N チャネル型の MOSFET で P 型の円柱状のシリコンの周りをゲート電極が取り囲んでいる、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ チャネル長 $1 \mu\text{m}$ を仮定して、柱の太さは、 $4 \mu\text{m}$ から $0.05 \mu\text{m}$ (50 nm) の範囲で変化させた。ゲート酸化膜の厚さは SGT で使われていた 250 \AA (25 nm) とさらに薄膜化した時の効果を確認するために、 75 \AA (7.5 nm) の 2 種類で検討を行った。ゲート酸化膜中や界面での電荷は考慮していない。また、比較のために、両サイドにゲート電極がついている図 7-6 に示すような縦型トランジスタについても同様な計算を行った。

計算は、円筒座標の Poisson 方程式を解くことによって、チャネル領域に誘起される電子密度を計算することで行った。

円柱の半径を r 、電荷密度を ρ 、シリコンの誘電率を ϵ_s とすると、電子のポテンシャル Ψ は、以下の円筒座標の Poisson 方程式で表すことができる。

$$1/r(\partial/\partial r)(r \partial \Psi/\partial r) = -\rho/\epsilon_s \quad (1)$$

p, n をそれぞれ、ホールと電子の密度、 N_A^- をイオン化したアクセプターの濃度とすると、

$$\rho = q(p - n - N_A^-) \quad (2)$$

とあらわされる。

電子とホールはボルツマン分布を仮定して。フェルミレベルを Ψ_f 、 E_g をシリコンのバンドギャップ、 N_C 、 N_V を有効状態密度とすると、電子、ホールの密度はそれぞれ、

$$n = N_C \exp (q(\Psi - \Psi_f)/kT) \quad (3)$$

$$p = N_V \exp ((-E_g + q(-\Psi + \Psi_f))/kT) \quad (4)$$

とあらわされる。

また、サブスレッショルド領域の S-factor は、ゲート電圧を V_g 、ドレイン電流を I_{ds} としたときに、

$$S = \ln 10 \cdot \partial V_g / \partial \ln(I_{ds}) \quad (5)$$

で表すことができる。 また、 I_{ds} は次式で表すことできる [15]。

$$I_{ds} = qDnNs/Lg \quad (6)$$

ここで、 q は素電荷、 Dn は拡散係数、 Ns は電子のシート密度、 Lg はゲート電圧を表す。

弱反転領域のモビリティは次の実験で求められた関係式 [16] に基づいて計算した。

$$\mu = 3.25 \times 10^4 E_{eff}^{-1/3} \quad (7)$$

実効電界 E_{eff} は次式 [17] で求められる。

$$E_{eff} = Q/2 \varepsilon_s + E_0(V_{th}) \quad (8)$$

ここで、 Q は反転層中のシート電荷密度、 $E_0(V_{th})$ はしきい値電圧における表面電界強度を表す。

最後に強反転領域でのシート電荷密度は以下の方法で求めた。

N_{sc} を Cynthia のシート電子濃度、 N_{so} は Cynthia 直径が無限大のとき、すなわち縦型 SOI トランジスタのシート電子濃度とするよ N_{sc} 、 N_{so} は下記の式で表すことができる。(付録 1 参照)

$$\begin{aligned} N_{sc} &= \epsilon_s (V_g - V_{th}) / (q \ln(R_0/R_i) R_i) \\ N_{so} &= \epsilon_s (V_g - V_{th}) / (q \ln(R_0 - R_i)) \end{aligned} \quad (9)$$

ここで、 R_i はゲート酸化膜の内側の半径、 R_o はゲート酸化膜の外側までの半径を表している。 V_g はゲート電極の電圧、 V_{th} はしきい値電圧である。

7-5 サブスレッショルド特性

円柱状のシリコンの直径を横軸にとった時の Cynthia の S-factor の大きさを図 7-7 に示す。比較のために縦型 SOI トランジスタの S-factor の SOI 厚さ依存も示す。図の実線で示された Cynthia の S-factor は酸化膜厚が厚い場合($t_{ox}=250 \text{ \AA}$)、シリコン柱の直径が $2 \mu\text{m}$ 程度のサイズから減少を始める。 $0.18 \mu\text{m}$ まで直径を縮めると 59 mV/decade の 300 K における理想的な S-factor が実現されている。一方で、縦型 SOI トランジスタの場合は、SOI 厚さが $0.4 \mu\text{m}$ から S-factor が減り始め、 $0.09 \mu\text{m}$ で理想値に到達する。

2 つのデバイスの S-factor の違いは、residual hole 濃度の違いで説明できる。S-factor は次の式で、シートホール濃度 N_p と結び付けられている。(付録参照)

$$S = kT/q \cdot \ln 10 \cdot 1 / (1 - q | \partial N_p / \partial V_g | / C_i) \quad (10)$$

この式から S-factor は、ゲート電圧が変化した時の、シートホール濃度の変化で決まることがわかる。

図 7-8 (a) に CYNTHIA のシートホール濃度を示す。シリコンの円柱の半径が 4000 \AA の時は、

円柱内に中性領域が存在して、ホール濃度 $1 \times 10^{17} \text{cm}^{-3}$ の領域が存在する。シリコンの半径を 2000Å 、 1000Å と縮めていくと、ホール濃度は $1 \times 10^{10} \text{cm}^{-3}$ 以下に低下する。ホール濃度は非常に低くなって、(10) 式の $|\partial N_p / \partial V_g|$ の項は無視できるようになるため、S-factor は、 300K で 60mV/decade の理想値に到達する。

図 7-8 (b) は同様な計算を縦型 SOI トランジスタに対して行ったものである。この場合は、SOI 厚さが 2000Å になっても、 $1 \times 10^{14} \text{cm}^{-3}$ 以上のホール濃度の領域が SOI の中央部に存在して、そのため、この時の S-factor は、 73mV/decade の大きさとどまっている。

ゲート酸化膜の厚さが薄い ($T_{ox}=75 \text{Å}$) ときには、シリコンの直径が大きいときにも、S-factor 値は小さなものとなる。これは、(10) 式で、 C_i が大きくなるためである。CYNTHIA では、シリコンの円柱の半径が 4000Å のときから、S-factor は減少し始める。一方、縦型 SOI トランジスタでは、 2000Å 程度から、S-factor が減少し始めるのがわかる。

7-6 弱反転領域におけるモビリティの増加

図 7-9 に実効電界強度と、電子の易動度のゲート電圧依存性を示す。弱反転領域における実効電界強度はシリコンの円柱の直径が小さくなるほど小さくなり、(7) 式であらわされる電子の易動度は円柱の径が 500Å のとき、 $1200 \text{cm}^2/\text{V} \cdot \text{S}$ になる。このようにして計算した電子の易動度のしきい値電圧におけるシリコン円柱または、SOI 厚さに対する依存性を図 7-8 に示す。CYNTHIA の場合は、径の直径が $0.5 \mu\text{m}$ 程度になると、易動度が増加し始めるが、縦型 SOI トランジスタの場合は、 $0.2 \mu\text{m}$ まで、SOI 厚さが薄くならないと易動度は増加し始めない。

ゲート酸化膜厚さを 250Å から 75Å に薄くする効果は、図 7-10 に見られるように強反転領域の形成には大きな影響を与えるが、弱反転領域の実効電界、および電子移動度には大きな変化は見られない。

7-7 強反転領域における電子密度

図 7-11 に N_{so} (縦型 SOI トランジスタのシート電子密度) で、規格化した、CYNTHIA のシート電子密度のシリコン円柱径に対する依存性を示す。図に示すように電子のシート密度

は、シリコンの径が細くなるにつれて、増加していくことがわかる。この増加は以下のように説明することができる。

ゲート電極とゲート酸化膜の界面での円柱の半径に比べて、ゲート酸化膜とシリコンの界面では円柱の半径が小さくなっている、したがって、ゲート酸化膜・シリコン界面の電束密度は、ゲート電極とゲート酸化膜の界面よりも大きくなっている。大きな電束密度は下記のガウスの法則により大きなシート電荷密度を生み出すことがわかる。

$$Q_s = D = \epsilon_s E_s \quad (11)$$

ここで、 Q_s はシート電荷密度、 D は電束密度、 E_s は、シリコン、ゲート酸化膜境界の電界強度を表している。

強反転領域では、電子のシート密度は以下の式であらわされる。

$$N_i = Q_s / q = \epsilon_s E_s / q \quad (12)$$

ここで q は素電荷を表す。

シリコンの半径を小さくすると、ゲート電極とゲート酸化膜の界面での円柱の半径と、ゲート酸化膜とシリコンの界面では円柱の半径の比が増えるため、シリコン、ゲート酸化膜境界の電界強度が強くなる。ゲート酸化膜の厚さを薄くすると、この半径の比が小さくなるため、円柱の径を縮小した時のシート電子密度の増加量は小さくなる (図7-12)。

このことは、CYNTHIA が縦型 SOI トランジスタに比べて酸化膜の耐圧が高くなる可能性を示唆している。縦型 SOI トランジスタと同等のシート電子密度を実現した時に、シリコンと酸化膜の境界には等しい電界強度がかかるが、ゲート電極と、ゲート酸化膜の境界の電界強度で比べると CYNTHIA の方が弱い電界強度を得られることがわかる。

7-8 結言

近年、3次元トランジスタは実用段階に達して、最先端のテクノロジーでは、Fin FET が用

いられるようになった。本研究は、3次元 FET が試作され始めた黎明期に、3次元化のメリットを考察するために、当時試作され始めていた、3次元 FET が微細化されていったときにどのような特性を持つか解析的に研究したものである。3次元のデバイスシミュレータを使うことが計算機の能力の観点から現実的でなかった時代に、円筒座標を導入することによって、方程式の解析次元を下げることによって3次元トランジスタの特性解析を可能にした。

3次元 FET は、シリコン内部に2つ以上の方向から、電界を印加いするため、面積当たりに誘起できるキャリアの濃度が高くなると同時に、微細化の進展とともに S-factor の向上が期待できることが予測された。S-factor の向上は、トランジスタのオン/オフ比の向上を通じて、回路の低電圧動作や、リーク電流の低減に寄与することによって、低電力メモリの開発にとっても重要な要素技術となる。

その後の3次元トランジスタ技術の進展は、周知のとおりである。また、本章で取り上げた形のゲート電極がチャンネル領域を包む形のトランジスタ (SGT) は、3次元的にメモリセルを積層することが容易で、DRAM を始め様々なメモリとの組み合わせが研究されるようになった[18]。

7-9 附録

7-9-1 附録1 強反転領域でのシート電子密度

強反転領域でのシート電子密度は下記のように計算した。

ゲート酸化膜内では電荷が存在しないとすると、(1)式はゲート酸化膜内では下記のようになる。

$$1/r(\partial/\partial r(r\partial\Psi/\partial r))=0 \quad (R_i \leq r \leq R_o) \quad (A1)$$

ここで、 R_i はゲート酸化膜の内側の境界、 R_o はゲート酸化膜の外側の境界を表す。

(A1) を R_i から r_0 ($R_i \leq r_0 \leq R_o$) まで積分すると、

$$\int_{R_i}^{r_0} \left(\frac{\partial(rE(r))}{\partial r} \right) dr \quad (A2)$$

となる。

ここで、 $E(r) = -\partial\Psi/\partial r$ は、 r の位置での電界強度をあらわす。

(A2)式の積分は、下記のようになる。

$$(rE(r))_{r=r_0} - (rE(r))_{r=R_i} = 0 \quad (A3)$$

したがって、 r_0 での電界強度 $E(r_0)$ は、

$$E(r_0) = R_i E(R_i) / r_0 \quad (A4)$$

となる。

(A4)をさらに $R_i \leq r_0 \leq R_o$ の範囲で積分すると、

$$\int_{R_i}^{R_o} E(r_0) dr_0 = \int_{R_i}^{R_o} \frac{R_i E(R_i)}{r_0} dr_0 \quad (A5)$$

(A5)より、シリコンの界面での電界強度 $E(R_i)$ は、

$$E(R_i) = (\Psi(R_i) - \Psi(R_o)) / \ln(R_o/R_i) / R_i$$

これは以下のように書き換えることができる。[19]

$$E(R_i) = -(V_g - V_{th}) / \ln(R_o/R_i) / R_i \quad (A6)$$

ここで求めた界面電荷強度を (12) に代入すると、シート電子密度は以下のようになる。

$$N_{sc} = \epsilon_s (V_g - V_{th}) / q \ln(R_0 / R_i) / R_i \quad (A7)$$

ここで、円柱の半径を無限大とすると、以下の式を得る。

$$N_{so} = \epsilon_s (V_g - V_{th}) / q (R_0 - R_i) = \epsilon_s (V_g - V_{th}) / q t_{ox} \quad (A8)$$

この式は通常の平面型の MOSFET のシート電子密度の式に一致する。

7-9-2 附録2 S-factor の求め方

(6) より、サブスレシヨルド領域のドレイン電流は、

$$I_{ds} = q D n(0) d_e / L_g \quad (A9)$$

S-factor は、(5) より、

$$S = \ln n_0 \cdot \partial V_g / \partial \ln(I_{ds}) = \ln n_0 / \partial \ln(I_{ds}) / \partial V_g$$

なので、(A9) を代入すると、

$$S = \ln n_0 / (\partial n(0) / \partial V_g) / n(0) \quad (A10)$$

となる。n(0) は、(3) 式より、

$$n(0) = N_c \exp(-q(E_{ci} - E_f) / kT) \quad (A11)$$

と書ける。ここで、 E_{ci} はシリコンと酸化膜の界面での、伝導帯の下端のエネルギーレベルを

示す。酸化膜中の電界強度は、以下のように表すことができる[19]。

$$E_{SiO_2} = \langle (\chi_{Si} - E_{ci} + E_f) - (\phi_m - V_g) \rangle / t_{ox} \quad (A12)$$

χ_{Si} は、シリコンの電子親和力、 ϕ_m はゲート電極の仕事関数を表している。
ガウスの法則によって、

$$\epsilon_{SiO_2} E_{SiO_2} = \epsilon_{SiO_2} \langle (\chi_{Si} - E_{ci} + E_f) - (\phi_m - V_g) \rangle / t_{ox} = q(N_{sa} + n(0) - N_p) \quad (A13)$$

となる。ここで、 N_{sa} はイオン化したアクセプターの濃度、 N_p は、ホール濃度である。

(A13) の両辺を微分すると、

$$\begin{aligned} & \epsilon_{SiO_2} (-\partial(E_{ci} - E_f) / \partial V_g + 1) - (\phi_m - V_g) \rangle / t_{ox} \\ = & qde \partial n(0) / \partial V_g - \partial N_p / \partial V_g \end{aligned} \quad (A14)$$

ここで、(2) 式と、(A9) 式を (A14) 式に代入すると、

$$\epsilon_{SiO_2} (-kT/q \cdot \partial(\ln n(0)) / \partial V_g + 1) / t_{ox} = qde \partial n(0) / \partial V_g - \partial N_p / \partial V_g \quad (A15)$$

この式は以下のように書き換えることができる、

$$(t_{ox} qde / \epsilon_{SiO_2} + kT/q n(0)) \cdot \partial n(0) / \partial V_g = 1 + t_{ox} q / \epsilon_{SiO_2} - \partial N_p / \partial V_g \quad (A16)$$

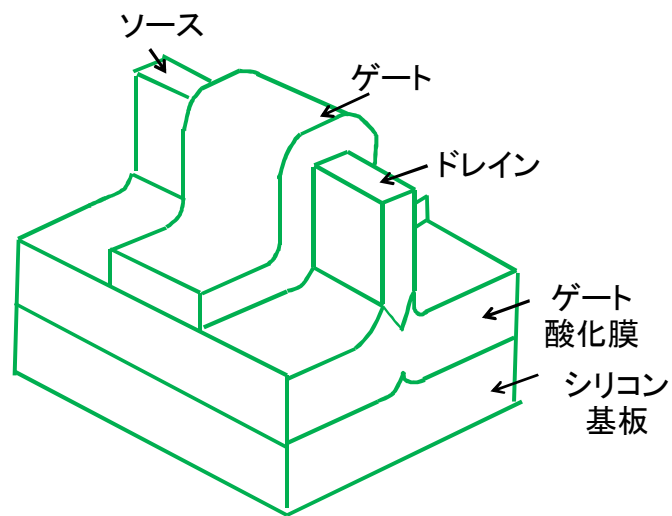
ここで、 $t_{ox} qde / \epsilon_{SiO_2}$ の項は、 $kT/q n(0)$ に比べて十分小さいので、無視できる。

(A16) を (A10) に代入して、

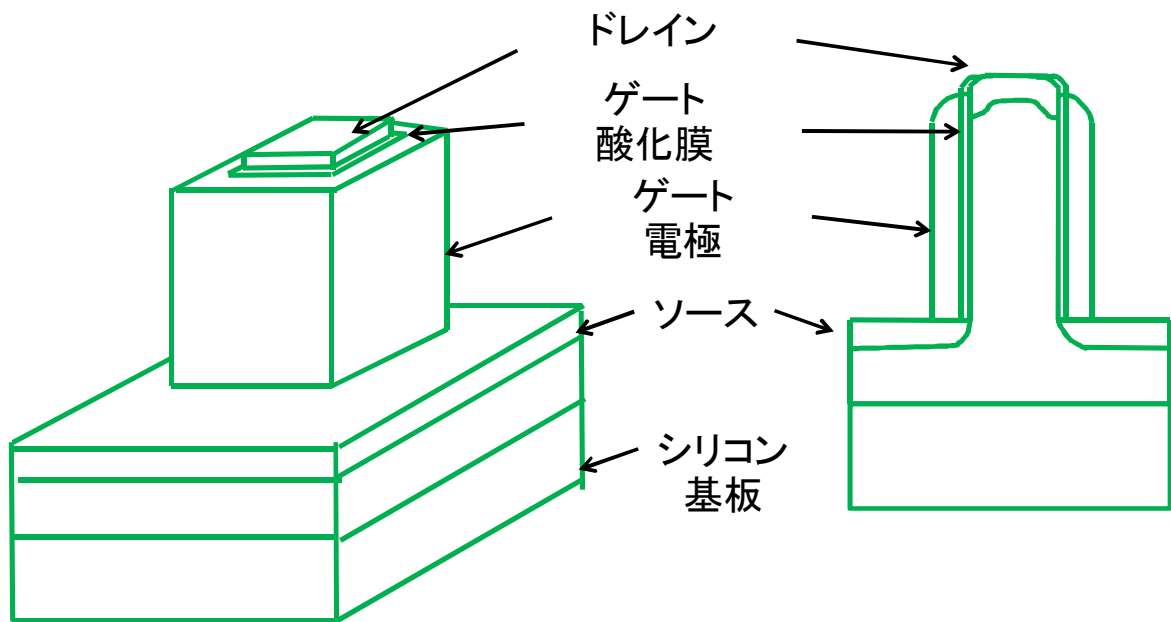
$$S = q/kT \cdot (1 / (1 + t_{ox} q \partial N_p / \partial V_g / \epsilon_{SiO_2})) = q/kT \cdot (1 / (1 + q \partial N_p / \partial V_g / C_i)) \quad (A17)$$

$\partial N_p / \partial V_g$ の値は負なので、以下の (10) 式を得ることができる。

$$S = q/kT \cdot (1/1 - q | \partial N_p / \partial V_g | / C_i))$$



(a) DELTA (Fully Depleted Lean-channel Transistor) [13]



(b) SGT (Surrounding Gate Transistor) [11]

図7-1 DELTA と SGT の模式図

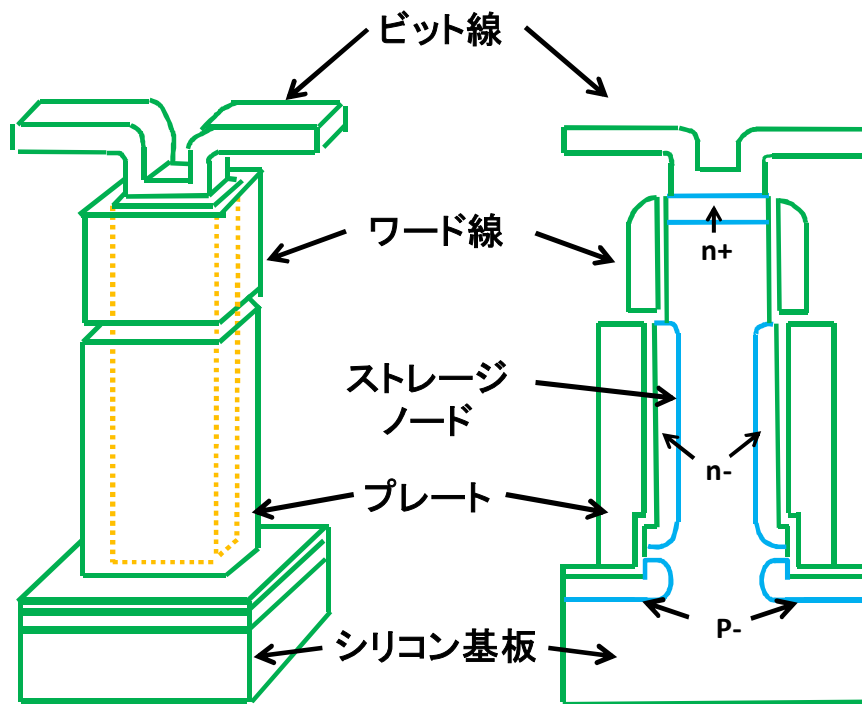
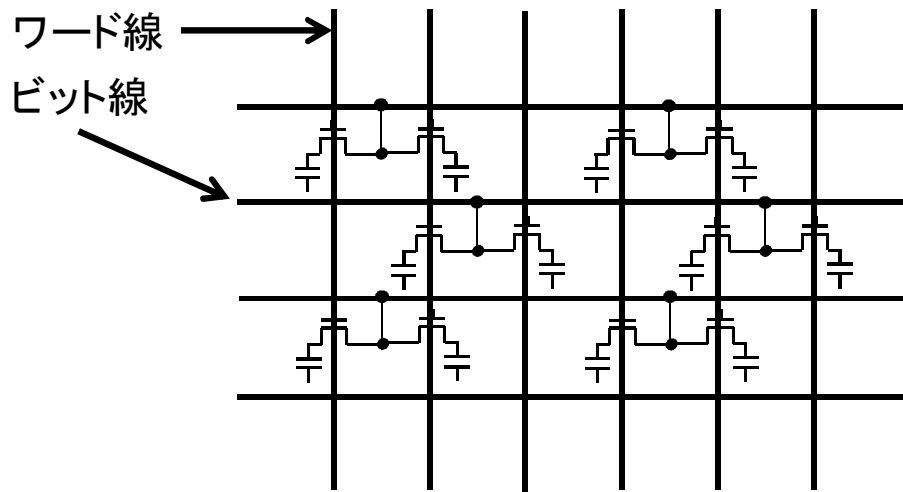
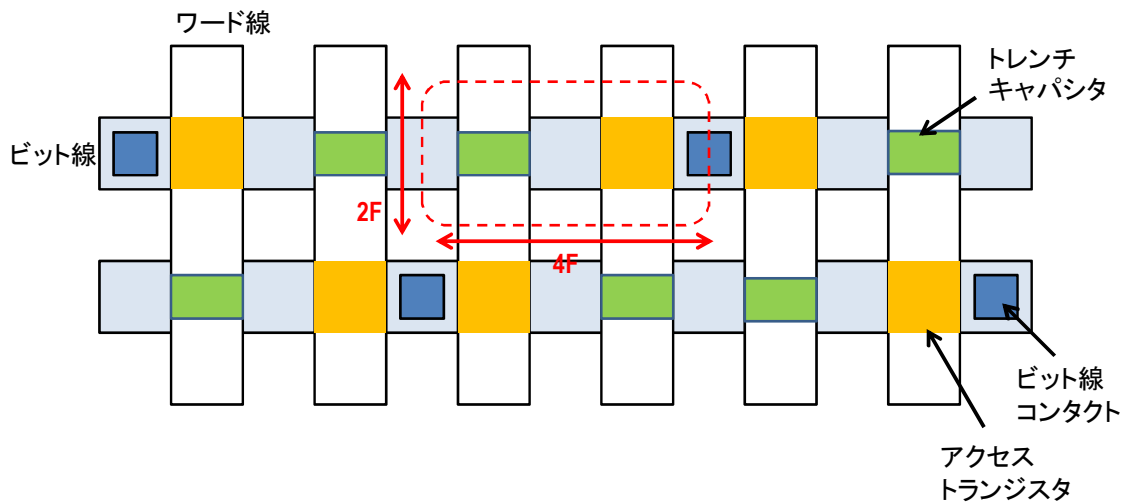


図 7 - 2 SGT を使った DRAM セル [1 2]



(a)



(b)

図 7-3 折り返しビット線構造の $8F^2$ セルのメモリアレイ (a) とセルレイアウト (b)

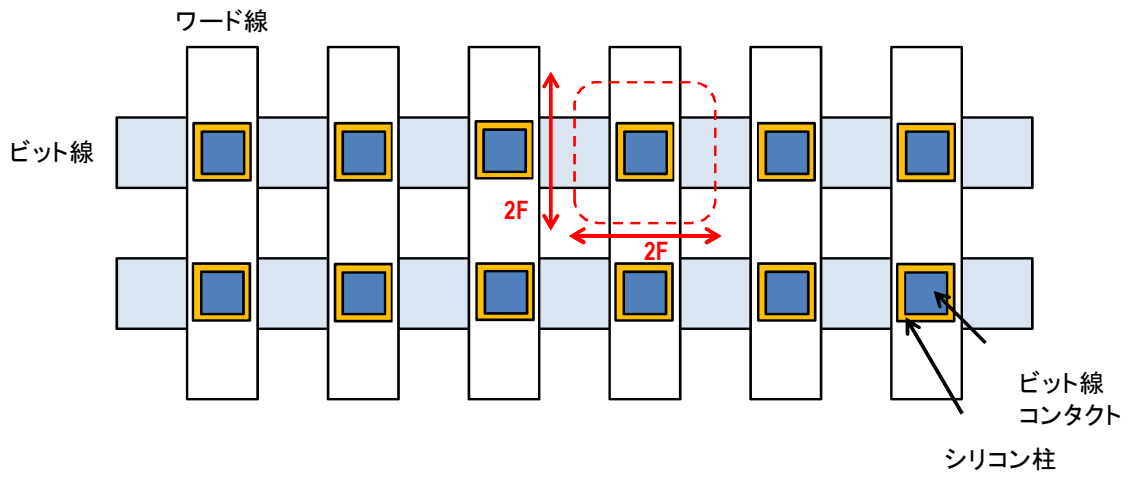


図7-4 SGTを使った4F2セルのレイアウト

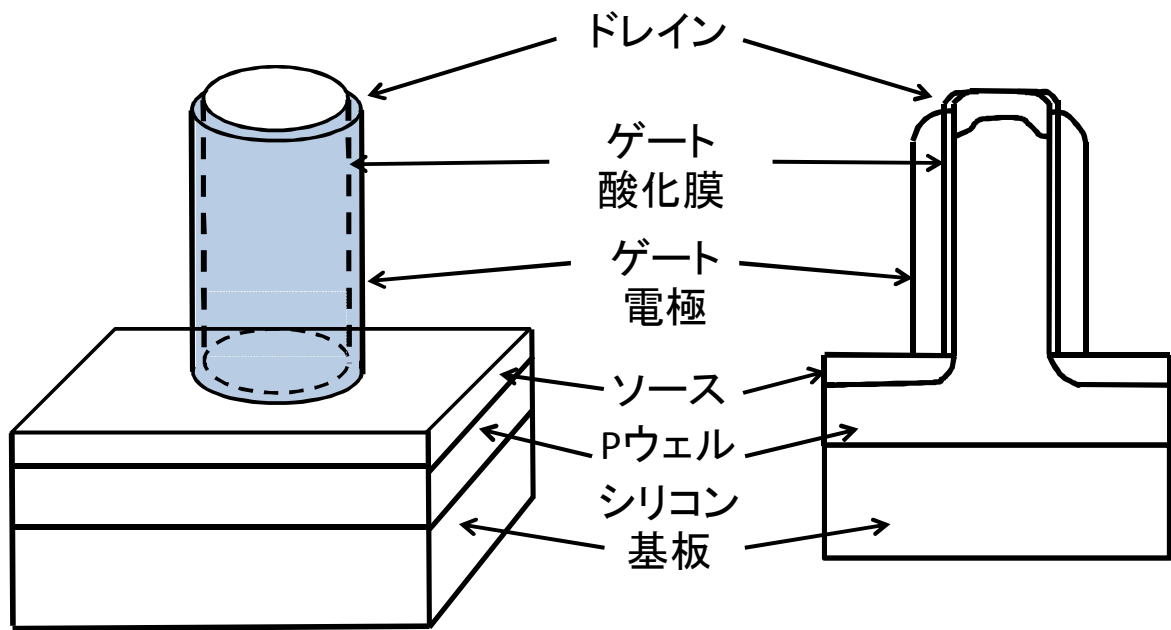


図7-5 Cylindrical Thin Pillar Transistor (CYNTHIA)

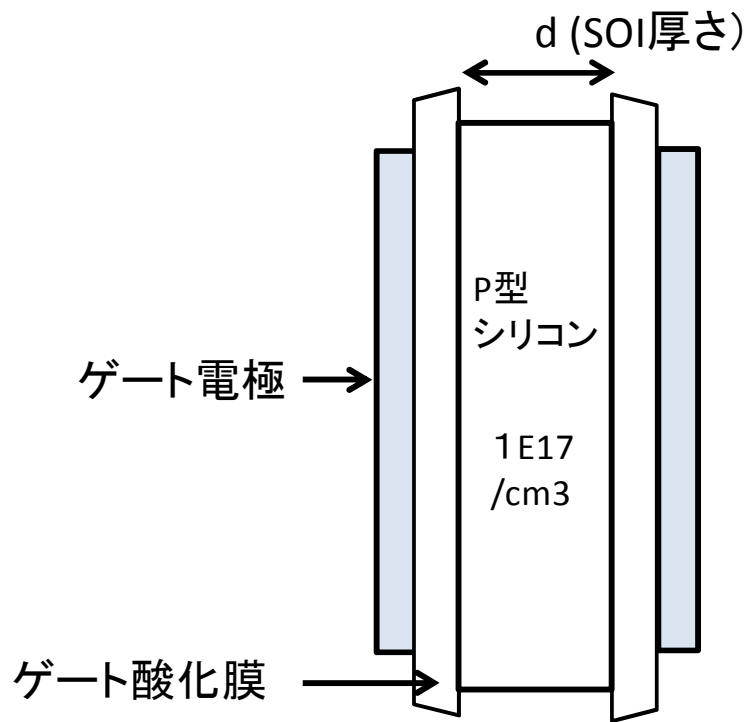


図7-6 縦型 SOI トランジスタの模式図

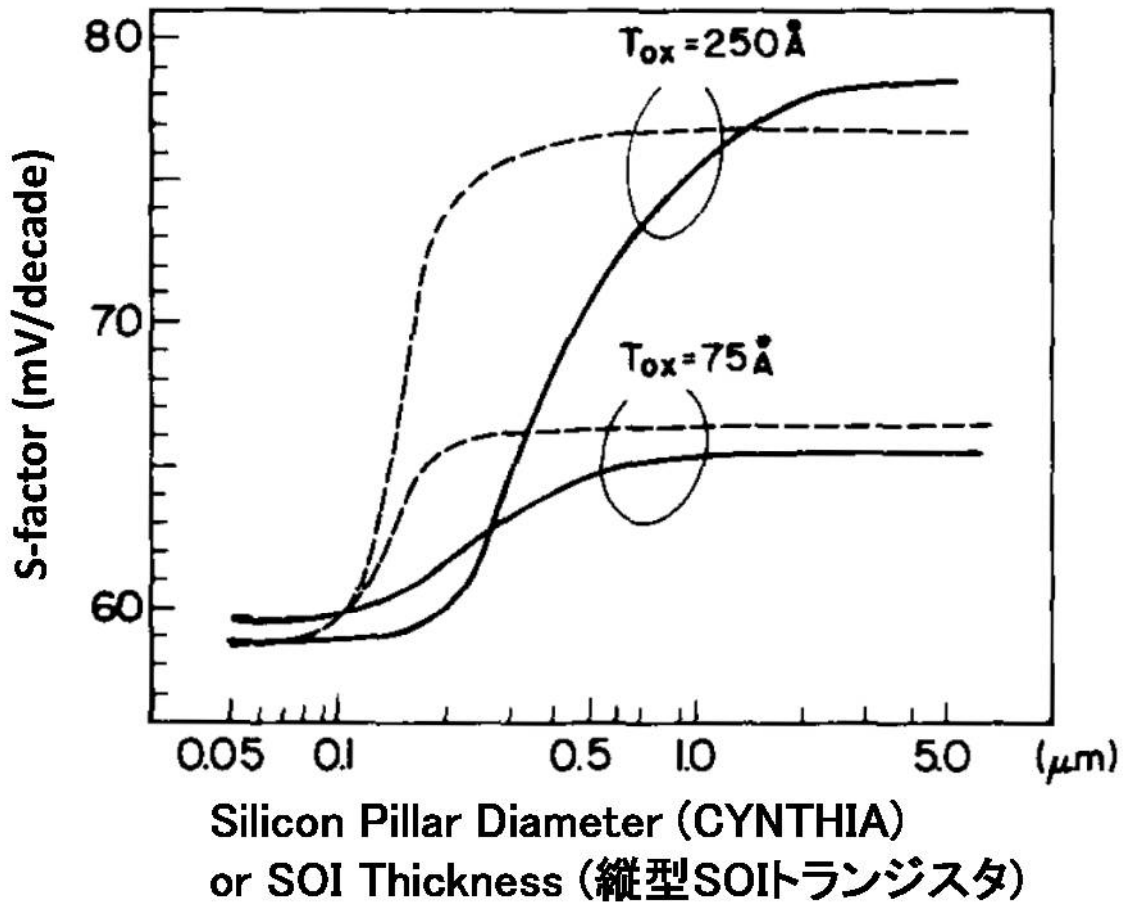


図 7-7 CYNTIA と縦型 SOI トランジスタの S-factor の SOI 厚さ依存性

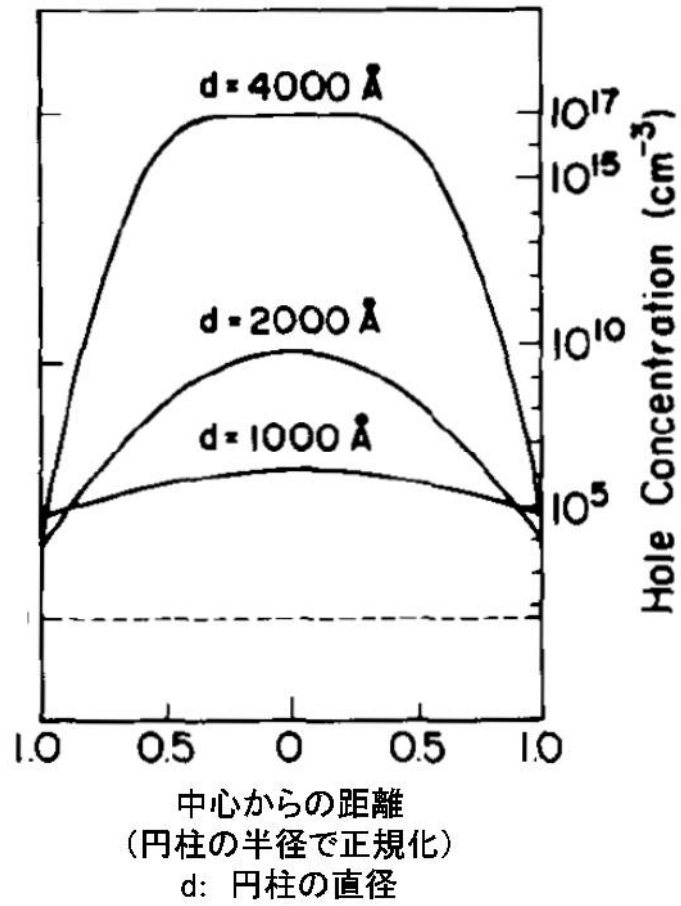


図7-8 (a) シリコン内のポテンシャル分布とシートホール濃度 (CYNTHIA)

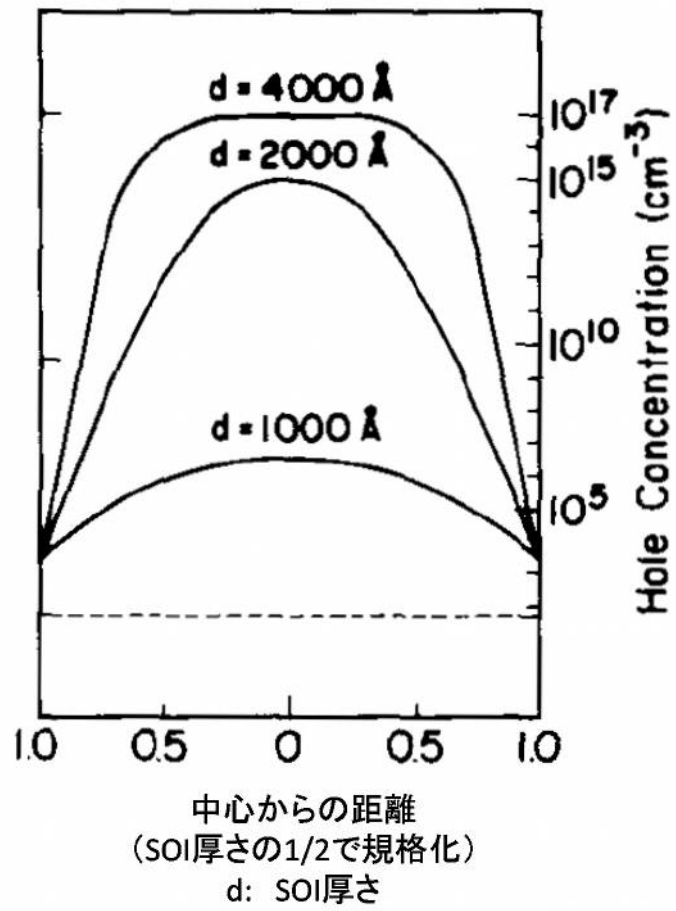
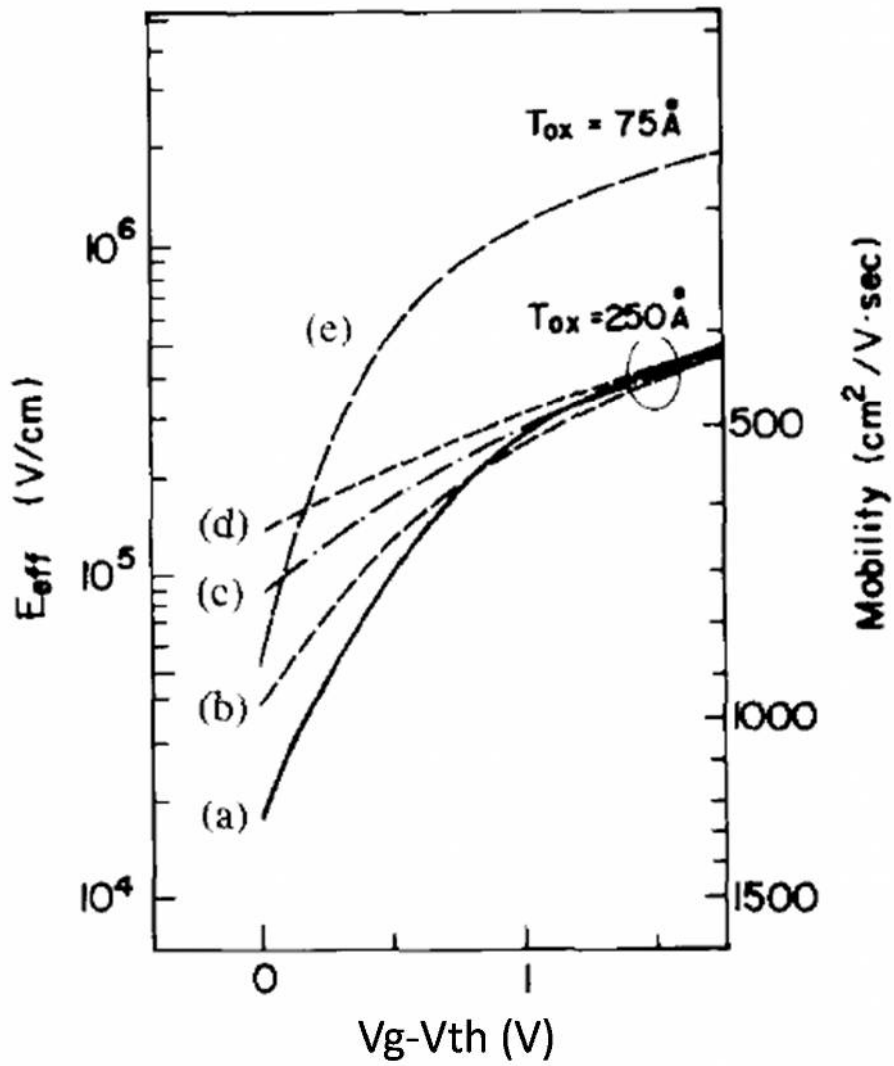


図7-8 (b) シリコン内のポテンシャル分布とシートホール濃度
 (縦型 SOI トランジスタ)



(a) $d=500 \text{ \AA}$ (b) $d=1000 \text{ \AA}$ (c) $d=2000 \text{ \AA}$
 (d) $d=4000 \text{ \AA}$ (e) $d=10000 \text{ \AA}$

図7-9 実効電界強度と電子のモビリティ

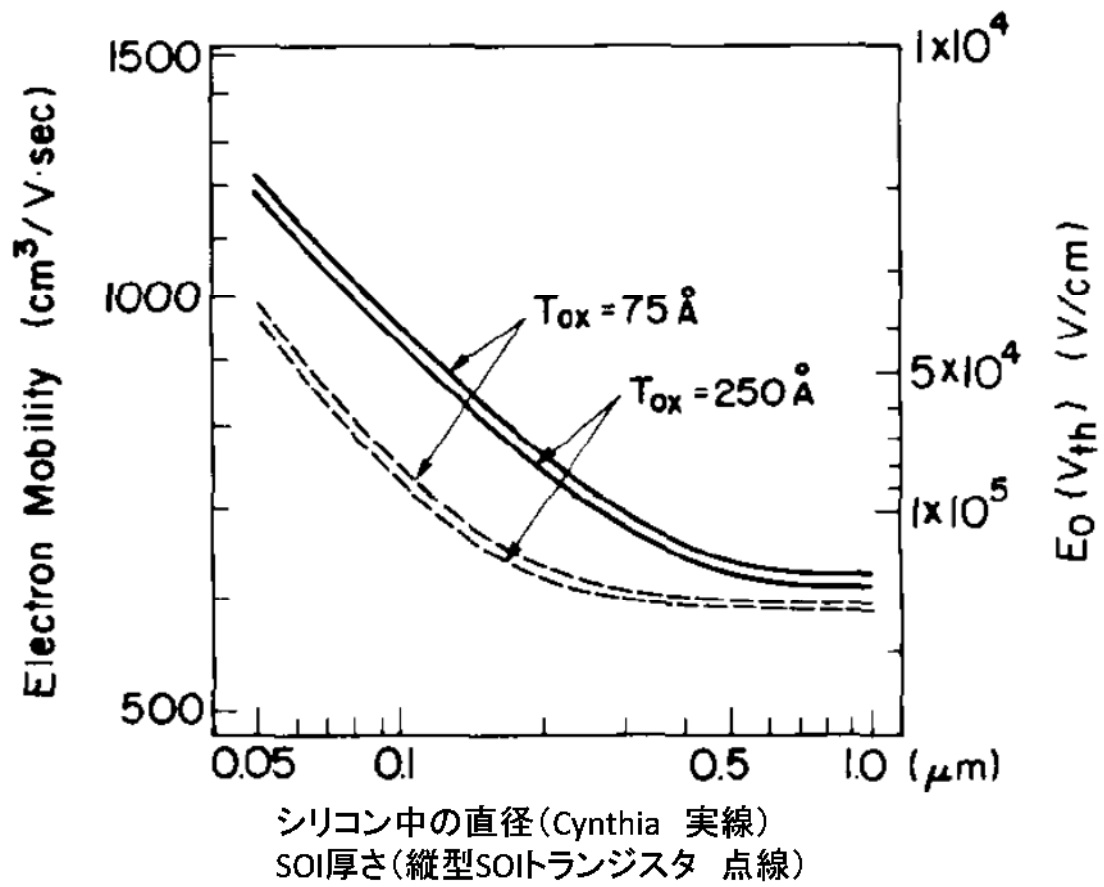


図7-10 しきい値電圧での実効電界強度と電子のモビリティ

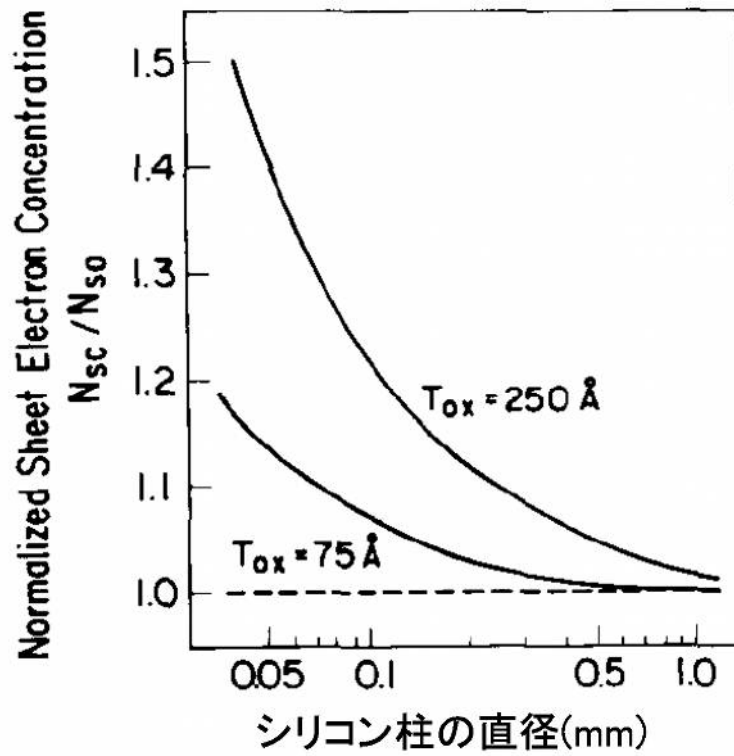


図 7-11 規格化したシート電子密度
(CYMTHIA 実線、縦型 SOI トランジスタ 点線)

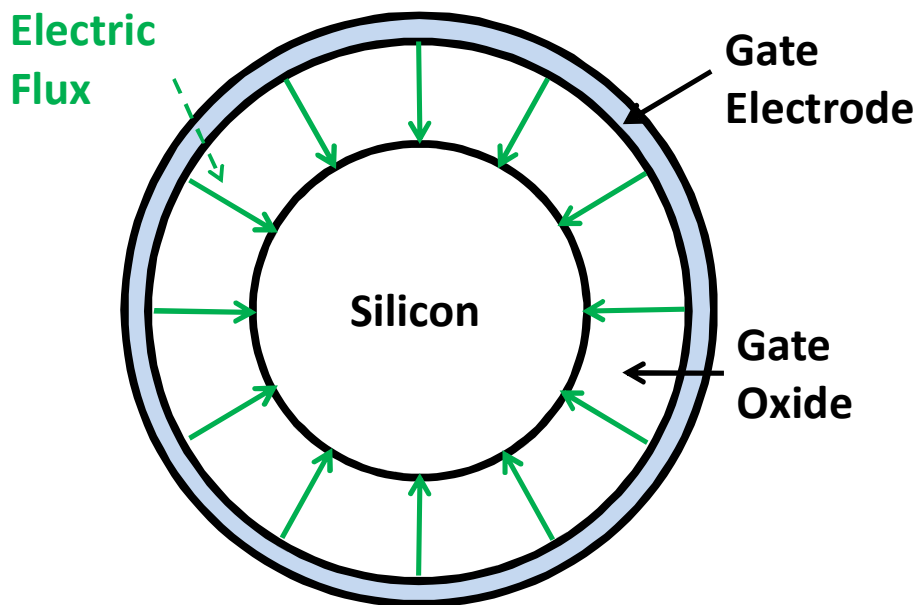


図 7-12 しきい値電圧での実効電界強度と電子のモビリティ

7章の参考文献

- [1] H. Kawaguchi, Y. Iataka, and T. Sakurai, "Dynamic Leakage Cut-off Scheme for Low-Voltage SRAM's," Digest of Technical Papers, Symposium on VLSI Circuits, pp. 140-141, June 1998.
- [2] E. Sinangil, N. Verma, and A. Chandrakasan, "A Reconfigurable 8T Ultra-Dynamic Voltage Scalable (U-DVS) SRAM in 65 nm CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 11 pp. 3163-3173, Nov. 2009.
- [3] A. Agarwal, H. Li, and K. Roy, "A Single-Vt Low-Leakage Gated-Ground Cache for Deep Submicron," IEEE Journal of Solid-State Circuits, vol. 38, no. 2 pp. 319-328, Feb. 2003.
- [4] T. Fukuda, K. Kohara, T. Dozaka, Y. Takeyama, T. Midorikawa, K. Hashimoto, I. Wakiyama, S. Miyano, T. Hojo, "A 7ns-Access-Time $25 \mu\text{W}/\text{MHz}$ 128kb SRAM for Low-Power Fast Wake-Up MCU in 65nm CMOS with 27fA/b Retention Current," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 236-237, Feb. 2014.
- [5] S.M. Sze, Physics of Semiconductor Devices, 2nd ed. New York Wiley, 1981,
- [6] D. Hisamoto, W. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, K. Tsu-Jae, J. Bokor, and H. Chenming, "FinFET-a self-aligned double-gate MOSFET scalable to 20 nm." IEEE transactions on Electron Devices, pp. 2320 - 2325, vol. 47, Dec., 2000.
- [7] A. Dixit, A. Kottantharayil, N. Collaert, M. Goodwin, M. Jurczak, K. De Meyer, "Analysis of the parasitic S/D resistance in multiple-gate FETs," IEEE transactions on Electron Devices, pp. 1132 - 1140, vol. 52, June, 2005.
- [8] E. Nowak, I. Aller, T. Ludwig, K. Keunwoo R. Joshi, C. Chuang, K. Bernstein, and R. Puri, "Turning silicon on its edge [double gate CMOS/FinFET technology," IEEE Circuits and Devices Magazine, pp. 20 - 31, vol. 20, Feb. 2004
- [9] S. Miyano, M. Hirose, F. Masuoka, "Numerical Analysis of a Cylindrical Thin-Pillar Transistor (CYNTHIA)," IEEE transactions on Electron Devices, pp. 1876 - 1881, vol. 39, No. 8 Aug. 1992
- [10] T. Sekigawa, Y. Hayashi, K. Ishii, and S. Fujita, "XMOS Transistor for a 3D-IC," International Conference on Solid State Devices and Materials. C-3-9-LN, 1985.

- [11] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, K. Hieda, F. Horiguchi, and F. Masuoka, "High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs." International Electron Devices Meeting, Digest of Technical Paper, pp. 222-225, Dec., 1988.
- [12] Sunouchi, K. Takato, H. ; Okabe, N. ; Yamada, T. ; Ozaki, T. ; Inoue, S. ; Hashimoto, K. ; Hieda, K. ; Nitayama, A. ; Horiguchi, F. ; Masuoka, F., "A surrounding gate transistor (SGT) cell for 64/256 Mbit DRAMs," International Electron Devices Meeting, Digest of Technical Paper, pp.23-26, Dec., 1989.
- [13] D. Hisamoto, T. Kaga, E. Takeda, "Impact of the Vertical SOI "DELTA" Structure on Planar Device Technology" IEEE TRANSACTIONS on ELECTRON DEVICES, pp. 1419 - 1424, vol.38 No.6, June 1991.
- [14] F.Assaderaghi, J.Chen, R.Solomon, T.Chan, P. Ko, and C. Hu, "Transient Behavior of Subthreshold Characteristics of Fully Depleted SOI MOSFET's," IEEE ELECTRON DEVICE LETTERS, pp. 518-520, vol.10 no.10, Oct., 1991.
- [15] S.M. Sze, Physics of Semiconductor Devices, 2nd ed. New York Wiley, pp.446-447, 1981, .
- [16] G.Baccarani, M.Wordeman, and R. Dennard, " Generalized Scaling Theory and its Application to a 1/4 micrometer MOSFET design," IEEE Trans. Electron Device, vol. ED-31, pp452-462, 1984.
- [17] A. Sabnis, and J. Clemense, "Characterization of the electron mobility in the inversed (100) Si surface," International Electron Devices Meeting, Digest of Technical Paper, pp.18-21, Dec. 1979.
- [18] T. Endoh, K. Kinoshita, T. Tanigami, Y. Wada, K. Sato, K. Yamada, T. Yokoyama, N. Takeuchi, K. Tanaka, N. Awaya, K. Sakiyama, and F. Masuoka, "Novel ultrahigh-density flash memory with a stacked-surrounding gate transistor (S-SGT) structured cell," IEEE Transactions on Electron Devices, pp. 945 - 951, vol.50, April 2003.
- [19]D.Delagebeaudeuf and N. Linh, "Metal-(n)AlGaAs-GaAs two-dimensional electron gas FET," IEEE Transaction on Electron Devices, pp. 955 - 959, vol.29, 1982.
- [20] H. Fuketa, T. Yasufukul, S. Iida, M. Takamiya, M. Nomura, H. Shinohara, and T. Sakurai, "Device-Circuit Interactions in Extremely Low Voltage CMOS Designs," IEEE International Electron Devices Meeting Digest of Technical Papers, pp. 25.1.1 - 25.1.4, Dec., 2011.

第8章 総括

LSI の微細化技術は、ムーアの法則を指導原理として、過去数十年にわたって、飛躍的な向上を続けてきており、LSI の性能向上に大きく貢献してきた。プロセッサの動作速度は、GHz を超えるようになったが、その動作速度は LSI の発熱によって限界に到達しようとしている。半導体の微細化技術は、High-k 絶縁膜や、メタルゲートのような新しい材料の導入や、3次元構造のトランジスタの開発によって、リーク電流による消費電力増加を抑える努力が続けられているが、それを上回る LSI の性能向上や、微細化の進展によって、図 8-1 の ITRS のロードマップに見られるように、今後も LSI の消費電力の増加は一層加速する気配すら見せている。一方で、LSI に搭載されるメモリ容量も増加し続けており、LSI の消費電力に占めるオンチップメモリの消費電力の割合もまた、増加の一途にある。このようなメモリの高密度化、低消費電力化を進めることが、LSI の高性能化を実現するうえで、欠かすことのできない要素となっている。

半導体の微細化技術は、一方で、情報機器の小型を進めてきた。メインフレームのコンピュータは、ミニコン、ワークステーション、パーソナルコンピュータと小型化し、さらに、ラップトップコンピュータは、タブレットやスマートフォンの形で小型化した。さらに端末の小型化はワイヤレスネットワークにすすみ、小さなバッテリーでの長時間駆動が求められるようになった [1]。このような機器に使われる LSI では、高速な処理は要求されないものの、バッテリーの長寿命化のために、一つの処理に使用するエネルギーを最小にしたいという強い要求がある。このような LSI を実現するうえでも、従来にないような低電力のオンチップメモリが求められている。

また、メモリ技術においては、メモリバンド幅に対する要求もまた、とどまるところを知らず、DRAM の高速 I/O 技術の進展による大幅な速度向上が行われてきた。100MHz のクロック周波数を超えるシンクロナス DRAM が 1990 年代に現れ、20 年ほどの間にデータレートは数十倍に高速化された [2]。しかし、高速 I/O を使ったチップ間のデータ転送に必要な消費エネルギーは、チップ内のデータ処理に比して大きく、外付けの DRAM を LSI 内部に取り込むことによって、大容量のメモリの搭載が可能となるとともに、大きなメモリバンド幅を小さな消費電力で実現する DRAM 混載技術が誕生した。DRAM 混載技術の発展により、携帯電話の動画処理やゲーム機器の高度な画像処理が実現された。

このように一口にオンチップメモリの高性能化といっても、実際の LSI 上のメモリに求めら

れる特性は多岐にわたるのが実情である。そこで、本研究では、オンチップのメモリの高性能化を、様々な視点から見直すことによって、総合的な観点から、オンチップメモリの高性能化技術を俯瞰した。このように研究を進めることによって、特定のメモリの特定の技術にこだわることなく、総合的にオンチップメモリの低電力化技術を考察していくことを可能にした。本研究では、以下のようにメモリの高性能化技術に取り組んだ。

- ① もっとも広く使われる SRAM の極限的な低消費電力化技術と低電圧化による度々速度低減を克服する高速化技術。
- ② Embedded DRAM を使うことにより、メモリの高密度を進めるとともに、高いメモリバンド幅を極めて低電力で実現する技術
- ③ 3次元トランジスタによるメモリセルの高密度化と低リーク電力技術

CMOS テクノロジと最も相性が良く、オンチップメモリとして広く使われている SRAM の高性能化は、波及効果も大きく、様々な用途に使用することが可能である。本論文では、大容量のメモリ搭載に適した高密度タイプの SRAM の低電力化と低電圧で高速動作可能な2つのタイプの SRAM 技術の研究を行った。

さらに、増え続けるオンチップメモリの搭載容量に対応し、画像処理などの高いメモリバンド幅を極めて低電力で実現するために、混載 DRAM 技術に適したメモリマクロの研究を行った。その際に、単にメモリマクロ単体ではなく、製品を量産する際の課題となるメモリテストの課題を含めて、産業上の利用の視点を含めて高性能化を考慮した。

最後に、メモリセルの高密度化に大きく寄与するとともに、進展する半導体の微細化技術により増大するリーク電流を本質的に改善する技術として、3次元トランジスタに着目し、3次元化による S-factor 改善の可能性を解析的に示した。

このように、重層的にオンチップメモリの高密度化と低電力化を研究することにより、オンチップメモリの高性能化のキーポイントを俯瞰的にとらえることが可能となった。また、研究開発の分野には、新たな研究課題を提供することになり多くの研究者により引き続き研究された。

以下に本研究によって得られた主な研究成果および波及効果を纏める。

(1) 電荷制御技術によるSRAMの低電力化 (3章)

SRAMの電圧スケーリングによる低電力化の限界を決める一つの課題として、ビット線の振幅ばらつきに着目した。トランジスタの素子ばらつきに起因するビット線の振幅のばらつきにより、最も遅いビット線がセンス可能な振幅に達するまでに、多くのビット線の振幅ははるかに大きなものになっており、無駄なエネルギー消費の元凶になっていることを突き止めた。そこから、ビット線に読み出される電荷(電子)を制御の対象とし、ビット線電荷を効率的に活用することによって、低消費エネルギー化を実現できる技術の研究を行った。具体的には次の2点の技術開発を行った。

- ① 短いローカルビット線とグローバルビット線からなる階層ビット線構造のSRAMでローカルビット線をフル振幅させることによって、トランジスタばらつきの影響を平準化し、チャージシェアによって、ローカルビット線からグローバルビット線に信号を転送することによって、グローバルビット線の振幅ばらつきを微小なレベルに抑えることに成功した。この技術によって、ビット線の振幅ばらつきによる無駄なエネルギー消費を抑えた低消費エネルギーSRAMを実現することができた。
- ② 上記技術を発展させて、従来無駄に充放電されてエネルギーを消費していた、非選択(ローカル)ビット線の電荷を選択(グローバル)ビット線への信号転送に有効に利用する回路技術の開発を行い、これと上記①と組み合わせて、従来になりSRAMマクロの開発を行った。

これらの技術を用いることによって、世界最小エネルギーで動作するSRAMマクロを実現できた[3][4][5]。本成果は、最初に①に関する技術をCICC2011に報告し、さらに非選択ビット線の電荷を利用して、エネルギー効率を高めた②の技術を組み合わせてエネルギー効率を高めたSRAMマクロをVLSI Circuit Symp. 2012に発表した。これらの研究を通じて、従来の電圧スケーリングによるSRAMの低消費電力化の壁を超えて、SRAMの低消費電力回路技術に新しい視点を取り入れることができた。ここで開発された技術に関する研究は、その後も引き続き継続されており、この技術をとりいれたSRAMマクロが主要な国際学会で発表[6]、[7]されている。

(2) 8T メモリセルの相補化による高速化 (4章)

SRAM の低消費電力化のためには低電圧動作は避けて通れない道である。しかし、一般には動作電圧の低下とともに、SRAM の動作速度は大きく低下する。実際の LSI への適用を考えると、単にエネルギー効率だけでなく一定以上の動作速度を必要とする応用は少なくない。そこで、動作電圧を下げても、一定以上の動作速度で SRAM を動作させることが可能であれば、このような低消費電力用 SRAM の用途を大きく広げることができる。本研究では、従来、低電圧動作に向いているといわれていたシングルエンド型の 8T 型 SRAM セルでは、実現困難だった速度の向上を相補型ビット線構造の SRAM セルを採用することによって実現した。その結果 0.5V 動作で、100MHz という CMOS SRAM で世界最高の速度を達成することができたただし、このメモリセルには、読み出し時にビット線を介してメモリセル間にサブスレッシュホルドリーク電流が流れるという課題があった。、極低消費エネルギーで動作する SRAM を実現するためには、このサブスレッシュホルドリーク電流を削減する必要がある。本研究では、この動作時のサブスレッシュホルドリーク電流を回避するためのセンスアンプ回路形式、ビット線制御方式の工夫を行い、小さなビット線振幅で読み出し動作を行うことによってメモリセル間のサブスレッシュホルドリーク電流を大きく削減することに成功した。その結果 0.5V で 100MHz の動作速度を維持しながら、上記サブスレッシュホルドリーク電流の大部分を抑制する SRAM マクロの試作を開発した。

この成果は、ESSCIRC2010 に報告した。、このタイプのメモリセルの高速性に着目した研究は、その後も引き続き継続されて、著名な国際学会などに発表されている[6] [7]。

(3) Embedded DRAM による高バンド幅、低消費電力化 (5章、6章)

大容量のメモリをオンチップに搭載したいという要求にたいして、セル面積が SRAM の数分の一である DRAM を混載するというアイデアは以前からあったが、従来の汎用 DRAM とほぼ同じ機能を持った DRAM では、3次元キャパシタを作成するための追加プロセスによるコストアップに見合う付加価値を提供することが難しく、実用レベルの製品に DRAM 混載技術を適用することは困難だった。本研究では、従

来の DRAM では実現不可能な非常に高いメモリバンド幅を実現すると同時に、DRAM に特有な Row Cycle のランダムアクセスが非常に遅いという欠点を隠ぺいする新しい回路技術を用いることによって、従来にない新しい付加価値を持ったメモリマクロを開発し、混載 DRAM 技術を使った初めての量産品を実現することができた。DRAM を混載することによって、高いメモリバンド幅を実現しつつ、データを転送するために必要な省エネルギー大幅に下げることが可能となった。本研究の成果は直接に SGI 社の高性能ワークステーション向けの LSI に採用されその後続く多くの DRAM 混載 LSI の皮切りとなった。この研究は、最初に ISSCC1995 で発表を行ったが、この研究の後に、DRAM 混載技術の実用化を大きく進展し、メモリマクロの構成、リダンダンシー技術、低消費電力化技術 [8] [9] [10] [11] [12] などの付加的な技術開発も進み、小さい消費電力で高いメモリバンド幅を実現できる特性を生かして、家庭用ゲーム機、携帯電話などに幅広く使われるようになった。

一般に DRAM は、SRAM に比べ多くの冗長セルをもち、複雑な置換アルゴリズムを必要とする。特に DRAM 混載技術で用いられるようなメモリバンド幅を広げるために、100bit 以上の非常に広い I/O 幅を持った DRAM マクロで置き換え効率が高く、かつ動作速度を犠牲にしない冗長救済をしようとすると、救済アルゴリズムは非常に複雑なものになる [9] [12]。また、リテンション時間のテストなど、SRAM に比べると長時間のテスト時間を必要とし、DRAM テストをいかに簡便に行うかが、DRAM 混載技術を用いた LSI の実用化に際して大きな課題となった、そこで、DRAM テストを容易化する手法に関しても、汎用的な手法についての研究を行った。汎用 DRAM と異なり、少量多品種になりがちなシステム LSI 製品においても、DRAM テストのためのインターフェースを統一することによって、メモリテストプログラムの作成、評価治具の構成などを一貫した手法で行うことを可能にして製造現場での DRAM テストに関わる作業を簡略化することに成功した。ここで開発された手法は、その後の、幾世代にわたる DRAM 混載 LSI の製品の基本的要素として幅広くかつ長く使われることになった。

(4) 3次元トランジスタによるメモリの高性能化 (7章)

3次元構造のトランジスタの可能性は、古くから議論されていたが、試作レベルで特性が調べられるようになり、研究が活発化したのは1980年代の後半のことであった。3次元トランジスタとDRAMのキャパシタを3次元方向に集積し、高密度なメモリセルを実現する試みも行われた。しかし、3次元的なトランジスタの特性を理論的に解析した報告はなかった。

本研究では、理想的な3次元トランジスタの形状としてチャンネルをゲート電極がぐるりと取り囲む円筒状のトランジスタを取り上げ、主としてサブスレシールド領域におけるS-factorに着目して理論的な特性予測を行った。当時3次元デバイスシミュレーション技術は、計算機の能力の観点から現実的なものではなく、特性解析のための次元をさげるために円筒座標を導入して、所定の方程式を解くことによって、3次元デバイスの電气的特性の解析を可能にした。その結果、3次元デバイスを微細化していくことによって、Body部分が完全空乏化してS-factorが減少し、理想的なサブスレシールドスロープ近づくことを初めて明らかにした。本成果は、1992年発行のIEEE Transactions on Electron Devices, で発表した。当時は、ムーアの法則に従うトランジスタのスケーリング競争の真ただ中であつたが、将来のトランジスタの微細化の限界を見通して、3次元トランジスタの特性に注目し、当時のレベルを超えた微細化が行われた時にどのような3次元トランジスタの特性が生じるかを予測した先進的な研究を行った。昨今の、3次元トランジスタの研究と実用化の進展は周知のとおりであるが [13] [14]、黎明期に3次元トランジスタを使ったLSIのリーク電流の低減効果を予測した研究を行うことができた。また、円筒型の3次元トランジスタは、その後いくつかのメモリのDRAMを始め様々なメモリとの組み合わせが研究されるようになった[14]。

(5) 将来への展望

オンチップメモリの低電力化、低エネルギー化への要求はとどまるところを知らない。本研究で、オンチップメモリの高性能化技術を幅広い視点から考察し、高性能化に向かう道筋の探求を行った。本論文に記した技術の研究上のポジショニングと成果を表8-1に記す。

SRAM の低消費電力化は、従来、メモリセルのトポロジーの工夫や、メモリセルに与える電源電圧やワード線、ビット線の電圧を様々なレベルに制御し、書き込みマージンの向上と、メモリセルの安定性のトレードオフを緩和する様々な工夫を施すことによって、メモリセルの低電圧動作マージンを向上させることによって、SRAM の消費電力を下げることが続けられてきた。しかし、このような努力にもかかわらず、SRAM の低電圧動作の限界を突破する決定的な方法は見出されていない。さらに、本研究で明らかにしたように、動作電圧を低下させていくと、トランジスタのばらつきに起因するビット線振幅のばらつきにより、ビット線の充放電電力が逆に増えてしまうという現象が見えてくる。このことは、SRAM の動作電圧を単に下げただけではトランジスタのばらつきにより、消費電力を下げることができなくなることを意味している。本研究では、トランジスタばらつきがある場合でも、ビット線の振幅ばらつきを小さく抑えることが可能な技術の開発を行った。半導体の微細化技術の進展とともに、トランジスタのリーク電流や、ばらつきは大きくなっており、単なる低電圧化で消費電力を下げている余地は小さくなっている。微細化の進展とともに、本研究で実施した、ビット線ばらつきを制御するタイプの低消費電力化技術を適用していく必要性が高まっていくことが予測される。

また、本研究では SRAM の低消費電力化を極限まで進めていくための一つの指針として、SRAM 動作の中で、無駄に消費されているエネルギーを見つけ出し、そのエネルギー消費を単に抑えるだけでなく、SRAM 動作に有効に移用することを試みた。このような無駄に使われているエネルギーを丹念に探していくアプローチは、今後の SRAM の低消費エネルギー化の一つの指針となりうるものだと考えられる。さらに、その際に、ビット線の電荷に着目する手法は、従来の SRAM 低消費電力のための回路技と全く異なる新しい視点を与えることができた。、このような視点は、今後の SRAM の低消費電力化のさらなる推進のために重要な示唆を与えることが期待できる。

前述のように、トランジスタの微細化は、本質的に、低電圧化の進行と、ばらつきの増大をもたらす。このことにより、さまざまなばらつきを考慮すると、SRAM の高速化の進展が困難になることが予想される。相補型 8T セルは。そのような世代に低電圧動作と、高速動作を同時に実現するメモリセルの可能性を開いた。さ

らに、センスアンプの工夫により、エネルギー効率の観点からも非常に高い SRAM 実現できる可能性を示すことができた。

DRAM 混載技術は、本研究で取り上げたような、大きなメモリバンド幅を実現すると同時に、データ転送のために必要なエネルギーを大幅に低減することが可能な技術として大きく進展した。また、近年、プロセッサに搭載するキャッシュメモリの容量が飛躍的に増大しており、ビットセル面積の小ささを生かして、大容量伽繻メモリとして、現在も、IBM, Intel といった半導体メーカーが精力的に DRAM 混載技術の開発を進めている [15] [16]。この傾向は、今後さらに進むことが予想される。

DRAM のメモリセルでは、データの保持時間を確保するために、非常に低リークなトランジスタを用いているため、DRAM 混載技術は多くの場合、低リークメモリとしてもすぐれた特性を持っている。ただし、微細化の進展とともに、DRAM のデータ保持時間を維持するのが難しくなっており、混載用の DRAM セルのデータ保持期間は短くなる傾向がある [15]。この問題の解決方法として、スリープモード時に、ECC 技術を使ってリテンション不良セルを救うことによって、実効的なリテンション時間を延ばす技術 [16] や、2つのメモリセルを使って、1ビットのデータを保持することによって、リテンション時間を延ばす工夫 [17] が試みられている。このような工夫により、DRAM 混載技術は、スタンドバイ電力の観点でも優れた特性を維持していくことが期待される。

微細化の進展によるばらつきが増大することによって、大容量のメモリを高い歩留まりで製造することの困難度は増していく。特に DRAM では不良ビットのスクリーニングのためのテストは複雑化するとともに、救済技術の重要性が増していく方向にある。複雑なテスト項目に対するメモリの不良ビットを効率的に行おうとすると、置き換えアルゴリズムが複雑になり、BIST などの簡易な手法で置き換えを行うことが難しくなる。そのため、メモリをメモリテストから直接テストできるようなテストパスの組み込みが不可欠になるが、システム LSI 上のオンチップメモリは、容量や配置が多岐にわたるため、テスト用治具や、テストプログラムを多品種にカスタマイズしなければならないという問題があった。本研究では、この課題に対して、混載されたメモリテストのための汎用的なインターフェースを提供することで解決することを提案した。システム LSI 向けに多くの種類のチ

ップに搭載する DRAM マクロをテストするためには、この方式は長く使用され続けており、今後も使用され続けることが予想される。

最後に、3次元トランジスタは本研究で明らかにしたように、サブスレシヨルド特性の改善を通じて、低電圧化、低電力化に寄与するもつのであり、現在の先端微細トランジスタの主流になりつつある。本研究は、3次元トランジスタの研究の黎明期にその将来の可能性を示唆する先導的な研究として大きな意義をもつものと考えている。

以上、本研究では、オンチップのメモリの高密度化と低電力化を、様々な視点から見直すことによって、総合的な観点から、オンチップメモリの高性能化技術を俯瞰した。このように研究を進めることによって、特定のメモリの特定の技術にこだわることなく、総合的にオンチップメモリの高性能化技術を考察していくことを可能にした。

その結果、世界最低の消費エネルギーで動作する SRAM マクロ、0.5V で動作する世界最高速の SRAM マクロ、世界最初の DRAM 混載チップの量産品を実現することができた。また、3次元トランジスタのサブスレシヨルド特性の改善について微細化の影響を見通すことができた。これにより、オンチップメモリの高密度化と低消費電力化に対する幅広い知見を得るとともに、携帯電話、高性能ゲーム機へ適用を通じて、広く世の中に貢献することができた。さらに加えて、SRAM の低消費電力化に対して、従来の低電圧動作化の限界を世界で初めて示し、この限界を打破する手法を提案した。これらの技術を従来技術と組合せでの新たな機能・効果が報告されるなどさらなる発展の可能性を示している。以上、本研究で研究さらた技術、手法は、今後の低消費電力 SRAM の研究開発に広く応用・貢献が可能なものとなっている。

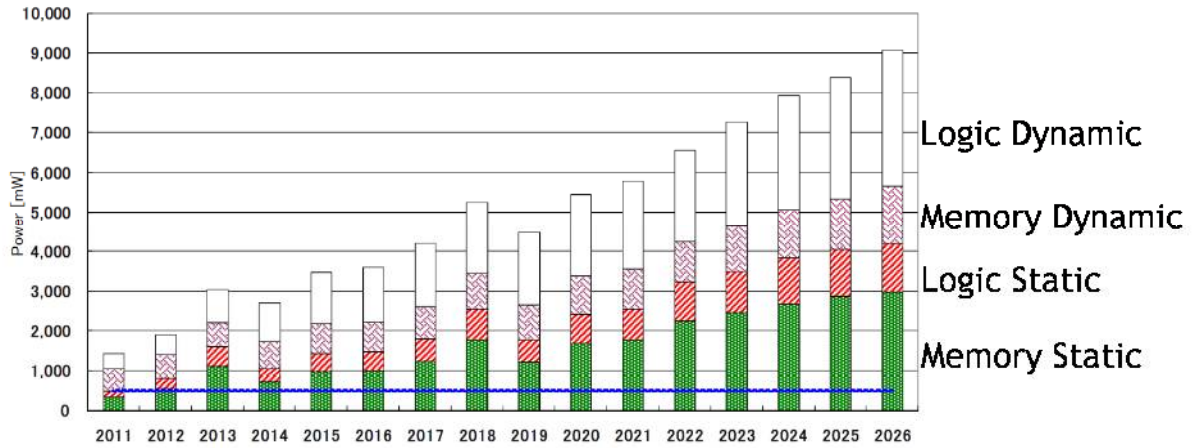


図 8 - 1 LSI の消費電力の予測 (ITRS2011)

表 8 - 1

	低消費電力化	高速化		テスト容易化	高密度化	世界最高性能 / 世界初	実用化レベル
		アクセスタイム	メモリバンド幅				
電荷制御技術によるSRAMの低電力化 (第3章)	◎	—	—	—	—	世界最小の動作エネルギー (13.pJ/Mbit)	極低電力プロセッサに搭載
8Tメモリセルの相補化による高速、低消費電力化 (第4章)	○	◎	—	—	—	0.5V動作で世界最高速 (100Mhz@0.5V)	極低電力プロセッサに搭載
DRAM混載技術による高バンド幅、低消費電力化 (第5章)	○	—	◎	—	○	世界最高のメモリバンド幅 (1.6Gbyte/s)	世界最初のDRAM混成SoC量産品に搭載
大容量混載メモリのテスト容易化 (第6章)	—	—	—	◎	○	—	多くのDRAM混載SoC製品に適用
3次元トランジスタによる高性能化 (第7章)	◎	—	—	—	◎	世界最初の3次元トランジスタの特性解析	DRAM・MRAMに適用

8章の参考文献

- [1] D. Blaauw, D. Sylvester, P. Dutta, Y. Lee, I. Lee, S. Bang, Y. Kim, G. Kim, P. Pannuto, Y.-S. Kuo, D. Yoon, W. Jung, Z. Foo, Y.-P. Chen, S. Oh, S. Jeong and M. Choi, "IoT Design Space Challenges: Circuits and Systems," Digest of Technical Papers, Symposium on VLSI Technology, pp.150-151, June 2014.
- [2] S. Bae, Y. Sohn, T. Oh, S. Kim, Y. Yang, D. Kim, S. Kwak, H. Seol, C. Shin, M. Park, G. Han, B. Kim, Y. Cho, H. Kim, S. Doo, Y. Kim, D. Kang, Y. Choi, S. Bang, S. Park, Y. Shin, G. Moon, C. Park, W. Kim, H. Yang, J. Lim, K. Park, J. Choi, and Y. Jun, "A 40nm 2Gb 7Gb/s/pin GDDR5 SDRAM with a programmable DQ ordering crosstalk equalizer and adjustable clock-tracking BW," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 498-500, Feb. 2011.
- [3] S. Moriwaki, A. Kawasumi, T. Suzuki, T. Sakurai, and S. Miyano, "0.4V SRAM with Bit Line Swing Suppression Charge Share Hierarchical Bit Line Scheme," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 1-4, Sept. 2011.
- [4] S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, S. Miyano, T. Sakurai and H. Shinohara, "A 13.8pJ/Access/Mbit SRAM with Charge Collector Circuits for Effective Use of Non-Selected Bit Line Charges," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 60-61, Jun. 2012.
- [5] S. Miyano, S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, T. Sakurai and H. Shinohara, "Highly Energy-Efficient SRAM with Hierarchical Bit Line Charge-Sharing Method Using Non-Selected Bit Line Charges" IEEE J. Solid-State Circuits, vol.48, no.4 pp. 924-931, March. 2013
- [6] J. Wu, Y. Chen, M. Chang, P. Chou, C. Chen, H. Liao, M. Chen, Y. Chu, W. Wu, and H. Yamauchi, "A Large $\sigma V_{th}/V_{DD}$ Tolerant Zigzag 8T SRAM With Area-Efficient Decoupled Differential Sensing and Fast Write-Back Scheme," IEEE Journal of Solid-State Circuits, vol.46, no.4, pp.815-827, April 2011
- [7] C. Chen, T. Chang L. Chen, M. Chang, and H. Yamauchi, "A 210mV 7.3MHz 8T SRAM with Dual Data-Aware Write-Assists and Negative Read Word line for High Cell-Stability,

- Speed and Area-Efficiency,” Digest of Technical Papers, Symposium on VLSI Circuits, pp. 130–131, Jun. 2013.
- [8] T. Yabe, S. Miyano, K. Sato, M. Wada, R. Haga, O. Wada, M. Enkaku, T. Hojyo, K. Mimoto, M. Tazawa, T. Ohkubo, and K. Numata, “A configurable DRAM macro design for 2112 derivative organizations to be synthesized using a memory generator,” *IEEE Journal of Solid-State Circuits*, pp. 1752–1757, vol.33, no.11, Nov. 1998.
- [9] T. Namekawa, S. Miyano, R. Fukuda, R. Haga, O. Wada, H. Banba, S. Takeda, K. Suda., K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, and K. Numata, “Dynamically Shift-Switched Dataline Redundancy Suitable for DRAM Macro with Wide Data Bus,” *IEEE Journal of Solid-State Circuits*, pp. 705–712, vol.35, no.5, May 2000.
- [10] H. Takeuchi, T. Yabe, S. Miyano, T. Hojo, M. Enkaku, M. Yamada, and M. Murakara, “A DRAM Module Generator with an Expandable Cell Array Scheme,” *IEEE Custom Integrated Circuits Conference, Digest of Technical Papers*, pp. 287–290, May 1998.
- [11] R. Haga, T. Kaneko, A. Nakayama, S. Miyano, H. Takenaka, K. Numata, H. Koinuma, T. Hojo, A. Sato, T. Kouchi, K. Mimoto, M. Tazawa, T. Ohkubo, T. Andou, and T. Amano, “Interface Socket Design Methodology to Generate Embedded DRAM Macros,” *IEEE Custom Integrated Circuits Conference, Digest of Technical Papers*, pp. 537–540, May 2001.
- [12] M. Kaku, H. Iwai, T. Nagai, M. Wada, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, T. Iwai, H. Takenaka, T. Hojo, S. Miyano, and N. Otsuka, “An 833MHz Pseudo-Two-Port Embedded DRAM for Graphics Applications,” *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, pp. 276–277, Feb. 2008.
- [13] H. Kawasaki, V.S. Basker, T. Yamashita, C. Lin, Y. Zhu, J. Faltermeier, S. Schmitz, J. Cummings, S. Kanakasabapathy, H. Adhikari, H. Jagannathan, A. Kumar, K. Maitra, J. Wang, C. Yeh, C. Wang, M. Khater, M. Guillorn, N. Fuller, J. Chang, L. Chang, R. Muralidhar, A. Yagishita, R. Miller, Q. Ouyang, Y. Zhang, V.K. Paruchuri, H. Bu, B. Doris, M. Takayanagi, W. Haensch, D. Mcherron, J. O’Neill, and K. Ishimaru, “Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond,” *IEEE International Electron Devices Meeting Digest of Technical Papers*, pp. 1 – 4, Dec., 2009.
- [14] E. Nowak, I. Aller, T. Ludwig, K. Keunwoo R. Joshi, C. Chuang, K. Bernstein, and

- R. Puri, "Turning silicon on its edge [double gate CMOS/FinFET technology," IEEE Circuits and Devices Magazine, pp. 20 - 31, vol. 20, Feb. 2004
- [15] J. Barth, D. Plass, E. Nelson, C. Hwang, G. Fredeman, M. Sperling, A. Mathews, W. Reohr, K. Nair, and N. Cao, "A 45nm SOI embedded DRAM macro for POWER7™ 32MB on-chip L3 cache," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 342-343, Feb. 2010.
- [16] R. Brain, A. Baran, N. Bisnik, H. Chen, S. Choi, A. Chugh, M. Fradkin, T. Glassman, F. Hamzaoglu, E. Hoggan, R. Jahan, M. Jamil, C. Jan, J. Jopling, H. Kan, R. Kasim, S. Kirby, S. Lahiri, B. Lee, D. Lenski, J. Limb, N. Lindert, M. Musorrafiti, J. Neulinger, L. Rockford, J. Park, K. Singh, C. Staus, J. Steigerwald, B. Turkot, P. Vandervoorn, R. Venkatesan, S. Wu, J. Yeh, Y. Wang, Z. Zhang, and K. Zhang, "A 22nm high performance embedded DRAM SoC technology featuring tri-gate transistors and MIMCAP COB," Digest of Technical Papers, Symposium on VLSI Circuits, pp. T16-T17, Jun. 2013.
- [17] T. Nagai, M. Wada, H. Iwai, M. Kaku, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, H. Takenaka, T. Hojo, and S. Miyano, "A 65nm Low-Power Embedded DRAM with Extended Data-Retention Sleep Mode," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 567-568, Feb. 2006.
- [18]

研究業績リスト

1. 本論文に関する研究論文

主著

- (1) S. Miyano, M. Hirose, F. Masuoka, “Numerical analysis of a cylindrical thin-pillar transistor (CYNTHIA),” *IEEE Transactions on Electron Devices*, vol.39, no. 8, pp. 1876 – 1881, Aug. 1992.
- (2) S. Miyano, K. Numata, K. Sato, Y. Yabe, M. Wada, R. Haga, M. Enkaku, M. Shiochi, Y. Kawashima, M. Iwase, M. Ohgata, J. Kumagai, T. Yoshida, M. Sakurai, S. Kaki, N. Yanagiya, H. Shinya, T. Furuyama, P. Hansen, M. Hannah, M. Nagy, and A. Nagarajan, “A 1.6 Gbyte/s data transfer rate 8 Mb embedded DRAM,” *IEEE Journal of Solid-State Circuits*, vol.30, no.11, pp. 1281-1285, Nov. 1995.
- (3) S. Miyano, K. Sato, and K. Numata, “Universal Test Interface for Embedded-DRAM Testing,” *IEEE Design & Test of Computers*, vol.16, no.1, pp. 53-58, Jan., 1999.
- (4) S. Miyano, S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, T. Sakurai and H. Shinohara, “Highly Energy-Efficient SRAM with Hierarchical Bit Line Charge-Sharing Method Using Non-Selected Bit Line Charges” *IEEE J. Solid-State Circuits*, vol.48, no.4 pp. 924-931, March. 2013
- (5) 宮野 信治, 鈴木 利一, 森脇 慎一, 川澄 篤, 篠原 尋史, “サスペンディッドビット線読み出し方式による相補8T型SRAMのNear-Threshold領域における低消費電力化,” *電子情報通信学会 和文論文誌*, Vol. J97-C, No. 4, pp. 153-161, Apr. 2014.

共著

- (1) T. Yabe, S. Miyano, K. Sato, M. Wada, R. Haga, O. Wada, M. Enkaku, T. Hojyo, K. Mimoto, M. Tazawa, T. Ohkubo, and K. Numata, “A configurable DRAM macro design for 2112 derivative organizations to be synthesized using a memory generator,” *IEEE Journal of Solid-State Circuits*, pp. 1752-1757, vol.33, no.11, Nov. 1998.
- (2) T. Namekawa, S. Miyano, R. Fukuda, R. Haga, O. Wada, H. Banba, S. Takeda, K. Suda., K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, and K. Numata, “Dynamically Shift-Switched Dataline Redundancy Suitable for DRAM Macro with Wide Data Bus,” *IEEE*

- Journal of Solid-State Circuits, pp. 705-712, vol.35, no.5, May 2000.
- (3) K. Miyaji, S. Tanakamaru, K. Honda, S. Miyano and K. Takeuchi, "Improvement of Read Margin and Its Distribution by Mismatch Self-Repair in 6T-SRAM With Asymmetric Pass Gate Transistor Formed by Post-Process Local Electron Injection," IEEE Journal of Solid-State Circuits, pp. 2180-2188, vol.46, no.9, Sept. 2011.
 - (4) K. Miyaji, K. Honda, S. Tanakamaru, S. Miyano and K. Takeuchi, "Analysis of Operation Margin and Read Speed in 6T- and 8T-SRAM with Local Electron Injected Asymmetric Pass Gate Transistor," IEICE Transactions on Electronics, E95-C, no. 4, pp. 564-571, April 2012.
 - (5) S. Yoshimoto, M. Terada, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 0.5-V 12.9-pJ/Access 8T SRAM Using Low-Energy Disturb Mitigation Scheme," IEICE Transactions on Electronics, E95-C, no. 4, pp. 572-578, April 2012.
 - (6) K. Miyaji, Y. Shinozuka, S. Miyano, and K. Takeuchi, "Near Threshold Word-Line Injection Self-Convergence Scheme for Local Electron Injected Asymmetric Pass Gate Transistor 6T-SRAM," IEEE TRANS. on CIRCUITS and SYSTEMS, pp. 1635-1643, vol. 59, NO. 8, Aug. 2012.
 - (7) K. Miyaji, T. Suzuki, S. Miyano, K. Takeuchi, "A 6T-SRAM With a Post-Process Electron Injection Scheme That Pinpoints and Simultaneously Repairs Disturb Fails for 57% Less Read Delay and 31% Less Read Energy," IEEE J. Solid-State Circuits, vol.48, no.9, pp. 2239-2249, Sept., 2013
 - (8) N. E. Alias, A. Kumar, T. Saraya, S. Miyano, Toshiro Hiramoto, "NBTI Reliability of PFETs under Post-Fabrication Self-Improvement Scheme for SRAM," IEICE Transactions 96-C(5), pp. 620-623, 2013.
 - (9) T. Hiramoto, A. Kumar, T. Saraya, S. Miyano, "Experimental Demonstration of Post-Fabrication Self-Improvement of SRAM Cell Stability by High-Voltage Stress," IEICE Transactions 96-C(6), pp. 759-765, 2013.

国際会議発表

主著

- (1) S. Miyano, K. Numata, K. Sato, Y. Yabe, M. Wada, R. Haga, M. Enkaku, M. Shiochi, Y. Kawashima, M. Iwase, M. Ohgata, J. Kumagai, T. Yoshida, M. Sakurai, S. Kaki, N. Yanagiya, H. Shinya, T. Furuyama, P. Hansen, M. Hannah, M. Nagy, and A. Nagarajan, "A 1.6 GB/s data-transfer-rate 8 Mb embedded DRAM," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 300-301, Feb., 1995.
- (2) S. Miyano, "Merged Memory and Logic VLSI," Proc. of VLSI Circuits Short Course, June 1997.
- (3) S. Miyano and M. Takahashi, "Embedded DRAM SOCs and its application for MPEG4 codec LSIs," Proc. of VLSI Circuits Short Course, pp. 101-121, June 2001.
- (4) S. Miyano, "Advanced Energy Efficient SRAM Design," Proc. of VLSI Circuits Short Course, June 2014.

共著

- (1) T. Yabe, S. Miyano, K. Sato, M. Wada, R. Haga, O. Wada, M. Enkaku, T. Hojyo, K. Mimoto, M. Tazawa, T. Ohkubo, and K. Numata, "A Configurable DRAM Macro Design for 21 12 Derivative Organizations to be Synthesized Using a Memory Generator," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 72-73, Feb. 1998.
- (2) H. Takeuchi, T. Yabe, S. Miyano, T. Hojo, M. Enkaku, M. Yamada, and M. Murakara, "A DRAM Module Generator with an Expandable Cell Array Scheme," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 287-290, May 1998.
- (3) T. Namekawa, S. Miyano, R. Fukuda, R. Haga, O. Wada, H. Banba, S. Takeda, K. Suda., K. Mimoto, S. Yamaguchi, T. Ohkubo, H. Takato, and K. Numata, "Dynamically Shift-Switched Dataline Redundancy Suitable for DRAM Macro with Wide Data Bus," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 149-152, Jun. 1999.

- (4) R. Fukuda, S. Miyano, T. Namekawa, R. Haga, O. Wada, S. Takeda, K. Numata, M. Habu, H. Koike, and H. Takato, "Long Retention Time of Embedded DRAM Macro with Thin Gate Oxide Film Transistors," The Second IEEE Asia Pacific Conference on ASICs , Digest of Technical Papers, pp. 351-354, Aug. 2000.
- (5) R. Haga, T. Kaneko, A. Nakayama, S. Miyano, H. Takenaka, K. Numata, H. Koinuma, T. Hojo, A. Sato, T. Kouchi, K. Mimoto, M. Tazawa, T. Ohkubo, T. Andou, and T. Amano, "Interface Socket Design Methodology to Generate Embedded DRAM Macros," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 537-540, May 2001.
- (6) T. Nagai, M. Wada, H. Iwai, M. Kaku, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, H. Takenaka, T. Hojo, and S. Miyano, "A 65nm Low-Power Embedded DRAM with Extended Data-Retention Sleep Mode," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 567-568, Feb. 2006.
- (7) M. Kaku, H. Iwai, T. Nagai, M. Wada, A. Suzuki, T. Takai, N. Itoga, T. Miyazaki, T. Iwai, H. Takenaka, T. Hojo, S. Miyano, and N. Otsuka, "An 833MHz Pseudo-Two-Port Embedded DRAM for Graphics Applications," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 276-277, Feb. 2008.
- (8) T. Iwai, M. Kaku, T. Miyazaki, H. Iwai, .H. Takenaka, A. Suzuki, S. Miyano, and M. Hamada, "Low Power Embedded DRAM using 0.6V Super Retention Mode with Word Line Data Mirroring," IEEE Asian Solid-State Circuits Conference, Digest of Technical Papers, pp. 209-212, Nov. 2009.
- (9) K. Miyaji, S. Tanakamaru, K. Honda, S. Miyano and K. Takeuchi, "70% Read Margin Enhancement by V_{TH} Mismatch Self-Repair in 6T-SRAM with Asymmetric Pass Gate Transistor by Zero Additional Cost, Post-Process, Local Electron Injection," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 41-42, Jun. 2010.
- (10) M. Suzuki, T. Saraya, K. Shimizu A. Nishida, S. Kamohara, K. Takeuchi, S. Miyano, T. Sakurai, and T. Hiramoto, "70% Read Margin Enhancement by V_{TH} Mismatch Self-Repair in 6T-SRAM with Asymmetric Pass Gate Transistor by Zero Additional Cost, Post-Process, Local Electron Injection, " Direct Measurements, Analysis, and Post-Fabrication Improvement of Noise Margins in SRAM Cells Utilizing DMA SRAM TEG," Symposium on VLSI Technology, Digest of Technical Papers, pp. 191-192, Jun. 2010.

- (1 1) K. Honda, K. Miyaji, S. Tanakamaru, S. Miyano, and K. Takeuchi, "Elimination of Half Select Disturb in 8T-SRAM by Local Injected Electron Asymmetric Pass Gate Transistor," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 1-4, Sept. 2010.
- (1 2) T. Suzuki, S. Moriwaki, A. Kawasumi, S. Miyano and H. Shinohara, "0.5-V, 150-MHz, Bulk-CMOS SRAM with Suspended Bit-Line Read Scheme," IEEE European Solid-State Circuits Conference, Digest of Technical Papers, pp. 354-357, Sept. 2010.
- (1 3) Y. Pu, X. Zhang, J. Huang, A. Muramatsu, M. Nomura, K. Hirairi, H. Takata, T. Sakurabayashi, S. Miyano, M. Takamiya, T. Sakurai, "Misleading Energy and Performance Claims in Sub/Near Threshold Digital Systems," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), Digest of Technical Papers, pp. 625-631, Nov. 2010.
- (1 4) S. Yoshimoto, M. Terada, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi and M. Yoshimoto, "A 40-nm 0.5-V 512-Kb 8T SRAM with Disturb Mitigation scheme," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 72-73, Jun. 2011.
- (1 5) S. Moriwaki, A. Kawasumi, T. Suzuki, T. Sakurai, and S. Miyano, "0.4V SRAM with Bit Line Swing Suppression Charge Share Hierarchical Bit Line Scheme," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 1-4, Sept. 2011.
- (1 6) K. Miyaji, Y. Shinozuka, S. Miyano, and K. Takeuchi, "Statistical VTH Shift Variation Self-Convergence Scheme Using Near Threshold VWL Injection for Local Electron Injected Asymmetric Pass Gate Transistor SRAM," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, pp. 1-4, Sept. 2011.
- (1 7) A. Kawasumi, T. Suzuki, S. Moriwaki, and S. Miyano, "Energy Efficiency Degradation Caused by Random Variation in Low-Voltage SRAM and 26% Energy Reduction by Bitline Amplitude Limiting (BAL) Scheme," IEEE Asian Solid-State Circuits Conference, Digest of Technical Papers, pp. 165-168, Nov. 2011.
- (1 8) K. Miyaji, T. Suzuki, S. Miyano, and K. Takeuchi, "A 6T SRAM with a Carrier-Injection Scheme to Pinpoint and Repair Fails That Achieves 57% Faster Read and 31% Lower Read Energy," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 232-233, Feb. 2012.

- (19) M. Terada, S. Yoshimoto, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 256-Kb 0.6-V Operation Half-Select Resilient 8T SRAM with Sequential Writing Technique Enabling 367-mV VDDmin Reduction," International Symposium on Quality Electronic Design, Digest of Technical Papers, pp. 489-492, Mar. 2012.
- (20) A. Kumar, T. Saraya, S. Miyano., and T. Hiramoto, "Self-Improvement of Cell Stability in SRAM by Post Fabrication Technique," IEEE Silicon Nanoelectronics Workshop (SNW), Digest of Technical Papers, pp. 1-2, Jun. 2012.
- (21) S. Moriwaki, Y. Yamamoto, A. Kawasumi, T. Suzuki, S. Miyano, T. Sakurai and H. Shinohara, "A 13.8pJ/Access/Mbit SRAM with Charge Collector Circuits for Effective Use of Non-Selected Bit Line Charges," Symposium on VLSI Circuits, Digest of Technical Papers, pp. 60-61, Jun. 2012.
- (22) S. Yoshimoto, M. Terada, Y. Umeki, S. Okumura, A. Kawasumi, T. Suzuki, S. Moriwaki, S. Miyano, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 256-Kb Sub-10 pJ/Access 8t SRAM with read bitline amplitude limiting (RBAL) scheme, ACM/IEEE international symposium on Low Power Electronics and Design, Digest of Technical Papers, pp. 85-90, July 2012.
- (23) Y. Yamamoto, A. Kawasumi, S. Moriwaki, T. Suzuki, S. Miyano, and H. Shinohara, "60% Cycle time acceleration, 55% energy reduction, 32Kbit SRAM by auto-selective boost (ASB) scheme for slow memory cells in random variations," IEEE European Solid-State Circuits Conference, Digest of Technical Papers, pp.317-320, Sept., 2012.
- (24) S. Yoshimoto, M. Terada, S. Okumura, T. Suzuki, S. Miyano, H. Kawaguchi, M. Yoshimoto, "A 40-nm 0.5-V 12.9-pJ/Access 8T SRAM using low-power disturb mitigation technique," 18th Asia and South Pacific Design Automation Conference, Digest of Technical Papers, pp. 77-78, Jan., 2013
- (25) M. Nomura, A. Muramatsu, H. Takeno, S. Hattori, D. Ogawa, M. Nasu, K. Hirairi, S. Kumashiro, S. Moriwaki, Y. Yamamoto, S. Miyano, Y. Hiraku, I. Hayashi, K. Yoshioka, A. Shikata, H. Ishikuro, M. Ahn, Y. Okuma, X. Zhang, Y. Ryu, K. Ishida, M. Takamiya, T. Kuroda, H. Shinohara, and T. Sakurai, "0.5V Image Processor with 563 GOPS/W SIMD and 32bit CPU Using High Voltage Clock Distribution (HVCD) and Adaptive Frequency Scaling (AFS) with 40nm CMOS," IEEE Symposium on VLSI Circuits, pp. 36-37, June 2013.

- (26) S. Yoshimoto, S. Miyano, M. Takamiya, H. Shinohara, H. Kawaguchi, and M. Yoshimoto, "A 40-nm 8T SRAM with Selective Source Line Control of Read Bitlines and Address Preset Structure," IEEE Custom Integrated Circuits Conference, Digest of Technical Papers, Sept. 2013.
- (27) T. Fukuda, K. Kohara, T. Dozaka, Y. Takeyama, T. Midorikawa, K. Hashimoto, I. Wakiyama, S. Miyano, T. Hojo, "A 7ns-Access-Time $25 \mu\text{W}/\text{MHz}$ 128kb SRAM for Low-Power Fast Wake-Up MCU in 65nm CMOS with 27fA/b Retention Current," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 236-237, Feb. 2014.

2. その他の研究論文

国際学会発表

共著

- (1) T. Ikehashi, T. Miyazaki, H. Yamazaki, A. Suzuki, E. Ogawa, S. Miyano, T. Saito, T. Ohguro, T. Miyagi, Y. Sugizaki, N. Otsuka, and H. Shibata, "An RF MEMS Variable Capacitor with Intelligent Bipolar Actuation," IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp.582-583, Feb. 2008

3. アメリカ合衆国登録特許

- [1] "Field effect transistor with channel formed on homojunction interface," United States Patent 5,047,811, Sep 10, 1991.
- [2] "Semiconductor memory device," United States Patent 5,504,709, Apr 2, 1996.
- [3] "Semiconductor memory device having a column selector," United States Patent 5,590,084, Dec 31, 1996.
- [4] "Semiconductor memory device with a decoding peripheral circuit for improving the operation frequency," United States Patent 5,640,365, Jun 17, 1997.
- [5] "Semiconductor memory circuit having data buses common to a plurality of memory cell arrays," United States Patent 5,640,351 Jun 17, 1997.
- [6] "Clock synchronous type DRAM with data latch," United States Patent 5,659,507, Aug 19, 1997.
- [7] "Memory standard cell macro for semiconductor device," United States Patent 5,698,876 Dec 16, 1997.
- [8] "Semiconductor memory device," United States Patent 5,706,229, Jan. 06, 1998.
- [9] "Clock synchronous type DRAM with latch," United States Patent 5754481, May 19, 1998.
- [10] "Memory circuit with built-in cache memory," United States Patent 5,890,186, Mar 30, 1999
- [11] "One-chip LSI including a general memory and a logic," United States Patent 5,930,187, Jul 27, 1999.
- [12] "Semiconductor memory device having a mode in which a plurality of data are simultaneously read out of memory cells of one row and different columns," United States Patent 6,002,631, Dec 14, 1999.
- [13] "Semiconductor memory device with multiplied internal clock," United States Patent 6,047,344, Apr 04, 2000
- [14] "Semiconductor integrated circuit device and its manufacturing method," United States Patent 6,066,896, May 23, 2000.
- [15] "Semiconductor memory device having a delay circuit set according to the storage capacity of a memory macro," United States Patent 6,154,396, Nov 28, 2000.

- [16] "Dynamic random access memory capable of simultaneously writing identical data to memory cells," United States Patent 6,154,406, Nov 28, 2000.
- [17] "Memory integrated with logic on a semiconductor chip and method of designing the same," United States Patent 6,256,604, Jul 03, 2001.
- [18] "Memory-embedded semiconductor integrated circuit device and method for testing same," United States Patent 6,275,428, Aug 14, 2001.
- [19] "Semiconductor integrated circuit device and its manufacturing method," United States Patent 6,429,521, Aug 06, 2002.
- [20] "Semiconductor device realized by using partial SOI technology," United States Patent 6,529,399, Mar 04, 2003.
- [21] "Memory-embedded LSI," United States Patent 6,601,199, Jul 29, 2003.
- [22] "Semiconductor device realized by using partial SOI technology," United States Patent 6,744,680, Jun 01, 2004.
- [23] "Semiconductor device having one of patterned SOI and SON structure," United States Patent 6,906,384 Jun 14, 2005.
- [24] "Semiconductor device realized by using partial SOI technology," United States Patent 7,061,814, Jun 13, 2006.
- [25] "Semiconductor memory device with test circuit," United States Patent 7,263,010, Aug 28, 2007.
- [26] "Synchronous semiconductor storage device having error correction function," United States Patent 7,464,320, Dec 09, 2008.
- [27] "Semiconductor memory device having data holding mode using ECC function," United States Patent 7,712,007, May 04, 2010.
- [28] "Semiconductor memory device having data holding mode using ECC function," United States Patent 7,818,651, Oct 19, 2010.
- [29] "Semiconductor device and method of controlling electrostatic actuator," United States Patent 8,035,949, Oct 11, 2011.
- [30] "Semiconductor memory device," United States Patent 8,310,884, Nov 13, 2012.
- [31] "Semiconductor device and method of controlling electrostatic actuator," United States Patent 8537520, Sep 17, 2013.

謝辞

本論文を作成するにあたり、懇切な御指導を賜りました東京大学生産技術研究所 桜井貴康教授に謹んで御礼申し上げます。貴重な御教示と御討論を賜りました東京大学生産技術研究所 平本俊郎教授、東京大学大学院工学系研究科 高木信一教授、東京大学生産技術研究所 高宮真准教授、中央大学大学院理工学研究科 竹内健教授に厚く御礼申し上げます。

本研究は、著者が株式会社 東芝ならびに株式会社 半導体理工学研究センターにての業務を通じた研究であり、本論文をまとめる機会を与えてくださいました株式会社 東芝 セミコンダクター&ストレージ社 半導体技術研究所 ワイヤレスシステム開発部 畝川康夫部長、常にお励ましいただいた株式会社 半導体理工学研究センター 篠原尋史技監に心から感謝致します。

また、本研究の一部は、製品開発業務を通じた研究であり、多くの上司、先輩方の御指導、御鞭撻を頂き、多くの同僚、関係者の方々から御討議、御協力、御助力を頂きました。ここに、森塚真由美氏、舛岡富士雄氏、沼田健二氏、佐藤勝彦氏、矢部友章氏、和田政春氏、芳賀亮氏、圓角元洋氏、塩地正純氏、川嶋裕氏、岩瀬正幸氏、大形政久氏、熊谷淳平氏、吉田 毅氏、桜井正臣氏、柿 誠治氏、柳谷成俊氏、新矢 寛氏、古山 透氏、Paul Hansen 氏、Marc Hannah 氏、Michael Nagy 氏、Anan Nagarajan 氏、Mana Rungsea 氏、森脇真一氏、山本安衛氏、川澄篤氏、鈴木利一氏に深く感謝致します。