

## 論文内容の要旨

論文題目 混載DRAMおよびSRAMの高性能化に関する研究

氏名 宮野 信治

半導体の微細化技術の進展とともに、LSI 上に集積される素子の数はいわゆるムーアの法則に従って急速に増大してきており、従来複数の LSI を使って実現されていた一連の機能（システム）を集積する System on Chip (SoC) またはシステム LSI と呼ばれる LSI が出現した。システム LSI 上には、IP コアと呼ばれる多くの機能ブロックが存在し、代表的なものとして MPU (Micro-processing unit) などのデジタルコアや、AD/DA 変換回路、PLL などのアナログコアが集積されている。これらのコアと並んでシステム LSI の中で非常に重要な IP としてメモリがある。メモリは、キャッシュメモリ、画像メモリの他に、プログラムやデータを格納するためにシステム LSI 上で様々な用途に使われており、その搭載容量は年々増加しており、システム LSI の中に占めるメモリの面積や消費電力の割合は年々大きくなっている。このような状況の中で、LSI の性能向上、低消費電力化を進めていくためには、オンチップメモリの高集積化、低電力化が不可欠である。

オンチップメモリの中でも、特に重要な混載 DRAM および SRAM の高性能化のための課題解決のための研究を行った。メモリの低消費電力化のためには、動作電圧の低減が必要だが、動作電圧を下げることによってメモリの動作速度は大きく低下してしまう。また、高密度のメモリを高い歩留まりで生産するためには、複雑なテストパターンを使ったメモリセルのスクリーニングと高度なアルゴリズムにもとづいた冗長回路による不良ビットの救済を行う必要があるが、これを実行するためのテスト工程の複雑化、テストコストの増大が大きな課題となる。

本論文は、オンチップメモリの高性能化を、メモリ集積度、消費電力、動作速度、テスト容易性の観点から総合的に俯瞰し、種々のメモリの使用場面を想定して、課題解決に向けた手法の研究に取り組んだ。

オンチップ SRAM の低消費電力化は、従来、メモリセルや周辺回路のアシスト回路技術を用いることによって SRAM の動作下限電力を下げるという手法がとられていた。本研究では、このような手法による低電力化は、微細化によるトランジスタばらつきに起因するビット線振幅のばらつきによって、限界に達することを示し、これを打破する技術として、ビット線振幅のばらつきを抑制する電荷制御型 SRAM 技術の研究を行った。この技術を使うことによって、ビット線振幅のばらつき抑制による消費電力低減のみならず、非選択ビット線の充放電電力も削減可能なことを示した。

次に、低消費電力化を進めるために動作電力を低下させた時のオンチップ SRAM の動作速度の低下の問題にたいして考察をすすめた。低電圧動作に適した従来の 8T 型メモリセルでは、シングルエンド型ビット線構造のため速度低下が著しいという課題があったが、相補 8T 型メモリセルを採用することによって速度低下の問題を克服するとともに、非選択メモリセルを介したリーク電流が大きいというという相補 8T 型メモリセルの課題を解決するセンスアンプの方式を考案した。その結果、0.5V の動作電圧で 100MHz 以上の周波数で動作する SRAM を試作することに成功した。

上記の結果を踏まえて、オンチップメモリの集積度をさらに向上させることを検討した。メモリの集積度を向上させるためには、メモリセル面積が SRAM の数分の一である DRAM セルの使用することが有利であるが、ランダムアクセスの速度向上が難しいという課題を抱えている。そこで、センスアンプに読み出されたデータをデータラッチに蓄えることによって、メモリマクロの I/O から読み出し、書き込み動作を行いながら、次のアドレスのメモリセルへのアクセスを可能になる回路方式を考案した。本回路方式の採用により、100MHz の周波数でランダムアクセス可能な DRAM マクロの試作に成功した。

LSI に搭載したオンチップ DRAM は歩留まり確保のために、冗長回路による救済が必要になるが、そのためには様々なテストパターンによるテストを行い、不良ビットを特定して、最も効率の高い救済方法を探索するため、長いテスト時間が必要になる。また、多くの製品チップで、個別にテストプログラムを作成してはテストのための製品開発コストが上昇してしまう。これらの課題を解決するために、どのような LSI でも DRAM マクロのための評価環境を統一して、簡易にテスト環境を構築できる Universal Test Interface を考案した。このテストのためのインターフェースを用いることによって、様々なチップに搭載された DRAM マクロのテスト環境を統一することができ、ASIC のような非常に短い開発期間が LSI でも DRAM マクロを搭載することを可能にした。

オンチップメモリの高集積化をさらに進めるためにはメモリセルの面積の一層の縮小が必要である。DRAM セルの面積を縮小するには 3 次元トランジスタの導入が有効である。3 次元トランジスタの中でも、DRAM セル面積の低減に有効なゲート電極がチャンネル領域を全面的に囲むタイプのトランジスタの性能について、解析を行った。解析は円筒形座標を導入することによって、解析次元を落として 3 次元トランジスタの特性を実行することを可能にした。その結果、解析したトランジスタが微細化によって、S-Factor が向上し DRAM のデータ保持性能の向上や、消費電力の低減に有効であること示す結果を得ることができた。

以上、メモリ集積度、消費電力、動作速度、テスト容易性の観点から総合的に LSI のオンチップメモリの性能向上を探索した本研究から得られた知見は、システム LSI 上のオンチップメモリについては、LSI の性能・機能の向上に係わる開発に今後貢献するものである。