

審査の結果の要旨

氏名 宮野 信治

本論文は「混載 DRAM および SRAM の高性能化に関する研究」と題し、システム LSI のキーコンポーネントであり、将来にわたって搭載容量の増大と消費電力の増加が見込まれているオンチップメモリの大容量化、低消費電力化について論ずるとともに、オンチップメモリ全般の性能向上を実現する手法を提示するもので、全 8 章で構成されている。

第 1 章は、序論であり、オンチップメモリの高性能化技術の課題について述べるとともに、本研究の背景を述べ、目的を明確化している。

第 2 章は「従来の SRAM の低消費電力化技術と解決すべき課題」と題し、従来のメモリセルトポロジーやアシスト回路技術による低消費電力化技術の動作原理、課題等について考察し、関連研究について論じている。

第 3 章は「電荷制御技術による SRAM の低電力化」と題し、SRAM の低電圧動作におけるトランジスタのランダムばらつきによる SRAM の低消費電力化の限界を明らかにするとともに、ビット線に保持される電荷に着目し、新規な手法による SRAM の低消費電力化技術を提案している。電荷再分配によりビット線振幅ばらつきを抑制するとともに、非選択ビット線電荷の有効利用を図ることにより、従来技術に比べて 60% の低消費電力化を実現している。本手法を 40nm テクノロジーの SRAM に実装し、本手法の有効性の確認を行っている。

第 4 章は「8T メモリセルの相補化による高速化」と題し、SRAM の低消費電力化における大きな課題である、動作電圧の低下による速度低下を回避するための新しいメモリセル（相補型 8T メモリセル）について考察を行っている。このメモリセルの課題である、非選択セルを経由したリーク電流を削減するセンスアンプ回路形式を考案し、リーク電流を 98% 低減でき、また、本メモリセルを用いた SRAM を 65nm テクノロジーで試作し、0.5V で 100MHz の動作速度を実証している。

第 5 章は「DRAM 混載技術による高密度化と高速化」と題し、DRAM セルを用いたオンチップメモリの高密度化とメモリバンド幅の向上について考察を行っている。DRAM セルを用いることによるランダムアクセス性能の劣化を回避する回路技術を提案し、8Mbit のメモリ容量で 1.6Gbyte/sec のメモリバンド幅をもつ DRAM マクロを試作し、本提案の有効性を実証している。

第 6 章は「大容量混載メモリのテスト容易化技術」と題し、DRAM 混載技術を ASIC に適用する際のテスト工程の課題について論じている。少品種大量製品の汎用 DRAM と多品種少量生産である ASIC のテスト工程に対する要求の違いを考察し、そのギャップを埋めるためのテスト容易化回路技術の提案、有効性の実証を行っている。

第 7 章は「3次元トランジスタによるメモリの高性能化」と題し、3次元トランジスタを使ったメモリの大容量化と低消費電力化について論じている。円筒形型の 3次元トランジスタのサブスレシールド特性の向上についてシミュレーションを行い、メモリの低電力化に対する有効性を示している。

第 8 章は「結論」であり、本研究の成果を要約し結論を述べている。

以上のように本論文は、混載 DRAM および SRAM の高性能化について、メモリセル技術、周辺回路技術、テスト容易化技術、デバイス技術の各方面から新手法を提案するとともに、設計、試作、測定を通じて提案手法の有効性を実証したもので、電子工学上寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。