

審査の結果の要旨

論文提出者氏名 高橋 亮

本論文は、「極低電圧 CMOS デジタル回路における遅延ばらつきの特性とモデリングに関する研究」(英訳: A Study on Characterization and Modeling of Delay Variations in Extremely Low Voltage CMOS Digital Circuits) と題し、超低消費電力集積回路の実用化に向けて対策が必要となる極低電圧下での遅延ばらつきの特性を考察するとともに、極低電圧下においてクロック・ツリーをバッファレスに切り替えることで、より低消費電力かつ高速な動作を実現する手法を提示するもので、全4章で構成されている。

第1章は序論であり、今後のより高い集積度を持つ集積システム実現に向けての低消費電力化技術の課題について述べるとともに、本研究の背景を述べ、目的を明確化している。

第2章は、「極低電圧デジタル回路の遅延時間ばらつきの特性とモデリング」と題し、電源電圧をしきい値電圧近傍もしくはそれ以下に下げたときに顕著に増大する遅延時間のばらつきが設計コストに多大な影響を及ぼすことを指摘し、この遅延時間のばらつき特性を直感的に理解するモデルを提案し、実測や回路シミュレーションによる裏付けを行っている。

第3章は、「広範囲電圧動的制御に適したクロック・ツリー切り替え方式」と題し、クロック・バッファを有するクロック・ツリーと有しないクロック・ツリーの2系統を用意し、通常電圧動作時には本来の速度性能を損なわないまま、極低電圧動作時にはバッファレス・クロック・ツリーに切り替えることでクロック・スキューが低減されるという実測結果を示している。また、クロック・スキュー低減により見込まれる消費電力・速度・回路面積の性能向上について量的な考察を行っている。

第4章は結論であり、本研究の成果を要約し結論を述べている。

以上のように本論文は、極低電圧 CMOS デジタル回路設計上重要である遅延ばらつきの温度特性および電圧特性について、実測を通じてそのモデリングを行うとともに、極低電圧下での遅延ばらつき対策としてクロック・ツリー切り替え方式を提案し、その有効性を設計・試作・測定を通じて実証したものであって、電子工学上寄与するところが少なくない。

よって本論文は博士(工学)の学位請求論文として合格と認められる。