

本論文は、Study on Waveguide InGaAs Photodetectors on III-V CMOS Photonics Platform (和訳：III-V CMOS フォトニクス・プラットフォーム上導波路型 InGaAs 受光器に関する研究) と題し、III-V 族半導体層を Si 基板上に貼り合せた III-V on Insulator (III-V-OI) 基板を用いて高性能光集積回路の実現が期待される III-V CMOS フォトニクス・プラットフォーム上に、導波路型 InGaAs 受光器を集積した素子を提案し、暗電流低減に向けた形成技術を開発すると共に、光ファイバ入力となるグレーティングカップラとの集積化技術を開発するなど、III-V CMOS フォトニクス・プラットフォームを用いた導波路型 InGaAs 受光素子の特性について実験的に調べた研究成果を纏めたものであり、全文 8 章よりなり、英文で書かれている。

第 1 章は序論であり、本研究の背景について議論すると共に本論文の目的と構成について述べている。

第 2 章は、「Electrical design and analysis for metal-semiconductor-metal photodetector electrode」と題し、p-InGaAs と電極間のショットキー特性について議論しており、MSM 電極構造においては Ni が電極材料として適していることが述べられている。

第 3 章は、「1st demonstration for waveguide InGaAs photodetectors on III-V CMOS photonics platform」と題して、InP 細線導波路と集積した InGaAs 受光器の特性解析結果と共に、実際に III-V-OI 基板上に導波路型 InGaAs MSM 受光器を作製した結果について述べられている。

第 4 章は、「Dark current analysis and reduction for Ni/ InGaAs MSM PDs on III-V CMOS photonics platform」と題して、作製した InGaAs 受光器の暗電流成分の解析について議論されており、暗電流は表面リーク電流によって占められていることを実験的に明らかにしている。InAlAs キャップ層を設けることで、表面リーク電流が約 1/1000 に低減可能であることを明らかにしている。

第 5 章では、「Low-dark-current waveguide MSM InGaAs PD demonstrations on III-V CMOS photonics platform」と題して、InAlAs キャップ層を設けた導波路型 InGaAs MSM 受光器の諸特性が議論されている。表面リーク電流を大幅に低減した結果、1 V バイアス時に 7 nA 程度の暗電流動作を実証したことが述べられている。

第 6 章では、「Grating coupler designs, fabrications and tests on III-V CMOS photonics platform」と題して、光ファイバ入力となるグレーティングカップラの形成技術について述べられている。電子線描画条件を最適化することで、6 dB 程度の結合損失が実現できたことが述べられている。

第 7 章では、「Waveguide MSM InGaAs PD integrated with grating coupler on III-V CMOS photonics platform」と題して、導波路型 InGaAs MSM 受光器とグレーティングカップラの集積化技術について述べられている。グレーティングカップラとの集積化を実現すると共に、2 V バイアス時 2 nA という極めて低い暗電流を実現したことが述べられている。

第 8 章では、結論と今後の展望が述べられている。

以上要するに本論文は、III-V 族半導体層を Si 基板上に貼り合せた基板を用いて超小型光素子を集積可能な III-V CMOS フォトニクス・プラットフォーム上において、InP 細線導波路と集積化した導波路型 InGaAs MSM 受光器の素子構造を提案・実証すると共に、暗電流の物理的起源を明確にすることで極めて低い暗電流動作を実現し、かつグレーティングカップラとの集積化も実現したものであり、電子工学上、寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。