

本論文は、Study on Active Optical Devices using Lateral p-i-n Junctions on III-V CMOS Photonics Platform（和訳：横方向 p-i-n 接合を用いた III-V CMOS フォトニクス・プラットフォーム上アクティブ光デバイスに関する研究）と題し、III-V 族半導体層を Si 基板上に貼り合せた III-V on Insulator (III-V-OI) 基板を用いて高性能光集積回路の実現が期待される III-V CMOS フォトニクス・プラットフォーム上に、横方向 PIN 接合を用いた能動光素子の集積化手法を提案し、低抵抗接合形成技術を確立すると共に、それを用いた InGaAsP 細線導波路光スイッチを実証するなど、III-V CMOS フォトニクス・プラットフォーム上における能動光素子について解析的・実験的に調べた研究成果を纏めたものであり、全文 9 章よりなり、英文で書かれている。

第 1 章は序論であり、本研究の背景について議論すると共に本論文の目的と構成について述べている。

第 2 章は、「Carrier-induced refractive index change in InGaAsP」と題し、InGaAsP 中におけるキャリア誘起屈折率変化量について解析した結果が述べられている。Si と比較して、InGaAsP は屈折率変化が 3 倍から 6 倍程度大きくなることが述べられている。

第 3 章は、「Propagation loss reduction of the InGaAsP photonic-wire waveguides」と題して、InGaAsP 細線導波路の導波損失低減手法について述べられている。層構造やエッチング手法を検討することで、導波損失を 1.2 dB/mm まで低減したことが述べられている。

第 4 章は、「Thermal tolerance of the III-V-OI wafers」と題して、貼り合せ III-V-OI 基板の熱耐性について調べた結果が述べられている。加熱による劣化が絶縁膜と半導体の界面特性の劣化であることを明らかにし、SiO<sub>2</sub> 界面層の導入などにより 600 度の加熱においても PL 強度の低下が 4% に抑制可能であることが述べられている。

第 5 章では、「Lateral pin junction formation on the III-V-OI wafers」と題して、貼り合せ III-V-OI 基板上に横方向 PIN 接合を形成する手法が述べられている。Si イオン注入と SOG からの Zn 拡散を併用することで、低抵抗 PIN 接合が形成可能であることが述べられている。

第 6 章では、「Compact and low-crosstalk 2×2 optical switches」と題して、横方向 PIN 接合を用いて InGaAsP 細線導波路光スイッチを作製し、特性を評価した結果が述べられている。Si と比較して低クロストークで 2×2 スイッチング動作を実現したことが述べられている。

第 7 章では、「Access resistance reduction of the pin diodes」と題して、低抵抗横方向 PIN 接合形成手法について述べられている。電子線描画を用いて接合間の距離を 1.4 μm に縮めることで 1.0 Ωcm まで接合抵抗を低減可能であることが述べられている。

第 8 章では、「Electro-optic effects and carrier depletion effects for lateral pin junction InGaAsP photonic-wire modulators」と題して、III-V-OI 基板上で横方向接合を用いた場合の電界効果について解析すると共に、キャリア空乏型光変調器の特性を数値計算で解析した結果が述べられている。

第 9 章では、結論と今後の展望が述べられている。

以上要するに本論文は、III-V 族半導体層を Si 基板上に貼り合せた基板を用いて超小型光素子を集積可能な III-V CMOS フォトニクス・プラットフォーム上において、横方向 PIN 接合を用いた能動光素子の形成手法を提案し、貼り合せ基板の熱耐性向上手法、低抵抗横方向 PIN 接合形成手法を実証すると共に、InGaAsP 細線導波路を用いた低クロストーク 2×2 光スイッチを実証したものであり、電子工学上、寄与するところが少なくない。

よって本論文は博士（工学）の学位請求論文として合格と認められる。