

# 審査の結果の要旨

論文提出者氏名 倉田 成己

本論文は、高効率なメモリ順序違反検出機構に関する研究と題し、和文で 8 章から成る。

プロセッサのたゆまない高性能化は、情報社会の発展の礎となっている。しかし最近では、高性能な out-of-order スーパースカラ・コアにおいて、ロード/ストア・キュー (LSQ) と呼ばれる部分の回路面積と消費エネルギーの増加が、更なる高性能化の足枷の一つとなりつつある。ロード/ストア命令の投機実行に伴うメモリ順序違反検出のためには、実行時にターゲット・アドレスを検索する必要があり、従来 LSQ は CAM を用いて構成されてきた。しかし CAM は、その構造上、回路面積と消費エネルギーが極めて大きい。そこで、CAM ではなく、RAM によって構成されたフィルタを用いて順序違反検出を行う手法がいくつか提案されている。本論文は、このフィルタとしてブルーム・フィルタを採用することを提案するものである。本提案手法では、ブルーム・フィルタが持つ低い偽陽性率を活用し、更にいくつかの新規提案技術を組み合わせることで、IPC (Instructions Per Cycle: クロック・サイクルあたりの実行命令数) を維持しながら、LSQ の面積と消費エネルギーを大幅に削減することができる。

第 1 章「序論」は、研究の背景と目的を述べるとともに、本論文の構成についてまとめたものである。

第 2 章「ブルーム・フィルタ」は、背景知識としてブルーム・フィルタ (BF) について解説している。まず、その基本を説明し、ハッシュ関数の数と陽性率との関係の解析解によって複数のハッシュ関数を用いることが BF において本質的に重要であることを示す。続いて、BF を発展させたパラレル BF とカウンティング BF を紹介する。提案手法で実際に用いるパラレル・カウンティング BF は、パラレル BF とカウンティング BF を組み合わせたものである。

第 3 章「順序違反/フォワーディング・ミス検出とロード/ストア・キュー」は、やはり背景知識として、本論文提案の前提となる、ロード/ストア命令の投機実行とそれにとまなうメモリ・アクセス順序違反/フォワーディング・ミス検出、そして、検出における LSQ の役割について説明する。

第 4 章「フィルタを用いた検出手法」では、CAM ではなく、フィルタを用いて順序違反/フォワーディング・ミス検出を行う手法について 1. フィルタの基本構成、および、2. フィルタへの基本的なアクセス手順 の 2 つの観点から体系的に論ずる。まず、これら 2 点に基づいて各手法を分類す

る。これら 2 点に関しては、様々な組み合わせが考えられ、従来これらの手法同士を比較することは難しかった。この分類によって、フィルタを用いる手法全般を体系的に説明することが可能となった。この章では、この分類に基づいて、提案手法を含む代表的な手法をこれら 2 つの観点から具体的に説明し、同時にこれら 2 つの観点における既存手法の問題点を明らかにする。

第 5 章「提案手法の詳細」は、前章で述べた 2 つの観点以外の、提案手法の新規提案技術群について詳述する。フィルタとして BF を採用するには、分岐予測ミスなどによってフラッシュされたロード命令のために生じるフィルタの不整合の問題を解決する必要がある。本論文では、フラッシュされたロード命令を即時消去せずに残す技術について提案する。また、パラレル・カウンティング BF の面積とエネルギーを更に削減するカウンタ機能付き機能メモリの構成、さらに、パラレル・カウンティング BF の採用に起因する IPC ペナルティの削減技術についても提案する。

第 6 章「性能評価」は、本論文の提案手法の IPC、回路面積・消費エネルギーについて、シミュレータとツールを用いて行った評価の結果を示す。SPEC CPU 2006 ベンチマークの全 29 プログラムを実行した結果、CAM を用いた手法と比較して、平均 98.6%の IPC を維持しながら、LSQ の回路面積を 20.3%、消費エネルギーを 24.4%にまで削減できることが示される。

第 7 章「関連研究」は、LSQ 自体の構成やアクセスを工夫し LSQ を縮小する手法、本論文の基礎となるロード/ストア命令の投機実行に関する手法、LSQ を用いない順序違反/フォワーディング・ミス検出の手法であるロード再実行を説明し、フィルタを用いた検出手法へ至る研究の系譜を概説する。また、第 4 章、第 7 章でとりあげていない、フィルタを用いた検出手法を紹介する。

第 8 章「結論」は、結論を述べ、今後の展望を示して、本論文を結んでいる。

以上、これを要するに本論文は、高性能 out-of-order プロセッサ・コアの面積効率・エネルギー効率を大幅に向上させるためのメモリ順序違反検出機構として、新規性に富む優れた方式提案を行い、緻密な評価によってその有用性を検証しており、電子情報学の発展に寄与するところが少なくない。

よって本論文は博士(情報理工学)の学位請求論文として合格と認められる。