

電子情報

7

博士論文

薄膜 SOI MOSFET の
デバイスパラメータ最適設計のための
モデリングと抽出方法に関する研究

指導教官: 浅田邦博 教授

伊藤 浩

東京大学大学院工学系研究科

電子情報工学専攻

1998 年 12 月 18 日

目次

1 序 論	1
1.1 研究の背景	1
1.2 SOI MOSFET の研究動向	3
1.3 本論文の目的と構成	5
参考文献	7
2 SOI CMOS 回路を用いた実効チャネル長抽出手法	11
2.1 はじめに	11
2.2 実効チャネル長抽出モデル	12
2.2.1 SOI MOSFET の容量モデル	12
2.2.2 SOI CMOS 回路の容量モデル	14
2.2.3 動作電流モデル	15
2.3 測定結果	16
2.3.1 リングオシレータの測定結果	16
2.3.2 負荷容量の測定結果	17
2.4 検討	23
2.4.1 実効チャネル長の検討	23
2.4.2 真性ゲート容量の電圧依存性の検討	24
2.5 まとめ	27
参考文献	28

3	SOI CMOS 回路を用いた閾値電圧モデリング	29
3.1	はじめに	29
3.2	閾値電圧モデリング	30
3.2.1	SOI MOSFET の等価回路モデル	30
3.2.2	閾値電圧シフトモデル	32
3.3	高周波測定手法	34
3.4	結果と検討	37
3.4.1	CMOS インバータ列の測定結果	37
3.4.2	閾値変動の結果と検討	39
3.4.3	ゲート長依存性	43
3.5	まとめ	46
	参考文献	48
4	サブスレッショルド係数を用いた SOI MOSFET の構造パラメータ抽出方法	50
4.1	はじめに	50
4.2	評価方法と 1 次元モデル	51
4.2.1	評価方法	51
4.2.2	SOI MOSFET の 1 次元モデル	53
4.2.3	界面トラップ準位	55
4.2.4	ドレイン電流モデル	56
4.3	SOI MOSFET のサブスレッショルド特性	58
4.3.1	ドレイン電流電圧特性	58
4.3.2	サブスレッショルド係数のバックゲート特性	61
4.4	結果と検討	63
4.4.1	フィッティング結果	63
4.4.2	界面パラメータの影響	68
4.4.3	SOI デバイス設計指針の検討	74

4.5	まとめ	77
参考文献		79
5	透過型電子顕微鏡による断面観察	81
5.1	はじめに	81
5.2	TEM 試料の作成	81
5.3	観測結果と検討	84
5.3.1	膜厚測定の結果	84
5.3.2	評価パラメータとの比較	85
5.4	まとめ	89
参考文献		90
6	他の構造評価方法との比較	91
6.1	はじめに	91
6.2	閾値電圧を用いた評価方法	91
6.2.1	評価結果と考察	92
6.3	比較検討	93
6.3.1	サブスレッショルド係数のバックゲート電圧特性の比較	93
6.3.2	ドレイン電流のバックゲート電圧特性の比較	94
6.3.3	閾値電圧のバックゲート電圧特性の比較	95
6.4	まとめ	98
参考文献		99
7	フィッティング誤差解析	100
7.1	はじめに	100
7.2	誤差の解析方法	100
7.3	解析結果	104
7.4	まとめ	108

目次	IV
8 結論	109
本研究に関する発表	112
謝辞	116

図一覧

1.1	動作周波数及び設計ルールの推移	2
1.2	主な SOI 基板及び SOI デバイスの技術開発の推移	3
2.1	SOI MOSFET のデバイス容量成分. ゲート長依存性から真性ゲート 容量と寄生容量とに分離される.	13
2.2	SOI CMOS 回路における容量成分	14
2.3	SOI CMOS リングオシレータのテスト回路図	17
2.4	SOI CMOS インバータの入力電流特性	18
2.5	リングオシレータの動作電流の測定結果	19
2.6	リングオシレータの遅延時間の測定結果	20
2.7	負荷容量測定結果 (貫通電流の考慮なし)	21
2.8	負荷容量測定結果 (貫通電流の考慮あり)	22
2.9	$g_{m,max}$ の逆数を用いた実効チャネル長の測定結果	23
2.10	真性ゲート容量 C_{gb0} の電源電圧依存性	25
2.11	動作中の SOI 層内キャリア分布の概念図	26
3.1	SOI MOSFET の正孔電流による等価回路. 図中の I_{gen} は基板電流、 I_{rec} は再結合電流、'C' はチャネル領域を示す.	31
3.2	サブスレッショルド特性におけるしきい値電圧シフトの概念図	32
3.3	サブスレッショルド特性から閾値電圧シフト量 ΔV_{th} の見積もり方の 説明図	33
3.4	サブスレッショルド特性の高周波測定の理想的な測定回路	35

3.5	CMOS インバータ列の測定回路図 (a) と測定概念図 (b)	36
3.6	51 段 SOI CMOS インバータ列の測定回路の顕微鏡写真	38
3.7	CMOS インバータ列回路の周波数 - 動作電流特性 (高周波入力時) . . .	39
3.8	CMOS インバータ列回路の周波数 - 動作電流特性 (低周波入力時) . . .	40
3.9	高電圧入力時のリーク電流 I_{DC} と I_{AC} の測定結果	41
3.10	低電圧入力時のリーク電流 I_{DC} と I_{AC} の測定結果	42
3.11	I_{AC}/I_{DC} の電源電圧依存性. サブスレッショルド係数 S の値は 100 mV/dec である.	44
3.12	閾値電圧シフトの平均電界特性. 平均電界は、電源電圧をチャネル長 で割った値.	45
3.13	閾値電圧変動を考慮した Roll-off 特性	46
4.1	構造パラメータ評価の流れ図	52
4.2	SOI MOSFET の 1 次元モデルとモデルパラメータ	53
4.3	界面トラップ準位と界面密度の概念図	55
4.4	SOI MOSFET の I_d-V_{gf} 特性の測定結果	59
4.5	SOI MOSFET の $S-V_{gb}$ 特性の測定結果と計算結果	60
4.6	1 次元シミュレータによる SOI 層及び基板内の電子密度の計算結果 . . .	62
4.7	SOI デバイスの容量等価回路	63
4.8	$S-V_{gb}$ 特性のフィッティング結果 (試料 A)	64
4.9	$S-V_{gb}$ 特性のフィッティング結果 (試料 B)	65
4.10	I_d-V_{gf} 特性の測定と計算結果 (試料 A)	66
4.11	I_d-V_{gf} 特性の測定と計算結果 (試料 B)	67
4.12	界面パラメータ (Q_{s2} , D_{it2}) 依存性の計算結果	70
4.13	界面パラメータ (Q_{s3} , D_{it3}) 依存性の計算結果	71
4.14	界面密度及び表面電位の界面 2 パラメータ依存性	72
4.15	界面密度及び表面電位の界面 3 パラメータ依存性	73
4.16	$S-V_{gb}$ 特性の T_{fox} 依存性	75
4.17	$S-V_{gb}$ 特性の T_{soi} 依存性	75

4.18 S - V_{gb} 特性の T_{box} 依存性	76
4.19 S - V_{gb} 特性の N_a 依存性	76
4.20 S - V_{gb} 特性の N_s 依存性	77
5.1 TEM 観測試料の作製手順の概要	83
5.2 ダイシング加工後の試料の写真	84
5.3 SOI 基板の断面 TEM 観察結果：試料 A	86
5.4 SOI 基板の断面 TEM 観察結果 (T_{box} 及び T_{soi} の揺らぎ観測)：試料 B	87
5.5 SOI 基板の断面 TEM 観察結果 (T_{box} の減少及び T_{soi} の増加の観測)： 試料 B	87
5.6 SOI 基板の断面 TEM 観察結果 (T_{box} の増加及び T_{soi} の減少の観測)： 試料 B	88
5.7 SOI 基板の断面 TEM 観察結果 (T_{fox} の観測)：試料 B	88
6.1 V_{th} - V_{gb} 特性のフィッティング結果 (試料 A)	93
6.2 S 係数のバックゲート特性の比較結果 (試料 A)	94
6.3 ドレイン電流のバックゲート特性の比較結果 (試料 A)	95
6.4 閾値電圧のバックゲート特性の比較結果 (試料 A)	96
6.5 閾値電圧のバックゲート特性の比較結果 (試料 B)	97
7.1 フィッティング誤差解析の説明図	102
7.2 (N_a, T_{fox}) と (N_a, T_{soi}) の誤差空間の等高線	105
7.3 (N_a, T_{box}) と (T_{fox}, T_{soi}) の誤差空間の等高線	106
7.4 (T_{fox}, T_{box}) と (T_{soi}, T_{box}) の誤差空間の等高線	106
7.5 (D_{it2}, D_{it3}) と (Q_{s2}, Q_{s3}) の誤差空間の等高線	107
7.6 (D_{it2}, D_{it2}) と (D_{it2}, Q_{s3}) の誤差空間の等高線	107
7.7 (D_{it3}, Q_{s2}) と (D_{it3}, Q_{s3}) の誤差空間の等高線	108

表一覧

2.1	実効チャネル長の評価結果	24
4.1	1次元モデルで用いる構造パラメータ	53
4.2	Lombardi の移動度モデル定数	57
4.3	測定試料の仕様	58
4.4	SOI MOSFET の構造パラメータ評価結果	68
4.5	完全空乏型 SOI MOSFET のサブスレッショルド係数最適化のための 設計指針	74
5.1	TEM 観察による測定結果 (試料 A)	85
5.2	TEM 観察による測定結果 (試料 B)	85
5.3	SOI 基板の膜厚測定と評価結果	89
6.1	V_{th} - V_{gb} 特性及び、 S - V_{gb} 特性を用いた評価と測定結果	92
7.1	フィッティング誤差の評価結果	104

第 1 章

序 論

1.1 研究の背景

近年の VLSI 技術は目覚しく、その開発速度は衰えを見せていない。VLSI の集積度はスケーリング則 [1] に従って、4 倍 / 3 年という開発速度で進められ、1 チップに数百万トランジスタが集積されるまでになった。VLSI の技術は、デバイス技術、プロセス技術、回路技術、CAD 技術等、研究分野は多岐に渡り、多くの研究開発によって支えられている。

図 1.1 に、VLSI の動作周波数及び設計ルール of 技術推移を示す。VLSI の性能向上は、今後もその衰えは見せない傾向である。しかし、素子の微細化および動作周波数の増加によって、消費電力および微細化の問題が生じてきており、そのため、回路技術、デバイス技術、配線技術等の各方面で盛んに検討がなされている。特に、デバイス性能の面では、素子の微細化によって素子性能は向上してきたが、設計ルールがサブミクロンの領域になると、短チャネル効果および、寄生容量の増加等の微細形状効果の問題で、性能向上が望めなくなってきた。しかし、技術の進歩によって、ドレイン / ソースの浅い接合技術や、RTA 等の新しいプロセス技術の開発によって、 $0.1\mu\text{m}$ 以下のデバイス [2],[3] が試作され、動作が確認されるに至っている。しかし、これらは研究段階であり、VLSI に応用するには多くの問題を克服しなければならないのが現状である。また、今後の技術推移を見て分かるように、現

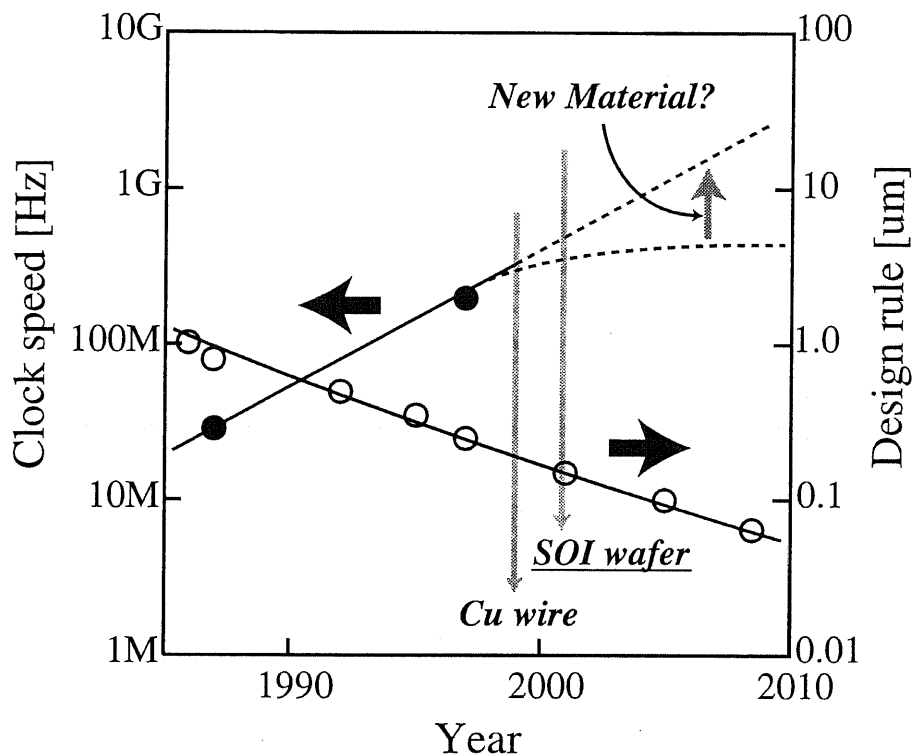


図 1.1: 動作周波数及び設計ルールの推移

在用いられている通常の Si 基板を用いた LSI 技術では、デバイス性能だけでなく、回路全体の性能向上が限界となってきている。

そこで、新しいデバイスとして、短チャネル効果の抑制、寄生容量の削減、完全素子分離および電流利得の向上等の優れた特徴を持ち、微細化の問題をクリアすることができる、薄膜 SOI (Silicon- On -Insulator) 基板を用いた MOSFET が注目されることになった。SOI デバイスの研究は、基板の品質向上に伴い急激に進歩し、今ではバルクデバイスに変わる有望なデバイスとして、その実用化へ向け、技術開発が進められている。しかし、浮遊基板効果と呼ばれる SOI デバイスに特有な問題があり、実用化への妨げとなっている。このため、この問題を解決すべく新たな研究開発が求められ、活発に進められている。このように、SOI デバイスの応用に

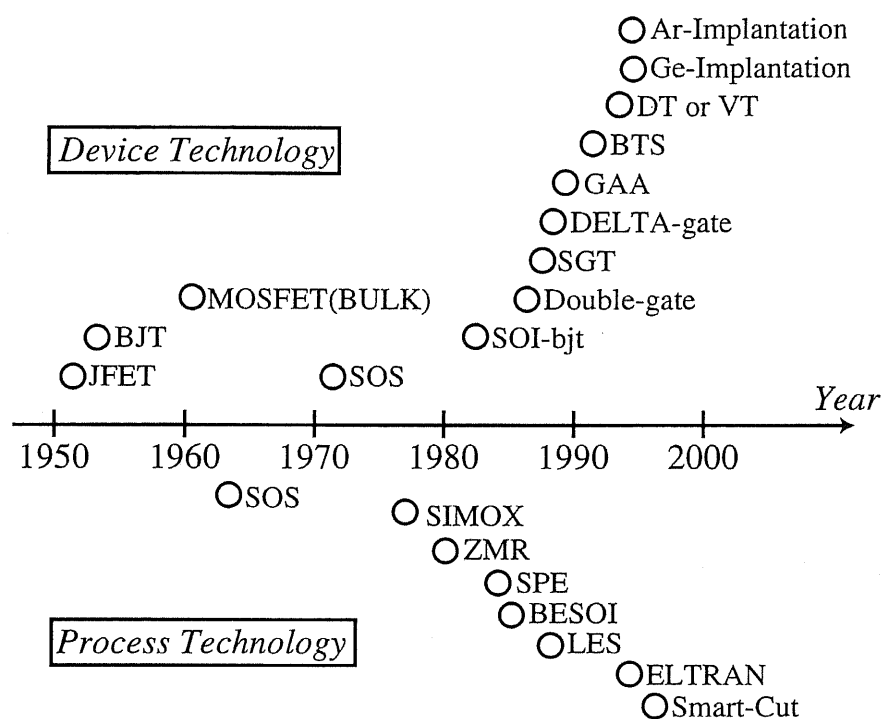


図 1.2: 主な SOI 基板及び SOI デバイスの技術開発の推移

は、幾つかの問題を抱えているのが現状であるが、今後の VLSI 性能向上のために、優れた特性を持つことから、必要となる技術であることは確かである。

1.2 SOI MOSFET の研究動向

図 1.2 に、SOI 基板及び SOI デバイスの技術の流れを示す。SOI 基板の歴史は古く、SOS (Silicon On Sapphire) 基板の研究 [16] が 1960 年代に始められ、SOI デバイスの試作および、動作の基本的な特性が研究された [9]。しかし、SOS 基板は格子定数の異なる 2 種類の結晶を積層化しているため、SOI 層の結晶性および界面の特性は、基板シリコンの結晶性やその熱酸化膜との界面には及ばなかったため、十分なデバイス特性が得られず、応用が検討されるには及ばなかった。

しかし、70 年代後半に Izumi らによって SIMOX (Separation by IMplanted OXYgen) 技術が開発され、LSI への応用性が示され注目を集めるようになった [17]。さらに、ZMR (Zone Melting Recrystallization) 法 [22]、SPE (Solid Phase Epitaxy) 法 [18]、BE (Bonded Etched back) 法 [20], [21] 等の新しい技術が開発され、以前よりも高品質な SOI 基板を得ることができるようになった。しかし、80 年代前半の SOI 基板技術では不十分であったため、実用化には至らず、研究レベルで行なわれていた。その後、80 年代後半に、SIMOX では、LES (Low Energy SIMOX) 法 [19] 等の開発により、従来問題であった膜質の問題を改善し、さらに、張り合わせ技術では、CMP (Chemical Mechanical Polish) 技術の向上によって、膜厚均一性の優れた SOI 基板が作製できるようになった。そのため、基板性能の向上とともに、ここ 10 年間に於いて急速に SOI デバイスの研究開発が進歩した。現在では、ELTRAN 法 [24], Smart-Cut 法 [23] 等の SIMOX 及び張り合わせを併用した新しい SOI プロセス技術が開発され、高品質で安価に作れるようになり、LSI 応用への生産段階にまでに向上した。

現在の SOI デバイスの性能は、基板性能の向上によって飛躍的に進歩し、その動作は、基本的にバルクよりも優れた特性を示す。しかし、基板浮遊効果 (Floating Body Effect) と呼ばれる SOI 特有の素子特性が劣化する問題を持つ。この基板浮遊効果の動作メカニズムは、数値計算シミュレーションによって解析され、基板中の正孔の蓄積によって引き起こされることが明らかにされている [25],[26]。そこで、基板中の正孔を引き抜くための研究が 90 年代に数多く報告された。その中でも、Ar 注入 [12] や、Ge 注入 [11] によって、基板中に格子欠陥や、バンド歪みを作る方法は、よく浮遊基板効果を抑制した特性を示し、性能は改善されたが、注入による素子劣化等の応用面で問題があり、実用化には至っていない。その他に、基板とゲート電極をコンタクトした DT (Dynamic Threshold) MOSFET [13] や、基板とソース電極をコンタクトした BTS (Body Tied Source) MOSFET [15] 等が発表された。これは素子性能の改善及び向上が達成でき、プロセスの面でも安定して行なえることから、低電圧用デバイスへの応用が検討されるまでになっている。また、デバイス技術が進む一方で、SOI MOSFET のモデルの研究においては、80 年代から、

主に J.P. Colinge や J.G. Fossum 等のグループによって精力的に研究され、SOI MOSFET の閾値電圧モデルやドレイン電流モデルの解析モデルが多く発表された [27]-[29]。現在においては、SPICE 等の回路シミュレータへ応用され、素子特性とよく合うにまで至っている [31]。しかし、SOI デバイスの技術開発は今尚進んでおり、それに合う新たなモデル開発も現在盛んに行なわれている。

また、90 年代初頭において、SOI 基板を用いた新しいデバイスの応用が研究され、DELTA ゲート型 MOSEFT[6]、GAA(Gate All Around) 型 MOSFET[5] 及び、ダブルゲート型 MOSFET[10] 等が発表された。これらはいずれも、バルクデバイスでの諸問題を解決できる優れた特性を示した。このように、SOI 技術の研究は多くの応用性を持ち、将来の LSI 技術への応用が期待されている。

1.3 本論文の目的と構成

本論文は、薄膜 SOI デバイスの応用のための評価技術の向上を目的とし、特に、SOI デバイスの最適設計のためのモデリング及びパラメータ評価方法について検討を行なう。

SOI デバイスのモデリングでは、SOI 特有の浮遊基板効果について検討し、その最適化を検討することが重要と考えた。したがって、DC 特性での浮遊基板効果は既に良く調べられているため、ここでは動特性から浮遊基板効果をモデリングする方法を検討する。また、これは実際の回路の応用する場合、動特性のモデルは重要となる。

一般的に評価技術では、容易で高精度に見積れることが重要であるが、昨今の LSI の技術開発速度は早く、迅速な評価方法が求められている。そのため、迅速に行なえる非破壊試験が有望であり、光学的又は電気的な特性を利用した手法を検討した方が良い。そこで、薄膜 SOI デバイスの構造パラメータを評価するために、デバイス特性に基づいた評価手法について研究を行なう。

本論文の構成を以下に示す。

- 第 2 章では、SOI CMOS 回路を用いた実効チャネル長の評価手法について

検討する。始めに、真性ゲート容量及び CMOS 回路評価モデルについて説明し、負荷容量特性の測定結果について検討を行なう。

- 第3章では、SOI CMOS 回路の動作電流のモデリングについて検討を行なう。まず、動作中に生じるしきい値電圧シフトのメカニズムについて考察し、そのモデリング手法について検討する。また、動作中のリーク電流特性に基づいて、しきい電圧を測定し、その電源電圧依存性から SOI MOSFET の最適化について検討を行う。
- 第4章では、SOI MOSFET のサブスレッショルド係数特性を用いた構造パラメータ評価方法を提案し、その評価方法について述べる。また、SOI MOSFET のサブスレッショルド係数を 1-D シミュレータを用いて解析し、その結果から S 係数を用いた構造評価手法について検討する。
- 第5章では、求めたパラメータを検証するために、透過型電子顕微鏡 (TEM) との比較検討を行なう。特に、SIMOX 基板の各層の膜厚揺らぎを測定し、評価結果と検討する。
- 第6章では、他の構造評価手法との比較し、本評価手法の有効性を調べる。ここで比較する評価手法としては、しきい値電圧を用いた評価手法を用い、同じ試料で評価を行なった場合について、測定及び計算結果とから検討する。
- 第7章では、本構造評価手法によるパラメータフィッティングの精度について検討する。まず、フィッティング精度の見積もり方について述べ、各評価パラメータの精度を評価する。
- 第8章では、本論文の結論を述べる。

参考文献

- [1] R.H. Dennard, F. H. Gasensslen, H. -N. Yu, et al, "Design of Ion Implanted MOSFET's with Very Small Physical Dimensions", in *IEEE Journal of Solid-State Circuits*, vol. SC-9, pp. 256-268, 1974.
- [2] Y.Mii, S. Rishton, Y. Taur, D. Kern, T. Lii, K. Jenkins, D. Quinlan, T. Brown Jr., D. Danner, F. Swell and M. Polcari, "High Performance $0.1\mu\text{m}$ nMOSFET's with 10ps/Stage Delay (85K) at 1.5V Power Supply", in *Symp. on VLSI Tech. Dig.*, pp. 91-94, 1993.
- [3] Y. Taur, S. Wind, Y. Mii, T. Lii, D. Moy, K. Jenkins, C. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. Rosenfield, M. Thomson and M. Polcari, "High Performance $0.1\mu\text{m}$ nMOSFET's with 1.5V Power Supply", in *IEDM Tech. Dig.*, pp. 127-130, 1993.
- [4] T. Matsuoka, S. Kakimoto, M. Nakano, H. Kotaki, S. Hayashida, K. Sugimoto, K. Adachi, S. Mosishita, K. Uda, Y. Sato, M. Yamanaka, T. Ogura, and J. Takagi, "Direct Tunneling N_2O Gate Oxynitrides for Low- Voltage Operation of Dual Gate CMOSFETs", in *IEDM Tech. Dig.*, pp. 851-854, 1995.
- [5] J.P. Colinge, M.H. Gao, A. Romano-Rodriguez, H. Maes, abd C. Claeys, "Silicon-On-insulator gate-all-around device," *IEDM Tech. Dig.*, p. 595, 1990.
- [6] D. Hisamoto, T. Kaga, Y. Kawamoto and E. Takeda, " A fully depleted leen-channel transistor (DELTA)," *IEDM Tech. Dig.*, p. 833, 1989.

-
- [7] H. Takato, K. Sunouchi, N. Okabe, A. Nitayama, H. Hieda, F. Horiguchi and F. Masuoka, "High performance CMOS surrounding gate transistor (SGT) for ultra high density LSIs," *IEDM Tech. Dig.*, p. 222, 1988.
 - [8] M. Rodder, "Silicon-on-insulator bipolar transistor," *IEEE Electron Device Lett.*, vol.4, p. 269, 1983.
 - [9] E.J. Boleky and J.E. Meyer, "High-performance low-power CMOS memories using silicon-on-sapphire technology," *IEEE J. Solid State Circuits*, vol. SC-7, pp. 135-145, 1972.
 - [10] F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini and T. Elewa, "Double-gate silicon-on-insulator transistor with volume inversion: a new device with greatly enhanced performance", *IEEE Electron Device Lett.*, vol.EDL-8, no. 9, p. 410, 1987.
 - [11] H.-F. Wei, J.E. Chung, N.M. Kalkhoran and F. Namavar, "Suppression of parasitic bipolar effects and off-state leakage in fully-depleted SOI n-MOSFET's using Ge-implantaion," *IEEE Trans. Electron Devices*, vol. 42, no. 12, pp. 2096-2102, 1995.
 - [12] T. Ohno, M. Takahashi, A. Ohtaka, Y. Sakakibara and T. Tsuchiya, "Suppression of the parasitic bipolar effect in ultra-thin-film nMOSFETs/SIMOX by Ar ion implantation into source/drain regions," *IEDM Tech. Dig.*, p.627, 1995.
 - [13] F. Assaderaghi, S Parke, P.K. Ko and C. Hu, "A novel silicon-on-insulator (SOI) MOSFET for ultra low voltage operation," *IEEE Symposium on Low Power Electronics*, p. 58, 1994.

-
- [14] F. Assaderaghi, D. Sinitsky, S.A. Parke, J. Bokor, P.K. Ko and C. Hu, " Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI," *IEEE Trans. Electron Devices*, vol. 44, no. 3, pp. 414-421, 1997.
- [15] L.R. Hite, H. Lu, T.W. Houston, D.S. Hurta and W.E. Bailey, " An SEU resistant 256K SOI SRAM," *IEEE Trans. Nucl. Sci.*, vol. 39, p. 2121, 1992.
- [16] H.M. Manasevit, et al., *J. Appl. Phys.*, no.35, p.1349, 1964.
- [17] K. Izumi, M. Doken and H. Ariyoshi, " CMOS device fabricated on buried SiO₂ layers formed by oxygen implantation into silicon," *Electron Lett.*, vol. 17, p. 593, 1978.
- [18] M. Moniwa et al., *Appl. Phys. Lett.*, no. 47, p. 113, 1985.
- [19] F. Namaver, E. Cortesi, B. Buchanan and P. Sioshansi, " Low energy SIMOX, " *IEEE SOS/SOI Technology Conf., Proc.*, p. 117, 1989.
- [20] J.B. Lasky, " Wafer bonding for silicon-on-insulator technologies," *Appl. Phys. Lett.*, vol. 48, p.78, 1986.
- [21] M. Shimbo, K. Furukawa, K. Fukuda and K. Tanzawa, " Silicon-to-silicon direct bonding method, " *J. Appl. Phys.*, vol. 60, p.2987, 1986.
- [22] E.W. Maby, M.W. Geis, Y.L. Lecoq, D.J. Silversmith, R.W. Mountain and D.A. Antoniadis, *IEEE Electron Device Lett.*, vol. EDL-2, p.241, 1981.
- [23] M. Bruel, B. Aspar and A.-J. Auberton-Herve, " Smart-Cut: A new silicon on insulator material technology based on hydrogen implantation and wafer bonding, footnote Smart Cut is a registered trademark of SOITEC, " *Jpn. J. Appl. Phys.*, vol. 36, pp. 1636-1641, 1997.
- [24] N. Sato, K. Sakaguchi, K. Yamagata, T. Atoji, Y. Fujiyama, J. Nakayama and T. Yonehara, " High quality epitaxial layer transfer (ELTRAN) by bond and

- etch-back of porous Si," *Proc. 1995 IEEE Int. SOI Conference*, pp. 176-177, 1995.
- [25] K. Kato, et. al., "Analysis of kink characteristics in silicon-on -insulator MOS-FET's using tow-carrier modeling," *IEEE Trans. Electron Devices*, vol. ED-32, pp. 458-462, 1985.
- [26] K. Kto and K. Taniguchi, "Numerical analysis of switching characteristics in SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 133-139, 1986.
- [27] S.S. Eaton andn B. Lalevic, "The effect of a floating substrate on the operation of silicon-on-sapphire transistor," *IEEE Trans. Electron Devices*, vol. 25, p. 907, 1978.
- [28] H.K. Lim and J.G. Fossum, "Threshold voltage of thin-film silicon-on- insula-tor (SOI) MOSFETs," *IEEE Trans. Electron Devices*, vol. 30, p. 1244, 1983.
- [29] F. Barestra, M. Benachir, J. Brini and G. Ghibaudo, " Analutical models of subthreshold swing and threshold voltage for thin- and ultra-thin-film SOI MOSFETs," *IEEE Trans. Electron Devices*, vol. 37, p.2303, 1990.
- [30] D. Suh and J.G. Fossum, "A physical charge-based model for non-fully de-pleted SOI MOSFET's and its use in assessing floating-body effects in SOI CMOS circuits," *IEEE Trans. Electron Devices*, vol. 42, p.728, 1995.
- [31] K. H. Fung, S. Tang, P. Su, D. Sinitsky, R. Tu, M. Chan, P.K. Ko and C. Hu, BSIM3SOI v1.3 Manual, University of California Berkeley, 1998.

第 2 章

SOI CMOS 回路を用いた実効チャネル長抽出手法

2.1 はじめに

SOI MOSFET はデバイス容量の削減が容易に行なえ、集積回路の高速化、低消費電力化に有効なデバイスである。そのため、高周波動作でのデバイスパラメータ抽出が、SOI デバイスを応用するためには重要である。特に、デバイス特性に強く関係するデバイスパラメータの一つとして、実効チャネル長が挙げられる。実際には、回路抽出などではチャネル長の設計値を用いて行なわれるが、デバイス本来の性能評価及びモデル抽出には、正確な値を必要とする。SOI デバイスの場合、バルクデバイスとは異り、基板浮遊効果によって基板電位が変動し、定常時と動作時とは実効的なチャネル長が異なる値となることが考えられる。しかし、デバイスサイズがサブミクロン領域になると、単体デバイスを用いて動特性を正確に測定することは、測定装置の精度的問題から困難である。

そこで本章では、SOI MOSFET の実効チャネル長を、CMOS インバータのリングオシレータを用いて抽出する手法について検討する。ゲート長の依存性を考慮した、デバイス容量及び、CMOS インバータ容量のモデル化を行なう。また、CMOS リングオシレータ回路の容量及び、動作電流モデルについても考察を行い、寄生容量と真性ゲート容量 C_{gb0} とを分離して抽出する方法について検討する。動作

電流のモデルには、動作電流成分の中の貫通電流成分を考慮し、より正確に評価が行えることを示す。さらに、負荷容量の電源電圧依存性の測定結果から、実効チャネル長 L_{eff} を測定し、一般的な実効チャネル長の測定手法との比較検討を行う。また、得られた L_{eff} を用い、真性ゲート容量 C_{gb0} の電源電圧依存性を調べ、 L_{eff} の検証も含めて検討する。

2.2 実効チャネル長抽出モデル

2.2.1 SOI MOSFET の容量モデル

図 2.1 に示す SOI MOSFET の容量モデルは、ゲート直下にシリコン層及び埋め込み酸化膜の容量が付いた等価回路として表すことができる。これは構造から考察した容量モデルであり、厳密には SOI MOSFET の動作が完全空乏型か部分空乏型かによって異なる。完全空乏型の場合では、SOI 層が空乏化し埋め込み層とのチャージカップリングによって、埋め込み層と強く影響するが、部分空乏型では SOI 層内に中性領域があるため影響はない。これらの影響については後節で検討し、ここでのモデルでは検討を省いて行うことにする。

まず、SOI MOSFET の容量を、ゲート長に依存する成分と、しない成分とに分けてモデル化を行なう。ここで、ゲート長に依存する容量成分を、真性ゲート容量 C_{gb0} と呼ぶことにする。 C_{gb0} は、ゲート電極直下に連なる容量成分の和であるから、以下の式で表される。

$$\frac{1}{C_{gb0}} = \frac{1}{C_{fox}} + \frac{1}{C_{soi}} + \frac{1}{C_{box}} + \frac{1}{C_d}. \quad (2.1)$$

ここで、 C_{fox} 、 C_{soi} 、 C_{box} 、 C_d はそれぞれ、ゲート酸化膜容量、SOI 層の容量、埋め込み酸化膜容量、基板部の空乏層容量である。これらの容量成分はすべて単位面積当たりの容量 ($F/\mu m^2$) を表すものとする。

また、ゲート長に依存しない容量成分としては、オーバーラップ容量 C_{ov} 、及びフリンジ容量 C_f の寄生容量と、ドレイン端及びソース端の拡散容量 C_{ds} がある。しかし、本研究に用いる SOI デバイスは、SOI 層が薄く、埋め込み酸化膜がゲート酸化

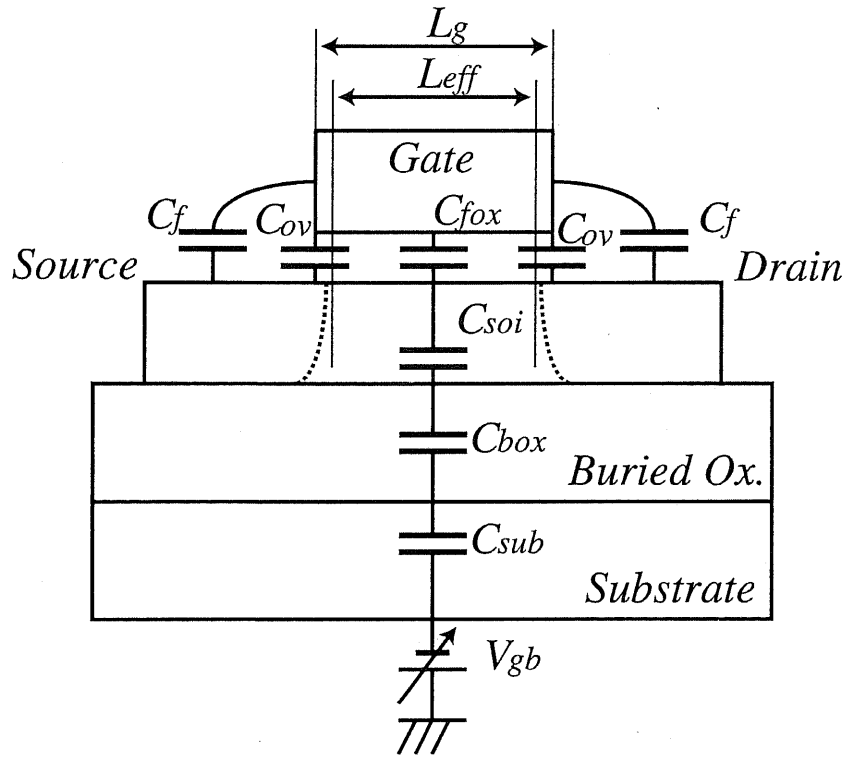


図 2.1: SOI MOSFET のデバイス容量成分. ゲート長依存性から真性ゲート容量と寄生容量とに分離される.

膜に比べ十分厚いことから、ここではドレイン端及びソース端の拡散容量は無視することができる。したがって、SOI MOSFET のゲート容量としては以下の式で表すことができる。

$$C_{gb} = C_{gb0} \cdot L_{eff} W_g + C_p \quad (2.2)$$

ここで、 L_{eff} 、 W_g 、 C_p はそれぞれ実効チャネル長、ゲート幅、及び寄生容量成分で、以下の関係式で得られる値である。

$$C_p = (2C_{ov}\Delta L + 2C_f)W_g \quad (2.3)$$

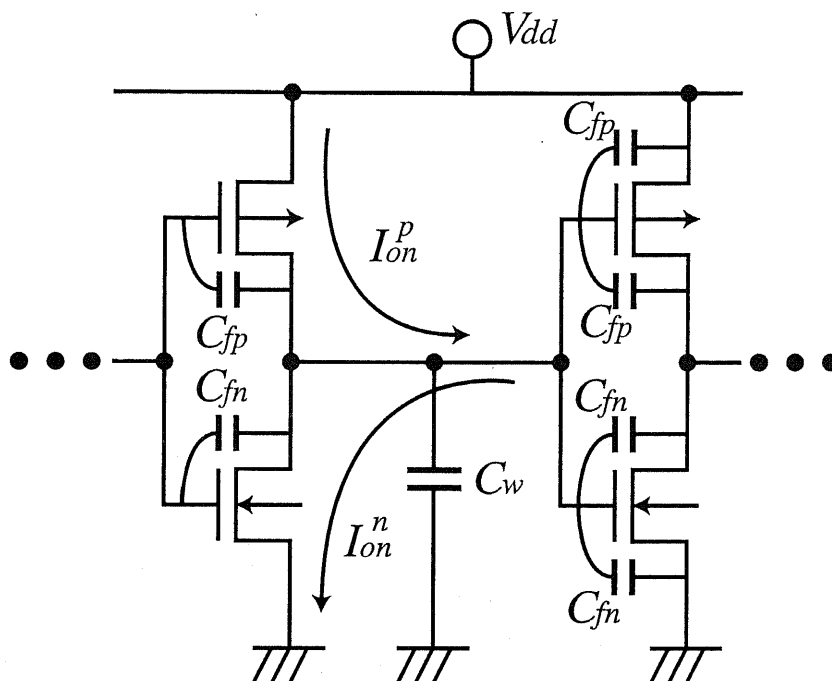


図 2.2: SOI CMOS 回路における容量成分

ここで、 ΔL はゲートオーバーラップ長で、同じプロセスで作られたデバイスに対して一定である。したがって、評価に用いるすべてのデバイスにおいて、一定の値である。また、ゲート電極から基板内部を通る電界による内部フリンジ容量成分は、外部フリンジ成分 C_f 同様にゲート長に依存しないことから、外部フリンジ容量成分に含めて示している。これらの関係式から、 C_p はゲート幅に依存し、チャネル長には依存しない容量成分として扱うことができる。

2.2.2 SOI CMOS 回路の容量モデル

図 2.2 に CMOS インバータ回路における容量成分を示す。CMOS 回路の負荷容量 C_L は、一般的に nMOS、pMOS のデバイス容量と配線等の寄生容量で構成される。このデバイスの容量モデルとしては、先の節で述べた真性ゲート容量 C_{gb0} モデル式を用いることができる。また、本モデルでは CMOS 回路の動作中におけるミ

ラー効果による影響から、前段の寄生容量成分を考慮し、CMOS回路の一段における負荷容量を以下の式で表す。

$$C_L = A \cdot L_{eff} + B \quad (2.4)$$

$$A = C_{gb0}^{(n)} \cdot W_n + C_{gb0}^{(p)} \cdot W_p \quad (2.5)$$

$$B = 3C_p + C_W \quad (2.6)$$

ここで、式中の添字 (n), (p) はそれぞれ、Nチャネル、Pチャネルを示し、 C_W は配線容量である。この C_W は、実際のレイアウトされた回路から抽出される面積に比例する値となるが、SOI 試料の埋め込み層は厚く、配線面積も微小であり容量の値は無視するぐらい小さいと考え、一定値として扱うことにする。式 2.5 の関係式から、負荷容量をチャネル長の関数として着目すると、チャネル長依存性を持つ容量成分の第 1 項と、依存しない寄生容量成分の第 2 項とに分けて考えることができる。したがって、CMOS 回路の負荷容量においても、SOI デバイス容量モデルと同様にチャネル長依存性を調べることによって、それぞれを分離して評価することができることを示している。

2.2.3 動作電流モデル

一般的に、CMOS インバータの動作電流成分には、 C_L の充放電に流れる電流成分 I_L 、nMOS 及び pMOS がスイッチ時に流れる貫通電流成分 I_{th} 、さらに動作に関係なく流れるリーク電流成分 I_{leak} がある。したがって、動作電流はこれらの電流成分の和として表される。

$$I_{total} = I_L + I_{th} + I_{leak} \quad (2.7)$$

以下に各電流成分について検討する。

A. リーク電流成分

リーク電流成分は、nMOS 及び pMOS のオフ電流の和である。したがって、I-V 特性からゲート電圧が零の時のドレイン電流として見積もることができる。

$$I_{leak} = (I_{off}^n + I_{off}^p)N \quad (2.8)$$

ここで、 N はリングオシレータの段数である。

B. 充放電電流成分

充放電電流は一般的に以下の様に表されている [2]。

$$I_L = \frac{C_L V_{dd} N}{2t_{pd}} \quad (2.9)$$

ここで、 V_{dd} と t_{pd} はそれぞれ、回路の電源電圧と遅延時間である。

C. 貫通電流成分

貫通電流成分は、インバータの入力電流特性から以下の式で計算される。

$$I_{th} = \frac{1}{t_{pd}} \int_0^T I dt \quad (2.10)$$

$$= \frac{1}{t_{pd}} \int_0^{V_{dd}} I dV \frac{dt}{dV} \quad (2.11)$$

$$\approx \frac{1}{t_{pd}} \int_{0.1V_{dd}}^{0.9V_{dd}} I dV \cdot \frac{(\tau_f + \tau_r)}{2} \frac{1}{0.8V_{dd}} \quad (2.12)$$

上式では、 $0.1V_{dd}$ 以下、 $0.9V_{dd}$ 以上で、貫通電流は無視するぐらい小さい値と考えた。 τ_r 、 τ_f はそれぞれ、パルスの立上り時間と立ち下がり時間である。また、 $(\tau_f + \tau_r)/2$ は、遅延時間 t_{pd} の経験則 [2] から、以下に示す関係式によって与えられる。

$$t_{pd} \approx \frac{5}{8}(\tau_f + \tau_r) \quad (2.13)$$

2.3 測定結果

2.3.1 リングオシレータの測定結果

測定に用いた SOI MOSFET は、ゲート酸化膜厚、SOI 膜厚、埋め込み酸化膜厚の設計値はそれぞれ、7nm, 50nm, 80nm で、SIMOX 基板を用いて作製されたものである。CMOS 回路の nMOS 及び pMOS のゲート幅はそれぞれ、 $2.3\mu\text{m}$, $3.3\mu\text{m}$ である。測定にはリーク電流の影響を考慮し、全てバックゲート電圧を 3V 一定として行なった。このバックゲート電圧は、単体 CMOS インバータの入出力特性から確認し、nMOS と pMOS のリーク電流が等しくなる値である。

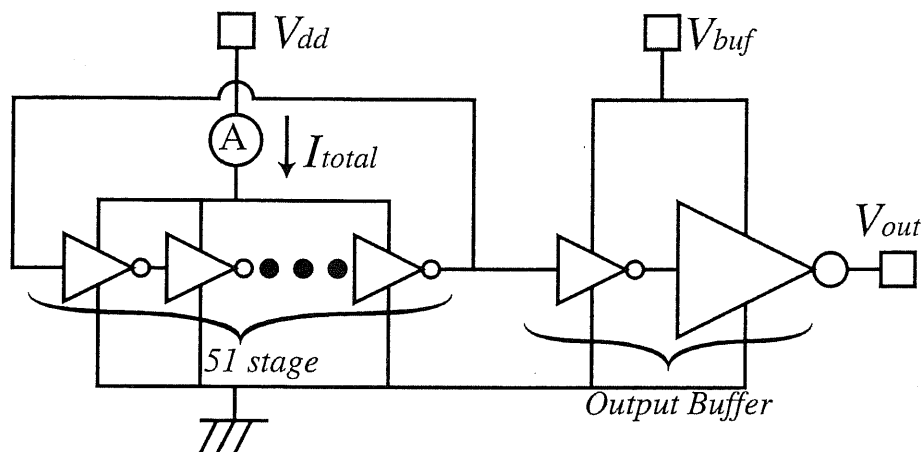


図 2.3: SOI CMOS リングオシレータのテスト回路図

評価に用いるテスト回路の概略図を図 2.3 に示す。このテスト回路は、バッファ回路部と、リングオシレータ回路部の電源とは別々にし、相互の過渡電流によるノイズの影響を抑制する構成となっている。また、リングオシレータの段数は 51 段である。

図 2.4 にインバータの入力電流の測定結果を示す。図に示したのは一例として、ゲート長が $0.3\mu\text{m}$ のものを示した。この結果を基に、リーク電流及び貫通電流を計算する。図 2.5, 2.6 に、CMOS リングオシレータの動作電流と、遅延時間のチャネル長依存性の測定結果を示す。測定パラメータとして、電源電圧を 1.0V から 2.0V まで変えて行なった。また、ゲート長は $0.3\mu\text{m}$ から $1.0\mu\text{m}$ までの 6 種の試料を用いた。動作電流、及び遅延時間の測定結果では、リングオシレータにおける通常の特性を示した。

2.3.2 負荷容量の測定結果

図 2.7 に貫通電流成分を考慮しない場合と、図 2.8 に考慮した場合の負荷容量 C_L のチャネル長依存性を示す。それぞれの結果で特性はチャネル長に対し直線的に変化し、容量モデルと合う傾向を示した。また、貫通電流成分を考慮しない場合で

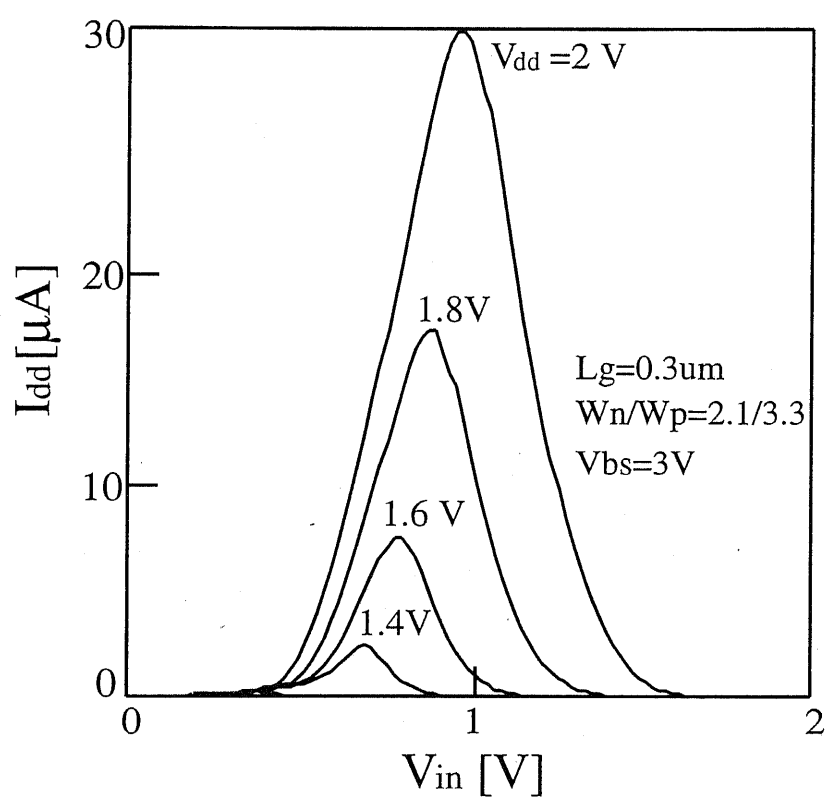


図 2.4: SOI CMOS インバータの入力電流特性

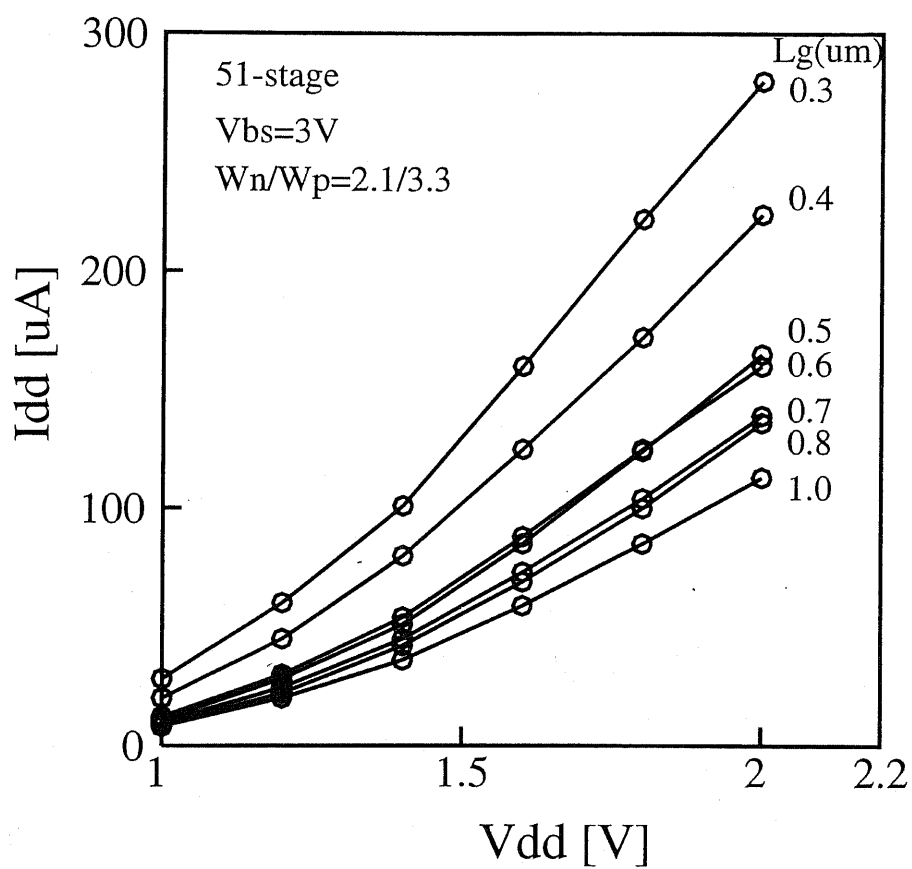


図 2.5: リングオシレータの動作電流の測定結果

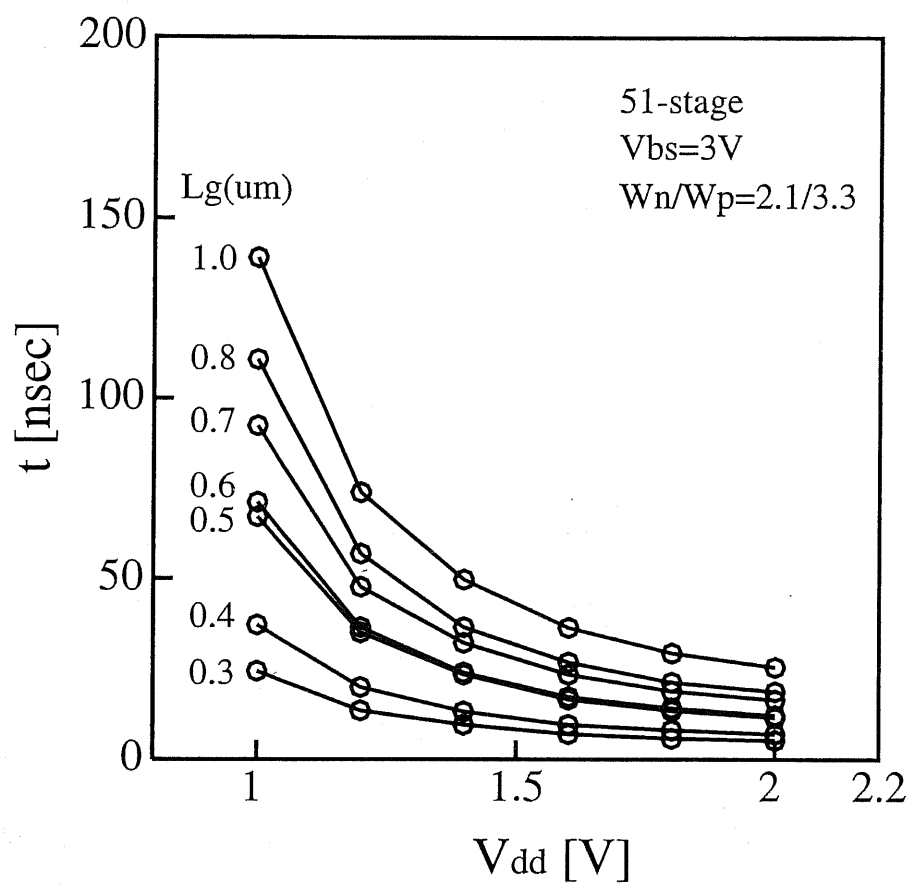


図 2.6: リングオシレータの遅延時間の測定結果

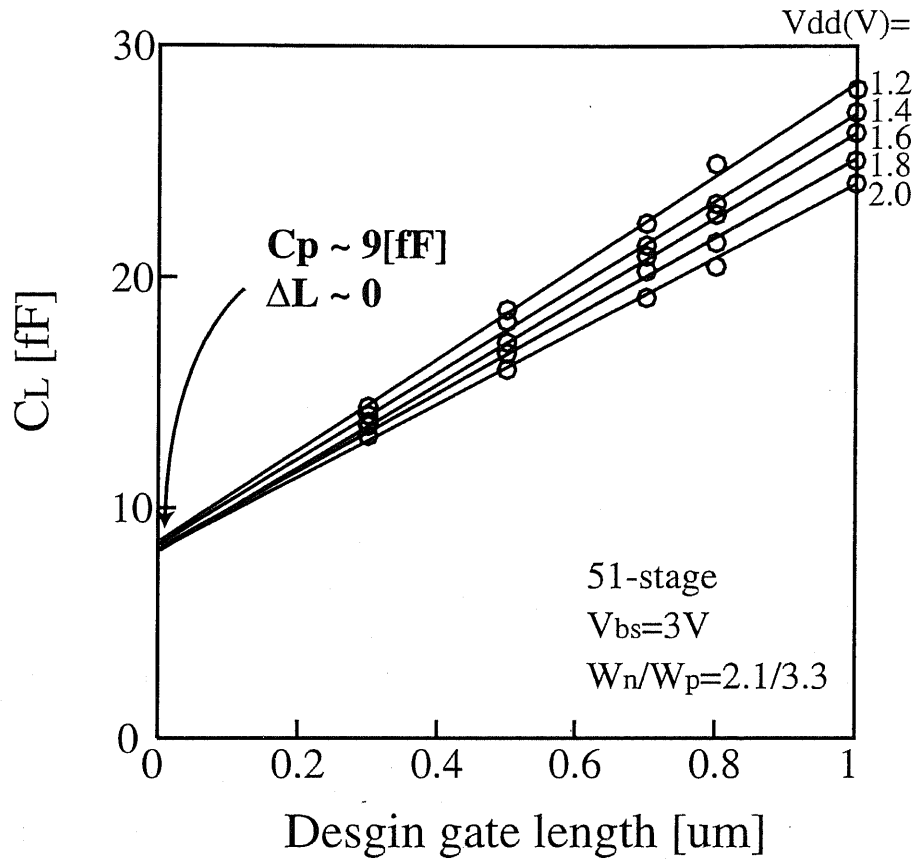


図 2.7: 負荷容量測定結果 (貫通電流の考慮なし)

は、特性の交点が曖昧なのに比べ、考慮した場合は、ほぼ一点に交わり、本抽出モデルと合う。したがって、貫通電流成分を考慮した結果を基に抽出を行なうことにする。

この結果は、式 2.5 の関係式から、特性の傾きが式の係数 A に対応し、切片が B を表している。同時に、傾きは真性ゲート容量を与え、切片は寄生容量成分の和を与えることを示している。また、それぞれの傾きの大きさは、 C_{gbo} の電源電圧依存性を示す。これらのことから、寄生容量の和は約 10fF で、実行チャネル長も同様に約 $0.1\mu\text{m}$ と求められた。

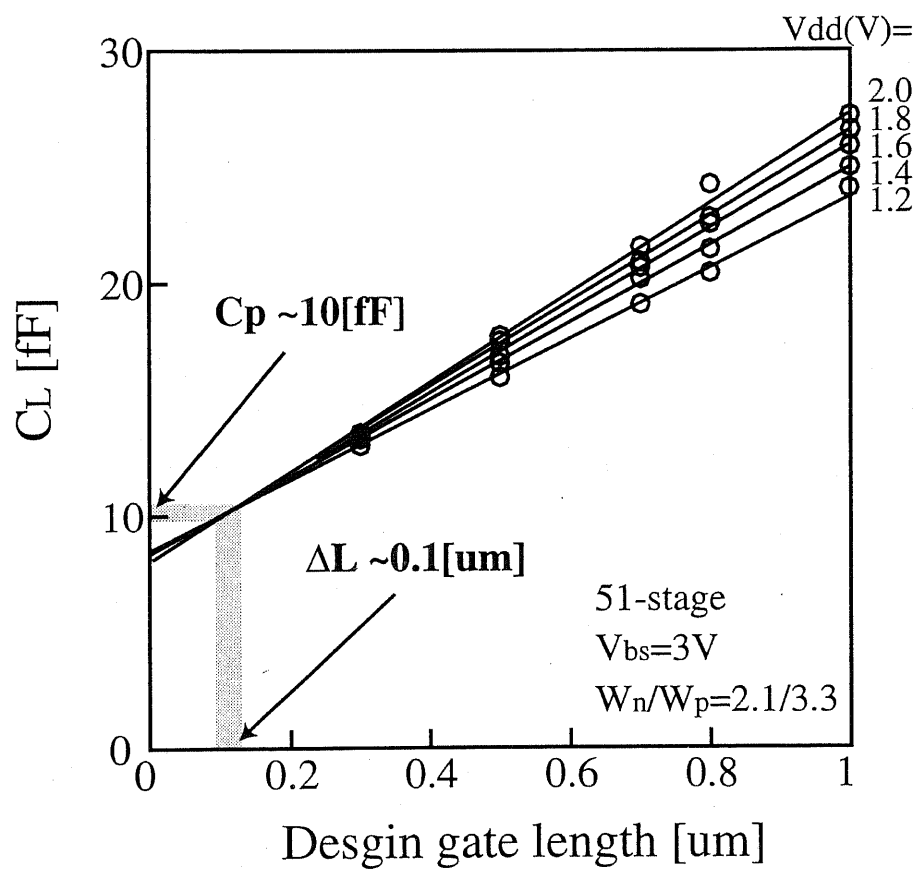


図 2.8: 負荷容量測定結果 (貫通電流の考慮あり)

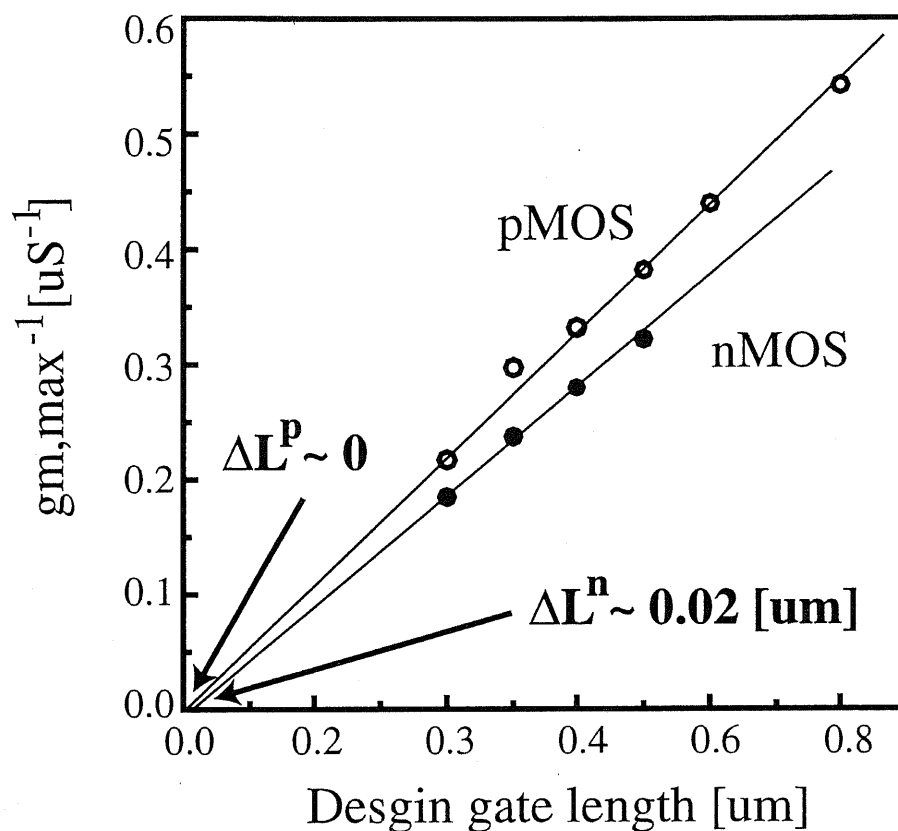


図 2.9: $g_{m,max}$ の逆数を用いた実効チャネル長の測定結果

2.4 検討

2.4.1 実効チャネル長の検討

図 2.9 に $g_{m,max}$ の逆数から L_{eff} を見積もる方法 [3] で行なった結果を示す。この結果、 ΔL は nMOS が $0.02 \mu m$ で、pMOS が $0.0 \mu m$ であった。これは本評価法によって求めたものと異なる結果となった。異なる原因として、本評価法は動作状態での実効的な値を求めるのに対し、 g_m 測定では非動作状態であることが考えられる。このことから、動作中の L_{eff} は DC 測定時に比べ、実効的には短くなっているものと推察される。これらの評価結果を表 2.1 に示す。

表 2.1: 実効チャネル長の評価結果

Parameter	Design	1/gm,max	R.O.
ΔL [μm]	0	≈ 0	0.1

2.4.2 真性ゲート容量の電圧依存性の検討

図 2.10 に負荷容量の傾きから求めた、 C_{gb0} の電源電圧依存性を示す。この C_{gb0} の値は、本モデルのものとは異り、単位ゲート長さ辺りの容量である。なぜならば、nMOS と pMOS のゲート幅がそれぞれ異なるために、本モデルの C_{gb0} を求めることが出来ないためである。この図に示した C_{gb0} には、ゲート長を設計値及び L_{eff} から求めた結果を示している。これらを比較すると、設計値からの結果では、それぞれのゲート長に対して異なる曲線であるのに対し、 L_{eff} から求めた結果では、一つの曲線上に乗り、 C_{gb0} のユニバーサル特性が得られた。これは CMOS 回路の容量モデルと合い、 L_{eff} の値が動作状態の評価に有効であると考えられる。同時に、本評価法の評価モデルの妥当性が確かめられた。

同図に比較の意味で、ゲート酸化膜容量を平行平板モデルから単純に求めた計算結果を示す (図 2.10 中の点線)。この結果から C_{gb0} は、 C_{fox} に比べ、3 割程度小さい値である。本試料は部分空乏型であるため、 C_{gb0} は埋め込み層の影響は考えられない。したがって、SOI 層中の空乏層容量 C_{soi} によって実効的な容量が減少したものと考えられる。このことから、 C_{gb0} を以下の式から検証する。

$$\frac{1}{C_{gb0}} = \frac{1}{C_{fox}} + \frac{1}{C_{soi}} \quad (2.14)$$

$$C_{soi}^{eff} = \frac{\epsilon_0 \epsilon_{si}}{T_{soi}} \quad (2.15)$$

この C_{soi} は単純に計算した場合 (SOI 層膜厚を 50 nm とした)、11.27 fF/ μm となり、 C_{gb0} は 8 fF/ μm となった。これは式 2.15 で、 T_{soi} を単純に設計値を用いたため、小さい値になったためと考えられる。このことから、実際には動作周波数や電源電圧等の動作条件によって、 T_{soi} は実効的に異なる値となるためと考えられる。図

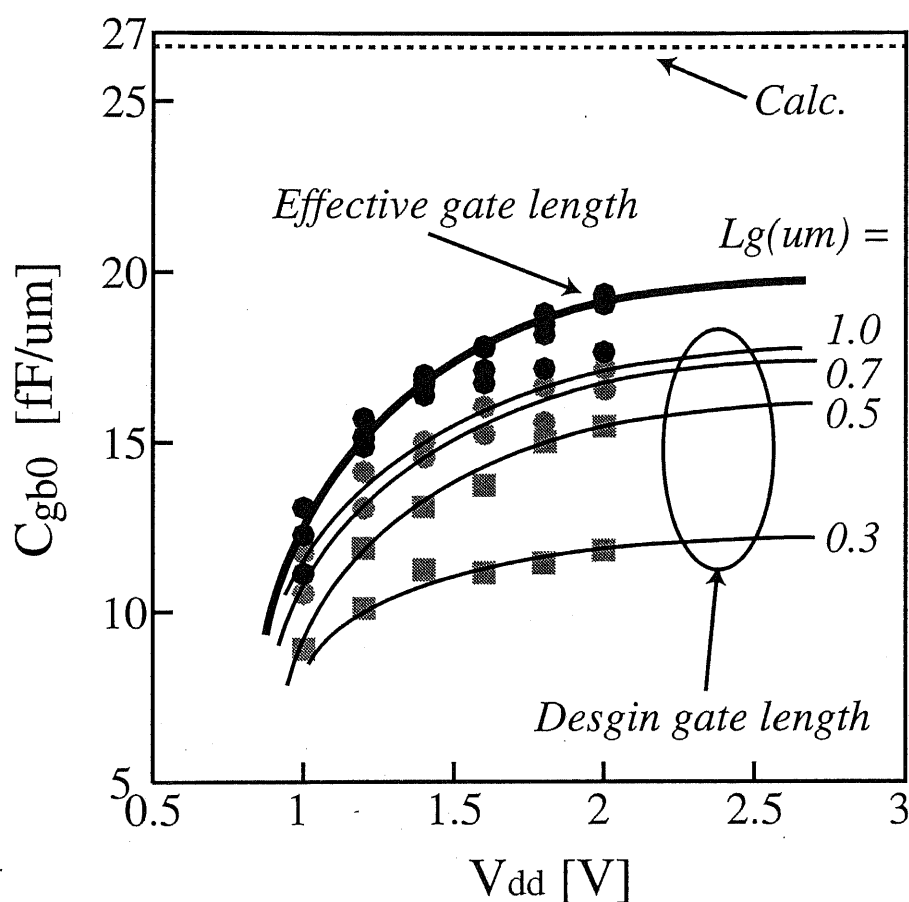


図 2.10: 真性ゲート容量 C_{gb0} の電源電圧依存性

2.11 に、 T_{soi} の実効的な値となるメカニズムの概念図を示す。通常、デバイスの動作は、バイアス条件に依存し、ドレイン端のインパクトイオン化が生じ、正孔が発生する。しかし、SOI の場合では基板が浮いているため、バルクとは異なりこの正孔が蓄積する。このため、蓄積層厚は発生正孔電流の大きさに依存し、変化することになると考えられる。また、この蓄積層中の正孔は、ソース端又はドレイン端から再結合電流として流れたため、再結合率にも依存する。同時に、動作周波数にも依存することになる。したがって、動作中の SOI 層はある定常状態で動作し、実効的に

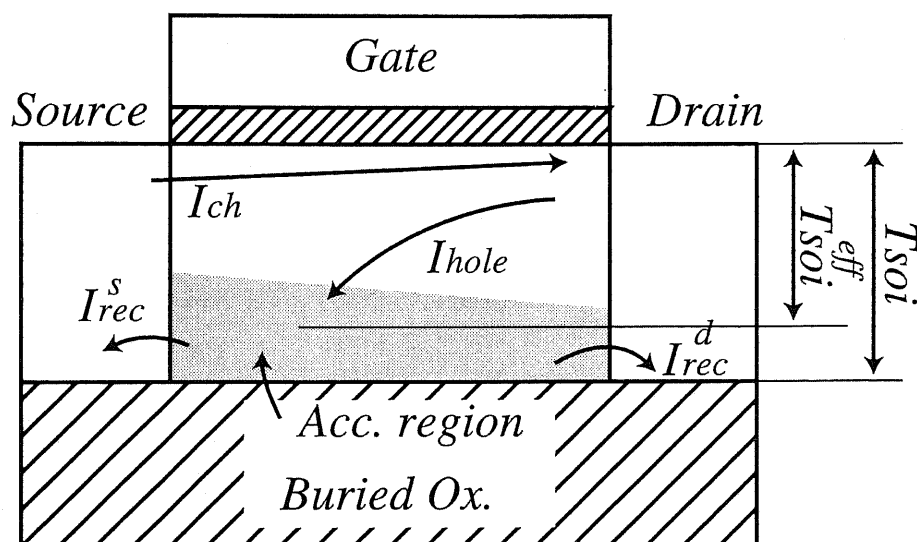


図 2.11: 動作中の SOI 層内キャリア分布の概念図

DC 特性時とは異なる SOI 層膜厚として動作することが考えられる。このメカニズムにより、 T_{soi} は実効的な膜厚 (T_{soi}^{eff}) となったため、先の C_{gb0} の検証の原因であると考えられる。また、逆に式 2.15 の関係式から、 T_{soi}^{eff} は 8 nm (2V) ~ 35 nm (1V) となり、実際の膜厚とは大きく異なる。

また、 C_{gb0} の電源電圧依存性は、低電圧になるほど容量は減少することが分かった。これは先の検討結果にあるように、低電圧ではインパクトイオン化が起きず、 T_{soi}^{eff} が実際の SOI 膜厚に近付くためと推察できる。以上のことから、SOI CMOS 回路が LSI の低電圧化又は低消費電力化が進む中で、有効な容量特性であると考えている。

2.5 まとめ

本章では、SOI MOSFET の実行チャネル長を、CMOS インバータのリングオシレータを用いた抽出手法を提案した。また、 L_{eff} を gm 特性から見積もり、本評価結果と比較検討も行なった。さらに、得られた L_{eff} から、真性ゲート容量 C_{gb0} の電源電圧依存性について検討した。以上の結果から、以下のことが示された。

1. SOI CMOS 回路の動作特性から、実効チャネル長 L_{eff} を評価する容量モデルについて提案した。
2. 本手法によって ΔL は、 $0.1 \mu\text{m}$ と見積もることができ、寄生容量も 10 fF と負荷容量特性から容易に評価することができた。また、 L_{eff} は、動作中と静特性とでは異なる値となることが分かった。
3. L_{eff} から真性ゲート容量 C_{gb0} を評価した結果、チャネル長に依存せず、電源電圧とのユニバーサル特性が得られた。
4. C_{gb0} の電源電圧依存性から考察し、動作状態における SOI 層の実効膜厚 T_{soi}^{eff} を容量モデルから検討し、DC 状態に比べ薄く、実効的にその厚さは $8 \text{ nm} \sim 35 \text{ nm}$ となった。

参考文献

- [1] M. Fujishima, M. Ikeda, K. Asada, Y. Ohmura and K. Izumi, "Analytical modeling of dynamic performance of deep sub-micron SOI / SIMOX based on current-delay product," *IEICE trans.*, vol. E 75, no. 12, pp. 1506-1514, Dec 1992.
- [2] T. Sugano and T. Iizuka, *CMOS VLSI design*, Chapter 4.3, Baifukan, 1989, (in Japanese).
- [3] K. Takeuchi, N. Kasai and K. Terada, "A New Effective Channel Length Determination Method for LDD MOSFETs", *Proc. IEEE 1991 Int. Conf. on Microelectronic Test Structures*, Vol.4, No. 1, pp. 215-220, 1991.

第 3 章

SOI CMOS 回路を用いた閾値電圧モデリング

3.1 はじめに

SOI MOSFET はデバイス容量の削減や高電流増幅率等の優れた特徴を持ち、集積回路の高速化、低消費電力化に有効なデバイスである [1]-[5]。そのため、高周波動作における SOI デバイスの動作特性を解析することが、応用のためには重要である。SOI デバイスの動特性は バルクデバイスとは異り、測定結果及びシミュレーション結果から、SOI 層の基板電位が動作中に変動することが報告されている [6]-[11]。これは、浮遊基板効果のためであり、DC 特性だけでなく、動特性においても特性に強く影響を与える。したがって、SOI で回路設計等を行なう場合には、SOI デバイスの動特性を考慮する必要がある。そのため、この動的浮遊基板効果を正確に解析的又は評価するモデルが、SOI 技術を応用する意味で重要な課題となっている。

J.G. Fossum らは、基板の蓄積電流を考慮した等価回路モデルを用いた SOI SPICE を開発し、動的な浮遊基板効果の解析を行なっている [12][13]。彼らは PD-SOI CMOS インバータ回路の遷移パルス特性をシミュレーションし、基板電位のヒステリシス現象を示した。これは基板中電荷の蓄積又は放電時間よりもパルス遷移時間が短い場合に起こる。このことから、動作周波数及び電源電圧に依存し、閾値電圧が変化することが推測される。しかし、この現象を測定し、評価するまでには至っていない。

一般的に、BULK MOSFET では、CMOS リングオシレータや、インバータ列を用いた評価法が行なわれている。しかし、SOI デバイスでは、動特性において基板電位が変動するため、この方法をそのまま応用し、評価することはできない。また、特に薄膜 SOI MOSFET において、シリコン層が薄く、横方向に高抵抗となり、シリコン層から電荷を引き抜くことはできないため、基板中の電位や電流特性を測定することは難しい。

そこで本章では、SOI デバイスの動作時における特性を測定及び評価するために、SOI CMOS インバータ列を用い、高周波動作時における電流特性のモデリング手法を提案する。正孔電流成分を考慮した等価回路モデルをから、動作中の変動メカニズムについて述べ、動作中の閾値電圧を、リーク電流成分から求める評価手法を検討する。また、動作中の閾値電圧の電源電圧依存性及び、チャネル長依存性を調べ、基板電流についても考察を行なう。

3.2 閾値電圧モデリング

3.2.1 SOI MOSFET の等価回路モデル

図 3.1 に、正孔電流を考慮した n 型 SOI MOSFET の等価回路を示す。図中の'C'は、SOI 層内のチャネル領域である。この領域'C'は、ゲート酸化膜容量 C_{ox} 、埋め込み酸化膜容量 C_{box} 及び、ドレインおよびソース拡散領域と基板との接合ダイオード D_d 、 D_s で電氣的に浮いた状態となっている。さらに、デバイスの動作状態において、正孔電流がインパクトイオン化によって、流れる発生電流 I_{gen} と、基板内に蓄積した正孔の再結合による再結合電流 I_{rec} を考慮した等価回路となっている。

SOI デバイスの領域'C'の電位 V_{bo} は、等価回路から考察し、電氣的に浮遊状態となっているため、 I_{gen} 、 I_{rec} の正孔電流成分、さらには、ゲート電極からのチャージポンピング電流によって変化する。また、正孔電流源の I_{gen} 、 I_{rec} は入力電圧に依存し、発生率及び再結合率によっても変わる。このことから、動作中の領域'C'の電位は、これらの要素が全て影響し、この等価回路から解析的に見積もることは困難である。したがって、本章では領域'C'の電位の変化を直接モデル化せず、ドレイン

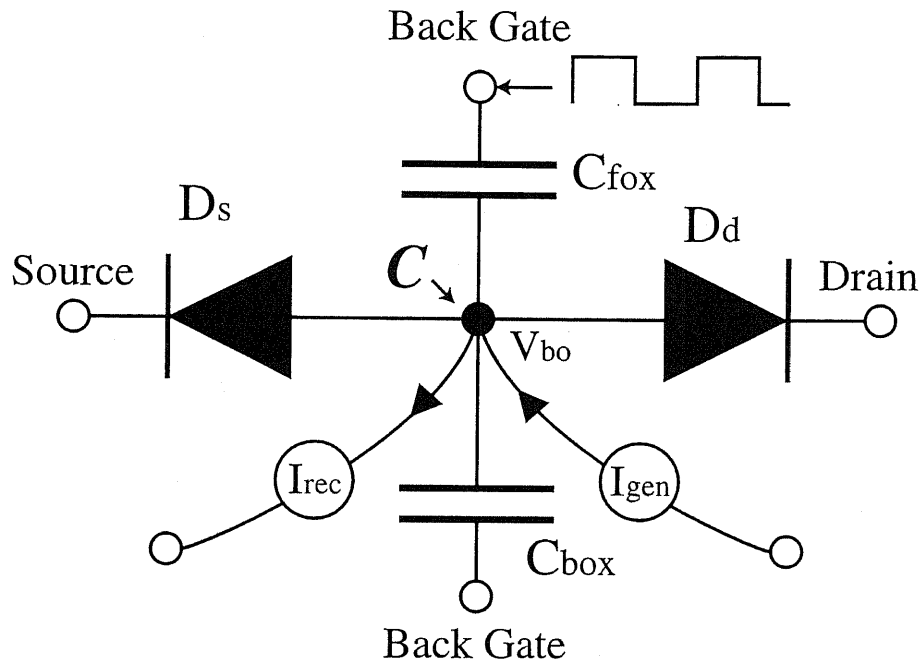


図 3.1: SOI MOSFET の正孔電流による等価回路. 図中の I_{gen} は基板電流、 I_{rec} は再結合電流、'C' はチャネル領域を示す.

電流のサブスレッショルド特性から、動特性の評価モデルを以下に検討する。

高周波測定時のドレイン電流のサブスレッショルド特性の概念図を図 3.2 に示す。ここで言う高周波とは、正孔電流の I_{gen} 、及び I_{rec} によって領域'C'が定常状態とは異なる状態で動作する領域である。図には、DC 特性の測定結果を実線で示し、特性が電源電圧依存性を持つことから、低電圧時 ($V_{ds} = 0.01 \text{ V}$) 及び高電圧時 ($V_{ds} = 2 \text{ V}$) の測定結果を示す。また、それぞれのバイアス条件に合わせた動作時の理想特性を点線で示す。電源電圧が十分大きい場合、 I_{gen} が I_{rec} よりも大きく、基板内に正孔の蓄積が生じるため領域'C'の電位が増加すると考えられる。したがって、高電圧では理想特性が低電圧側にシフトし、閾値電圧は減少する。また、低電圧の場合、 I_{gen} がほとんど流れず、基板中はチャネル電荷が蓄積し、 V_{bo} は減少する。したがって、理想特性は高電圧側にシフトし、閾値電圧は増加することになると考える。このこ

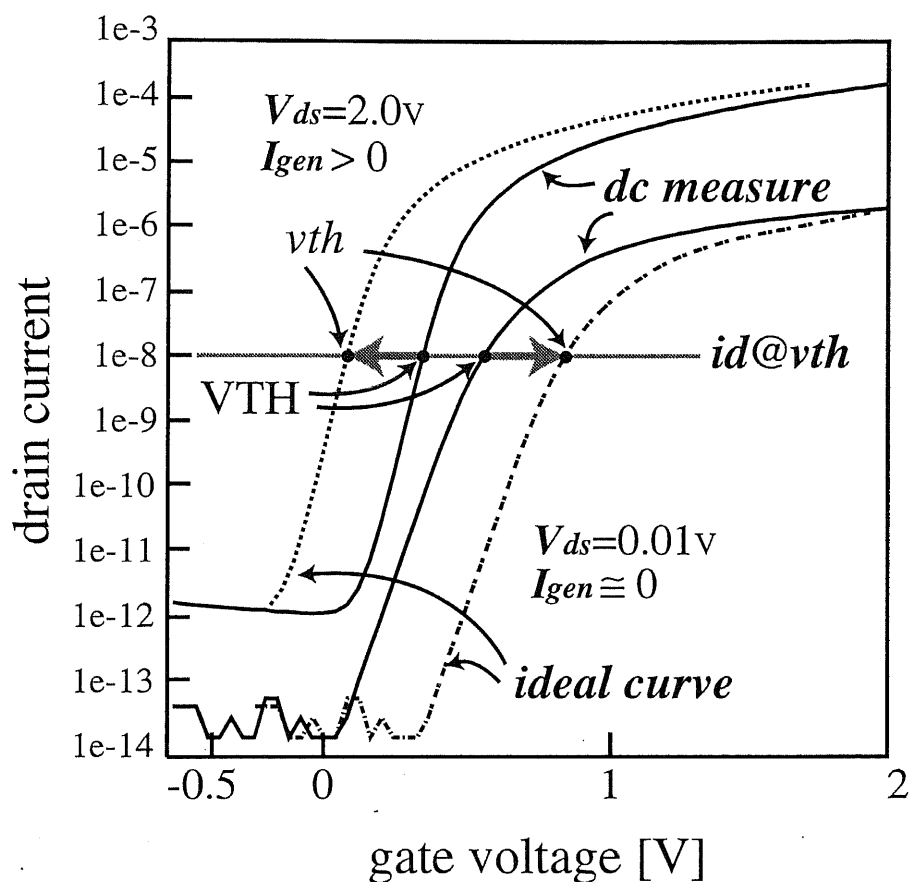


図 3.2: サブスレッシュヨルド特性におけるしきい値電圧シフトの概念図

とは、過渡状態のシミュレーション結果からも示されていることである [10]。これらの考察結果から、SOI デバイスの動特性は閾値電圧の変化に対応させることで、評価することができる。

3.2.2 閾値電圧シフトモデル

図 3.3 に、動作時のサブスレッシュヨルド特性から閾値電圧シフト量 ΔV_{th} の見積もり方の説明図を示す。図中の I_{AC} 、 I_{DC} はそれぞれ、動作時のリーク電流及び、定常時のリーク電流を示す。実線は DC 測定時を示し、点線は AC 測定時を示す。

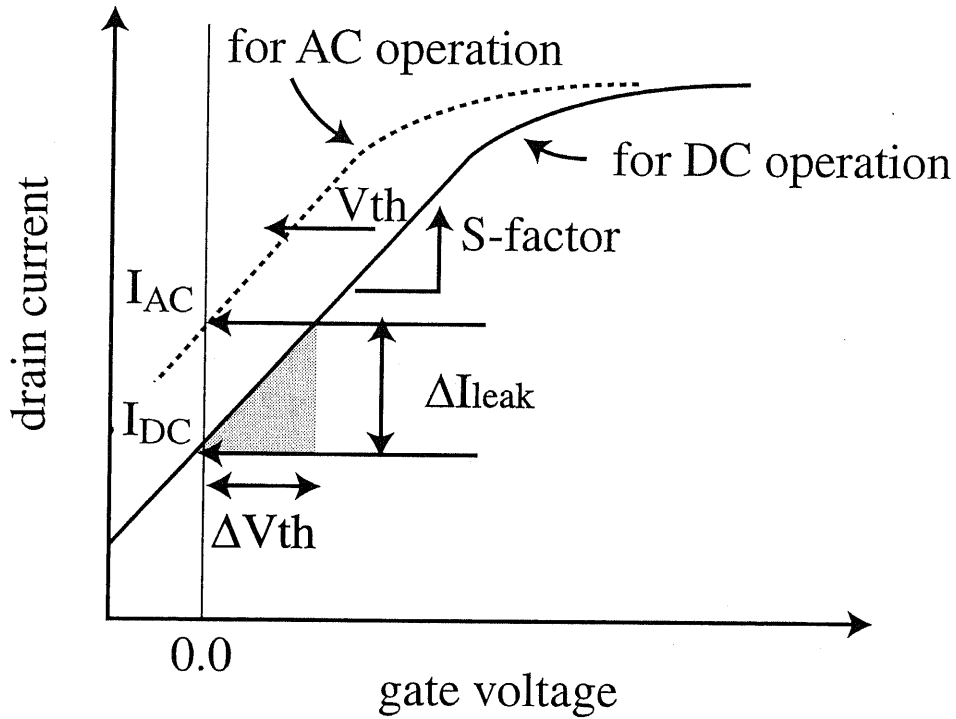


図 3.3: サブスレッショルド特性から閾値電圧シフト量 ΔV_{th} の見積もり方の説明図

一般的にサブスレッショルド電流は、指数関数的に増加する特性で、傾きはサブスレッショルド係数 S で表される。閾値電圧シフトは以下の式で定義する。

$$\Delta V_{th} = V_{th,ac} - V_{th,dc} \quad (3.1)$$

また、動作状態と DC 状態のリーク電流の変化量 ΔI_{leak} はそれぞれの対数にした値の差として表す。この ΔI_{leak} と閾値電圧シフト量 ΔV_{th} は、図で示している関係から容易に以下に示す式で表すことができる。

$$\Delta I_{leak} = \log(I_{AC}) - \log(I_{DC}) = \log\left(\frac{I_{AC}}{I_{DC}}\right) \quad (3.2)$$

$$S = \frac{\Delta I_{leak}}{\Delta V_{th}} \quad (3.3)$$

この関係式を変形し、以下の式が導かれる。

$$I_{AC} = I_{DC} \exp_{10}\left(\frac{\Delta V_{th}}{S}\right), \quad (3.4)$$

したがって、閾値電圧シフト量 ΔV_{th} は、 I_{AC} 、 I_{DC} と S を用いて以下の式で得ることができる。

$$\Delta V_{th} = S \log_{10} \frac{I_{AC}}{I_{DC}}. \quad (3.5)$$

したがって、 ΔV_{th} は上の関係式を利用し、 S 係数、動作状態及び、DC 状態のリーク電流を測定することによって、評価することができる。ただし、この ΔV_{th} は CMOS 回路の場合、N チャネルと P チャネルの優勢を示す値であるが、この評価モデルでは、これらを区別して求めることはできない。しかし、一般的に、浮遊基板効果は N チャネルで起きる現象であり、この評価法で得られる結果には、N チャネルデバイスの閾値電圧シフト現象を示すものと推察される。したがって、この ΔV_{th} は、N チャネルの SOI MOSFET の閾値電圧シフトを示すものとして扱う。

3.3 高周波測定手法

図 3.4 に、理想的に考えられる MOSFET デバイスの動特性を測定する測定回路図を示す。この測定系には、サブスレッショルド特性を測定しようとするために、数ナノアンペアオーダの微小な電流信号を高周波で測定する電流計と、高周波な矩形波を出力する発振器を必要とする。そのため、現在ある測定器の性能ではこの測定系を構成するのは難しく、寄生的な効果の影響を受けやすく、正確な測定をすることはできない。そこで、われわれはバルクデバイスで一般的に用いられている、CMOS インバータ回路を用いて評価する。この CMOS インバータ回路を用いた測定系では、単体の電流特性ではなく、多数の和を測定することができるため、微小電流を測定する必要がなく、容易に測定でき、寄生的効果を受けずらく、動特性を評価するに有効である。

高周波測定に用いた CMOS インバータ列の回路図とその測定の概念図を図 3.5 に示す。この CMOS インバータ列回路は、入力から任意の高周波パルスを与え、第一段目のインバータで入力波形を補正する。また、最終段のインバータは出力バッ

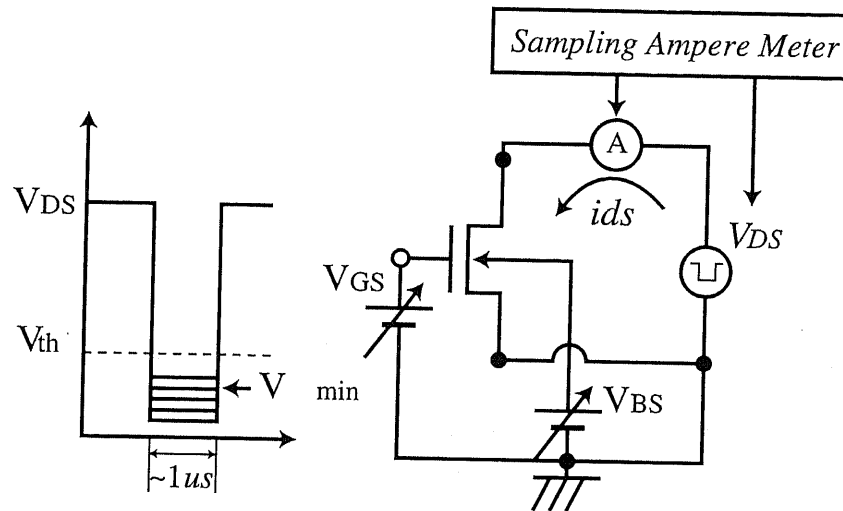


図 3.4: サブスレッシュヨルド特性の高周波測定のための理想的な測定回路

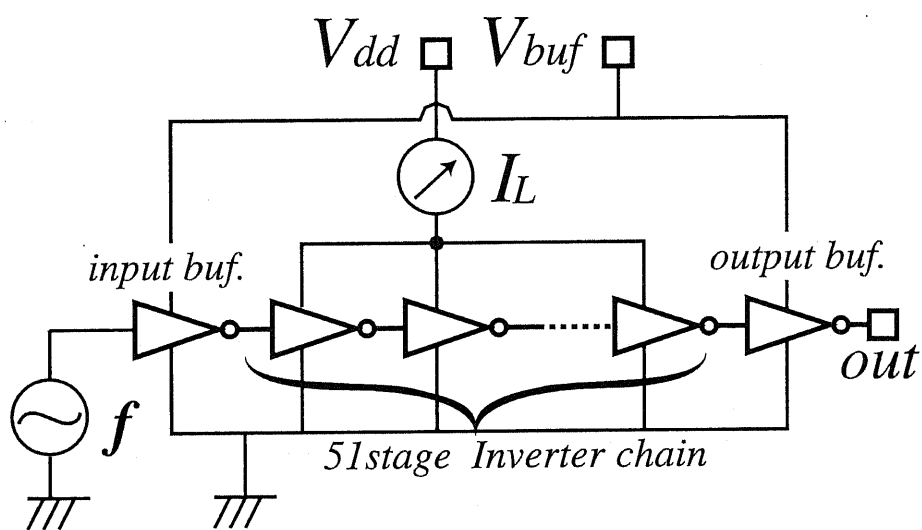
ファ回路であり、測定器側の寄生容量による影響をカットする。さらに、CMOS インバータ列のコアの部分と入力及びバッファ部のインバータの電源は別々に印加しているため、コア部の特性は電源ノイズの影響は受けない。この回路で行なう測定因子としては、入力周波数、電源電圧、動作電流を扱う。

CMOS インバータ回路の動作電流は、一般的に次式のように表されている。

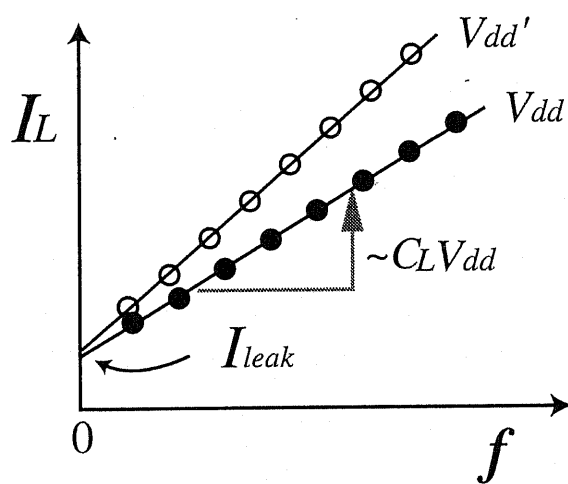
$$I_L = NC_L V_{dd} f + NI_{leak}, \quad (3.6)$$

ここで、 N はインバータの段数で、 I_{leak} 、 C_L はそれぞれ、一段当たりのリーク電流と負荷容量である。 V_{dd} 及び f はそれぞれ、電源電圧と入力周波数である。この関係式から、動作電流は充放電電流成分と、リーク電流成分との和として表され、リーク電流成分は周波数に依存せず一定である。

図 3.5 に示す測定概念図のように、動作電流の測定周波数依存性は、周波数に対して単調増加する特性となる。また、その測定結果の傾き及び切片がそれぞれ、負荷容量成分とリーク電流成分とを示し、それぞれ分離して測定することができる。したがって、この手法によってリーク電流及び容量特性の高周波特性を容易に測定することができる。



(a) Measurement circuit of CMOS inverter chain



(b) Measurement concept

図 3.5: CMOS インバータ列の測定回路図 (a) と測定概念図 (b)

3.4 結果と検討

3.4.1 CMOS インバータ列の測定結果

図 3.6 に、CMOS インバータ列の測定回路の顕微鏡写真を示す。測定に用いたサンプルのインバータ列回路の段数は 51 段である。また、チャネル長は、 $0.3\ \mu\text{m}$ 、 $0.35\ \mu\text{m}$ の 2 種類である。測定条件として、バックゲート電圧を 3V として行なった。これは、単体の CMOS インバータの入出力特性を調べた結果から、N チャネルと P チャネル MOSFET の閾値を合わせるためである。その原因として、本サンプルの SOI デバイスでは基板コンタクトがないタイプであるため、CMOS 回路では、PMOS の基板バイアスが負に印加された場合と同様で、閾値電圧が減少してしまうためである。これは、P チャネルのリーク電流の増加を招き、N チャネルのリーク電流を隠し、動特性の評価を行なうことができなくなる。

チャネル長が $0.3\ \mu\text{m}$ のサンプルの測定結果を、測定周波数が高周波領域と低周波領域でプロットし、図 3.7、3.8 に示す。測定は、電源電圧 V_{dd} を 1.5V から 2.0V まで変えて行なった。また、入力周波数は、 $0(\text{DC})$ から 300MHz までの範囲で行った。高周波領域 (図 3.7) の結果では、動作電流特性は、理論通りの特性となっており、入力周波数に対し、線形増加傾向を示している。したがって、先の動特性の評価法を用いて行なうことができる。また、電源電圧に依存して傾きが異なり、前章で述べたように入力電圧に依存した容量特性を示している。また、図 3.8 に示す低周波領域でプロットすると、動特性の依存性には、電源電圧に対し非線形的な変化を示す。この原因として、低周波の電流測定の影響が考えられるが、十分低い周波数で、DC で測定した値と動程度あることから、問題はないと考えている。この結果から、リーク電流成分は、DC と AC とで異なることが分かる。また、図 3.9、3.10 に示すように、このリーク電流成分の変化には、電源電圧に依存し、異なる傾向を示す。電源電圧が高い場合 (図 3.9)、 I_{AC} は増加する。また、低い場合 (図 3.10) には、 I_{AC} は減少する。さらに、SOI MOSFET の IV 測定から、 V_{ds} が 2V ではキंक効果が見られることから、このバイアス条件で I_{gen} は流れる。また、 V_{ds} が 1.5V でキंक効果は見られず、 I_{gen} は流れない。したがって、この依存性には、先

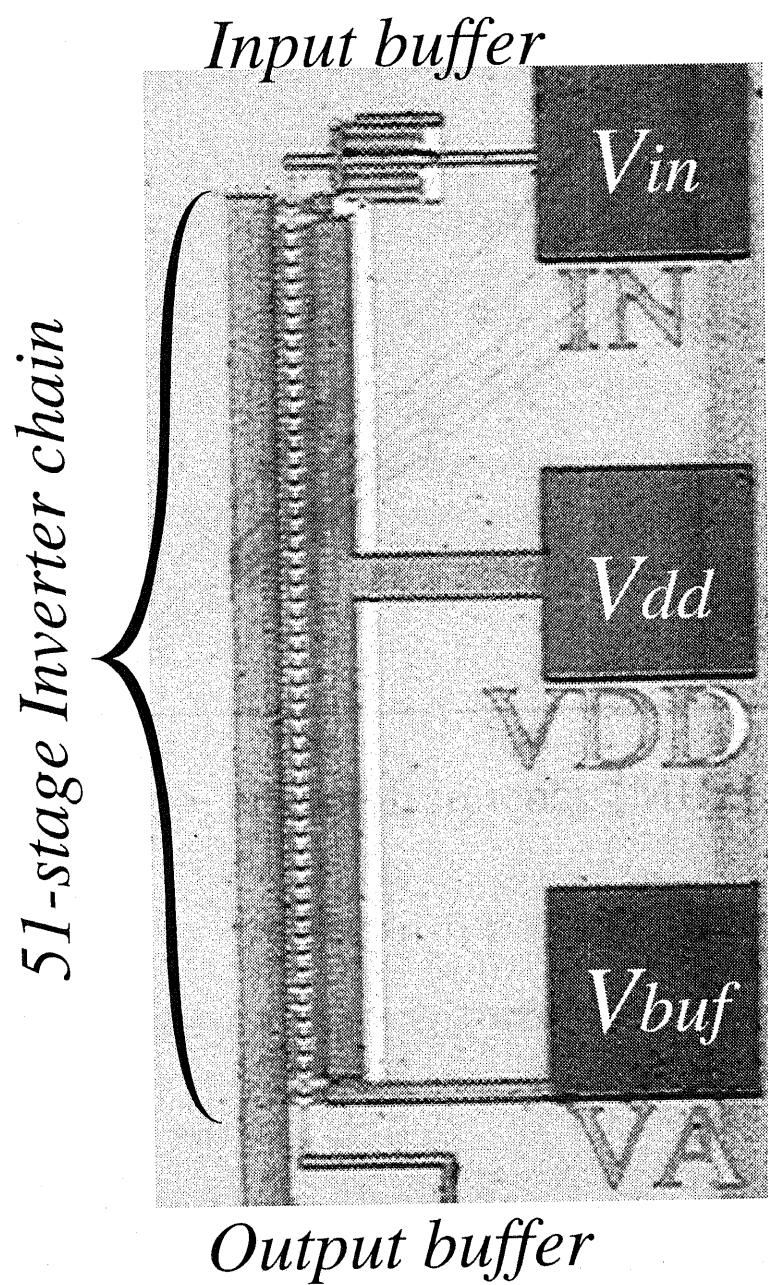


図 3.6: 51 段 SOI CMOS インバータ列の測定回路の顕微鏡写真

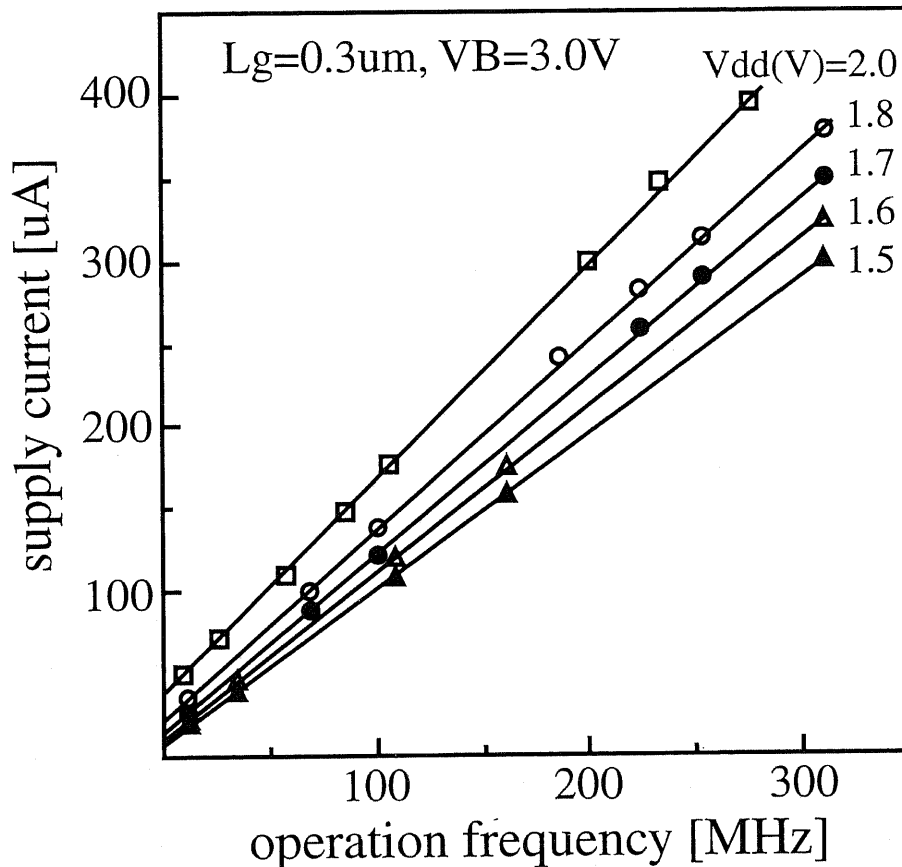


図 3.7: CMOS インバータ列回路の周波数 - 動作電流特性 (高周波入力時)

に述べた SOI デバイスの動特性モデルを確かめる有効的な結果を示している。

3.4.2 閾値変動の結果と検討

図 3.11 に、先の結果から I_{AC} 及び I_{DC} を測定し、 I_{AC}/I_{DC} 及び ΔV_{th} の計算結果を示す。この図は、ゲート長が $0.3\mu\text{m}$ と $0.35\mu\text{m}$ の結果である。ここで、 ΔV_{th} の計算には、S 係数の値として 100 mV/dec を用いた。この結果から、 ΔV_{th} は電源電圧に対し、強く依存することを示している。また、ゲート長が短い方が、特性の傾きが急峻で、より強く電源電圧に依存していることが分かる。これは、ゲート

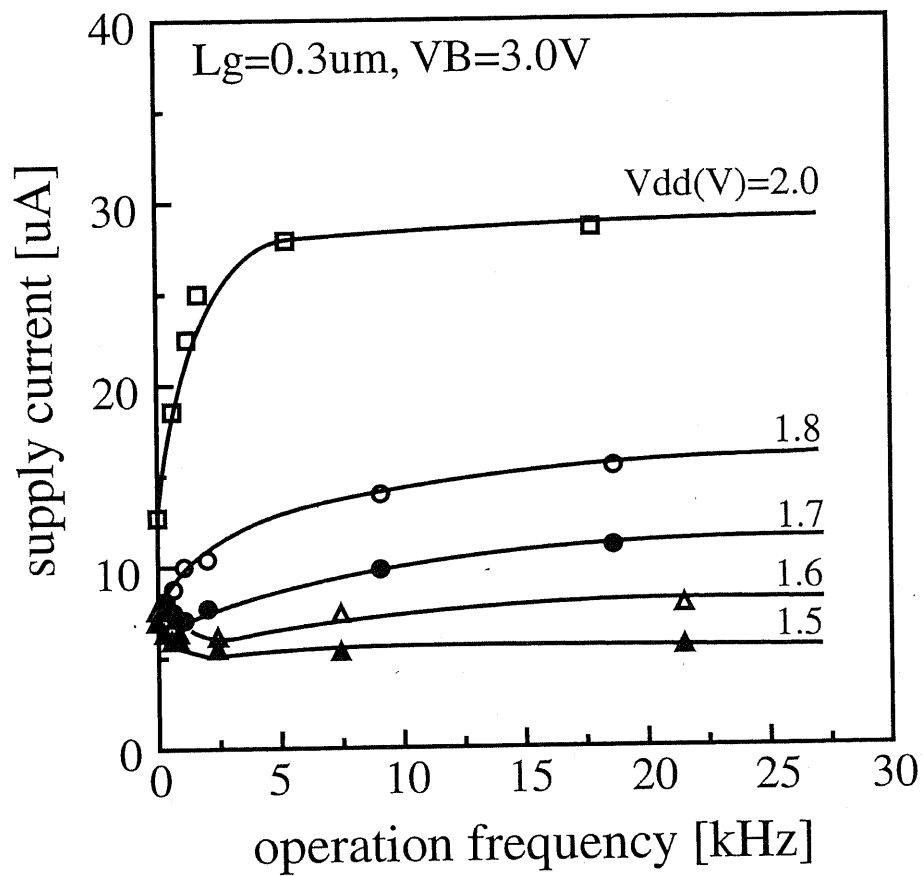


図 3.8: CMOS インバータ列回路の周波数 - 動作電流特性 (低周波入力時)

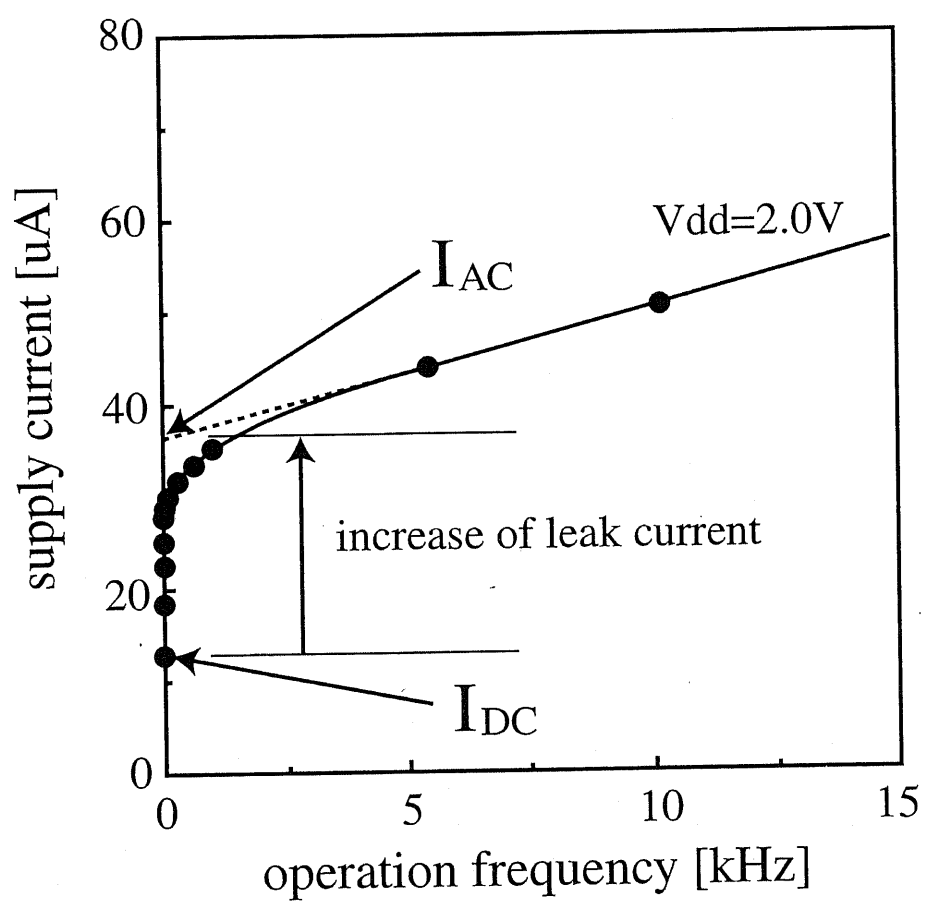


図 3.9: 高電圧入力時のリーク電流 I_{DC} と I_{AC} の測定結果

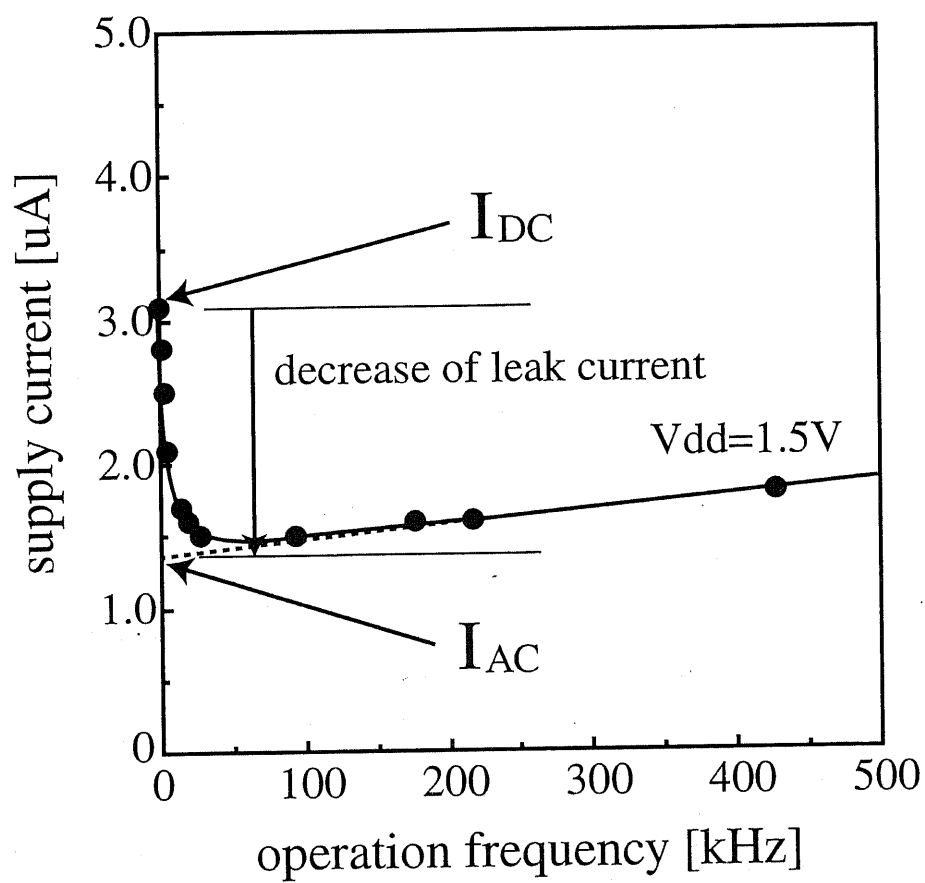


図 3.10: 低電圧入力時のリーク電流 I_{DC} と I_{AC} の測定結果

長が短い方が、インパクトイオン化が生じやすいため、より強く依存するものと考えられる。

図 3.12 に、図 3.11 の結果から電源電圧をそれぞれのゲート長で割り、平均電界としてプロットした結果を示す。 I_{AC}/I_{DC} 及び ΔV_{th} は、ゲート長に関係なく、一つの特性上に乗ることが分かる。これは、 ΔV_{th} が、ドレイン端における発生電流と密接な関係があり、SOI MOSFET における基板電流とも関係することを意味する。この図 3.12 の結果が意味することは、 V_{dd} に依存した発生電流と、 ΔV_{th} の関係の物理的モデルを助ける、ある定数の値を与えていると考えている。また、この結果から以下の実験式が導かれる。

$$I_{AC}/I_{DC} = C_0 \bar{E}_{sd} + C_1 = \exp_{10}\left(\frac{\Delta V_{th}}{S}\right) \quad (3.7)$$

$$\frac{\Delta V_{th}}{S} = \log(C_0 \bar{E}_{sd} + C_1) \quad (3.8)$$

$$\Delta V_{th} = C_2 \log(C_0 \bar{E}_{sd}) \quad (3.9)$$

$$V_{th,ac} = V_{th,dc} + C_2 \log(C_0 \bar{E}_{sd}) \quad (3.10)$$

ここで、 C_0 , C_1 , C_2 は実験結果から与えられる定数で、 \bar{E}_{sd} はソースドレイン間の平均電界である。この関係式には、物理的根拠はないが、SOI MOSFET の高周波動作における閾値電圧シフトをよく表すものである。

このように、高周波動作時においては、平均電界に依存し、閾値電圧が変動していることが明らかとなった。また、その変動にはバイアス条件で、変化量や方向が異なることも示している。したがって、SOI CMOS 論理回路を LSI に応用するには、この閾値電圧シフト現象を更に詳しく調べ必要があり、この経験式がその手助けとなるものと考えている。

3.4.3 ゲート長依存性

図 3.13 に、動特性から求めた閾値電圧のゲート長依存性を示す。図には DC 測定から求めた結果も示す。また、動特性から求めた閾値電圧は、高電圧又は低電圧時の結果を示す。動特性では、閾値電圧の減少が DC 特性よりも先に生じる結果となっている。これは、SOI デバイスを応用する意味で問題となることであるが、低

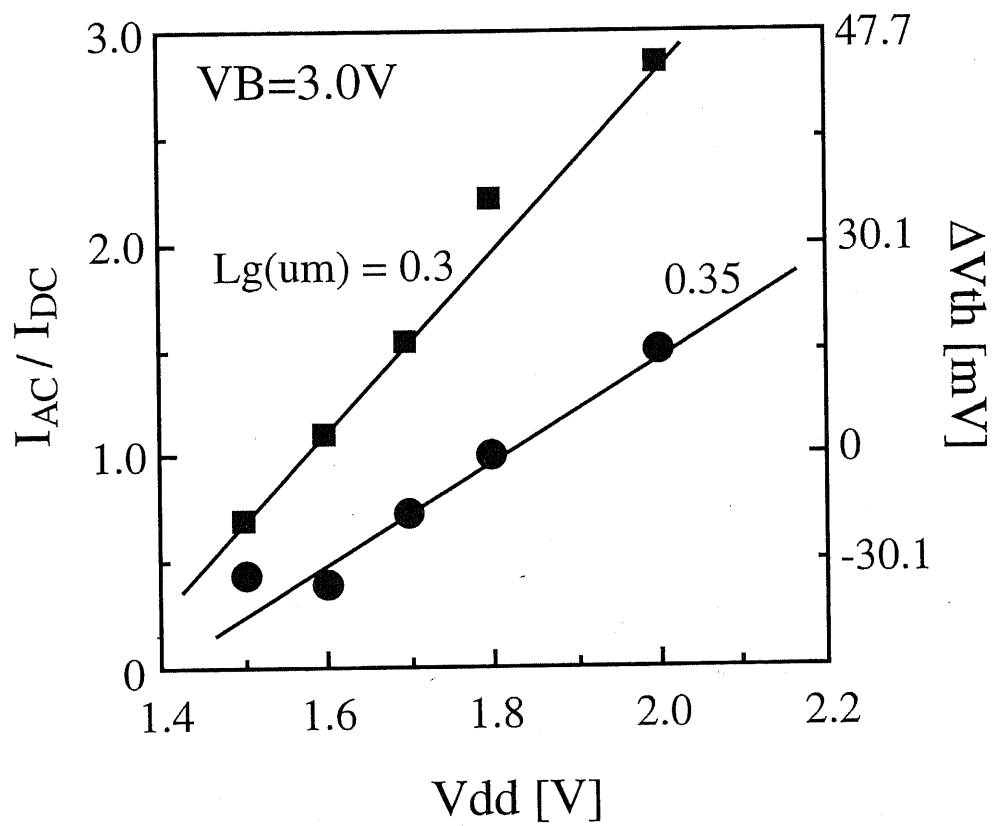


図 3.11: I_{AC}/I_{DC} の電源電圧依存性. サブスレッシュヨルド係数 S の値は 100 mV/dec である.

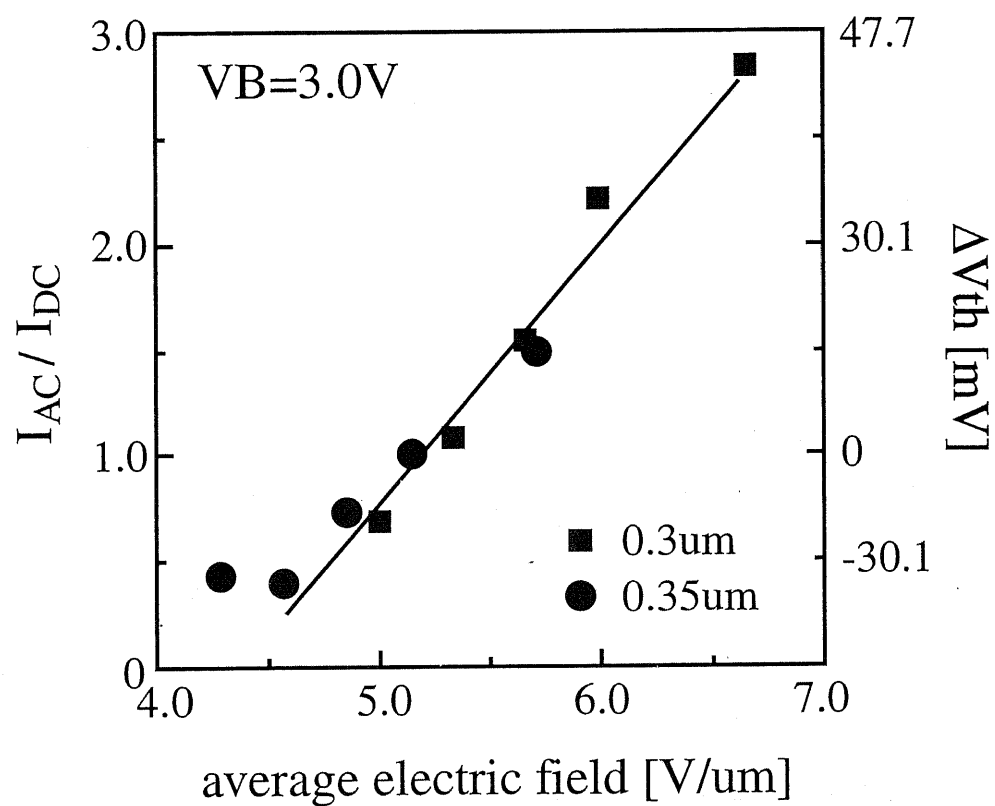


図 3.12: 閾値電圧シフトの平均電界特性. 平均電界は、電源電圧をチャネル長で割った値.

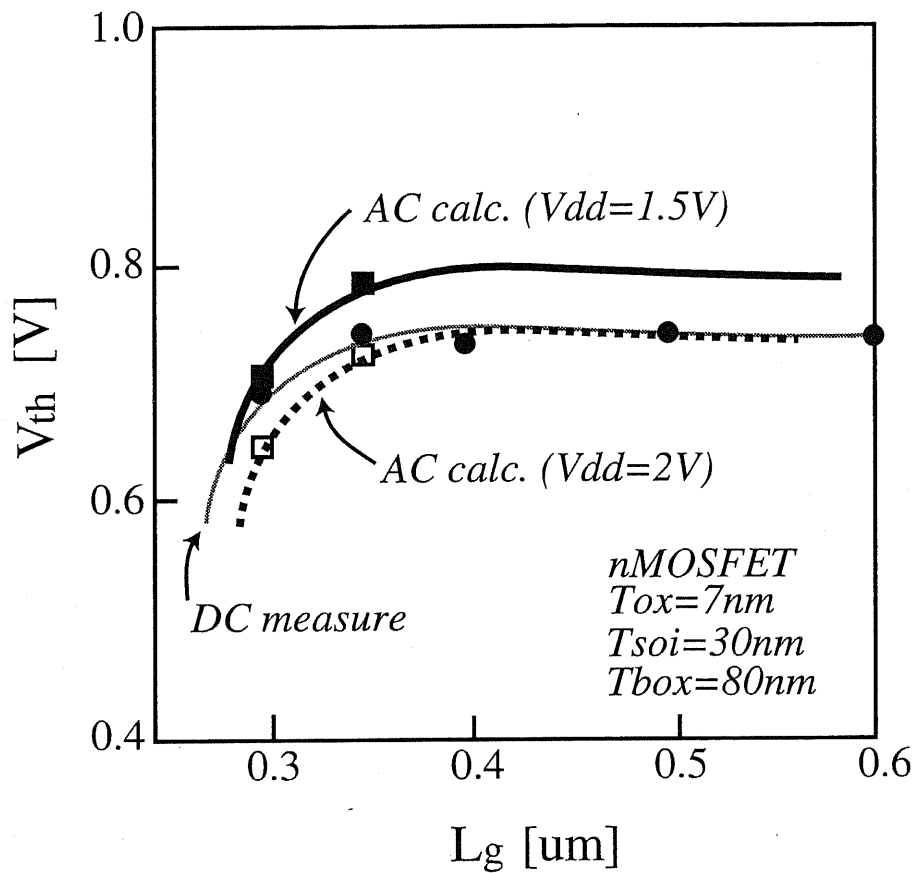


図 3.13: 閾値電圧変動を考慮した Roll-off 特性

電圧側で DC に比べ閾値電圧を高く、回路を低電圧で駆動する場合に有利となると考えられる。

3.5 まとめ

本章では以下のことを示した。

1. 動作中の SOI MOSFET を、SOI 層中に流れる正孔電流の流れから等価回路を考察し、閾値電圧シフトの評価モデルを提案した。

2. SOI CMOS 回路の動特性には、DC 時と異なるリーク電流を示すことが示された。また、その動作リーク電流成分には電源電圧に依存し、変化量や極性が異なることも示された。
3. 閾値電圧シフトの評価モデルによって、 ΔV_{th} は I_{AC} と I_{DC} の比に関係し、電源電圧に強く依存することを明らかとした。
4. 閾値電圧シフトを平均電界依存性を調べたところ、ゲート長によらず、ユニバーサルな特性を示し、ドレイン端の発生電流に依存することが明らかとなり、本提案モデルの妥当性が確かめられた。また、この結果から、動作閾値電圧と平均電界との実験式が導かれた。
5. 動作閾値電圧のゲート長依存性を調べた結果、DC 測定よりも早く閾値電圧の劣化が生じ、より急峻であることが示された。

参考文献

- [1] Colinge, J.P., Hashimoto, K., Kamins, T., Chiang, S.Y., Liu, E.D., Peng, S. and Rissman, P., "High-speed, low-power, implanted-buried-oxide CMOS circuits," *IEEE Electron Device Lett.*, vol. EDL-7, no. 5, pp. 279-281, 1986.
- [2] Fujishima, M., Asada, K., Ohmura, Y. and Izumi, K., "Low-power 1/2 frequency dividers using 0.1 μ m CMOS circuits built with ultrathin SIMOX substrates," *IEEE J. Solid-State Circuits*, vol.28, pp.510-512, 1993.
- [3] Miki, H., Ohmameuda, T., Kumon, M., Asada, K., Sugano, T., Ohmura, Y. and Izumi, K., "Subfemtojoule deep submicrometer-gate CMOS built in ultra-thin Si film on SIMOX substrate," *IEEE Tran. on Electron Devices*, vol.38, no.2, pp. 373-377, 1991.
- [4] Kamger, A., Hillenius, S.J., Cong, H-I, Field, R.L., Lindenberger, W.S., Celler, G.K., Trimble, L.E. and Sturm, J.C., "Ultra-high speed CMOS circuits in thin SIMOX films," in *IEDM Tech. Dig.*, pp. 829-832, 1989.
- [5] Fujishima, M., Yamashita, M., Ikeda, M., Asada, K., Ohmura, Y., Izumi, K., Sakai, T. and Sugano, T., "1 GHz 50 μ W 1/2 frequency divider fabricated on ultra-thin SIMOX substrate," *1992 Symposium on VLSI circuits*, pp. 46-47, 1992.

-
- [6] Tihanyi, J. and Schlotterer, H., "Influence of the floating substrate potential on characteristics of ESFI MOS transistors," *Solid-state Electronics*, vol.18, pp.309-314, 1975.
 - [7] El-Mansy, Y.A and Caughey, D.M., "Characterization of Silicon-On-Sapphire IGFET Transistors," *IEEE Trans. Electron Devices*, vol. ED-24, pp. 1148-1153, 1977.
 - [8] Fichtner, W., "Two-dimensional modeling of S.O.S. transistors", *Solid-state Electronics*, vol.12, pp.47-51, 1978.
 - [9] Eaton, S.S. and Lalevic, B., "The effect of a floating substrate on the operation of silicon-on-sapphire transistors," *IEEE Trans. Electron Devices*, vol. ED-25, pp. 907-912, 1978.
 - [10] Kato, K., and Taniguchi, K., "Numerical Analysis of switching characteristics in SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-33, pp. 133-139, 1986.
 - [11] J. Gautier, K.A. Jenkins and J.Y.-C. Sun," Body charge related transient effects in floating body SOI MOSFET's," *IEDM Tech. Dig.*, p. 623, 1995.
 - [12] Choi, J-Y. and Fossum, J.G., "Analysis and Control of Floating-Body Bipolar Effects in Fully Depleted Submicrometer SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-38, pp. 1384-1391, 1991.
 - [13] Suh, D. and Fossum, J.G., "Dynamic Floating-Body Instabilities in Partially Depleted SOI CMOS Circuits," *IEEE IEDM Tech. Dig.*, pp. 661-664, 1994.

第 4 章

サブスレッショルド係数を用いた SOI MOSFET の構造パラメータ抽出方法

4.1 はじめに

完全空乏型 SOI MOSFET は、電流利得の向上、デバイス容量の削減、及び、基板浮遊効果の抑制等の優れた特徴を持つが、SOI 層膜厚が薄く、素子特性は構造パラメータに強く影響するため、SOI 基板技術で、膜質や膜厚の均一性が問題となり、薄膜 SOI MOSFET の構造パラメータを評価することは、デバイス開発及び応用のために重要なテーマとなっている。

通常、デバイス等の構造評価には破壊試験として SEM や TEM 等の電子顕微鏡を用いた断面観察から、高精度に測定される。しかし、一回の測定には時間が掛かり、SOI ウエハ面内の膜厚の揺らぎを調べるような、多くの測定点を必要とする場合には困難となる。また、C-V 法やエリプソメトリ法では [1],[2]、十分な精度を得るためには、デバイスサイズと比べ、大きい測定領域を必要とするため、微小領域を調べることは難しい。

また、別な方法として、デバイスの電流特性を利用したパラメータ推定による構造評価手法がある。特徴として、短時間で、簡単に測定が行なえ、高精度モデルを用いることで、十分な結果を得ることができる。特に、薄膜 SOI MOSFET では、電流特性は構造パラメータに強く依存し、パラメータ推定方法に有効である。しか

し、SOI MOSFET の解析的モデル [3]-[6] には近似を多く含み、構造評価には精度的に不十分であったため、あまり用いられていない。そこで、数値モデルを用いて、正確に構造評価を行なう試みが報告されている [7]。この報告結果では、しきい値電圧のバックゲート特性を利用し、測定結果との良いフィッティング結果を得ているが、構造評価において、TEM 観測結果との十分な一致は得られていない。この原因として、用いた SOI モデルの精度又は、しきい値電圧特性に問題があったためと考えられる。

そこで、本章では、数値解析モデルを用いた構造パラメータ推定手法に基づき、完全空乏型 SOI MOSFET の構造パラメータ評価について検討する。評価には、S 係数のバックゲート特性 S - V_{gb} を用い、1 次元シミュレータによる解析より、構造パラメータ測定の検討を行なう。まず、提案する構造パラメータ評価方法と SOI MOSFET の 1 次元モデルについて述べ、SOI MOSFET の S - V_{gb} 特性を 1 次元シミュレータを用い、界面パラメータの依存性を解析し、構造評価結果についての検討を行なう。

4.2 評価方法と 1 次元モデル

4.2.1 評価方法

図 4.1 に本評価法の流れ図を示す。一般的に”*Analysis by Synthesis*” と呼ばれ、測定と計算結果をフィッティングによって、パラメータ推定を行なう評価方法である。パラメータ推定には最小二乗法を用い、以下の条件式で行なう。

$$S(x) = \sum_{i=1}^n [y_i - f_i(x)]^2 < \delta \quad (4.1)$$

ここで、 y_i と $f_i(x)$ はそれぞれ、S 係数の計算結果と測定結果である。 i は測定点の数である。また、 $S(x)$ は測定と計算との残差二乗和であって、本研究では、最小誤差条件の δ を 1 mV/dec とし行なった。

測定には、SOI デバイスのサブスレッショルド特性が構造パラメータに強く依存することから、本評価では S 係数を用いる。S 係数は、キャリア密度及び界面密度

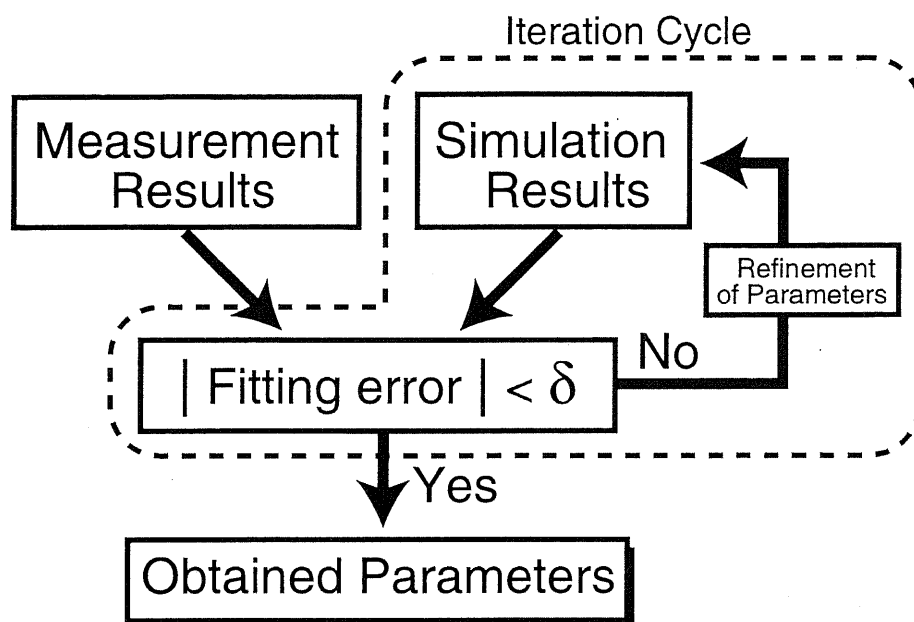


図 4.1: 構造パラメータ評価の流れ図

の特性を表し、酸化膜容量等のデバイス容量成分の等価回路で評価される [10]。そのため、 S 係数には多くの構造パラメータを示す特徴を持つ。

評価に用いる計算モデルには、高精度に計算することができる2次元や3次元のモデルを用いた方が有効であるが、これらのモデルを用いた場合、本手法では計算を繰り返し行うため、計算に膨大な時間が掛かる問題がある。特にSOIデバイスでは基板が浮いてる状態であるため、計算の収束性が悪く、計算に多くの時間を必要とする。そこで、われわれは、池野らによって提案されているSOI MOSFETの1次元モデル [7]-[9] を基に、SOI MOSFETの S - V_{gb} 特性を計算するデバイスシミュレータを開発した。本モデルの精度は、2次元モデルの計算結果との比較により、十分に良いことが確かめられている。ただし、本モデルでは1次元モデルを用い、拡散電流成分しか考慮しないため、評価を行えるドレイン電流は、サブスレッショルド領域のみ有効に行うことができる。

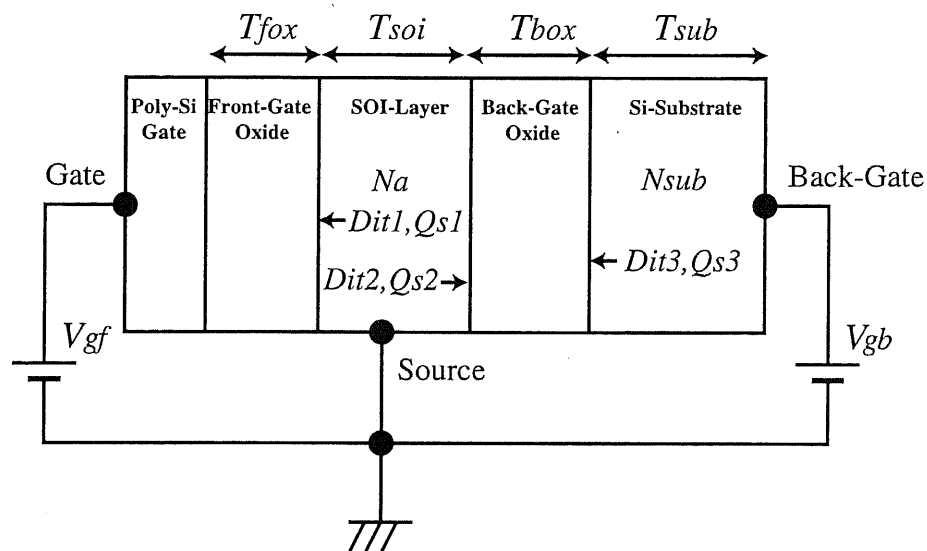


図 4.2: SOI MOSFET の 1 次元モデルとモデルパラメータ

表 4.1: 1 次元モデルで用いる構造パラメータ

T_{fox}	Front-gate oxide thickness
T_{soi}	Silicon-film thickness
T_{box}	Back-gate oxide thickness
T_{sub}	Substrate thickness
N_a	SOI-impurity concentration
N_s	Substrate-impurity concentration
$D_{it1,2,3}$	Interface trapped charge at the interface-1, -2, -3
$Q_{s1,2,3}$	Fixed interface charge at the interface-1, -2, -3

4.2.2 SOI MOSFET の 1 次元モデル

図 4.2 に、1 次元モデルの概略図と、本論文で評価する構造パラメータを示す。この 1 次元モデルで考慮している全てのパラメータを表 4.1 に示す。この 1 次元モデル

ルは、以下に示す 1 次元のポアソン方程式と、電子濃度、正孔濃度の熱平衡状態の関係式を基に、ソース端のチャネルキャリア密度を計算し、拡散電流を計算する。

$$\frac{d}{dx} \left(\epsilon \frac{d\psi}{dx} \right) = -q(N_{a,sub} - n(x) + p(x)) \quad (4.2)$$

$$n_{soi}(x) = n_i \exp \left[\frac{q}{kT} \psi(x) \right] \quad (4.3)$$

$$n_{sub}(x) = n_i \exp \left[\frac{q}{kT} (\psi(x) - V_{gb}) \right] \quad (4.4)$$

$$p(x) = n_i^2 / n(x) \quad (4.5)$$

ここで、 $N_{a,sub}$ は SOI 層内、及び、基板の不純物密度であり、 n_{soi} と n_{sub} はそれぞれ、SOI 層内と基板領域の電子密度である。

SOI の構造パラメータについては、以下の 11 個のパラメータを考慮する。まず、膜厚パラメータとして、ゲート酸化膜厚 (T_{fox})、SOI 層膜厚 (T_{soi}) 埋め込み酸化膜厚 (T_{box}) である。また、SOI 内 (N_a)、及び基板部 (N_s) の不純物濃度。ただし、SOI 層は十分薄いため、濃度は一定値とした。ゲート酸化膜及び埋め込み酸化膜界面における界面のパラメータは、界面トラップ (D_{it1} 、 D_{it2} 、 D_{it3}) 及び、界面の固定電荷 (Q_{s1} 、 Q_{s2} 、 Q_{s3}) をそれぞれの界面で考慮した。ここで、本論文では、ゲート界面を界面 1、埋め込み界面の SOI 層側を界面 2、さらに基板側を界面 3 と呼ぶことにする。また、酸化膜中の電荷に関しては、素子特性に与える効果が、界面密度と同様となることから、本モデルでは省略する。

ゲート電圧、バルク基板電圧は境界条件によって次式で計算する。

$$\psi_g = V_{gf} - \phi_{gate} \quad (4.6)$$

$$\psi_b = V_{gb} - \phi_{sub} \quad (4.7)$$

ここで、 ϕ_{gate} は SOI 層と n 型ポリシリコンとの仕事関数差である。 ϕ_{sub} は SOI 層とバルク基板とのフェルミ順位差で、次式で表される。

$$\phi_{sub} = \frac{kT}{q} \log \left(\frac{N_{sub}}{n_i} \right) \quad (4.8)$$

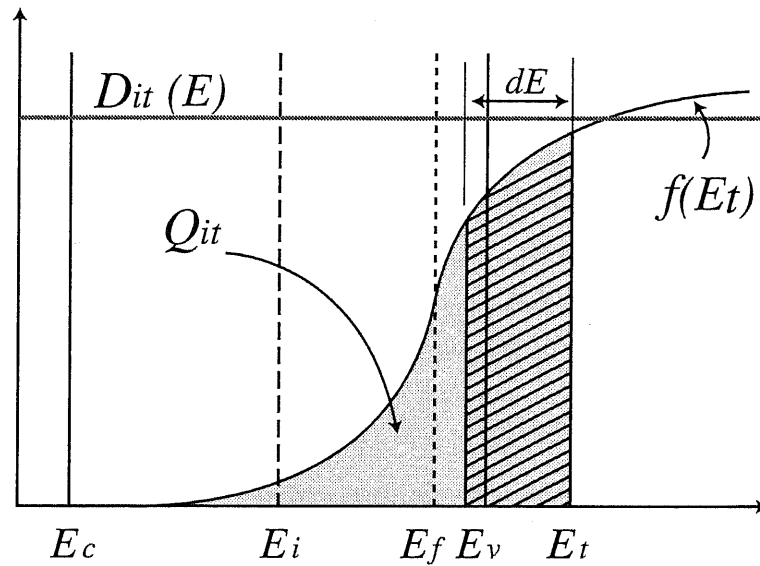


図 4.3: 界面トラップ準位と界面密度の概念図

4.2.3 界面トラップ準位

通常、Si-SiO₂系の界面トラップ準位は、電子が放出された場合、正に帯電し、トラップされた場合、中性となるドナー型の界面トラップと、電子がトラップされた場合、負に帯電し、放出された場合、中性となるアクセプタ型の界面トラップ準位とがある。しかし、ここでは評価にn型のMOSFETを用いるため、ドナー型の界面トラップ準位は無視し、アクセプタ型のみを考慮した界面モデルを用いる。界面トラップ準位と界面密度の概念図を、図4.3に示す。界面トラップ準位密度はエネルギー準位に分布し、界面に局在した電荷を形成するものである。ここでは、トラップの分布関数を、固体中の不純物準位と同様にフェルミ・ディラックの分布関数[11]と考え、界面トラップ準位密度及び、界面電荷密度は以下の関係式で表される。

$$f(E_t) = \frac{1}{1 + \frac{1}{g} \exp\left(\frac{E_t - E_f}{kT}\right)} \quad (4.9)$$

$$Q_{it} = \int_0^{E_t} (-D_{it} f) dE_t + Q_s \quad (4.10)$$

ここで、 g は縮退因子と呼ばれるもので、電子または正孔のスピンを考慮した値を示すものである。ここでは、縮退因子は電子のスピンを考え、2とする。また、 D_{it} 、 Q_{it} 、 Q_s 、 E_t はそれぞれ、界面トラップ準位、界面密度、界面固定電荷、界面のエネルギー準位である。また、本モデルでは、界面トラップ準位のエネルギー準位を一定値として扱う。以上の関係式を用い、それぞれの界面における電荷密度は計算される。

4.2.4 ドレイン電流モデル

S 係数はサブスレッショルド領域におけるドレイン電流の傾きを表す値であるから、キャリアの流れは拡散電流成分だけ考慮する。そこで、一般的に拡散電流は次式で示される。

$$I = \frac{qW}{L} \int_0^{T_{soi}} D(x) \{n_s(x) - n_d(x)\} dx \quad (4.11)$$

ここで、 $D(x)$ は電子の拡散定数で、 $n_s(x)$ 、 $n_d(x)$ はそれぞれ深さ方向に依存したソース端、ドレイン端の電子密度である。

ここで、 $n_s(x)$ は先に示した1次元ポアソン方程式で求めることができる。また、 $n_d(x)$ を考えて見ると、扱っている領域が拡散領域であることから、ドレイン端の電子密度はソース端に比べほぼ無視できる。

また、電子の拡散係数は、アインシュタインの関係式から以下の式で求められる。

$$D(x) = \frac{kT}{q} \cdot \mu(x) \quad (4.12)$$

ここで、 $\mu(x)$ は深さ方向に依存した値をもつ電子移動度である。この関係式を使って、先の拡散電流の式からドレイン電流式は次式で求められる。

$$I = \frac{qW}{L} \frac{kT}{q} \int_0^{T_{soi}} \mu(x) n_s(x) dx \quad (4.13)$$

移動度は縦方向電界効果を考慮し、以下に示す Lombardi のモデル [12] を用いる。

表 4.2: Lombardi の移動度モデル定数

Parameter	Value
B	4.75×10^7
C	1.74×10^5
D	5.82×10^{14}
$ex1$	0.68
$ex2$	2.0
$ex3$	2.5
μ_0	52.2
μ_1	43.4
μ_2	1427

$$\mu_s = \left[\frac{1}{\mu_{ac}} + \frac{1}{\mu_b} + \frac{1}{\mu_{sr}} \right]^{-1} \quad (4.14)$$

ここで、 μ_{ac} 、 μ_b 、 μ_{sr} はそれぞれ、音響フォノン散乱移動度、バルクシリコン中の移動度、表面電子移動度である。これらの移動度は以下の式で計算される。

$$\mu_{ac} = \frac{B}{E_{\perp}} + \frac{C N_{total}^{ex1}}{T^3 \sqrt{E_{\perp}}} \quad (4.15)$$

$$\mu_b = \mu_0 + \frac{\mu_{max} - \mu_0}{1 + \left(\frac{N_{total}}{C_R} \right)^{ex2}} - \frac{\mu_1}{1 + \left(\frac{C_S}{N_{total}} \right)^{ex2}} \quad (4.16)$$

$$\mu_{sr} = \left(\frac{D}{E_{\perp}^2} \right) \quad (4.17)$$

$$\mu_{max} = \mu_2 \left(\frac{T}{300} \right)^{ex3} \quad (4.18)$$

ここで、 $B \sim D$ 、 $ex1 \sim ex3$ は、フィッティングパラメータである。これらの値は、通常のバルクにおける代表的な値を用いた。

表 4.3: 測定試料の仕様

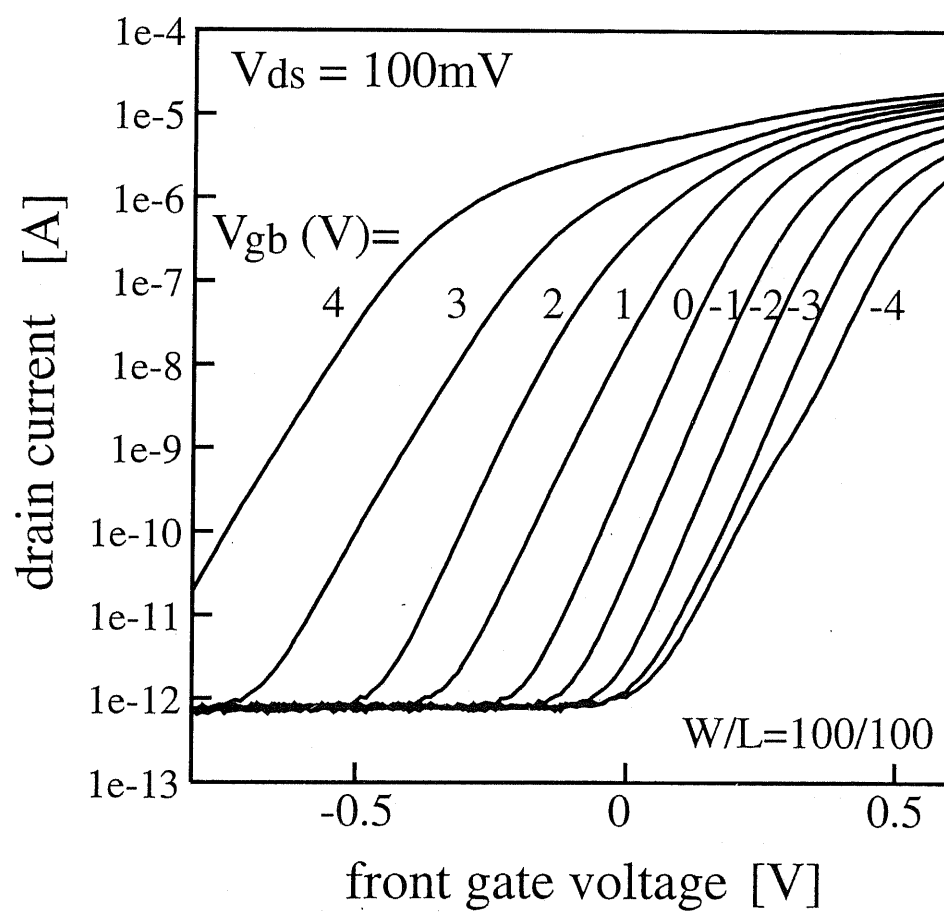
Parameter	Device-A	Device-B
L_g [μm]	100	1
W_g [μm]	100	20
Wafer	SIMOX	
T_{fox} [nm]	7	
T_{soi} [nm]	50	
T_{box} [nm]	80	

4.3 SOI MOSFET のサブスレッショルド特性

4.3.1 ドレイン電流電圧特性

本研究に用いた試料の SOI MOSFET は、p 型シリコン (100) 基板を用いたドーズ量は 0.4×10^{18} [$1/\text{cm}^2$]、100-mA クラスのイオン注入装置による SIMOX 基板で、異方性エッチを用いた素子分離で作成されたものである [13]。また、埋め込み酸化膜厚、シリコン膜厚はそれぞれ、80 nm、50 nm で設計された SOI 基板である。ゲート酸化膜の膜厚は 7 nm で、850℃の熱酸化によって形成されたものである。また、本論文では 2 つの試料 A, B を用い、サイズによる寄生効果を見捨てるため、十分大きなサイズとした。以上試料の仕様をまとめ、表 4.3 に示す。I-V 測定には HP 4142B モジュラ DC ソースと低雑音プローバを用い、電流の測定値はサブ pA 程度まで高精度に測定が可能である。

図 4.4 にサブスレッショルド領域の I_d - V_{gf} 特性の測定結果を示す。ここでは試料 A を測定した結果を示すが、他の試料にでも同様な結果を示している。測定には、 V_{gb} をパラメータとして、-5V ~ 4V の範囲とし、ドレイン電圧は 0.1V 固定で行なった。この測定結果ではシリコン層エッジ部の寄生 MOS の影響は表れておらず、通常見られる良好なサブスレッショルド特性を示している。バックゲート電圧が 2 [V] 以上になるとドレイン電流が測定限界値まで減少せず、一定値になる特性を

図 4.4: SOI MOSFET の I_d - V_{gf} 特性の測定結果

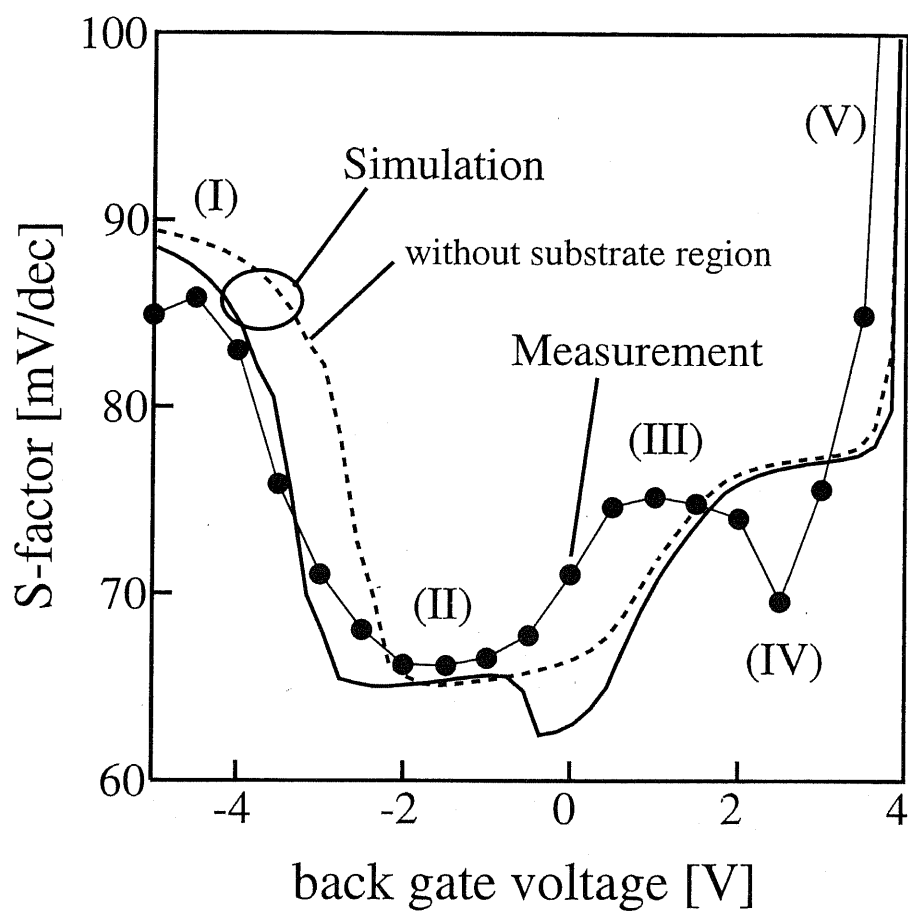


図 4.5: SOI MOSFET の S - V_{gb} 特性の測定結果と計算結果

示しているが、これは SOI 層側の界面で反転し、バックチャネルが形成されるためである。

4.3.2 サブスレッショルド係数のバックゲート特性

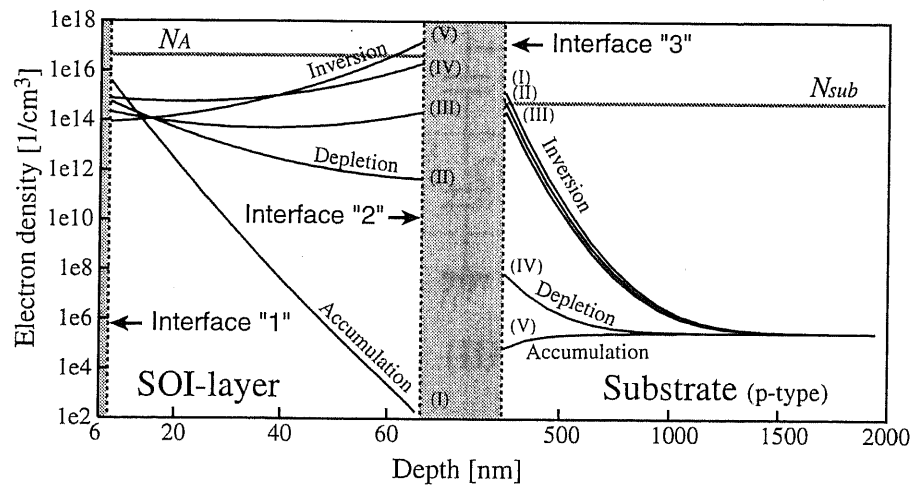
S - V_{gb} 特性を、図 4.5 に示す。図には、測定結果と、1 次元シミュレータによる 2 つの計算結果を示している。膜厚パラメータに設計値を用い、界面電荷を無視したもの（図中の実線）と、さらに基板領域を無視して計算した結果（図中の点線）である。また、 S 係数の測定は、ドレイン電流が 0.1 nA 近辺における平均値として求めた。ここで、基板領域を無視した場合、本論文では 2 界面モデルと呼び、無視しない場合は 3 界面モデルと呼ぶ。

それぞれの特性は、傾向は似ているが、異なる結果を示した。これは、設計値が実際の値とは異なるためと考えられる。また、 S - V_{gb} 特性には、バックゲート電圧が 2.5V 付近で、今までの報告に見られない、 S 係数が減少する特性を示した。この減少特性は、基板部を考慮した計算結果においても、0V 付近において同様な傾向を示している。しかし、2 界面モデルでは減少特性は現われない。このことから、この特性は基板部に関係した現象であることが考えられる。そこで、 S - V_{gb} を図 4.4 に示した 5 つの領域 (I ~ V) に分け、それぞれの計算結果を基に解析する。

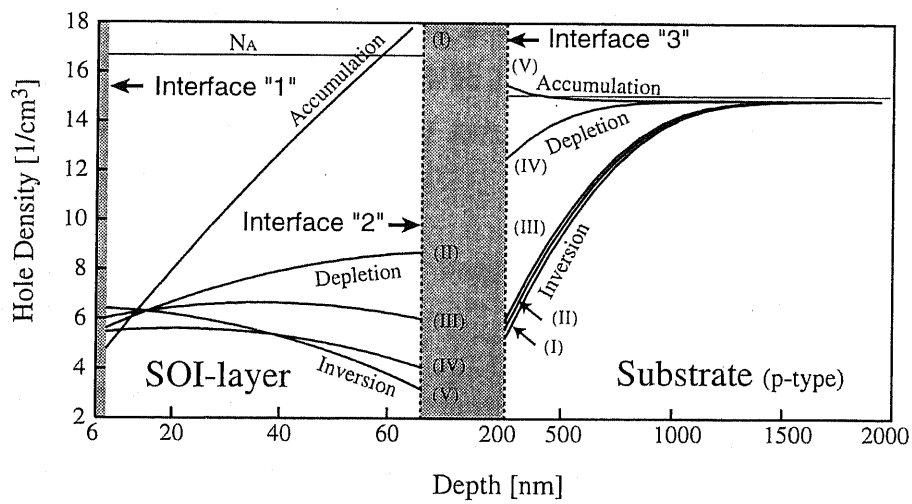
図 4.6 に、各領域の SOI 層及び基板内の電子密度の計算結果を示す。また、図 4.7 に各領域の容量の等価回路を示す。図では各界面における界面トラップ容量は省略している。ここで、一般的に S 係数は以下の式で表され、ゲート酸化膜容量と、ゲート以下の容量との比で決まる値である。ことから以下に S - V_{gb} 特性を考察する。

$$S = \frac{kT}{q} \ln(10) \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (4.19)$$

領域 I では、界面 2 の近傍が蓄積状態で、 S 係数は C_{fox} と C_{soi} との比で決まる一定値となる。また、領域 II では、SOI 層内の空乏化によって、SOI 層、埋め込み酸化膜及び、基板部とが容量結合し、ゲート以下の等価的な容量が小さくなるため、 S 係数が最小値となる。さらに、領域 III では、界面 2 の近傍が弱反転状態で、バックチャネルが形成される。このため、反転層容量 (C_{inv}^2) が加わり、領域 II に比べ S



(a) Electron density



(b) Hole density

図 4.6: 1次元シミュレータによる SOI 層及び基板内の電子密度の計算結果

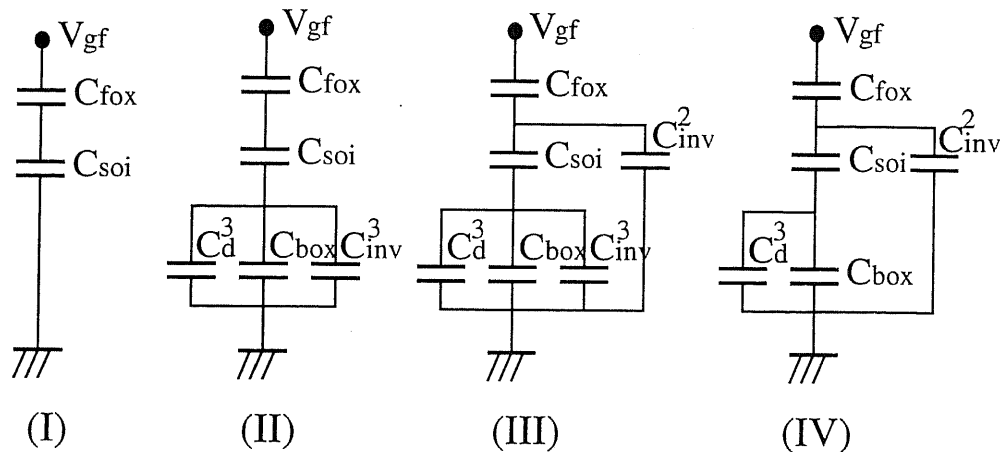


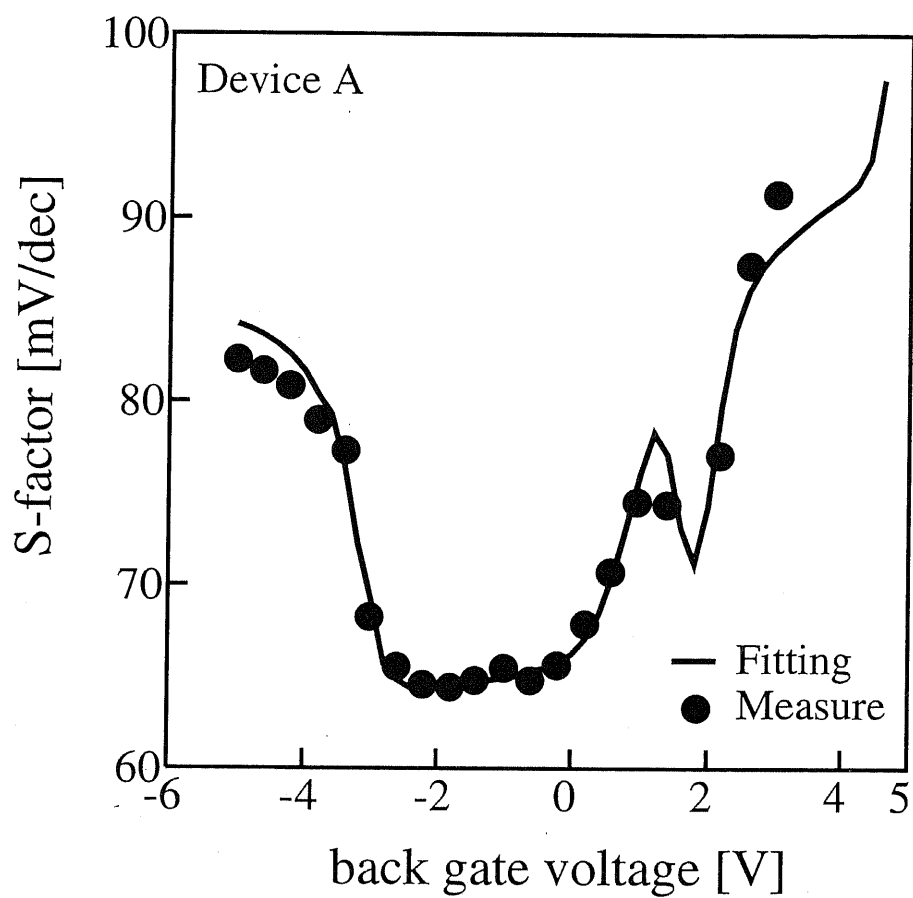
図 4.7: SOI デバイスの容量等価回路

係数は増加する。また、領域 IV になると、界面 3 の近傍が反転から空乏の状態へと遷移する。このため、界面 3 近傍の反転層容量 (C_{inv}^3) が消失し、小さい容量値の C_d^3 のみとなる。このため、ゲート下の容量は急激に減少し、 S - V_{gb} 特性に谷状の減少特性を示す。最後に、領域 V では、界面 2 で強反転状態となり、サブスレッショルド特性にゲート依存性がなくなる。そのため、特性に傾きはなく、 S 係数は急峻な増加として表されることになる。

4.4 結果と検討

4.4.1 フィットティング結果

図 4.8, 4.9 に、試料 A, B に対して行なったパラメータフィッティング結果を示す。この結果、 S 係数特性において、それぞれ良いフィッティング結果を得ることが出来た。また、 S 係数の測定結果では、試料間にばらつきを示し、同一ウエハ上の試料間でも異なる構造パラメータを持つことが推察される。表 4.4 に、上のフィッティング結果から得られた本評価結果を示す。それぞれの試料間で、構造パラメータにばらつきが見られるが、表 4.4 に示すように、一般的に言われている SIMOX 基

図 4.8: S - V_{gb} 特性のフィッティング結果 (試料 A)

板のばらつき [14] 程度であることから、妥当な抽出結果であると考えられる。このことは後章でさらに検討する。

また、さらにフィッティング結果から得られた構造パラメータを用いて、ドレイン電流のサブスレッショルド特性を計算した結果、測定結果との良い一致をそれぞれに示した (図 4.10、4.11)。

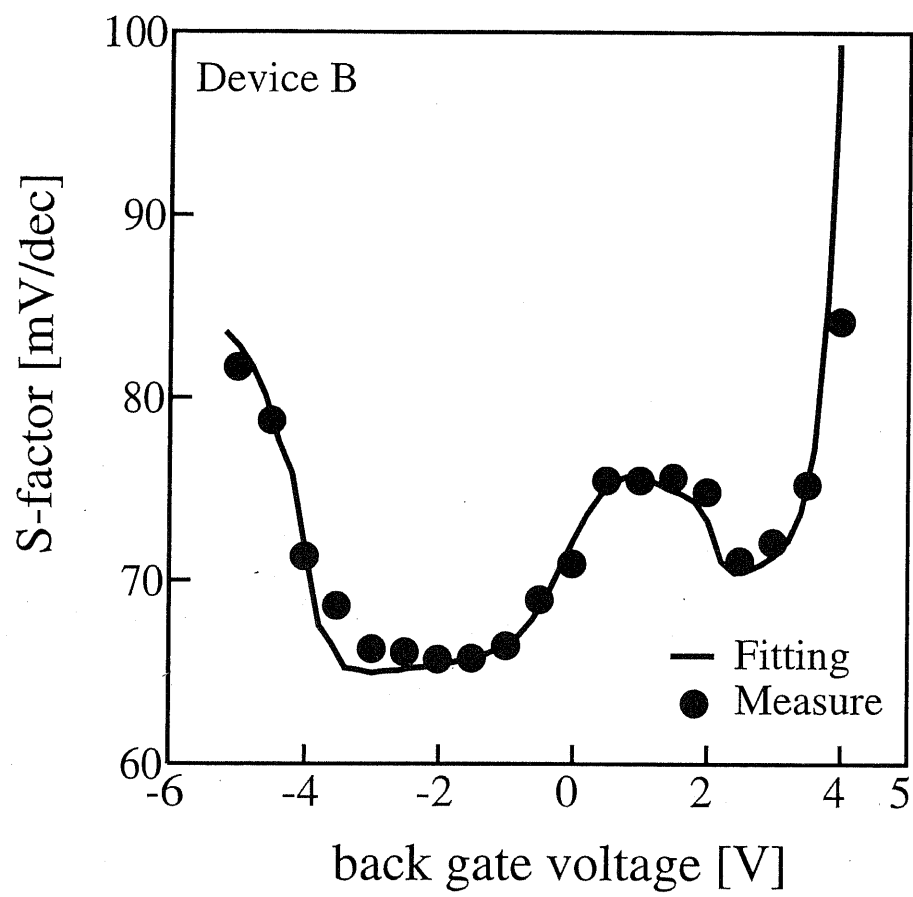
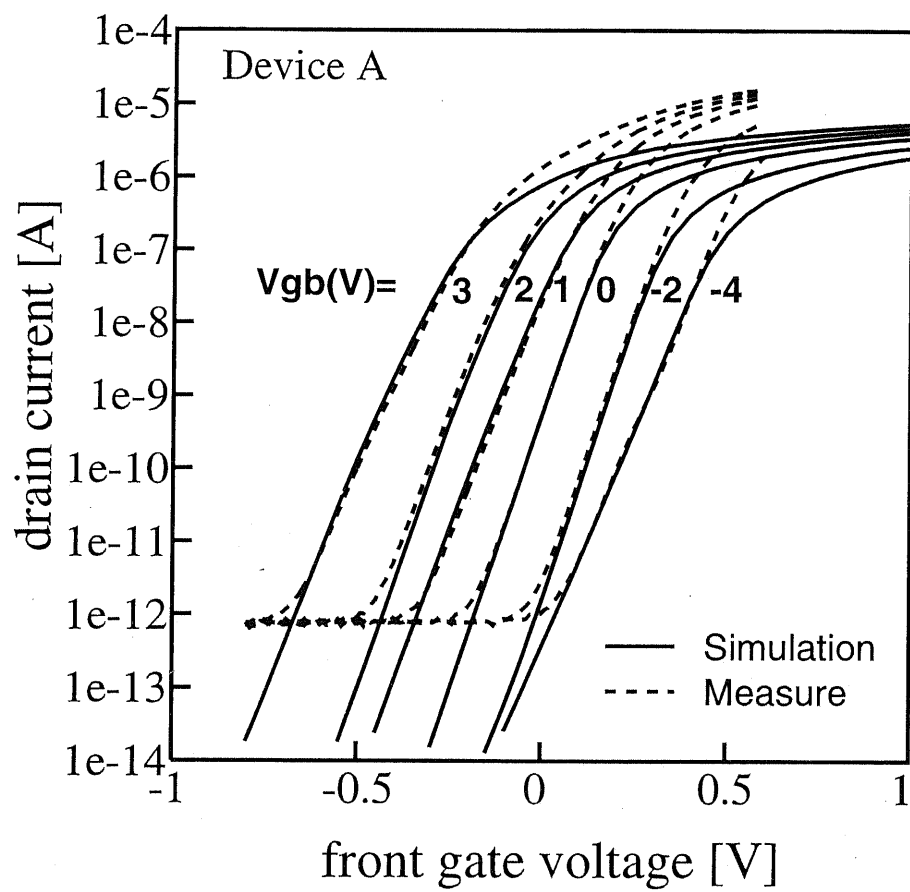


図 4.9: S - V_{gb} 特性のフィッティング結果 (試料 B)

図 4.10: I_d - V_{gf} 特性の測定と計算結果 (試料 A)

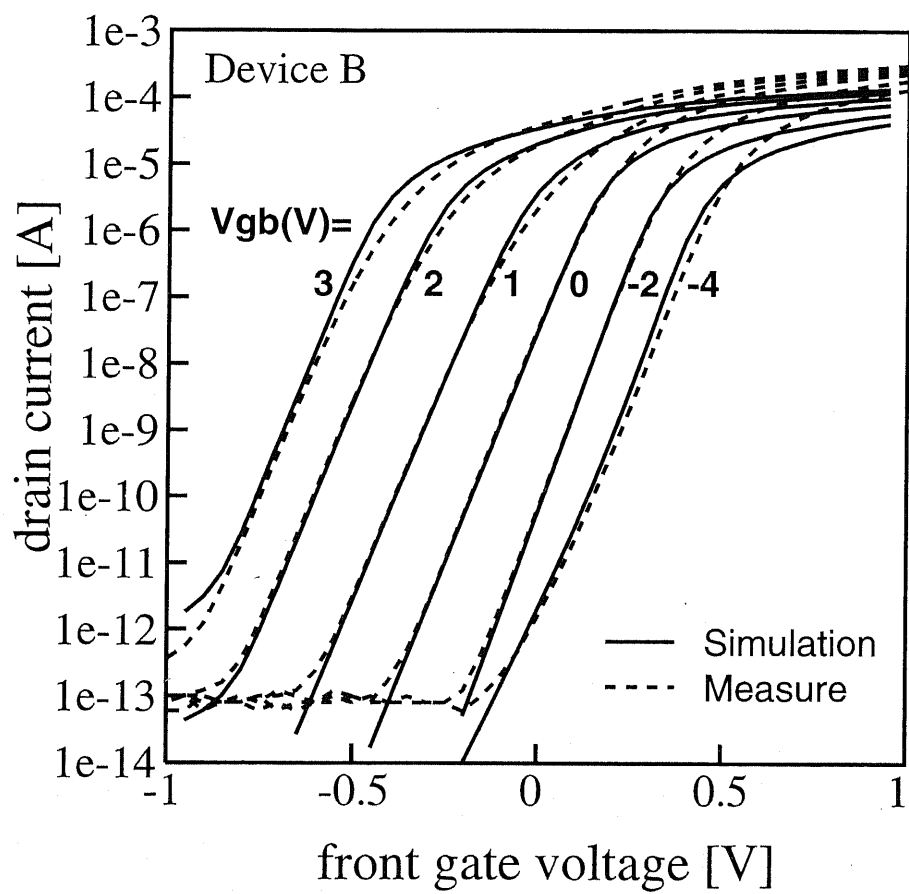
図 4.11: I_d - V_{gf} 特性の測定と計算結果 (試料 B)

表 4.4: SOI MOSFET の構造パラメータ評価結果

Parameter		Design	Device A	Device B	Present
T_{fox}	[nm]	7.0	7.6	6.26	-
T_{soi}	[nm]	50	63.3	54.1	$\delta \pm 5$
T_{box}	[nm]	80	98.7	96.5	$\delta \pm 10$
N_a	[1/cm ³]	-	4.4×10^{16}	7.8×10^{16}	-
N_s	[1/cm ³]	-	4.3×10^{13}	5.0×10^{15}	$\simeq \times 10^{15}$
D_{it1}	[1/cm ² eV]	-	1.5×10^{10}	8.1×10^{10}	$\simeq \times 10^{10}$
D_{it2}	[1/cm ² eV]	-	2.5×10^{11}	4.0×10^{10}	$0.5 - 2 \times 10^{11}$
D_{it3}	[1/cm ² eV]	-	1.0×10^{11}	1.7×10^{11}	(5×10^{11})
Q_{s1}	[1/cm ²]	-	1.0×10^{10}	1.0×10^{10}	-
Q_{s2}	[1/cm ²]	-	1.0×10^{10}	7.0×10^{10}	1.9×10^{11}
Q_{s3}	[1/cm ²]	-	2.7×10^{11}	6.6×10^{11}	1.2×10^{10}

4.4.2 界面パラメータの影響

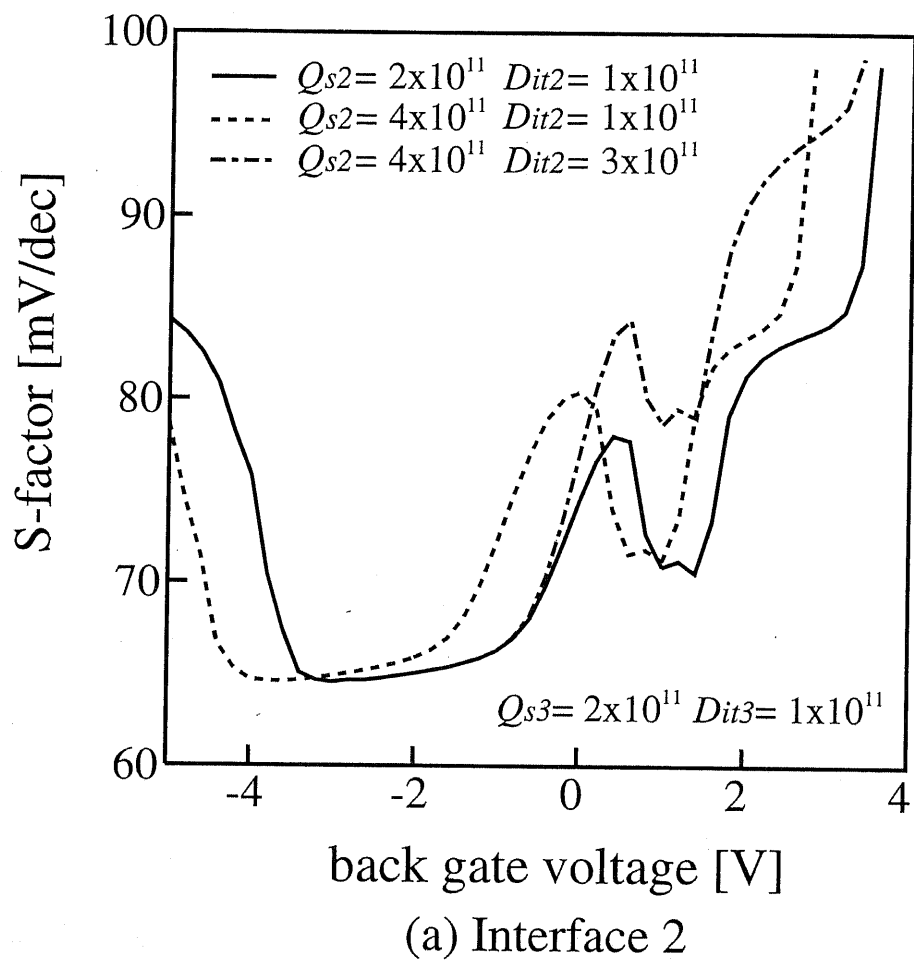
図 4.12, 4.13 に、界面 2 及び界面 3 の界面密度パラメータ依存性の計算結果を示す。S 係数の界面密度パラメータ依存性は、それぞれに異なる傾向を持つ。特に、S 係数の減少特性においては、大きく影響している。したがって、減少特性をフィッティングすることが界面パラメータ評価に重要であると考え、減少特性の界面パラメータ依存性について考察を行なう。

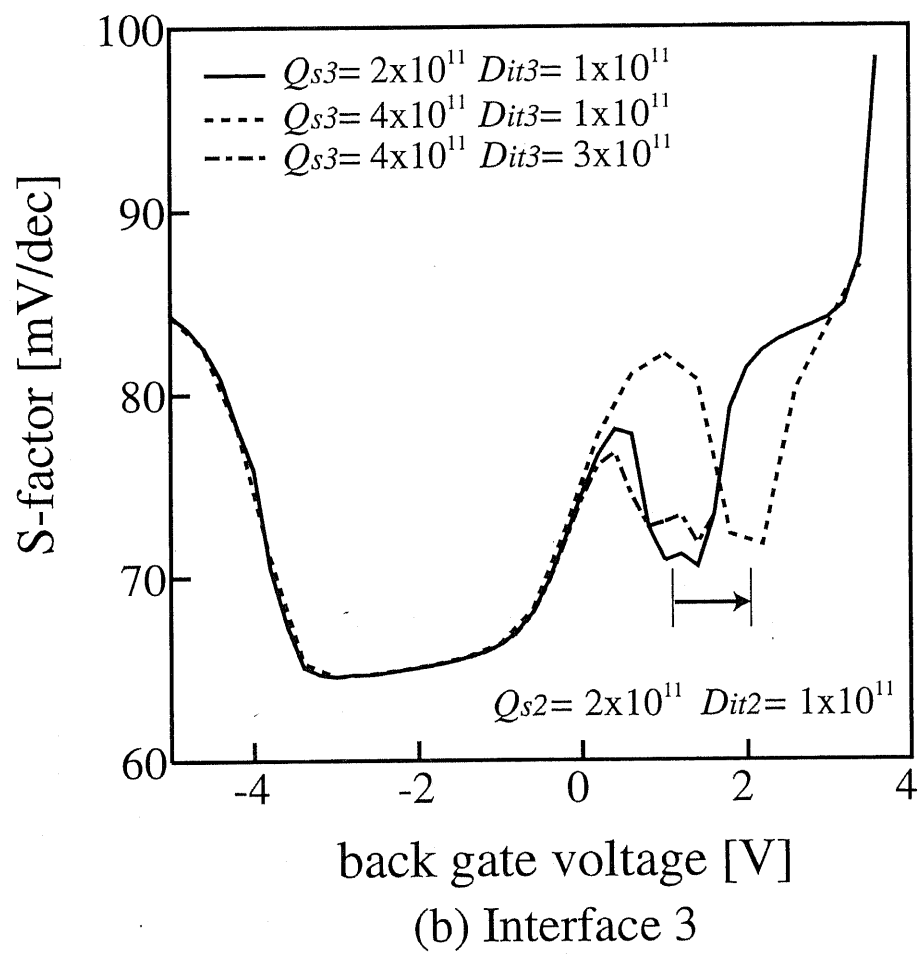
図 4.12 の界面 2 パラメータ依存性において、 S - V_{gb} 特性は低 V_{gb} 側へのシフト、及び、減少特性は S 係数の増加傾向を示す。これは、 Q_{s2} 、 D_{it2} パラメータの増加が界面 2 の電荷密度を増加させ、界面 2 のしきい値電圧 (V_{th2}) を減少させることに起因する。なぜならば、 V_{th2} の減少によって、基板内の状態変化が、すべて低電圧側にシフトし、 S - V_{gb} 特性も同様に低 V_{gb} 側にシフトすることになるからである。したがって、S 係数は低 V_{gb} 側へシフトする。図 4.14 に界面 2 の表面電位及び電荷

密度の計算結果を示す。 Q_{s2} パラメータの増加は、表面電位及び電荷密度を低 V_{gb} 側に変化させる依存性を示している。また、 D_{it2} パラメータに関しては、界面 2 の電荷密度にのみ強く影響し、表面電位や界面 3 の電荷密度には影響を与えない。その依存性としては、 V_{gb} が 0V 以上の条件で大きく影響を与える。したがって、 D_{it2} 依存性は S 係数においても V_{gb} が 0V 以上で大きく影響し、以下では影響しない。以上のことから、 Q_{s2} 、 D_{it2} のパラメータ間で異なる依存性を示し、特に、S 係数の増加は強く D_{it2} に依存することが分かった。

界面 3 パラメータの依存性は、図 4.13 に示す結果から、 S - V_{gb} 特性に対して全体的にほとんど影響を与えない。しかし、減少特性においては、 Q_{s3} によって大きく影響を受け、高 V_{gb} 側にシフトする依存性を示す。また、わずかに D_{it3} パラメータの依存性は、低 V_{gb} 側にシフトする依存性を示す。これは、 Q_{s3} パラメータの増加が、界面 3 の界面密度を増加させ、界面 3 のしきい値電圧 (V_{th3}) の減少に起因する。なぜならば、減少特性が基板部の反転から空乏状態に変化するために起きる現象であることから、 V_{th3} の減少によって、反転から空乏化するための V_{gb} を増加させるためである。したがって、減少特性は高 V_{gb} 側にシフトした結果を示した。また、 D_{it3} パラメータによる影響は、図 4.15 に示す結果から、電荷密度においては、界面 2 及び界面 3 で影響している。しかし、両界面の表面電位にはほとんど影響しない。このため、 S - V_{gb} 特性の全体的にはほとんど変化が見られない結果を示したと考えられる。界面の電荷密度に対しては、減少特性が現われるバイアス状態 ($V_{gb} = 0V$ 以上の条件) で、界面 2 の電荷を負に増加させるが、界面 3 においては影響がなくなる。したがって、減少特性に限り Q_{s2} パラメータ依存性と同様に考えることができ、減少特性を低 V_{gb} 側にシフトさせる依存性を示すことになるのである。

以上の検討結果から、それぞれの界面パラメータの依存性は、減少特性に強く影響が現われることから、本論文で提案する S - V_{gb} 特性を用いたパラメータ推定手法によって、界面のパラメータ評価にも有効であると考ええる。

図 4.12: 界面パラメータ (Q_{s2} , D_{it2}) 依存性の計算結果

図 4.13: 界面パラメータ (Q_{s3} , D_{it3}) 依存性の計算結果

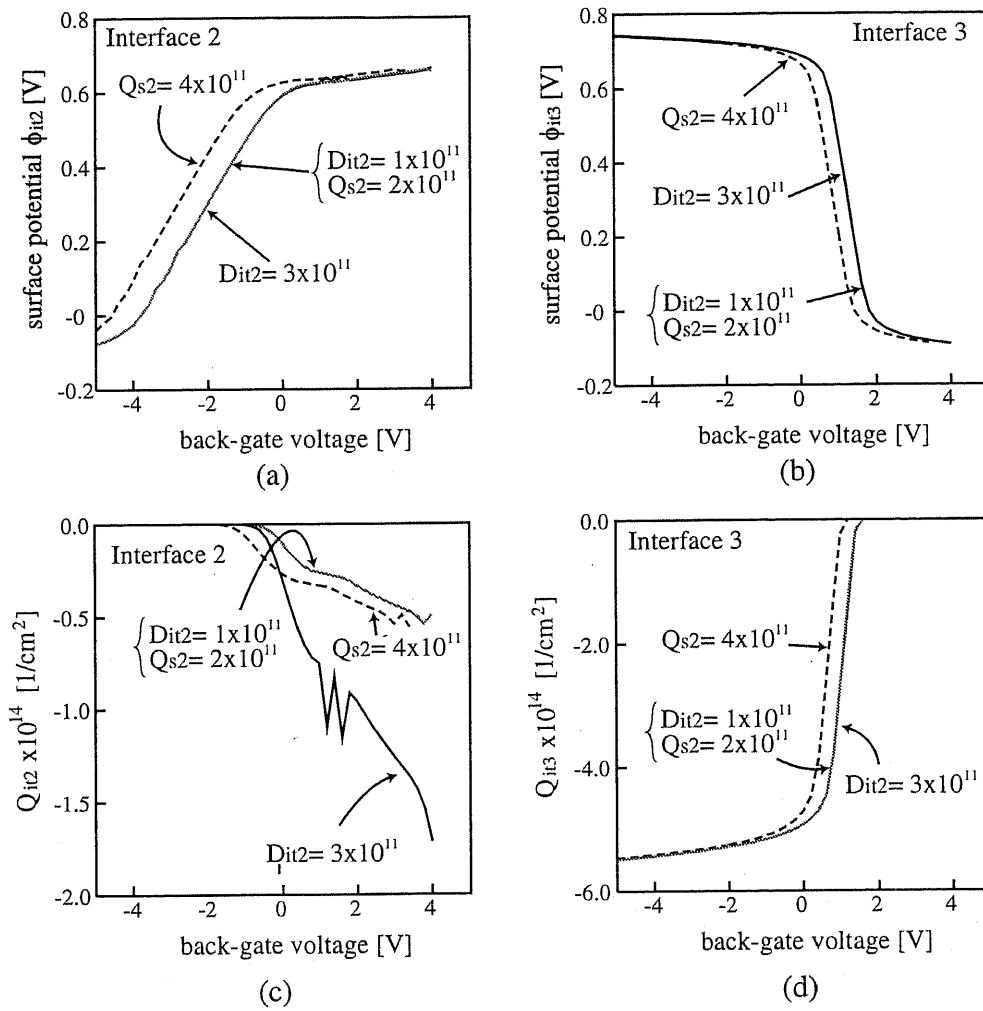


図 4.14: 界面密度及び表面電位の界面 2 パラメータ依存性

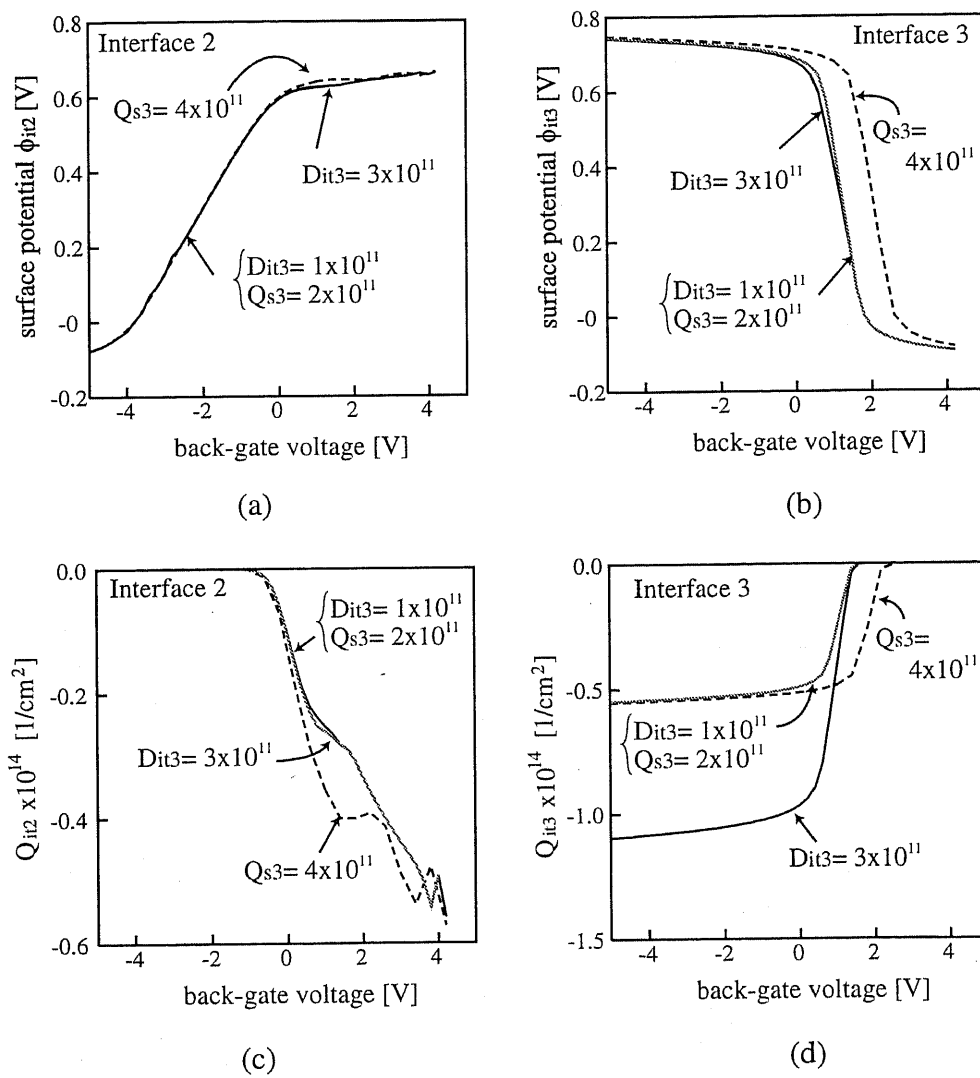


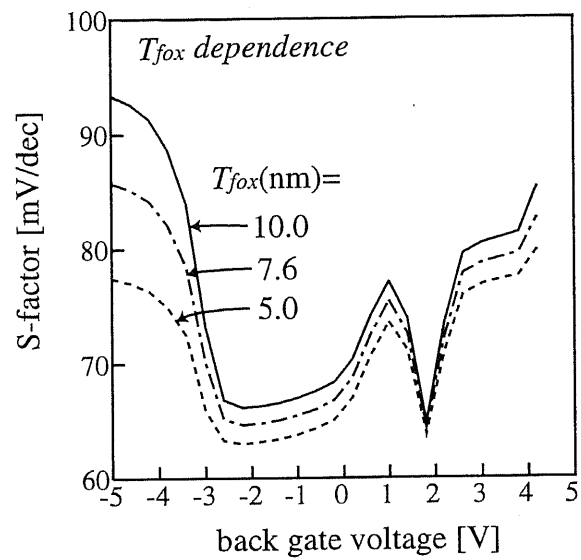
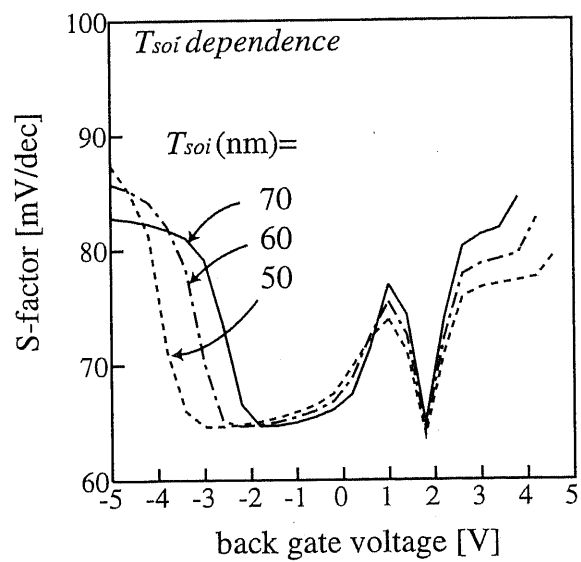
図 4.15: 界面密度及び表面電位の界面 3 パラメータ依存性

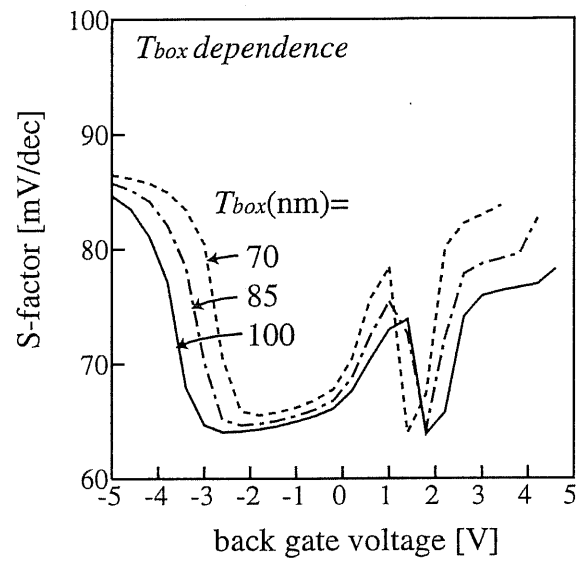
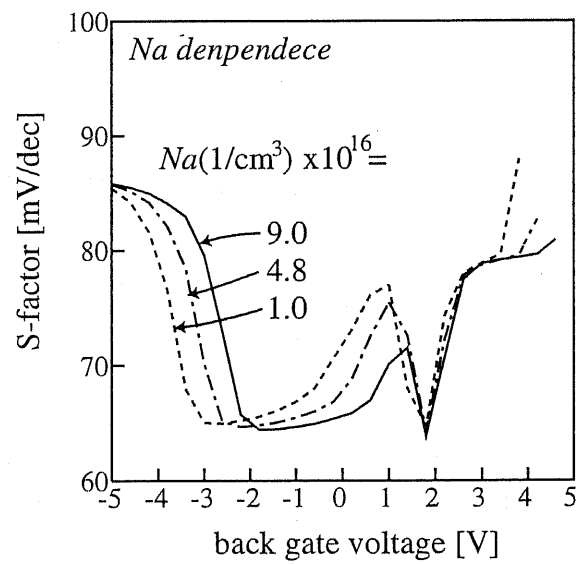
4.4.3 SOI デバイス設計指針の検討

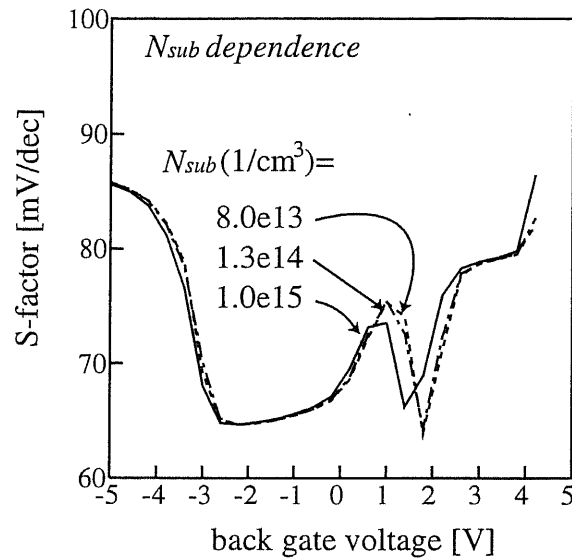
図 4.16～図 4.20 に、界面パラメータ以外の構造パラメータに依る、 S - V_{gb} の依存性を示す。図 4.16 の T_{fox} 依存性では、蓄積状態において強く依存する特性を示す。S 係数は、 T_{fox} が薄くなるにしたがい、小さくなる。したがって、 T_{fox} は薄く設計した方がよい。図 4.17 の T_{soi} 依存性では、 T_{fox} と同じく、蓄積状態に強く依存する特性を示す。S 係数は、 T_{soi} が薄いほど、完全空乏によって最小値となる領域が長くなる。したがって、 T_{soi} は薄い方が有利である。図 4.18 の T_{box} 依存性では、特性全体に依存する。また、 T_{box} が薄いほど、S 係数は全体に増加し、特性が劣化する。よって、 T_{box} は厚い方が性能向上する。図 4.19 の N_a 依存性では、濃い方が、特性全体を高 V_{gb} 側にシフトする。また、コブも減少し、S 係数が良くなる。図 4.20 の N_s 依存性では、ほとんど影響しない。わずかに濃い方が、減少特性を低 V_{gb} 側にシフトさせる。以上をまとめ、SOI デバイスの S 係数向上を目指した設計には、表 4.5 に示した指針で行なえば良い。 T_{fox} においては、薄い程向上するが、5 nm 以下ではトンネル効果のため用いることはできないと考える。また、 T_{soi} においても、薄い程良いが、10 nm 以下で量子効果が起きる領域であるため、本評価結果で推測することはできない。

表 4.5: 完全空乏型 SOI MOSFET のサブスレッショルド係数最適化のための設計指針

パラメータ	デザイン指針
T_{fox}	薄くする (≥ 5 [nm])
T_{soi}	薄くする (≥ 10 [nm])
T_{box}	厚くする
N_a	濃く
$D_{it1,2,3}$ 、 $Q_{s1,2,3}$	ほとんど関係ない

図 4.16: S - V_{gb} 特性の T_{fox} 依存性図 4.17: S - V_{gb} 特性の T_{soi} 依存性

図 4.18: S - V_{gb} 特性の T_{box} 依存性図 4.19: S - V_{gb} 特性の N_a 依存性

図 4.20: S - V_{gb} 特性の N_s 依存性

4.5 まとめ

ここでは、SOI の構造パラメータ評価方法を検討した結果、以下のことが示された。

1. パラメータ推定を行なう評価特性に、 S - V_{gb} 特性を用いる構造パラメータ評価方法を提案した。
2. SOI MOSFET の 1 次元モデルを基に、界面モデルを付加した、 S 係数を計算するシミュレータを開発した。
3. S - V_{gb} 特性に、今まで発表されていない、 S 係数の減少する特性を示すことが、本研究によって示された。さらに、 S - V_{gb} 特性を 5 つの領域に分け、本シミュレータを用いて解析し、そのメカニズムを明らかにした。
4. 本評価方法で行なった結果、良く一致したフィッティング結果を示した。また、構造パラメータを容易に評価することができた。さらに、 I_d - V_{gf} 特性に

においても、良い一致を得ることが示された。

5. また、界面トラップ準位及び、固定電荷依存性を解析した結果、埋め込み界面の界面密度は、特に S - V_{gb} 特性の減少特性に強く影響を与えることを明らかにした。
6. 各構造パラメータ依存性を調べた結果、 S 係数を最適化する SOI デバイスの設計指針を示すことができた。

参考文献

- [1] S. Cristoloveniu, "A review of the electrical properties of SIMOX substrates and thier impact on device performance," *J. Electrochem. Soc.*, vol. 138, p. 3131. 1991.
- [2] M. Levy, E. Scheid and S. Cristoloveniu, "Depth profiles of the optical properties of buried oxides (SIMOX) by elipsometry," *Thin Solid Films*, vol. 148, p. 127. 1987.
- [3] H-K. Lim and J.G. Fossum, "Current-voltage characteristics of thin-film SOI MOSFET's strong inversion", *IEEE Trans. Electron Devices*, vol.31, no.4, pp.401-408, 1984.
- [4] H.K. Lim and J.G. Fossum, "Threshold Voltage of Thin-Film Silicon-On-Insulator (SOI) MOSFETs," *IEEE Trans. Electron Devices*, vol.30, no.10, pp.1244-1250, 1983.
- [5] H.T. Chen and R.S. Huang, "An analytical model for back-gate effects on ultrathin-film SOI MOSFET's," *IEEE Trans. Electron Lett.*, vol.12, no.8, pp.433-435, 1991.
- [6] F. Balestra, "Analysis of the dependence of the subthrehsold swing and the threshold voltage on the substrate voltage of thin-film SOI MOSFETs. Ex-traction of the interface state densities," *Solid-State Electronics*, vol. 35, no. 12, pp. 1783-1786, 1992.

-
- [7] R. Ikeno, H. Ito, and K. Asada, "Device Parameter Estimation of SOI MOS-FET Using One-Dimensional Numerical Simulation Considering Quantum Mechanical Effects," *IEICE Trans. on Electronics.*, vol.E80-C, no.6, pp.806-811, 1997.
 - [8] R. Ikeno, H. Ito, T. Nakura, and K. Asada, "Evaluation of SOI MOS-FET threshold voltage using 1-D device simulation," IEICE technical Report, vol.94, no.567, pp.25-30, 1995.
 - [9] R. Ikeno, H. Ito, and K. Asada, "One-dimensional analysis of subthreshold characteristics of SOI-MOSFET considering quantum mechanical effects," 4th International Workshop on Computational Electronics, p.11, 1995.
 - [10] D.J. Wouters, J.P. Colinge, and H.E. Maes, "Subthreshold slope in thin-film SOI MOSFET's," *IEEE Trans. Electron Devices*, vol.17, no.9, pp.2022-2033, 1990.
 - [11] S.M. Sze, "Physics of semiconductor devices, 2nd edition," Jhon Wiley & Sons, Inc., New York, 1984.
 - [12] C. Lombadi, S. Manzini, A. Saporito and M. Banzi, "A physically based mobility model for numerical simulation of nonplanar devices," *IEEE Trans. Computer Aided Design*, vol.7, no.11, pp.1164-1170, 1988.
 - [13] K. Izumi, M. Doken, and H. Ariyoshi, "C.M.O.S devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon," *IEEE Trans. Electron Lett.*, vol.14, no.18, pp.593-594, 1978.
 - [14] S. Cristoloveanu and S.S. Li, "Electrical characterization of silicon-on-insulator materials and devices," Kluwer Academic Publishers, 1995.

第 5 章

透過型電子顕微鏡による断面観察

5.1 はじめに

一般的に、SOI 基板の問題点として、膜厚の揺らぎがある。このため、SOI デバイス開発の技術向上のためには、膜厚の均一化、膜質の向上が挙げられる。よって、盛んに SOI プロセスが研究されている。また、本研究で用いる SOI 基板は、SIMOX 基板であることから、一般的に膜厚のばらつきは大きく、面内で一様に分布する [1][2]。さらに、本試料は、初期に開発された SIMOX 基板であるため、ばらつきの度合いも大きいものと推察される。

本章では、SOI 基板の断面を、破壊試験である透過型電子顕微鏡 (TEM : Transmission Electron Microscope) を用いて、膜厚パラメータの評価を行なう。この結果を用い、本論文で提案する構造評価の評価結果を検討する。

5.2 TEM 試料の作成

断面 TEM 観察をするために SOI MOSFET を観察用に加工しなければならない。そこで、大きいサイズの試料で、膜厚の揺らぎを観測する。断面 TEM 観測による観察には以下の手順で行った。

A. ダイシング装置による試料の切り出し

まず、試料はダイシング装置によって、ウエハから切り出すと同時に、図 5.2(1) に示す形状に加工しなければならない。理由として、TEM 装置の試料台のサイズの問題と、FIB (focused Ion Beam) による加工時間を出来るだけ少なくするためである。

この段階では試料の壁の厚さを 20 - 50 μm にする。この厚さはブレードの種類によって異となる。本研究で使ったブレードは、(株)DISCO の P1A863 で、送り速度 0.5 mm/sec、ピッチングサイズ 0 - 3 μm で行なった。

B. FIB 装置による仕上げ加工

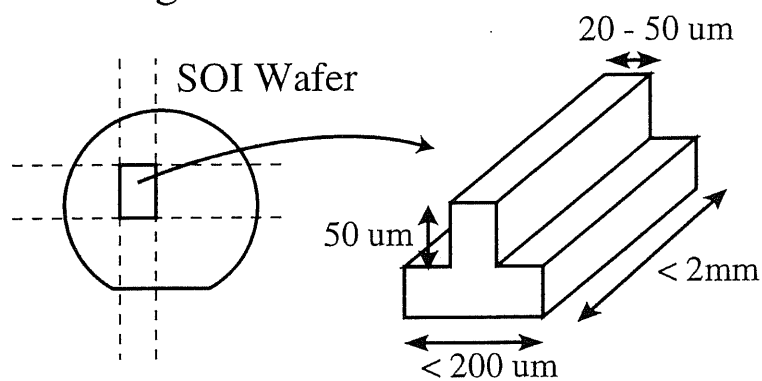
ダイシング装置によって切り出した試料はさらに、FIB 装置を使い、図 5.2(2) に示すように、幅が 0.1 μm の壁に仕上げる。この 0.1 μm の壁を FIB で加工するには、まず、荒加工としてビームが強く幅広いビームで行なう。次に、中加工として、強度が強く、幅が狭いビームで行なう。さらに、仕上げ加工で、強度が弱く、幅が狭いビームで、時間を掛けて少しずつ加工を行なう。よって、仕上げ加工には、かなりの時間を要し、また、FIB 装置のビームの安定度によって大きく加工速度が変化するため、扱いに非常に難しい。特に、加工中の試料を 2 次イオン像 (Secondary Ion Microscopy) で観測するため、観測と同時に、試料を削ってしまう問題がある。よって、0.1 μm の壁を加工することは非常に難しく、経験と技術とを必要とする。

また、膜厚揺らぎを広い範囲で観測するため、加工サイズが大きく、1 回の加工時間は約 5 - 6 時間を要する。

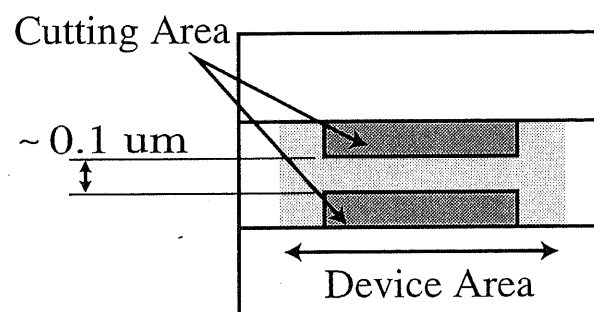
C. TEM 試料及び観測

TEM 観測には、測定試料を試料台 (シートメッシュ) に付ける必要がある。また、シートメッシュは半分にカットし、図 5.2(3) に示すように試料をボンドする。ボンドは導電性のある銀ペーストを用いる。以上で、TEM 試料の作製が完了となる。あとは TEM 装置に試料をセットし、観測を行う。

1. Dicing Process



2. FIB Process



3. TEM observation

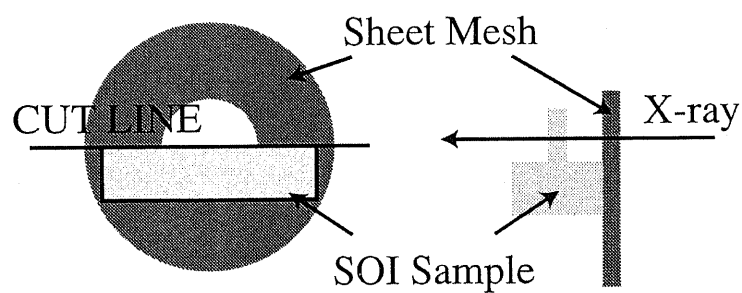


図 5.1: TEM 観測試料の作製手順の概要

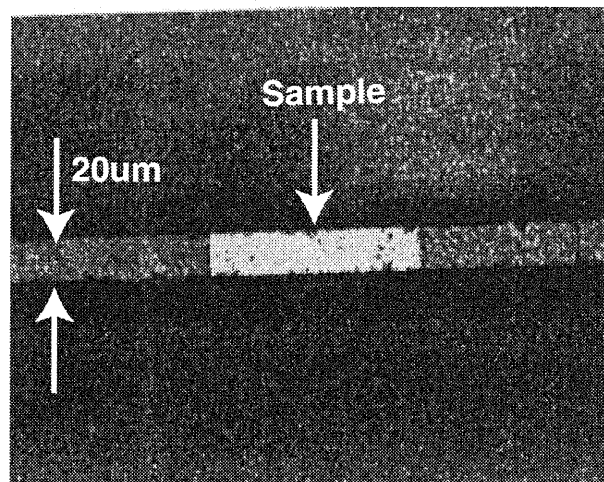


図 5.2: ダイシング加工後の試料の写真

5.3 観測結果と検討

5.3.1 膜厚測定の結果

断面 TEM 観測を行った試料は、膜厚の揺らぎを観測するため、ゲート長が $6\mu\text{m}$ のものを用いた。また、先の章で用いた SOI 試料と、同一ウエハ上のものである。図 5.3 ~ 図 5.6 に観測結果を示す。図 5.3 では、全体的に T_{box} 及び T_{soi} の揺らぎが観測される。図 5.3 では、 T_{box} が薄くなるのと逆に、 T_{soi} は厚くなっている。また、逆に、図 5.4 では、 T_{box} が厚くなるのと逆に、 T_{soi} が薄くなり、 T_{soi} が、 T_{box} の膜厚揺らぎに影響していることが分かる。

一方、フロントゲート酸化膜の膜厚は、観測試料内で均一な膜厚を示し、シリコン層との界面の状態も良好に見える。(図 5.5) また、さらに別のウエハの試料で同様に観測を行った。その結果、先の観測結果と同じくシリコン層、埋め込み酸化膜の膜厚の揺らぎが観測された。ゲート酸化膜厚も同様に均一で良好な界面であることが分かった。これらの観測した結果を表 5.1, 5.2 に示す。この結果から、シリコン膜厚では最大 7.8nm 、埋め込み酸化膜では 8.2nm 揺らいでいることが分かった。ま

表 5.1: TEM 観察による測定結果 (試料 A)

Parameter	最小値	最大値	平均値
T_{fox} [nm]	6.9	7.0	7.0
T_{soi} [nm]	52.2	60.0	58.8
T_{box} [nm]	90.4	98.6	95.6

表 5.2: TEM 観察による測定結果 (試料 B)

Parameter	最小値	最大値	平均値
T_{fox} [nm]	7.0	7.0	7.0
T_{soi} [nm]	50.2	60.0	56.8
T_{box} [nm]	100.4	110.6	105.0

た、揺らぎの周期は約 $0.4\mu\text{m}$ の範囲で波打っていることが分かった。本 TEM 観察では、SOI デバイスのゲート長方向に観測するが、ゲート幅方向にも同様に観測される。しかし、これらの結果は本試料の SOI 基板が特別に悪いのではなく、SOI 基板でよく言われているスペック値とほぼ同じであることを述べておく。

5.3.2 評価パラメータとの比較

評価した構造パラメータ及び、断面 TEM 観察によって膜厚を測定した結果を、表 5.3 に示す。試料間でばらついた結果は、測定結果から、膜厚の揺らぎ範囲内であることが分かる。また、ゲート酸化膜では、わずかなが試料間で異なる結果となったが、TEM での測定においても、膜厚は均一であることから、本手法が有効に評価できることが示された。さらに、界面パラメータにおいては、膜厚の揺らぎ同様に、それぞれの試料でばらついている。

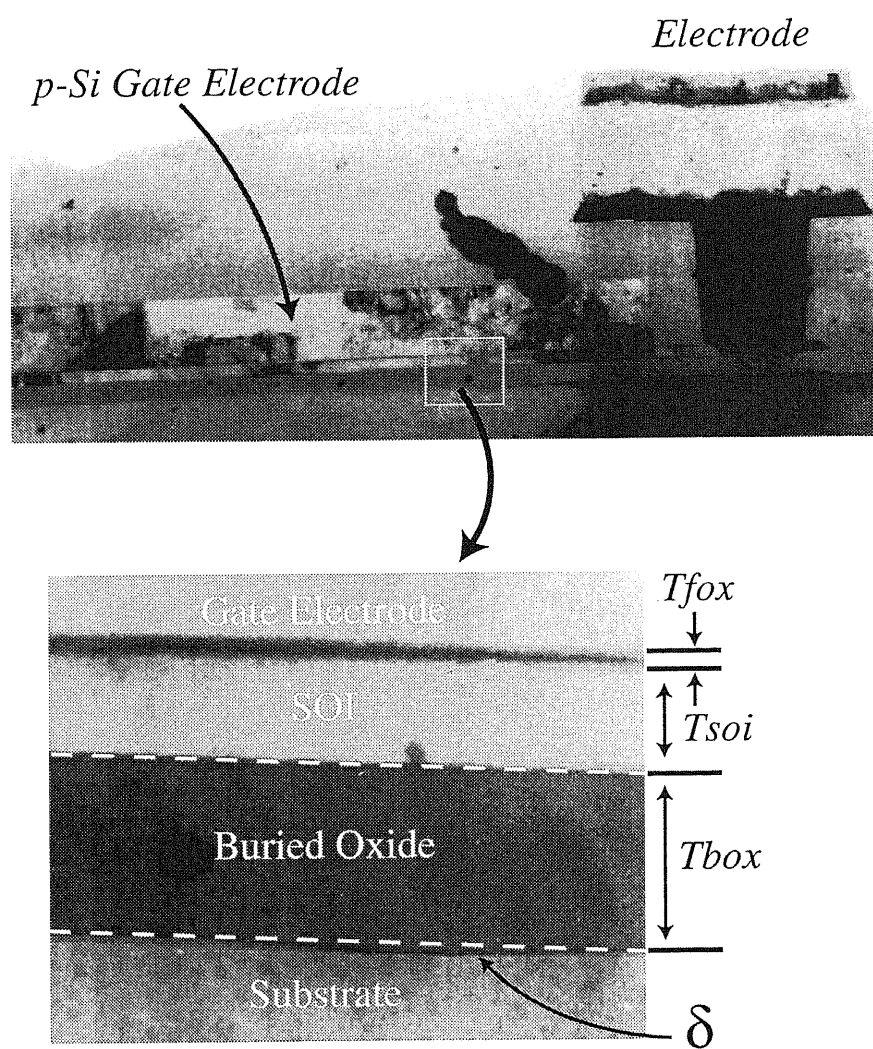


図 5.3: SOI 基板の断面 TEM 観察結果：試料 A

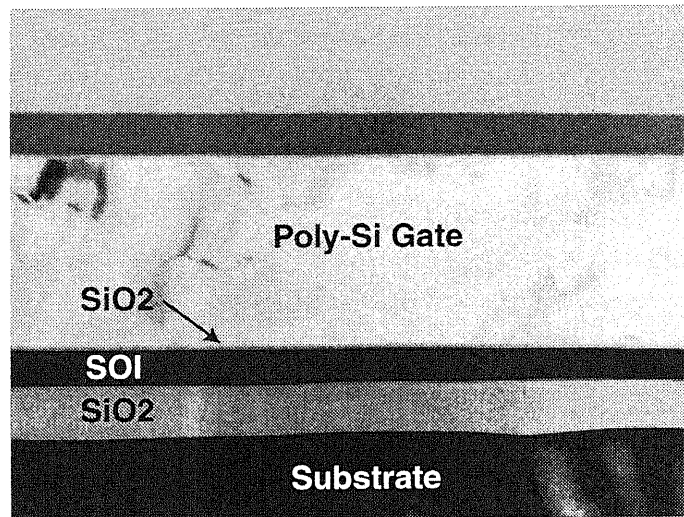


図 5.4: SOI 基板の断面 TEM 観察結果 (T_{box} 及び T_{soi} の揺らぎ観測): 試料 B

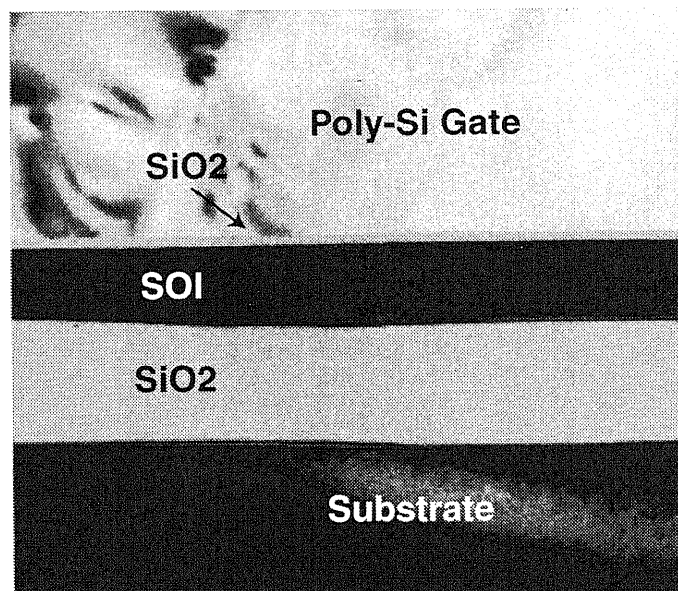


図 5.5: SOI 基板の断面 TEM 観察結果 (T_{box} の減少及び T_{soi} の増加の観測): 試料 B

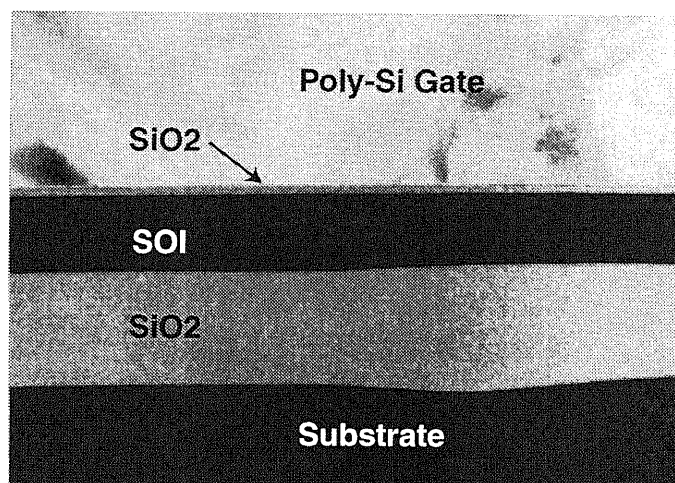


図 5.6: SOI 基板の断面 TEM 観察結果 (T_{box} の増加及び T_{soi} の減少の観測): 試料 B

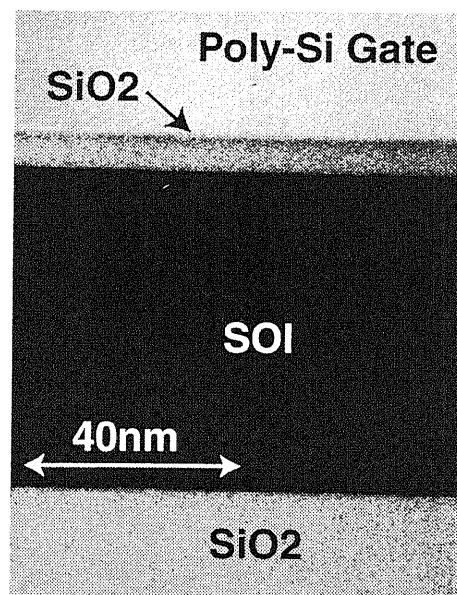


図 5.7: SOI 基板の断面 TEM 観察結果 (T_{fox} の観測): 試料 B

表 5.3: SOI 基板の膜厚測定と評価結果

Parameter	Device A	Device B	TEM	ΔT
T_{fox} [nm]	7.6	6.26	6.9 - 7.0	$\simeq 0.1$
T_{soi} [nm]	63.3	54.1	50 - 60	$\simeq 10$
T_{box} [nm]	98.7	96.5	90 - 110	$\simeq 20$

5.4 まとめ

ここでは、断面 TEM 観測によって、以下のことが示された。

1. 同一ウエハの2つの試料に対して、膜厚の測定を行った結果、両方とも T_{soi} T_{box} に揺らぎが観測され、それらの膜厚揺らぎの大きさは、10 - 20 nm 程度と、15 - 20 % 揺らぐことが明らかとなった。しかし、 T_{fox} には揺らぎは観測されず、均一な膜厚を示した。この原因は、各酸化膜プロセスの違いによることが考察された。
2. S 係数を用いた構造評価と比較した結果、評価では、試料間でばらつきが見られたが、膜厚揺らぎ範囲内であることが確認され、本評価方法が測定値と良く一致することが確認された。

参考文献

- [1] W. M. Huang, Z.J. Ma, M. Racenelli, D. Hughes, S. Ajuria, G. Huffman, T.P. Ong, P.K. Ko, C. Hu and B.Y. Hwang, "ULSI-quality gate oxide on thin-film-silicon-on-insulator," *IEDM Tech. Dig.*, p. 735, 1993.
- [2] K. Izumi, M. Doken, and H. Ariyoshi, "C.M.O.S devices fabricated on buried SiO₂ layers formed by oxygen implantation into silicon," *IEEE Trans. Electron Lett.*, vol.14, no.18, pp.593-594, 1978.

第 6 章

他の構造評価方法との比較

6.1 はじめに

本論文で提案する抽出手法は、池野らによって提案がされた閾値電圧を用いた抽出法 [1] を基本的に用いている。したがって、本研究で提案したサブスレッショルド係数を用いた評価手法が閾値電圧を用いたものと比べ、有効でなければこの手法を提案する意味がないことになる。そこで、このことを確認するため、ここでは同じ試料を用いて、それぞれの抽出法から得られた構造パラメータを用い、断面 TEM 観察結果とを比較検討を行なう。また、ドレイン電流、閾値電圧及び S 係数のバックゲート特性で比較し、どちらが有効な手法であるかを検討する。

6.2 閾値電圧を用いた評価方法

閾値電圧のバックゲート特性には、 S - V_{gb} 特性と同様に、SOI 層内が空乏、蓄積、反転の状態が大きく影響受け、特性が変化する。したがって、閾値電圧を用いても構造パラメータを有効に抽出が行なえと考えられる。池野らは、閾値電圧評価手法で、反転層の量子化モデルを考慮した評価を行なっているが [2][3]、本論文で用いる SOI MOSFET の SOI 層膜厚は 50 nm 程度で、量子効果が現われる膜厚よりも十分厚く、本検討では考慮しない。数値モデル及び構造パラメータに関しては、本論文で提案しているモデルと同様であり、SOI MOSFET の 1 次元モデルで V_{th}

表 6.1: V_{th} - V_{gb} 特性及び、 S - V_{gb} 特性を用いた評価と測定結果

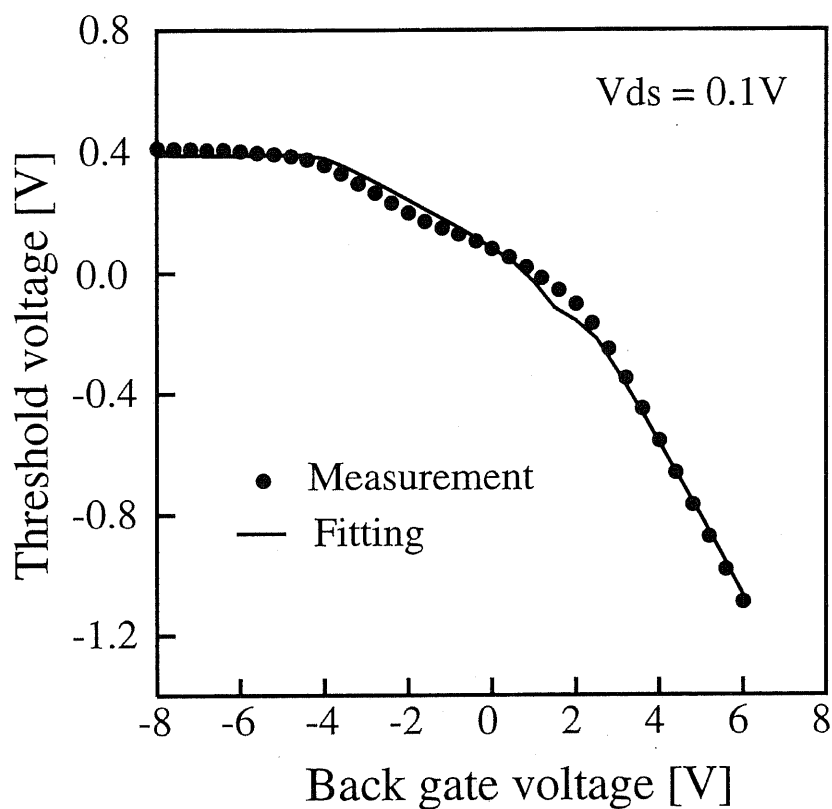
Parameter		TEM	V_{th}	S -factor
T_{fox}	[nm]	7.0	12.9	7.8
T_{soi}	[nm]	58.8	68.2	58.5
T_{box}	[nm]	95.6	129.5	77.8
N_a	[1/cm ³]	-	5.0×10^{16}	5.8×10^{16}
N_s	[1/cm ³]	-	1.5×10^{15}	2.5×10^{14}

V_{gb} 特性を計算する。

6.2.1 評価結果と考察

図 6.1 に閾値電圧特性の測定結果とフィッティング結果を示す。ここで、特に断らない限りここで言っている閾値電圧はフロントの閾値電圧を示す。この閾値電圧は L/W 、 $0.1 \mu A$ で規格化して求めた値である。池野らが開発した手法により閾値電圧をフィッティングした結果は非常によい測定結果との一致を示しており、この結果から構造パラメータを抽出できた。また、ここで得られた構造パラメータと S 係数及び TEM の評価結果をまとめて表 6.1 に示す。この閾値電圧のフィッティングには、界面準位や固定電荷のモデルは含まれずに行なう。したがって、 S - V_{gb} 特性の減少特性のような界面に強く影響した特性がなく、 V_{th} - V_{gb} 特性では界面を考慮してフィッティングを行なうことは難しい。

また、それぞれの評価した構造パラメータを比較すると、大きく異なる結果となっているのが分かる。閾値特性からの構造パラメータは、TEM 結果よりも、全体的に厚くなっており、 S 係数からの結果と比べても良く評価できていないことが分かる。この大きく異った理由として、 S 係数からの評価では界面パラメータを正確に見積もることができたのに対し、閾値特性からの評価では見積もっておらず、 V_{th} - V_{gb} 特性をフィッティングする局所的な最適値になったためと考えられる。

図 6.1: V_{th} - V_{gb} 特性のフィッティング結果 (試料 A)

6.3 比較検討

6.3.1 サブスレッショルド係数のバックゲート電圧特性の比較

閾値電圧を用いた評価から得られた構造パラメータを使って、 S - V_{gb} 特性を計算した結果と測定結果を図 6.2 に示す。図には比較するために、本論文で提案する S - V_{gb} 特性フィッティングの結果も点線で示している。評価には試料 A を用いている。この閾値電圧を用いた結果は、測定結果とは大きく異なる特性となった。バックゲート電圧が -4V 以下で S 係数の飽和が見られず、さらに、0V 以上で、減少特性はまったく合わず、測定結果に比べ、小さくなっている。これは先に述べたよう

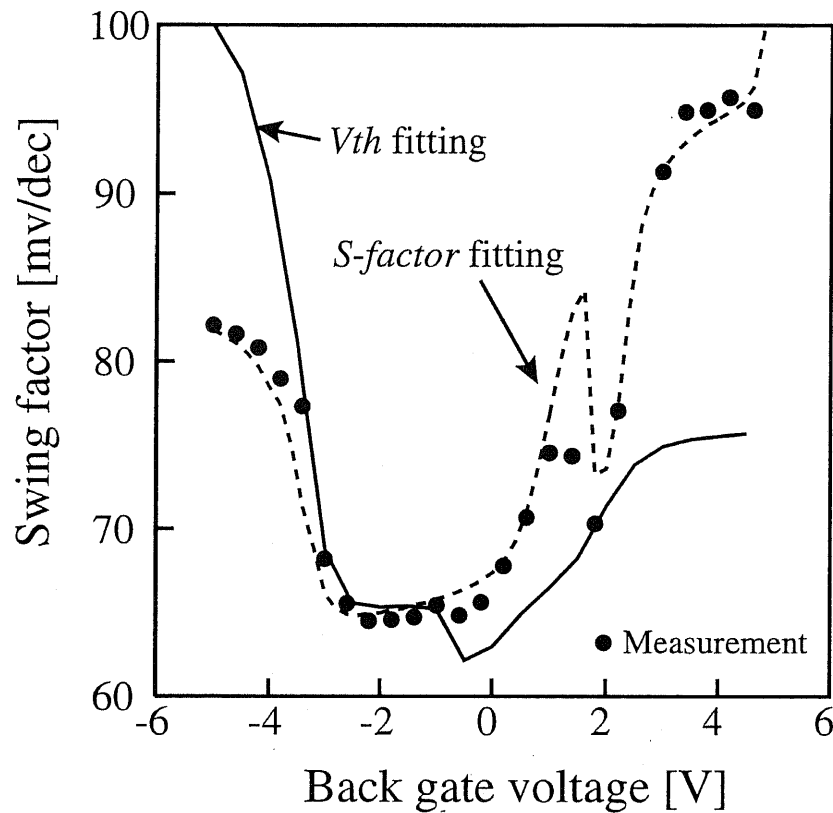


図 6.2: S 係数のバックゲート特性の比較結果 (試料 A)

に、閾値電圧の評価には界面のパラメータを考慮できないため、界面の影響が特性に反映されず、S 係数が小さくなったと考えられる。また、試料 B においても、本結果と同様な結果となった。

6.3.2 ドレイン電流のバックゲート電圧特性の比較

図 6.3 に、ドレイン電流のバックゲート特性で比較を行った結果を示す。この結果からは、どちらの計算結果も良く特性をフィッティングしているように見える。しかし、先の S - V_{gb} 特性で比較した結果においては、明らかにその違いが示されていることから、S 係数評価の方がドレイン電流の傾きに良い一致を示している。した

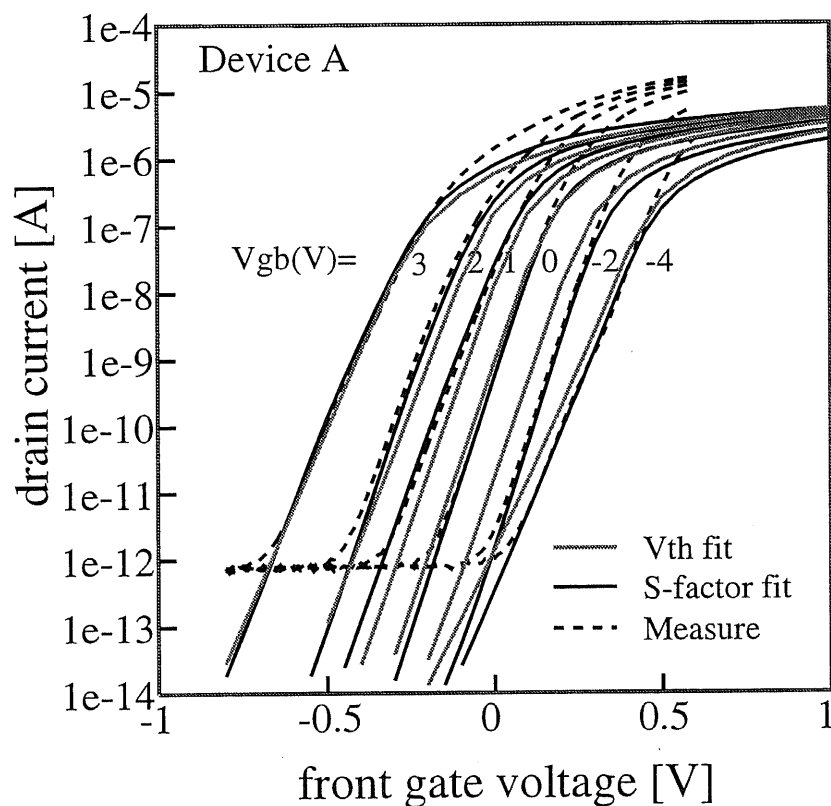


図 6.3: ドレイン電流のバックゲート特性の比較結果 (試料 A)

がって、 S 係数はより敏感にバックバイアスの影響を示し、閾値電圧評価よりも精度よく構造パラメータの見積りができることが分かる。また、ドレイン電流では、それぞれ計算した結果には大きな違いは見えず、構造パラメータの測定結果と一致する最適値が多く存在してしまうことが推察される。

6.3.3 閾値電圧のバックゲート電圧特性の比較

図 6.4, 6.5 に、 $V_{th}-V_{gb}$ 特性と $S-V_{gb}$ 特性から得られた構造パラメータを用いた $V_{th}-V_{gb}$ 特性の計算結果と測定結果を示す。 $S-V_{gb}$ 特性からの結果は、 $V_{th}-V_{gb}$ 特性からの結果に比べ、測定結果と非常によい一致を示した。特に、図 6.4 では、 V_{gb}

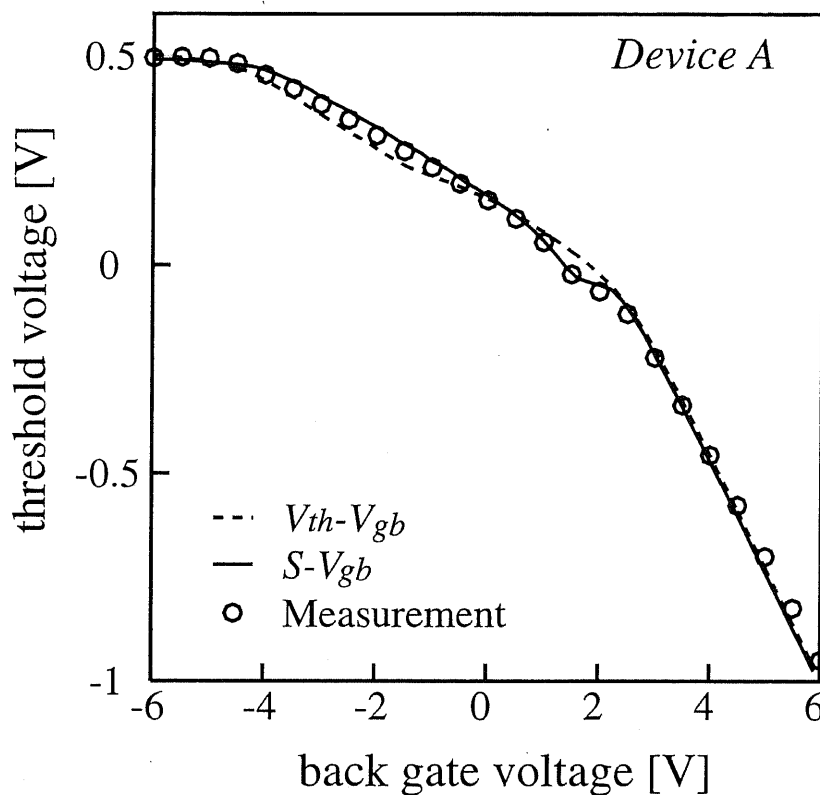


図 6.4: 閾値電圧のバックゲート特性の比較結果 (試料 A)

が 2 [V] 付近また、図 6.5では、全体にわたって測定結果とよく一致している。これは、 $S-V_{gb}$ 特性で現われた減少特性と関係する特性であり、FD-SOI MOSFET のしきい値電圧特性を、正確に見積もるためには、界面パラメータを必要とすることを示す。しかし、しきい値電圧特性では、この減少特性と関係する特性は、減少特性とくらべ非常に弱く影響しており、パラメータフィッティングによる評価には不利である。このことから、 $S-V_{gb}$ 特性を用いた評価手法がより良く評価を行なえることが分かった。

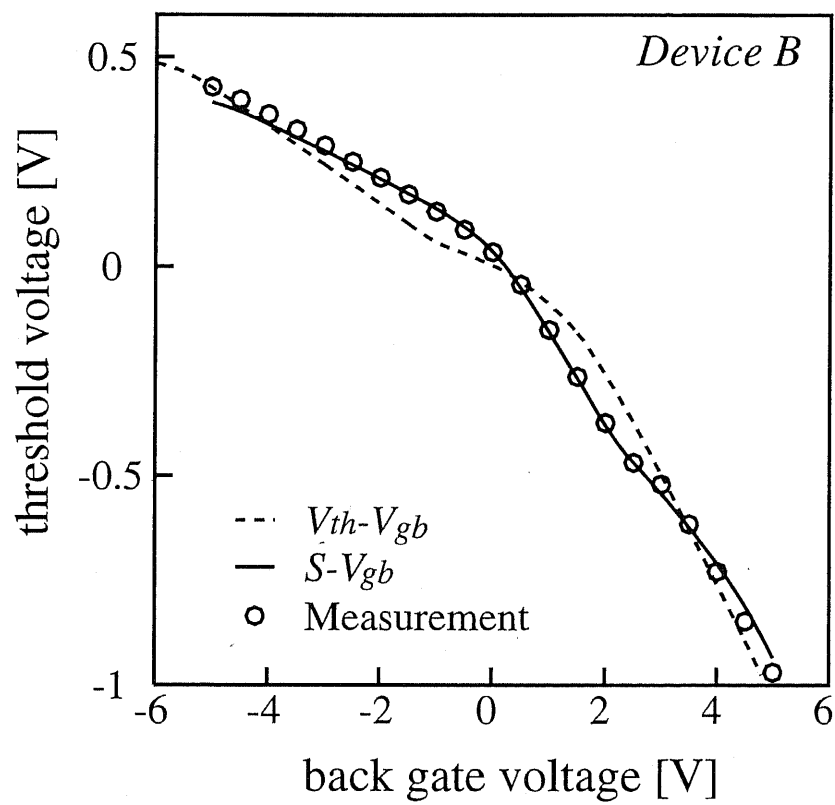


図 6.5: 閾値電圧のバックゲート特性の比較結果 (試料 B)

6.4 まとめ

本章では、本論文で提案する評価手法を、しきい値電圧を用いた手法と比較した結果、以下のことが示された。

1. しきい値電圧特性では、界面パラメータの影響が弱く、界面パラメータを無視したフィッティング結果で良い一致を示し、構造パラメータの測定結果と評価結果との比較により、しきい値電圧を用いた評価では不十分であることが示された。
2. S 係数、ドレイン電流、しきい値電圧の特性を S 係数及び、しきい値電圧を用いた評価手法から得た構造パラメータを使って計算し、測定結果と比較した結果、S 係数を用いた評価手法がより良い一致を示し、S 係数を用いた評価手法がより優れていることが検証された。
3. 界面パラメータの評価に関し、S 係数を用いた評価手法がより有効な手段であることも確かめられた。

参考文献

- [1] R. Ikeno, H. Ito, and K. Asada, "Device Parameter Estimation of SOI MOS-FET Using One-Dimensional Numerical Simulation Considering Quantum Mechanical Effects," *IEICE Trans. on Electronics.*, vol.E80-C, no.6, pp.806-811, 1997.
- [2] R. Ikeno, H. Ito, T. Nakura, and K. Asada, "Evaluation of SOI MOSFET threshold voltage using 1-D device simulation," *IEICE technical Report*, vol.94, no.567, pp.25-30, 1995.
- [3] R. Ikeno, H. Ito, and K. Asada, "One-dimensional analysis of subthreshold characteristics of SOI-MOSFET considering quantum mechanical effects," *4th International Workshop on Computational Electronics*, p.11, 1995.

第 7 章

フィッティング誤差解析

7.1 はじめに

評価結果は、TEM 観察と比較で確かめられた。しかし、実際の測定には測定誤差を含み、評価にも影響する。したがって、正確な構造評価を行なうためには、測定誤差に対する、フィッティング誤差を評価しておく必要がある。ここでは、 S - V_{gb} 特性のフィッティング精度について検討を行なう。各パラメータの S - V_{gb} 依存性はそれぞれ異なるため、すべてのパラメータに対して、フィッティング誤差を見積もる。

誤差の検討には、多次元のエラー楕円体を解析的に求める。このエラー楕円は全てのパラメータの二乗累積誤差から計算される。さらに、超楕円体の各軸方向の最大値を解析的に求め、各パラメータに対する誤差を評価する。最後に、評価結果と比較し、各パラメータの測定誤差に対する影響について述べる。

7.2 誤差の解析方法

フィッティング誤差は、解析的に以下の式 7.1 の二乗累積誤差を用いて検討する。

$$Error = \sum_i (S(V_{gbi}; T_{fox}, \dots) - M(V_{gbi}))^2 \quad (7.1)$$

ここで、 $S(V_{gbi}; x_1, \dots, x_n)$ は、 S 係数の計算値であり、 x_j は構造パラメータを意味する。また、添字の i は測定点の数で、 j はパラメータを示す。 V_{gbi} は、 S - V_{gb} 特性の測定条件である。 $M(V_{gbi})$ は測定値である。一般的に、多数のパラメータに対し、フィッティング値を中心として誤差を求めた場合、誤差空間は多次元の超楕円体となり、エラー楕円と呼ばれる。したがって、本評価では、11次元のパラメータ空間で、超楕円体となる。フィッティング誤差解析の概念図を図7.1に示す。また、図7.2に、エラー楕円の一例として、 T_{fox} と T_{soi} の2次元パラメータ空間のエラー楕円の計算結果を示す。図の曲線は、誤差空間の等高線を示している。この結果からも、 S - V_{gb} の誤差空間で、楕円状の分布を示すことが分かる。

以下に、ラグランジュの未定係数法を用いて、エラー楕円を解析的に求める手順について述べる。

$n+1$ 変数 x_1, \dots, x_n, λ の補助関数

$$L = f(x_1, \dots, x_n) + \lambda g(x_1, \dots, x_n) \quad (7.2)$$

を作る。ここで、 λ は、ラグランジュ乗数とよばれるものである。また、一般的に多次元の関数 $f(x)$ は、以下のようにテイラー展開される。

$$f(x) = f(x_i) + \left(\frac{\partial f(x)}{\partial x} \right)_{x=x_i} (x - x_i) + \frac{1}{2!} \left(\frac{\partial^2 f(x)}{\partial x^2} \right)_{x=x_i} (x - x_i)^2 + \left(\frac{\partial^2 f(x)}{\partial x_i \partial x_j} \right)_{x=x_i} (x - x_i)(x - x_j) \quad (7.3)$$

ここで、 $f(x)$ を先に示した二乗累積誤差の楕円関数と考え、2次微分の項まで考慮する。このことから、二乗累積誤差は一般化し、以下の式で表される。

$$\varepsilon(x) = \varepsilon(x_i) + \frac{1}{2!} \left(\frac{\partial^2 \varepsilon(x)}{\partial x_i^2} \right) \Delta x_i^2 + \left(\frac{\partial^2 \varepsilon(x)}{\partial x_i \partial x_j} \right) \Delta x_i \Delta x_j \quad (7.4)$$

$$\Delta \varepsilon = \sum A_{ij} \Delta x_i \Delta x_j \quad (7.5)$$

$$\Delta \varepsilon = \varepsilon(x) - \varepsilon(x_i) \quad (7.6)$$

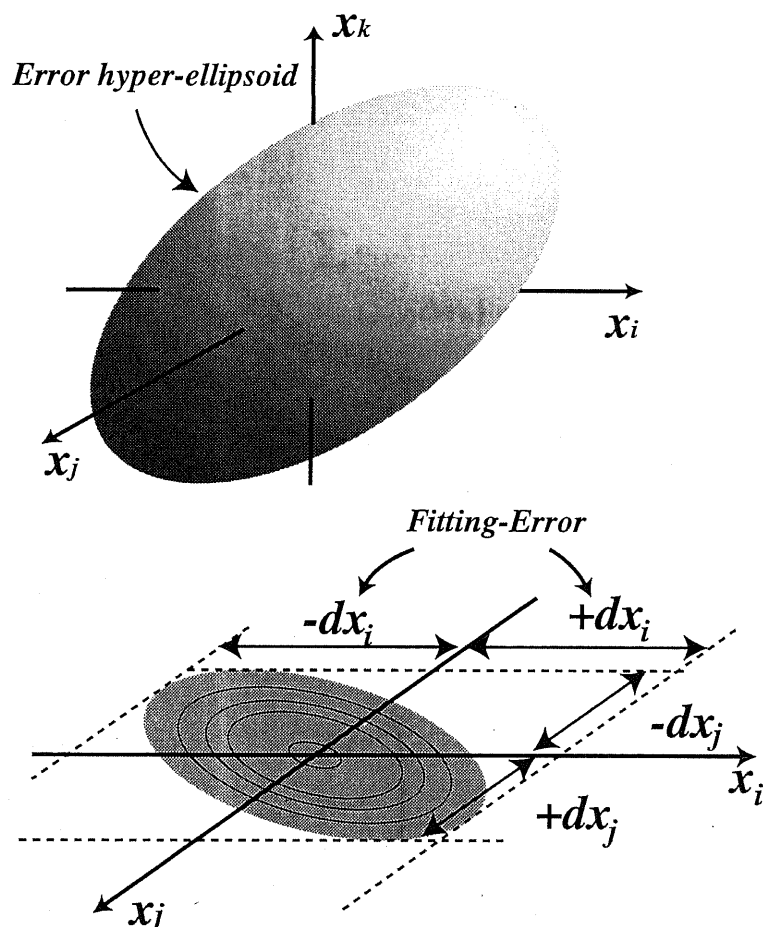


図 7.1: フィッティング誤差解析の説明図

ここで、 A_{ij} はテイラー展開の微分因子から計算される各パラメータの定数を示し、添字の i, j は、 i 番目または j 番目のパラメータを示す。また、 $\Delta\epsilon$ は、累積誤差の残差である。

よって、ラグランジュの補助関数は以下ようになる。

$$f(\mathbf{x}) = x_i \quad (7.7)$$

$$g(\mathbf{x}) = \sum A_{ij} \Delta x_i \Delta x_j - \Delta\epsilon \quad (7.8)$$

$$L(\mathbf{x}) = x_i + \lambda(a_{ii}\Delta x_i^2 + a_{ij}\Delta x_i\Delta x_j - \Delta\varepsilon) = 0 \quad (7.9)$$

$$(7.10)$$

ここで、楕円体の軸方向の最大値を与える関数としては、 x_i と考えた。

次に、 $\text{grad } L$ を計算する。

$$L_{x_i} = 1 + \lambda(2a_{ii}\Delta x_i + \sum a_{ij}\Delta x_j) = 0 \quad (7.11)$$

$$L_{x_j(i \neq j)} = \lambda(2a_{jj}\Delta x_j + \sum a_{ik(k \neq j, i)}\Delta x_k) = 0 \quad (7.12)$$

$$L_\lambda = \sum A_{ij}\Delta x_i\Delta x_j - \Delta\varepsilon = 0 \quad (7.13)$$

式 7.12 から、 x_i 以外のパラメータに体して、以下の関係式が導かれる。

$$\Delta x_{j, j \neq i} = \mathbf{A}^{-1} \mathbf{X} \Delta x_i \quad (7.14)$$

$$= \mathbf{C} \Delta x_i \quad (7.15)$$

ここで、

$$\mathbf{A} = \begin{pmatrix} 2a_{jj} & a_{j+1j} & \dots & a_{nj} \\ a_{jj+1} & 2a_{j+1j+1} & \dots & a_{nj+1} \\ \vdots & \vdots & \ddots & \vdots \\ a_{jn} & a_{j+1n} & \dots & 2a_{nn} \end{pmatrix} \quad (7.16)$$

$$\mathbf{X} = \begin{pmatrix} a_{ji} \\ a_{j+1i} \\ \vdots \\ a_{ni} \end{pmatrix} \quad (7.17)$$

である。この式 7.15 の結果を、式 7.13 に代入する。

$$\begin{aligned} L_\lambda = \Delta x_i^2 (a_{ii} + a_{i+1i+1}C_{i+1}^2 + \dots + a_{nn}C_{nn} + a_{i+1i}C_{i+1} + \dots \\ + a_{ni}C_n + a_{jk, j \neq k}C_jC_k) - \Delta\varepsilon = 0 \end{aligned} \quad (7.18)$$

これを、 Δx_i に対して解き、 x_i パラメータの誤差が以下の式で導かれる。

表 7.1: フィッティング誤差の評価結果

Parameter	Ext.	Error(3mV) [%]	Error(10mV) [%]
T_{fox} [nm]	7.6	2.5	9.9
T_{soi} [nm]	63.3	4.9	20
T_{box} [nm]	98.7	1.39	5.5
N_a [$1/\text{cm}^3$]	4.4×10^{16}	0.1	0.4
N_s [$1/\text{cm}^3$]	4.3×10^{13}	73	290
D_{it1} [$1/\text{cm}^2\text{eV}$]	1.5×10^{10}	43.6	173
D_{it2} [$1/\text{cm}^2\text{eV}$]	2.5×10^{11}	7.0	27.7
D_{it3} [$1/\text{cm}^2\text{eV}$]	1.0×10^{11}	725	2888
Q_{s1} [$1/\text{cm}^2$]	1.0×10^{10}	5.4	21.4
Q_{s2} [$1/\text{cm}^2$]	1.0×10^{10}	47.4	188
Q_{s3} [$1/\text{cm}^2$]	2.7×10^{11}	16.1	64.1

$$\Delta x_i = \pm \frac{\Delta \varepsilon}{\sqrt{a_{ii} + \sum a_{jj} C_j + \sum a_{jk} C_j C_k}} \quad (7.19)$$

また、 A_{ij} の定数行列は以下の数値解で計算する。

$$a_{kk} = \frac{\partial^2}{\partial x^k \partial x^k} = \left(\frac{\varepsilon_{i+1,j} - \varepsilon_{i,j}}{\Delta x_i^k} - \frac{\varepsilon_{i,j} - \varepsilon_{i-1,j}}{\Delta x_{i-1}^k} \right) / \Delta x_i^k \quad (7.20)$$

$$a_{k,l} = \frac{\partial^2 \varepsilon}{\partial x^k \partial x^l} = \frac{\varepsilon_{i+1,j+1} - \varepsilon_{i+1,j-1} - \varepsilon_{i-1,j+1} + \varepsilon_{i-1,j-1}}{(\Delta x_{i-1}^k + \Delta x_i^k)(\Delta x_{j-1}^l + \Delta x_j^l)} \quad (7.21)$$

7.3 解析結果

フィッティング誤差の評価結果を表 7.1 に示す。フィッティング誤差は、 T_{fox} , T_{soi} , T_{box} , N_a のパラメータで、非常に小さい結果となった。これらのパラメータが S 係数に強く依存するため小さくなった。したがって、これらのパラメータでのフィッティングにおいては、測定誤差の影響は少なくできる。しかし、界面のト

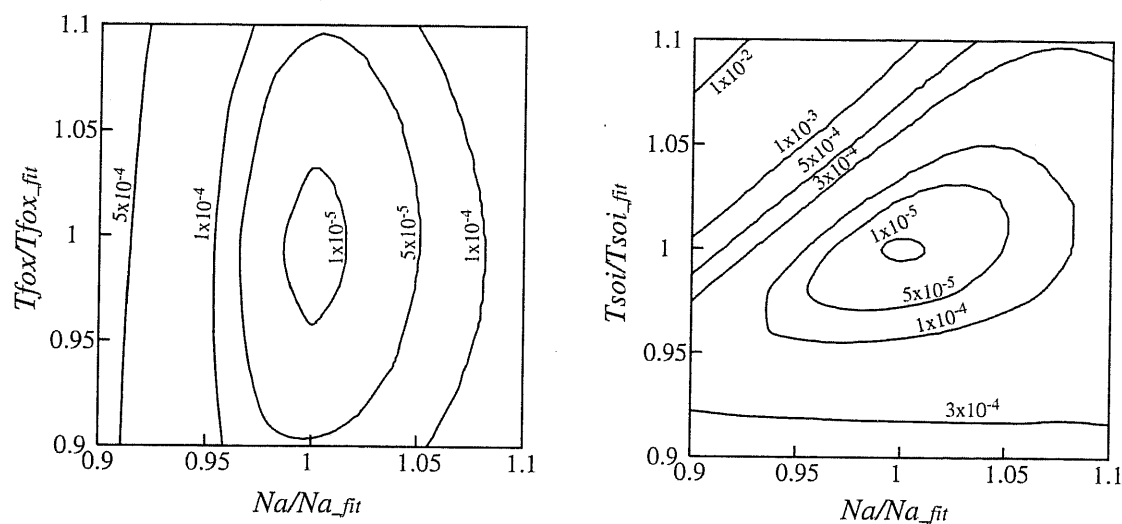


図 7.2: (N_a, T_{fox}) と (N_a, T_{soi}) の誤差空間の等高線

ラップ密度及び固定電荷において、誤差は大きく、ばらついている。特に D_{it3} においては、2 倍以上の誤差となった。各界面で、トラップ密度及び固定電荷は同様に S 係数に影響するため、値の大小関係によって、小さい方のパラメータの影響が消される、スクリーニング効果が生じてしまう。したがって、本評価法では、これらを両方を同時にフィッティングすることは難しい。しかし、一方のパラメータはよく評価することができる。本結果においては、 Q_{s3} の値が D_{it3} に比べて大きく、 D_{it3} がスクリーニングされ、 Q_{s3} が強く依存することになった。そのため、 Q_{s3} の誤差は 0.24 [%] と小さく、良くフィッティングできる。このことは、他の界面においても同様である。この界面のパラメータに関して、しかし、各界面パラメータの依存性は異なり、どちらかのみを考慮するモデルとすることはできない。また、デバイスによって界面状態はばらつき、始めからどちらかを定めることはできず、両方を考慮してパラメータ推定を行なう必要がある。

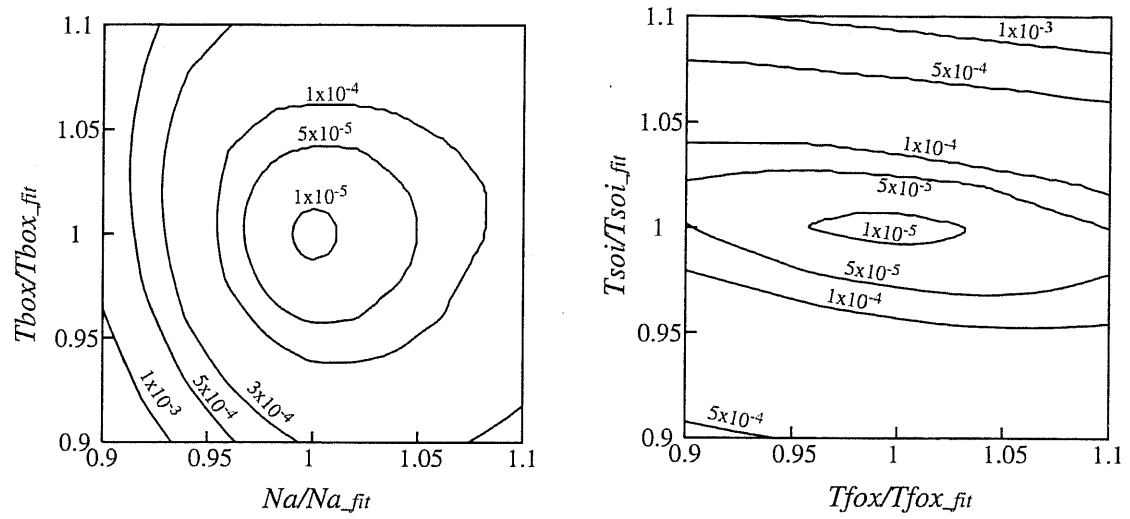


図 7.3: (N_a, T_{box}) と (T_{fox}, T_{soi}) の誤差空間の等高線

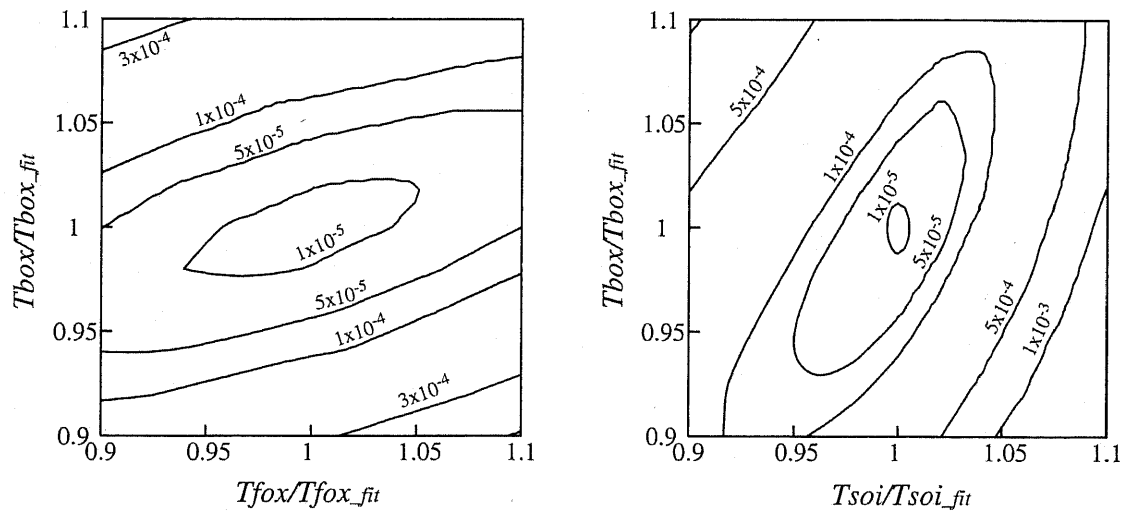


図 7.4: (T_{fox}, T_{box}) と (T_{soi}, T_{box}) の誤差空間の等高線

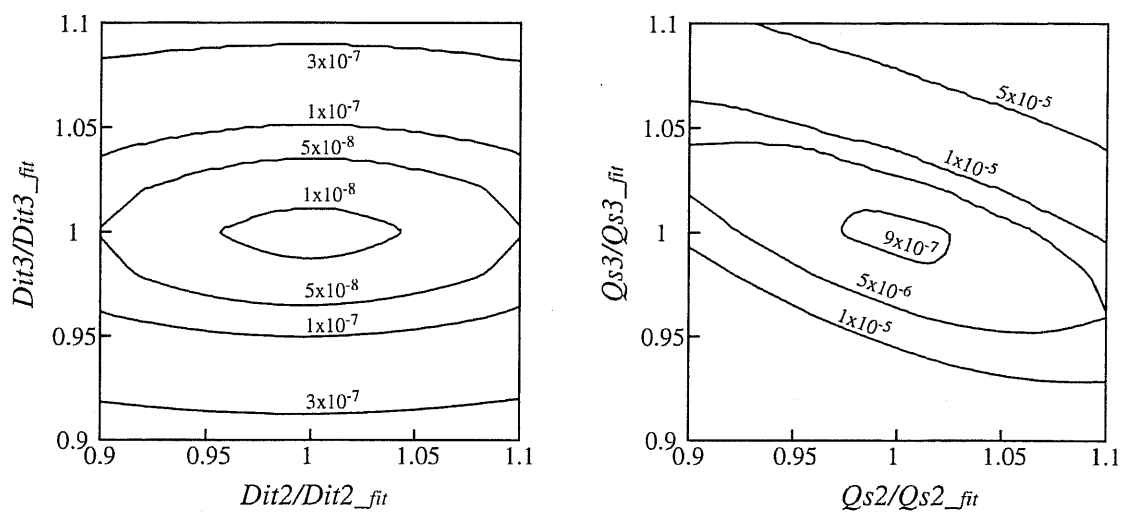


図 7.5: (D_{it2}, D_{it3}) と (Q_{s2}, Q_{s3}) の誤差空間の等高線

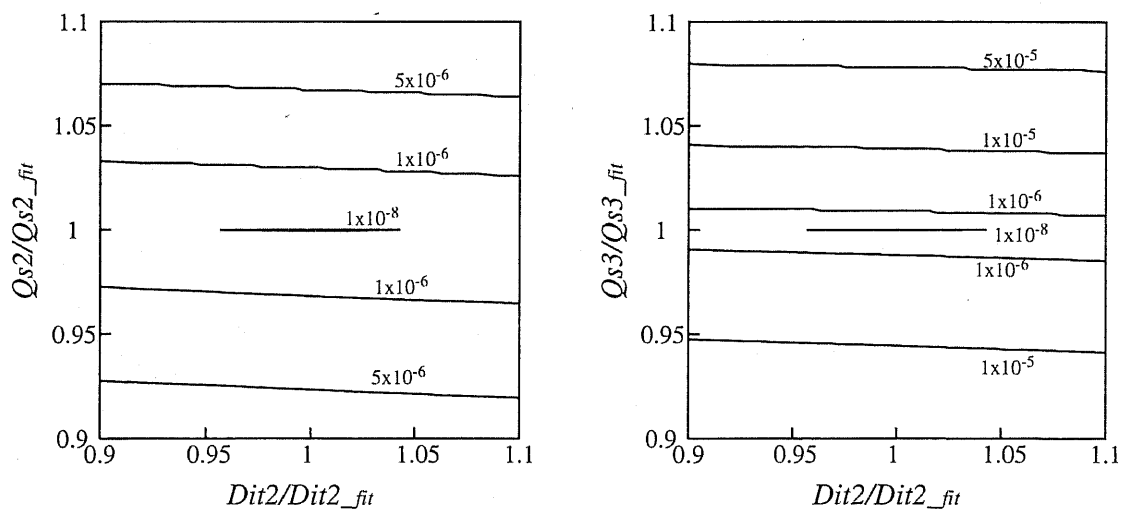


図 7.6: (D_{it2}, D_{it2}) と (D_{it2}, Q_{s3}) の誤差空間の等高線

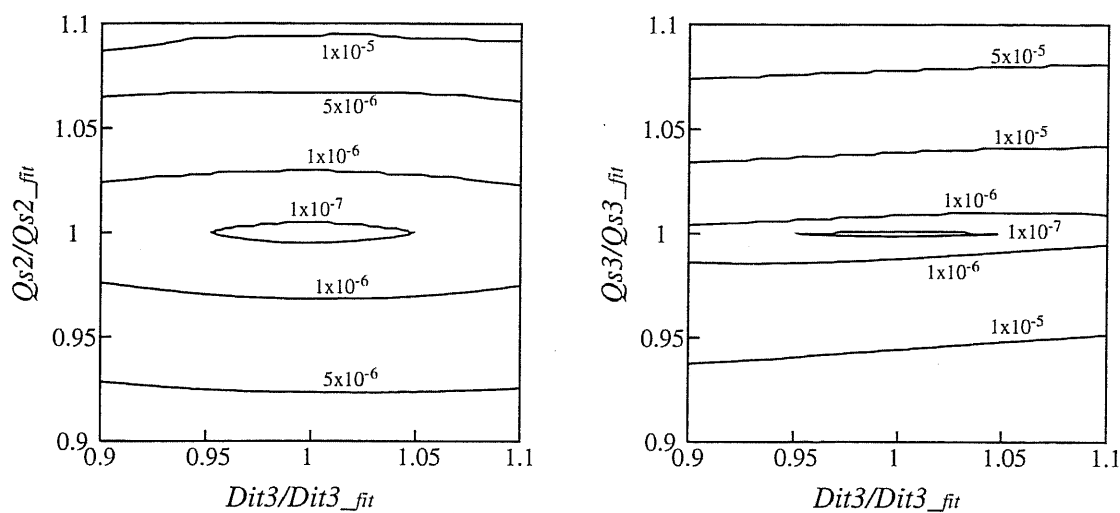


図 7.7: (D_{it3}, Q_{s2}) と (D_{it3}, Q_{s3}) の誤差空間の等高線

7.4 まとめ

本章では、フィッティング誤差を解析した結果、以下のことが示された。

1. 構造パラメータのフィッティング誤差は、非常に小さい結果が得られ、精度良く評価できることが示せた。よって、本評価は容易に行なえ、しかも精度的に優れた方法であることが示された。
2. 界面のパラメータにおいて、界面トラップと界面固定電荷は同様に S 係数に影響するため、本方法では両パラメータを精度良く評価することが難しいが、一方の界面パラメータは高精度に評価が行なえることが分かった。

第 8 章

結論

本論文では、SOI MOSFET のデバイスパラメータ最適設計のためのモデリングと抽出方法に関する研究を行なった結果、以下のことが示された。

第 2 章

SOI CMOS 回路の動作特性から、実効チャネル長 L_{eff} を評価する容量モデルについて提案し、実際に測定することができ、負荷容量特性から真性ゲート容量成分と寄生容量成分とを分離して評価することができた。また、動作中と静特性とで L_{eff} の値は、異なることも明らかとした。

求めた L_{eff} から真性ゲート容量の電源電圧依存性を有効に示すことができた。さらに、真性ゲート容量の電源電圧依存性から動作状態における SOI 膜厚の実効膜厚を考察し、設計値に比べ薄い膜厚であることも明らかとなった。

第 3 章

動作中の SOI MOSFET を、SOI 層中に流れる正孔電流の流れから等価回路を考察し、閾値電圧シフトの評価モデルを提案した。SOI CMOS 回路の動作電流特性には、DC 時と異なるリーク電流を示すことを示し、強く電源電圧に依存することを明らかとした。

また、実際に閾値電圧シフト ΔV_{th} を測定し、電源電圧に強く依存した関係を示すことも明らかとなった。さらに、平均ドレイン電界依存性から、チャネル長依存し

ないユニバーサルな特性を示し、ドレイン端の発生電流に依存することが確認された。本手法によって、動作中の実効的な閾値電圧のチャネル長依存性をも明らかにした。

第4章

SOI MOSFET の構造評価として、 S - V_{gb} 特性を用いる構造パラメータ評価方法を提案した。SOI MOSFET の1次元モデルを基に、界面モデルを考慮した S 係数のシミュレータを開発し、FD-SOI MOSFET の S 係数特性を計算結果を基に明らかにした。

また、FD-SOI MOSFET の S - V_{gb} 特性の測定及び、計算結果には、今まで発表されていない S 係数が減少する特性を示すことを明らかにし、本シミュレータによってそのメカニズムを明らかにした。

さらに、 S - V_{gb} 特性を本手法により評価した結果、 I_d - V_{gf} 特性でも、良い評価結果を得ることができることを示した。また、界面準位及び、固定電荷は S 係数に強く影響を与え、減少する特性との関係を明らかにした。各構造パラメータ依存性を調べた結果、 S 係数から考察した SOI MOSFET の構造パラメータの最適化に関し、一つの設計指針を示すことができた。

第5章

同一ウエハの2つの試料に対して、膜厚の測定を行った結果、両方とも T_{soi} T_{box} に揺らぎを観測することができた。しかし、 T_{fox} には揺らぎは観測されず、均一な膜厚を示すことも明らかにした。また、 S 係数を用いた構造評価と比較した結果、評価結果のばらつきは揺らぎ範囲内であることが確認され、本手法が実験結果と良く合うことが検証された。

第6章

他の評価手法としてしきい値電圧特性を用いた評価手法と比較した結果、しきい値電圧を用いた評価よりも本手法の方が、構造パラメータ評価には優れていること

が明らかとなった。また、界面パラメータの影響は、しきい値電圧に比べ S 係数の方がより強く受け、界面の評価に優れていることを示した。

第 7 章

本評価のフィッティング誤差についての解析手法を、2 次形式で近似するモデルを固有値解析によって行い、各パラメータに対して評価した結果、膜厚パラメータと不純物パラメータとをよく分離して評価できることがわかった。また、界面のパラメータにおいて、界面準位と界面固定電荷を精度良く分離して評価することが困難であることも明らかとなった。

以上の検討によって、薄膜 SOI MOSFET のデバイスパラメータとして、実効チャネル長、しきい値電圧、SOI 構造の膜厚及び、不純物濃度を測定結果を基に理論的な考察から評価する新しい手法を提案することができた。これらの評価手法又は、評価結果は、先の LSI デバイスとしての薄膜 SOI MOSFET を最適に設計する際の手助けとなるものと考えている。

本研究に関する発表、論文一覧

全国大会及び研究会

- 伊藤浩, 池田誠, 浅田邦博, “リングオシレータに基づく MOS/SOI デバイスの真性, フリンジ容量の測定,” 第 55 回応用物理学会学術講演会, 19p-ZG-5, 634, 平成 6 年 9 月.
- 伊藤浩, 浅田邦博, ” 高周波測定における CMOS/SOI 回路のリーク電流特性,” 第 42 回応用物理学会関係連合講演会, 平成 7 年 3 月.
- 伊藤浩, 浅田邦博, ” 高周波測定における CMOS/SOI 回路のリーク電流特性,” 電子情報学会 SDM 研究会, 信学技報, SDM95-22, vol. 95, no. 66, pp. 21-26, 平成 7 年 5 月.
- 伊藤浩, 池野理門, 浅田邦博, “ SOI MOSFET のしきい値電圧特性を用いたデバイスパラメータの同定,” 第 58 回応用物理学会学術講演会, 2a-G-11, 平成 9 年 10 月.
- 伊藤浩, 浅田邦博, ” SOI MOSFET の S 値特性を用いたデバイスパラメータ同定手法,” 第 59 回応用物理学会学術講演会, 15a-P9-12, 平成 10 年 9 月.
- 伊藤浩, 浅田邦博, ” S 値特性を用いた FD-SOI MOSFET のデバイスパラメータ同定法の精度の検討,” 第 59 回応用物理学会学術講演会, 平成 11 年 3 月.

国際会議

- H. Ito and K. Asada, "Leak Current Characterization in High Frequency Operation of CMOS Circuits Fabricated on SOI Substrate," IEEE Pro. International Conference on Microelectronic Test Structures, Nara, Japan, Mar. 22-25, 1995.
- H. Ito and K. Asada, "Non-destructive estimation of structural parameters of fully-depleted SOI MOSFETs using subthreshold slope characteristics," Conference on Optoelectronic and Microelectronic Materials and Devices, TO-6, Perth, Western Australia, Dec, 1998.

論文

- H. Ito and K. Asada, "Modeling of leak current characteristics in high frequency operation of CMOS circuits fabricated on SOI substrate," *IEICE Trans. Electron*, vol. E79-C, no. 2, 1996.
- H. Ito and K. Asada, "完全空乏型 SOI MOSFET の S 係数のバックゲート特性を用いた構造パラメータ評価手法," 電子情報学会 和論文誌 (投稿中).

他の発表文献

- 伊藤 浩, 浅田 邦博, "0.1 μ m MOSFET における最適 LDD 長と遅延時間の下限," 第 44 回応用物理学会関係連合講演会, 29p-H-14, 平成 9 年 3 月.
- 小松 聡, 池野 理門, 伊藤 浩, 浅田 邦博, "DTMOS のドレイン電流特性のデザインパラメータ依存性," 第 43 回応用物理学会関係連合講演会, 26p-H-4, 平成 8 年 3 月.

- 小松 聡, 池野 理門, 伊藤 浩, 浅田 邦博, “DTMOS のドレイン電流特性のデザインパラメータ依存性とその最適化,” 電子情報通信学会 VLSI 設計研究会, 信学技報, VLD96-43, Vol.96, No.259, 平成 8 年 9 月.
- 池野 理門, 伊藤 浩, 名倉 徹, 浅田 邦博, “1 次元デバイスシミュレーションによる SOI MOSFET の閾値電圧評価,” 電子情報通信学会技術研究報告, vol.94, no.567, pp.25-30, 1995 年 3 月.
- R. Ikeno, H. Ito and K. Asada, “One-Dimensional Analysis of Subthreshold Characteristics of SOI-MOSFET Considering Quantum Mechanical Effects,” *Special Issue of VLSI Design*, Gordon & Breach, 1997.
- R. Ikeno, H. Ito and K. Asada, “反転電子の 2 次元量子化における移動度モデルによる SOI デバイスパラメータ同定,” 第 44 回応用物理学会関係連合講演会, シンポジウム, 28p-B-8, 平成 9 年 3 月.
- R. Ikeno, H. Ito and K. Asada, “Device Parameter Estimation of SOI MOSFET Using One-Dimensional Numerical Simulation Considering Quantum Mechanical Effects,” *IEICE Trans. on Electronics.*, VOL. E80-C, NO.6, pp.806-811, January 1997.
- R. Ikeno, H. Ito and K. Asada, “One-dimensional Analysis of subthreshold characteristics of SOI-MOSFET considering quantum mechanical effects,” 4th International Workshop on Computational Electronic, P11, Oct, 1995.
- 三堂哲寿, 伊藤 浩, 浅田邦博, “集積回路におけるシフトレジスタを用いた多導体の容量行列導出手法,” 電子情報通信学会ソサイエティ大会, C-12-5, pp. 88, 平成 9 年 9 月.
- 三堂哲寿, 伊藤 浩, 浅田邦博, “集積回路における容量行列要素の直接抽出手法,” 電子情報通信学会ソサイエティ大会, C-12-1, p.92, 平成 10 年 9 月.

- Tetsuhisa Mido, Hiroshi Ito and Kunihiro Asada, "TEST Structure for Characterizing Capacitance Matrix of Multi-layer Interconnections in VLSI," *IEICE Trans., Electronics, Special Issue on International Conference on Microelectronic Test Structures*, April, 1999.
- Tetsuhisa Mido, Hiroshi Ito and Kunihiro Asada, "TEST Structure for Characterizing Capacitance Matrix of Multi-layer Interconnections in VLSI," *Proceedings of International Conference on Microelectronic Test Structures (ICMTS'98)*, pp.217-222, Mar., 1998.
- Tetsuhisa Mido, Hiroshi Ito and Kunihiro Asada, "TEST Structure for Direct Extraction of Capacitance Matrix in VLSI," *Proceedings of International Conference on Microelectronic Test Structures (ICMTS'99)*, Mar., 1999. (to be presented)

謝辞

本研究を進めるにあたり、全面的に暖かい御支援、御指導を頂きました浅田邦博教授に深く感謝致します。

また、本研究を行なうにあたり、いろいろと貴重な御意見を頂きました東京大学 VLSI 設計教育センター講師の池田 誠 氏に深く感謝致します。

また、デバイスシミュレータを開発するにあたり、暖かい御指導をして頂いた日本テキサスインスツルメンツ社の池野 理門 氏に深く感謝致します。

また、測定に対する御意見や本研究に用いた SIMOX の試料を快く提供して下さい、関西大学工学部教授の大村安泰 氏(元 NTT LSI 研究所)に心より感謝致します。

また、研究だけでなくさまざまな面で、多くの御助言御支援を下さいました、東京大学工学部講師の藤島実 氏、大学院生の三堂哲寿 氏、青柳稔 氏(日産自動車)、技官の鈴木真一 氏、秘書の横地順子 氏、岡崎真紀子 氏、ならびに研究室の学生に対し深く感謝の意を表したいと思います。

最後に、学生生活および研究を続けるにあたり、多くの支援、御指導を頂いた両親ならびに、兄に対し深く感謝致します。