



学位論文

撮像面上で柔軟な読出し形態制御を行う
高機能イメージセンサに関する研究

平成 12 年 12 月 15 日

指導教官 相澤 清晴 助教授

東京大学大学院
工学系研究科電子情報工学専攻
大塚 康弘

目次

1 序論	9
1.1 本論文の背景	9
1.1.1 画像入力部における諸問題	10
1.1.2 イメージセンサの高機能化	13
1.2 本論文の目的	14
1.3 本論文の構成	16
2 コンピュータショナルセンサ	19
2.1 はじめに	19
2.2 コンピュータショナルイメージセンサの概念	19
2.3 システム全体におけるイメージセンサと画像処理回路の統合の効果と課題	20
2.4 コンピュータショナルイメージセンサの研究動向	23
2.5 まとめ	31
3 空間可変サンプリング制御センサ	32
3.1 はじめに	32
3.2 読み出し形態に特徴を有する従来のセンサとその問題点	33
3.3 サンプリング制御機構	35
3.4 中心窩的输出画像のシュミレーション結果	38
3.5 サンプリング制御機構を搭載した新しいイメージセンサの設計および試作	41
3.5.1 コンピュータショナルセンサの構成方法	41
3.5.2 列並列処理構成によるイメージセンサの設計	41
3.5.3 メモリ回路	44
3.5.4 シフトレジスタ	45
3.6 センサの動作制御	49
3.7 プロトタイプチップのレイアウト設計	52
3.8 サンプリング制御センサのプロトタイプの試作	53
3.9 サンプリング制御センサの評価	56
3.9.1 プロトタイプチップの評価	56

3.10	プロトタイプの部分回路を用いた評価	59
3.10.1	光電変換特性	60
3.10.2	水平シフトレジスタの高速動作	61
3.10.3	読み飛ばし機能付き水平シフトレジスタの選択動作	61
3.10.4	メモリ部の特性	64
3.11	プロトタイプの課題	67
3.12	第 2 次プロトタイプの試作	67
3.12.1	第 2 次プロトタイプの改良点	67
3.12.2	チップの設計	69
3.12.3	チップの動作検証	71
3.13	まとめ	73
3.13.1	サンプリング制御センサを用いたシステムの提案	74
4	多重解像度イメージセンサ 1	77
4.1	はじめに	77
4.1.1	従来方式とその問題点	78
4.1.2	提案方式	79
4.2	画素回路構成	79
4.2.1	一画素回路	79
4.2.2	多重解像度出力のシミュレーション	80
4.2.3	画素アレイにおける平滑化処理	80
4.2.4	画素内キャパシタの影響	82
4.3	ブロックサイズを選択	83
4.3.1	ブロックサイズ選択用回路の制御	84
4.3.2	ブロックサイズ選択のための出力信号	85
4.3.3	水平シフトレジスタの構成	86
4.4	プロトタイプチップ	91
4.4.1	プロトタイプチップの動作検証	91
4.4.2	光学系装置の作成	93
4.5	平滑化処理回路の評価実験	96
4.6	画素回路の評価実験	97
4.7	まとめ	102
5	多重解像度イメージセンサ 2	104
5.1	第一次プロトタイプの問題点	104
5.1.1	平滑処理への配線容量の影響	104
5.1.2	ランダムアクセス機能	104

5.1.3	画素数の増加	105
5.2	多重解像度イメージセンサ第二次プロトタイプ	105
5.2.1	一画素回路	105
5.2.2	画素アレイにおける平滑化处理	107
5.3	ブロックサイズを選択	108
5.3.1	ブロックサイズ選択用回路の制御	110
5.3.2	ブロックサイズ選択のための出力信号	112
5.3.3	水平シフトレジスタの構成	113
5.4	プロトタイプチップ	115
5.4.1	プロトタイプチップの動作検証	115
5.4.2	レイアウトミス及びチップの不具合	117
5.5	平滑化处理回路の評価実験	123
5.6	まとめ	126
6	今後の展開	127
6.1	プロトタイプチップを用いたセンサネットワーキング	127
7	結論	130
7.1	本論文の成果	130
7.2	今後の課題及び展望	134
7.2.1	プロトタイプにおける多画素化の要請	134
7.2.2	センサの撮像性能改善	134
7.2.3	プロセスの進展	134
	参考文献	139

図目次

1.1	従来の画像処理システム	15
2.1	コンピューターショナルイメージセンサ	20
2.2	入力画像の処理課程	22
2.3	シリコン網膜の構成	23
2.4	ビジョンチップアーキテクチャ	24
2.5	条件付画素補充方式	25
2.6	動き検出センサのブロック図	26
2.7	画像の走査手順 (a) ラスタスキャン (b)4 進木スキャン	27
2.8	Concept of the artificial retina	30
2.9	Adaptive sensor pixel	30
3.1	Random Access PD-array	33
3.2	中心窩型センサ	34
3.3	Smart scanning shift register	35
3.4	Diagram of sampling control system	36
3.5	スキップ、ブロックモード出力	37
3.6	原画像 512 × 480	39
3.7	シュミレーション画像：半径 64 画素	39
3.8	シュミレーション画像：半径 64 画素	40
3.9	シュミレーション画像：半径 128 画素	40
3.10	列並列処理構成と画素並列処理構成	42
3.11	センサの全体構成	43
3.12	一画素回路	44
3.13	メモリ回路	45
3.14	メモリ値による画素値の選択	46
3.15	画素読み出し専用水平シフトレジスタ	47
3.16	垂直シフトレジスタ (上：画素回路用、下：メモリ回路用)	48
3.17	メモリ書き込み用シフトレジスタ	49
3.18	画素値読み出しのための制御信号	50

3.19	メモリ書き込みのための制御信号	51
3.20	プロトタイプのレイアウト	53
3.21	一画素回路のレイアウト	54
3.22	メモリ回路のレイアウト	54
3.23	プロトタイプチップ	55
3.24	プロトタイプの評価システム	57
3.25	プロトタイプによる撮像例	57
3.26	スキップアクセスモード	57
3.27	ブロックアクセスモード	58
3.28	中心窩的サンプリングパターン (1)	58
3.29	中心窩的サンプリングパターン (2)	59
3.30	中心窩的サンプリングパターン (1) の再構成画像	59
3.31	中心窩的サンプリングパターン (2) の再構成画像	60
3.32	光電変換特性実験のためのテグ回路	60
3.33	光電変換特性	61
3.34	3画素分の水平シフトレジスタによるテグ回路	62
3.35	水平シフトレジスタの高速動作	62
3.36	3画素分の読み飛ばし機能付き水平シフトレジスタによるテグ回路	62
3.37	読み飛ばし水平シフトレジスタの動作	63
3.38	メモリ特性実験のためのテグ回路	64
3.39	メモリ特性実験のためのタイミングチャート	65
3.40	スイッチ動作時のメモリ特性	66
3.41	一体型水平シフトレジスタ	69
3.42	第2次プロトタイプの構成	70
3.43	第2次プロトタイプの外観	71
3.44	1画素の検証用回路	72
3.45	サンプリングセンサの動的制御システム	75
3.46	シミュレーション画像 1	75
3.47	シミュレーション画像 2	76
4.1	Kemeny の方式	78
4.2	提案方式	79
4.3	1画素回路	81
4.4	シミュレーション画像	82
4.5	3x3 ブロックにおける平滑化回路の概要	83
4.6	タイミングチャート	84
4.7	C1 への蓄積時間	85

4.8	シフトレジスタの制御のためのタイミングチャート	86
4.9	ブロックサイズ決定手段：3x3 の場合	87
4.10	ブロック選択信号の配置	88
4.11	水平シフトレジスタ回路	89
4.12	プロトタイプの全体構成	90
4.13	チップレイアウト	91
4.14	プロトタイプチップ	92
4.15	プロトタイプの評価システム	93
4.16	プロトタイプによる撮像例	94
4.17	網膜型出力画像	94
4.18	レンズソケットのブロック図	95
4.19	レンズソケットの現物	96
4.20	評価用平滑化処理回路	98
4.21	平滑化処理を行なわない場合の出力波形	99
4.22	平滑化処理を行なった場合の出力波形	99
4.23	検証用画素回路	100
4.24	画素回路からの出力	100
4.25	C1 における電圧保持	101
5.1	第一次プロトタイプの画素回路構成	105
5.2	第二次プロトタイプにおける画素回路構成	106
5.3	3x3 ブロックにおける平滑化回路の概要	107
5.4	列方向平滑化処理のための制御回路	108
5.5	タイミングチャート	109
5.6	ブロックサイズ決定手段：3x3 の場合	110
5.7	シフトレジスタの制御のためのタイミングチャート	111
5.8	スマートスキニングシフトレジスタ	111
5.9	水平シフトレジスタ回路	112
5.10	プロトタイプの全体構成	114
5.11	チップレイアウト	115
5.12	プロトタイプチップ	116
5.13	プロトタイプによる撮像例	117
5.14	広角レンズ	118
5.15	広角レンズを使った CCD カメラ画像	118
5.16	プロトタイプによる撮像画像	119
5.17	レイアウトミス	120
5.18	修正前のチップ表面の電子顕微鏡写真 1	121

5.19	修正前のチップ表面の電子顕微鏡写真 2	121
5.20	修正後のチップ表面の電子顕微鏡写真	122
5.21	評価用平滑化処理回路	123
5.22	平滑化動作時における出力波形	124
5.23	1 画素回路	124
5.24	出力波形	125
6.1	センサーネットワークシステムのブロック図	128
6.2	センサユニットの出力制御	129
6.3	センサネットワークシステムのための試作ボード	129

表目次

3.1	プロトタイプ的设计仕様	55
3.2	设计仕様の比較	71
4.1	プロトタイプ的设计仕様	92
5.1	プロトタイプ的设计仕様	116

第 1 章

序論

本章では、本研究の背景と目的を述べ、更に本論文で述べる内容の構成を示す。

1.1 本論文の背景

現在の情報画像技術は多様化して範囲が広がって来ているが、これを情報の流れに沿ってみると、まずは外界や対象物からの光などの形でやって来る情報を、電気信号に変換する画像入力技術、そして、その電気信号を処理加工し、情報として変換したりする信号処理、情報処理技術、更にその結果を使って機械を制御したり、計算結果を示したり、あるいは再び画像に表示して人に見せるなどの働きをさせる出力技術などが必要である。これらは互いに縄張をつくって情報の受渡しを刷るのではなく、システム全体として画像情報を合理的に取り扱う事が大切である。

この中でもイメージセンサに代表される情報入力技術は、入って来た情報を出来るだけ損なう事無く効果的に次の段階に伝えなければならず、その後の処理の性能を左右する重要な役割を担っている。ここで雑音を入り込ませたり、誤った情報が混入すると、その後の段階では回復が困難となり、画像は劣化する一方である。よって、撮像素子は画像情報を利用した様々なシステムにおける入力部に当たり、システム全体の画質を支配しているといっても過言ではない。従来の撮像素子では、入力段階として完全に入力情報を転送する事が最重要事項であり、そのための研究が広く行われている。

現在のイメージセンサは CCD や CMOS に代表され、ビデオカメラとして動画像の取り込みに使用される他、近年では電子スチールカメラとして正四賀の取得、放送・通信・家電が一体化したマルチメディアの画像入力、産業、医療、OA 機器、セキュリティ分野などの画像入力に広く用いられ、これらのシステムの性能を左右する重要な役割を担っている。

これまで CCD が撮像素子として主役の座を担って来たが、CCD は操作回路に無雑音電荷転送を利用するため、高画質の映像信号が得やすい反面、電荷を完全転送するためには、比較適大きな駆動電圧が必要で、消費電力を下げる事が困難であった。これに対し、1995 年頃から米国を中心に CMOS 技術を用いた CMOS イメージセンサの開発が活発化

して来た。その大きな要因の一つは、CCD イメージセンサと比較して消費電力が小さく、単一電源で動作できるというメリットにより、携帯端末応用に適することである。また、通常の CMOS-LSI と同一のプロセスで製作できるため、カメラの低価格化に有利であり、画質が向上すれば実用に適することも要因となっている。

また、CMOS イメージセンサでは、画素の選択に X-Y アドレス方式を採用するので、高速な操作が可能で、微細加工技術の進展に伴って様々な信号諸回路を小さな面積でセンサ面上に搭載できるので、単に画像を取るだけでなく、画像情報の圧縮や生物の視覚と同様の階層的並列処理をリアルタイムで行うインテリジェントセンサの実現も期待できる。

MOS 型イメージセンサが注目を浴びたのは近年に限らず 1980 年代にもあった。1981 年に MOS 型撮像素子を使った家庭用ビデオカメラが世界で最初に発売され、わが国での固体撮像素子の製品化レースが始まった。その後 CCD 型イメージセンサが 1982 年にビデオカメラとして製品化され、以後、MOS 型と CCD 型の開発は互いに競いあう形で撮像素子としての技術が急速に成熟していった。この結果 80 年代後半には、固体撮像素子の売上がそれまでメインであった撮像管のそれを上回り、イメージセンサの主役交替劇が起きた。

しかし、CCD 型と MOS 型の相乗りレースも長くは続かず、結果として CCD 組が勝ち残ったのは、現在 CCD が固体撮像素子の代名詞と化しているところからも明らかである。MOS 組の敗北原因としては、画素を構成する MOS トランジスタのバラツキによる固定パターンノイズ (FPN)、出力容量が大きい事による S/N の低下等による画質の劣化が挙げられる。結局撮像素子として求められる最大の要素は、如何に高い品質の画像を提供するかということであり、そのために画像入力部が抱えてきた諸問題を以下に簡単に説明する。

1.1.1 画像入力部における諸問題

イメージセンサが抱えるいくつかの研究課題をまとめる [1][2][3]。以下の諸課題は、相互に複雑に関連しており、どれか一つを切り出して扱うことは難しく、協調して研究を進める必要がある。

高 S/N 化

イメージセンサの高画質化は最も重要な研究課題であり、これまで多くの努力が傾注されてきた。以下に、イメージセンサの画質劣化に関わる項目を簡単に説明する。

- 残像

フォトダイオードなどの受光部に蓄えられたすべての信号電荷を一回の読みだし時間内に出力端に吐き出す事ができない場合や、入射光の強さが変化したときに、信号出力電流の変化の時間遅れにより発生する現象である。具体的には、速く動く被写体の像がぼやけたり尾を引いたり、透けて見えたりするものである。

- 暗電流

逆バイアスした pn 接合等の受光部に光が入射しない状態で流れる電流を暗電流と言う。一般にシリコンでは 8 ないし 10 度温度が上がると 2 倍暗電流が増える。固体撮像デバイスで問題になる暗電流の発生場所は、フォトダイオードの表面の界面順位である。そこで、界面領域を P^+ 層で覆ってしまうことにより、暗電流の発生源を閉じ込めてしまう。また、暗電流を減らす方法として冷却する手段もある。

- 雑音

固体撮像デバイスの雑音は、固定パターン雑音 (FPN) と、ランダム雑音 (RN) に大別される。前者は画面の特定の位置に信号以外で定パターンで、時系列になった画像信号に同期して入って来る雑音であるから、画面に再生した時には決まったパターンとして現われる。後者は不規則に時間的に入って来る雑音である。固定パターン雑音は主としてサンプリングパルス、あるいはデバイスを駆動するパルスなどが容量結合して信号線に入って来るものである。一方、ランダム雑音は大別して、固体撮像デバイス自体の発生する雑音と次の段階に移す時のプリアンプ雑音および信号に伴ったショット雑音がある。

- ブルーミング

極端に強い光が画面の一部に入射したとき、そこで発生した信号電荷がフォトダイオードから溢れ出し、周囲のフォトダイオードや CCD 転送路等の電位の井戸に流れ込む。その結果、光の当たっていない周囲も明るく見え、もっと悪い場合には CCD 垂直転送路に入った余剰電荷によって、垂直の帯状に明るい部分が画面上に出来てしまう場合がある。この現象をブルーミングといい、固体撮像デバイスでは、構造上本質的に起こりやすく、一つの問題点となっている。これを防ぐための手法としては過剰電荷を基盤に逃す縦型オーバーフロードレイン (VOD) 構造が使われる。

- スミア

スミアはブルーミング程極端に強い光の入射がなくとも、一部に入った光がブルーミング同様ににじみ、特にその付近の転送路にそって明るい帯となって見える現象である。この現象は、周囲より光が強く入射した部分があると、入った光が方々の電極などで反射散乱して近くの画素や転送路へ行ってキャリアを励起したり、入射部で発生したキャリアが周囲の画素や転送路まで拡散して行き、信号同様に電荷となって出力されるものである。

- モワレ、エイリアシング

固体撮像デバイスは画素が完全に分離されているから、その画素ピッチで決まるナイキスト周波数以上の空間周波数を持つパターンが入射されると折り返し歪みを生

ずる。これをモワレ効果またはエイリアシングと呼ばれる。

高感度化

近年のデバイスの多画素、高密度化により、単位画素の面積が縮小し、これに伴う受光部の面積の減少による感度低下が大きな問題となり、感度の向上が必然的に重要な課題となっている。光学レンズを通してデバイスに入射される光量はレンズの絞り値により一義的に決定されるため、単位画素に入射する光量は画素数に比例して減少する。感度の向上を図る方法として、デバイスの駆動法によるものと、デバイスの構造上の工夫によるものが考えられる。前者の典型としては、デバイスを冷却して長時間光蓄積より低照度撮像を可能にする方法がある。後者の例として、フォトダイオードの実効開口率の拡大、光電子増倍管との結合、画素内信号増幅デバイスなどが挙げられる。

イメージセンサの小型化、高精細化につれて、開口率の減少による実質的な感度の低下に伴い、センサそのものの感度の向上が重要課題となっている [4]。感度の向上には、信号成分を増やすあるいは雑音を減らすという 2 つの方法がある。入射光量を増やす試みとしては、受光面にマイクロレンズを堆積し実効開口率を向上するものや、構造の積層化等により開口率を改善する手法が挙げられる。一方、画素内に増幅回路などを用意した AMI、SIT、CMD や、アバランシェフォトダイオードを用いた APD 等の内部増幅型イメージセンサにより、信号成分を増やす試みも行われている。また、蓄積電荷を長くし信号を増やす方法もあるが、従来手法では被写体が動かない静止画を対象にしている。

広ダイナミックレンジ化

イメージセンサが様々な用途に利用されるにつれ、広いダイナミックレンジでの撮像が必要となっている。広ダイナミックレンジ手法としては、イメージセンサの構造上の工夫の他に、MOS のサブスレショルド領域を利用した非線形読み出し [5] や、非破壊型イメージセンサを用いて蓄積時間の異なる信号を多数回読み出す方法 [6]、フォトダイオードの蓄積容量を段階的に大きくすることで光電変換の傾きを制御する方法 [7] などが検討されている。

高速度化

高速度撮像は、従来からの特殊撮像以外にもマシンビジョン応用など、その応用範囲が広がる傾向にある。高速撮像を困難にする大きな原因は、センサ外部に転送する際の I/O ボトルネックである。そこで、イメージセンサをいくつかの部分に分割して、それらを同時に走査し多線にて出力することで、高速化を達成している [8]。また、出力フレーム数は増加しないが、子シャッタ機能 [2] では不要電荷を基板に逃がすことで、高速に移動している物体をとらえることができる。なお、高速度撮像では実質的な入射光量が減少するために、感度化も重要な課題となる。

高精細化

マルチメディア、臨場感通信においては、HDTV を越えた超高精細化の実現が期待されている。しかし、例えば画素数が 100 万画素を越えるセンサでは、読み出し速度が 35MHz 以上となり、画素数の増加につれて従来の水平 CCD レジスタによる順次出力では、充分対応できなくなっている。そこで、高精細イメージセンサでも高速センサと同様に、画面を分割し複数の出力線にて出力することで高精細化を実現している [9]。また、出力画素数を増加させずに高精細化を実現する手法としては、フォトダイオードを半画素ずつずらして配置し出力後補間を行う方法や、センサそのものを振動させることで解像度の向上を図るスイング素子 [2] 等がある。高精細化では、画素面積が減少し 1 画素あたりの入射光量も減少するので、さらなる高感度化も重要になる。

小型化、低消費電力化

カメラの小型化の要求に併せて、イメージセンサの小型化が進められている。チップの小型化により歩留まりが向上し、生産コストの削減にもつながる。また、システム全体の小型化が進むにつれ、イメージセンサに割り当てられる電力が削減されており、さらなる低消費電力化が望まれている。

1.1.2 イメージセンサの高機能化

近年、画像入力部では 1.1.1 項で述べた様々な課題に加え、新たに高機能化、インテリジェント化の検討が始められている。従来の課題の様な単に撮像素子の性能改善のみを目指すのではなく、画像処理システム全体の処理性能といったグローバルな見地から、画像入力部における役割を再検討し、イメージセンサの高機能化を図るものである。このような高機能センサはコンピューショナルセンサ、スマートセンサ、インテリジェントセンサ、ビジョンチップ等と呼ばれている。以下、イメージセンサと制御回路の統合という、いわば従来の撮像素子の延長上に位置する高機能化への試みと、イメージセンサと演算処理、また柔軟な読み出しシステムの統合という新たな試みについて簡単に説明する。

イメージセンサと制御回路との統合

従来のマルチメディアカメラシステムでは、同期信号生成回路や各種制御回路、A/D コンバータ、信号変換処理回路、デジタルインターフェース等は、イメージセンサの周辺に配置されていた。これに対し、このような周辺回路をイメージセンサ上に一体化し集積することで、マルチメディアカメラの小型化の実現を目指した、“camera on a chip” と呼ばれる試みが行われている [10][11]。一体化カメラの試みは、撮像素子そのものの性能を直接改善するものではないが、カメラシステム全体での小型化や低消費電力化を実現できる。一方で、イメージセンサにとっては同一チップ上の様々なデジタル回路がノイズ

発生源になるため、画素信号へのノイズの混入を防ぐ新たな対策が必要になる。

イメージセンサと処理回路の統合

図 1.1 に示すように、従来の画像処理システムでは、イメージセンサによる撮像、画像信号の伝送、画像信号の処理と大きく 3 つの要素に分離しており、本来 2 次元情報である画像信号は、1 次元に走査し伝送された後、2 次元の画像処理が行なわれていた。しかし、近年の多画素化、高速化が進むに、この転送部のボトルネックが問題となっている。

これに対し、演算処理機構もしくは、読み出しの自由度を広げるシステムの統合により、あらかじめ転送データ量を削減してボトルネックを解消することが可能である。

- 演算処理回路の統合

イメージセンサに直接演算処理回路を統合することで、センサ上で画像処理の一部あるいは全てを行なう新たなシステム形態の検討が行なわれている [12]–[21]。これらは画像処理システムにおける一層の高速化や機能の集積化を可能にする新たなイメージセンサとして注目を浴びつつある。コンピューテーショナルセンサを用いることで、撮像面上での高速で完全並列な画像処理が可能となり、画像処理システム全体の性能の向上が期待されている。

- 柔軟な読み出しシステムの統合

上記の演算処理とは異なり、読み出し部分に処理機構を搭載したり、画素回路自体の配置を工夫することで、取得画素値を忠実に読み出すだけに留まらない目的に応じた柔軟な読みだし形態を実現することができる。この方式によれば、デバイスの面積全体に対する処理回路の占有率が、演算処理回路を統合する場合比べ著しく低くなり、同時に複数の機能を搭載することも可能となる。この機能によれば外部の処理対象部分のみをあらかじめ選択し、抽出することが可能となり、効率的な画像処理システムの構築が可能である。

本論文では、以下高機能イメージセンサとして、イメージセンサと空間的処理回路の統合に注目し、その検討を行う。

1.2 本論文の目的

本論文では、イメージセンサと柔軟な読み出しシステムの統合により、イメージセンサの機能拡張を図る高機能イメージセンサを検討し、その有効性を確認することを目的としている。

既に 1.1.1 項で述べたように、固体撮像素子における画像の高品質化に向けた諸課題に対し、従来より様々な研究が行なわれてきた。それらは、デバイスやレイアウト構造、制

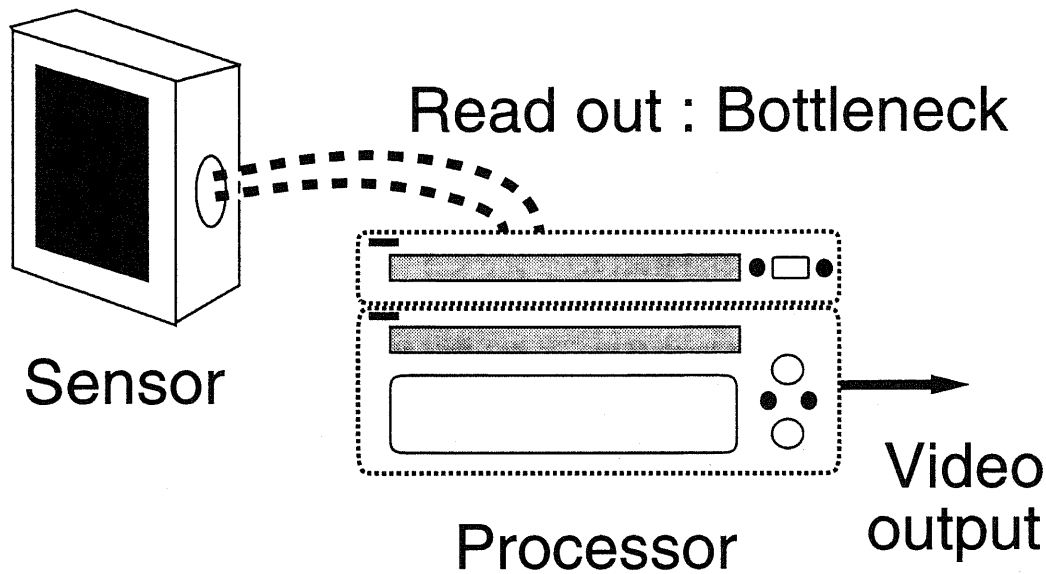


図 1.1: 従来の画像処理システム

御動作などといった工夫に基づくものが大半であり、処理回路との統合に基づくものは少ない。もちろん、多様な技術ブレイクスルーによるものではあるが、それらの研究の多くは従来からの研究の延長上に位置づけられ、ある体系化された枠組みの中でとらえることができる。

一方で、1.1.2項で述べた高機能イメージセンサは、撮像面上での動き検出やエッジ検出といった画像処理の実現に重きを置き撮像性能を犠牲にしているか、撮像特性を重視し、補足的に機能を付加しただけものが大半である。また、目的とした処理機能を実現できる反面、用途が限定されてしまったり、広範な機能の実現に至らないものも多かった。

画像処理システムの将来像を考えた場合、入力部であるイメージセンサは高解像度化高感度化等の撮像性能の向上が図られることは明らかであり、後段の処理部も処理性能が高度に発達し、さまざまなアプリケーションをリアルタイムで実現することができるであろう。そういった中で入力部にどの程度まで処理機能を搭載するかを検討した場合、複雑な演算を行わせるよりも、単純であるが計算量の多いローレベル処理を行うことがシステムの効率の面からも妥当であると考えられる。例えば、多重解像度で出力する場合には、平滑化処理を画素単位に行って行くことが必要となるが、センサの二次元性を利用すれば単純な回路構成により読出しレートに影響を与えることなく平滑化処理を行うことができる。これに対し、外部で同一の処理を行う場合にはすべての画素を読み出す必要があり、転送速度が向上した場合でも高解像度化によりボトルネックは存在すると考えられ、処理の効率の観点からはベストとは言えないであろう。

そこで、本論で提案する高機能イメージセンサは、柔軟な読み出し形態を実現するシステムに着目し、従来効果的に達成されていなかったランダムアクセス機構や多重解像度出力機能を拡張して、一画素単位の任意の粗密制御を実現すると共に高速撮像を担保し、さらには人間の視覚における中心視に対応した画像出力を可能とするものである。

具体的には、本論文で提案するサンプリングポジションメモリを撮像面上にセンサアレイと対応させて統合することで、センサ部からの画素値の読み出しを任意に制御するものである。また、ブロック単位での平滑化を可能とし、外部から指定するブロックサイズに対応して、局所的な平滑化処理が可能となる。本論文では、提案する「撮像面上で柔軟な読み出し形態制御を行う高機能イメージセンサ」のプロトタイプを実際に設計、試作し、その撮像特性や処理性能を明らかにすることで、撮像素子の性能改善へのアプローチとしての有効性を確認する。

1.3 本論文の構成

本論文の構成は以下の通りである。

第 1 章 序論

第 2 章 コンピュータショナルセンサ

第 3 章 空間可変サンプリング制御センサ

第 4 章 多重解像度イメージセンサ 1

第 5 章 多重解像度イメージセンサ 2

第 6 章 今後の展開

第 7 章 結論

以下に各章の要約を示す

第 2 章では、コンピュータショナルセンサと呼ばれるイメージセンサと処理機能の統合を扱った様々な研究について説明を行う。まず、コンピュータショナルセンサの基本的な概念を整理する。従来のシステムとの比較を通じ、画像処理システムにおけるコンピュータショナルセンサの担う役割を説明する。さらに、最近の研究動向を処理回路の構成、演算処理の形態等からまとめ、簡単に説明する。

第 3 章では、まず、従来の空間的圧縮機能について紹介した後それらの問題点を指摘、そこから導き出される解決課題について検討する。そして、サンプリング制御イメージセンサのアルゴリズムとして採用した、課題解決の具体的手段として提案するところのサンプリング制御機構について説明を行う。当該機構により、従来のランダムアクセス機構や、

スキップ、ブロックアクセス機構、更には人間の中心窩に対応したサンプリングポジションの制御が可能となることを説明し、その特徴をまとめる。

併せて、本機構により人間の視覚特性を模倣した出力が可能となるが、これに関し本章の前段で、ランダムアクセス機構搭載のセンサとともに生体の視覚信号処理を模倣した、あるいはそれに近い処理の実現を目指して検討されたイメージセンサについて述べる。

イメージセンサの構成法として、画素並列処理構成と列並列処理構成について説明し、その特徴をまとめる。さらに、本論文で新たに提案するサンプリング制御センサの回路設計について説明した後、全体構成および、画素回路、メモリ回路、シフトレジスタの構成を明らかにし、その動作の流れを具体的に説明する。また、画素値出力の際に圧縮機能を実現する、読み飛ばし機能付き水平シフトレジスタの回路とその動作を説明し、メモリに書き込むためのサンプル選択信号について明らかにする。最後に、試作したプロトタイプを示した後、そのレイアウト設計についてセンサ部、メモリ部に分けて説明し、その仕様を明らかにする。

試作したプロトタイプの評価を行ない、その撮像特性と処理性能を明らかにし、サンプリング制御センサの有効性を確認する。まず、プロトタイプのセンサアレイにより評価を行い、サンプル選択信号により柔軟な読み出しが実現できるかどうかを検証する。具体的に、ブロック / スキップアクセス、中心窩パターンアクセスによる出力が可能かどうかを検証する。また、読み飛ばし出力時の動作を確認し、画像の再構成を行なう。また、プロトタイプの部分回路を用いた評価実験により得られた、フォトダイオードの光電変換特性やシフトレジスタの高速動作、メモリ特性の検証結果について述べる。

第 4 章では、多重解像度イメージセンサの第一次プロトタイプについて説明する。まず、多重解像度イメージセンサの研究背景について説明し、従来方式を紹介、問題点を指摘する。この問題を解決する提案方式として、平滑化ブロックのオーバーラップが可能な方式を開示し、それを実現する回路方式について説明する。具体的には、一画素回路の構成について詳細に説明し、平滑化方式についてタイミングチャートを用いて説明する。また、ブロックサイズの手法について、そのための回路構成の概略図及び制御信号のタイミングチャートを用いて説明する。さらに、平滑化の最終段における処理を水平シフトレジスタ回路を用いて説明する。

また、実際に試作した第一次プロトタイプチップについて紹介する。試作したプロトタイプの評価を行ない、その撮像特性と処理性能を明らかにし、多重解像度イメージセンサの有効性を確認する。具体的には、チップにより取得した画像を紹介する。画像は、ブロックサイズを画面全体で統一したものと、一画面内で局所的にブロックサイズを変更したものを紹介する。また、平滑化処理の特性検証を行った結果を報告する。

第 5 章では、新たに試作した多重解像度イメージセンサの第二次プロトタイプについて説明する。第一次プロトタイプは、ランダムアクセス機能を有していなかったため、第二次プロトタイプではこれを追加し、更に多画素化を図った。そのための改良点として、

一画素回路の構成を変更した。具体的には、平滑化処理に画素値の読み出しラインを利用しない構成とした。これにより、平滑化処理に際し画素値の読み出しラインの配線容量の影響を受けなくて済み、画素回路内のキャパシタサイズを小さくする個とが可能となった。その画素回路構成について説明する。また、ランダムアクセス処理を追加するための回路構成として、垂直、水平のシフトレジスタの構成を変更したので、それについても説明する。さらに、試作したプロトタイプチップを用いた検証実験を行い、その結果を紹介する。実際に取得した画像を開示し、そのセンサーの有効性を検証する。

第 6 章では、プロトタイプを用いたセンサネットワークシステムについて説明する。プロトタイプの実出力制御機能を利用して、ネットワーク上に複数設置されたセンサユニットからの出力データ量の制御を行うシステムを示す。このシステムによれば、ネットワークの転送速度に応じてセンサの出力モードを制御し、変化の大きいユニットからのデータを優先的にモニターすることが可能となる。現在試作中のセンサユニットについても言及する。

第 7 章では、本論文で得られた研究成果をまとめ、課題として残された問題点や今後の研究の方向性について述べる。

第 2 章

コンピューターショナルセンサ

2.1 はじめに

近年、イメージセンサ上に処理回路を統合することで、高機能化を図る研究が進んでいることを前章で述べた。本章では、具体的にイメージセンサの高機能化を実現するコンピューターショナルイメージセンサの説明を行なう。コンピューターショナルイメージセンサの基本的な概念を整理し、そのシステム全体に与える効果と課題を明らかにする。また、最近のコンピューターショナルセンサの研究動向と、その特徴をいくつかの観点から簡単に説明する。

2.2 コンピューターショナルイメージセンサの概念

近年の CMOS 集積回路技術によるイメージセンサへの注目の背景には、CCD イメージセンサに画質の面で匹敵する性能が得られる可能性が出て来たことがまず挙げられる [51]。しかし、その背景にはセンサの機能化の可能性もある。機能化とは即ち処理回路の集積化であり、画素で発生する固定パターンノイズのトランジスタ閾値のバラツキ、ランダムノイズの画素のリセット熱ノイズなども、周辺部に集積化した回路によって除去できる。その結果 CCD と画質の面で争うことが可能になった。コンピューターショナルイメージセンサは、イメージセンサと画像処理回路の統合により高機能化を図る、インテリジェントセンサである。ビジョンチップと呼ばれるものもある。

図 1.1 に示したように、従来の画像処理システムは撮像、伝送、処理部に完全に分離しており、2次元情報である画像信号は、1次元に走査・伝送後、1または2次元処理される。しかし、近年の高解像度、高速度撮像化や、画像処理システム全体の実時間処理化等による、「多くの情報を高速に処理する」という要請に対し、旧来のシステム形態では充分対応できなくなっている。技術の進歩は、当然に入力部分だけでなく、転送部分においても達成されているが、近年は特に高解像度の撮像がブームを迎えており、このような高品質に対する要求は留まる所を知らず、転送部分におけるボトルネックは解消されない現状である。

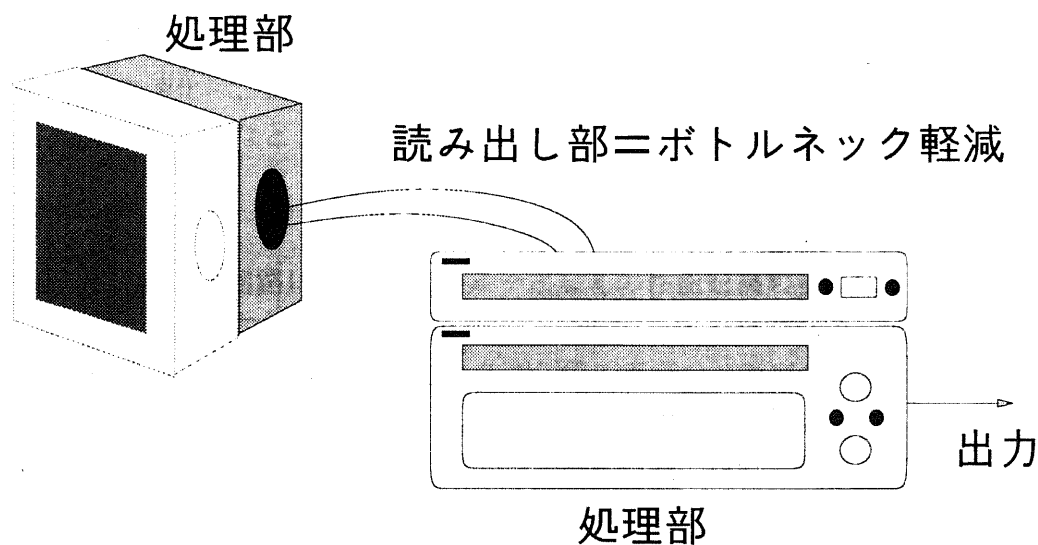


図 2.1: コンピュータショナルイメージセンサ

そこで、画像入力部であるイメージセンサの役割を見直し、単に光電変換のみではなく何らかの機能を持たせることで、システム全体の性能を高める試みが検討されている。コンピュータショナルセンサの大きな利点は、撮像面上における画像情報の2次元性を直接利用することで、高速並列処理を行なえる点にある。撮像面上での並列処理の後、後段で必要とされる情報のみを出力することで、データ転送量を削減しかつ後段プロセッサの負担の著しい軽減が期待できる。また、XYアドレス符号化によるランダム出力や、多重解像度出力等を組み合わせることにより、柔軟な読み出し形態の実現が可能である。

2.3 システム全体におけるイメージセンサと画像処理回路の統合の効果と課題

イメージセンサと画像処理を統合することで、画像処理システム全体に対し様々な効果が期待される。ここでは、コンピュータショナルセンサの効果を高速化、高性能化、小型化、低消費電力化の観点から、簡単に説明する。また、コンピュータショナルセンサを実現する上で生じる、いくつかの課題を併せて説明する。

処理の高速化

撮像面に画像処理回路を統合することで、画像情報を伝送することなく直接高速並列処理を行なうことが出来る。よって、従来のイメージセンサ-伝送-プロセッサという形態に比べ、飛躍的な処理速度の高速化が実現できる。また、画素値情報ではなくセンサ上で前処理された情報を伝送することで、高速撮像下での読み出し、伝送部におけるボトル

ネックを改善し、従来不可能であった撮像速度下においても十分に処理することが可能である。処理の高速化は、例えば動き検出では動き探索範囲の減少につながり、検出アルゴリズムも簡素化されるなど、処理アルゴリズムやその精度への影響も大きい。

撮像の高性能化

撮像面上での処理回路により、撮像素子としての性能を高めることができる。具体的には、半導体プロセスの微細化に伴い各画素に MOSFET の増幅回路を配置したり、CCD と同じ原理の高効率信号電荷検出回路、各画素管の素子のバラツキによって発生するノイズを軽減するノイズキャンセル回路等をオンチップ化する事が可能となった。また、画素数が全体で数百万となっても処理の中心となる画像情報を送ることができれば、対象部分のみを高解像度、高速に転送すれば足りるので、全ての画素について均一に転送を行う場合に比べ読み出し、伝送部におけるボトルネックが格段に少なくなる。また、イメージセンサの感度、解像度といったセンサパラメータを直接制御することで、低照度撮像や広ダイナミックレンジ撮像等が可能となる。

小型化、低消費電力化

イメージセンサにプロセッサの処理の一部を行なわせることで、本来は独立のシステムとして存在したモジュールが不要となり配線数、部品数そのものの削減が可能となる。これにより、システム全体の規模は大きく削減され、同時に低消費電力化が期待できる。また伝送情報の削減できれば、出力伝送部において高速化を闇雲に追求する必要がなくなり、後段の処理部への負担も軽減できる。

コンピュータショナルセンサの実現によりこのような効果がある一方で、以下に示す幾つかの課題を有している。

処理アルゴリズムの選択

通常、入力画像の処理過程は図 2.2 のようになる。このように後段のプロセッサでは、デジタル信号を用いた複雑な画像処理を行なっているが、実装の立場から考えると、これら全ての複雑な処理をイメージセンサ上に実現することは難しく、いずれかの段階を選択することになる。また、コンピュータショナルセンサでは、処理回路そのものの規模も重要であるが、膨大な画素間の配線数や、制御信号の入力が必要な場合は実装を困難にする大きな要因となる。この問題は処理のセンサの撮像性能にも影響して来る問題だけに無視できない。したがって、センサ上での処理部の配置構成にも依存するが、イメージセンサ上で実現する際に有効になるアルゴリズムを選択する必要がある。

画像入力デバイスはシステムの入力部になるため、ここで欠落した情報はもはや処理の対象とならず、演算精度が問題になる。よって、アルゴリズムの工夫により、精度によ

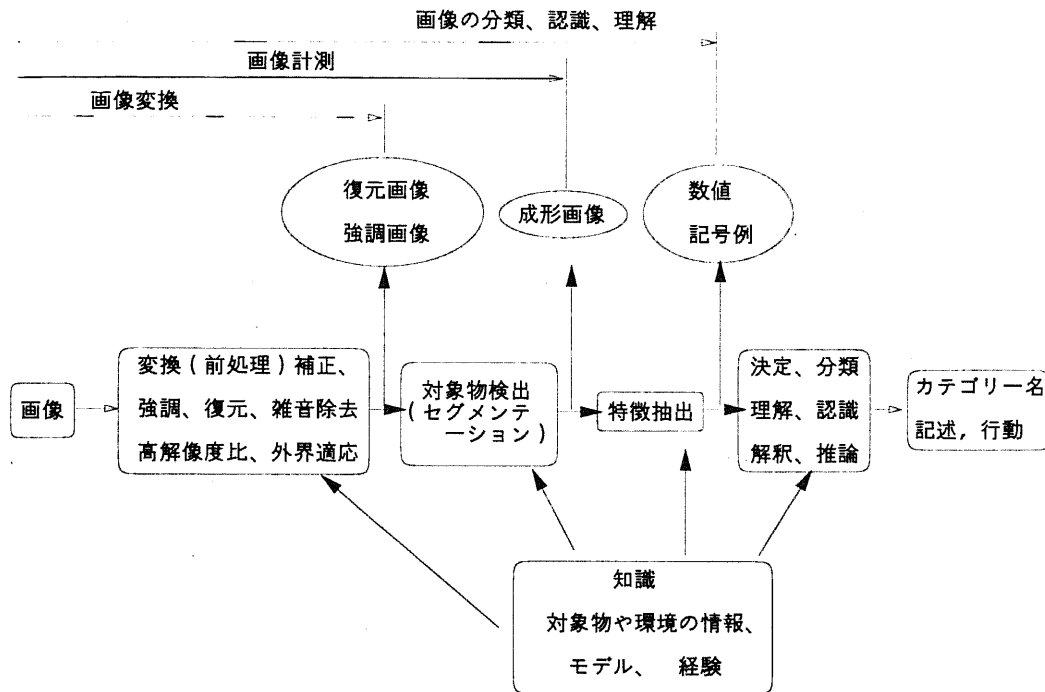


図 2.2: 入力画像の処理課程

る影響を極力回避するような努力が必要である。また、コンピュータショナルセンサは搭載している処理アルゴリズムにより利用分野が特定される傾向があり、汎用性にかけるという欠点がある。また今後の産業応用を考えた時、生産コストも大事な要因であり、製造段階での容易性や汎用性にも注意したアルゴリズムの選択が要求されると考える。

撮像性能の劣化

撮像面上に処理回路を統合することで、イメージセンサの撮像性能を著しく損なう可能性がある。コンピュータショナルセンサの利点として画像情報の2次元性を直接利用することで、高速並列処理が可能となることが挙げられるが、イメージセンサは画像処理専用のプロセッサではなく、撮像を目的としたデバイスである。従って処理に重きをおき並列性を最大限に利用することを目的とすればその分受光素子を圧迫することとなり、必然的に開口率が大幅に劣化することになる。また、画像処理回路が雑音発生源となったり、回路の大規模化により熱が発生し暗電流が増加するなど、画質への影響が予想される。また、アナログの受光部にたいし、デジタルの処理部からのクロストークノイズがのることが考えられる。

よって、センサ上での開口部分と処理回路の配置構成や、レイアウト上の工夫、回路の低消費電力化等により、このような問題を解決する必要がある。これは現在のプロセス

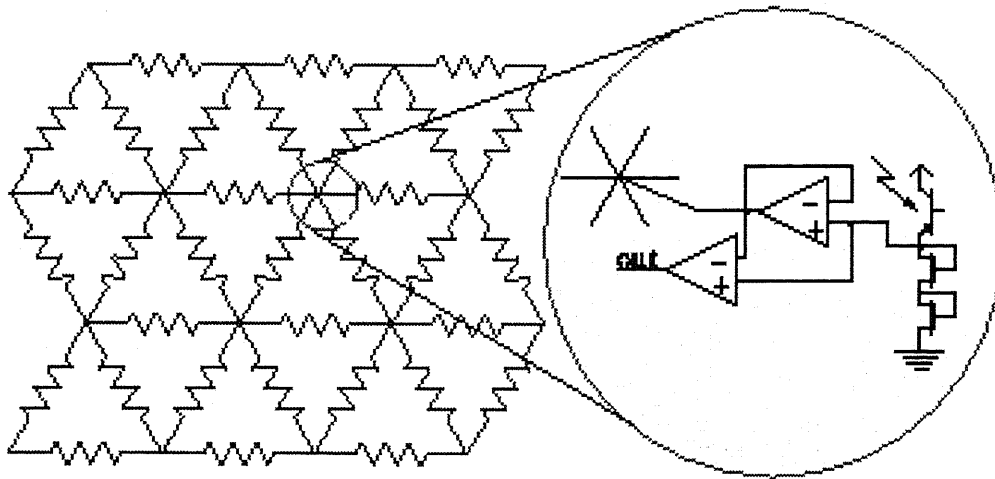


図 2.3: シリコン網膜の構成 [18]

が二次元的な実装に限定されている以上避けられない問題と考える。一方、処理部によって圧迫された受光面積を光学的に補填することができる [32]。例えばマイクロレンズで集光した光はそのままだとメタル配線層で反射してしまい必ずしも受光部まで到達しないが、集光点をできるだけチップ表面に近付け、そこに導光路を設けることで光を 100% 受光部に転送することが可能となる。これによれば、面積に置ける開口率が小さくてもレンズの開口率に対応した開口率を確保することが可能となる。

2.4 コンピューテーショナルイメージセンサの研究動向

イメージセンサへの処理回路の集積化は、これまで生体の網膜をモデル化したシリコン網膜のように、学術的な観点から研究がなされて来た [12]。例えばシリコン網膜センサ [18][40] は、図 2.3 に示すような六角アナログ抵抗網により、人間の網膜の水平細胞による平滑化機能を模倣するセンサであり、ビジョンチップ研究の先駆けとなった。以後、アナログ抵抗網を用いたビジョンチップとしては、エッジ検出、動き検出 [41]、動画像圧縮 [52]-[54] ガウシアンフィルタ [42]、位置方向検出 [21] 等、多くのセンサが検討されている。しかし、これらのアナログ六角抵抗網等を利用する処理回路においては、そのほとんどが処理回路とフォトダイオードが一体化しており、開口率などに代表される撮像性能を犠牲にしている側面もある。ビジョンチップは、画素単位の並列処理が基本となっており、実用性を議論する場合は、画素内に大きな回路を持ち込む必然性と、回路を画素に持ち込むことで生ずる弊害とのバランスが重要となる。即ち、開口率や画素数を犠牲にしてまで機能を集積する意味があるのかが問われる。

石川らは光検出器 (PD) とデジタル回路で構成された汎用の処理回路 (PE) を画素ごとに直結したものを 1 チップに集積化することにより、従来の走査機構によるイメージセンサと画像処理装置を用いたシステムでは実現不可能であったビデオフレームレートをはるかに越える高速リアルタイムビジョンシステムを実現している [33]。ビジョンチップのアーキテクチャはできるだけ多くの PE をワンチップ上に集積することを目標に設計され、ビットシリアル演算、SIMD 型制御、4 近傍接続通信、ランダムメモリアクセス、メモリマップ I/O 方式、インストラクションのタイムマルチプレクシングを実現するが、5mm 角の上に 16 × 16 画素が集積され、画素あたりの面積は 150 μm × 150 μm と大規模になっている。図 3.2 にチップのアーキテクチャを示す。当該チップは、デジタル回路で構成することにより、画像処理の機能に汎用性があり、VLSI 技術の進展による利益をそのまま享受できるというメリットを有する。

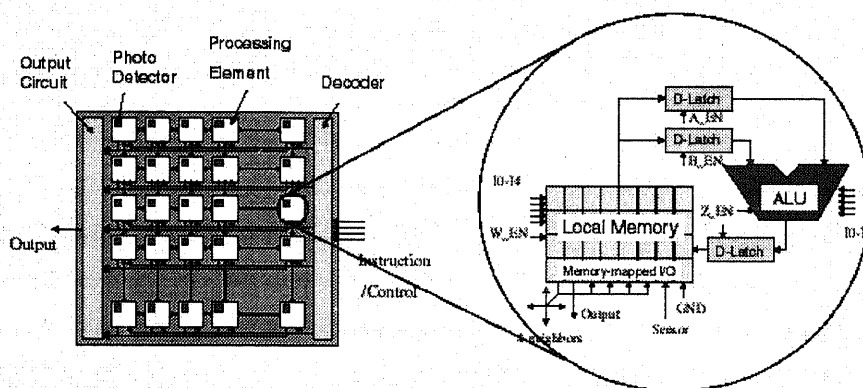


図 2.4: ビジョンチップアーキテクチャ

上記のような、画素単位に処理回路を有するビジョンチップとは異り、撮像部には大きな回路を持ち込まず、周辺回路として処理回路を集積化するイメージセンサの研究も盛んに行われている。以下にそれを紹介する。

処理アルゴリズム

- アナログ処理／デジタル処理

コンピュータショナルイメージセンサでは、その多くがアナログ処理を行なっている。アナログ回路では高速に処理が行なわれ、処理回路の小規模化が可能で、制御動作が複雑でないといった点で優れている。一方、デジタル回路では処理精度においてアナログ回路よりも優れているが、回路規模の問題から演算のビット数を抑える傾向にある。

動画像圧縮センサ [52]-[54] は条件付画素補充方式 [14] を採用し、2.5 に示すような

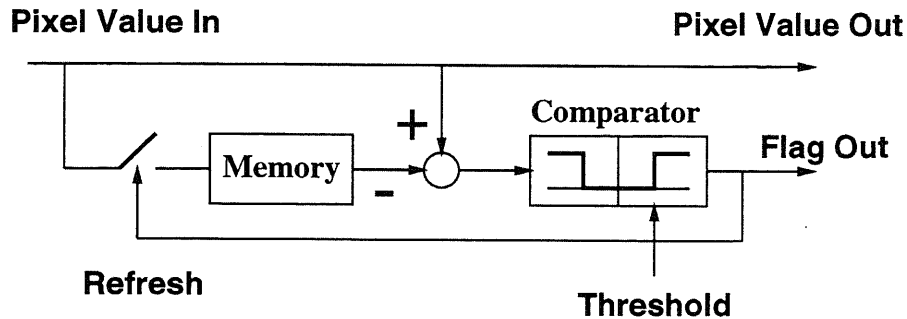


図 2.5: 条件付画素補充方式

各画素の画素値をメモリーに蓄えられた画素値と比較し、その差分がある閾値以上の時のみ、その画素値とフラグ信号を出力することとしている。特に [54] では、画像処理部とセンサ部を独立の配置とすることで、撮像性能を十分に確保しつつ、高速に並列処理を可能とした。

また、川人らは、現在の画像符号化標準への適合を考慮した方式として、DCT を用いたフレーム内符号化に基づく動画像圧縮イメージセンサを試作している [35]。センサ内では、2次元 DCT をアナログ領域で行い、その後に A/D 変換を行っている。2次元 DCT 回路は、積和演算を実行するスイッチトキャパシタによる 1次元 DCT 回路と、中間結果を記憶する 8x8 セルのアナログメモリから構成される。A/D 変換をアナログ 2次元 DCT の後に行うことで、量子化除算に必要なハードウェアと電力を削減することに成功している。

- 生体処理の模倣

センサ上での処理は並列動作が可能であることが望ましい。さらに実装上の問題により、従来の画像処理アルゴリズムをそのままセンサ上で実現することは難しく、様々な工夫がなされている。人間や昆虫の視覚信号処理を模倣した様々なセンサが検討されている。その多くは網膜部における初期視覚処理を扱っており、シリコン網膜のようにアナログ抵抗網を用いることで平滑化やエッジ検出を行なっている。

- グローバル／ローカル処理

ここで挙げたコンピュータショナルイメージセンサは、動き検出や位置・方向検出等空間的な処理を行なうものが多いため、グローバルな処理を実行するセンサが多い。特に動き検出はセンサの機能として最も多く採用されているものであり、実際に動き情報をセンサ上にて導出するセンサや外部での動き検出の前処理を行なうセンサ等々存在する。画像符号化や画像処理において動きは最も重要な情報であり、同時に従来のシステムでは最も計算量を必要とする処理の一つでもある。センサに動き検出処理機能を載せることで、新たなアルゴリズムによる高精度な処理の

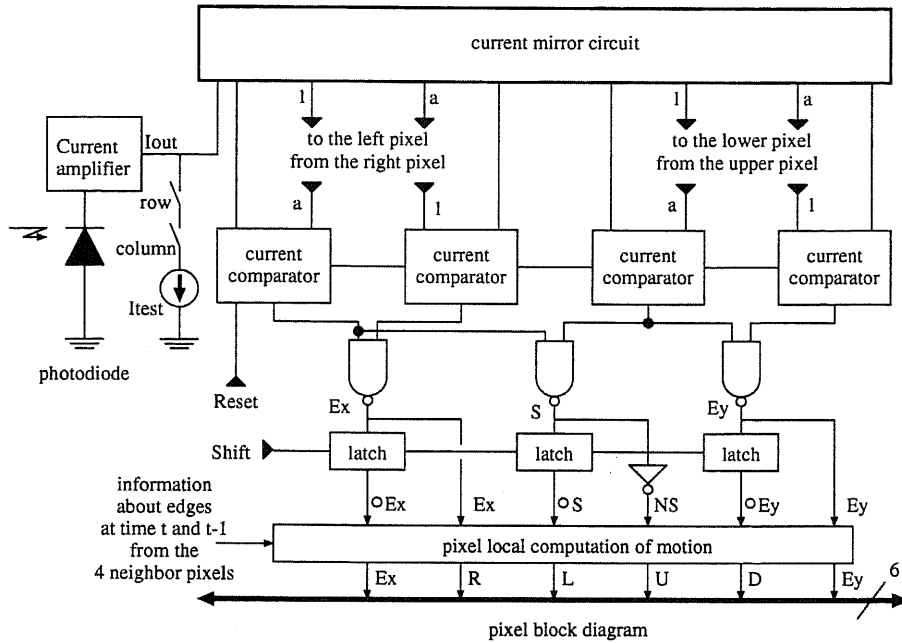


図 2.6: 動き検出センサのブロック図 [19]

実現が期待される。

図 2.6は、空間方向のエッジを用いたグローバルな動きベクトル検出を目的としたセンサの一画素のブロック図である [19]。各画素では垂直エッジ (E_x)、水平エッジ (E_y) が計算される。垂直エッジは右隣の画素との差分、水平エッジは上隣の画素との差分により求められる。また、エッジは勾配の向きにより negative-edge, positive-edge に分けられる (S)。まず画素ごとに動きが検出される。左右の動きに対しては垂直エッジ画像を用い、前フレームの左右隣の画素の垂直エッジと比較され、左または右に動いたと判定されたときそれぞれ対応する出力線 (R,L) に電流が流れる。上下の動きに対しても水平エッジ画像を用いて同様に処理され動きの結果が出力線 (U,D) に現れる。各画素の出力線からの電流は動きごとに集計され、次式によりグローバルな動きベクトル ($\Delta x, \Delta y$) が求められる。

$$\Delta x = \frac{\text{右へ動いた垂直エッジの数} - \text{左へ動いた垂直エッジの数}}{\text{垂直エッジの総数}} \quad (2.1)$$

$$\Delta y = \frac{\text{上へ動いた水平エッジの数} - \text{下へ動いた水平エッジの数}}{\text{水平エッジの総数}} \quad (2.2)$$

- スキャニング制御

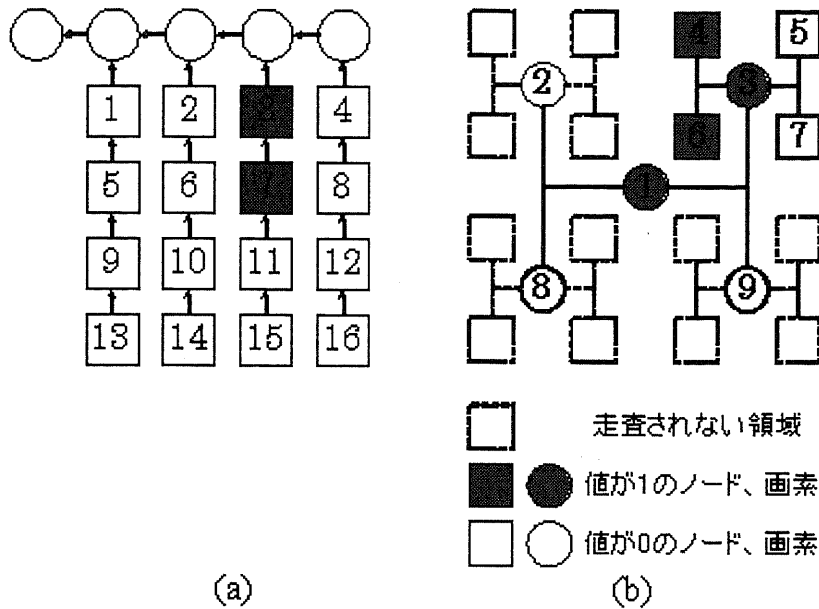


図 2.7: 画像の走査手順 (a) ラスタスキャン (b)4 進木スキャン

CMOS イメージセンサは、CCD と異り X-Y アドレス方式により画素選択を行うので、高速な操作が可能であり、またランダムアクセスを行うことができる。ランダムアクセスに関連するセンサについては次章で紹介し、ここでは、従来のラスタスキャンとは異なるスキニング方式を紹介する。

秋田らは、CMOS イメージセンサのランダムアクセス性を生かし、センサの走査に 4 進木を適用することにより、従来のラスタスキャンと比較して高速に点の探索を行うことが可能である 4 進木スキャンを用いたイメージセンサを提案した [36]。この方式では、高解像度化が進んでもアクセスに必要なサイクル数の増加が少ないといった特徴を持っている。図 2.7 にラスタースキャンおよび 4 進木スキャンにおける画像の走査手順を示す。従来のイメージセンサで用いられている走査方式は、ラスタスキャンである。ラスタスキャンでは、1 画素ずつ画素が並んでいる順に読み出す。このため、必要な情報を有する画素がある特定の領域にのみ存在する場合でもすべての画素に対して走査を行う必要がある。

4 進木とは、木構造を持った情報表現方法の一つであり、2 値画像の符号化にも用いられる。“4 進木スキャン”とは、4 進木を画像の走査に適用した走査方式の名称である。4 進木スキャンでは、必要な情報が存在する領域のみを高い解像度で走査し、不要な領域は低い解像度で走査する。4 進木の各ノードの値は、そのノードの下の階層に含まれる画素の値の論理和となる。ノードの値が 1 であれば、そのノード

ドのさらに下の階層まで走査を行い、ノードの値が 0 であれば、そのノードの下の階層の走査は行われぬ。図 2.7(b) の 2 値画像の例では、右上の 2×2 画素の領域のみに値が 1 (黒で表示) となる画素が存在するため、右上の 2×2 画素の領域のみが画素レベルまでの走査が行われる。その他の領域は、下の階層の画素値が全て 0 なので、途中の階層で走査が打ち切られる。

- その他

平滑化、エッジ検出、領域分割、ガウシアンフィルタ等といった基本的な画像処理を実現するものや、ステレオ、レンジファインダ、衝突時間の演算といった応用よりの仕事も行なわれている。

VLSI プロセス

一般のイメージセンサでは、優れた画質を有する CCD を用いたものが多い。撮像特性を重視した場合、低雑音、高画質な画像取得が可能である CCD は最適なプロセスと言える。しかし、CCD は簡単な演算であってもクロック段数を必要とし、回路規模が拡大してしまうなどの欠点がある。また、アナログ回路に対するクロック雑音の影響が大きいため、高度演算処理の実装を目的とした場合には必ずしも適切なプロセスとはならない。

一方、CMOS プロセスでは、処理回路との整合性に優れていることや、内部増幅を容易に実現出来ること、動作のための同期信号や電源電圧の数を抑えられることなどの理由からコンピュータショナルセンサに適したプロセスといえる。また、CMOS のプロセス技術が確固たるバックボーンを有し、信頼性が高く、現在進行形でプロセスが更新されているなどの理由により本プロセスがコンピュータショナルセンサの試作では採用されている。ただし、CMOS では光電変換専用の素子が存在せず、寄生成分を利用できにすぎないので、撮像特性については限界がある。

また、CMOS イメージセンサは、CMOS プロセスの進歩に追従して微細プロセスを随時適応すれば、画素内トランジスタをいくらでも小さくでき、開口率を向上させることができるという考えもあるが、安易な微細化プロセスの適用は以下に示すような重要な課題を孕んでいる。

- 電圧の低下、短チャネル効果によるトランジスタの閾値電圧の不均一性増加による信号ダイナミックレンジの低下
- ソースドレイン間接近に伴う、トランジスタの OFF リーク電流の増加
- 画素面積縮小による画素容量不均一性の増加及び、トランジスタサイズ縮小によるアンプゲイン不均一性の増加に伴う感度不均一性の増加
- 多層配線時の層間膜厚増加に伴うマイクロレンズ集光効果の劣化

これらの課題は、画質、品質に大きく影響を与えるものであり、 $0.5 \sim 0.35 \mu\text{m}$ ルール、 $5 \sim 3.3\text{V}$ 電源のプロセスにおいて、 $5 \mu\text{m}$ の画素でアレイを作った場合にも既に影響が出ている。

コンピュータショナルセンサの生体応用

CMOS イメージセンサの開発の流れは、センサの高機能化を指向するものと、CCD との置き換えを狙い、高画質の1チップカメラの実現を指向する方向とに分かれると考えられる。前者の方向として、近年非常に小型で情報圧縮などさまざまな画像処理機能を盛り込んだ CMOS イメージセンサの研究が本格化し、実用化に向けた研究が進められている。また、近年のプロセスの微細化に伴い、1チップのサイズは人間の体内に埋め込める程に薄く小さくなって来ている。これに伴い、コンピュータショナルセンサを生体応用する研究が行われている。

この研究の一つに人工視覚システムに関するものがある。この研究は様々な機関で行なわれているが [47][48][49]、それらは主に米国とドイツの研究機関である。その概観の一例を示すと図 2.8 のようなものであり、イメージセンサがマウントされた眼鏡フレームから、センサで取得した画像情報を無線通信により送信し、眼球内の網膜刺激電極により網膜に電氣的刺激を与えるものである。当該システムの研究課程において、眼鏡フレームにマウントされるセンサは、CMOS センサの低消費電力、機能の集積可能性等を利用して、モノクロ CMOS センサがマウントされるのが一般的である。CMOS センサは汎用のものを利用する事も考えられるが、当該システム用に新たに開発されたイメージセンサも存在する。

[50] のイメージセンサは、視野の平均輝度レベルに応じてローカルな受光部の感度を調節することを目的とする。視覚情報は物体に当たった光のうち反射光が網膜を刺激することにより認識されるが、その際シーン全体の明るさがその認識率に大きく影響し、同じ物体であっても周囲の明暗によって見え易さが異なってくる。自然条件下では、物体表面からの反射光のダイナミックレンジは 30dB であるが、シーンの明るさの場合は 90dB にもなる。人間の眼は明るさの対比、同化、恒常性等の時間的空間的要因により、これに対応することが可能である。しかし、イメージセンサは基本的に反射光が受光部に入射して画素値に変換されるため、シーンの明るさの影響を受けやすい。そこで、人工網膜システム用のイメージセンサには、反射光を強調し、照明光を抑えることでダイナミックレンジを圧縮する機能を搭載している。そのセンサを実現するための画素回路が図 2.9 に示すものである。

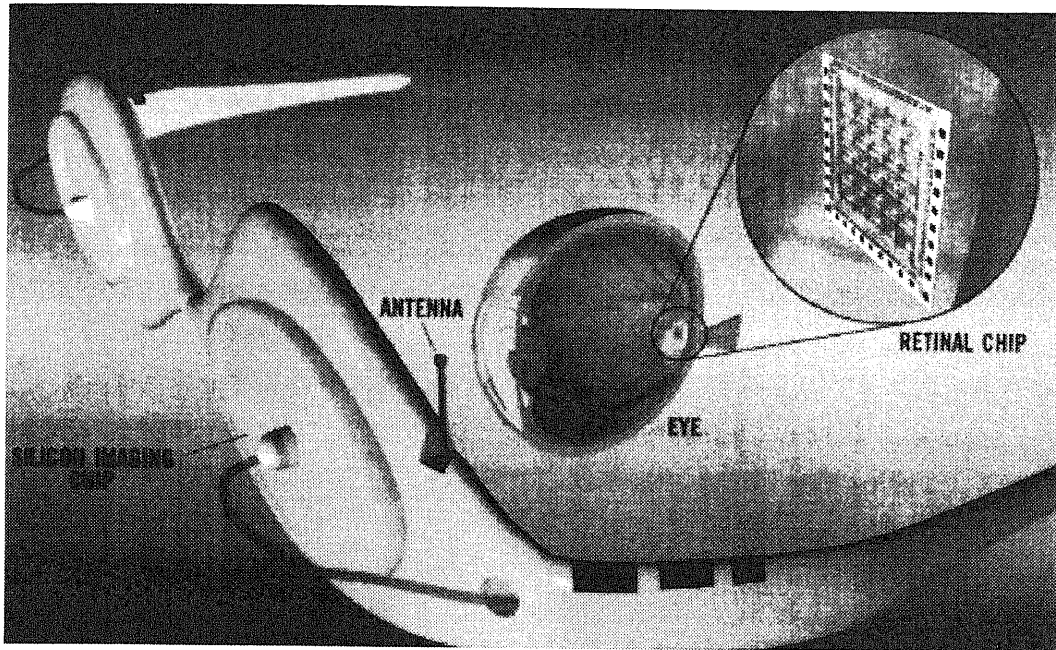


図 2.8: Concept of the artificial retina

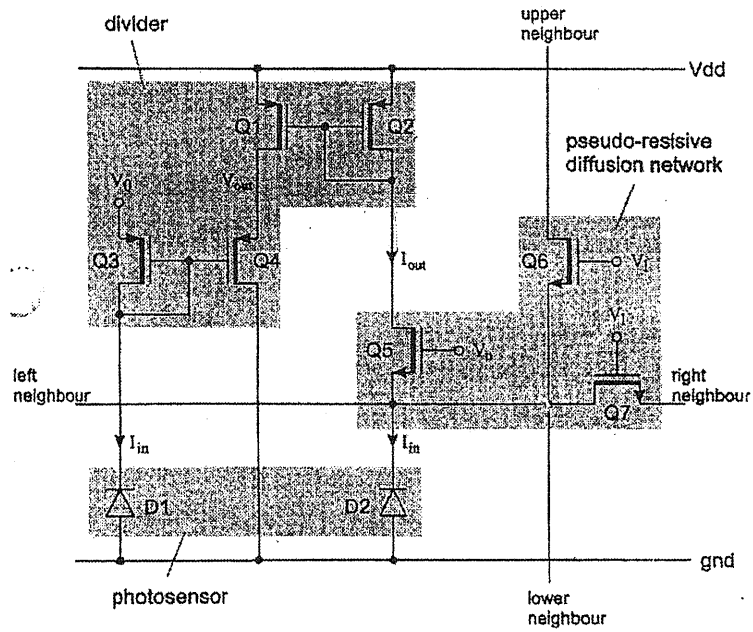


図 2.9: Adaptive sensor pixel

2.5 まとめ

本章では、コンピュータショナルイメージセンサと呼ばれる、イメージセンサと処理機構の統合に基づく様々な研究について説明を行なった。まず、コンピュータショナルイメージセンサの基本的な概念を整理し、従来のシステムとの比較を通じ画像処理システムにおけるコンピュータショナルセンサの担う役割を述べた。また、イメージセンサと種々の処理回路の統合による、システム全体に与える効果とその課題を示した。さらに、イメージセンサの高機能化による撮像性能の改善の可能性を、高画質化、高感度化、広ダイナミックレンジ化、高速度、高精細化の観点から説明した。最後に、コンピュータショナルセンサの最近の研究動向として、代表する研究事例を処理アルゴリズムの観点から分類しそれぞれについて紹介するとともに、プロセスの問題点についても言及した。

第 3 章

空間可変サンプリング制御センサ

3.1 はじめに

画像処理システムの後段で必要とされる情報のみを出力することで、コンピュータショナルセンサによって、転送部のボトルネックを解消することができることは前章で述べた。

これはいわばイメージセンサによる圧縮機能の実現であるが、その種類としては、演算処理により実行される、画素値が一定の閾値を超えて変化した場合にのみ出力するような時間的圧縮機能 [52]-[54] と、XY アドレス符号化によるランダム出力や、多重解像度出力 [22] 等を組み合わせることにより柔軟な読み出し形態を実現する、画素値の変化に無関係に選択的に特定部分の画素値のみを出力する空間的圧縮機能が考えられる。

一方で、コンピュータショナルセンサ、イメージセンサは本来、単独で利用されるのではなく一つの総合的なシステムの一部として機能するものである。特にセンサはシステムの“視覚”を司るものであり、その機能はシステムの根本を左右するものである。近年、主にニューラルネットやマシンビジョンの分野 [34],[37] では、生体の視覚信号処理システムを模倣した、あるいはそれに近い処理の実現を目指したシステムを構築する研究がなされている [31]。そして、このシステムにおいて“生体の視覚”に相当するイメージセンサにも処理システムに即した機能が要求される。具体的には、生体のイメージセンサに相当する網膜ではその特徴の一つとして、中心窩と称されるように中心視ではサンプリング密度が高く、周辺になるに従い低くなっていることが挙げられる [38]。イメージセンサにもこれを模倣した機能が必要とされると考える。この機能は取り扱うデータを効率的に圧縮して、処理の負荷の分散と集中を図ることを目的としており、上記の処理では空間的圧縮に該当する。

そこで本論文では将来的なシステムとの統合を踏まえ、柔軟な読み出し形態の実現するイメージセンサの試作を目的とする。

ここで、柔軟な読み出し形態の代表的なものとして、ランダムアクセス、ブロック / スキップアクセス等が考えられ、実際にこれらの機構を搭載したセンサが報告されている。

しかし、これらのセンサは高速性において限界が存在したり、機能の単一性のために応用の幅が広がらないなどの問題を有している。

そこで、本章では当該問題を解決し、さらなる機能を発揮しえる機構としてサンプリング制御機構を検討し、その原理と、シミュレーションによる処理結果について述べる。

また、本機構はその応用により生体の網膜部における初期視覚処理性質の一つである中心窩を模倣した出力も可能とする。そこで、本章においてはまず上記の従来機構を搭載したイメージセンサおよび、生体の視覚信号処理を模倣した、あるいはそれに近い処理の実現を目指して検討されたイメージセンサについて述べる。

3.2 読み出し形態に特徴を有する従来のセンサとその問題点

- ランダムアクセス機構

サンプリング制御機能とは、サンプリング位置を制御してセンサの画素出力を空間的に制御する機能を言う。この機能は、ランダムアクセス機能に相当する。ランダムアクセス機能を搭載したイメージセンサはこれまでいくつか報告されている。ランダムアクセスの場合、例えば [23] では図 3.4 のようにイメージセンサ上の画素の座標を行 (x)、列 (y) で外部から指定入力する。それぞれ *Row Decoder*、*Column Decoder* を使って指定入力値を変換し指定の座標の画素値を読み出すことができる。このシステムにおいては一画素単位のアクセスが原則であり、読み出しには常にアドレス情報が必要であり、高速アクセスが困難である。

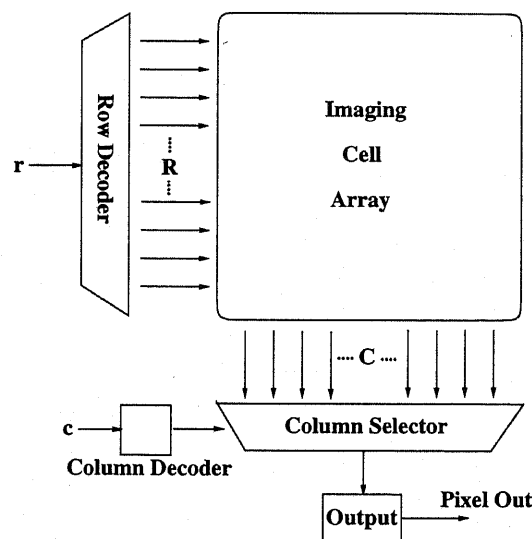


図 3.1: Random Access PD-array

- ブロック / スキップアクセス機構

ブロック / スキップアクセス機構搭載型のイメージセンサ [25] [26] は基本的に行列単位でのアクセス制御が原則となる。ここでは任意の行、列のアドレスを入力して指定された行、列の画素を間引くことで任意のブロックの出力が可能となる。また画素アレイのサブサンプリングを行い出力画像サイズを縮小することも可能である。但し、4画素単位にしかサブサンプルできず、これ以外の間隔での出力は不可能である。従って、画像サイズを縮小する場合も 1/4 にしかできない。また、ブロックについても任意の数のブロックをランダムに抽出することができるわけではなく、あくまで一つのブロックに該当する画素をピックアップできるにすぎない。これらは本センサは出力の制御が行列の一単位以上には小さくできないため、一画素単位の任意の粗密制御ができないためである。

- 極座標型サンプリング機構

極座標型サンプリングイメージセンサ [27]-[30] は、中心部、周辺部が独立したイメージセンサで構成されており、中心部は密に画素を配置すること高解像度で撮像し、周辺部は粗に画素を配置したり、一画素回路のサイズを大きくすることで解像度を落とし人間の中心窩を模倣したサンプリングが可能となる。しかし、画素の配置が固定的であるため、ビジョンシステムとの統合の際には焦点の移動に対応するために常にセンサ自体を移動させなければならない。また、画素回路が徐々に大きくなって行く場合には、センサ内の回路の配置により同じ照度でも感度が異なる結果になる。さらに本センサは中心窩出力のみに用途が限定される点で応用範囲が狭い。

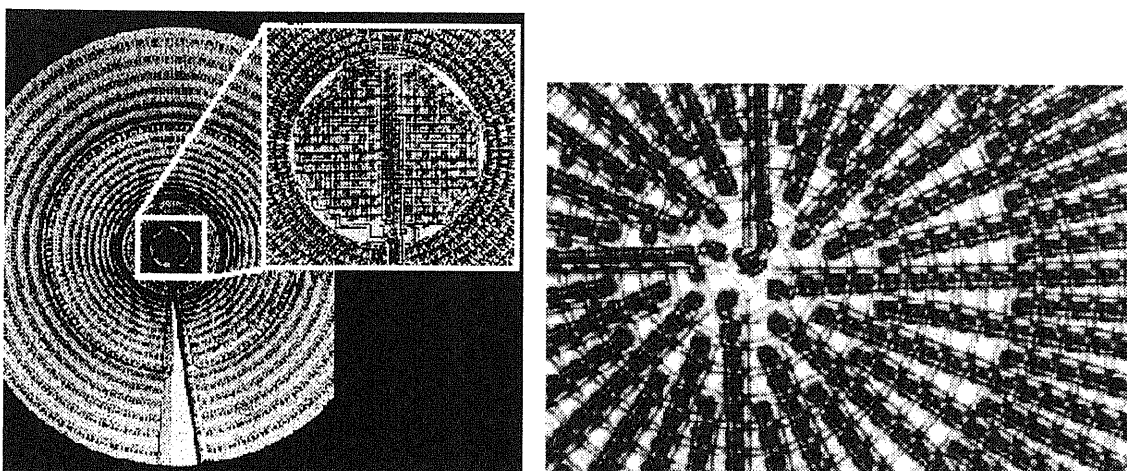


図 3.2: 中心窩型センサ

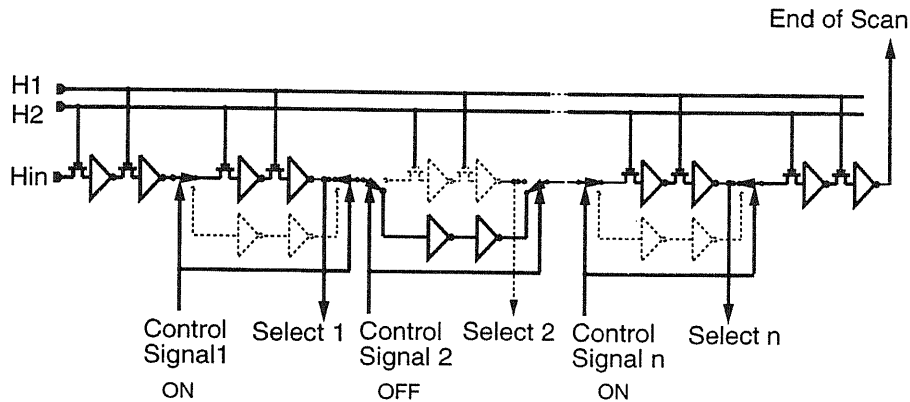


図 3.3: Smart scanning shift register

上記問題点より、以下の二つの解決課題が考えられる。

- 一画素単位のアクセス、ブロック単位のアクセスを可能とし、任意の画素単位の粗密制御をアドレス情報を常に入力しなくても実現できるようにすること
- 人間の中心窩に対応したサンプリングが可能であり、なおかつビジョンシステム上に統合された場合に撮像面内で焦点の移動が可能であり、さらに中心窩的な出力に限らない柔軟なサンプリング制御を可能とすること

本稿ではこれらの課題解決の具体的手段として、センサ上にサンプリング制御機構を搭載することを提案する。

3.3 サンプリング制御機構

提案するサンプリング制御方式では、サンプリングポジションを有したメモリを用いている。このメモリは画素数と対応しており、対応する画素を読み出すか否かという制御命令を 2 値情報で保持している。画素の読み出しの際には、読み飛ばしシフトレジスタ [24] を用い、その制御信号としてポジションメモリ中の 2 値の制御命令を利用する。即ち図 3.41 に示すような水平シフトレジスタを用いてスキャンを行ない、メモリの制御命令があれば対応画素を出力し、0 であれば出力せずバイパスする。その概略は図 3.4 右のようになる。

チップに画素選択のためのサンプル選択信号を入力すると、そのデータがメモリ上に 2 値で保持される。それを垂直シフトレジスタからの選択信号によって読み出し、同様に読み出した画素値に適用する。したがって、選択信号が 1 の時は画素値が選択され、0 の時は選択されないことになる。選択された画素値はバッファを介して 1 行ごとに出力される。メモリ上に記録されたデータはそのまま保持することができるので、読み出しパターン

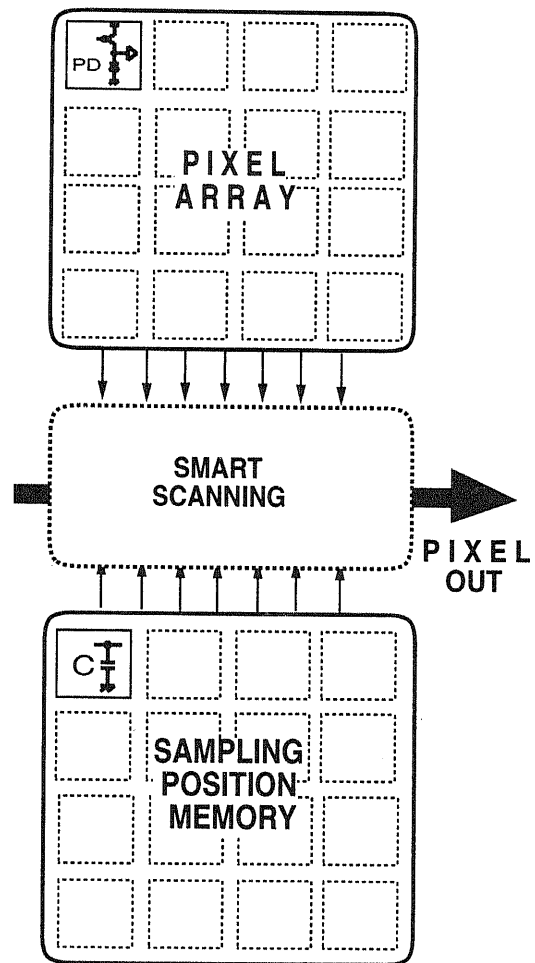


図 3.4: Diagram of sampling control system

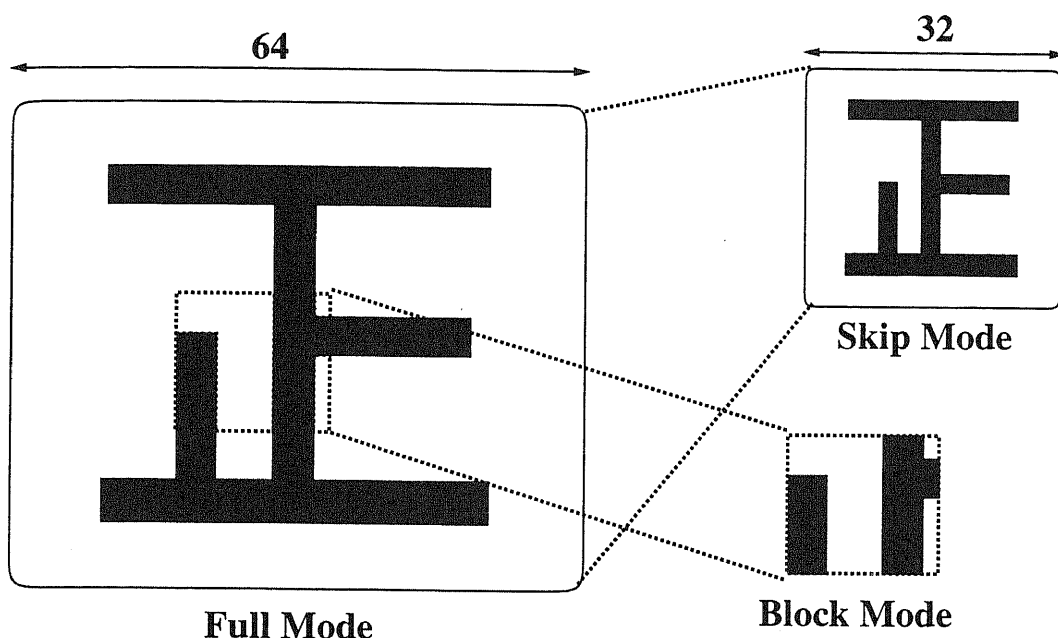


図 3.5: スキップ、ブロックモード出力

を変更する必要がなければ、サンプル選択信号を入力しないで読み出しが可能である。一方、メモリは各画素回路に対応した数だけ存在するので、これを自由に書き換えて任意のサンプリングパターンでの出力を得ることも可能である。

サンプリング制御機構による効果を以下にまとめる。

- 任意の粗密制御

- 本機構はメモリを利用することで、従来のランダムアクセス機構搭載型のイメージセンサのように読み出す画素ごとにその座標指定をする必要がなく、スマートスキャンを用いた高速読み出しが可能となる。
- 例えば、図 3.5 のような制御も可能となる。ここでは列単位のサブサンプリングを行い、読み飛ばしシフトレジスタを利用することで出力画像のサイズを任意の大きさに縮小することができる。また、任意のブロックの画素値のみ必要とする場合に、そのブロックに該当するメモリにのみ選択データを書き込み他は読み飛ばすことで当該ブロックのみ出力することができる。
- また、サンプリングポジションメモリは書き換えが自由なので、適宜読み出しパターンを変化させることができる。これによりブロックアクセス、スキップアクセスは勿論のこと、従来の当該機能を搭載したイメージセンサができなかった 1 画素単位の任意の粗密制御が可能となる。

- 中心視に対応した出力

- 中心部分についてはすべての画素値を選択し、他はサブサンプリングを放射状に行うことで網膜を模倣した出力を得ることもできる。
- また、中心視に相当する部分をセンサ内で自由に移動させることができるので、アクティブビジョンシステムとの統合の際にはセンサ内で中心視の移動が可能となり、センサ自体の動作範囲を狭くすることができると思う。また、サンプル制御信号は外部からの入力信号であるので、外部システムと統合して当該制御信号を動的に生成することで撮像面内での対象物の追尾も可能となる。
- さらに、人間の中心視に対応した出力が可能な従来のセンサが限定的な使用しかできなかったのに対し、本センサは柔軟な読み出しが可能であるので上記を含め多岐にわたる応用が考えられる。

- その他

イメージセンサによる画像計測においても、必要な画素だけの読み出しを行うことで効率的な情報取得が可能となる。

3.4 中心窩的出力画像のシュミレーション結果

本章で提案するサンプリング制御機構により、人間の中心視に対応した出力が得られることは既に述べたが、これを実際にシュミレーションした結果を以下に示す。図 3.6がサンプリング処理を行う前の原画像で、画像サイズは512×480である。図 3.7から図 3.9までがこれを処理したもので、図 3.7、図 3.8では中心部分を半径 64 画素の円形で原画像のまま出力しており、その周辺を周辺に行くに従い間隔が広がるようサンプリングした。両図ではサンプリング間隔の変化率が異なり、図 3.8の方が細かくなっている。図 3.9では同様に中心部を半径 128 画素の円形でそのまま出力している。サンプリング間隔の変化率は図 3.8と同様である。

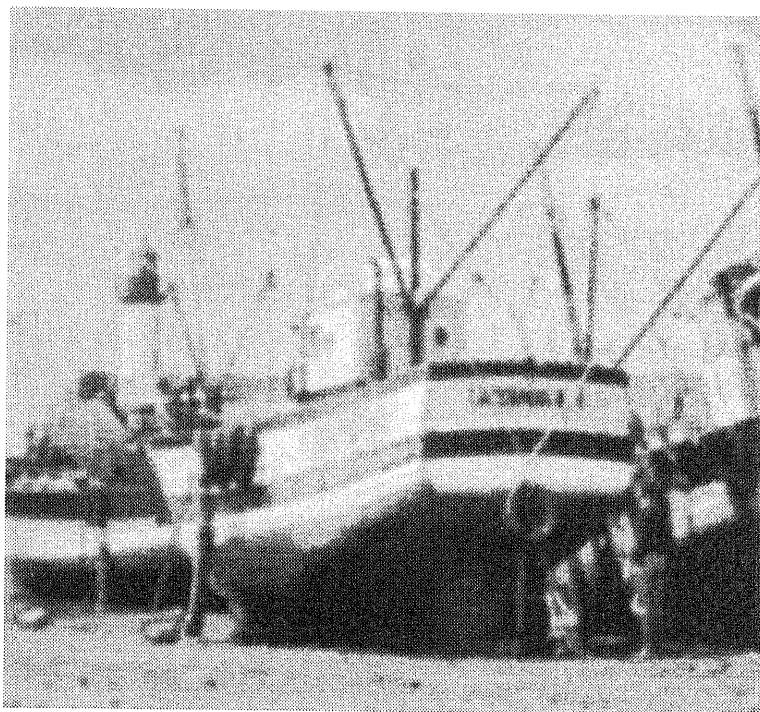


図 3.6: 原画像 512 × 480



図 3.7: シュミレーション画像 : 半径 64 画素

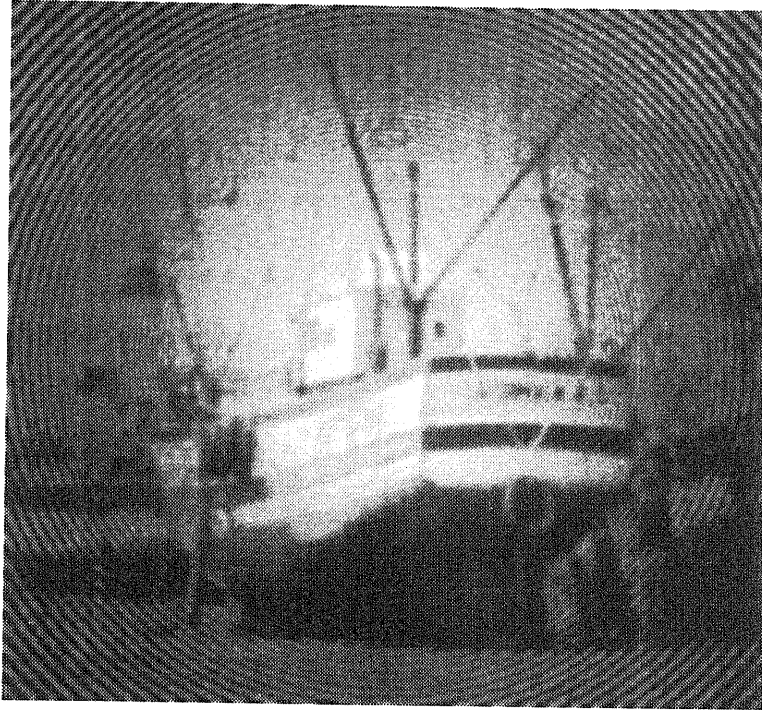


図 3.8: シュミレーション画像 : 半径 64 画素

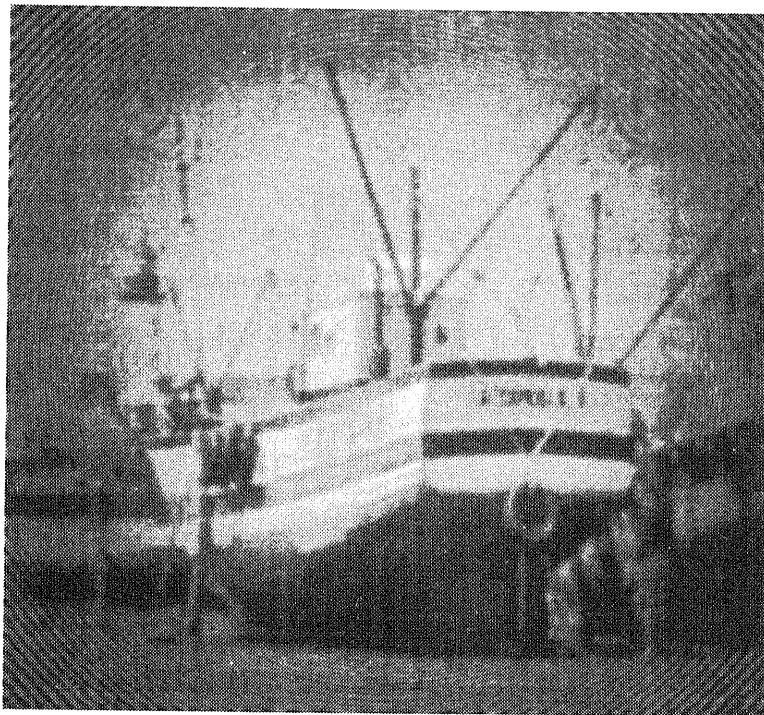


図 3.9: シュミレーション画像 : 半径 128 画素

3.5 サンプリング制御機構を搭載した新しいイメージセンサの設計および試作

本節では、前節に置いて述べたサンプリングポジションメモリを利用したサンプリング制御機構を搭載した新しいイメージセンサの回路設計とプロトタイプを試作について述べる。今回は、列並列処理構成により試作を試みた。これにより、センサ部分とメモリ部分を独立した配置とすることが可能となり、CMOS センサとしての実用的な開口率を取得でき、撮像性能の向上を実現することができた。

以下に、センサの構成方法について簡単に述べた後、列並列処理構成によるプロトタイプの回路設計、およびレイアウト設計について述べる。さらに試作したプロトタイプについて説明する。

3.5.1 コンピュータショナルセンサの構成方法

図 3.5.1 に示すように各部の配置によりその構成を区別することができる。

- (a) 画素並列処理構成：各画素毎に各構成回路 (センサ、メモリ、処理部) を有しアレイ状に配置する構成
- (b) 列並列処理構成：各構成回路が独立にアレイ状に配置された構成

画素並列処理構成は、全画素に各構成部を有するため、撮像面上ではほぼ完全な高速並列処理が可能である。しかし、一画素を構成する素子数が多くなり、フォトダイオード部分が他の回路素子により圧迫を受けるため、一般的な CMOS プロセスにおいては実用的な開口率を得ることは困難である。また、各画素毎にメモリを持つので遮光を完全に行う必要があり、さもなくばキャパシタンスが放電しメモリ値を保持できなくなる。

一方、列並列処理構成は、センサ部の素子数が減少し、他の素子回路により圧迫を受けることが無くなり、実用的な開口率を取得できる。また、処理部は各列単位で配置すればよいので消費電力を削減するのに有効である。さらに、メモリ部はセンサ部と独立しているためメモリ値の保持は画素並列構成に比べ容易になる。ただし、メモリ回路のサイズにより一画素回路のサイズの整合を取る必要が出てくるので、ある程度回路を絞り込む必要がある。

今回の試作においては、開口率を実用的なレベルまで確保しなかったことと、センサの機能を発揮するためにメモリ値の保持が必要不可欠であったため、列並列処理構成を採用した。

3.5.2 列並列処理構成によるイメージセンサの設計

イメージセンサの全体構成は図 3.5.2 のようになる。センサ部とメモリ部はそれぞれ同数の画素とメモリのアレイ状の構成になっている。センサ部とメモリ部は独立し、一つの

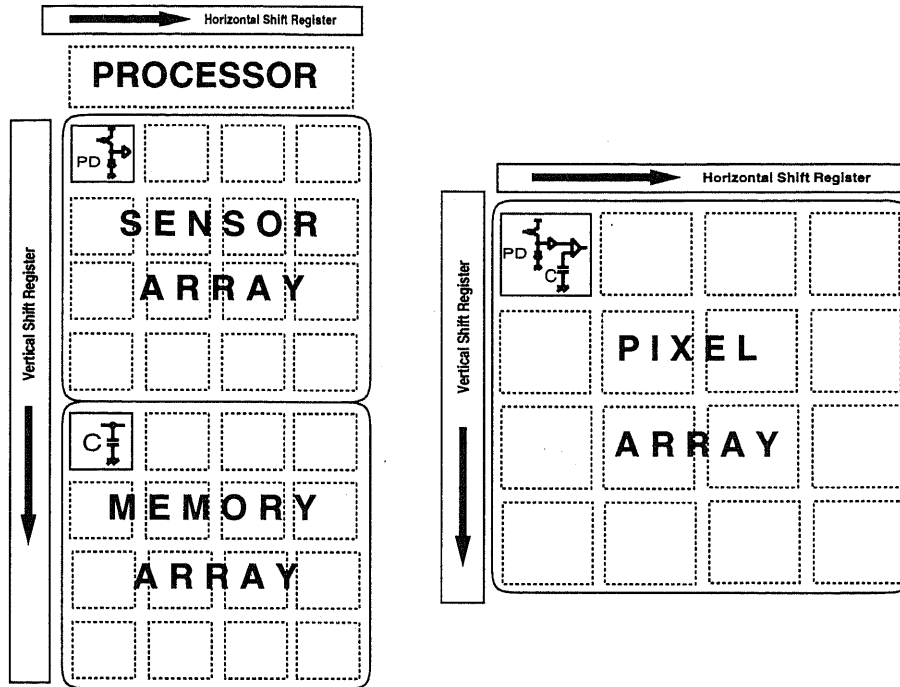


図 3.10: 列並列処理構成と画素並列処理構成

画素回路について一つのメモリ回路が対応している。図 3.5.2 中の各トランジスタのサイズ等は、使用するプロセスより供給されるモデルパラメータを用いて、回路シミュレータである hspice により調整し、最適化を試みた。全体に処理の安定性や高速性の実現に留意して回路設計を行なった。電源電圧は消費電力を抑えるために 5V とし、バイアス電圧は回路や配線の複雑さを避けるため 1.5V のみとした。以下に設計した各部分回路を具体的に説明する。

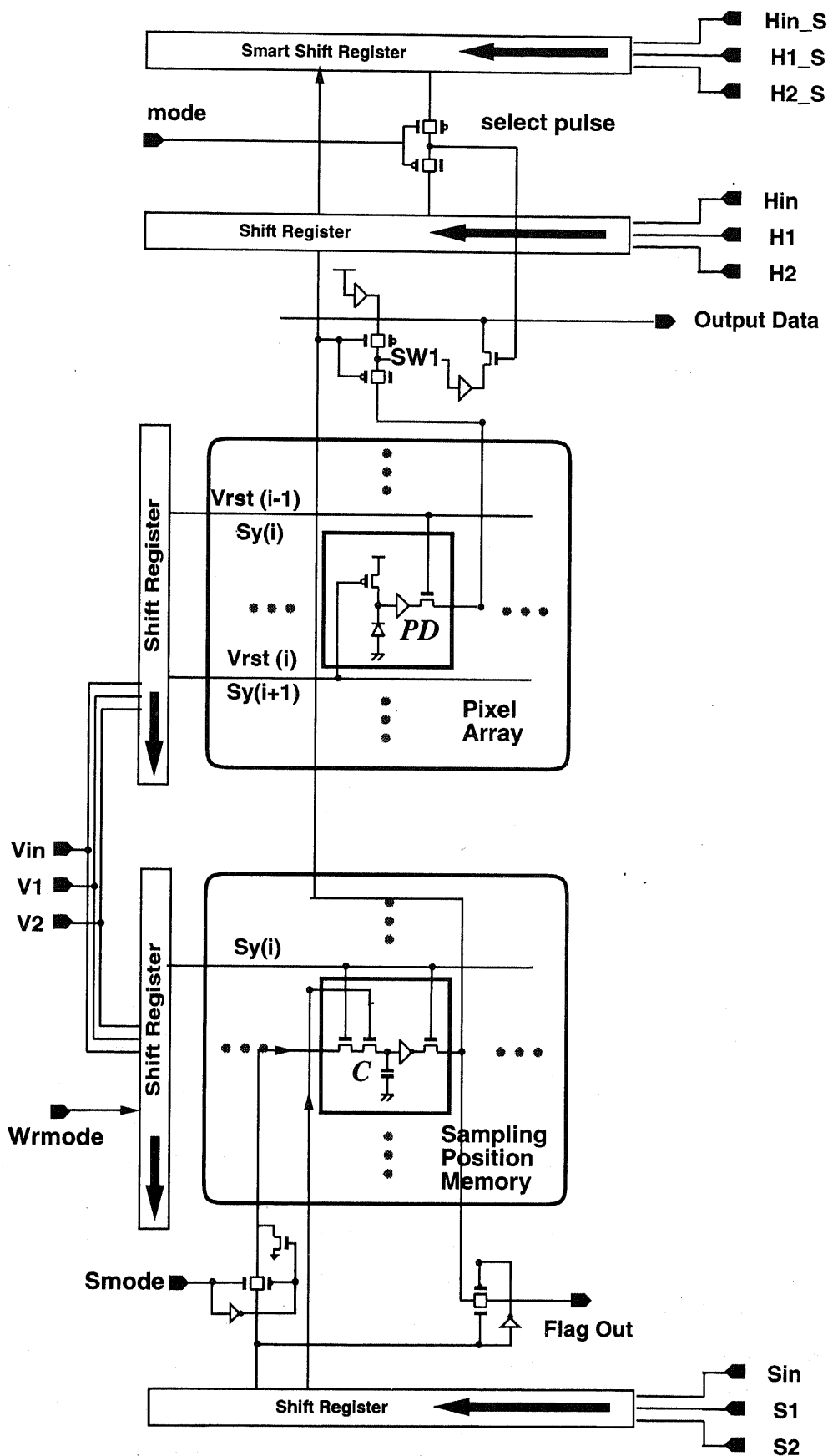


図 3.11: センサの全体構成

一画素回路

センサ部はフォトダイオードと二つのトランジスタからなる図 4.3 の画素回路がアレイ状に配置された構成になっている。またセンサ部のみ独立した構成となっているため開口率は大幅に改善される。ここではネガティブ型の MOS イメージセンサと同様な、PN 接合のフォトダイオードにより光電変換し、その蓄積電荷の増幅、非破壊読み出しを行う。蓄積開始時にリセット信号 (V_{rst}) が加えられると、PN 接合の逆バイアス容量が充電され、フォトダイオードの値は 5V になり、その後入射光に応じて電荷が徐々に放電し、PD 値が減少する。画素値の読み出しは NMOS スイッチに垂直シフトレジスタからの読み出しパルスが入力されることで実行される。

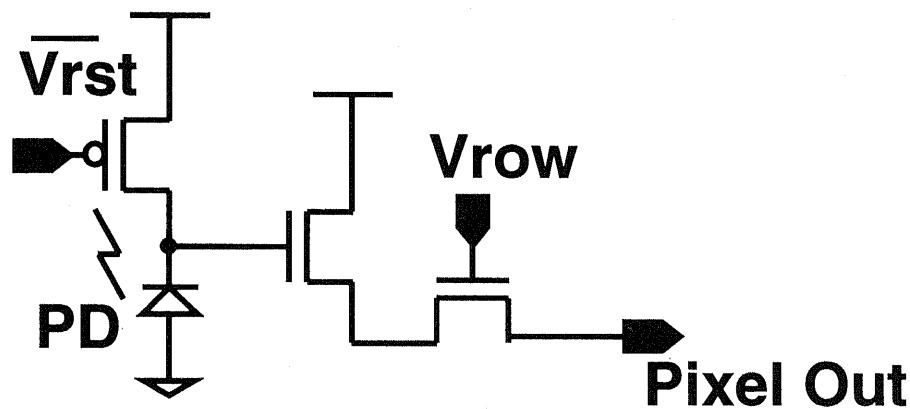


図 3.12: 一画素回路

3.5.3 メモリ回路

メモリ部はキャパシタンスとスイッチ、インバータからなるメモリ回路から構成され、アレイ状の配置になっている。回路図は図 3.5.3 のようになる。水平シフトレジスタから出力される信号が、メモリ値の読み出し信号 V_r と書き込み信号 V_w になり、メモリ書き込み専用の下段水平シフトレジスタからの出力がメモリ回路の横方向の選択信号 V_s となる。メモリへの書き込みは前記下段水平シフトレジスタからの信号の入力をスイッチで制御することで行う。メモリの値は 2 値であり読み出しスイッチの前にインバータを配置することで、読み出し時のメモリ値の減衰を防いでいる。なお、メモリとしてはトランジスタによる DRAM、SRAM の技術を用いることも可能である。

メモリ値によって読み出す画素値の選択を行うが、これはメモリからの出力をスイッチの制御信号として利用し、メモリ値が 1 の時のみ現実の画素値が選択されることとした。このとき選択されない画素値についてはノーマルモードのシフトレジスタではブランクに

なってしまうので、入射光によって放電していない状態のフォトダイオード値 (5V) を出力することとした。また、センサー部では、NMOS バッファの上段だけ介しているのので、画素値はフローティング状態にある。よって選択された画素値にはついては NMOS バッファの下段を介することとし、さらに PMOS バッファを介して直流分を引き上げることとした。これは最終的に PMOS により電流出力とするためである。回路図を図 3.5.3 に示す。

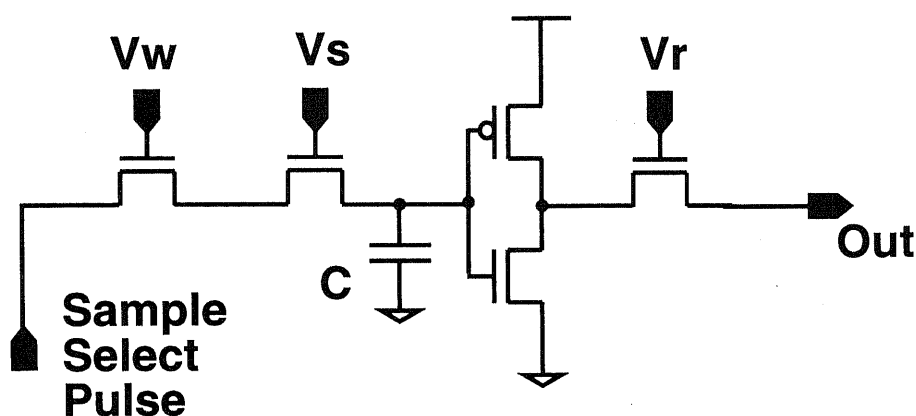


図 3.13: メモリ回路

3.5.4 シフトレジスタ

画素読み出し用水平シフトレジスタ

全体図 3.5.2 において上に配置された水平シフトレジスタは画素値の読み出しに利用される。本センサでは画素値を選択の有無に関係なくすべて出力することができるノーマルモードのシフトレジスタと、選択された画素値のみを出力することができるスマートスキニングモードのシフトレジスタを配している (図 5.6)。これは、通常の 2 相駆動型の CMOS ダイナミックシフトレジスタに、スイッチ回路により接続された別の経路を付加した構成である。また、読み飛ばし走査が終了すると、“End of Scan” 信号が high になり、外部に出力され、次の行の走査に移行することが可能である。前記二つのシフトレジスタの選択はモード信号と呼ばれる 2 値の信号によって行う。モード信号の値が 0 であればノーマルモードのシフトレジスタが、1 の時はスマートスキニングのシフトレジスタが選択される。また、スマートスキニングのシフトレジスタの場合は画素値を読み飛ばすための制御信号が必要となるが、これはメモリで保持している信号を利用する。よって、メモリ値が 1 の時は画素値が選択されることとなり、0 の時は画素値が読み飛ばされることになり、センサに圧縮機能がもたらされる。

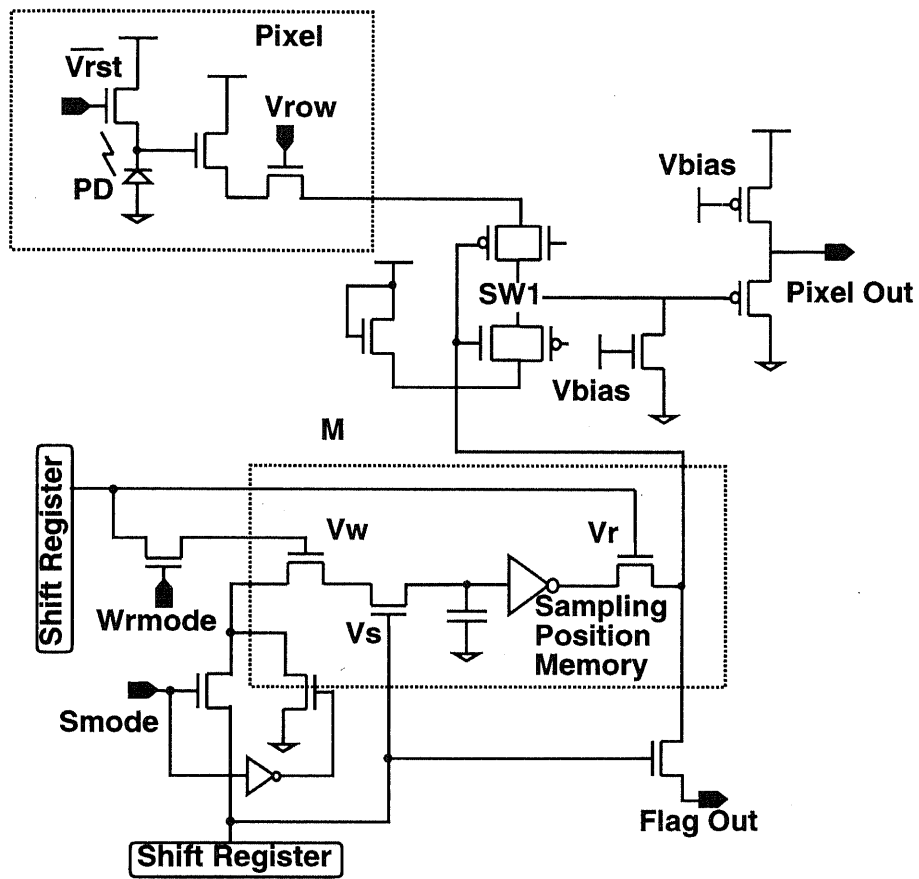


図 3.14: メモリ値による画素値の選択

このとき画素値の読み飛ばし出力時には、画像の再構成のために、出力する選択画素のアドレス情報が必要となるが、これは入力したサンプル選択信号を利用すれば足りる。ただし、今回は実験的にメモリ書き込み用のシフトレジスタを利用してメモリ値をフラグ情報として出力できるようにした。

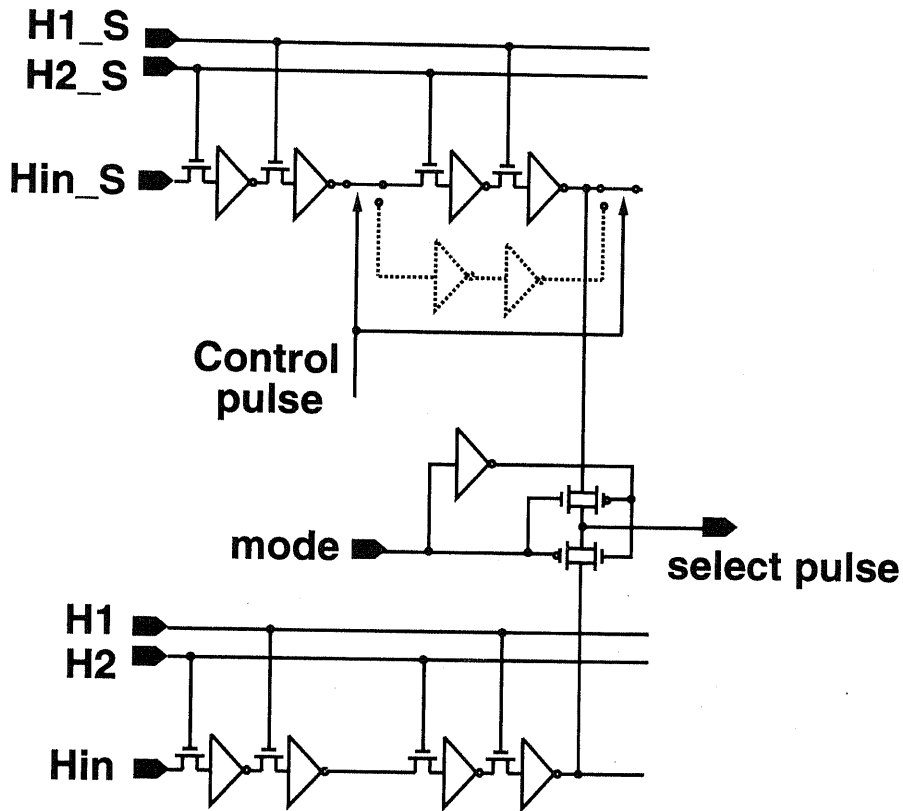


図 3.15: 画素読み出し専用水平シフトレジスタ

垂直シフトレジスタ

垂直シフトレジスタは画素値とメモリ値の読み出しを制御し、双方のアレイに一つずつ配置され同一の制御信号によって駆動する。センサ部に配置されたシフトレジスタからは画素値の読み出し信号及び、フォトダイオードのリセット信号が出力される。リセット信号は一つ前の行の画素回路に入力されるので、次に読み出されるまでの1フレーム分が蓄積時間となる。一方、メモリ部に設置されたシフトレジスタはメモリ値の読み出し、書き込みの制御信号を出力する。ここで両者は別個の信号であり、書き込みを停止して読み出しのみ継続することもできる。そのための制御信号を *wrmode* 信号として2値で入力し、当該信号が1の時書き込みが行われるようにした。図 3.5.4に回路図を示す。

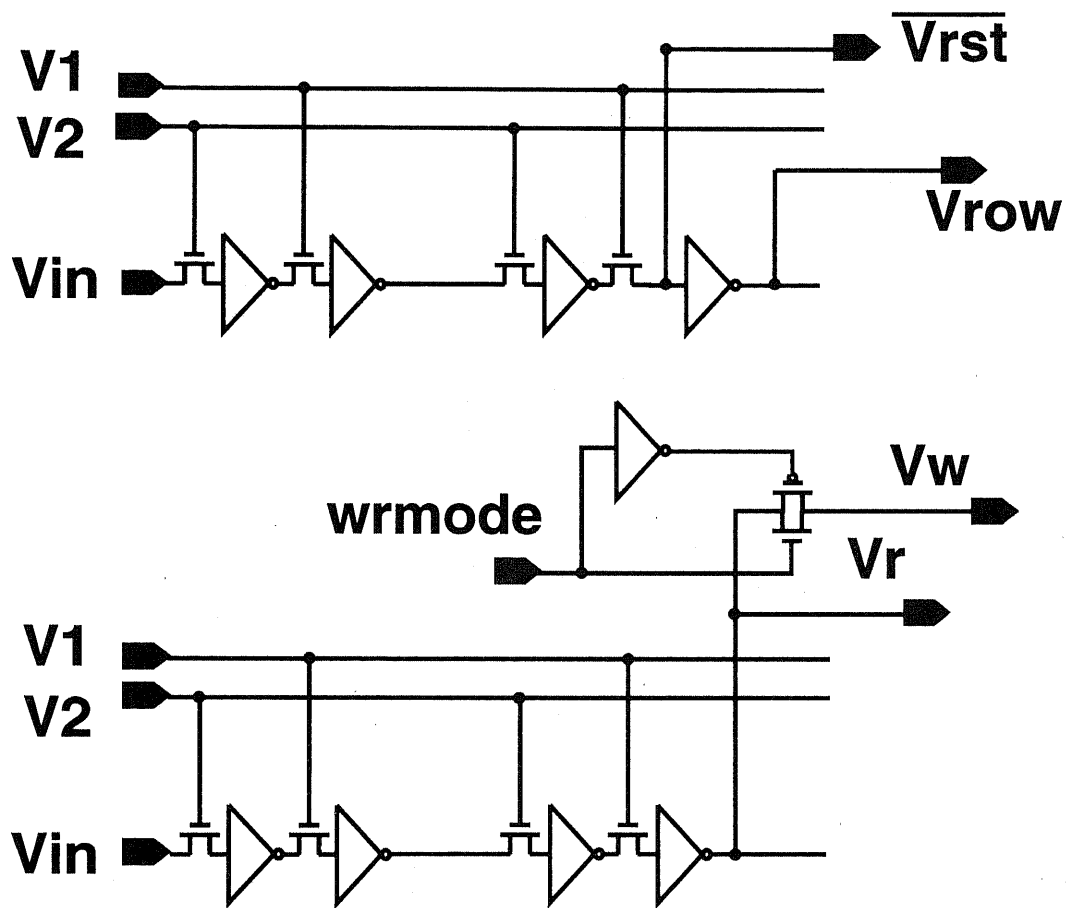


図 3.16: 垂直シフトレジスタ (上: 画素回路用、下: メモリ回路用)

メモリ書き込み用水平シフトレジスタ

全体図 3.5.2において下に配置された水平シフトレジスタはメモリに書き込む信号を出力する。メモリへの書き込みは外部からサンプル選択信号を入力することで行う。サンプル選択信号が 1 の時はシフトレジスタからの出力信号がメモリ部に転送され、メモリ部は値として 1 の情報を有する。一方当該選択信号が 0 の時は NMOS スイッチを利用してリセットがかかるようにした。これにより、メモリ回路ごとにリセット回路を設ける必要がなくなる。また、本センサではメモリ部に書き込まれた情報をフラグ情報として本シフトレジスタから出力することができるようになった。図 3.5.4に回路図を示す。

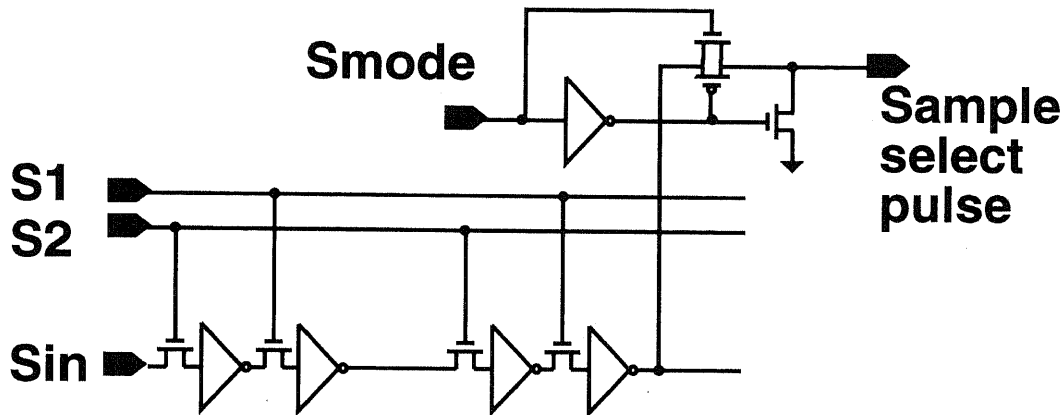


図 3.17: メモリ書き込み用シフトレジスタ

3.6 センサの動作制御

センサの動作制御には、垂直シフトレジスタに必要な 3 つの信号 (V_{in} 、 V_1 、 V_2)、画素読み出し用水平シフトレジスタに必要な 3 つの信号 (H_{in} 、 H_1 、 H_2)、メモリ書き込み用水平シフトレジスタに必要な 3 つの信号 (H_{in} 、 H_1 、 H_2)、サンプル選択信号 $Smode$ およびメモリの書き込み読み出しを制御する $wrmode$ の 11 の信号が必要である。

本センサは、大きく分けて二種類の動作制御を行う必要がある。まず第一に画素値を定期的に取得、読み出す動作制御。第二に、画素の読み出しを制御するサンプル選択信号のメモリへの書き込み制御である。特にメモリへの書き込みはメモリ値の保持等の関係により選択信号の数が増えている。以下にまず、前者の制御方法を説明する。

mode 信号を除いた同期信号のタイミングを、図?? に示す。

垂直シフトレジスタに加えられたスタートパルス V_{in} は、2 つの同期信号により徐々に移動する。行読み出し信号 S_y は、 V_1 に同期しており、 i 行目の読み出しパルス $S_y(i)$ は同時に $i-1$ 行目のフォトダイオードのリセットパルスとなっている。 $S_y(i)$ が選択され

ている間に水平シフトレジスタにスタートパルス H_{in} を加え、 H_1 、 H_2 にてそのパルスを移動させ、列読み出し信号 $S_x(i)$ を発生させる。 $S_y(i)$ が選択されると、 i 行目の画素値は直ちにセンサ上部に伝送されており、 $S_x(i)$ を発生させることにより、選択された画素値が順に共通の出力線を通じてセンサ外部に出力される。なお、本プロトタイプでは、PD 上の蓄積電荷量に対応する電流が出力され、外部にて負荷抵抗により電圧値に変換される。

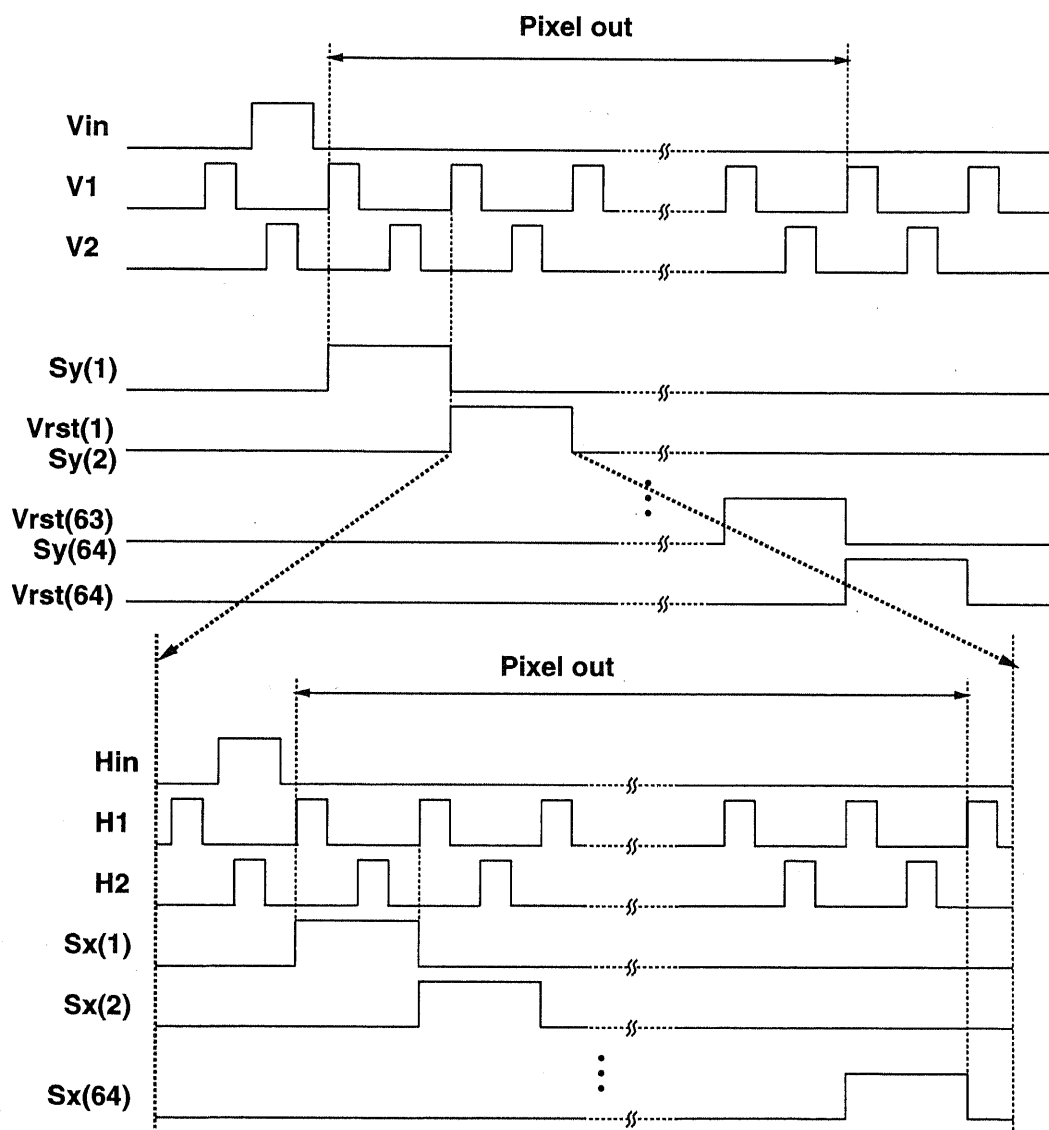


図 3.18: 画素値読み出しのための制御信号

次にメモリ書き込みのための動作制御を説明する。上述のようにメモリの書き込みは、外部から入力したサンプル選択信号によりシフトレジスタ (図 3.5.4) の出力を制御す

ることで行う。ここで、メモリの書き込みのシフトレジスタは画素のその他のシフトレジスタと別同期で動作させるので、読み出しと同時に書き込みを行うことも可能である。実際の制御はずれを考慮して若干書き込みのタイミングを早くしておく必要がある(ビデオフレームレートでは、約 50ns)。また、メモリ回路は出力部分にインバータを介して読みだし時の減衰を防いでいるが、画素読みだしについてメモリ値を書き換えずに選択したい場合にはメモリに書き込む側のスイッチの ON/OFF によってメモリ値が減衰してしまうので、これを防ぐために *wrmode* 信号を入力する必要がある、書き込み時は 1、読み出しのみの時は 0 としておく。

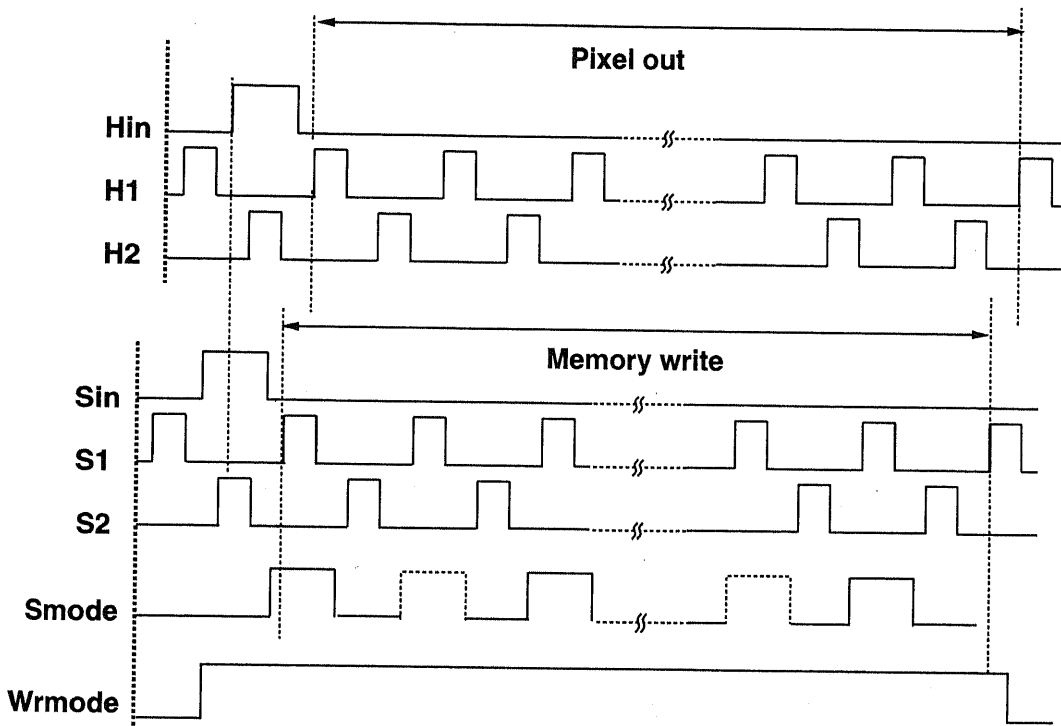


図 3.19: メモリ書き込みのための制御信号

3.7 プロトタイプチップのレイアウト設計

4.3 項で述べた回路により、プロトタイプのレイアウトの設計を行った。試作に用いたプロセスは、ES2 の poly1 層、metal2 層の N-well $0.7\mu\text{m}$ CMOS プロセスである。通常イメージセンサの製造に利用されるプロセスはメタル層を 3 層有しており、フォトレセプタ以外は 3 層目のメタル層にて遮光される。本プロトタイプで使用可能なプロセスは、メタル層が 2 層のみであるため、アナログ回路部では 2 つのメタル層を用いて、可能な限り入射光を遮るよう試みた。

図 5.11 に設計したレイアウトの全体図を示す。図 5.11 では、画素数が 64×64 画素で、コアの配置はほぼ図 3.5.2 と同じである。また、中心部のアナログ系とシフトレジスタ等のデジタル系は完全に分離しており、画素値信号への高周波ノイズの混入を防いでいる。プロトタイプは電源電圧用も含めて入出力パッドを 39 個（アナログ用 6 個）有している。電源電圧、バイアス電圧以外では、入力信号は垂直、画素読み出し用、メモリ書き込み用水平シフトレジスタの駆動信号、mode 信号、Smode 信号、wrmode 信号である。一方、出力信号は画素値信号、フラグ信号、End of Scan 信号の 3 出力である。

図 3.21 にセンサ部の 1 画素分のレイアウトを示す。ここで、ピクセルピッチは $40\mu\text{m}$ である。図 3.21 では、最も大きな面積を占める部分がフォトダイオードの開口部である。センサとして実質的に必要とされる開口率が 15 % 程度と言われるているので、今回は余裕を持って 25 % を確保した。フォトダイオードは、P 基板上に N 拡散領域を作成し、その PN 接合を利用した。そのサイズは、 $20\mu\text{m} \times 20\mu\text{m}$ である。また、光電効率を上げるため、フォトダイオード直上の passivation 層は、オープンにした。画素数を増やすためには PD サイズを小さくして一画素回路を小さくする必要があるが、passivation 層をオープンにするための最小サイズが $20\mu\text{m} \times 20\mu\text{m}$ であったことと、今回は最初の試作であったことにより光電効率を優先して当該サイズで設計した。

図 3.22 に、メモリ部の 1 画素分のレイアウトを示す。図 3.22 では、右端の長方形の部分が、キャパシタ C である。キャパシタは、ゲート酸化膜を絶縁層とした基板-ゲート間の MOS キャパシタで実現した。メモリ部では、保持する情報がアナログ値ではなくデジタル値なので出来るだけ小さくすることを考え約 0.5pF の容量にとどめた。またスイッチは扱う値が 0、1 ゆえ CMOS スイッチとしたため制御信号が増えることとなった。画素回路のサイズはメモリ回路のサイズによって左右されるため、出来るだけ小さくすべく、制御信号のためのインバータはシフトレジスタ側に設置することとした。その分信号線の本数が増えたがそれによりメモリの遮光を試みた。読み出し時のリークを防ぐため、スイッチの直前に最小サイズのインバータをいれた。メモリ回路については SRAM のような構成をとることも検討したが、これまでの試作がキャパシタンスを利用したものであったこと、今回は最初の試作であることを理由としてキャパシタンスを使った構成にした。しかし、SRAM 的構成にすれば回路のサイズを小さくすることも可能であり、多画素化には有効と考えられる。

また、画素回路はリセット信号が後列のシフトレジスタから入力されるので、そのスペースを確保するため、またメモリ値の減衰を補強するためにセンサ部とメモリ部の間に大きめのサイズのインバータを 2 段設置している。

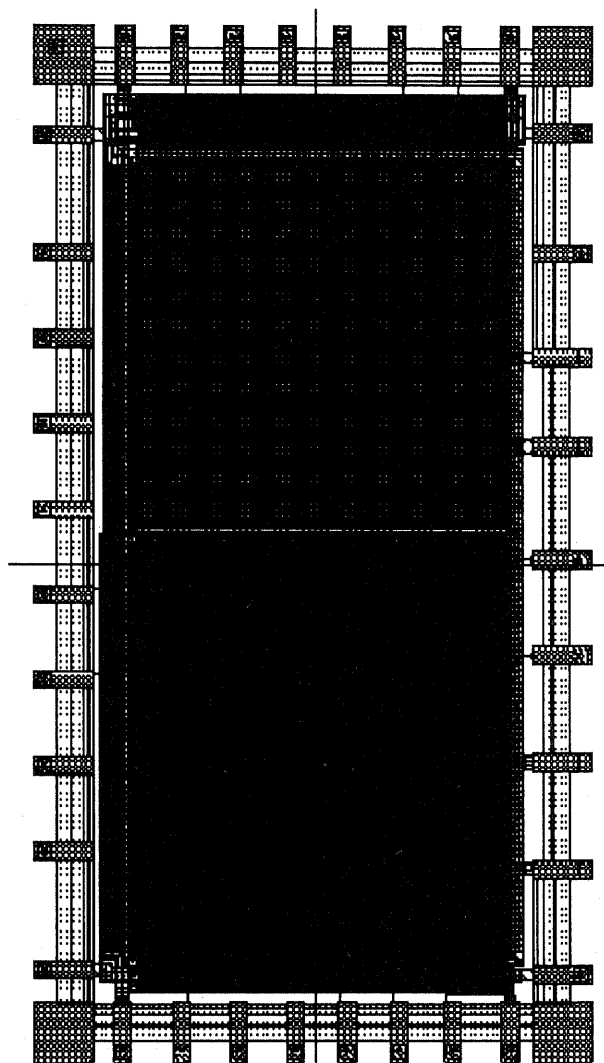


図 3.20: プロトタイプレイアウト

3.8 サンプリング制御センサのプロトタイプの試作

図 3.23 に、試作したプロトタイプの外観を示す。プロトタイプチップは、PGA の 68pin にパッケージされ、大きさは約 2.8cm 角である。

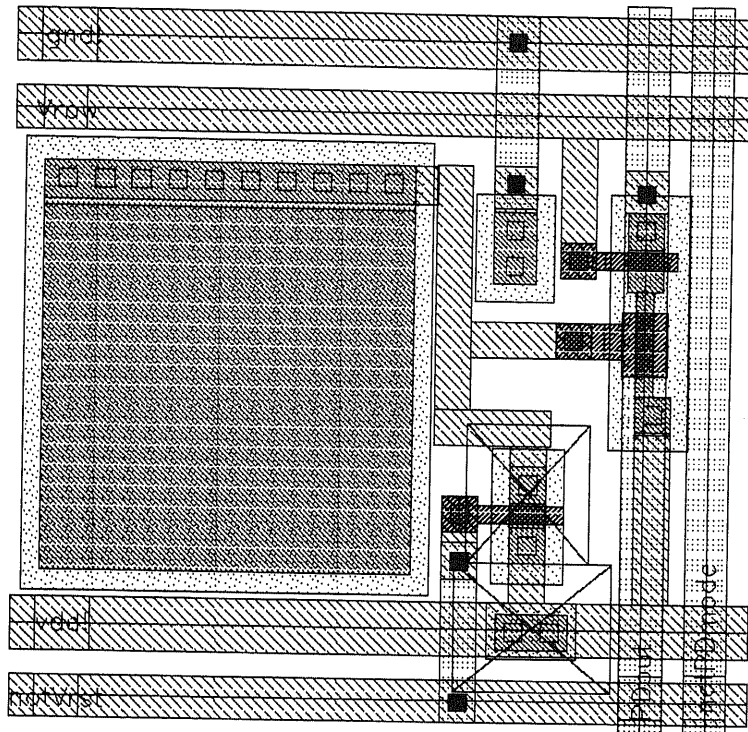


図 3.21: 一画素回路のレイアウト

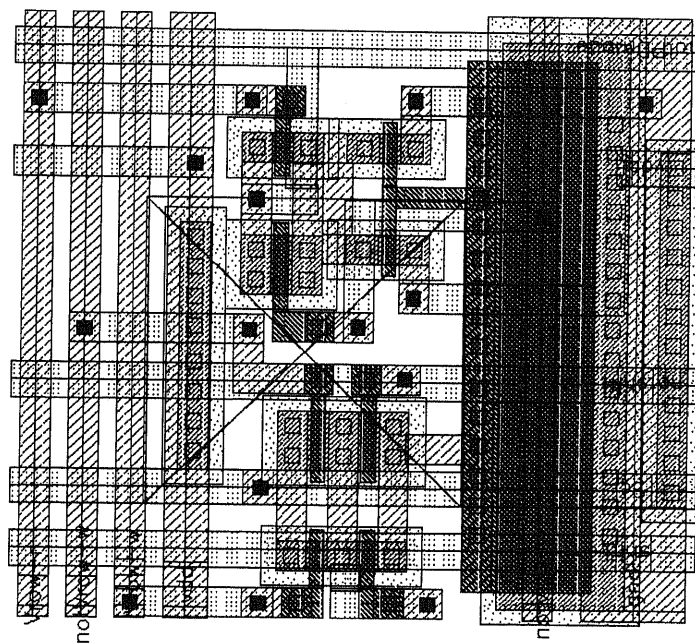


図 3.22: メモリ回路のレイアウト

表 3.1: プロトタイプ的设计仕様

number of pixels	64 × 64 pixels
die size[mm ²]	4.0 × 7.5
pixel size[μm ²]	transducer : 40 × 40 memory : 40 × 45
number of tran.	transducer : 3 trs. / pixel memory : 9 trs. / pixel
fill factor [%]	25 %
power dissipation	max 0.075mW / column max 5mW / chip Vdd=5V

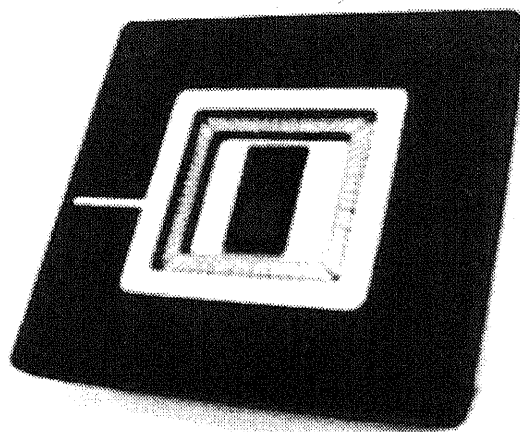


図 3.23: プロトタイプチップ

3.9 サンプリング制御センサの評価

サンプリング制御センサのプロトタイプの評価実験について述べる。評価実験を通じ、本センサの有効性と撮像特性や処理性能を明らかにする。評価は、センサアレイからなるプロトタイプチップと、その部分回路を検証するために作成されたテグ回路からなる評価用チップを利用して行なう。

3.9.1 プロトタイプチップの評価

今回の評価では図 3.24 に示す評価システムを作成し、プロトタイプの動作確認を行なった。図 3.24 における、動作の説明を以下に示す。

- センサの撮像特性の評価は複数の固定焦点レンズを用いこれを直接センサ上にマウントする形で撮像を行った。今回はレンズ用ソケットが使用できなかったため、XYZ ステージを使ってレンズをはめ込んだアルミ板を焦点距離に合わせて調節した。これにより従来はマークをセンサ上に移していただけであったが、自然画像を撮像することが可能となった。また、撮像面上にレンズ以外からの光の入射を防ぐため、センサとレンズ間に覆いをかけてある。
- プロトタイプの動作制御は全てパルスジェネレータからの各種同期信号により行なった。映像出力用の同期信号もパルスジェネレータから映像信号変換装置へ伝送した。
- 出力された画素値信号はイメージバッファにより増幅する。画素値信号を RGB 信号として映像信号変換装置に入力し、出力された NTSC 信号をモニタに表示する。
- 同時に作成された RGB-Sync 信号を映像入出力装置に入力し、A/D 変換した後その信号を記録する。記録された出力信号をコンピュータに伝送し取得する。

センサからの出力画像は画素値が反転しており、明るい光が入射する程暗い画像になる、いわゆるネガとなっている。しかし、以下に示す画像はネガ・ポジを逆転させた画像である。

以下にプロトタイプで撮像した出力画像の例を示す。撮像対象は千円札の夏目漱石の肖像画である。

図 3.25 は、通常シフトレジスタで出力した最も基本的なプロトタイプによる撮像画像である。

図 3.26 はスキップアクセスモードによる出力画像である。同図左は図 3.25 の画像を読み飛ばしシフトレジスタによって一列単位でサブサンプリングし横方向に圧縮したものである。同図右は同左を縦方向に圧縮して画像サイズを 4 分の 1 に縮小したものである。

図 3.27 はブロックアクセスモードによる出力画像である。同図左はサンプル選択信号により出力するブロックを任意に指定し、選択ブロックのみ出力した画像である。このブ

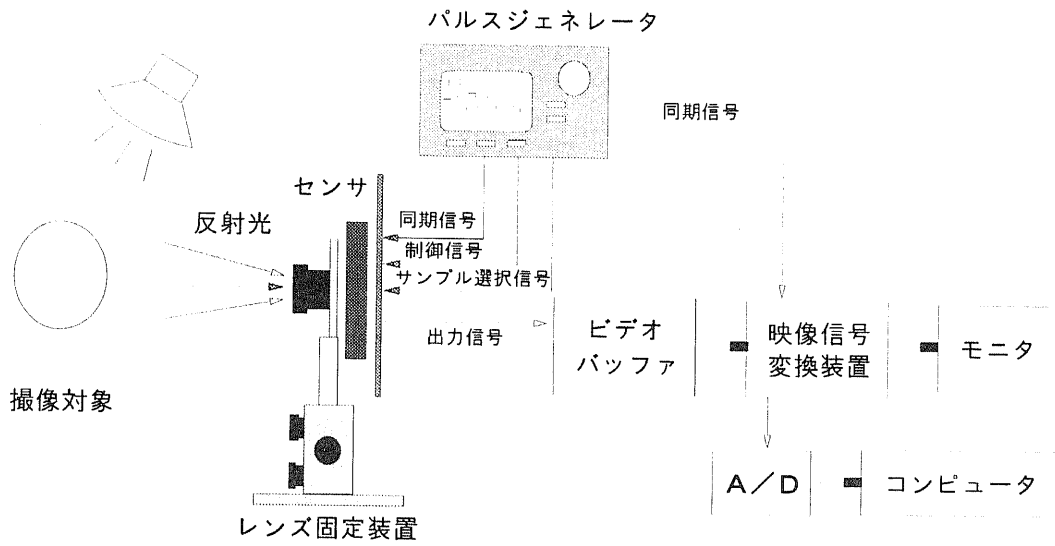


図 3.24: プロトタイプの評価システム



図 3.25: プロトタイプによる撮像例



図 3.26: スキップアクセスモード

ロックの選択は同図右のフラグ信号のようにになっている。そして、同図中央は選択ブロックのみを読み飛ばしシフトレジスタにより選択的に出力した画像である。

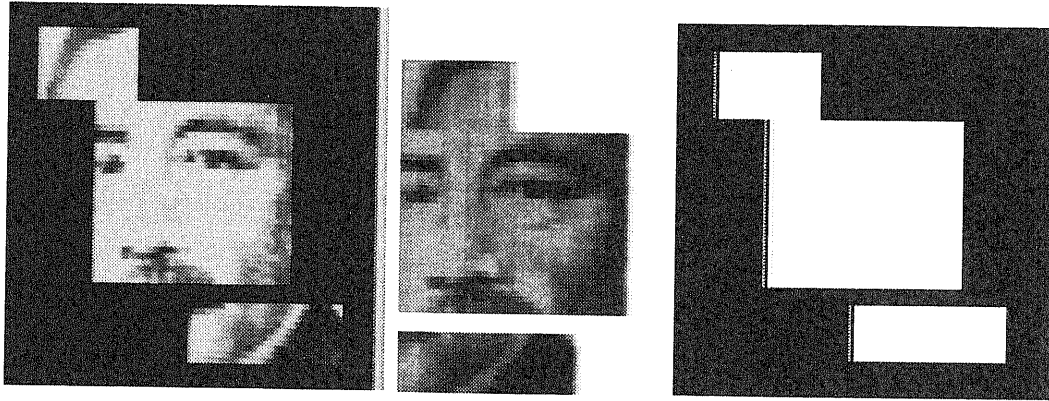


図 3.27: ブロックアクセスモード

図 3.28は中心窩を模倣したサンプリングパターンによる出力画像である。ここでは、同図右のフラグ信号のような正方形が放射状に広がっていくパターンを採用した。ここではフラグの正方形の枠に対応する画素が間引きされ、それ以外の画素が出力されている。同図左がノーマルシフトレジスタでの出力画像であり、中央が読み飛ばしシフトレジスタによる圧縮画像である。

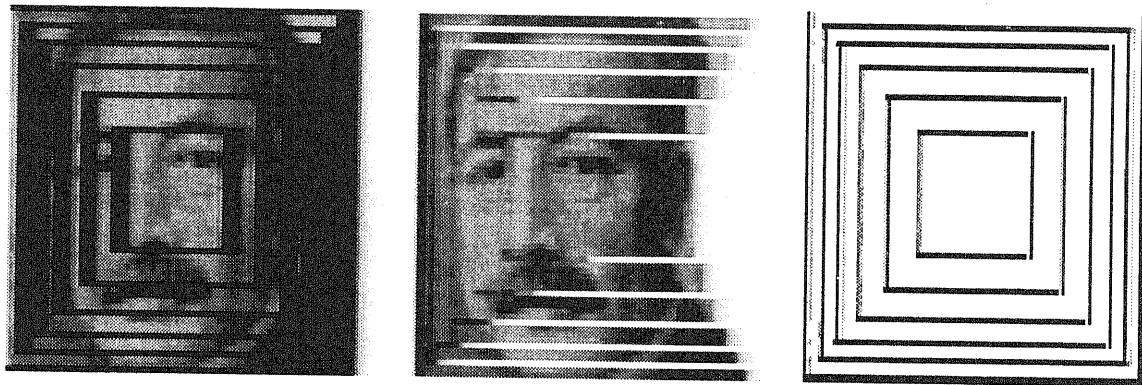


図 3.28: 中心窩的サンプリングパターン (1)

図 3.29は中心窩を模倣した前図とは別のサンプリングパターンによる出力画像である。ここでは、サンプリングポジションメモリ上で任意に一画素単位で出力画素を選択するようにサンプル選択信号を作成、入力した。メモリ上のデータはフラグ信号に示される通りである。ここでもやはりフラグ信号で黒色部分に対応する画素が間引きされ、それ以外の画素が出力されている。同図左がノーマルシフトレジスタでの出力画像であり、中央が読み飛ばしシフトレジスタによる圧縮画像である。

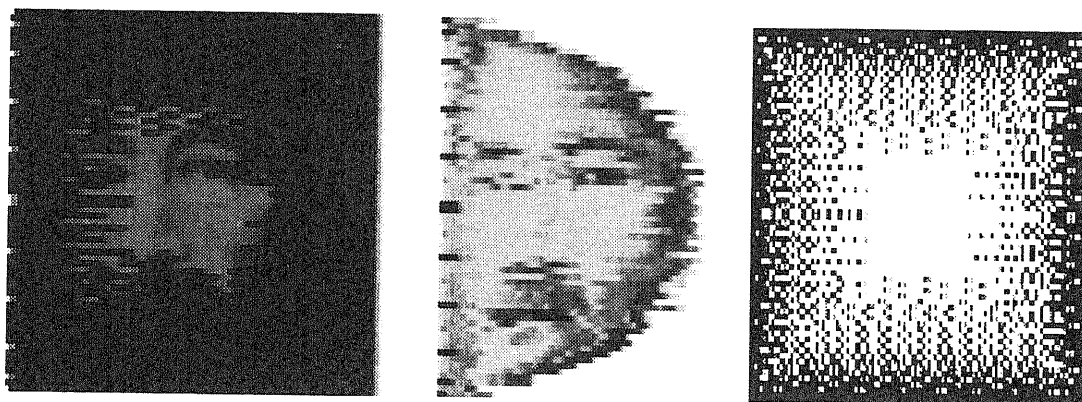


図 3.29: 中心窩的サンプリングパターン (2)

図 3.30、図 3.31に前記の二つの中心窩的サンプリングパターンの出力画像をフラグ信号を用いて再構成した結果を示す。再構成はセンサからそれぞれ独立に取得した画像出力と、フラグ信号を用いてプログラムによりワークステーション上で行ったものである。図中共に左が圧縮画像、中央がフラグ信号、右が再構成画像である。今回はセンサから出力したフラグ信号を用いたが、これに限らず、サンプリングポジションメモリへ書き込む際のサンプル選択信号を用いても可能と考える。再構成画像には若干のずれがあるが、概ねもとの画像を再現できてきることが分り、本センサの圧縮機能を確認することができた。

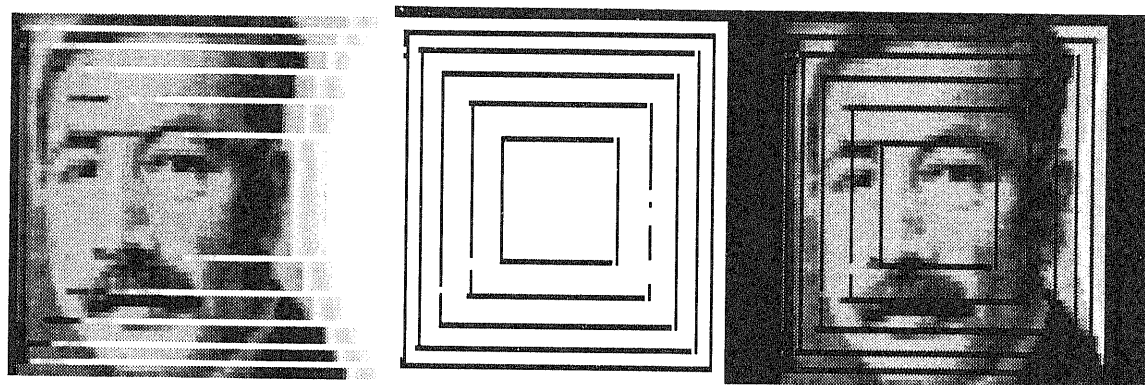


図 3.30: 中心窩的サンプリングパターン (1) の再構成画像

3.10 プロトタイプの部分回路を用いた評価

プロトタイプに用いた回路を部分的に取り出し、その機能を評価するために評価用チップを作成した。本項では、それらのテグ回路による実験結果について述べる。

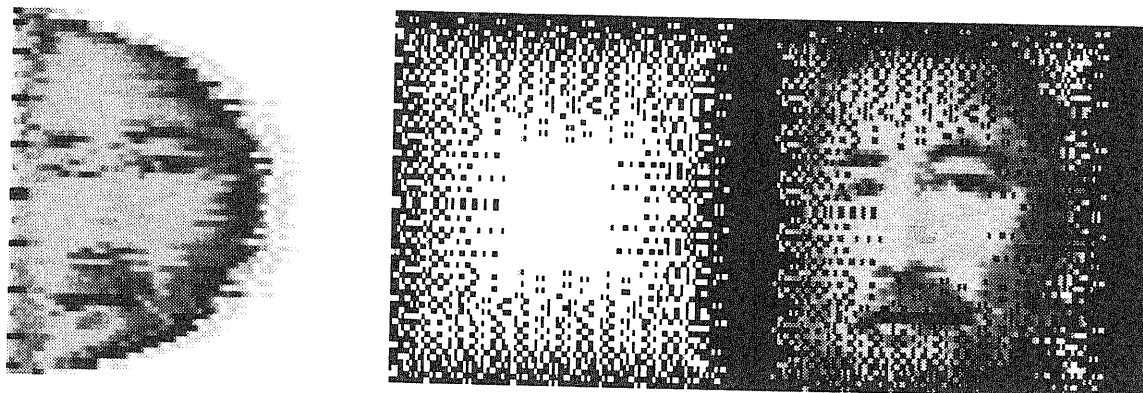


図 3.31: 中心窩的サンプリングパターン (2) の再構成画像

3.10.1 光電変換特性

光源への入力電圧を制御することで、入射光量を変化させ、図 3.32 のテグ回路を用いてフォトダイオードの出力画素値との関係を調べた。図 3.32 は、フォトダイオードにより光電変換された蓄積電荷を NMOS により増幅出力する回路である。

図 3.33 は、入射光量と V_{out} の出力値の関係を示す。入射光量の測定に際しては、MINOLTA 製の色彩色差計 CL-100 を使用し、光量を 10 回測定した後その平均値を用いた。図 3.33 より、プロトタイプが飽和レベルまで 10^3 以上のダイナミックレンジを有していることが分かる。また、ほぼ線形性 ($\gamma = 1$) を保っていることから、撮像素子として十分な性能を有することが確認できる。

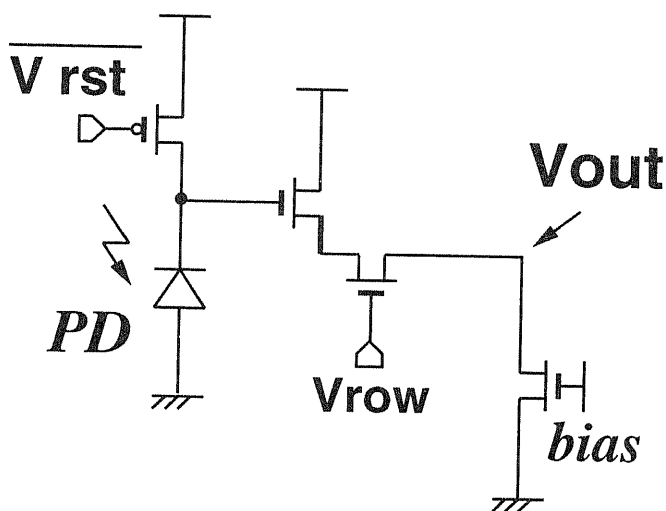


図 3.32: 光電変換特性実験のためのテグ回路

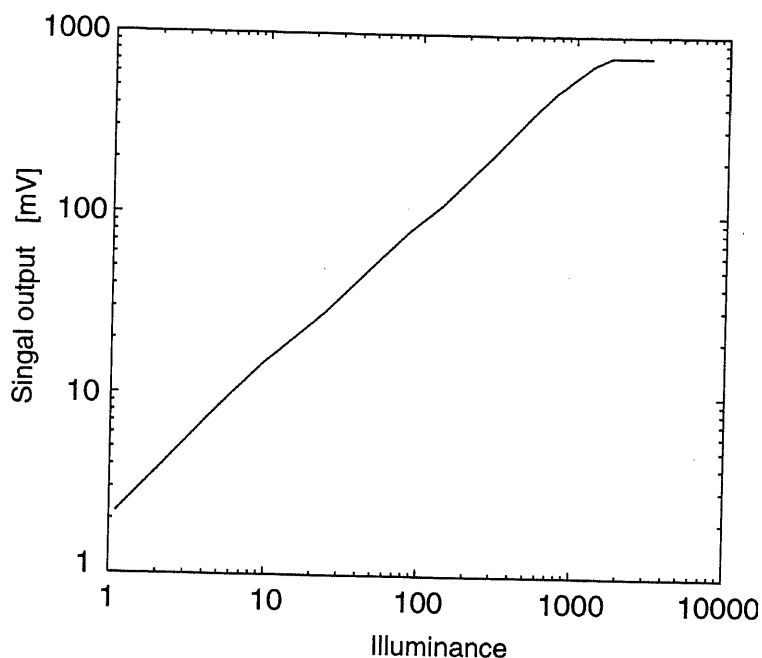


図 3.33: 光電変換特性

3.10.2 水平シフトレジスタの高速動作

図 3.34 に示すような、3 画素分の通常水平シフトレジスタを用いてテグ回路を作成し、その高速動作を確認した。動作速度は、波形を生成したパルスジェネレータでの最高レベルに設定した。図 3.35 内の三つの波形は *out1*, *out2*, *out3* からの出力である。それぞれの信号が ON の期間が一行の選択期間となる。ここでは、1 画素あたりの読み出し時間を 29.6n 秒必要とするため、本センサにあてはめると、毎秒約 4000 フレームまで読み出しが可能である。

3.10.3 読み飛ばし機能付き水平シフトレジスタの選択動作

次に読み飛ばし機能付きシフトレジスタの動作確認を行なった。ここでは、図?? に示すような、3 画素分のシフトレジスタを用い、外部から ON/OFF 情報を与えることにより実験を行った。図 3.37 にその動作波形を示す。各図中の 3 つの波形はそれぞれ *out1*, *out2*, *out3* の波形であり、反転出力のため high から low に転じた時に選択パルスが出力することを示す。出力を選択することで、以下の 8 パターンの結果が得られた。これによれば、読み飛ばし時には対応する画素を遅延なく読み飛ばし、次の画素を選択することができることが分る。

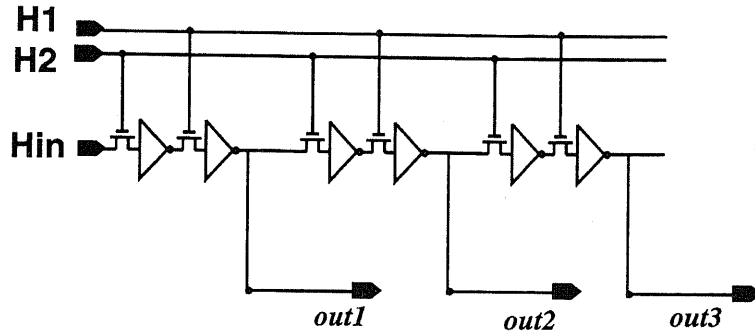


図 3.34: 3 画素分の水平シフトレジスタによるタグ回路

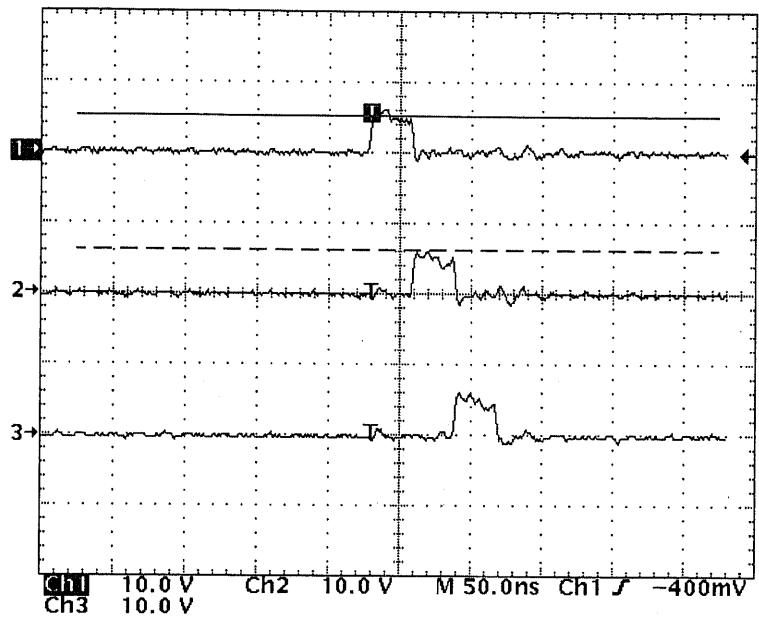


図 3.35: 水平シフトレジスタの高速動作

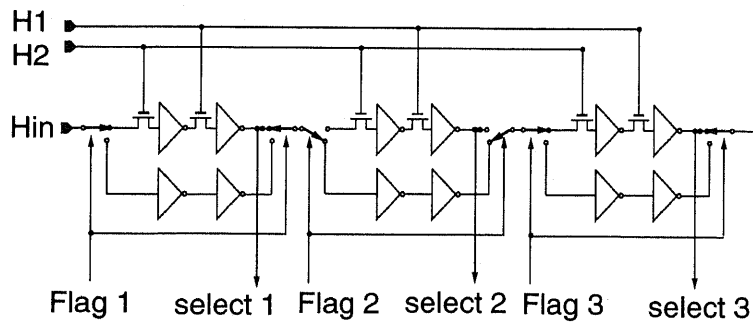


図 3.36: 3 画素分の読み飛ばし機能付き水平シフトレジスタによるタグ回路

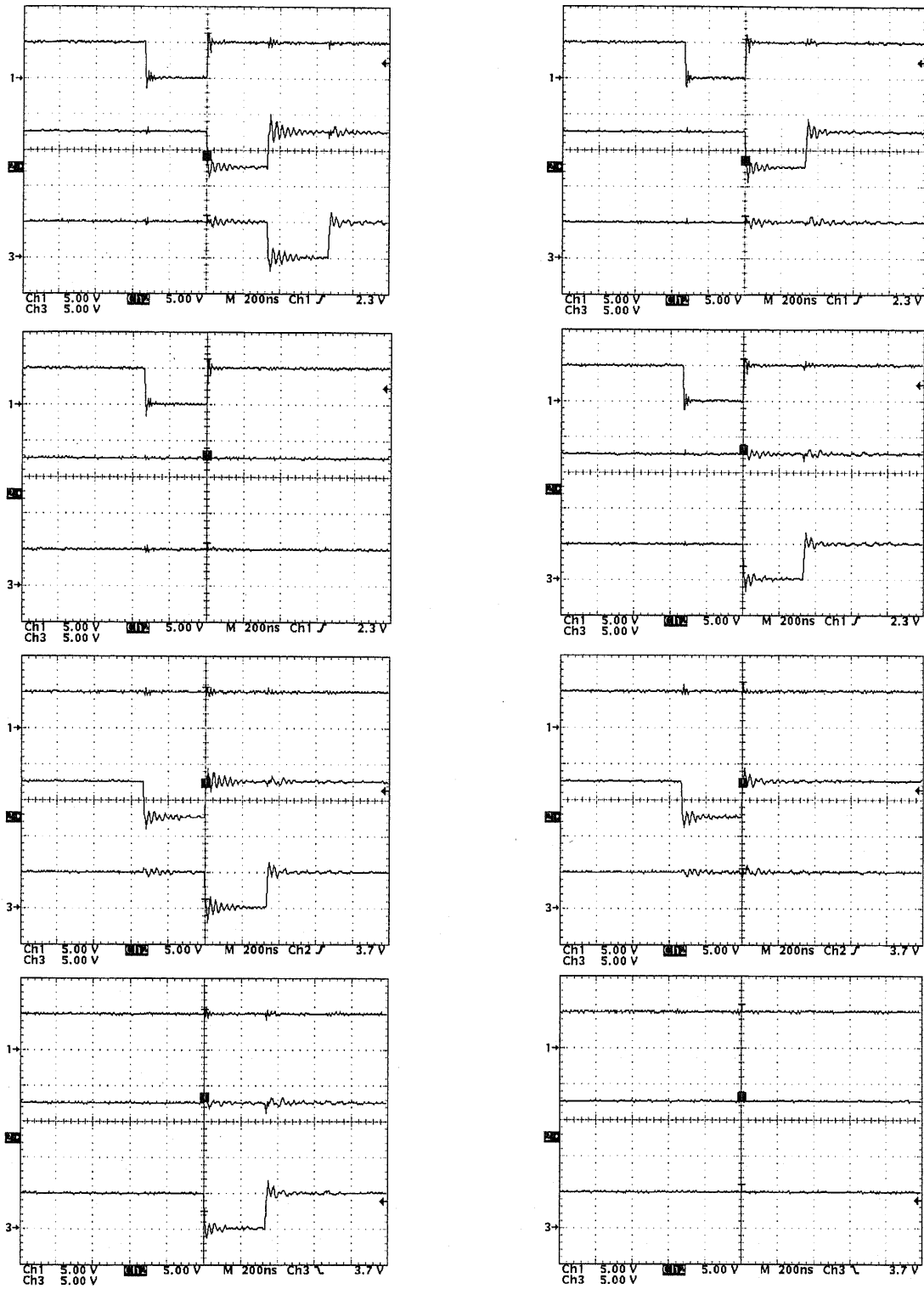


図 3.37: 読み飛ばし水平シフトレジスタの動作

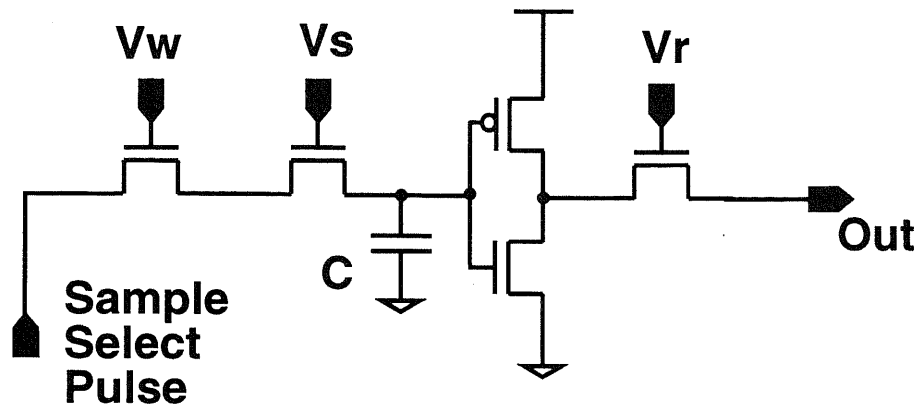


図 3.38: メモリ特性実験のためのテグ回路

3.10.4 メモリ部の特性

サンプリング制御センサは、サンプリングポジションメモリを有しており、このメモリ値を長期間保持できれば、同一パターンで読み出す場合にはデータを保持している間はメモリに書き込みを行う必要がなくなり、高速に読み出しが可能となる。一般に、リーク電流の多くは、スイッチングトランジスタの動作に起因するものと考えられる。また、本試作で利用したプロセスは3層目のメタルによる遮光膜を有さないために、光の入射に起因するリーク電流も考えられる。(ただし、本プロトタイプではセンサ部とメモリ部は完全に離れて配置しており、メモリ部には集光しないため、光の入射による影響はあまり問題にならないと考える。)そこで、本項では図 3.38に示すメモリ部のテグ回路を用いて、その動作特性を検証する。実験は、サンプル選択信号をメモリに入力した後、読み出しスイッチ動作を行なう場合について特に検証した。

スイッチ動作を行なった場合のメモリ特性

メモリにサンプル選択信号を入力し、メモリ値を 5V に設定した後、 V_r を入力し読み出しスイッチ動作を行なった場合の *out* を図 3.40に示す。

実験中の回路 3.38の動作信号は図 3.39のようになる。本実験は水平シフトレジスタの場合と同様パルスジェネレータの最高速の信号を用いて行った。テグ回路のリセットはサンプル選択信号 (*Smode*) で行えるので、これにより一定期間読み出し動作を行いその後リセットをかけるようにした。また実験は遮光下と室内光下において行ったが実験結果に相違は見られなかった。これはメモリサイズを小さくし、メモリ上にアルミ配線を這わせることにより、外光の影響をうけない程度に遮光することができたものと考えられる。図 3.40が実験結果である。(a) はメモリ値を ON から OFF へ変化させた場合で、(b) は逆に OFF から ON へメモリ値を変化させた場合の結果である。この結果は遮光時、室内光下時の区

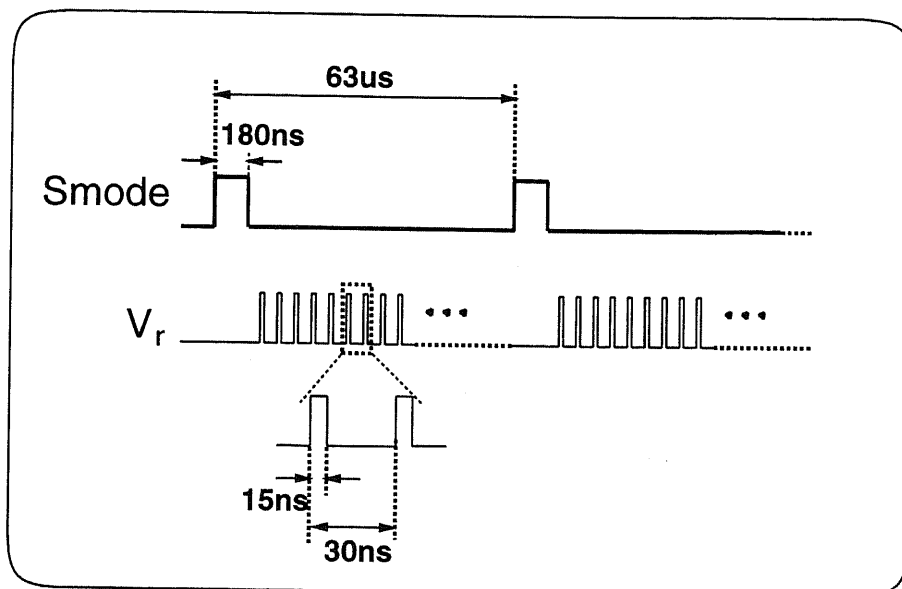
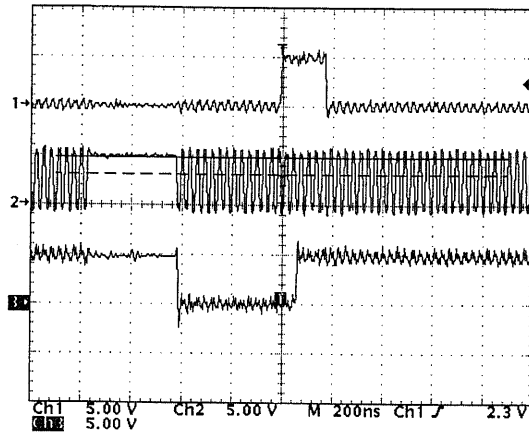


図 3.39: メモリ特性実験のためのタイミングチャート

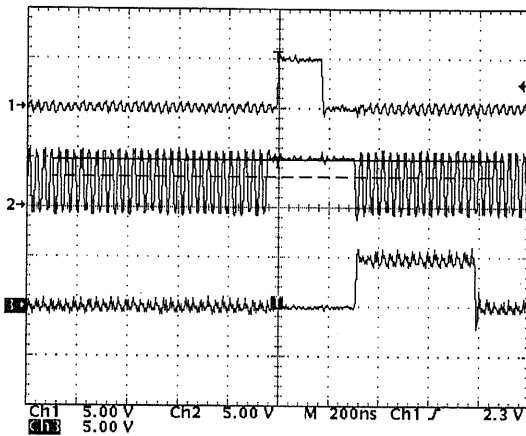
別なく同様であった。これによりメモリ回路の正常動作を確認することができた。

(c) はメモリ値を ON に設定後一定期間 (今回は $63\mu\text{s}$) 読み出し動作を行った場合の結果である。この時メモリは一定値を保持していることが分る。メモリのリークは V_s のスイッチの ON/OFF によって起きると考えられるので、本メモリ回路の構成によれば読みだし動作によってメモリ値が減少することは考えられない。また、 V_s は書き込み時のみ ON/OFF されるので、書き込みを行わず V_r によって読み出しのみを行っている限りはこれを考慮する必要もないと言える。評価実験では読み出し動作を一期間内で約 2000 回行った。よって少なくとも約 1000 フレームはメモリ値を保持して出力が可能と考えられる。また、メモリ値は複数フレーム保持可能であるので、読み出しに際しては画素の出力速度に対応した読み出しが可能となることがわかる。

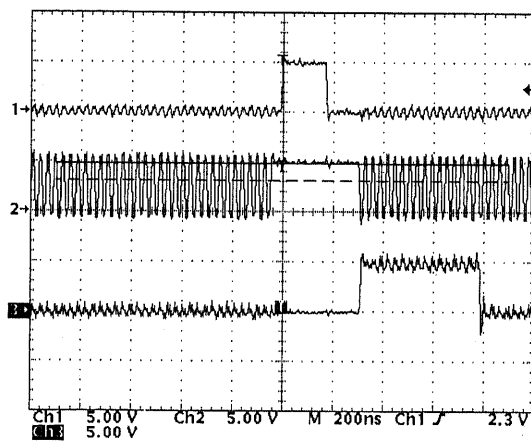
本来であればスイッチ動作を行わない場合のメモリ特性についても検証するところだが、上記のようにメモリ値は読み出し動作の影響をほとんど受けないと考えられるので、当該場合についての報告は本稿では割愛させて頂く。しかし、今回の評価実験では読み出しの回数について検証したが、これによってメモリ値の保持時間が設定できるわけではないので、今後はメモリの保持時間の検証も必要と考える。また、メモリの保持には動作温度も関係して来るので、それも加味した検証が必要とも考える。



(a) ON から OFF へメモリ値が変化した場合



(b) OFF から ON へメモリ値が変化した場合



(c) メモリ値 ON で一定期間スイッチ動作をした場合

図 3.40: スイッチ動作時のメモリ特性

3.11 プロトタイプの課題

サンプリング制御センサの課題を、以下に示す。

- サンプル選択信号は実験においては、定型的パターンを入力するのみである。よって、任意波形生成器等を利用することで、入力信号を動的に変化させ、中心視に相当する部分をセンサ内で移動させることができるようなシステムを構築できれば、センサが有する機能を更に発揮させることができると考える。
- メモリ回路はキャパシタンスを利用したが、キャパシタンスはプロセスの変更によってもサイズを縮小することが比較的困難ゆえ、これに変わる手段としてSRAM的な構成をとることも可能である。ただしテグ回路の検証により、キャパシタンスサイズが $0.5pF$ でも十分機能したので、これを更に小さくすることで回路サイズを縮小することも考えられる。
- センサの実用面まで含めた評価をするためには、レイアウトの工夫により画素、メモリサイズを削減した上で、多画素化を図る必要がある。
- 光の入射による精度の劣化を防ぐため、遮光膜の実装が可能なプロセスへの変更も検討すべきである。

3.12 第2次プロトタイプの試作

第2次プロトタイプでは、上述のように所望の動作を確認することができた。しかしその一方で、多画素化及びシステムとの統合のための機能の改良、追加が課題として残っている。そこで、センサの画素数を増加し、よりシステム制御に適した機能の改良・追加を目的として行った第二次試作について述べる。

3.12.1 第2次プロトタイプの改良点

第2次プロトタイプでは、第1次プロトタイプの問題点に着目し、以下のような改良を行った。

- 画素数の増加、メモリ回路サイズの縮小

第一次試作では、メモリ回路をキャパシタンスを用いて構成したために、サイズが大きくなり、必然的に画素数を少なくせざるをえなかった。そこで、今回はメモリ回路をSRAM構造として回路サイズを縮小し、さらにシフトレジスタを単一化することで画素数を増加させた。

- メモリ書換え動作時の不都合回避

スマートスキャン動作時は、メモリの書込み速度を画素の読出し速度が上回ってしまい、前フィールドの読出しデータで画素値が読出されるという問題があった。そこで、垂直シフトレジスタの制御を変更し、メモリの書込み行選択は画素値の読出し行選択よりも 1 行先に行うようにした。

- 9bit アドレスエンコーダ

スマートスキャン動作では、画素値が正規のアドレスで出力されないため再構成が必要である。しかし、第 1 次プロトタイプではメモリの書込み情報を用いるしかなかったため、システムとの統合の際フレームメモリへの書込制御が煩雑化していた。そこでアドレスエンコーダを搭載し、選択画素値のアドレスを同時に出力可能とし外部制御の負担軽減を図った。

- シフトレジスタの統一

サンプリング制御方式は、画素へのアクセス情報を保持するメモリアレイを用いて柔軟な読出し形態を実現する高速なアクセス方式である。シフトレジスタは、ノーマルモードとスマートスキャンモードの 2 タイプがあり、第 1 次プロトタイプではこれを独立に搭載していたが、第 2 次試作ではスマートスキャンモードの回路を修正し、mode 信号によってノーマルモードとスマートスキャンモードを切り替えられるようにした(図??)。これによって、シフトレジスタによって占有された面積が画素回路に開放され画素数を更に増加できる。スマートスキャン動作時はメモリー値が "1" であれば、Control Signal が ON となり、入力信号が実線部分を通り、画素の選択信号(select)が出力されて、対応する画素が読出される。一方、次のメモリー値が "0" であれば、Control Signal は OFF となり、入力信号はバイパスされ画素の選択信号は出力されない。また、最後にエンドスキャン信号(end of scan)を出力し、1 行分の走査の終了を知らせる。

上記の変更を加えて、センサの全体回路を設計した。設計したセンサの全体構成を図 3.42 に示す。画素アレイとメモリアレイは分離しており、各画素回路は数個のトランジスタにより構成され、実用的な開口率を得ることができる。

画素では PN 接合の PD により光電変換し、その蓄積電荷の増幅、非破壊読出しを行う。蓄積開始時にリセット信号が加えられると、PN 接合の逆バイアス容量が充電され、PD の値は約 3.9V となり、その後入射光に応じて電荷が徐々に放電し、PD 値が減少する。そして一定時間経過後読出しパルスが加えられ画素値とメモリー値がチップ上段にある水平シフトレジスタに転送される。ここで、メモリー値によって出力画素値の選択を行う。

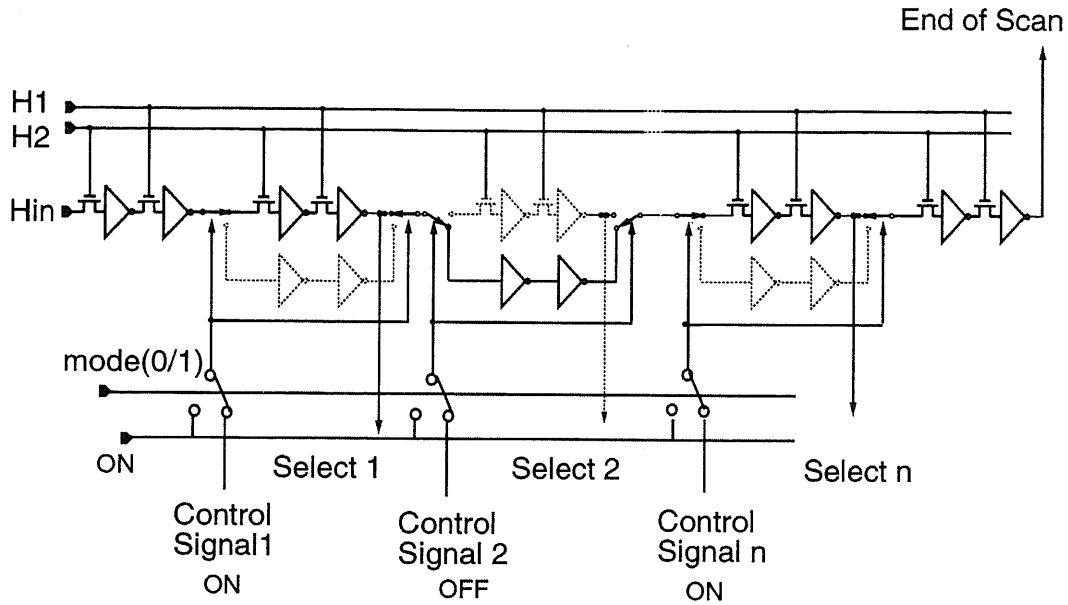


図 3.41: 一体型水平シフトレジスタ

画素値の出力には、前述の単一シフトレジスタを使用する。今回は設計の便宜を図るため、シフトレジスタは画素アレイとメモリアレイの間に配置した。ノーマルスキャン動作による全画素出力モードでは、選択されない画素についてはSW1によって外部入力電圧 (センサの出力画像にあわせて設定可能) を選択して出力することとした。

メモリーはSRAM構造で、インバータとスイッチにより構成されている。図 3.42に示すように、画素部とメモリー部はともに同一信号により動作する垂直シフトレジスタを有しており、対応する行が選択される。メモリーの書換えは下段の水平シフトレジスタと Smode 信号により行う。Smode が "1" の場合はシフトレジスタの出力信号がメモリー回路に転送され、メモリー回路は値として "1" の情報を有する。一方、Smode が "0" の場合はリセットがかかる。下段水平シフトレジスタは書込み、読出し共有であるが、書込みと読出しは別のラインとなっており、書込みと読出しを同時に行うことができる。

3.12.2 チップの設計

図 3.42の構成により、プロトタイプのレイアウトの設計を行った。試作に用いたプロセスは、poly2層、metal3層の0.6um CMOSプロセスである。メタル3層は主としてPD部その他の遮光に利用した。尚、本プロトタイプは設計完了後、東京大学大規模集積システム設計教育研究センターを通しローム(株)および凸版印刷(株)の協力で試作された。

図 3.43に試作したプロトタイプを示す。図 3.43では、画素数が384 × 180画素で、各構成部の配置はほぼ図 3.42と同じである。また、画素部のアナログ系とメモリアレイ、

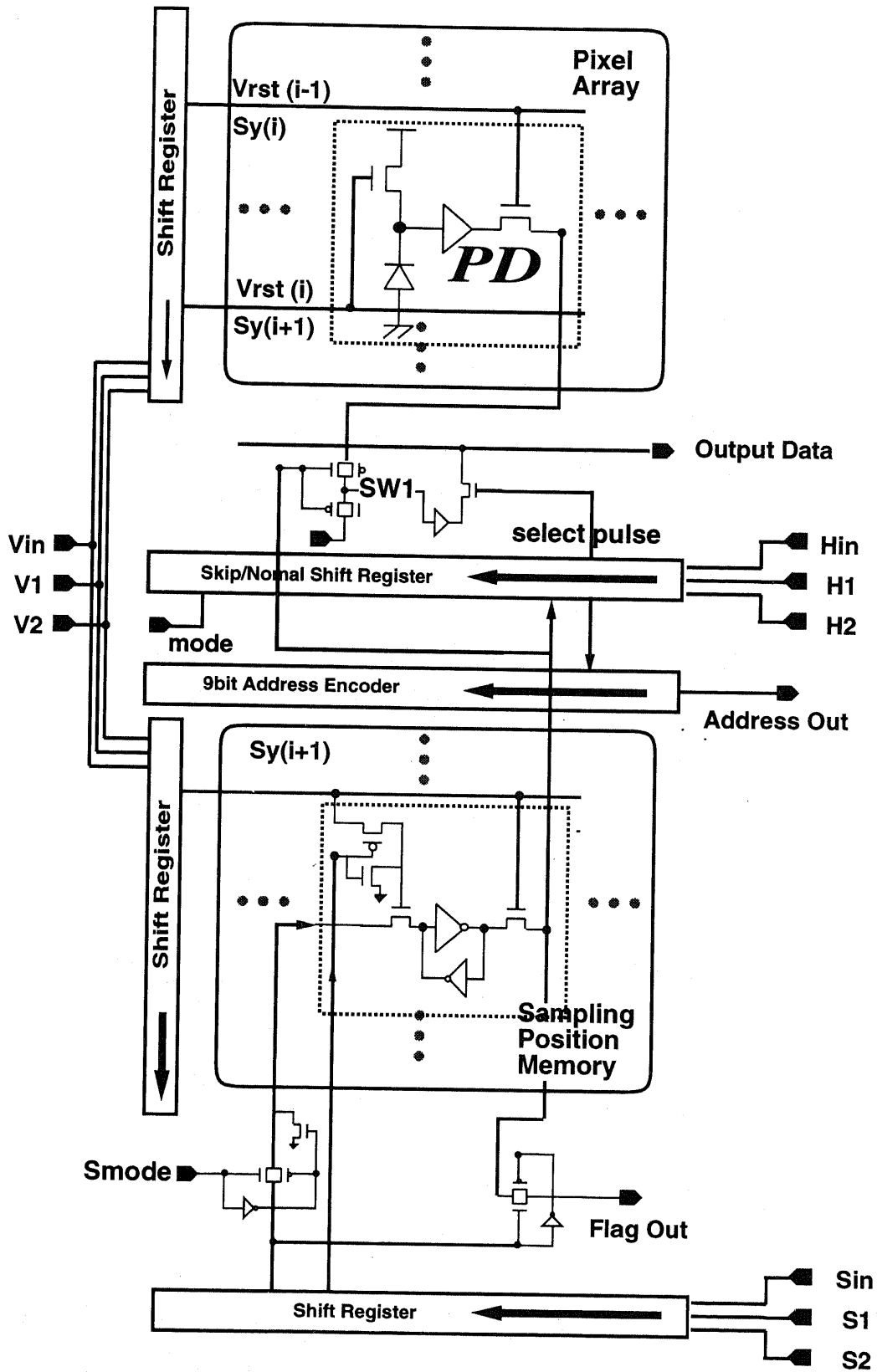


図 3.42: 第 2 次プロトタイプ構成

シフトレジスタ等のデジタル系は分離しており、画素値信号への高周波ノイズの混入を防いでいる。表 3.2 に第一次試作と第二次試作のプロトタイプ設計仕様を比較を示す。

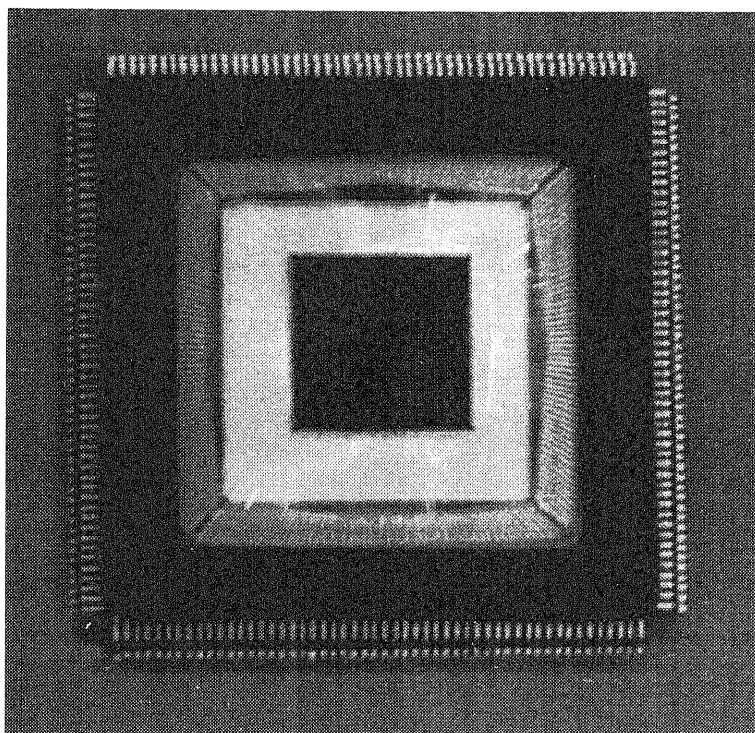


図 3.43: 第 2 次プロトタイプの外観

表 3.2: 設計仕様の比較

	first	new
number of pixels	64 × 64	384 × 180
die size(mm ²)	4.0 × 7.5	7.5 × 7.5
pixel size(um ²)	40 × 40	19.05 × 19.05
memory size(um ²)	40 × 45	19.05 × 19.75
number of tran.	3 trs. / pixel 9 trs. / mem	3 trs. / pixel 8 trs. / mem
fill factor (%)	25 %	47 %

3.12.3 チップの動作検証

図 3.43 に示すチップを用いて検証実験を行った。しかし、出力画像を得ることができなかった。テグ回路を検証したところ、検証用の画素回路 3.44 から出力を得ることがで

きなかった。この原因としては、PDのリセット用トランジスタをNMOSとしたことにあると考えられる。第1次プロトタイプではPMOSトランジスタによりリセットをかけていた。この場合完全に5Vでリセットがかかるが、NMOSの場合は3.3v程度に落ちてしまう。シミュレーションでは約4vでリセットがかかるが出ていたが、実際は4vとはならず3.3v程度だったと考える。また、リセット電圧が低くなった結果、NMOSソースフォロア出力がバイアス回路によってリセットされたのと同様な状態となり出力が得られなかったと考える。

この状態を打開するためには、リセット電圧を変更することが考えられるが、ここで設計したリセット回路は、外部から直接信号を入力する方式ではなく、シフトレジスタからの出力を利用して1段ずつリセットする方式である。従って、リセット電圧を上げることはできなかった。

NMOSリセット回路を用いることは、面積の観点からすればN-WELLを利用しなく済み、1画素回路を小さくすることができるので有効である。しかし、リセット電圧は外部から操作できるようにしておくことが必要である。

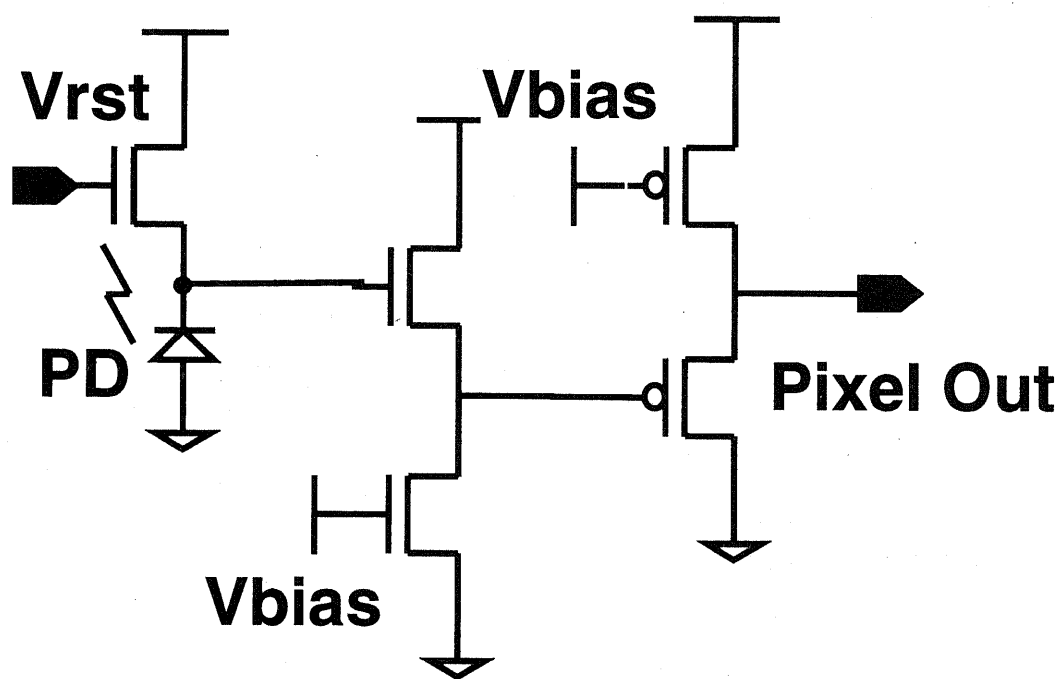


図 3.44: 1画素の検証用回路

3.13 まとめ

本章では近年の研究動向に伴い、初期視覚処理システムに即した機能を実現すべく、柔軟な読み出し形態を可能とするイメージセンサの試作を目的として検討したサンプリング制御方式について説明した。併せて、柔軟な読み出し形態を目的とした従来のイメージセンサについて説明した。そして上記のセンサの問題点を指摘し、サンプリング制御機構がそれら解決するために有効な機構である旨を明らかにした。さらに、当該機構による効果を具体的に説明し、その応用により中心窩的出力も可能であることをシュミレーション画像を用いて明示した。また、列並列処理構成のサンプリング制御センサを提案し、その回路設計とプロトタイプを試作について述べた。回路設計では、その全体構成および各構成回路についてその動作を具体的に説明した。また、画素値の読み出し、メモリの書き込みの制御について説明した。

さらに、設計回路を基に CMOS 0.7 μ m ルールでレイアウト設計を行ない、試作したプロトタイプについて述べた。今回は実質的な開口率を取得することができ、また低消費電力化を実現することが出来た。

なお、本章で試作した第 1 次プロトタイプは全てのレイアウトを設計した後、ヨーロッパのマルチチップ製造サービスである CMP に委託したものである。

- センサアレイを用いた評価実験

- 画素欠落のないクリアな映像信号を出力できる。
- サンプリング制御信号により、任意の粗密制御が可能であり、その結果、ブロック / スキップアクセス、中心窩パターンアクセスにより出力が可能である。
- 読み飛ばし動作時に出力映像を用いた画像の再構成が可能で、実際にセンサ上に圧縮機能を実現できる。

- 部分回路を用いた評価実験

- 試作したプロトタイプは、通常のイメージセンサと同等なダイナミックレンジと線形性を有する。
- 水平シフトレジスタは 1 画素あたり 20n 秒にて選択動作を行ない、また、読み飛ばしシフトレジスタでは非選択画素を遅延無く読み飛ばすことができる。
- メモリ部の特性評価により、少なくとも 1000 フレーム分の読み出し動作を行い、メモリ値を保持できることが分った。また、遮光が十分に行われており、室内光下でも十分にメモリ値を保持することができる。

以上、試作したプロトタイプの評価実験を通じて、撮像面上でサンプリング制御を行うイメージセンサの有効性を確認した。また、第 1 次プロトタイプの問題点に鑑みて、第

2次プロトタイプを試作した。このチップについては、残念ながら好ましい結果は得られなかった。

3.13.1 サンプリング制御センサを用いたシステムの提案

現在の実験環境では、サンプリングパターンが固定的であり、センサの性能を十分に発揮しえるに至っていない。サンプリングセンサは、サンプリングポジションメモリを動的に書換えることで、出力パターンを動的に変化させることができる。これによれば、対象物の移動に対して空間解像度または時間解像度を可変にして追尾することが可能となる。そこで現在外部処理機構と統合し、サンプリングポジションメモリの動的書き換えを行えるシステムの構築を検討している。本システムによれば撮像対象の移動に対応した出力画像を取得することが可能である。

- 空間解像度可変

撮像対象を高解像度で撮像し、周辺部分を低解像度で撮像することにより人間の中心窩に対応した画像を取得でき、さらに撮像対象物の移動を追尾するプログラムとリンクさせることで中心窩を撮像面上で自由に移動させることが可能となる(図4.6)。

- 時間解像度可変

サンプリング制御センサでは間引き処理のみ行っているが、周辺部分の時間解像度変化させていくことが可能である。そのモデルを図4.6に示す。この例では、時間解像度を三段階に分け中心部は常に出力し、周辺部は2フレームまたは3フレーム毎に画素を選択して出力している。従ってサンプリングポジションメモリはそれぞれに対応するパターンを順次書き込む必要がある。また、この場合でも対象物の移動に対して中心の高解像度の部分を移動させることが可能である。

図3.46、図3.47は、時間解像度可変で撮像した場合のシミュレーションである。図3.46の上段は、取得した画素値を間引き画素も含めて全て出力した場合である。したがって、間引き画素部分はブランクとなっている。これに対し、下段は、間引き画素を除き新規に取得した画素のみを出力し、対応画素を更新したものである。従ってブランクの画素は存在せず、特に背景は固定なので全く不自然さがない。但し、図3.46はウィンドウの位置が固定されているので、玩具がウィンドウに入って来た時だけ解像度が上がっている。

これに対し、図3.47ではウィンドウを玩具の先端にあわせて動かしているので、常にウィンドウに含まれることとなる。図3.47の下段はブロックの軌跡を黒い枠線でしめたものである。

このように、局所的にフレームレートを変化させることが可能となるが、これによれば、中心ウィンドウを90フレーム枚秒とすれば、周辺のフレームでも最低30フレームを稼げることとなる。従って、動きの早いものと、背景とを同時に撮影する場合相対速度の

差によってフレームレートを局所的に変化させ、その上で転送レートを制御することが可能となる。

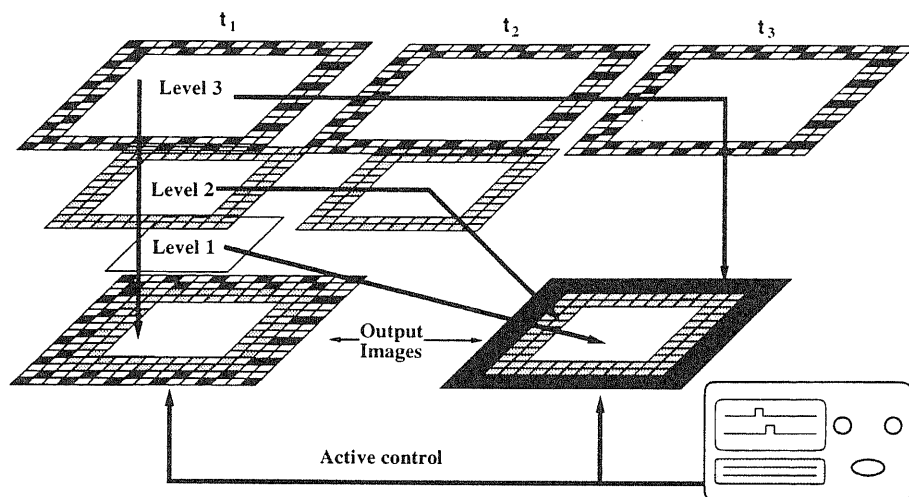


図 3.45: サンプリングセンサの動的制御システム

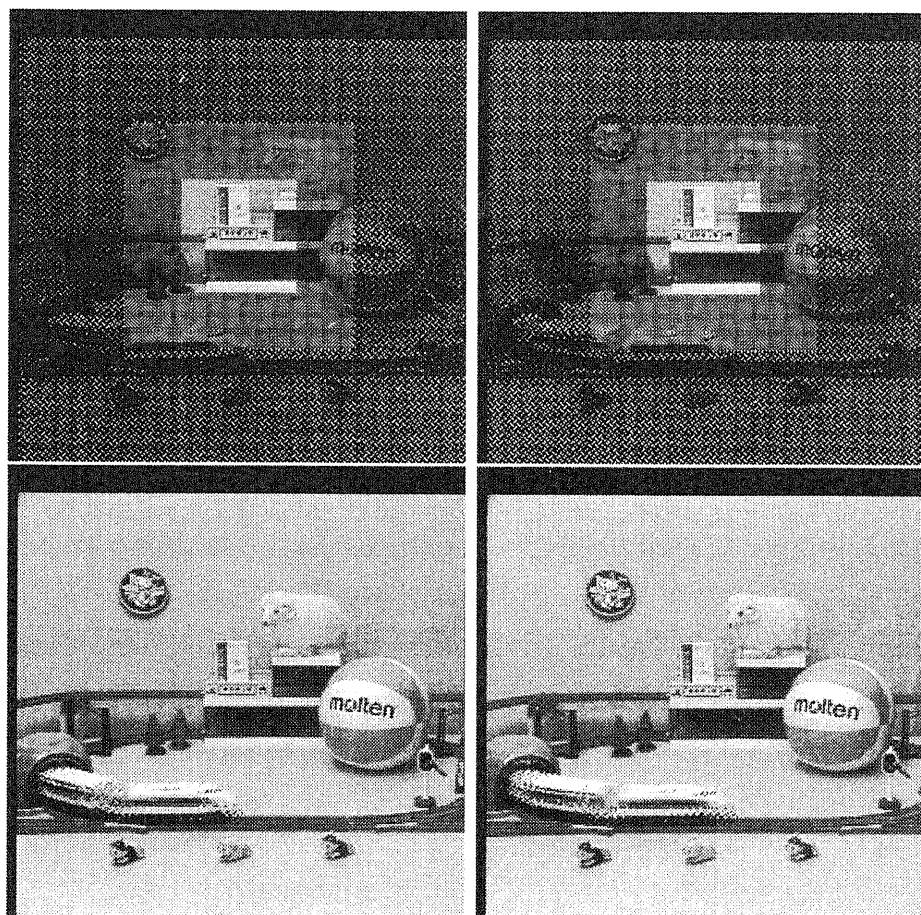


図 3.46: シミュレーション画像 1

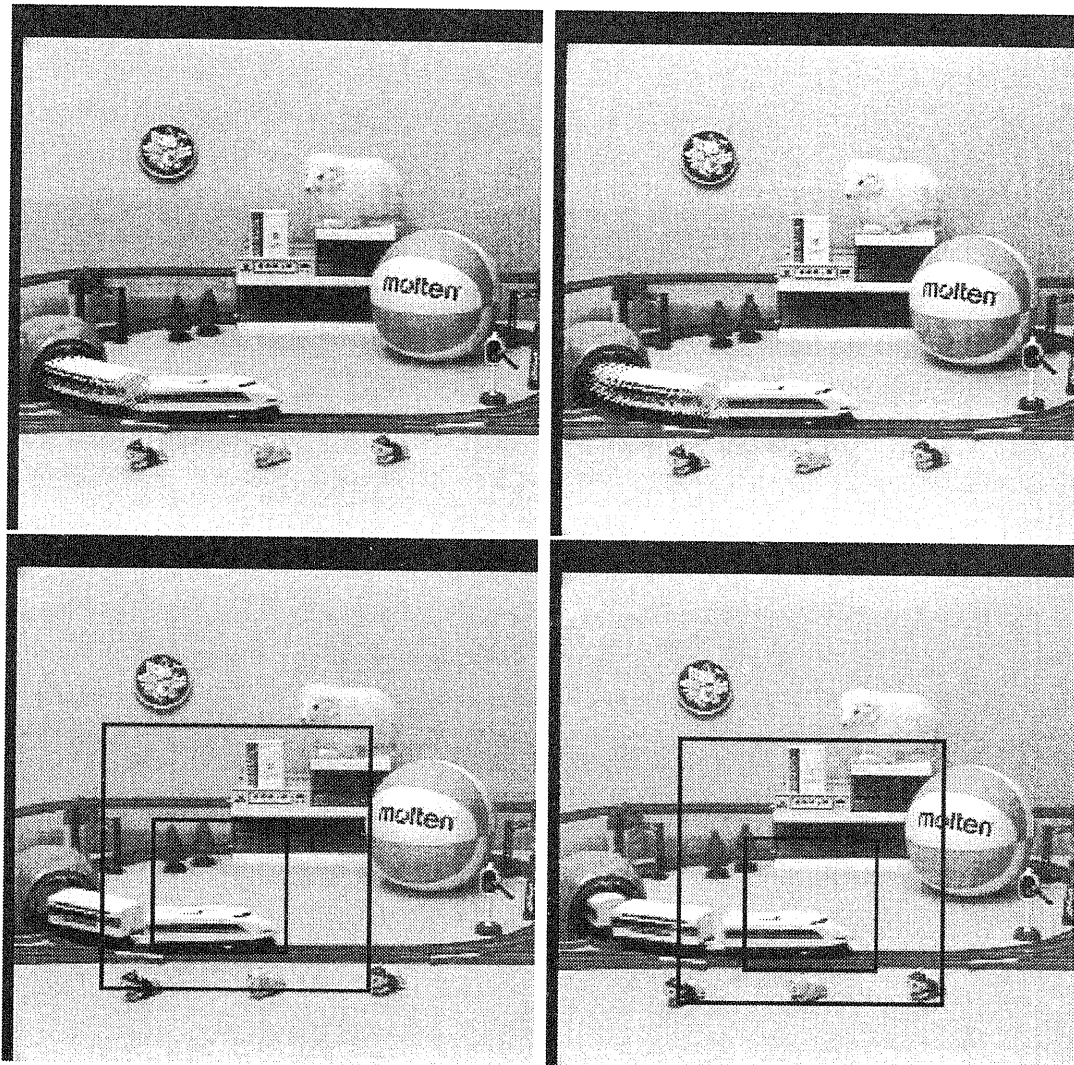


図 3.47: シミュレーション画像 2

第 4 章

多重解像度イメージセンサ 1

4.1 はじめに

生体視覚モデリング、ステレオレンジファインダ、パターン認識、ターゲット追跡、圧縮画像転送などの様々な画像処理手法において、処理速度及び効率の向上のために、可変解像度で画像を取得することは有効である。ユーザーは低解像度画像を利用して、迅速なタスク処理や不要な処理ステップの排除が可能となる。

多重解像度出力を得る手段として、イメージピラミッドを用いるものが紹介されているが [43][44]、これらはソフトウェア的に実現され、このイメージピラミッド生成に要する計算量や、消費電力がリアルタイム処理のボトルネックとなっている。この問題は画素数が増加すればするほど無視できないものとなり、多重解像度出力のための処理をイメージセンサに統合することはこの解決手段として有効である。

このような多重解像度イメージセンサのメリットは、近年のデジタルカメラの高解像度化にも関連する。近年はカメラの解像度が格段に上がっても、そのままの解像度では出力レートが制限されてしまうので、低解像度画像で予め撮像画像をモニターできる手段を提供することは有効である。

翻って、生体のイメージセンサに相当する網膜では、中心窩と称されるように中心視では解像度が高く、周辺になるに従い低くなる [45]。これはサンプリング密度を空間的に粗密に分布させることで、処理の負荷の分散と集中を可能とするためである。これによれば、興味の対象となる重要な部分を中心部で精細に解析し、周辺部は低解像度で状況を大づかみに捉えるという処理の役割分担が可能となり、全体として処理の効率化を図ることができる。これをイメージセンサを用いたシステムに適用すれば、システム全体として広い視野を確保できると同時に、特定の領域について精細な情報を取得し積極的に処理することができる。そこで、筆者らはシステム統合を踏まえ、サンプリング制御機能を搭載したスマートセンサを提案、試作した。当該センサの機能は間引き処理だけであり、平滑化を行っていない為、

解像度の有効な制御が行えていなかった。そこで、当該機能を拡張し、有効な解像度

制御手段を提供するセンサへの発展を検討した。

以上のような観点に基づき、本論文では、撮像面上での制御によりプログラマブルな多重解像度出力を可能とする新しい高機能イメージセンサを提案し、その設計、試作、検証について論ずる。具体的には、試作したプロトタイプで採用した平滑化方式について論じ、そのためのセンサの構成、平滑化処理の単位となるブロックのオーバーラップを可能とする画素回路構成、及びブロックサイズを選択手段について述べる。さらに、試作したプロトタイプを用いた検証実験、及び部分回路の評価実験の結果を報告する。

4.1.1 従来方式とその問題点

各画素の値を段階的に平滑化することにより、多重解像度出力を得ることができるが、この平滑化は、スイッチトキャパシタ (SC) 方式により行う。これまでに提案されている SC 方式を採用した多重解像度出力センサには [22] がある。そのセンサでは、列平滑した画素値を更に行平滑して多重解像度出力画像を取得する事ができる図 4.1。即ち、図 4.1 では、 3×3 のブロックについて、行選択された画素についてキャパシタンスへ画素値を読み出し、スイッチ動作により列の平均をとる。これを 3 行分行い、それぞれの平均を更にスイッチ動作により平滑化して、9 画素の平均を求める。その後、求められた画素値が 3×3 画素のブロックの平均値として出力される。

4.1.2 提案方式

この場合、各ブロック内の画素の平均値を代表値として読み出すので、平滑化処理の時間的負担が少ないという利点がある。その一方で、ブロック単位での平均値であるため、隣接ブロック間で歪みが大きくなるという欠点がある。またブロック選択についても、外部からブロックのサイズ、形状を任意に設定することが可能であるが、その設定方法が複雑であるため局所的なブロックサイズの変更が困難である。また、ブロックのオーバーラップできないので、隣接画素の相関を有効利用できない場合がある。

これは、一度読み出した画素値を再度利用する事ができないというその構造に起因するものである。そこで、提案する新たな方式では、1 画素ずつスキャンして行きながら、それに対応するブロックを所定のパターンから選択し、そのブロック内で平滑化を行った結果を前記画素の画素値として出力することを可能とする。これによれば、ブロックの局所的な変更が容易であり、また、スキャンされる画素は、互いに隣接するため、当然にブロックはオーバーラップする。図 4.2 に、本方式の概念図を示す。同図においては、 3×3 のブロックについて、ブロックの中心画素 (ブロックアドレスを決定する画素) を含む 9 画素をブロックの要素として選択している。そこで、ブロックのオーバーラップを可能とする多重解像度イメージセンサを設計・試作するために、回路構成を以下に検討する。

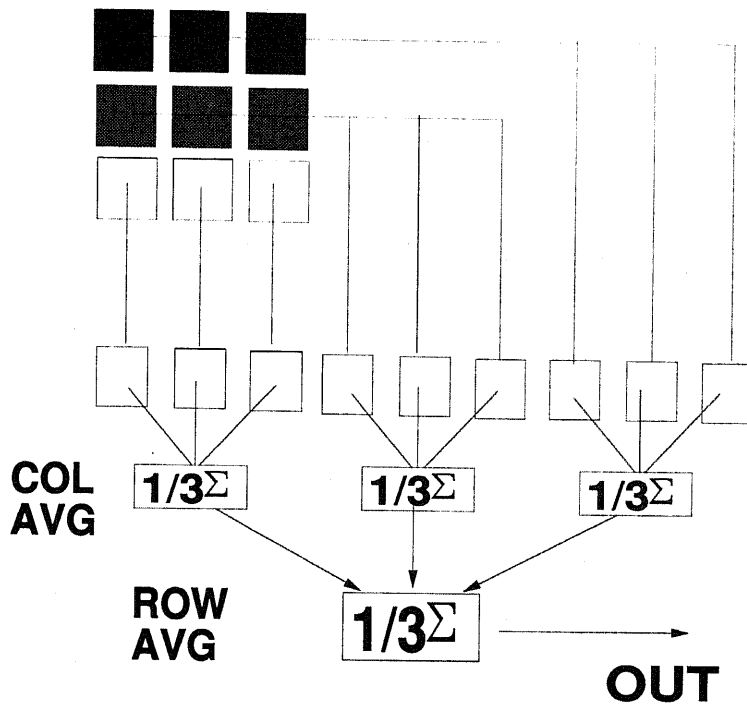


図 4.1: Kemény の方式

4.2 画素回路構成

4.2.1 一画素回路

図 4.2 に示す方式では、それぞれの画素は、選択ラインが異なった場合でもブロック内平滑化に利用される場合があり、常に画素値の読みだしが可能な状態でなければならない。それを実現する画素回路の構成を図 4.3 に示す。電子シャッター (ES) によりキャパシタ C1 に画素値を保持する。このキャパシタは、poly1-poly2 間容量を利用したもので、静電容量は約 300fF である。この容量は、シミュレーションにより割出したもので、画素値をほぼ一定に、1 フィールド維持するために必要なサイズである。尚、C1 への入力は NMOS バッファからの出力であるため、C1 を各フレームごとにリセットする必要はない。

図 4.3 には NMOS バッファが 2 段配置されている。画素回路の規模を小さく押えるためには画素回路内のバッファの数は少ない方が好ましい。また、バッファの段数が増える程出力電圧のレンジが狭くなってしまいうので、NMOS バッファを C1 の後ろにのみ配置した、NMOS バッファが 1 段の 1 画素回路構成を当初は検討していた。しかしこの場合、蓄積された蓄積された画素値を保持する PD 部分の容量が C1 に対してかなり小さくなってしまいうため、電子シャッターを用いて C1 の値を更新することが困難となってしまう。

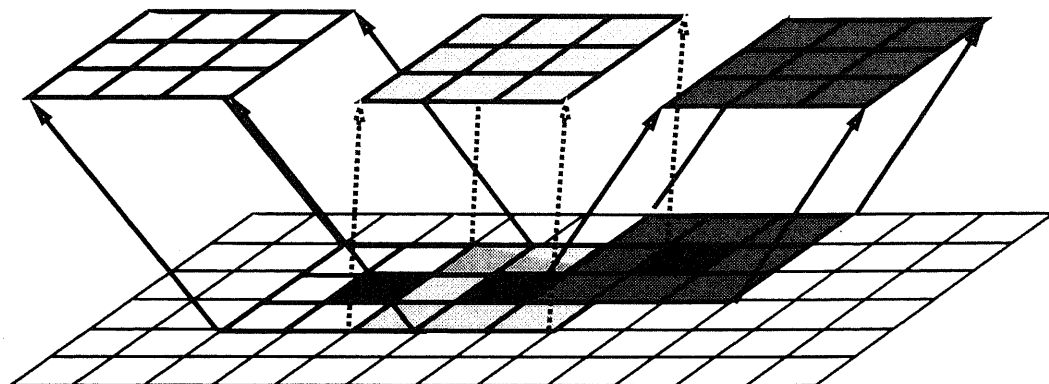


図 4.2: 提案方式

そこで、PD と電子シャッターの間に NMOS バッファを配置する構成とした。これにより、PD の容量に影響を受けることなく $C1$ を新たな画素値で更新することが可能となった。

$Cp1$ は平滑化のためのキャパシタであり、ここへ $C1$ の値をコピーする。そこで、 $C1$ - $Cp1$ 間にバッファが必要となるが、図 4.3 では、NMOS バッファを利用している。チップの最終出力は電流出力であり、PMOS バッファを利用して直流成分を引き上げる必要がある。ゆえに、画素回路内に PMOS バッファを配置することも可能であるが、レイアウト面積の問題があるためにこれを採用しなかった。

2 段目のバッファからの出力はキャパシタ $Cp1$ に充電して平滑化に利用する。この時、 $C1$ に保持された画素値を複数回読み出すことで画素値の再利用が可能となる。また、ES によりバッファと切り離された PD 部では、平滑化処理の間にリセット-放電動作を行えるので、PD の蓄積時間を犠牲にすることなく、平滑化を行うことができる。PD のリセット動作は蓄積時間のずれをなくすために、全画素同時に行う必要がある。尚、 $Cp1$ についても、NMOS バッファから入力を得るため、リセット動作は不要である。また $Cp1$ の容量値は、画素の読み出し線の配線容量により決まってくるが、本試作では、配線容量が 200fF と大きかったため、 $Cp1$ は 300fF 程度とした。

4.2.2 多重解像度出力のシミュレーション

4.2.3 画素アレイにおける平滑化処理

次に画素値の平滑化動作について説明する。図 4.5 に示すような 3x3 のブロック構成において、画素値の平滑化を行う場合を例にあげる。その際の制御信号のタイミングチャートは図 4.6 に示すようになる。まず、 $Vrst$ 信号により全画素同時にリセットを行う、画素

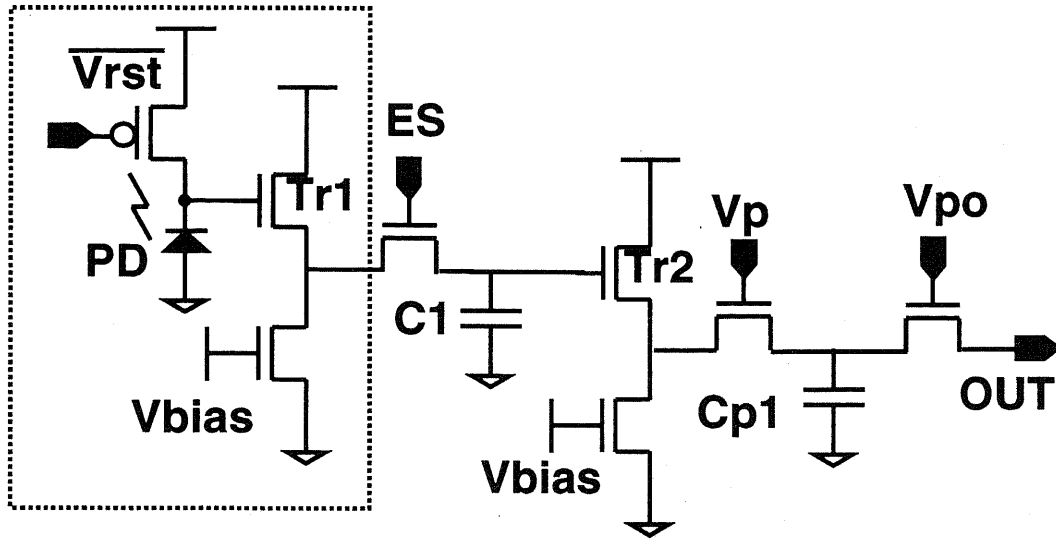
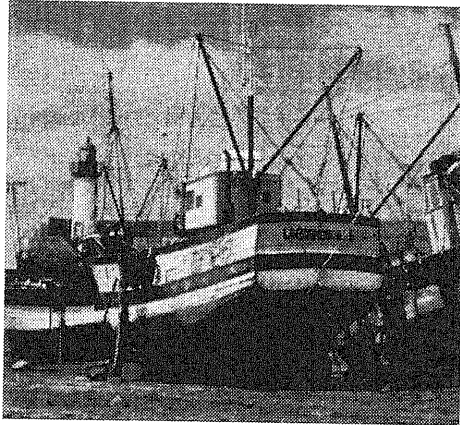


図 4.3: 1 画素回路

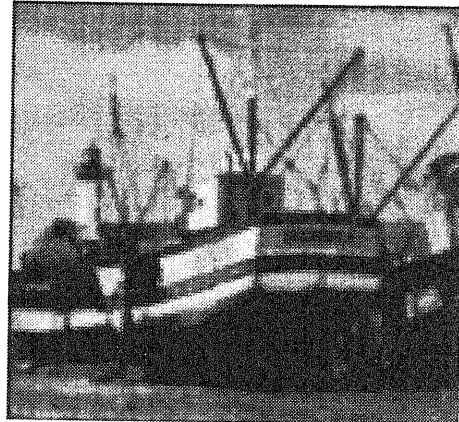
回路は PMOS リセット構成を採っているため、 $0v$ でリセットされる。所定時間経過の後、電子シャッター (ES) が ON され、 $C1, C2, C3$ へ画素値が充電される。リセットから ES までの時間が画素の蓄積時間となる。次に画素値のサンプル&ホールドを行う。動作は、 $Vp1, Vp2, Vp3$ のスイッチの ON/OFF により行われ、その際対応する $Vpo1, Vpo3$ は OFF されている。 $Vpo2$ だけは、 $Vp2$ と同時に ON/OFF される。これにより、ブロックの中心となる画素及びその行の値が $Cc1, Cc2, Cc3$ に保持され、それ以外のブロックの画素値が画素回路内のキャパシタ ($Cp1, Cp3$) に保持されることとなる。つまり、平滑化には $Cp2$ は利用されない。 $Cp2$ を利用すると、4つのキャパシタの平均をとることになってしまうからである。

次に、 $Vpo1, Vpo3$ が解放され列方向の平滑化が行われる。これにより $Cc1, Cc2, Cc3$ には、それぞれ列方向に平滑化された画素値が保持される。[22] の多重解像度イメージセンサでは、画素値を読み出してから平滑化を行っていたが、本方式によれば、読み出した時点で列方向の平滑化が完了している点で大きく異なる。 $Vr1 \sim Vr3$ は、列方向の平滑化が行われている間は、常に ON の状態にあり、 $Vpo1, Vpo3$ が OFF された後に OFF する。その後、 $Vc1, Vc2$ を ON にして行方向の平滑化を行う。最後に Vro を ON にして出力列を選択し、平滑化された画素値をバッファを介して出力する。

図 4.4 は、本方式により平滑化を行った場合の、シミュレーション画像である。(a) が原画像であり、(b) が 5×5 のブロックで平滑化した画像である。さらに、センサ内で平滑化ブロックを可変として、中心部分はブロックを小さくして対象そのものを撮像し、周辺部分ではブロックサイズを大きくし、物体情報を捉えて、その動き検出を行うなどのアプリケーションも考えられる。また、差分をとることでエッジ抽出なども可能である。



(a) 原画像



(b) ブロックサイズ 5x5



(c) ブロックサイズ 5x5



(d) ブロックサイズ 7x7

図 4.4: シミュレーション画像

4.2.4 画素内キャパシタの影響

図 4.6は、平滑化を行う際のタイミングチャートである。ここで問題となるのは、電子シャッター信号 ES の長さである。ES が ON になることにより、最新の画素値が、キャパシタ C1 に蓄積されるが、C1 のサイズは 300fF と比較的大きいため、ある程度の飽和時間を必要とするからである。これに関し、シミュレーションから 30ns 程度を見込めばよいことが分っており、その他の処理への影響は少ないと考える。シミュレーション結果を、図 4.7に示す。30ns で ES が ON されると、入力電圧は、キャパシタ電圧に引っ張られて下がるが、10ns 後には、ほぼ入力値まで回復し、30ns 後には、入力電圧とキャパシタ電圧は一致している。これにより、30ns 程度の時間を確保すればよいことが分る。また、このシミュレーションでは、キャパシタ電圧を一旦リセットして 0v に落してから検証を行っているが、実際の動作時には以前の画素値が維持されているので、さらに短い時間で更新が可能と考える。また、Cp1 についても C1 と同様のことが言える。

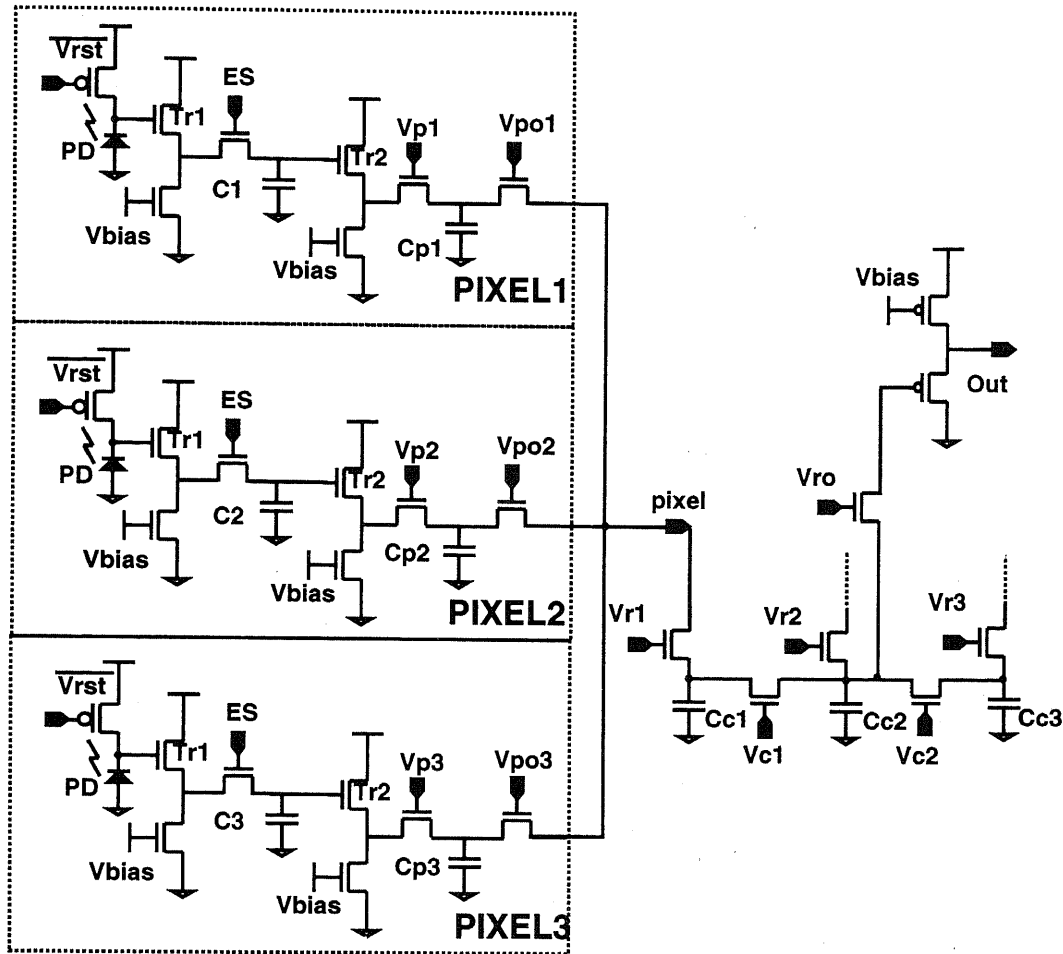


図 4.5: 3x3 ブロックにおける平滑化回路の概要

4.3 ブロックサイズを選択

本方式では、画素値の平滑化をブロックサイズを可変にして行うことを特徴とする。したがって、ブロックサイズを選択する手段を備えていなければならない。このブロック選択は、垂直及び水平シフトレジスタによって実現される。その概念図を図 5.6 に示す。ここでは、1 画素出力から、3x3、5x5 及び 7x7 のブロックを選択することができるように垂直、水平シフトレジスタをそれぞれ 4 段構成とする。このようなブロックサイズにした理由としては、中心画素に基づきブロックを決定するため、ブロックの対称性を考慮すると画素数は奇数になること、及びあまり大きなブロックサイズにすると出力画像が利用価値のないものになってしまうことが挙げられる。それぞれ画素に対応するブロックサイズを選択は、sw3、sw5、sw7 から入力する信号によって行う。入力信号が 0 の時は ON の状態であり、対応するシフトレジスタからの信号が出力される。入力信号が 1 の時は、

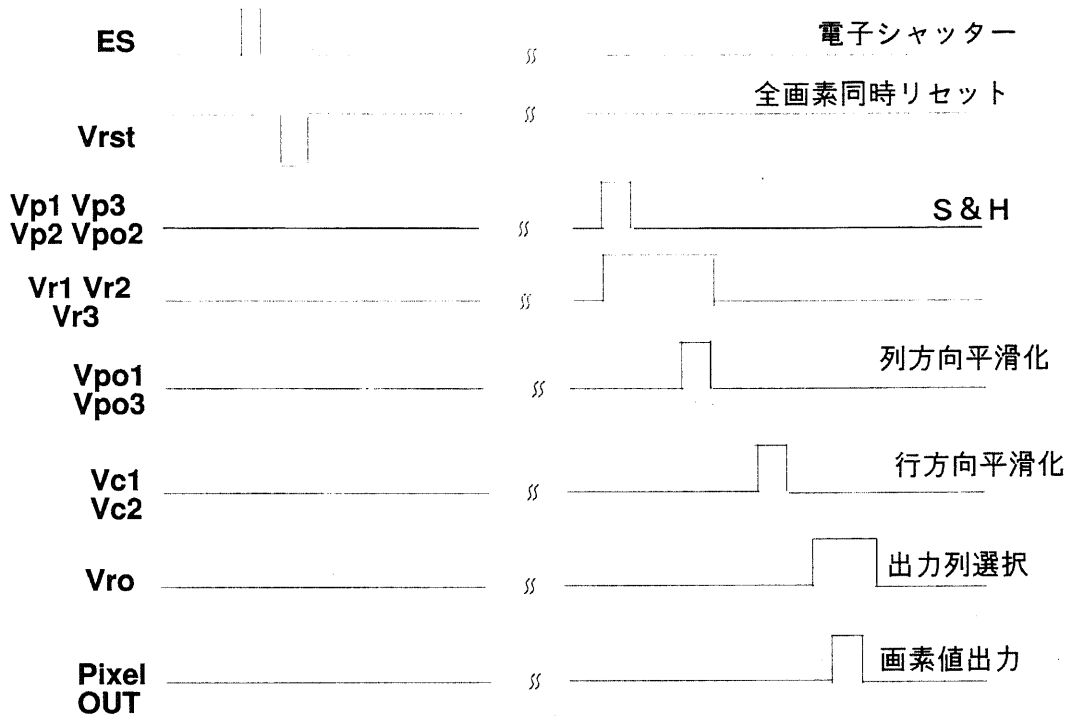


図 4.6: タイミングチャート

シフトレジスタからの出力が PMOS スイッチにより遮断され、かつ、不図示の NMOS スイッチを利用して出力ラインがリセットされる。尚、それぞれの数字は、ブロックサイズに対応して割り振ったものである。

4.3.1 ブロックサイズ選択用回路の制御

シフトレジスタの駆動信号を図 4.8 に示す。シフトレジスタの制御信号には、駆動用に V1、V2(垂直)、H1、H2(水平) の 4 本を使用し、スタートパルスとして Vin1 ~ Vin7(垂直)、Hin1 ~ Hin7(水平) を使用する。駆動用の信号は 4 段のシフトレジスタに共通に入力し、スタートパルスはそれぞれのシフトレジスタに 1 本ずつ割り当てて入力する。図 4.8 に示すように、スタートパルスの信号の配置は Vin1(Hin1) を中心にして対称に分布する。実際の制御では、図 4.8 中の Vin7 から入力して行き、入力順に V2、V1 でシフトされる。再び Vin7 が入力されてスタートパルスが 7 つ揃ったら、7 つの信号のセットが V2、V1 でシフトされて行くことになる。実際の平滑化処理は SR1 の出力信号により、ブロックの中心となる画素回路が決定されてから開始されるので、水平方向のシフトレジスタは、Vin1 入力後から入力開始される。1 水平期間は V1 のインターバルによって決定されるので、この期間に処理に必要な制御信号を入力する(今回試作したプロトタイプの場合は

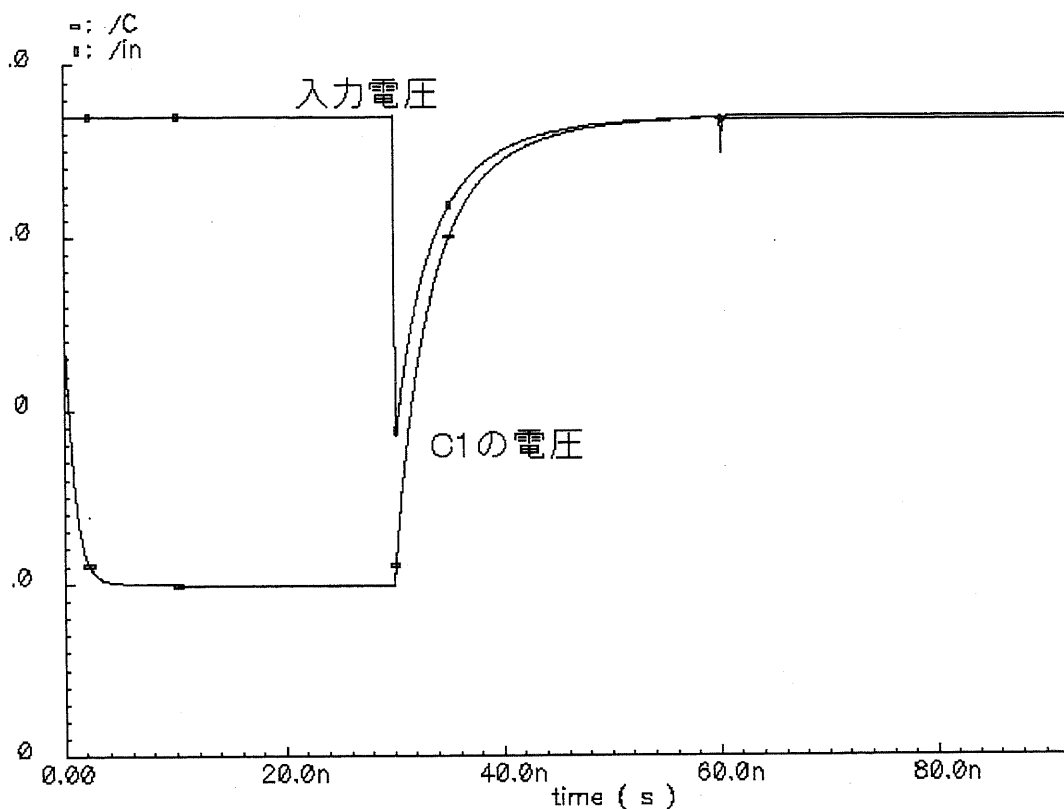


図 4.7: C1 への蓄積時間

64画素分の制御信号を入力している)。信号の分布は垂直シフトレジスタと同様であるが、動作速度はおよそ6.6MHzである。

前記のように、SR1にはin1を一度だけ与えるのに対し、SR3、SR5、SR7には、二度入力信号を与える。これにより、図4.10のように、SR1の出力信号を中心として、SR3、SR5、SR7それぞれの出力信号を対称に得ることができる。この出力状態をシフトさせて行くことにより、サイズの異なるブロックを選択することができる。

4.3.2 ブロックサイズ選択のための出力信号

図5.6では、3x3のブロックを選択する場合を示している。即ち、sw3のみがONになっており、sw5、sw7がOFFになっている。sw3信号は、同じラインのSR3に共通して入力されるが、in3で入力された信号が存在する地点においてのみ出力信号を得ることができる。したがって、sw3がONになっていても、シフトされてきた信号が存在しない地点ではSR3からの出力は得られず、他の段のシフトレジスタの出力が優先される。同図の場合にはSR1の出力が優先されている。

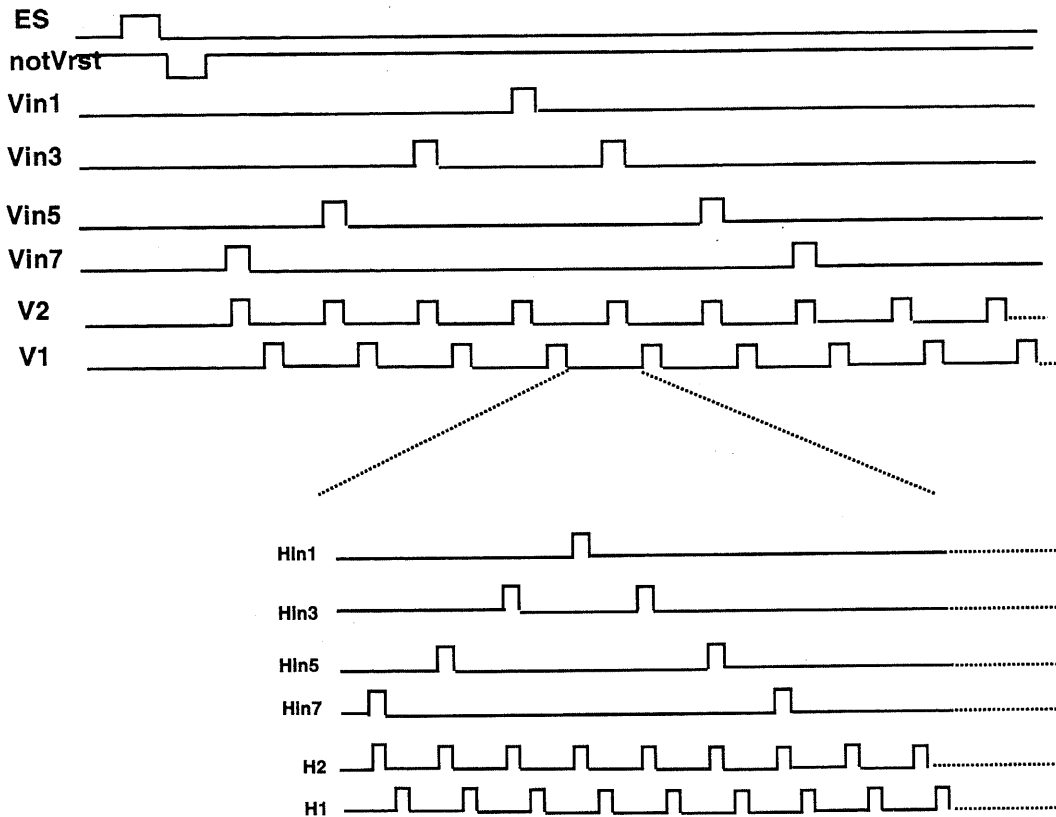


図 4.8: シフトレジスタの制御のためのタイミングチャート

4.3.3 水平シフトレジスタの構成

次に、ブロックサイズを決定するためのシフトレジスタの具体的な回路構成について述べる。図 4.11 は、二段の水平シフトレジスタを示している。以降これを 1 セットとして考える。残りの二段は図中の SR3 と同じ構成になるため省略した。SR1 は、ブロックの中心となる画素を選択するためのシフトレジスタである。図 5.6 の SR1 と対応する。ここで、行方向平滑化を行うための信号 V_c は、隣接する水平シフトレジスタの出力がともに 1 (アクティブ) であった場合に ON となる。すなわち、まず、図中のシフトレジスタ SR1 と SR3 の OR を取り、その出力と本セットのとなりに存在するシフトレジスタから A_{in} として入力される信号の AND をとってこれが 1 となる場合にのみ V_c が ON となり、行方向の平滑化が行われる。ここで平滑化を行うタイミングは、外部から入力される V_{cp} によって制御される。そのタイミングは、図 4.6 の V_{c1} と同様である。この V_{cp} が 1 の時は、 A_{in} と A_{out} の AND をとった値が V_c へ与えられるが、 V_{cp} が 0 の時は、リセットがかかり、 V_c の入力は 0 になるので行方向の平滑化は行われない。 A_{out} は、この時同時にシフトレジスタから出力される信号で、当該シフトレジスタがアクティブかどうかを示す役割を果たし、 A_{in} 入力を受けたシフトレジスタと逆の隣接シフトレジスタへの A_{in}

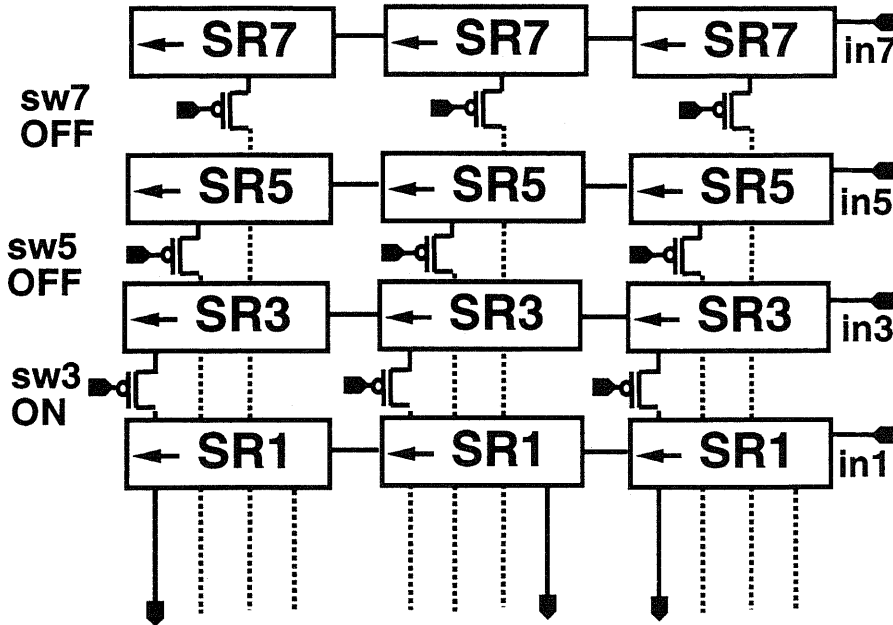


図 4.9: ブロックサイズ決定手段 : 3x3 の場合

信号として出力される。そして、同様に当該隣接シフトレジスタ内で自己の出力との AND をとって、行方向平滑化を行うか否かが決定される。シフトレジスタがアクティブでない場合、すなわち SR1、SR3 が共にいずれの出力も 1 でない場合には、Avout を 0 にするために、SR1、SR3 の出力の反転信号を不図示の NMOS のゲートに入力してリセットをかけている。

また、SR1 の出力は、平滑化された画素値の読み出しを制御する信号としても利用される。ここでは、SR1 からの出力信号を外部から入力する Vro によって制御し、平滑化処理が終了したタイミングで画素値の読み出しを行う。そのタイミングは、図 4.6 に示す通りである。尚、Vro 信号はブロックのサイズに関わらず常に一定の周期で入力すれば良い。

次にブロックサイズを決定する信号 sw3 について述べる。sw3 が入力されるスイッチは PMOS スイッチであり、これにより、sw3 が ON(0) の時は、SR3 からの出力が出力信号として利用され、OFF(1) の時は、SR3 の出力の状態に関わらず出力は 0 にリセットされる。sw3 が ON の状態で、かつ SR3 がアクティブの場合には、行方向平滑化の信号 Avout が 1 になり、Avin との AND をとることで行平滑化を行うことが可能となる。また、Avout は Vr 信号としても利用され、列方向平滑化を行う。ここで、Vr 信号は Vrp によってタイミング制御され、Vrp が 1 の時は Vr が 1 となり、Vrp が 0 の時は、リセットがかかるので Vr は 0 になる。Vrp のタイミングは図 4.6 中の Vr と同様である。

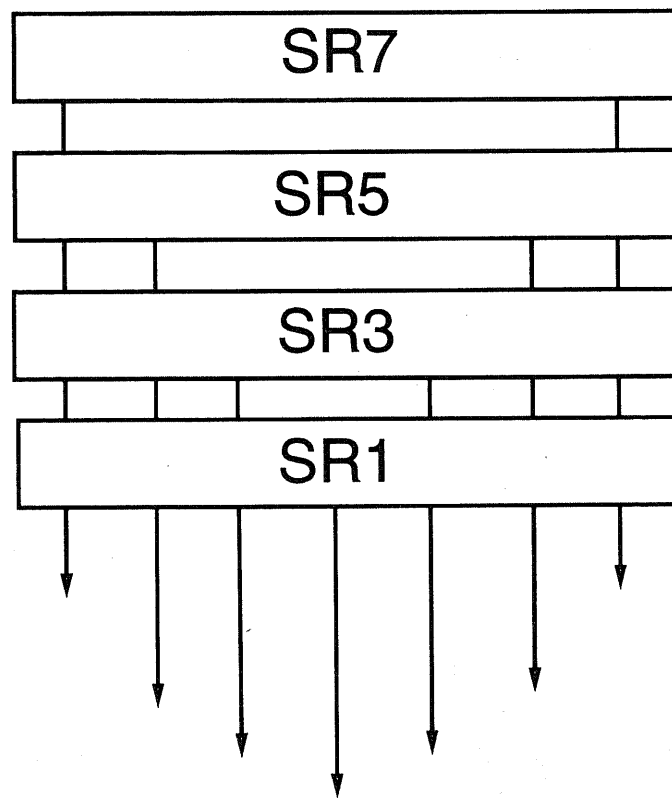


図 4.10: ブロック選択信号の配置

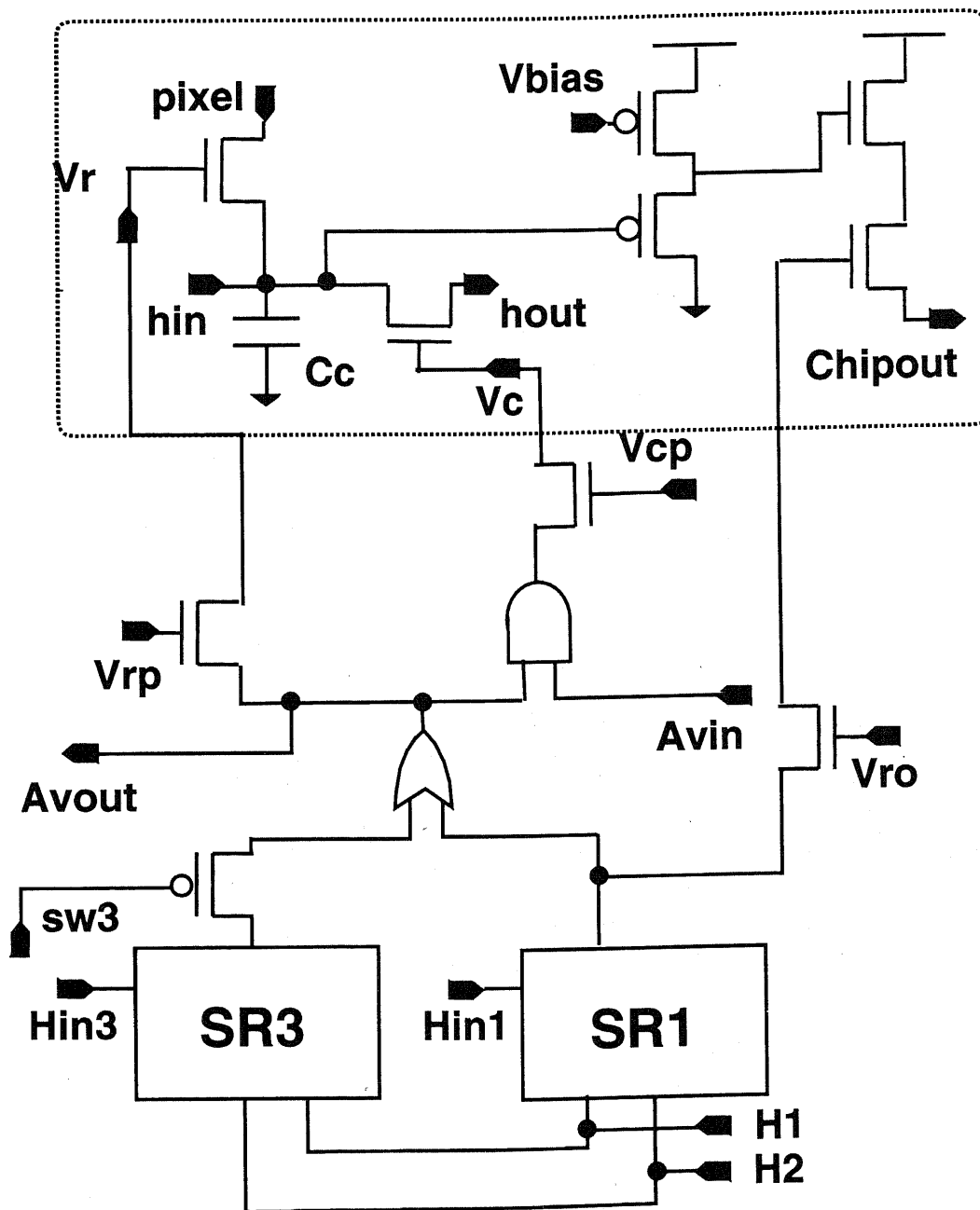


図 4.11: 水平シフトレジスタ回路

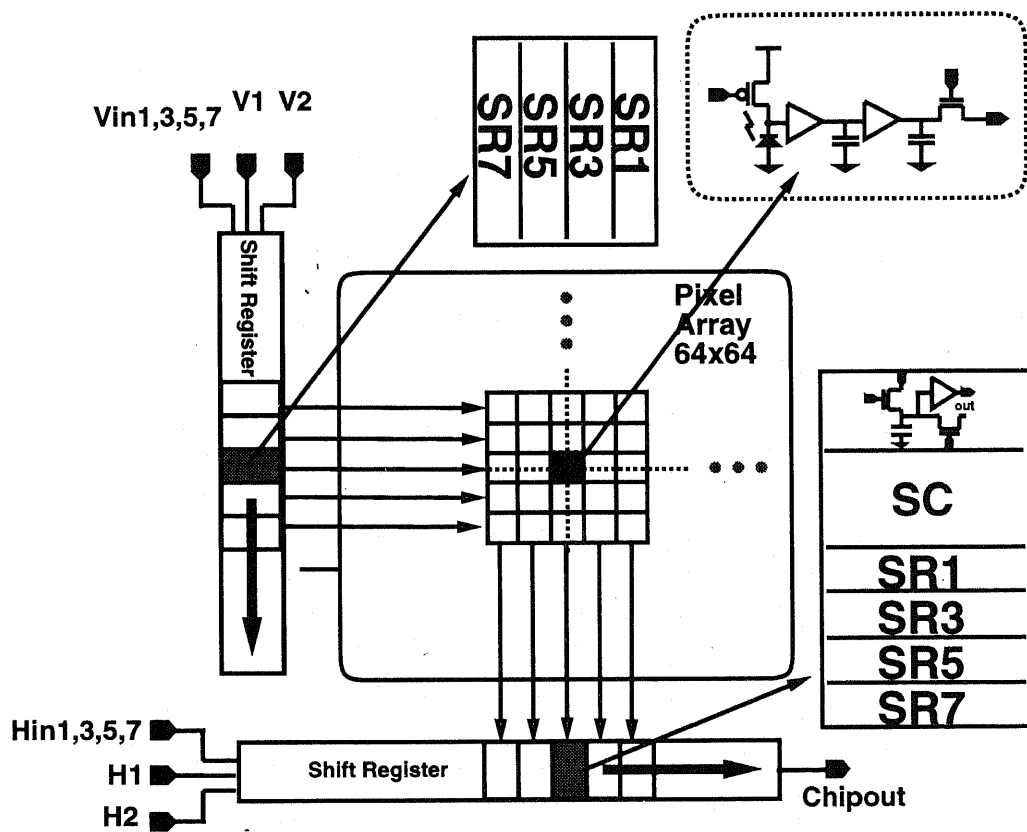


図 4.12: プロトタイプの全体構成

4.4 プロトタイプチップ

尚、垂直シフトレジスタもブロック選択に必須の構成要素となるが、基本的構成は、水平シフトレジスタと同様であるので、ここでは省略する。設計した回路に基づく全体構成は図 4.12 に示すようになる。ここでは、ブロックサイズを 5×5 とした場合を記載しており、ブロックは垂直、水平シフトレジスタからの出力により決定されている。ブロックの中心部分がブロック領域を決定する中心となり、この画素の値としてブロック内の画素値の平均が出力される。図 4.12 の構成に基づき作成したプロトタイプのレイアウトは図 4.13 に示すようになる。図 4.14 は、完成したプロトタイプチップの概観を示す。チップの概要は表 1 に示すようになる。

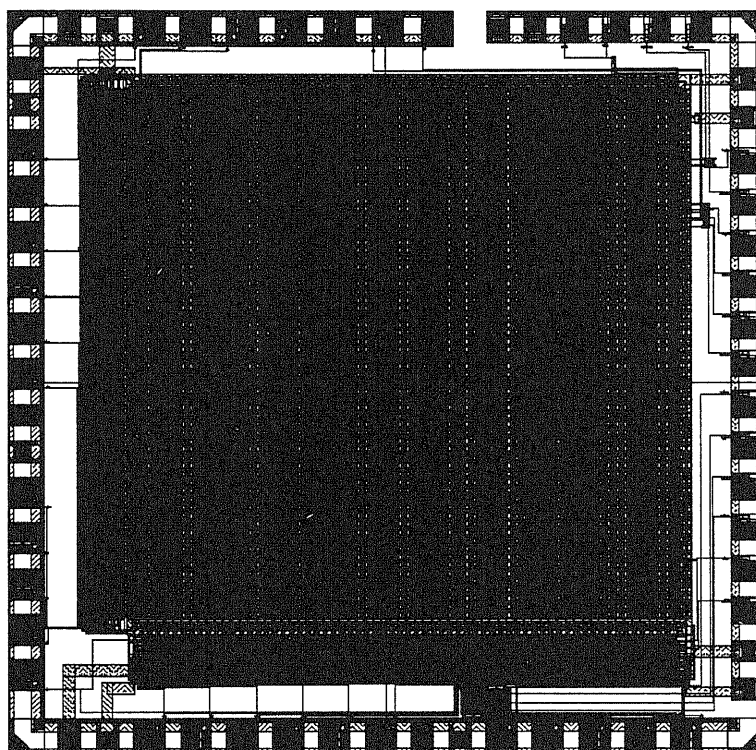


図 4.13: チップレイアウト

4.4.1 プロトタイプチップの動作検証

多重解像度センサのプロトタイプの動作検証は、図 4.15 に示す評価システムで行った。今回はレンズの固定はチップを搭載したボードに直接マウントできるレンズソケットを試作して、撮像している。

図 4.14 のチップを用いてプロトタイプの動作確認を行った。センサからの出力画像は

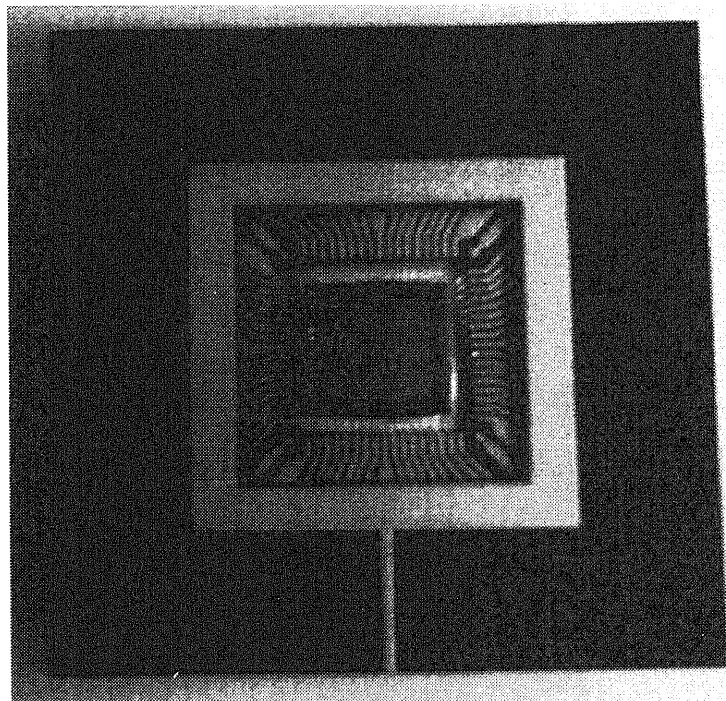


図 4.14: プロトタイプチップ

表 4.1: プロトタイプ的设计仕様

画素数 [pixels]	64 × 64
チップサイズ [mm^2]	5.5 × 5.5
画素サイズ [μm^2]	センサ部 : 60 × 60
Tr. 数	センサ部 : 9 trs. / pixel
開口率 [%]	14.5 %
消費電力 [W]	0.25
電源電圧 [V]	5

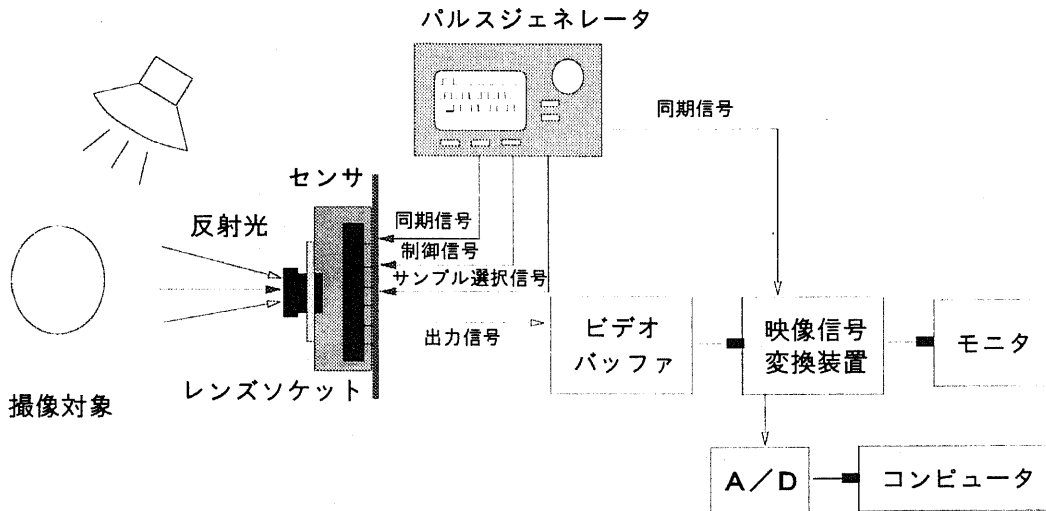


図 4.15: プロトタイプの評価システム

画素値が反転しており、明るい光が入射するほど暗く、ネガとなっている。以下、実験結果として示す画像はネガ・ポジを逆転させている。図 4.16 にプロトタイプで撮影した出力画像の例を示す。撮影対象は千円札の夏目漱石の肖像画である。

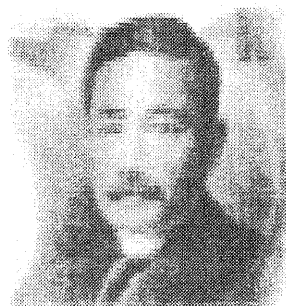
図 4.16(a) は平滑化を行わずに出力したプロトタイプによる撮像画像 (画素数 64×64) である。同 (b) から (d) は、平滑化処理後出力したものであり、それぞれブロックサイズは 3×3 , 5×5 , 7×7 である。

次に、図 4.17 に、プロトタイプにより撮影した網膜型出力画像を示す。図中の左側が通常出力となっており、右側が網膜型出力画像である。網膜型出力画像は、中心部分の 32×32 画素を平滑化を行わずに出力し、周辺部分について、その周囲 8 画素分を 3×3 のブロックサイズで平滑化し、さらにその周辺について 4 画素分ずつそれぞれ 5×5 及び 7×7 で平滑化した。ここで中心から周辺にかけて変化している様子が分る。

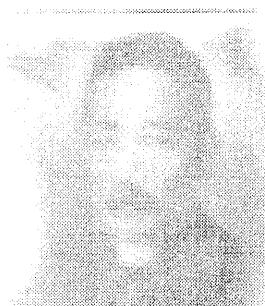
4.4.2 光学系装置の作成

図 4.15 に示す評価システムでは、新たに光学系装置を設計試作している。レンズソケットは、チップが搭載されている実験用の基盤に直接マウントできるようにした。試作したソケットのブロック図を図 4.18 に示す。ここに示すように、レンズソケットは、固定焦点レンズを肯定するプレートと、プレートを固定するチップカバーの二つから構成される。このような構成となったのは、レンズの交換が簡単にできることと、レンズの焦点あわせのために、レンズを XYZ 方向に自由に調節できることの二つの条件をできるだけ簡単な構成で満たすものを想定した結果である。

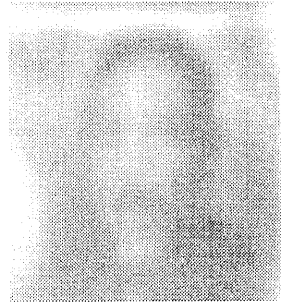
具体的に説明すると、図 4.18 のチップカバーの下方にある黒丸がネジ穴となっていて、



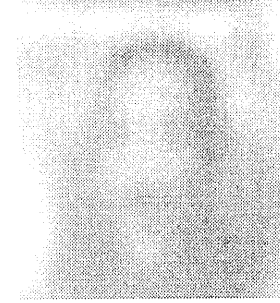
(a) 1 画素出力画像



(b) 3 × 3 平滑化画像

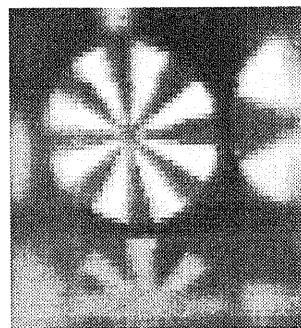
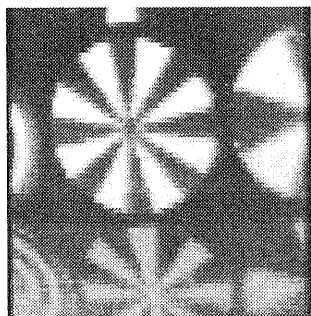


(c) 5 × 5 平滑化画像

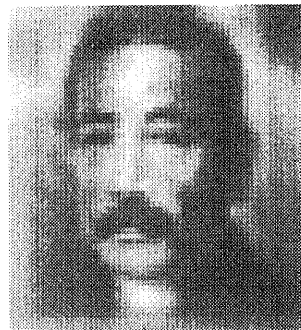


(d) 7 × 7 平滑化画像

図 4.16: プロトタイプによる撮像例



(a) 通常出力



(b) 網膜型出力

図 4.17: 網膜型出力画像

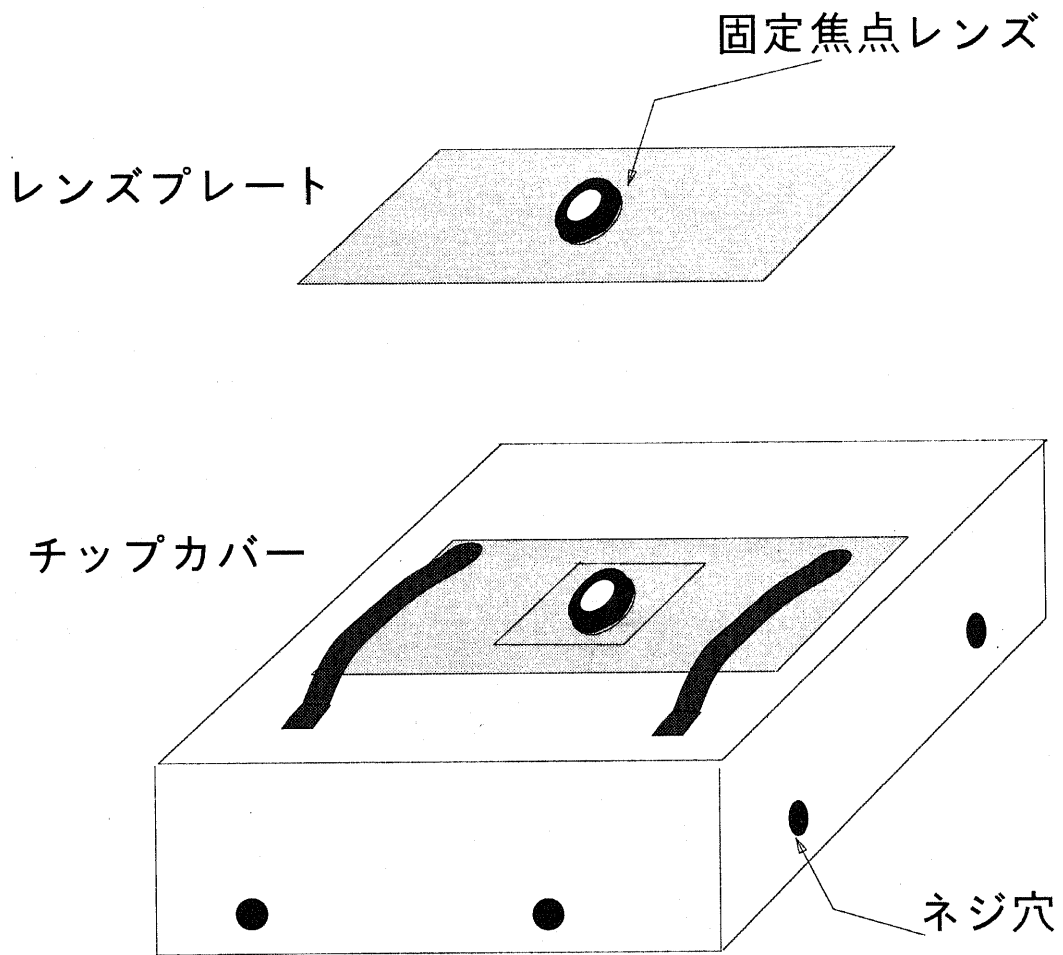


図 4.18: レンズソケットのブロック図

ここからネジを通して、チップソケットに食い込ませている。このネジ穴が側面 4 面にあいており、チップソケットは、上下左右方向からネジで挟み込まれる形となる。これによって、チップカバーはチップソケットに固定されてちょっとやさっとでは移動せず、逆さにしても落下する心配はない。

つぎに、チップカバー表面にありレンズプレートを押えつけている 2 本の金具は、板バネであり、これで簡単にプレートを固定できる。また、プレートで隠された部分には 2 cm 角の穴があいており、この穴にレンズを挿入する。図に示すように、レンズと穴の間には隙間があり、これを利用してレンズの XY 方向の焦点調節を行う。また、レンズはプレートにネジ込む方式となっているので、Z 方向の調節はレンズを緩めたり絞めたりすることによって簡単に行うことができる。

実際に試作したレンズソケットの外観を図 4.19 に示す。

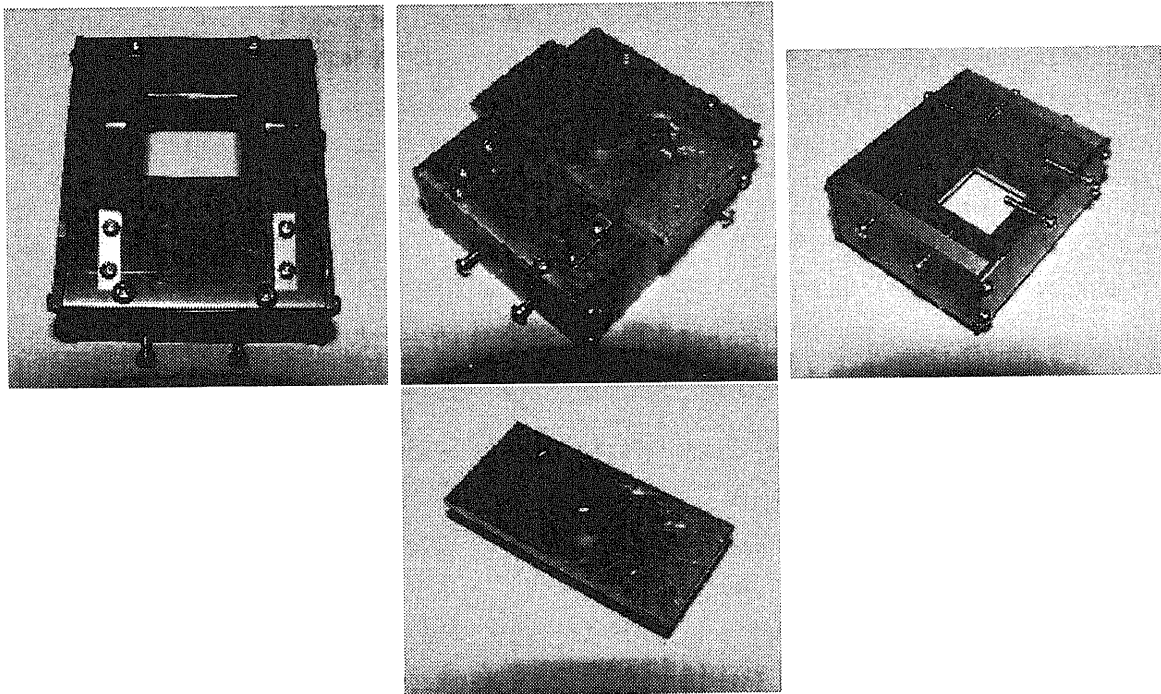


図 4.19: レンズソケットの現物

4.5 平滑化処理回路の評価実験

上記のように本センサは、平滑化処理回路により平滑化を行ない多重解像度出力を得ることができる。そこで、搭載した平滑化処理回路の評価実験結果を以下に示す。評価対象となる回路は図 4.20 に示すものである。この図は理解のために概略図であり、実際は図

4.11に相当する回路を3つ並列に接続した回路を用いて実験を行なっている。図の下に位置するシフトレジスタはブロックサイズ選択が可能な4段構成ものを使用している。従って不図示のスイッチにより出力に際しては(A)から(C)の出力線の切り替えがシフトレジスタ1~3によって行なわれており、順次それぞれの選択線が選択される。

実験では In_1, In_2, In_3 からそれぞれアナログ電圧を入力して平滑化処理を行なう。入力電圧を V_{r1} から V_{r3} のスイッチをONにすることで Cc_1 から Cc_3 へ充電する。その後アナログ入力を遮断して V_{c1} から V_{c3} をシフトレジスタの信号を利用して選択的にON/OFFすることで平滑化を行なっている。平滑化後は不図示のスイッチを用いて選択的に(A)から(C)のラインを選択しバッファを介して電流読出しを行なっている。

図4.21は、平滑化を行なわずに出力した場合の出力波形である。上段の信号は電流読出しのため信号 V_o である。 In_1, In_2, In_3 への入力はそれぞれ2V、2.5V、3Vである。これに対し出力は下段の波形であり左から2.08V、2.44V、2.76Vである。3出力が得られているがその後はスイッチングノイズが出ているだけである。

次に平滑化処理を行なった場合の結果について述べる。アナログ入力電圧値は上記と同様である。ここではブロックサイズを 3×3 として実験を行なった。得られた出力波形は図4.22の下段に示すものである。左から順に $(Cc_1 + Cc_2)/2$ 、 $(Cc_1 + Cc_2 + Cc_3)/3$ 、 $(Cc_2 + Cc_3)/2$ の出力値である。また、電圧値はそれぞれ左から2.20V、2.48V、2.60Vである。平滑化処理を行なわない場合の電圧がそれぞれ2.08V、2.44V、2.76Vであり、これを用いて計算すると2.26V、2.39V、2.60Vであり、実験値は計算値ほぼ近い値が得られており、平滑化処理回路の動作が有効であることが分る。

4.6 画素回路の評価実験

前述のように、図4.2に示す方式を実現するための画素回路構成は、図4.3に示すようになる。ここでは、1画素回路内に2段のバッファが配置されており、チップ外部への読出し直前にさらにPMOSバッファを介する事となるので、計3段のバッファが介入する。バッファの介入によってダイナミックレンジが減少するのでバッファ数はできる限り少ない方が好ましいのは前述の通りである。

しかし、設計の都合上どうしても3段のバッファを必要とし、これにより回路を実現した結果、撮像画像は感度は十分ではないもののダイナミックレンジについてはあまり影響を感じさせなかった。試作したプロトタイプには、画素回路の検証用のテグ回路を搭載したので、実際にどの程度のダイナミックレンジの減衰が起きているかを検証する。検証用に試作した回路を図4.23に示す。出力は、1段目のNMOSバッファの後ろと、2段目のNMOSバッファの後ろ及び、PMOSバッファの後ろであり、それぞれ out_1, out_2, out_3 である。出力結果は、図4.24に示すように、PTP値で、 out_1 から順に1.8V、1.4V、1.08Vであり、3段を介した後でもダイナミックレンジの減衰は半分以下に留まっている。

次に、画素回路内のキャパシタについての検証した結果を説明する。検証に用いた回

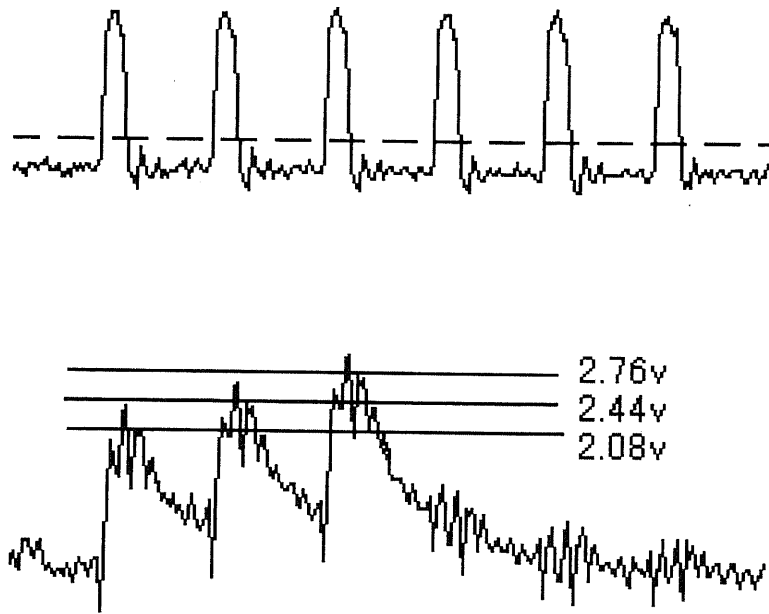


図 4.21: 平滑化処理を行わない場合の出力波形

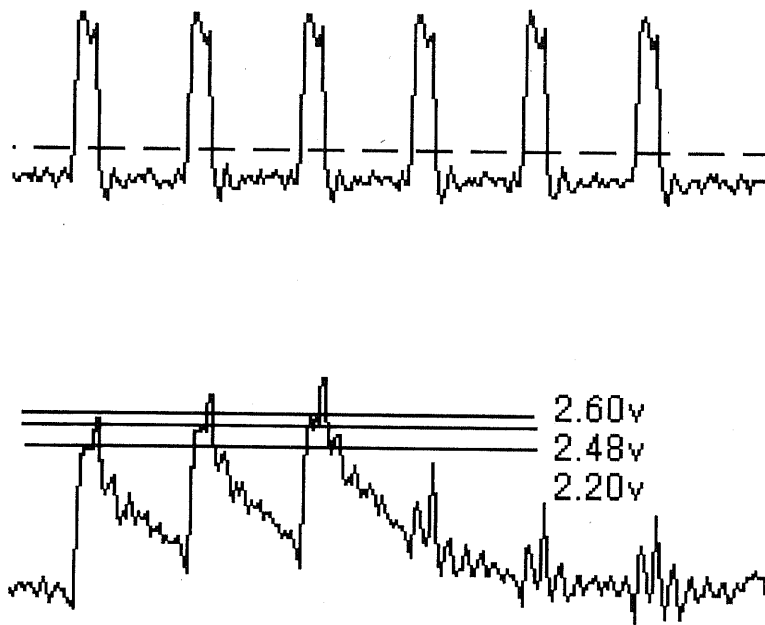


図 4.22: 平滑化処理を行なった場合の出力波形

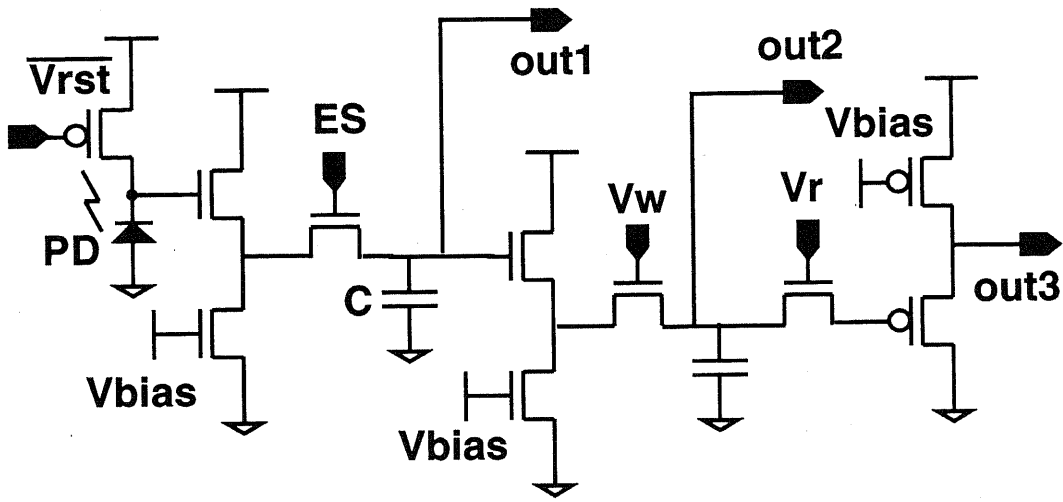


図 4.23: 検証用画素回路

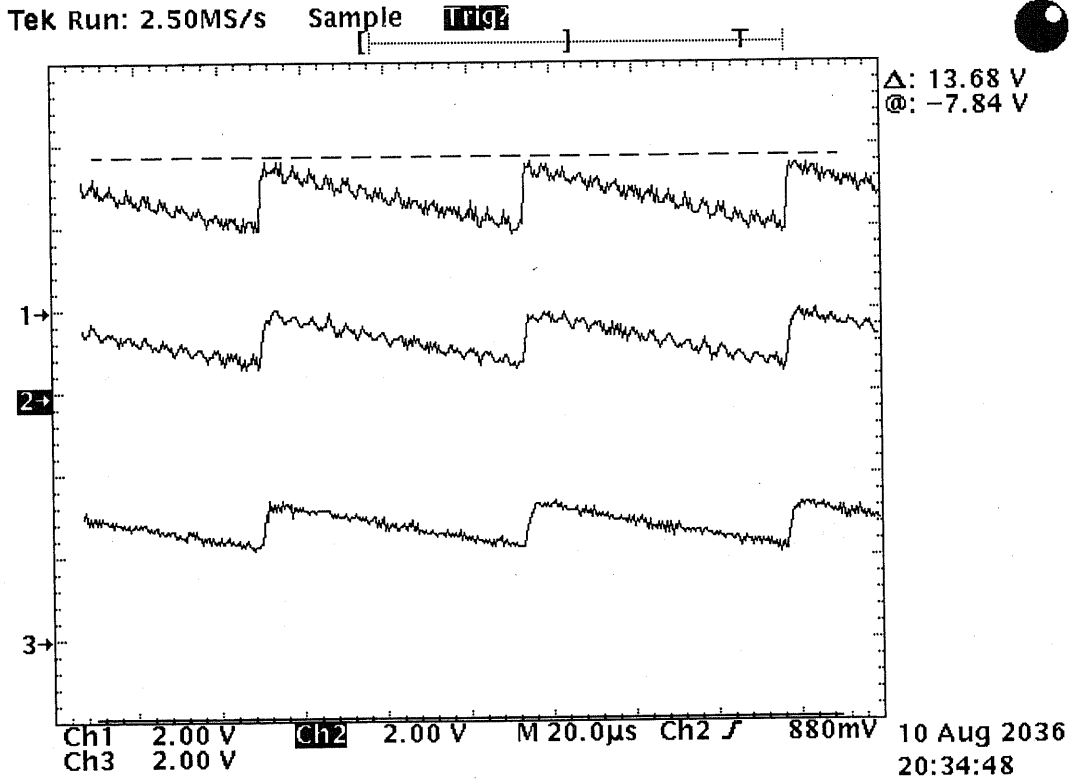


図 4.24: 画素回路からの出力

路は上記と同様に図 4.23に示す回路である。ここでは、1 フレーム保持のためのキャパシタ C について、電圧値のフレーム間保持の検証をした。キャパシタ C は、メタル 2 層によって遮光してあるので、外界からの入射光による影響は少ない。検証実験はキャパシタに一定電圧を充電した後、17 ミリ秒これを保持することで行った。図 4.25に結果を示す。同図の 3 つの波形の内、最上段の波形が、メモリの電圧値である。その下が、電子シャッター (ES) 信号であり、これによりメモリの電圧がセットされる。つまり、電子シャッターより左は、前のフレームにおける状態を示している。そこで、キャパシタの電圧値を見ると、電圧が ES の右と左で変化がないことから、キャパシタの電圧値は、1 フレーム間一定に保持されている事が分かる。最下段は、画素出力であり電圧レベルが上がっている部分が画素値として出力されている。この結果より 300fF あれば、画素値を 1 フレーム維持するのに十分である事が分かった。

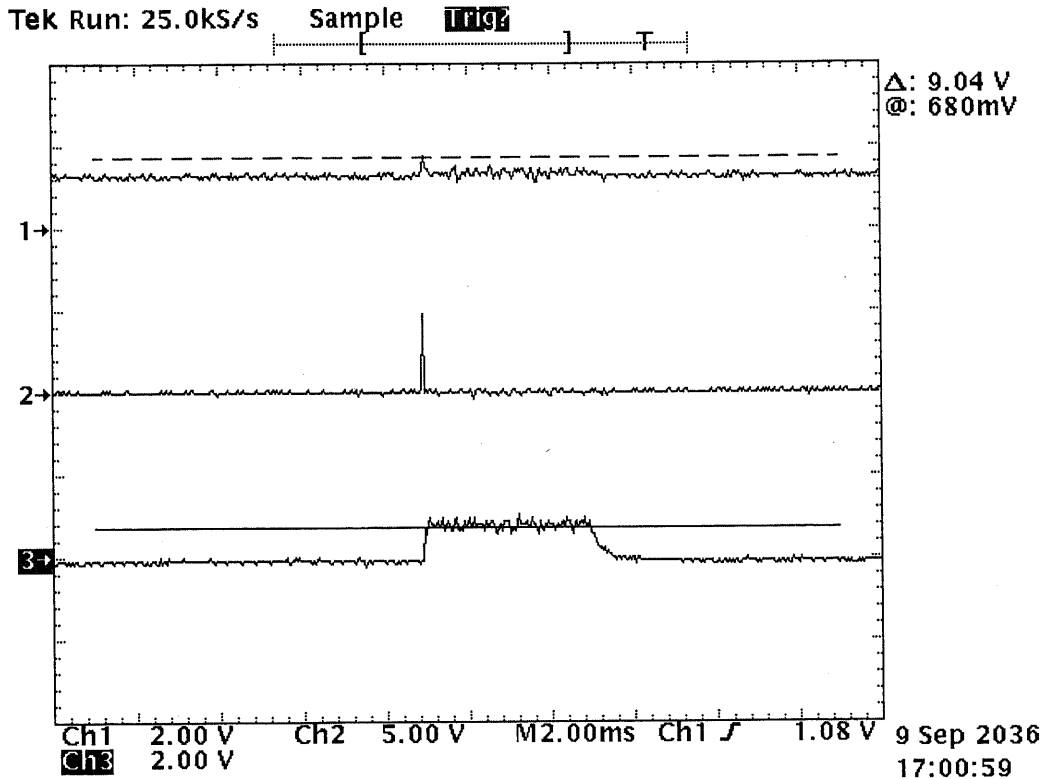


図 4.25: C1 における電圧保持

4.7 まとめ

本章では、多重解像度出力が可能な新しいイメージセンサの提案と実現について論じた。例えば、本センサにより多重解像度出力を得る場合、センサは画像情報の二次元性の恩恵を直接受けるので、平滑化の処理対象となる画素数の多少に拘らず、一つのブロックを同一時間で処理できる。特に、ブロックサイズが大きくなればなるほど、処理時間及び画素数のメリットは大きくなる。例えば、毎秒30フレームで動作する通常のセンサでは、1画素につき処理時間が約150ns(6.6MHz)である。本センサではブロックサイズを7x7画素として平滑化処理を実行するなら、フレームレートを49倍にしても、画素数を49倍にしてもこの処理時間を維持することができる。

もし、同様の処理をセンサの外部で実現するには、この時間内でセンサの出力をAD変換し、DSP等によって処理することが必要となる。例えば7x7のブロックサイズの場合、49回の積和演算を150ns以内に行う必要があり、512x512の画面全体に対しては約26万回となる。本センサではアナログ並列にこれに相当する処理をセンサ面上で行っている。

本論文では、CMOSプロセスにて、64x64画素のプロトタイプを設計、試作し、その基礎的な特性を調べた。試作したセンサは実用的な開口率の獲得および低消費電力化を実現している。なお、本章で試作したプロトタイプは全てのレイアウトを設計した後、ヨーロッパのマルチチップ製造サービスであるCMPに委託したものである。

プロトタイプの評価実験によりブロックサイズを選択して多重解像度出力画像を取得できることを確認した。また、ブロックサイズを1フレームないで局所的に変化させることで網膜型の出力画像の取得が可能であることを確認した。本センサは画像処理システムと統合し、広い視野の中で注視点に相当する高解像度部分と低解像度の周辺情報を同時に取得するような応用に適している。また、平滑化ブロックサイズは局所的に変更可能なので出力画像を動的に変えていくような応用との統合を検討している。

ただし、試作したプロトタイプは画素数が64x64であり、撮像素子の機能を検証するためには十分なものと考えるが、その応用システムまでを含む検証にはより多画素を集積したチップの試作が望まれる。その際、多画素化のためには1画素回路のサイズを縮小するとともに、読出線の配線容量に影響を受けない平滑化回路が必要である。また、試作したプロトタイプではランダムアクセス機能を付加していなかったため、これを付加することにより低解像度出力の有効性を向上させることができる。

多重解像度イメージセンサの課題を、以下に示す。

- センサは、多重解像度出力が可能であるが、画素の読み出しを制御するシフトレジスタは設計の都合上ノーマルタイプのみである。したがって、せっかく平滑化を行ってもブロック単位の読み飛ばしができないので、有効なレート制御ができない。これを改善するためには、シフトレジスタに読み飛ばし機能を追加する必要がある。

- センサにおける平滑化処理の実現には、まず、画素からの読みだしラインを利用して縦方向の画素の平均を読みだしている。この構成では読みだしラインの配線容量が画素回路内のキャパシタに影響するので、画素内キャパシタのサイズは、配線容量を考慮して設定しなければならない。これにより、第一次プロトタイプでは、画素内キャパシタが 300fF になってしまい、1 画素サイズを小さくすることができなかった。
- センサの実用面まで含めた評価をするためには、レイアウトの工夫により画素サイズを削減した上で、多画素化を図る必要がある。

第 5 章

多重解像度イメージセンサ 2

5.1 第一次プロトタイプの問題点

5.1.1 平滑処理への配線容量の影響

第一次プロトタイプでは、図 5.1 に示すように、 C_{p1} がスイッチ V_{po} を介して読み出しラインに直結される構成となっていた。従って、読み出しラインの配線容量が C_{p1} のサイズ決定に影響していた。このため、画素数を増加しようとした場合には、読み出しラインが長くなるため、配線容量が大きくなり、それに従って C_{p1} を大きくせざるを得なくなり、その結果として 1 画素回路のサイズが大きくなり、画素数を維持するのがせいぜいと言う状況となってしまう。

そこで、読み出しラインを利用せずに平滑化を行う構成とする必要がある。これが可能となれば、第一次プロトタイプでは、配線容量が 200fF 程度あったので、 C_{p1} の大きさを 300fF 程度確保しておく必要があったが、配線容量を考慮することがなくなれば、必要最低限のサイズを確保しておけば足りる。これにより、 C_{p1} のレイアウト面積が小さくなり、画素回路のレイアウトの縮小が可能となる。

5.1.2 ランダムアクセス機能

第一次プロトタイプでは、平滑化処理の動作を確認することを主たる目的として設計を行ったため、ランダムアクセス機能を追加していなかった。第一次プロトタイプの試作チップは前章で既に述べた通り所望の動作を確認し、平滑化処理の有効性が確認できた。その一方、折角ブロック単位の平滑化が可能であっても、ブロック単位で間引きつつ読み出すことができないので、センサの機能を十分に発揮させることができず、また、出力データのレート制御にも不向きである。

そこで、第二次プロトタイプではランダムアクセス機能を追加することにより、この問題を解消することとした。

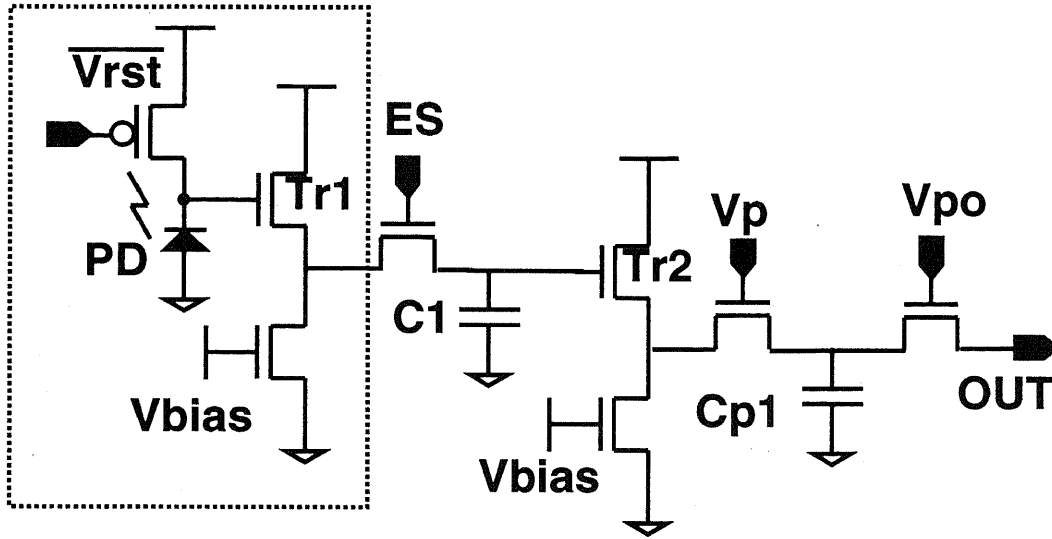


図 5.1: 第一次プロトタイプの画素回路構成

5.1.3 画素数の増加

第一次プロトタイプは、最初の試作のため、チップが動作することが最大の目標であり、そのために画素数をある程度絞って設計を行った。結果、動作は確認できたが、64画素角では解像度を変化させる意義が少ないので、画素数を増やしより広い視野の画像を撮像し、センサの有効性を確認することを目的として第二次プロトタイプでは、多画素化を目的とする。

5.2 多重解像度イメージセンサ第二次プロトタイプ

5.2.1 一画素回路

画素回路の構成を図 5.3 に示す。電子シャッター (ES) によりキャパシタ C に画素値を保持する。このキャパシタは、poly1-poly2 間容量を利用したもので、容量は約 280fF である。この容量は、第一次プロトタイプの 300fF よりも小さい値であるが、画素回路のレイアウトサイズを縮小することとの兼ね合いからシミュレーションにより画素値をほぼ一定に、1 フィールド維持するために最低必要なぎりぎりのサイズである。尚、C への入力は NMOS バッファからの出力であるため、C を各フレームごとにリセットする必要はない。

第一次プロトタイプでは、前述のように Cp がバッファを介さず直接スイッチ Vr に接続されていたため、スイッチが開放されると読出しラインと接続される構成となっていた。しかし、ここで説明する新たな回路では、バッファ Tr3 を画素内に設置し、さらに平滑化用のスイッチ Vpo を新たに設けた。このスイッチにより、平滑化ブロックの範囲でのみ

配線容量を考慮すればよくなり、平滑化処理に影響を与える配線容量は、実質的に無視することができる。平滑化した後の値は、ブロックの中心画素の行に存在する画素回路のスイッチ V_r のみを開放して読出す。

回路の動作を図 5.5 タイミングチャートを参照しながら、以下に簡単に説明する。まず、リセット信号 (V_{rst}) を入れ PD を 5v に充電した後、所定時間放電を行い、電子シャッター (ES) を ON にして C に画素値を蓄積する。図 5.5 では、 V_{rst} の平滑化処理以前に ES が ON になっているが、ここでの V_{rst} は次のフレームに対するリセット信号であり、ES は現フレームに対する信号である。つまり、電子シャッターが切られた後、すぐにリセット動作を行い、蓄積時間を確保している様子を示している。

C は 1 フレーム間その画素値を保持し、その値は Tr_2 のバッファを介してスイッチ V_p により C_p へ蓄積される。 C_p は平滑化用のキャパシタである。平滑化は上下に隣接する画素間でスイッチ V_{po} を使って行われる。処理後の値がスイッチ V_r によって電流読み出しされる。

この時、ES によりバッファと切り離された受光部では、平滑化処理の間にリセット-放電動作を行えるので、画素値の蓄積時間を犠牲にすることなく平滑化を行える。また、PD リセットは全画素同時に行い蓄積時間を均一にする。 C_p の容量は、80fF 程度とした。2 段目のバッファからの出力はキャパシタ C_{p1} に充電して平滑化に利用する。この時、 C_1 に保持された画素値を複数回読み出すことで画素値の再利用が可能となる。

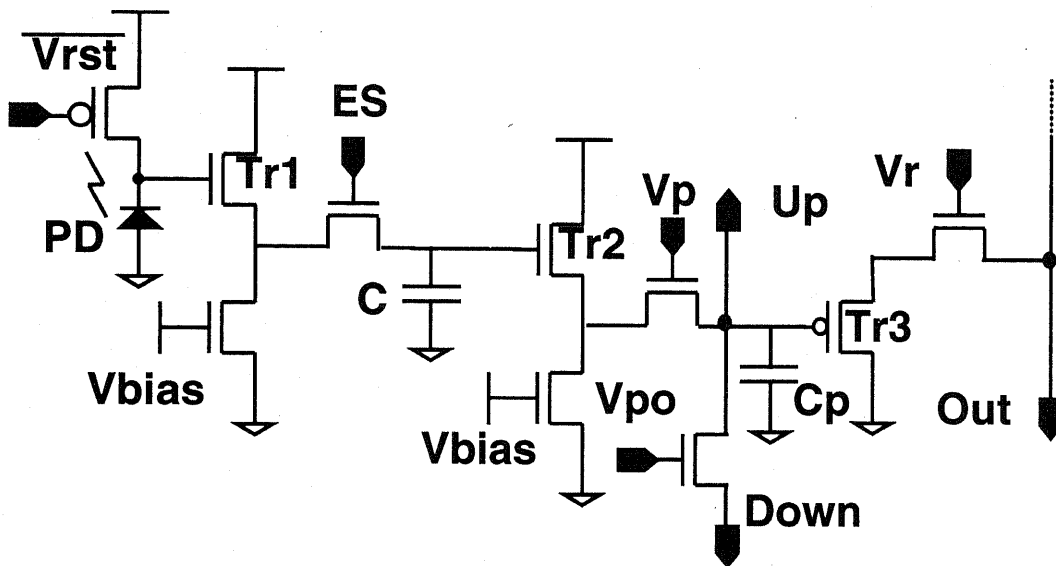


図 5.2: 第二次プロトタイプにおける画素回路構成

線で示され、その AND をとった結果も 2 入力と共に白い部分から得られている場合にのみ、実線で示されている。このように、垂直シフトレジスタは V_{po} スイッチの制御信号を生成するに際して、自己のしたに位置するエレメントがアクティブかどうかをチェックして、自己と合わせてお互いが共にアクティブだった場合にのみ、 V_{po} スイッチを ON にする。尚、図中 V_{po} スイッチを画素アレイの中央のみに記載しているが、これは図の簡単のためであり、同様に左右の画素にも制御信号が与えられている。

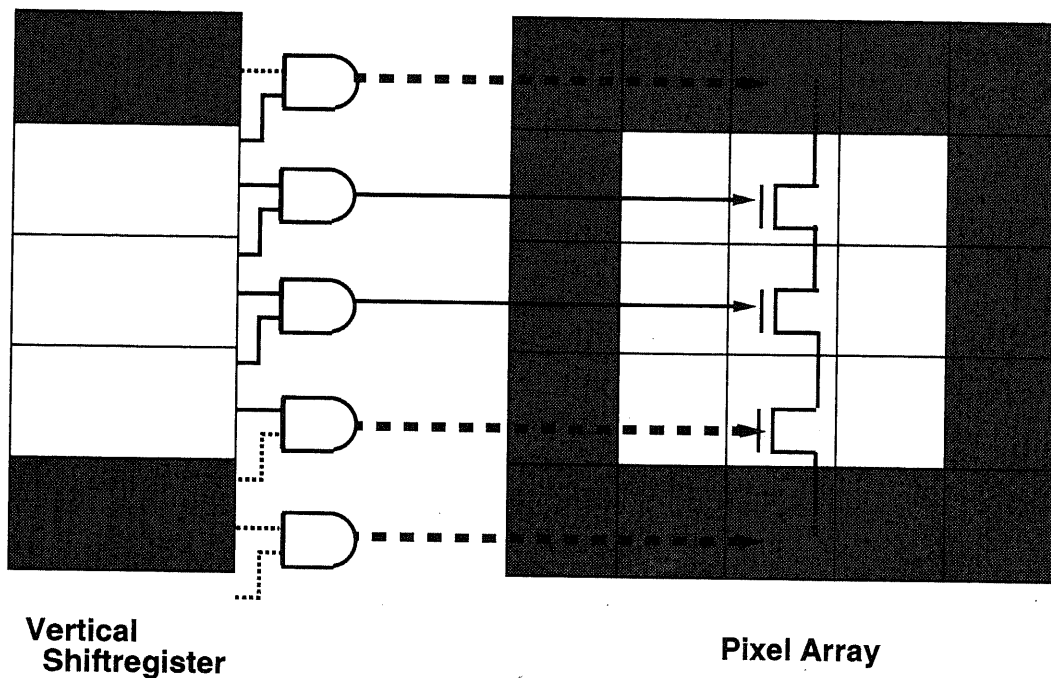


図 5.4: 列方向平滑化処理のための制御回路

5.3 ブロックサイズを選択

第二次プロトタイプでも、第一次プロトタイプと同様、平滑化ブロックサイズを可変にして行うことができる。ブロックのサイズは 1 画素のみ、3 画素、5 画素、7 画素角の 4 パターンである。その概念図をに示す。第一次プロトタイプでは、ブロックサイズを選択のために、センサアレイの周囲に 4 段分のシフトレジスタを用意していたが、今回は、1 段のシフトレジスタのみを使う方式とした。これにより外部から入力する信号を削減することができ、かつ、制御も容易となった。具体的には、以前は、4 段分のシフトレジスタを制御するための信号をタイミングを合わせて入力する必要があったが、今回は、ブロックの中心画素を選択するためのシフトレジスタのみを駆動する信号を入力すれば足りる。そして、後はブロックサイズを選択のための信号である sw_3 、 sw_5 、 sw_7 を ON/OFF するだけでブロックサイズを決定することができる。

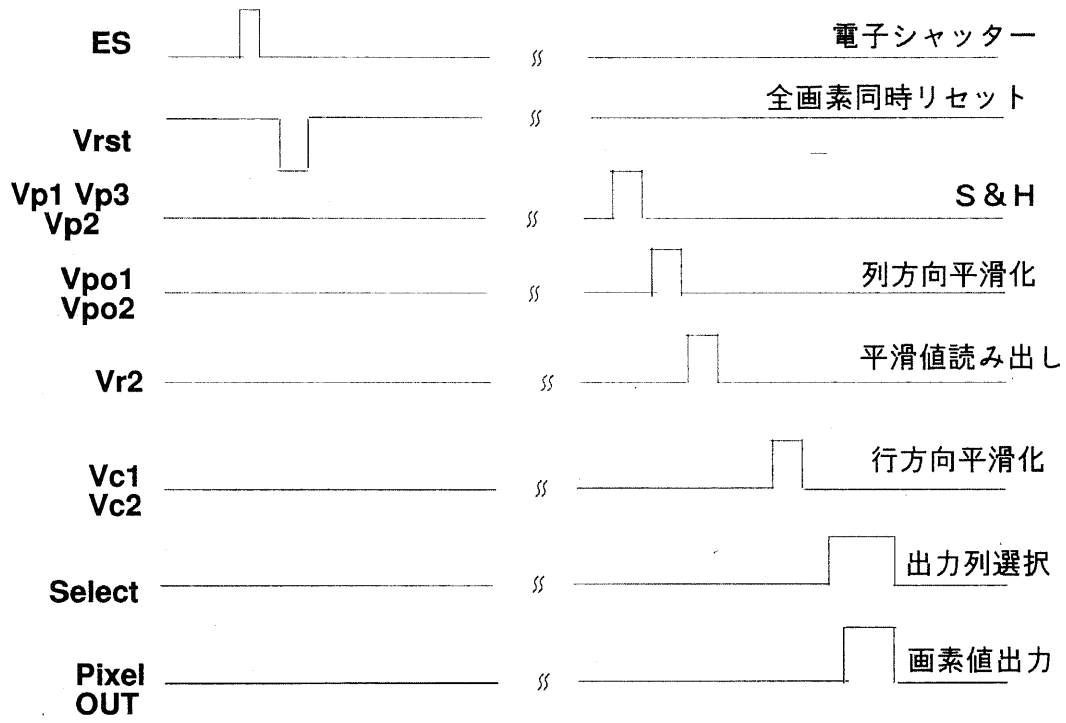


図 5.5: タイミングチャート

このブロックサイズ選択信号は、0 の時はオンの状態であり、対応するブロックサイズのが選択される。入力信号が 1 の時は、信号は出力されず、リセット手段によって出力ラインがリセットされる。尚、それぞれの数字は、ブロックサイズに対応して割り振ったものである。図 5.6 では、7x7 のブロックを選択する場合を示している。即ち、sw3、sw5、sw7 のすべてがオンになっている。

sw3 信号は、同じラインの SR3 に共通して入力されるが、in3 で入力された信号が存在する地点においてのみ出力信号を得ることができる。したがって、sw3 がオンになっていても、シフトされてきた信号が存在しない地点では SR3 からの出力は得られず、他の段のシフトレジスタの出力が優先される。同図の場合には SR1 の出力が優先されている。

また、間引き処理を行うために、スマートスキニング機能 [?] を水平、垂直の両シフトレジスタに追加してある。

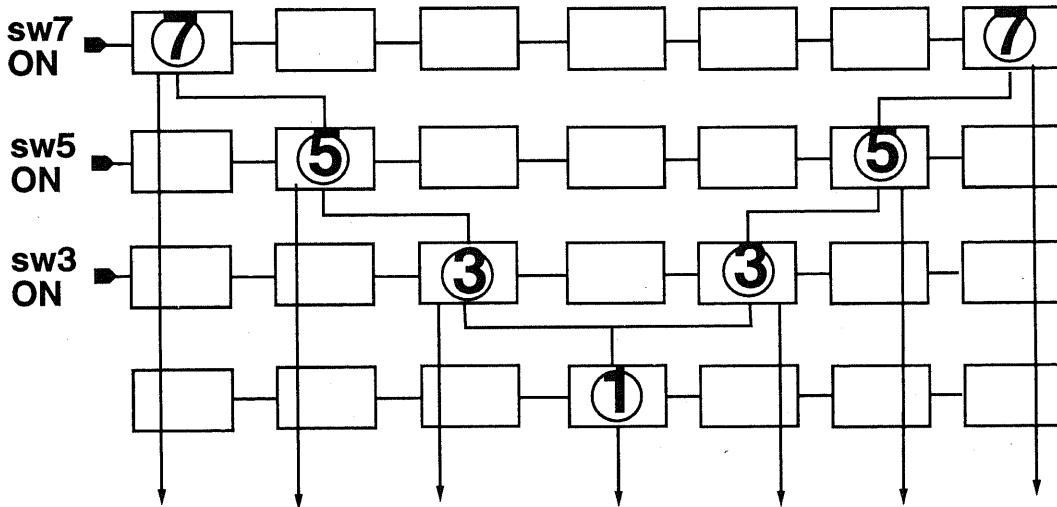


図 5.6: ブロックサイズ決定手段：3x3 の場合

5.3.1 ブロックサイズ選択用回路の制御

シフトレジスタの駆動信号を図 5.7 に示す。シフトレジスタの制御信号には、駆動用に V1、V2(垂直)、H1、H2(水平) の 4 本を使用し、スタートパルスとして Vin(垂直)、Hin(水平) を使用する。第一次プロトタイプでは、スタートパルスが垂直、水平 4 信号ずつ必要であったが、第二次プロトタイプでは、単一のシフトレジスタのみを駆動すれば良いのでその点で制御が簡単となっている。その一方で、スマートスキニング(読み飛ばし)動作に対応するために、シフトレジスタのアクティブエレメントを決定するためのメモリが配置されており、処理ラインよりも 1 ライン先のデータを該メモリに書き込む必要がある。これによって、確実なスマートスキニング動作が可能となる。

1 水平期間は V1 のインターバルによって決定されるので、この期間に処理に必要な制御信号を入力する (今回試作した第二次プロトタイプの場合は 128 画素分の制御信号を入力する)。信号の分布は垂直シフトレジスタと同様であるが、動作速度はおよそ 6.6MHz である。

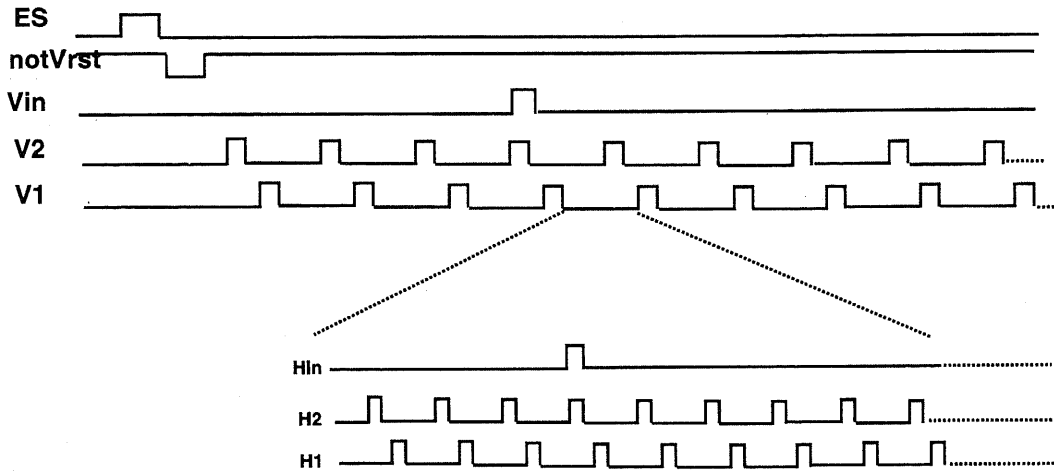


図 5.7: シフトレジスタの制御のためのタイミングチャート

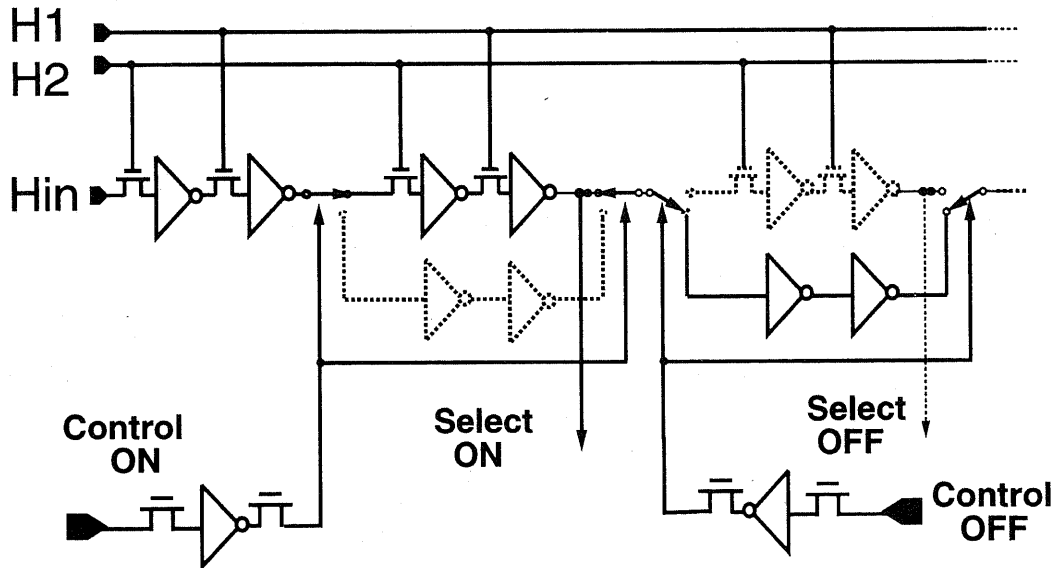


図 5.8: スマートスキャンシフトレジスタ

5.3.2 ブロックサイズ選択のための出力信号

図 5.6では、3x3 のブロックを選択する場合を示している。即ち、sw3 のみが ON になっており、sw5、sw7 が OFF になっている。sw3 信号は、同じラインの SR3 に共通して入力されるが、in3 で入力された信号が存在する地点においてのみ出力信号を得ることができる。したがって、sw3 が ON になっていても、シフトされてきた信号が存在しない地点では SR3 からの出力は得られず、他の段のシフトレジスタの出力が優先される。同図の場合には SR1 の出力が優先されている。

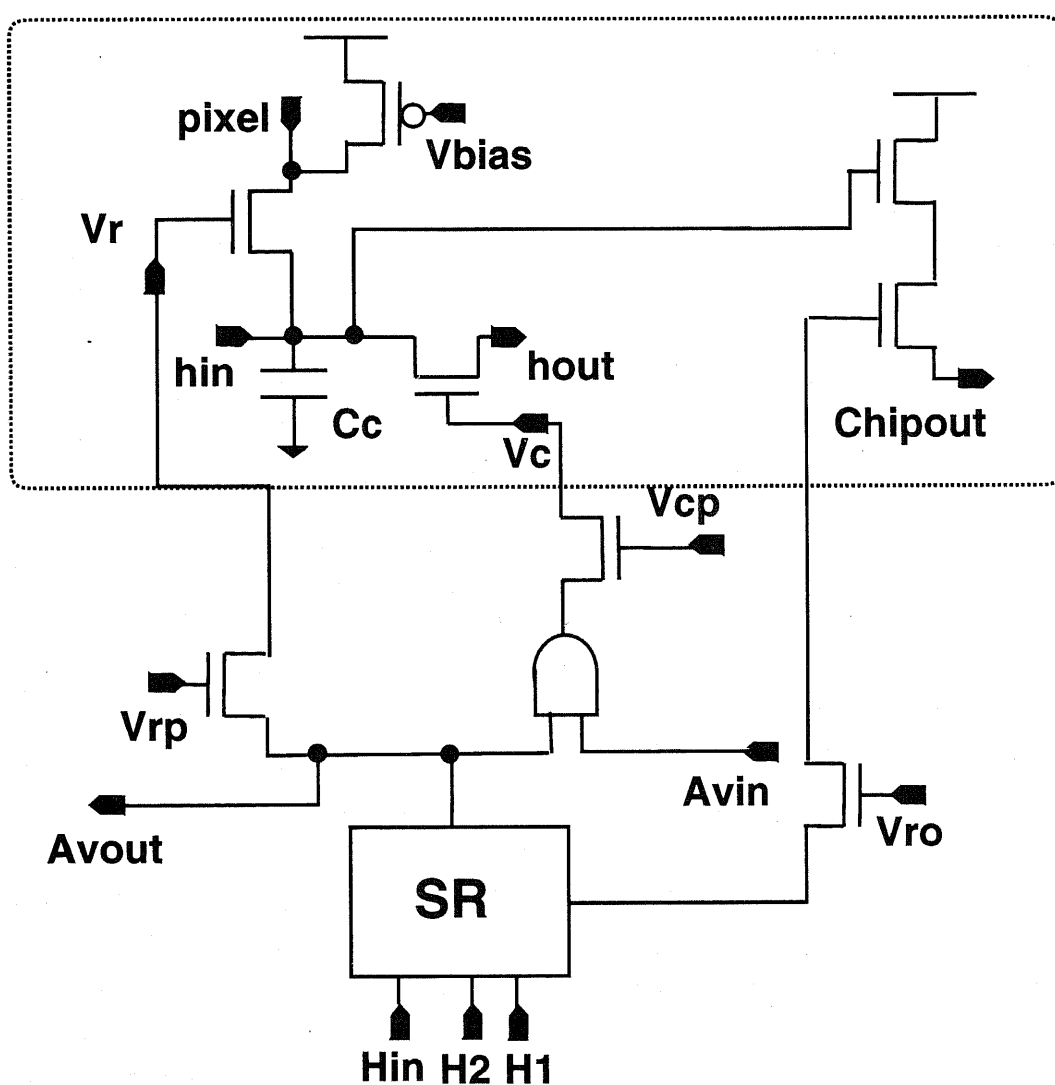


図 5.9: 水平シフトレジスタ回路

5.3.3 水平シフトレジスタの構成

次に、ブロックサイズを決定するためのシフトレジスタの具体的な回路構成について述べる。図 4.11 は、二段の水平シフトレジスタを示している。以降これを 1 セットとして考える。残りの二段は図中の SR3 と同じ構成になるため省略した。SR1 は、ブロックの中心となる画素を選択するためのシフトレジスタである。図 5.6 の SR1 と対応する。ここで、行方向平滑化を行うための信号 V_c は、隣接する水平シフトレジスタの出力がともに 1 (アクティブ) であった場合に ON となる。すなわち、まず、図中のシフトレジスタ SR1 と SR3 の OR を取り、その出力と本セットのとなり存在するシフトレジスタから A_{in} として入力される信号の AND をとってこれが 1 となる場合にのみ V_c が ON となり、行方向の平滑化が行われる。ここで平滑化を行うタイミングは、外部から入力される V_{cp} によって制御される。そのタイミングは、図 4.6 の V_{c1} と同様である。この V_{cp} が 1 の時は、 A_{in} と A_{out} の AND をとった値が V_c へ与えられるが、 V_{cp} が 0 の時は、リセットがかかり、 V_c の入力は 0 になるので行方向の平滑化は行われぬ。 A_{out} は、この時同時にシフトレジスタから出力される信号で、当該シフトレジスタがアクティブかどうかを示す役割を果たし、 A_{in} 入力を受けたシフトレジスタと逆の隣接シフトレジスタへの A_{in} 信号として出力される。そして、同様に当該隣接シフトレジスタ内で自己の出力との AND をとって、行方向平滑化を行うか否かが決定される。シフトレジスタがアクティブでない場合、すなわち SR1、SR3 が共にいずれの出力も 1 でない場合には、 A_{out} を 0 にするために、SR1、SR3 の出力の反転信号を不図示の NMOS のゲートに入力してリセットをかけている。

また、SR1 の出力は、平滑化された画素値の読出しを制御する信号としても利用される。ここでは、SR1 からの出力信号を外部から入力する V_{ro} によって制御し、平滑化処理が終了したタイミングで画素値の読み出しを行う。そのタイミングは、図 4.6 に示す通りである。尚、 V_{ro} 信号はブロックのサイズに関わらず常に一定の周期で入力すれば良い。

次にブロックサイズを決定する信号 $sw3$ について述べる。 $sw3$ が入力されるスイッチは PMOS スイッチであり、これにより、 $sw3$ が ON (0) の時は、SR3 からの出力が出力信号として利用され、OFF (1) の時は、SR3 の出力の状態に関わらず出力は 0 にリセットされる。 $sw3$ が ON の状態で、かつ SR3 がアクティブの場合には、行方向平滑化の信号 A_{out} が 1 になり、 A_{in} との AND をとることで行平滑化を行うことが可能となる。また、 A_{out} は V_r 信号としても利用され、列方向平滑化を行う。ここで、 V_r 信号は V_{rp} によってタイミング制御され、 V_{rp} が 1 の時は V_r が 1 となり、 V_{rp} が 0 の時は、リセットがかかるので V_r は 0 になる。 V_{rp} のタイミングは図 4.6 中の V_r と同様である。

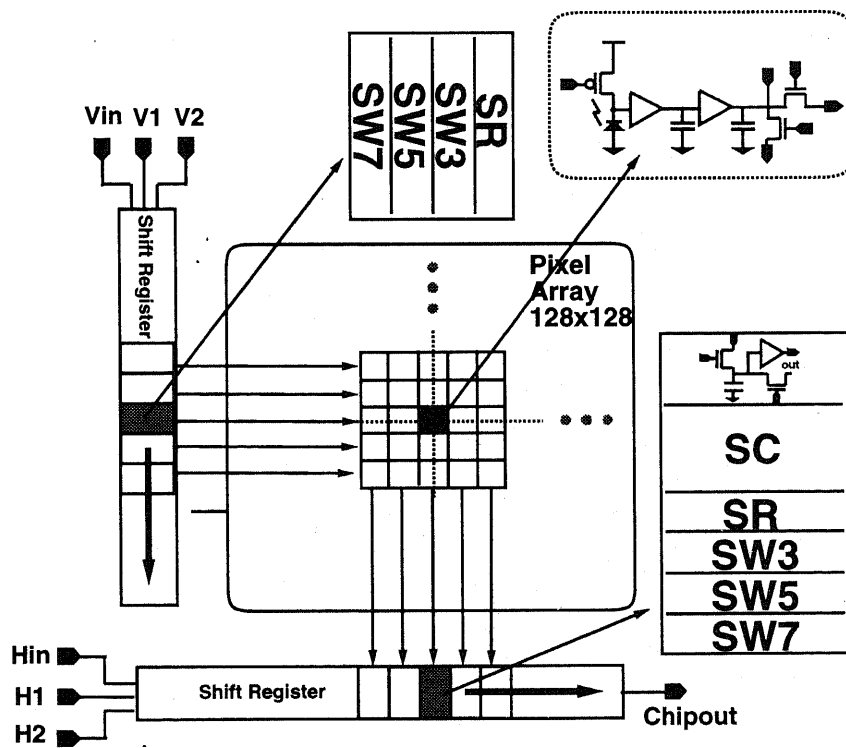


図 5.10: プロトタイプの全体構成

5.4 プロトタイプチップ

尚、垂直シフトレジスタもブロック選択に必須の構成要素となるが、基本的構成は、水平シフトレジスタと同様であるので、ここでは省略する。設計した回路に基づく全体構成は図 4.12 に示すようになる。ここでは、ブロックサイズを 5×5 とした場合を記載しており、ブロックは垂直、水平シフトレジスタからの出力により決定されている。ブロックの中心部分がブロック領域を決定する中心となり、この画素の値としてブロック内の画素値の平均が出力される。図 4.12 の構成に基づき作成したプロトタイプのレイアウトは図 5.11 に示すようになる。図 3.23 は、完成したプロトタイプチップの概観を示す。チップの概要は表 1 に示すようになる。

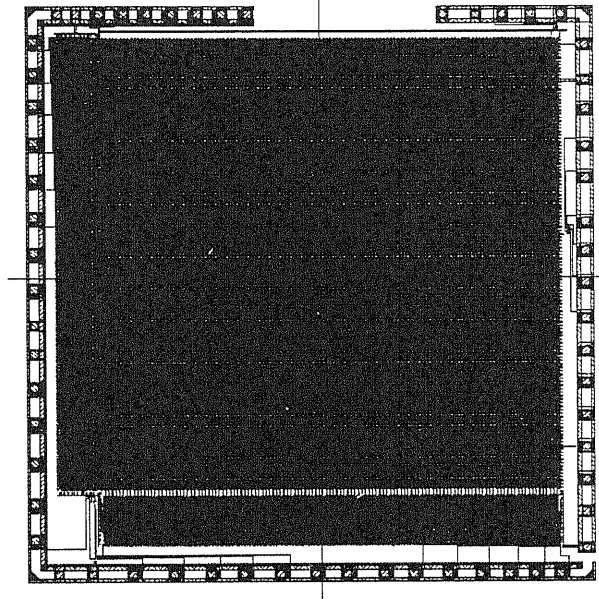


図 5.11: チップレイアウト

5.4.1 プロトタイプチップの動作検証

図 5.12 のチップを用いたプロトタイプの動作確認を行った。センサからの出力画像は画素値が反転しており、明るい光が入射するほど暗く、ネガとなっている。以下、実験結果として示す画像はネガ・ポジを逆転させている。図 5.13 にプロトタイプで撮像した出力画像の例を示す。撮像対象は千円札の夏目漱石の肖像画である。図 4.16(a) は平滑化を行わずに出力したプロタイプによる撮像画像 (画素数 128×128) である。同 (b)、(c) は、ランダムアクセス出力である。(b) は垂直シフトレジスタを使って 1 行毎に読み飛ばして出力したものであり (画素数 64×128)、(c) はそれをさらに水平シフトレジスタで 1 列毎読み飛ばして出力したもの (画素数 64×64) である。

表 5.1: プロトタイプ的设计仕様

画素数 [pixels]	128 × 128
チップサイズ [mm^2]	8.2 × 8.0
画素サイズ [μm^2]	センサ部 : 50 × 50
Tr. 数	センサ部 : 11 trs. / pixel
開口率 [%]	13.5 %
消費電力 [W]	0.5
電源電圧 [V]	5

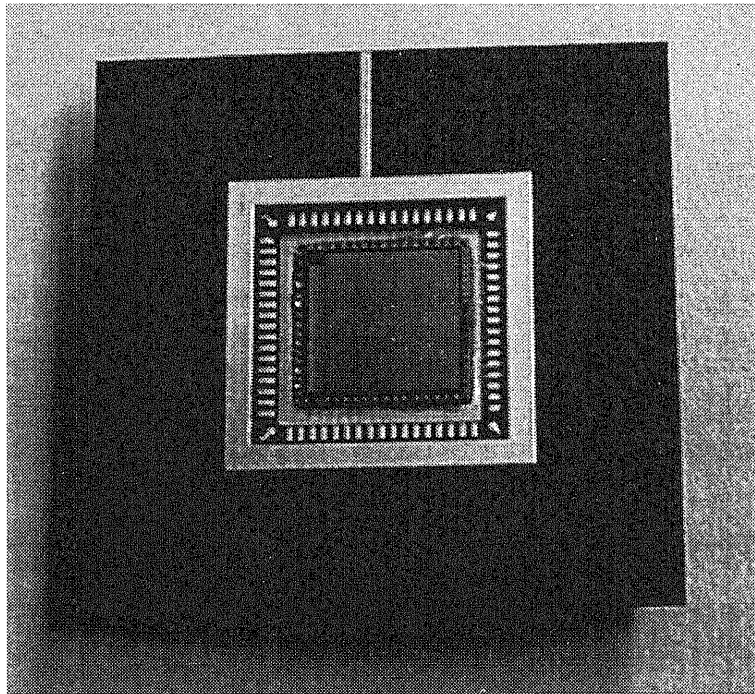


図 5.12: プロトタイプチップ

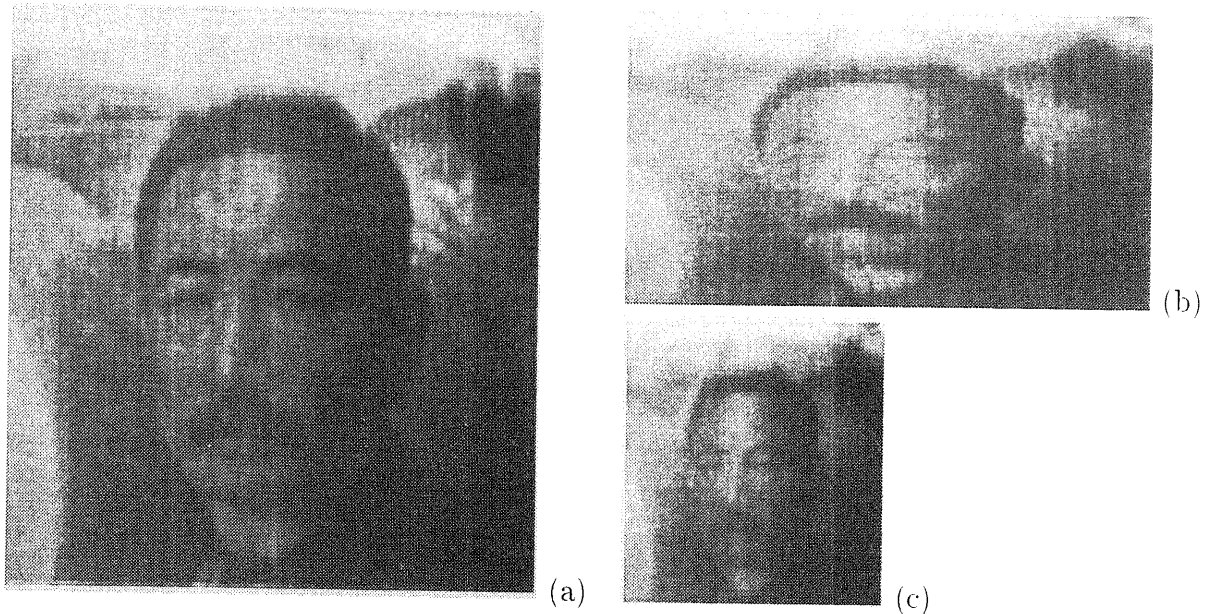


図 5.13: プロトタイプによる撮像例

また、広角レンズを使って撮像を試みたのでそれについて報告する。図 5.14 は、広角レンズの写真である。本来はこれを CCD カメラにマウントして撮像する。鉛直方向の視野範囲は、焦点面上仰角、焦点面上俯角が共に 51 度である。鏡面から伸びているセンターニードルは、反射光による干渉を防ぐためのものである。CCD で撮像した場合の取得画像を図 5.15 に示す。これは、研究室の風景を撮ったものである。図 5.16 は、プロトタイプチップを用いて撮像した例である。プロトタイプは 128 画素角であり、広い視野をそのまま撮像した場合には、画素数が不足して対象物が特定できないので、広角レンズの鏡面に文字を印刷した紙の円筒をかぶせるようにして撮像した。紙には「windows platex2e」と書かれている。文字が中心から周辺にかけて螺旋状に大きくなって行くのが分かる。

5.4.2 レイアウトミス及びチップの不具合

センサの出力は前述のように得られたが、これを得るために VDEC において FIB (Focused Ion Beam) 装置を使ってチップを修正することが必要となった。実験当初はパルスジェネレータから制御信号を入力しても出力がうまく得られなかった。この時、センサに光を当てずに実験を行った場合には、うっすらと出力画面が白くなっていたが、光を当てるとそれが消えてしまって全く画像が得られなくなる状態だった。テグ回路で実験をしたところ、一画素回路が期待通りに動作していたので、出力部になんらかの不具合があると予想されたが、ボードの配線や信号の入力ミスは見つからなかった。さらにレイアウトを入念にチェックして見たところ、図 5.17 に示すように、METAL1 と METAL2 の連結部に VIA が付いていないことが判明した。この配線は、図 5.9 における V_r に相当するものであり、これが動作しないために画素回路から画素値をキャパシタ C_c へ読み込めず、出力が得

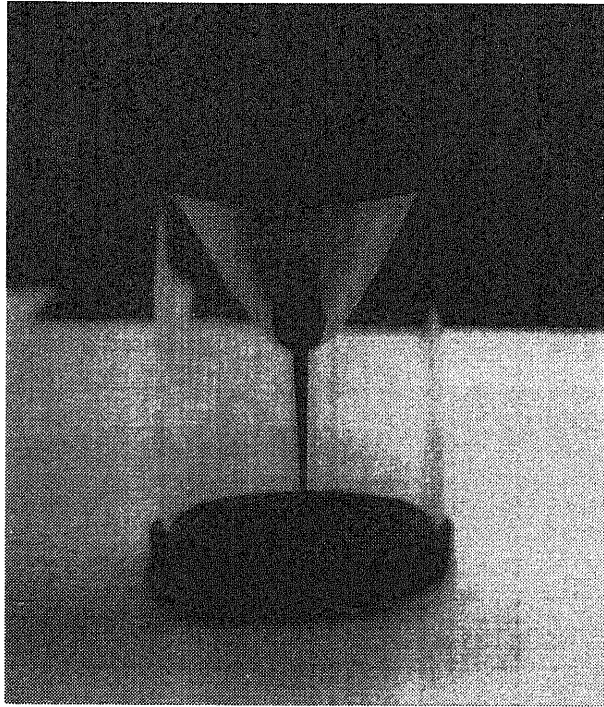


図 5.14: 広角レンズ

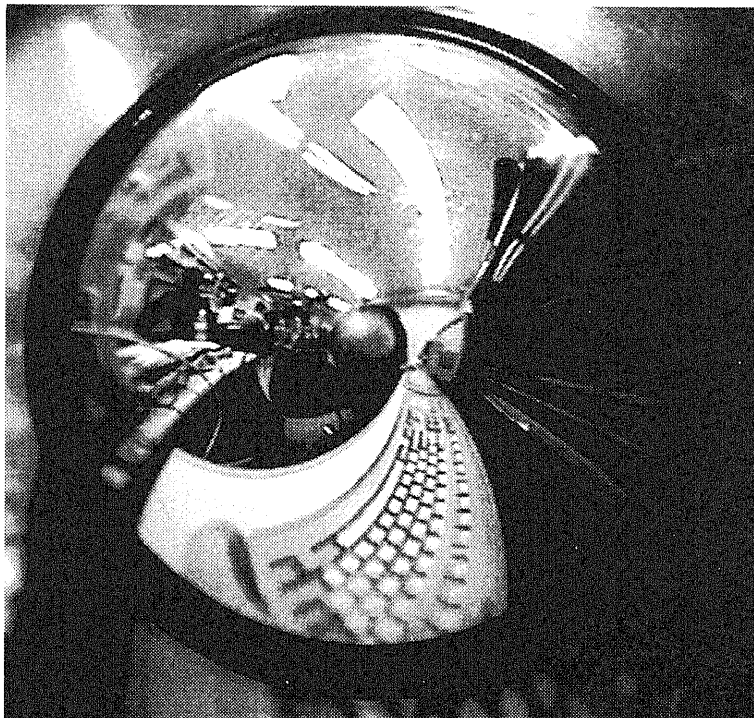


図 5.15: 広角レンズを使った CCD カメラ画像

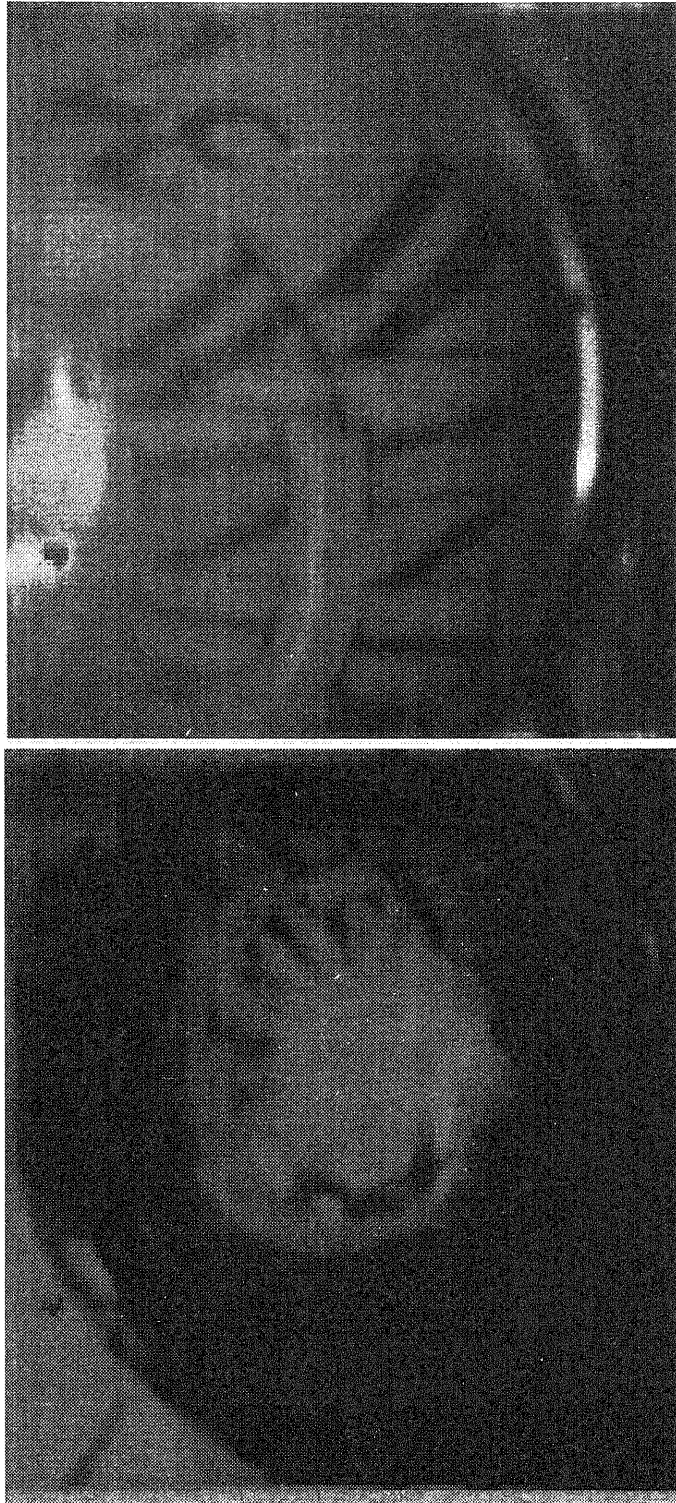


図 5.16: プロトタイプによる撮像画像

られなかったと考える。光を当てない場合にうっすらと出力が得られたのは、メタル配線層の配線容量のせいで若干の電圧がスイッチにかかっていたためと思われる。そして、光を当てると、配線上のわずかな残留電位が消失してしまうために、出力が得られなかったのだと考えられる。今回は VDEC に依頼して、FIB 装置を使って METAL1 と METAL2 を接合することとした。図 5.18 及び図 5.20 は、修正前のチップ表面の電子顕微鏡写真である。

FIB により修正した後は、前記のような出力画像が得られたが、得られた画像はランダムアクセス画像のみであり、多重解像度出力画像は得られなかった。ブロックサイズを 3×3 、 5×5 、 7×7 で指定しても、出力は平滑化を行わないで得られた画像と同じだった。これは水平、垂直の両方向で平滑化が行えていないことを意味する。原因は、おそらく水平、垂直シフトレジスタのブロックサイズ選択の信号が HIGH になっていないためであると予測している。選択信号が HIGH にならないために、平滑化のためのスイッチを ON することができず、1 画素単位で出力する結果となったものである。

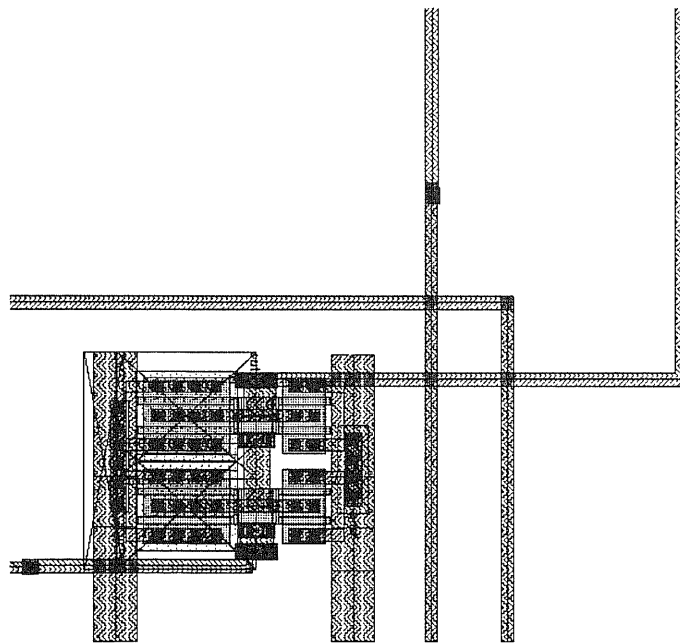


図 5.17: レイアウトミス

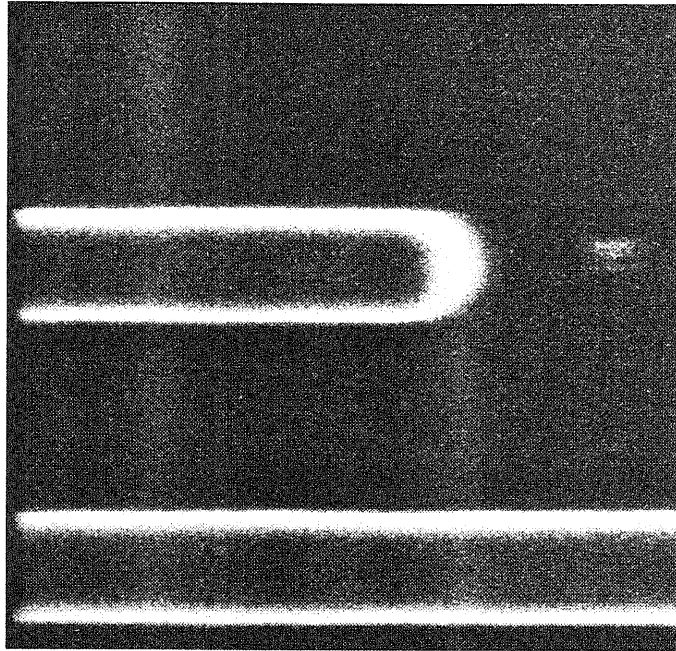


図 5.18: 修正前のチップ表面の電子顕微鏡写真 1

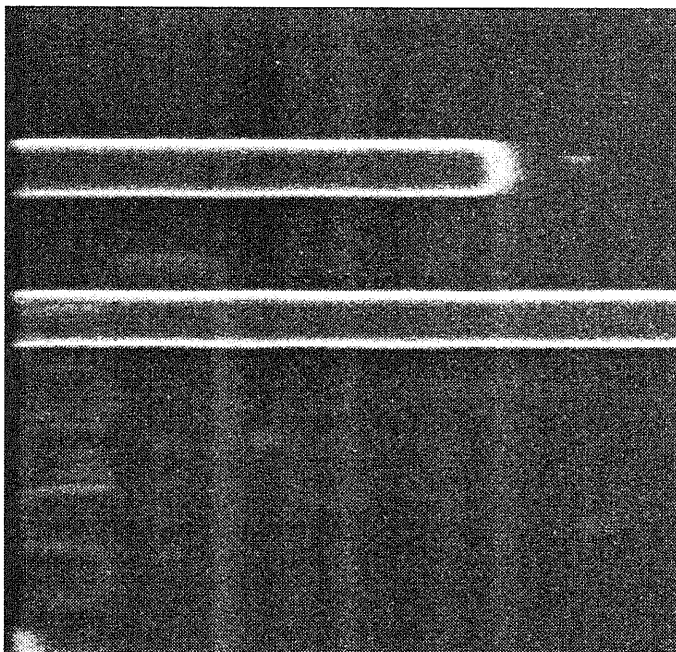


図 5.19: 修正前のチップ表面の電子顕微鏡写真 2

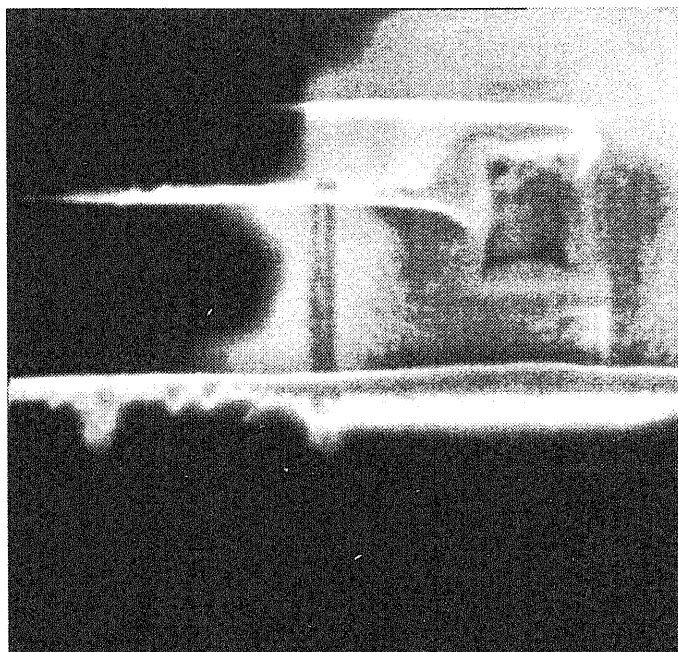


図 5.20: 修正後のチップ表面の電子顕微鏡写真

5.5 平滑化処理回路の評価実験

テグ回路の検証実験を行った。その評価実験結果を以下に示す。評価対象となる回路は図??に示すものである。Vpo1 及び Vpo2 は外部から入力して回路を制御する。図では、キャパシタ C_p 以前の回路が一つしかないが、これは簡単のために省略したものであり、実際は、C_{p1} 及び C_{p3} に対応する回路が配置されている。

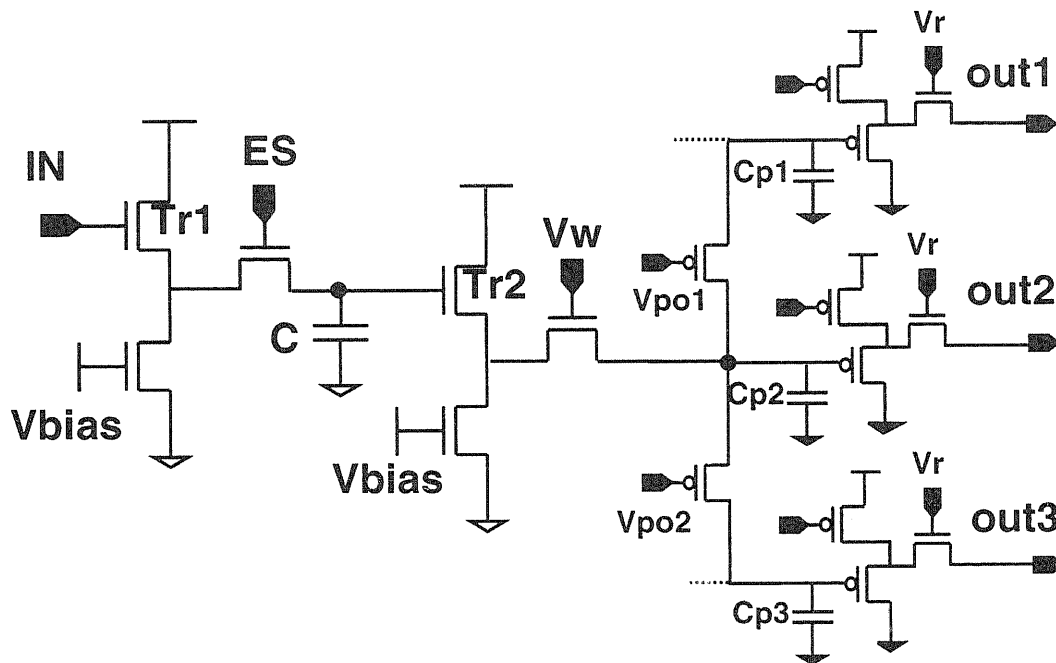


図 5.21: 評価用平滑化処理回路

実験では、IN からそれぞれアナログ電圧を入力し、ES により C に一旦電圧値を蓄積する。その後 Vw により Cp1 から Cp3 までに電圧値をコピーし、Vpo1 と Vpo2 を ON にして平滑化を行う。その後 Vr を ON して out2 から出力を得る。

図 5.22 は、平滑化処理行った場合と行わない場合を切り替えたときの出力波形を示す。上から out1、out2、out3 に対応する出力であり、平滑化を行わない場合の出力電圧はそれぞれ、3.6V、2.52V、1.4V である。平滑化した場合の電圧値は、2.60V、2.52V、2.48V である。このように、ほぼ平均値が取れており、平滑化処理回路が正常に動作していることが分かる。

また、1画素回路の検証を行った。検証用の回路は図 5.23 に示すもので、出力波形を 5.24 に示す。上から out1、out2、out3 にそれぞれ対応し、PTP 値は 2.56V、2.04V、1.72V である。ダイナミックレンジはバッファを一つ介す毎に 2 割減少していることになる。

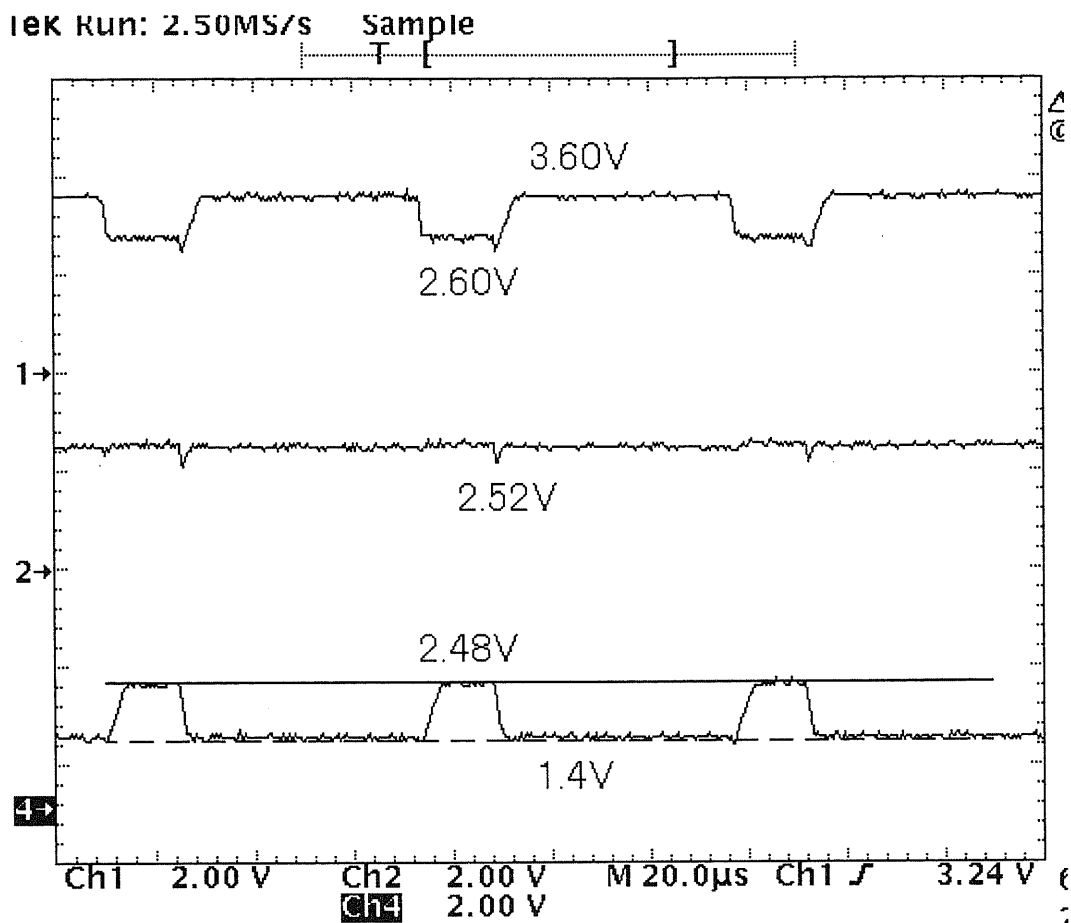


図 5.22: 平滑化動作時における出力波形

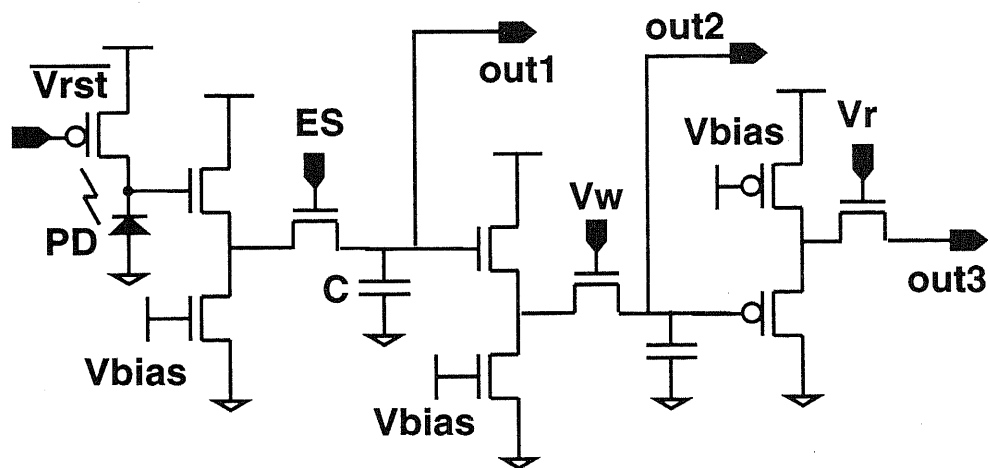


図 5.23: 1 画素回路

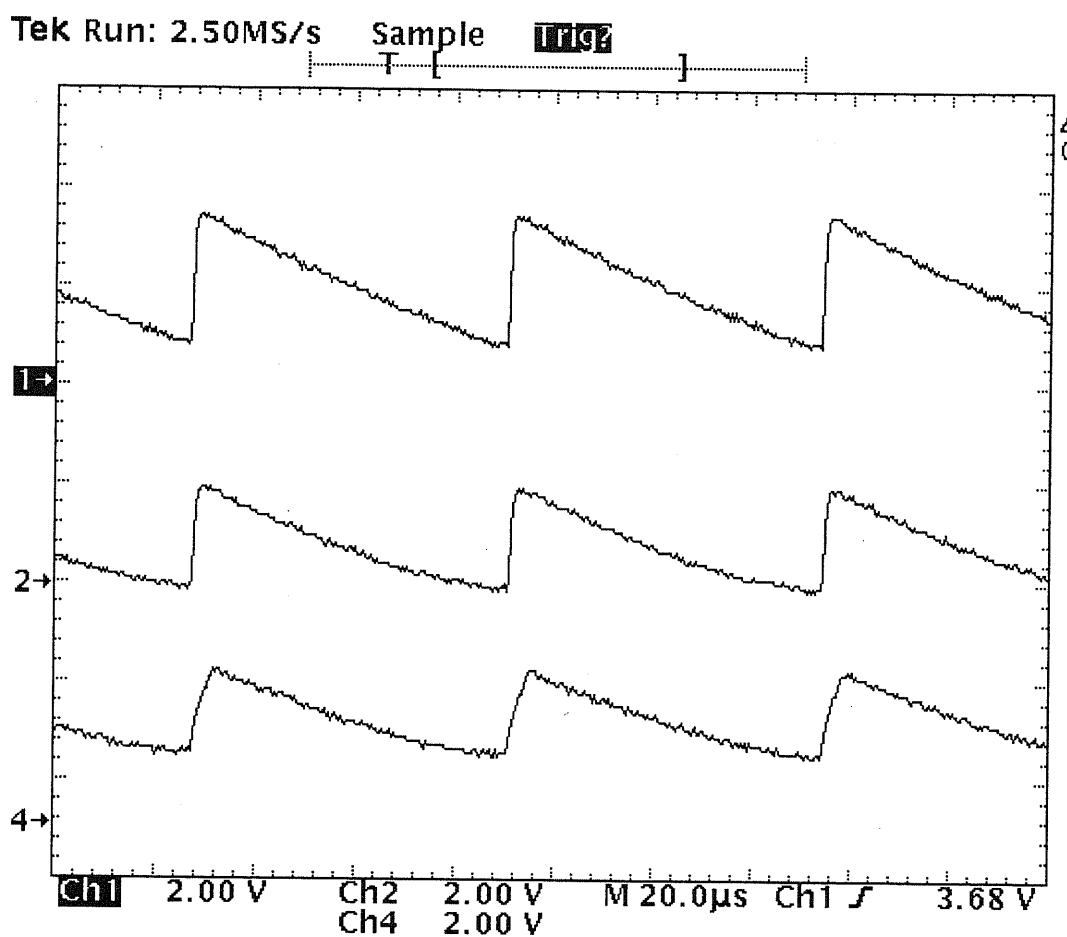


図 5.24: 出力波形

5.6 まとめ

本章では、多重解像度出力が可能なイメージセンサの第 2 次プロトタイプ提案と実現について論じた。また、CMOS プロセスにて、 128×128 画素のプロトタイプを設計、試作し、その基礎的な特性を調べた。試作したセンサは実用的な開口率の獲得および低消費電力化を実現している。第 2 次プロトタイプは第 1 次プロトタイプと比較して以下の点が改良された。

- 画素数が 64×64 から 128×128 画素へ 4 倍に増加した。
- ランダムアクセス機能を追加することにより、ブロック単位での読み飛ばし動作が可能となり、多重解像度出力を利用した有効なレート制御ができる。
- ブロック選択のための制御信号が単一化され、制御がより簡潔となった。
- 平滑化処理において配線容量の影響を受けない画素回路構成となったので、画素回路の規模縮小の可能性が見えた。具体的には、プロセスが $0.8\mu\text{m}$ からさらに微細化した場合、同一のレイアウト面積において、 $0.35\mu\text{m}$ プロセスでは画素ピッチが $22.5\mu\text{m}$ で 300 画素、 $0.2\mu\text{m}$ プロセスでは、画素ピッチが $12.5\mu\text{m}$ で、520 画素となる。

但し、前述のようなレイアウトのミスや不具合のために、多重解像度出力が得られない結果となった。新たな試作においては、水平、垂直シフトレジスタの構成を再検討することが必要である。

また、試作したプロトタイプは、トランジスタの閾値のバラツキを補償するための回路を有しない。従って、今後更に画素数を増やす方向で検討を重ねる場合には、相関二重サンプリング回路を追加するなどの固定パターンノイズ対策が必要となると考える。

第 6 章

今後の展開

6.1 プロトタイプチップを用いたセンサネットワーク

これまで、空間サンプリングイメージセンサ及び多重解像度イメージセンサを試作してきたが、試作したプロトタイプを用いた応用について述べる。

図 6.1 は、センサネットワークシステムのブロック図を示すものである。センサと ADC や FPGA など を 1 ボード に搭載したセンシングユニットを複数用意し、これをネットワーク上に配置する。ネットワーク上のセンシングユニットは、ホスト上の WS もしくは PC で管理され、センサが取得した画像は、ホストマシンに送られる。これにより、複数のセンサを用いた監視システムを構築することが可能となる。試作したプロトタイプは、サンプリングレートや解像度を変化させて出力することができるので、システムではこの出力形態を利用してネットワーク上の転送レートに合わせたセンサの出力レート制御が可能となる。

図 6.2 には、25 個のセンサがネットワーク上に設置されている場合のレート制御の例を示す。ここで、検討しているセンサから出力モードは、128 画素 × 128 画素のノーマルモードと、64 画素 × 64 画素及び 32 画素 × 32 画素のサブサンプルモードである。センサからの出力フレームレートは 5 フレーム毎秒で、出力信号は 8 ビット量子化される。ネットワークの転送速度は 2Mbps を想定している。また、ここでは 25 個のセンサユニットの内の一つをマスターとして、各ユニットから撮像情報を取得する。各ユニットはフレーム間差分を計算し、そのデータをマスターに転送する。この差分データはマスターで閾値と比較され、閾値を超える値を転送したユニットに積極的にレートを割り当てる。

例えば、図 6.2 では、閾値を超えたユニットが 1 つであれば、ノーマルモードで転送しても転送速度を超えることはない。しかし、25 個中の大半が閾値を超えたと判断された場合には、全てのユニットからノーマルモードで出力させることは困難であるから、閾値との差が大きいユニットから優先的に、割り当てる。これにより 25 個すべてが閾値を超えたと判定されても、全体として 2Mbit を下回るデータ量で済ませることが可能となる。

図 6.3は、センサネットワークシステムにおける、センシングユニットの試作ボードである。現在、ボードは調整中であり、このボードを使ったシステムに関する研究は相澤研究室の呉が今後行っていく予定である。

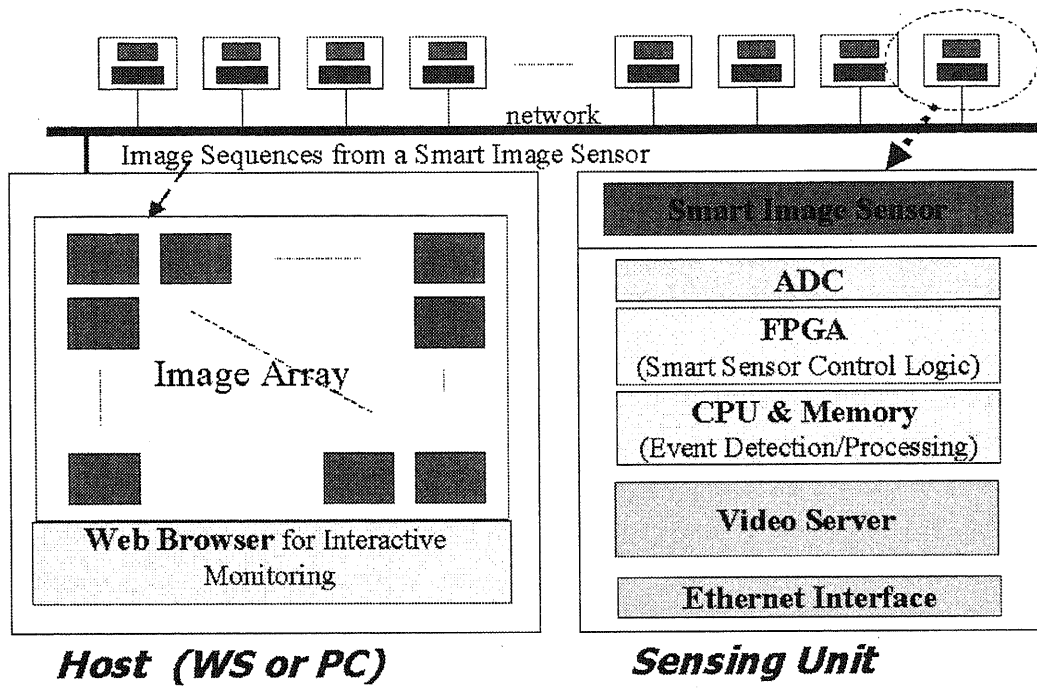


図 6.1: センサーネットワークシステムのブロック図

フレーム間差分>閾値のセンサの数	128x128モードの数	64x64モードの数	32x32モードの数	Total Bit Rate (bit/sec)
1	1	0	0	655,360
2	2	0	0	1,310,720
3	3	0	0	1,966,080
4	2	2	0	1,638,400
5	2	3	0	1,802,240
6	2	4	0	1,966,080
7	1	6	0	1,638,400
8	1	7	0	1,802,240
9	1	8	0	1,966,080
10	1	7	2	1,884,160
11	1	7	3	1,925,120
12	1	7	4	1,966,080
13	1	6	6	1,884,160
14	1	6	7	1,925,120
15	1	6	8	1,966,080
16	1	5	10	1,884,160
17	1	5	11	1,925,120
18	1	5	12	1,966,080
19	1	4	14	1,884,160
20	1	4	15	1,925,120
21	1	4	16	1,966,080
22	1	3	18	1,884,160
23	1	3	19	1,925,120
24	1	3	20	1,966,080
25	1	2	22	1,884,160

図 6.2: センサユニットの出力制御

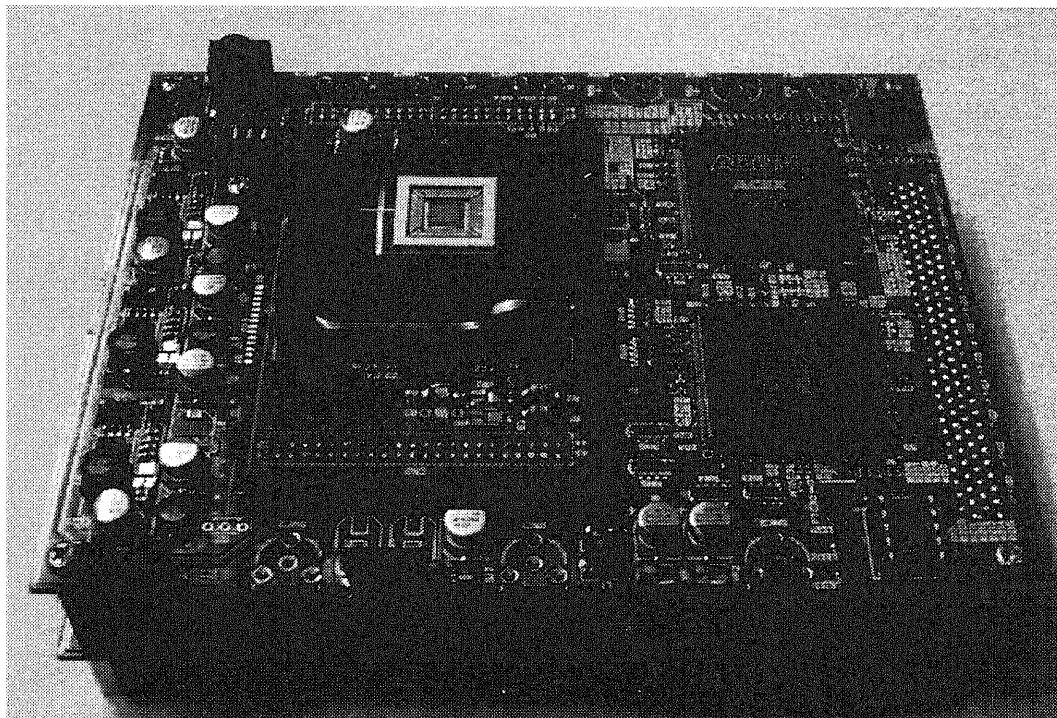


図 6.3: センサネットワークシステムのための試作ボード

第 7 章

結論

7.1 本論文の成果

本論文では、撮像面上にサンプリング制御機構を搭載することで、イメージセンサの撮像性能を拡張する高機能イメージセンサの研究成果をまとめた。

試作したセンサのプロトタイプの試作・評価を通じ、センサ上にサンプリング制御機構を統合することでセンサからの自由な読み出し形態が可能となった。その具体例としてブロックアクセス、スキップアクセス、任意の粗密制御、更には空間的圧縮が可能であることを確認した。

これにより、ランダムアクセスやスキップ / ブロックアクセスに代表される読み出しパターンが単一化していた従来のイメージセンサに対し、撮像面上にサンプリング制御機構を統合する新たなアプローチにより、単一機能にとどまらない柔軟な読み出し、さらには高速度撮像が実現できることを確認した。

本論文の成果はこの点にある。以下、本論文の内容をまとめる。

◇ サンプリング制御センサ

- 第 3 章では、柔軟なサンプリング制御を行うイメージセンサについて述べた。イメージセンサ上に統合するアルゴリズムとして採用したサンプリング制御方式について説明した。当該方式は画素回路に対応するサンプリングポジションメモリをアレイ状に配することで実現できる。これにより、自由な読み出し形態が可能となり、またメモリ値を利用することで画素値の高速に読み出せることとなる。更に、読み飛ばしシフトレジスタを設置することで、効果的に選択画素のみを出力して、高速撮像に対応できることを明らかにした。また、本方式によれば人間の中心窩に対応した出力も可能であり、センサによる出力画像のサンプルイメージをシミュレーションしその結果を示した。まずコンピュータシミュレーションの構成法として、画素並列処理構成と列並列処理構成の 2 種類について比較検討を行った。センサ部、処理部、メモリ部を分割した配置

が可能、処理部を列で共通に利用することで、センサ回路への圧迫を軽減し高い開口率と低消費電力を実現可能、等の理由により今回は列並列構成を採用した旨を明らかにした。

次に、プロトタイプの回路設計について述べた。回路設計では、1画素、メモリ、シフトレジスタ、及び全体についてその回路構成を明らかにし、動作を具体的に説明した。さらに、設計回路を基にした CMOS $0.7\mu\text{m}$ ルールでのレイアウト設計について述べ、 64×64 画素からなるプロトタイプの試作について説明した。開口率は約 25% となり、CMOS イメージセンサとして十分な性能を確保でき、イメージセンサへのメモリ回路、処理回路の統合による撮像性能の劣化を改善できることを確認した。試作したプロトタイプの評価を行なった。サンプル選択信号を任意に作成し、これによりブロック / スキップアクセス、人間の中心窩に対応したアクセス、任意の粗密制御が可能であることを明らかにした。

また、読み飛ばし動作での出力映像を用いた画像の再構成を通じ、実際にセンサ上で圧縮機能を実現できることを示した。さらに、部分回路を用いた評価実験により、複数フレーム期間内で読み出し動作に関係なく、メモリ値を保持できることを確認した。そして今回の設計によりキャパシタンス上の遮光膜を十分にとることができ、これにより室内光下においてもセンサが十分に動作することを明らかにした。

◇ 多重解像度出力イメージセンサ 1

— 第4章では、多重解像度出力が可能なイメージセンサについて述べた。

イメージセンサ上に統合するアルゴリズムとして採用した平滑化方式について説明した。当該方式は、ブロックサイズを外部から4パターンで指定することにより、指定されたサイズのブロック内で平滑化を行うことが可能となる。また、画素回路からの読出し動作を平滑化に利用することで、ブロックのオーバーラップを可能とし、画素を任意に指定した場合でも、その指定されたパターンに対応した多重解像度出力を可能とする。また、本方式によればブロックサイズを局所的に変更して人間の中心窩に対応した出力も可能である。

次に、プロトタイプの回路設計について述べた。回路設計では、1画素、シフトレジスタ、及び全体についてその回路構成を明らかにし、動作を具体的に説明した。さらに、設計回路を基にした CMOS $0.8\mu\text{m}$ ルールでのレイアウト設計について述べ、 64×64 画素からなるプロトタイプの試作について説明した。開口率は約 14.5% となり、CMOS イメージセンサとしての性能を確保し、画素への処理回路の統合による撮像性能の劣化を改善できることを確認した。

さらに、試作したプロトタイプの評価を行なった。平滑化を行わない出力から、3画素、5画素、7画素角のブロックサイズにおいて平滑化した画像の取得が可能であることを示した。また、局所的にブロックサイズを変化させることにより、網膜的な出力が得られることを示した。また部分回路を用いた評価実験により、平滑化回路の動作について確認した。

◇ 多重解像度出力イメージセンサ2

- 第5章では、多重解像度出力が可能なイメージセンサの第2次プロトタイプについて述べた。

試作した第1次プロトタイプの問題点を指摘した。具体的には、ランダムアクセス機能の欠如、読出しラインの配線容量の影響、画素数の増加が挙げられる。当該問題点を解決するための手段を提供し、これを回路によって実現する方法を提示した。

ランダムアクセス機能については、読み飛ばしシフトレジスタを設置することで、効果的にブロック中心となる画素を選択することで、ブロック単位の間引きを可能とし、高速撮像に対応できることを明らかにした。さらに、縦方向の平滑化処理に読出しラインを利用しない構成とすることで、配線容量の影響を排除した。また、配線容量の影響がなくなったことにより、画素回路サイズの縮小が可能となり、画素数を4倍とした。

次に、プロトタイプの回路設計について述べた。回路設計では、1画素、シフトレジスタ、及び全体についてその回路構成を明らかにし、動作を具体的に説明した。さらに、設計回路を基にしたCMOS 0.8 μ mルールでのレイアウト設計について述べ、128 \times 128画素からなるプロトタイプの試作について説明した。開口率は約13.5%となり、CMOSイメージセンサとしての性能を確保し、画素への処理回路の統合による撮像性能の劣化を改善できることを確認した。

さらに、試作したプロトタイプの評価を行なった。プロトタイプの動作検証では、ランダムアクセス機能の動作を確認した。しかし、多重解像度出力を得ることができなかった。これは、ブロックサイズ選択のための垂直、水平シフトレジスタが完全に動作していないためだと考えられる。また、広角レンズを使って撮像を行った。画素数が少ないために撮像条件の制約を受けるが、広角レンズ特有の画像を取得することができた。今後は画素数の増加に伴い撮像条件の制約も解消されると考える。さらに、部分回路を用いた評価実験により、平滑化回路の動作について確認するとともに、画素回路の動作を確認した。

◇ 今後の展開

- 第 6 章では、試作したプロトタイプを用いた、センサネットワークシステムについて述べた。

プロトタイプ of 読出形態制御機能を利用して、ネットワーク上に複数設置されたセンサユニットからの出力データ量の制御を行うシステムを示した。このシステムによれば、ネットワークの転送速度に応じてセンサの出力モードを制御し、変化の大きいユニットからのデータを優先的にモニターすることが可能となる。現在試作中のセンサユニットについても言及した。

7.2 今後の課題及び展望

7.2.1 プロトタイプにおける多画素化の要請

本論文にて試作したプロトタイプでは、画素数が 64×64 乃至は 128×128 はであり、撮像素子の機能を検証するためには十分なものと考えるが、汎用化のためにはさらに多画素を集積したチップの試作が望まれる。多画素集積化する上で、いくつかの改善が必要である。現在の評価システムには、NTSC 信号ベースの画像処理装置を利用し、その画面を分割することで高速撮像動作時の画像信号を取得している。よって、多画素チップを高速に動作させる際には、全ての評価系を専用を用意する必要がある。また、センサ内部でも水平シフトレジスタを工夫することで、より高速にて画素値出力を行う必要がある。

7.2.2 センサの撮像性能改善

現在の画素回路ではトランジスタの閾値電圧のバラツキ対策をしていない。閾値電圧のバラツキにより、固定パターンノイズが発生するが、相関二重サンプリング回路の追加 [35] も検討する余地がある。今後多画素化を図る場合においても、補償回路は不可欠であると考えられる。また、試作したプロトタイプは開口率が 14 % 程度で実験レベルとしては問題ないが、システムでの利用等を考えた場合は感度が十分にあるとは言えない。従って、感度についても検討する余地がある。

7.2.3 プロセスの進展

近年、半導体プロセス技術の発展は目ざましいものがあり、これまでイメージセンサもそれに同調し高精細化、小型化を実現してきた。半導体プロセスの進歩は今後も継続し、ゲート幅は5年で半分のペースで縮小されることが予想される [?]。従って、これにともない単位面積あたりに搭載可能なトランジスタ数も増加するので、より集積度を高くすることが可能となる。また、プロセスの発達により最小単位が小さくなるとともに、配線層も増えるので設計の効率化を図りやすくなる。

その一方で、電源電圧の減少は、プロセスの微細化程には急速に進まないもので、消費電力は増大することが予想される。また、ゲート長が短くなれば短チャネル効果が発生し、MOS トランジスタの閾値のバラツキが大きくなる等のデメリットもある。

また将来は、従来の2次元面への画像処理回路の統合とは異なり、3次元化 IC [57] により光電変換部、増幅部、処理部、A/D 変換および I/O 部を積層的に配置する試みは興味深い。このような VLSI 技術が実現した際には、開口率はほぼ 100% となり、撮像性能の著しい改善が期待できる。

参考文献

- [1] 安藤隆男, “撮像デバイス技術”, テレビ誌, Vol.44, No.11, pp.1526-1533, 1990.
- [2] 木内雄二, “画像入力技術ハンドブック”, 日刊工業新聞社, 1992.
- [3] 木内雄二, “イメージセンサの基礎と応用”, 日刊工業新聞社, 1991.
- [4] 安藤隆男, “高感度撮像技術の動向”, テレビ誌, Vol.42, No.8, pp.775-779, 1988.
- [5] S.G.Chamberlain et al, “A novel wide dynamic range silicon photodetector and linear imaging array”, *IEEE Trans. on Elec. Dev.*, Vol.31, pp.175-182, 1984.
- [6] N.Tanaka et al, “A Novel Bipolar Imaging Device with Self Noise Reduction Capability”, *IEEE Trans. on Elec. Dev.*, Vol.36, No.1, 1989.
- [7] Y.Endo et al., “A photoelectric conversion characteristic control method for interline transfer CCD imager”, *IEEE Trans. on Elec. Dev.*, Vol.32, No.8, pp.1511-1513, 1985.
- [8] 江藤剛治, “4500 枚 / 秒の高速ビデオカメラ”, テレビ誌, Vol.46, No.5, pp.543-549, 1992.
- [9] 安藤隆男, “高密度固体撮像技術の動向”, テレビ誌, Vol.44, No.2, pp.105-109, 1990.
- [10] B.Ackland and A.Dickinson, “Camara on a Chip”, ISSCC96, pp.22-25, 1996.
- [11] A.Tomasini, M.Brattoli, E.Chioffi, G.Colli, D.Gema and M.Pasotti, “B/W Adaptive Image Grabber with Analog Motion Vector Estimation at 0.3GOPS”, ISSCC96, pp.94-95, 1996.
- [12] C.Koch and H.Li, “Vision Chips: Implementing Vision Algorithms with Analog VLSI”, IEEE Computer Society Press, 1995.
- [13] <http://www.eleceng.adelaide.edu.au/Groups/GAAS/Bugeye/visionchips/index.html>, “Vision Chips or Seeing Silicon”, by Alireza Moini.

- [14] F.W.Mounts : "A Video Encoding System With Conditional Picture - Element Replenishment", *BSTJ*, pp.2545-2554 (Sep. 1969)
- [15] C.Koch, "Implementing early vision algorithms in analog hardware", *SPIE*, Vol.1473, pp. 2-16, 1991.
- [16] J.L.Wyatte, D.L.Standley and W.Yang, "The MIT Vision Chip Project: Analog VLSI Systems for Fast Image Acquisition and Early Vision Processing", *IEEE Int. Conf. on Robotics and Automation*, pp. 1330-1335, 1991.
- [17] M.Ishikawa, "Parallel processing for Sensory Information", *IEICEJ*, Vol.J74-C-II, No.5, pp. 255-266, 1991.
- [18] Mead C., "Analog VLSI and Neural Systems", Addison -Wesley, 1989.
- [19] Xavier Arreguit, F.Andre van Schaik, F.Bauduin, M.Bidiville, E.Raeber, "A CMOS Motion Detector System for Pointing Devices", *IEEE ISSCC*, 1996
- [20] J.Hutchinson, C.Koch, J.Luo and C.Mead, "Computing Motion Using Analog and Binary Resistive Network", *IEEE Computer*, 21, pp. 52-63, 1988.
- [21] Standley D.L. et al., "An Object Position and Orientation IC with Embedded Imager", *ISSCC Digest*, pp.38-39, 1991.
- [22] S.Kemeny, B.Pain, R.Panicacci, L.Matthies and E.Fossum, "CMOS Active Pixel Sensor Array with Programmable Multiresolution Readout", *IEEE Workshop on CCDs and Advanced Image Sensors*, 1995.
- [23] Orly Yadid-Pecht, Ran Ginosar, "A Random Access Photodiode Array for Intelligent Image Captur", *IEEE Trans Electron Devices*, pp. 1772-1780, Aug. 1991.
- [24] K.Aizawa, Y.Egi, T.Hamamoto, M.Hatori, M.Abe H.Maruyama and H.Otake, "Computational Image Sensor For On Sensor Compression", *IEEE Trans.on Electron Devices Special Issue "Solid State Image Sensors"*, Vol.44, No.10, pp. 1724-1730, 1997.
- [25] T.Nakamura, K.Saitoh, "Recent Progress Of CMD Imaging", *IEEE Proc. Workshop on CCD and Advanced Image Sensors*, R14, 1997.
- [26] T.Nomoto, S.Hosokai, T.Isokawa, R.Hyuga, S. Nakajima and T.Terada "A 4M-Pixel CMD Image Sensor with Block and Skip Access Capability", *IEEE Tran. on Electron Device*, Vol.44, No.10, pp. 1738-1746, Oct. 1997.

- [27] C.Colombo, M.Rucci, and P.Dario: "Integrating Selective Attention and Space-Variant Sensing in Machine Vision", Image Technology J.L.C.Sanz Ed, Springer, 1996.
- [28] M.Bolduc, G.Sela and M.D.Levine, "Fast Computation of Multiscalar Symmetry in Foveated Images", CAMP'95, pp.2-11, 1995.
- [29] J.V.Spiegel, G.Kreider, C.Claeys, I.Debusschere, G.Sandini et.al, "A Foveated Retinal-like Sensor using CCD Technology" in Analog VLSI implementation of neural systems, pp.189-210, Kluwer Academic Publishers, 1989.
- [30] F.Pardo, B.Dierickx, D. Scheffer "CMOS Foveated Image Sensor: Signal Scaling and Small Geometry Effects" *IEEE Tran. on Electron Devices*, Vol.44, No.10, pp. 1731-1737, Oct. 1997.
- [31] H.yamamoto, Y.Yeshurun, M.Levine, "中心窩視覚センサを用いた視覚システム", 通学誌, Vol.J77-D-II, No.1, pp. 119-130, Jan. 1994.
- [32] 須川成利 "CMOS イメージセンサ技術", 信学技報, EID-2000-190, pp.1-6, 1999
- [33] 小室、鈴木、石井、石川 "汎用プロセッシングエレメントを用いた超並列・超高速ビジョンチップの設計", 通学誌, No.2, pp.77-76 (1998)
- [34] D.H. Ballard, "Animated Vision", *Univ. of Rochester, Dept. of Computer Science, Tech. Rept.*, Vol.61, TR, 1990.
- [35] 川人、他 "アナログ 2 次元 DCT 回路と精度適応 A/D 変換器に基づく画像圧縮 CMOS イメージセンサ", 映情学誌, Vol.52, No.2, pp.206-213 (1998)
- [36] J.Akita, K.Asada "An Image Scanning Method with Selective Activation of Tree Structure.", *IEICE Tran. on Electronics* E80-C, No.7, pp.956-961 (1997)
- [37] A.Califano, R.Kjeldsen, "Data and Model Driven Foveation", *Proc. of ECCV*, pp. 526-541, 1990.
- [38] Schwartz E.L. "Spatial Mapping in The Primate Sensory Projection : Analytic Structure and Relevance to Perception", *Biol. Cybern*, Vol.25, pp. 181-194, 1977.
- [39] Edited by M.M.Gupta and G.K.Knopf, "NEURO VISION SYSTEMS", IEEE, 1994.
- [40] C.Mead, "Neuromorphic Electronic Systems", *Proc.IEEE* , vol.78, no.10, pp.1629-1636, 1990.

- [41] T.M.Bernard, P.E.Nguyen, F.J.Devos and B.Y.Zavidovique, "A programmable VLSI retina for rough vision", *Machine Vision and Applications*, Vol.7, No.1, pp.4-11, 1993.
- [42] H.Kobayashi, L.White and A.A.Abidi, "An Active Resistor Network for Gaussian Filtering of Images", *IEEE J.Solid State Circuits*, Vol.26, No.5, pp.738-748, 1991.
- [43] C.H.Anderson : "Filter-subtract-decimate hierarchical pyramid signal analyzing and synthesizing technique.", U.S.patent, 4,718,104,(Jan.5,1988)
- [44] Salesin; David H : "Multiresolution images at fractional-levels of resolution using a wavelet representation ", U.S.patent, 5,666,475, (Sep.9,1997)
- [45] Schwartz E.L.: "Spatial Mapping in The Primate Sensory Projection : Analytic Structure and Relevance to Perception", *Biol.Cybern*, **25**, pp. 181-194 (1977).
- [46] W.Liu, E.McGucken, etc. "Multiple-Unit Artificial Retina Chipset System To Benefit The Visually Impaired" *IEEE Trans.on Rehabilitation Engineering*
- [47] "Retinal Prosthesis Project", <http://www.ece.ncsu.edu/retina>
- [48] "Retina implant reserach in cologne", <http://www.medizin.uni-koeln.de/kliniken/augenlinik/ret3e.htm>
- [49] "Development of a Silicone Retinal Implant", <http://www.ai.mit.edu/projects/implant/poster>
- [50] Markus Schwarz, Falf Hauschild, etc. "Single-Chip CMOS Image sensors for Retina Implant System" *IEEE Trans. on Cir. and Sys. II, Analog and Digital Signal Processing*, Vol.46, No.7, July 1999
- [51] E.R.Fossum "CMOS Image Sensor: Electronic Camera On A Chip", *IEDM Technical Digest*, pp.17-25, 1995.
- [52] 大野洋, "イメージセンサと画像圧縮の統合に関する研究", 東京大学大学院修士論文, 1995.
- [53] 江木雄一郎, "イメージセンサ上における動画画像圧縮に関する研究", 東京大学大学院修士論文, 1996.
- [54] 浜本隆之, "撮像面上で圧縮・強調を行なう高機能イメージセンサに関する研究", 東京大学大学院博士論文, 1997.
- [55] F. Ando, K. Taketoshi, K. Nakamura and M. Imai, "AMI; A New Amplifying Solid State Imager", *ITEJ*, Vol.41, No.11, pp. 1075-1082, 1987. (in Japanese)

- [56] F.Ando, "Multi-functional Solid State Imaging Techniques", *ITEJ*, Vol.44, No.2, pp. 127-131, 1990.
- [57] 小柳光正, "三次元積層画像処理システム", 平成7年度「極限集積化シリコン智能エレクトロニクス」発表会資料, pp.254-260, 1996.

発表文献

○ 学会誌論文

- (1) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊: “空間可変サンプリングを撮像面上で行う新しいイメージセンサの設計・試作”, 映情学誌, Vol.53, No.2, pp.261-268,(1999)
- (2) 大塚 康弘, 相澤 清晴: “サンプリング制御機構搭載型イメージセンサ”, 特許公報, 特許第 2916620 号 (1999-7)
- (3) Y.Ohtsuka, T.Hamamoto, K.aizawa “A New Image Sensor with Space Variant Sampling Control on a Focal Plane”, *IEICE Trans*, Vol.E83-D, No.7, pp.1331-1337,(2000)
- (4) 大塚 康弘, 大田 郁子, 相澤 清晴: “新しい多重解像度スマートイメージセンサの設計と試作”, 映情学誌, Vol.55, No.2, (2001) 採録
- (5) 大塚 康弘, 尾関 健夫, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, 阿部 正英, “画素並列処理構成に基づく動画像圧縮イメージセンサの定レート制御機能の検証” 映情学誌, Vol.52, No.2 pp217-219 (1998)
- (6) 相澤 清晴, 大塚 康弘, : “多重解像度イメージセンサ”, エレクトロニクス誌, Vol.46, No.3, pp.,(2001)
- (7) 浜本 隆之, 大塚 康弘, 相澤 清晴: “動画像圧縮センサ - 列並列構成による 128x128 画素プロトタイプ的设计と試作”, 映情学誌, Vol.53, No.2, pp.315-318,(1999)
- (8) 浜本 隆之, 大塚 康弘, 相澤 清晴, 羽鳥 光俊: “動画像圧縮センサ - 列並列構成による設計と試作”, 映情学誌, Vol.51, No.12, pp.2141-2148,(1997)

○ 国際会議論文

- (9) Y.Ohtsuka, T.Hamamoto, K.Aizawa, M.Hatori “A novel image sensor with flexible sampling control” *IEEE Int. Symp. on Circuits and Systems (ISCAS98)*, TPA15-8,(1998-6)

-
- (10) **Y.Ohtsuka**, T.Hamamoto, K.Aizawa, M.Hatori "Spatially Variant Flexible Sampling Control Integrated On An Image Sensor" *IEEE Int. Conf. Image Processing (ICIP98)*, MP1.03, USA, (1998-10)
- (11) **Y.Ohtsuka**, T.Hamamoto, K.Aizawa, M.Hatori, "A New Image Sensor With Space Variant Sampling Control On A Focal Plane" *IAPR Workshop on Machine Vision Applications (MVA98)*, 11-1, (1998-11)
- (12) **Y.Ohtsuka**, T.Hamamoto, K.Aizawa, M.Hatori, "Spatially Variant Sampling Sensor" *International Symposium on Future of Intellectual Integrated Electronics ISFIE99*, P1-20 (1999-3)
- (13) **Y.Ohtsuka**, T.Hamamoto, K.Aizawa "Spatially Variant Flexible Sampling Control Integrated on a Sensor Focal Plane" *IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors (CCDWS99)*, R11 (1999-6)
- (14) **Y.Ohtsuka**, I.Ohta, K.Aizawa "A New Computational Image Sensor With Programmable Spatially Variant Multiresolution Readout Capability" *IAPR Workshop on Machine Vision Applications (MVA2000)*, 8-10, (2000-11)
- (15) **Y.Ohtsuka**, I.Ohta, K.Aizawa "Programmable Spatially Variant Multiresolution Readout Capability On A Sensor Focal Plane." *IEEE Int. Symp. on Circuits and Systems (ISCAS2001)*, (2001-5) 採録
- (16) K.Aizawa, T.Hamamoto, **Y.Ohtsuka**, M.Hatori, M.Abe, "Pixel parallel and column parallel architectures and their implementation of on sensor image compression" *IEEE Workshop on CCD and Advanced Image Sensor*, R31, June 1997
- (17) K.Aizawa, T.Hamamoto, **Y.Ohtsuka**, M.Hatori, M.Abe, "Implementations of On Sensor Image Compression and Comparisons between Pixel and Column Parallel Architectures" *IEEE Int. Conf. Image Processing (ICIP97)*, Oct. 1997
- (18) T.Hamamoto, **Y.Ohtsuka**, K.Aizawa, "Focal plane compression 128x128 image sensor based on column parallel architecture" *Int. Conf. AFPAEC'98*, (1998)
- (19) T.Hamamoto, **Y.Ohtsuka**, K.Aizawa "128x128 pixels image sensor for on-sensor-compression" *IEEE ICIP'98*, Vol.1, pp.493-497 (1998-10)
- (20) T.Hamamoto, **Y.Ohtsuka**, K.Aizawa "New design and implementation of on-sensor-compression" *MVA'98*, pp.89-92 (1998-11)

- (21) T.Hamamoto, Y.Ohtsuka, K.Aizawa “Very fast tracking and depth estimation by using focal plane compression sensors” *IEEE ISCAS'99*, vol.IV, pp.127-130 (1999-6)
- (22) T.Hamamoto, R.Ooi, Y.Ohtsuka, K.Aizawa “Real-time image processing by using image compression sensor” *IEEE ICIP'99*, vol.3, pp.935-939 (1999-10)
- (23) T.Hamamoto, Y.Ohtsuka, K.Aizawa “128x128 pixels focal plane compression sensor” *ISFIE'99*, pp.203-206 (1999-3)

○ 研究会論文

- (24) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “サンプリング制御機構を統合した新しいイメージセンサ” 映情学技報, 情報センシング, Vol.21, No.49, pp25-30 (1997)
- (25) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “イメージセンサ上での新しいサンプリング制御機構” *PCSJ/IMPS*, I-6.2, pp 89-90 (1997)
- (26) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “柔軟なサンプリング制御を撮像面上で実現する新しいイメージセンサ” 情報センシング研究会, (1998-2)
- (27) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “高速な空間可変サンプリング制御機構を撮像面上に実装した新しいイメージセンサの試作と検証” 画像センシングシンポジウム (*SII98*), G-17, pp 311-314 (1998-6)
- (28) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “空間可変サンプリングセンサの動的サンプリング制御” *PCSJ/IMPS*, I-5.09, pp.95-96 (1998-10)
- (29) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “空間可変サンプリングイメージセンサの試作とその動的制御方式の検討” 第2回システムLSI琵琶湖ワークショップ, pp.277-279 (1998-11)
- (30) 大塚 康弘, 相澤清晴 “新しい多重解像度出力型イメージセンサの設計” *PCSJ/IMPS*, I-2.04, pp.19-20 (1999-9)
- (31) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “空間可変サンプリングイメージセンサの新しい試作の検証” 第3回システムLSI琵琶湖ワークショップ, pp.211-214 (1999-11)
- (32) 大塚 康弘, 相澤 清晴, “多重解像度イメージセンサの設計” ロボティクス・メカトロニクス研究会 (ROBOMECH'00), 1P1-68-103, (2000-5)
- (33) 大塚 康弘, 相澤 清晴, “ブロックサイズ選択が可能な新しい多重解像度イメージセンサ” 画像センシングシンポジウム (*SII2000*), G-17, pp 311-314 (2000-6)

- (34) 大塚 康弘, 相澤 清晴 “新しい多重解像度イメージセンサの設計と試作” 画像の認識・理解シンポジウム (MIRU2000), I-301, pp 301-306 (2000-7)
- (35) 大塚 康弘, 大田 郁子, 相澤 清晴, “新しい多重解像度イメージセンサの検証” 信学技報, Vol.100, No.300, pp.43-50 (2000-9)
- (36) 大塚 康弘, 大田 郁子, 相澤清晴 “新しい多重解像度イメージセンサ” PCSJ/IMPS, I-2.04, pp.19-20 (2000-11)
- (37) 大塚 康弘, 大田 郁子, 相澤清晴 “128 × 128 画素多重解像度イメージセンサの新たな試作” 第4回システム LSI 琵琶湖ワークショップ, - (2000-11)
- (38) 浜本 隆之, 大塚 康弘, 相澤清晴, 羽鳥光俊, “動画像圧縮センサ - 列並列処理構成による回路設計と試作 -”, 信学技報, EID96-46, pp. 31-36 (1996)
- (39) 浜本 隆之, 大塚 康弘, 相澤清晴, 羽鳥光俊 “列並列処理構成に基づく 128x128 画素動画像圧縮センサ” SII98, pp. 321-326 (1998)
- (40) 浜本 隆之, 大塚 康弘, 相澤清晴 “動画像圧縮センサ: 列並列処理構成に基づく 128x128 画素プロトタイプ” 信学技報, ICD98-113, Vol.98, No.244, pp. 7-13 (1998-08)
- (41) 浜本 隆之, 大塚 康弘, 相澤清晴 “動画像圧縮センサ: 列並列処理構成に基づく 128x128 画素プロトタイプ” IMPS98, I-6.04, pp. 113-114 (1998-10)
- (42) 大井 隆太郎, 喜多 ちえ, 浜本 隆之, 大塚 康弘, 相澤清晴, 赤池 正巳 “動画像圧縮センサ: FPGA を用いた即時再構成と動物体の高速追跡” IMPS99, pp.59-60 (1999-9)

○ 大会論文

- (43) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “動画像圧縮センサの機能評価: 定レート制御と画像再構成” 映情年大, No.3-1, pp. 29-30 (1997-7)
- (44) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊, “画素並列処理センサのサンプリング制御機構” 信学ソサイエティ大, D-11-47 (1997-9)
- (45) 大塚 康弘, 浜本隆之, 相澤清晴, 羽鳥光俊, “センサ撮像面上での柔軟なサンプリング制御の実装” 信学総大, D-11-183 (1998-3)
- (46) 大塚 康弘, 浜本 隆之, 相澤 清晴, 羽鳥 光俊 “空間可変サンプリング制御を撮像面上で行う新しいイメージセンサの試作・検証” 映情年大, 10-6, pp 148-149 (1998-7)
- (47) 大塚 康弘, 浜本隆之, 相澤清晴, 羽鳥光俊, “サンプリング制御センサの制御方式の検討” 信学ソサイエティ大, D11-72, pp.187 (1998-9)
- (48) 大塚 康弘, 浜本隆之, 相澤清晴, 羽鳥光俊, “空間可変サンプリングセンサの FPGA を用いた制御方式の検討” 信学総大, D12-175, pp.348, (1999-3)

- (49) 大塚 康弘, 浜本 隆之, 相澤 清晴, “384x180 空間可変サンプリング制御センサの設計・試作” 映情年大, 17-4, pp 224 225 (1999 8)
- (50) 大塚 康弘, 浜本隆之, 相澤清晴, 羽鳥光俊, “空間可変サンプリング制御センサの新たな設計・試作” 信学ソサイエティ大, D11-77, pp.163, (1999 9)
- (51) 大塚 康弘, 相澤 清晴, “ブロックのオーバーラップを可能とする新しい多重解像度イメージセンサのための基本回路設計” 信学総大, D-11-94, pp.94 (2000-3)
- (52) 大塚 康弘, 相澤 清晴, “多重解像度イメージセンサの設計” 映情年大, 11-5, pp 163 164 (2000-8)
- (53) 大塚 康弘, 大田 郁子, 相澤 清晴, “多重解像度空間可変サンプリングイメージセンサの試作” 信学総大, D-12d (2001-3) 発表予定
- (54) 尾関 健男, 大塚 康弘, 相澤清晴, 羽鳥光俊, “動画像圧縮センサの機能評価”, 通学総大, D-11-96 (1997)
- (55) 浜本隆之, 大塚康弘, 相澤清晴, 羽鳥光俊, “128x128 画素動画像圧縮センサの設計と試作” 信学総大, (1998) (発表予定)
- (56) 浜本隆之, 大塚 康弘, 相澤清晴, 羽鳥光俊 “列並列処理による動画像圧縮センサの試作・評価” 1997 信学総大, D-11-97 (1997)
- (57) 浜本隆之, 大塚康弘, 相澤清晴, 羽鳥光俊 “128x128 画素動画像圧縮センサの設計と試作” 1998 信学総大, D-11-85 (1998)
- (58) 浜本隆之, 大塚康弘, 相澤清晴 “128x128 画素動画像圧縮センサの試作と評価” 1998 映像情報メディア学会年次大会, pp. 142- 143 (1998)
- (59) 浜本隆之, 大塚康弘, 相澤清晴 “新しい列並列処理構成動画像圧縮センサの機能評価” 1998 信学ソサイエティ大, C-12-35 (1998)
- (60) 大井隆太郎, 浜本隆之, 大塚康弘, 相澤清晴, 赤池 正巳 “動画像圧縮センサのためのリアルタイム画像再構成回路” 1999 信学総大, D-11-164 (1999)
- (61) M.Oh, Y.Ohtsuka, K.Aizawa “分散イメージセンシングのためのスマートセンサの協調ネットワークシステム” 2001 信学総大, D-11D (2001)

謝辞

相澤清晴助教授には、修士課程、博士課程の5年間において終始懇切丁寧に御指導頂きました。高機能イメージセンサに関する研究にたずさわり、実り多き5年間を過ごすことが出来ましたことに、心より感謝致します。

すでに退官された羽鳥光俊教授(現在国立情報学研究所)には、随所で豊富な経験に基づく適切な御指導を賜りました。また様々な研究会で発表する機会を与えて下さり、様々な御助言を頂きました。深く感謝致します。

センサの実験を行なう上で実験環境の整備、アドバイスを頂いた塚本憲男技術官、田中崇前助手に御礼申し上げます。

相澤研究室でコンピュータショナルイメージセンサの研究を共に行なった、博士課程の浜本隆之さん(現在理科大)、李正さん(現在日本エリクソン)、修士課程の杉浦和英君(現在TI)、篠政義君、卒論生の尾関君、オンさんに感謝の意を表します。特に、浜本さん、李さん、杉浦君には本センサの着想、設計、試作、実験に関し様々な助言を頂きました。本当にありがとうございました。

研究室外においては、日本放送協会放送技術研究所イメージデバイス研究部の阿部正英さん、その他グループの皆様にはセンサに関し様々なアドバイスを頂きましたこと深く御礼申し上げます。

チップの試作についてCMPのJean-Francois PAILLOTIN、Kholdoun TORKIさん、及びVDECの池田さん、鄭(テイ)さんが丁寧に対応して下さいましたことに深く感謝致します。

研究室における相澤研の大学院生、卒論生、留学生、研究員、研究生、秘書、OB、その他の皆様には大変お世話になりました。どうもありがとうございました。

最後に修士課程、博士課程を共に過ごした、パスカル アセラさんに感謝致します。

2000年12月15日

大塚康弘