



電子情報

12

学位申請論文

マルチバイブレータを利用した 高密度集積カオス生成回路とその応用

指導教官

鳳 紘一郎 教授

東京大学大学院工学系研究科
電子情報工学専攻

学籍番号 67120

辻田達男

Contents

1	はじめに	3
1.1	高集積化による VLSI の高機能化の限界	3
1.2	カオスの活用	3
1.3	現在のカオス研究の問題点	4
1.4	集積回路におけるカオス	4
1.5	本研究の目的	4
2	CMOS カオスマルチバイブレータ	5
2.1	マルチバイブレータベースのカオス発生回路の設計指針	5
2.2	BiCMOS による予備検討	5
2.2.1	BiCMOS カオスマルチバイブレータの設計	5
2.2.2	各部分の動作	5
2.2.3	全体回路による反復写像動作	7
2.3	CMOS カオスマルチバイブレータの構成	10
2.4	CMOS カオスマルチバイブレータ回路とその動作	10
2.5	式による解析	13
2.5.1	ノード C の波形における反復写像	13
2.5.2	ノード B の波形における反復写像	18
2.5.3	消費電力の見積もり	22
2.6	本章のまとめ	22
3	回路設計と試作	23
3.1	個別素子で構成した回路	23
3.2	ゲートアレイを用いて設計した回路	25
3.3	マスタースライス方式で設計した回路	25
3.4	フルカスタム設計の回路	27
3.5	本章のまとめ	30
4	CMOS カオスマルチバイブレータの特性	31
4.1	時系列波形とローレンツプロット	31
4.1.1	通常のカオス発振モード	31
4.1.2	別のカオス発振モード	33
4.2	分岐図と相図	36
4.3	周波数特性	37
4.4	本章のまとめ	37
5	雑音源としての評価	39
5.1	従来の雑音源	39
5.2	カオスマルチバイブレータで構成した雑音源	40
5.3	カオスマルチバイブレータ単体の雑音源評価	41
5.3.1	測定系	41

5.3.2	出現頻度分布	42
5.3.3	無相関性	43
5.3.4	生起間隔	47
5.4	カオスマルチバイブレータを2つ用いた雑音源	49
5.4.1	測定系	49
5.4.2	出現頻度分布	49
5.4.3	反復写像	50
5.4.4	生起間隔分布	53
5.4.5	予測可能性について	54
5.5	本章のまとめ	55
6	結論	56
	謝辞	60

Chapter 1

はじめに

1.1 高集積化による VLSI の高機能化の限界

集積回路は微細化をすすめることにより高速高機能化が行なわれてきた。プロセッサは動作周波数が上がり、かつ一度により多くの命令を実行できるようになった。メモリも記憶容量が増大するとともに、動作速度が向上するような工夫がなされつつある。ただし、今後も同様のペースで高機能化を進めていくためには大きな問題がある。

動作周波数を向上させようというアプローチにはチップ全体に等しいタイミングでクロックを供給できなくなるという問題があり、従来用いられてきた同期式の回路設計技術が使えなくなってしまう。例えば真空中で電磁波は 100ps の間に 30mm 伝搬する。回路中での電氣的信号の伝搬速度は配線の抵抗や容量の影響でそれよりもだいぶ遅くなる。配線材料としてアルミニウムから、より抵抗率の低い銅に置き換え、層間絶縁膜として、より誘電率の低い物質、例えば空気などに置き換えることにより、配線遅延を減らそうと試みられているが、どんなにがんばっても真空中の伝播速度を超えることはできない。既に現在動作周波数が 600MHz を越えるプロセッサがあることを考えると [1]、もう既に限界が見えるところまで来ていることがわかる。

また、さらなる高機能化を目指そうとすると、従来のように、より高機能な汎用プロセッサを作成しようとする方法は、消費電力の点で問題がある。理想的なスケーリングに従って集積回路が高集積化されていけば、微細化が進んでも、単位面積あたりの電力消費量は一定であるため、問題は起こらない。例えば、CMOS 回路であれば、微細化とともに電源電圧やしきい値電圧なども下げていけば、動作速度は向上し、単位面積あたりの消費電力は一定であるため、実質的には性能が向上するわけである。しかし、ある程度しきい値電圧を下げてしまうと逆にトランジスタをオフにしている時の洩れ電流が大きくなり、単位面積あたりの消費電力は増加してしまう。現在のトレンドから考えて、このままプロセッサの性能を向上していくと、近いうちに発熱を抑えるために水冷などの手段をとらざるを得なくなるだろう。

ただ、高速化に関して言えば、ある特定の分野での処理は並列化を行なうことで実質的に低い動作周波数でも多くの演算を行なうことができる。消費電力についても、より汎用的なプロセッサではなく専用の回路を用意することで、大幅に低減できることがわかっている。ある種の処理は、ディジタル回路で処理するよりも簡単なアナログ回路の方がずっと効率良く行なえるだろう。そうしたアナログ的な演算を並列に行なうことで、パターン認識、エッジ抽出、2 値化などの画像処理を 1 つ 1 つの回路はゆっくり動作していても、全体として高いパフォーマンスを示せるという CNN (Cellular Neural Network) [2] といった回路方式が提案されている。

1.2 カオスの活用

VLSI の限界をうち破るためには、現在の回路が苦手とするような分野を克服する新しい回路やシステムをつくり出す必要がある。例えばカオス発生回路のような、くりかえして同じ出力を出さない回路は、従来の集積回路にはなかったものである。この特徴を活かして行なう処理回路を作れば、集積回路の能力を向上させることができるだろう。

また、カオスを利用することで幾つかの処理は、効率良く行なえるという提案がある [3, 4]。しかし、まだ限定された問題についてしか適用できないでいる。カオス発振素子を相互結合させることで、パターン生成を行なう試みもあるが [5, 6]、ある程度まとまった大きさのパターンを生成するためには、カオス発

Table 1.1: 集積回路化されたカオス発振回路の比較

カオス発振回路 IC	面積	テクノロジー
そのまま置き換え [9]	7mm ²	2 μ m
状態変数法 [10]	0.35mm ²	2.4 μ m
本研究	0.017mm ²	1.2 μ m

生回路単体の大きさがネックになり、数値計算での研究にとどまっている。

1.3 現在のカオス研究の問題点

先に述べたようにカオス・複雑系に関する研究は現在、数学やコンピュータを使った数値計算を元に行なわれている。数学的には、カオス状態では系の状態は決して同じになることはない。同じになったということはカオスではなく周期的だということである。コンピュータによる数値計算では数値をあらわす桁が有限であるため、いつか必ず同じ状態に戻ってくる。つまり、数値計算ではある程度長期に渡る複雑系のシミュレーションを行なうのは不可能である。また、大規模な系のシミュレーションを行なおうとすると、非常に時間がかかるという問題点もある。そういった点から見逃されていた現象が存在するかもしれない。

コンパクトなカオス発振回路をつくることは、カオス研究の数値計算側からのアプローチと実験の側からのアプローチとの溝を埋めることになる。例えば集積回路で大規模な系を実現すること可能にする。これにより、容易に試行実験が行なえるため、実験の側から新たな発見をしたり、提案を行なうこともできるのではないだろうか。

1.4 集積回路におけるカオス

最近の集積回路でもよく見かける PLL [7] や DC-DC コンバータ [8] などでも使い方によってはカオスが発生し、それを基にした研究が行なわれている。そういった意味で、集積回路においてカオスという現象は、馴染みのない話というわけではない。しかし、カオス現象の研究や応用のために集積回路上で実現し、測定されたカオス発生回路の例は少ない。比較的容易に実現できる外部駆動型のカオス発生回路と比べて、自励発振型のカオス発生回路は非常に少なく、個別素子で組み立てて測定されていても、集積回路化には向かないものもあり、現在の技術で集積回路化されたもの、もしくはすることが可能なものは、おそらく本研究で提案するものを含めても 4～5 種類程度である。しかも、他の提案する回路は外付けの素子を必要としたり、大面積を必要としたりして、集積化に適した回路とは言い難い。

集積回路化されたカオス発振回路の例をあげる。電気回路で初めてカオスが発生することが見つかった Chua の回路をそのままキャパシタやインダクタに置き換えて実現する方式 [9]、そして、その回路を微分方程式であらわし、オペアンプを用いてアナログ計算機的に式の状態方程式を解く方式 [10] のものがある。参考までにこれらに加えて、本研究で提案する回路の 1 つである CMOS カオスマルチバイブレータと面積比較を行なったのが Table. 1.1 である。同じテクノロジーにスケーリングして比較しても、本研究の回路が最も高密度集積できると言える。

1.5 本研究の目的

集積回路上で容易に作成可能なコンパクトなカオス発生回路を実現し、実験側からのカオス研究へのアプローチを容易にし、更に、そのカオス発生回路の特性を明らかにすることで、応用への可能性を探ることを目的とする。

Chapter 2

CMOS カオスマルチバイブレータ

2.1 マルチバイブレータベースのカオス発生回路の設計指針

マルチバイブレータとは、2つの安定な状態を持つ回路と、抵抗 R と容量 C で構成したフィルタを組みあわせることで、 C と R の積で決まる時定数に応じた周波数で発振する回路である。バイポーラトランジスタで構成したマルチバイブレータと、MOS トランジスタで構成したマルチバイブレータの例を Figs. 2.1 に示す。これらの回路は時定数を調整することにより、容易に発振周波数を変化させることができる。そこで、これらの回路を利用してカオス発振する回路を作ることにする。カオス発振するマルチバイブレータのブロック図を Fig. 2.2 に示す。双安定な回路と、CR で構成された回路に、ある周期での回路の状態を容量に記憶しておき、その情報を基に次の周期の発振状態を決めるよう時定数を変化させる機能を実現する回路を追加している。この方式を利用すれば、他の発振回路においても容易にカオス発振する回路を実現できると思われる。実際、リングオシレータを基にした回路において、カオス発振を確認している。しかし、マルチバイブレータを基にした回路の利点は、その解析の容易さにある。発振周波数が C と R の積によって決まるため、これらの値を大きめに設計しておけば、小さな寄生素子の影響は無視できるためである。

2.2 BiCMOS による予備検討

バイポーラトランジスタのマルチバイブレータを取り上げ、2.1 で説明した方法に従い改良することにより、カオス発生回路を作成した。各周期ごとに回路の状態を容量に蓄積し、それを保持するためにスイッチトキャパシタを用いたため、MOS トランジスタも必要になり、実際には BiCMOS で回路を構成した。このため、この回路を BiCMOS カオスマルチバイブレータと呼んでいる。

2.2.1 BiCMOS カオスマルチバイブレータの設計

バイポーラトランジスタのマルチバイブレータに、現在のパルス幅で、次のパルス幅が決まる回路を付加したものが Fig. 2.3 である。

付加された回路は、それぞれ

- パルス幅→パルス振幅変換
- 振幅→電流変換
- 電流→パルス幅変換

の3つの動作を行なっている。それら一連の動作が行われることにより、Fig. 2.4 に示すシミュレーション波形のように、パルス幅がカオス的に変化する回路を実現できる。また、バイアス電圧 V_{bias} を変化させることにより、Fig. 2.5 に示すように周期倍化分岐により、カオスに至る様子も見られた。

2.2.2 各部分の動作

パルス幅→パルス振幅変換を行なっている部分は、Fig. 2.6 に示す部分である。幅 T_1 のパルスが入力された時に、時定数の十分に大きい RC 直列回路を通すことにより、容量 C_1, C_2 にはパルスが加わる時間に比

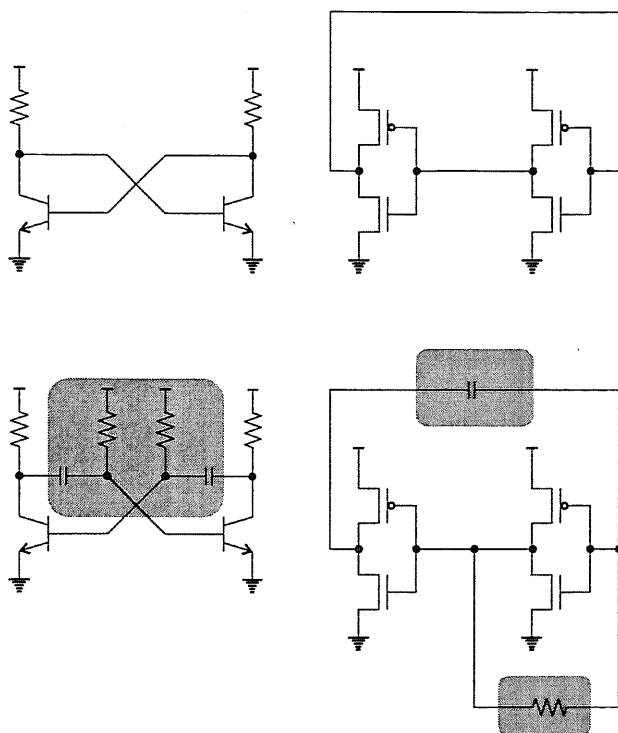


Figure 2.1: (左上) バイポーラトランジスタの (右上) CMOS の双安定回路。 (下) それぞれ、CR 回路を追加した形のマルチバイブレータ。

例した電圧が現れる。パルスがなくなると、 C_1 に充電された電荷はダイオードの役割をする MOS トランジスタ Md を通じて直ちに放電される。しかし、MOS トランジスタ mp はオフになるため、容量 C_2 を放電する経路がなくなり、 C_1 の電圧は直ちに下がるものの、 C_2 の電圧は保持される。つまり、MOS トランジスタ mp と容量 C_2 でピークホールド回路を構成している。

ここで、 C_1 と C_2 の比が大きくなるように設計すると、次のパルス入力で mp がオンになると、 C_2 に蓄積されていた電荷は直ちに C_1 とシェアされ、 C_2 の電圧は大きく下がる。ここで、パルス幅 T_1 のパルスが入力された時に出力として現れる電圧振幅 v_1 は、

$$v_1 = V_{cc} \left(1 - e^{-\frac{T_1}{R_1(C_1+C_2)}} \right) \quad (2.1)$$

となる。

パルス振幅→電流変換部を、Fig. 2.7に示す。ここでは、パルス幅→パルス振幅変換部で作り出された電圧を MOS トランジスタのゲートにそのまま加える。すると、MOS トランジスタには、加えた電圧からしきい電圧を引いた値の 2 乗に比例する電流

$$i_1 = k(v_1 - v_{th})^2 \quad (2.2)$$

が流れる。そこで、この電流をカレントミラーを通して出力する。ここでは、MOS トランジスタに n 型のものを用いているが、このマルチバイブレータは CR 回路が左右に 1 つずつ、合計 2 つあるため、右側と左側で異なるタイプの MOS トランジスタを用いる。このため、pMOS を用いるときには、式 (2.2) も pMOS に合わせたものを用いる。

次に、出力された電流をパルス幅に変換する、電流→パルス幅変換部を Fig. 2.8に示す。出力された電流は、容量 C_b を充電するための電流となり、この電流の大きさにより C_b を充電する時間が決まるため、次のパルス幅が決まるようになっている。次のパルス幅 T_2 は、

$$T_2 = \frac{C_b V_o}{i_1'} \quad (2.3)$$

で表される。

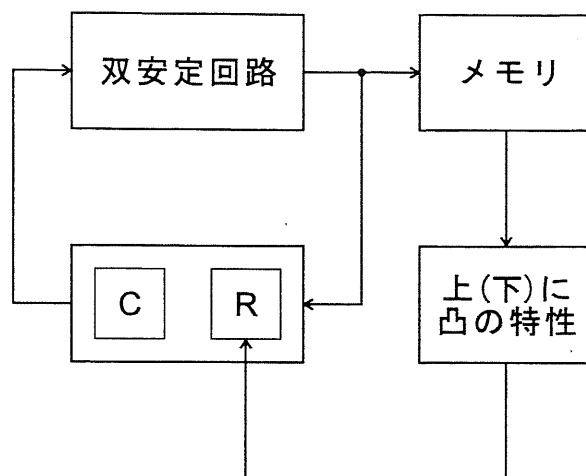


Figure 2.2: カオス発振するマルチバイブレータのブロック図。

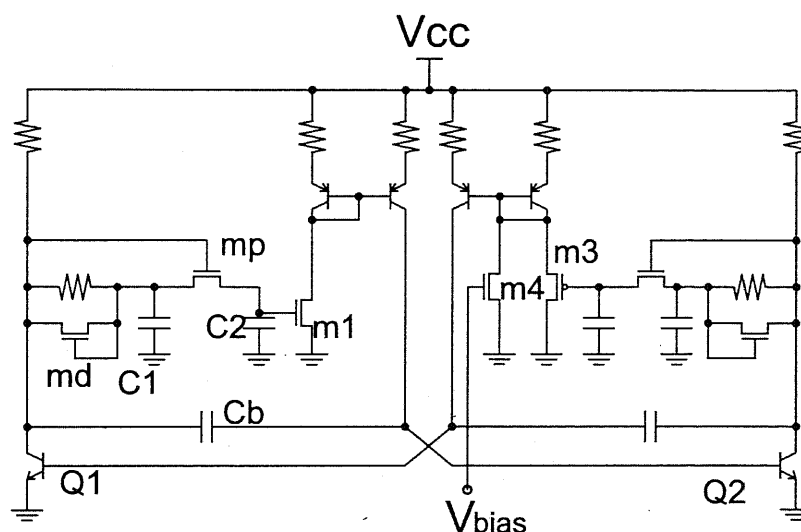


Figure 2.3: BiCMOS カオスマルチバイブレータの回路図

2.2.3 全体回路による反復写像動作

全体として Fig. 2.3の左側の部分は幅の広いパルスが入力されると次のパルスの幅を狭くするように働き、逆に右側の部分は幅の広いパルスが入力されると次のパルスの幅を広くするように働く。両方の特性を適当に合わせることで、中央にピークがあるような特性を実現できる。式 (2.1)-(2.3) の計算をを Fig. 2.3の左側の部分で1回、右側部分で1回行くと、はじめの波形のピークと次の波形のピークの関係が求まる。その計算を行なった結果を Figs. 2.9の左に示す。望んだように中央にピークのある特性が得られた。また、Fig. 2.4に示した SPICE シミュレーション波形から作成したローレンツプロットを Fig. 2.9の右に示すが、量者を比較すると同じような傾向を持つ。ローレンツプロットとは、各周期のピーク値を x 軸に、その次の周期のピーク値を y 軸にプロットしたものである。一見ランダムに見える時系列波形が、決定論に基づいて動作しているかどうかを証明する手段に用いられる。ローレンツプロットがこのようなピークを持つ一価の写像になっていることから、この回路がカオスを生成する反復写像動作を行なっていることが示された。

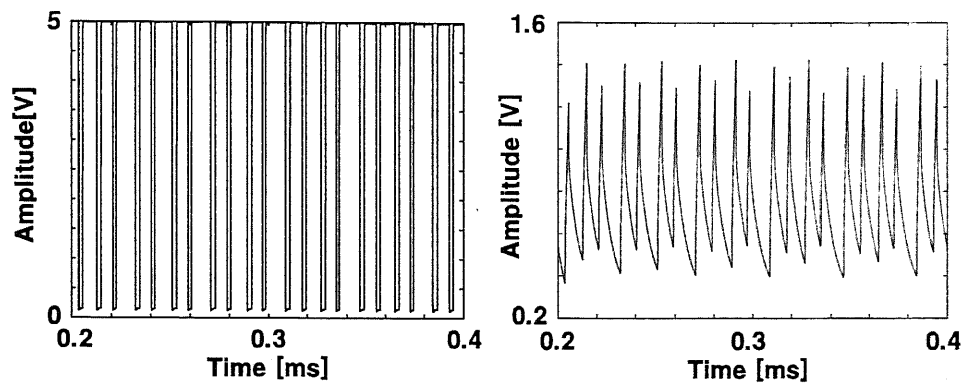


Figure 2.4: SPICE シミュレーションによる BiCMOS カオスマルチバイブレータの動作波形。左) トランジスタ Q2 のコレクタ電圧。右) Q2 のベース電圧。

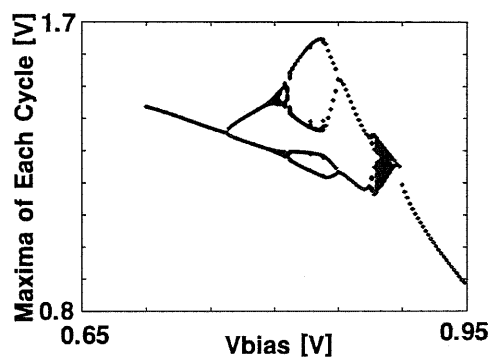


Figure 2.5: SPICE シミュレーションにより作成した分岐図。Q2 のベース電位波形の各周期ピークより作成

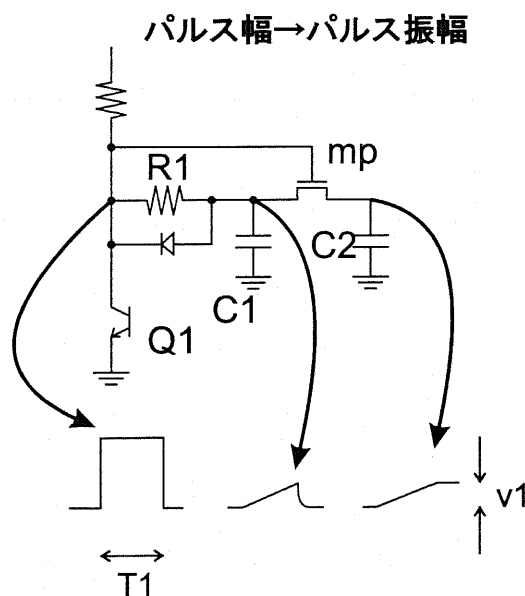


Figure 2.6: パルス幅→パルス振幅変換部動作

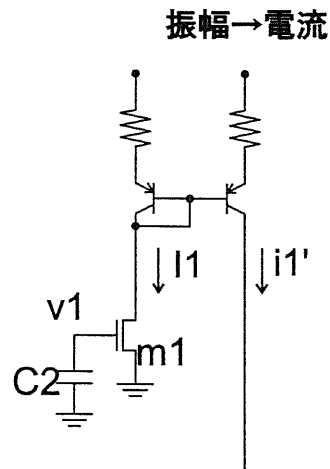


Figure 2.7: パルス振幅→電流変換部動作

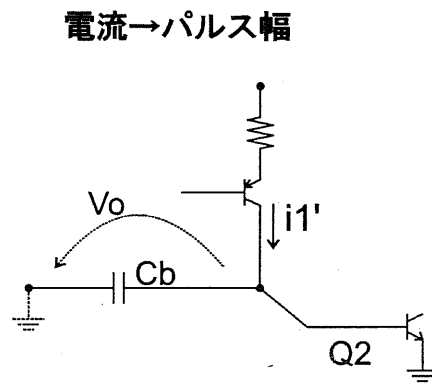


Figure 2.8: 電流→パルス幅変換部動作

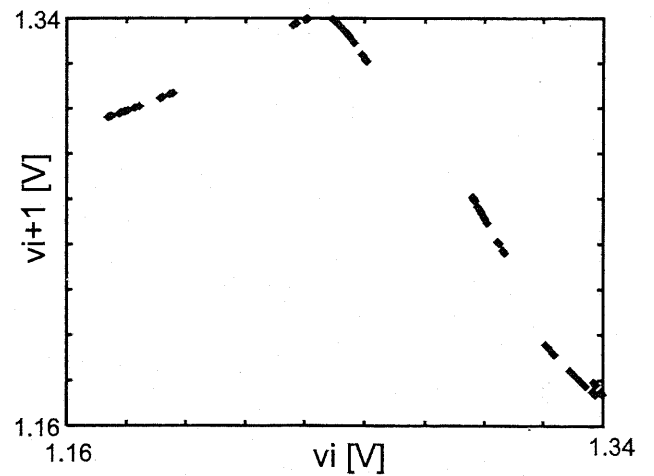
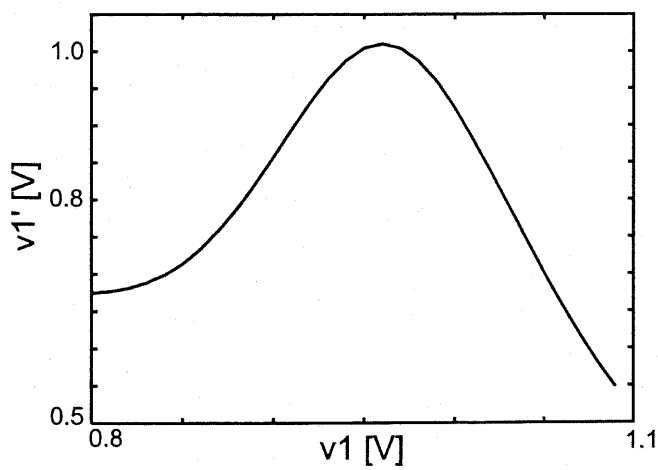


Figure 2.9: BiCMOS カオスマルチバイブレータのローレンズプロット。左) は計算結果。右) は Fig.2.4 に示した Q2 のベース電圧波形の SPICE シミュレーションから求めた。

2.3 CMOS カオスマルチバイブレータの構成

CMOS のマルチバイブレータを基に 2.1 で述べた方法でカオス発生回路を構成すると、CMOS のみで回路を作成することができるため、よりシンプルな回路になる。2.1 で述べた指針を基にできるだけシンプルに回路を構成すると Fig. 2.10 に示すようになった。回路は、インバータ・容量・ソースフォロワ回路・電流源から成っている。

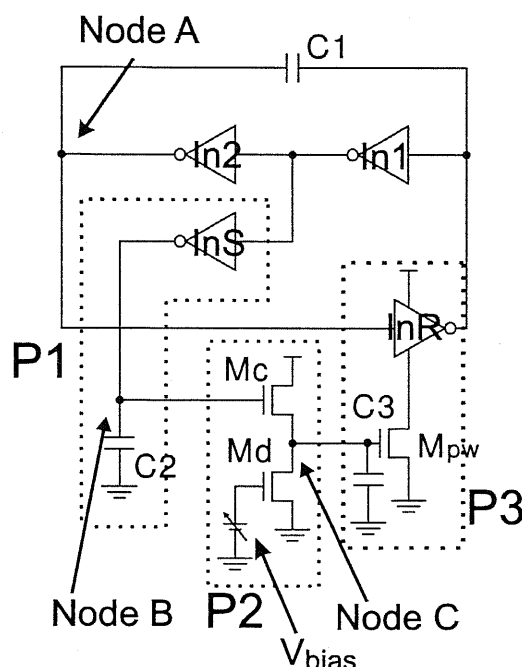


Figure 2.10: CMOS カオスマルチバイブレータ

2.4 CMOS カオスマルチバイブレータ回路とその動作

CMOS マルチバイブレータの発振周期の調整を容易にするため、Figs. 2.11に示すように、抵抗をインバータで置き換えた形の CMOS マルチバイブレータを使うことにした。通常の CMOS マルチバイブレータは抵抗を通じてキャパシタを充電し、同じ抵抗を通じてキャパシタを放電する。その時定数で発振の周期が決まっている。これに対して、抵抗をインバータで置き換えるとキャパシタを充電する経路と放電する経路を別々にすることができる。提案する回路では、Figs. 2.12に示すように充電する側か放電する側のどちらか一方のみの電流をパルス幅に応じて調節するようにした。

簡単に動作を説明すると、ノード C の電圧の高低で発振パルスの幅の狭い広いが決まる。この電圧を下げる働きをするのが MOS トランジスタ Md であり、上げる働きをするのが Fig. 2.11 の P1 の部分である。そして、MOS トランジスタ Mc がそれら異なる働きをする回路を切替える役割を果たしている。

もう少し具体的に説明する。Fig. 2.10の回路は、Figs. 2.11(b)の回路に、現在の状態を電圧として保持するためのキャパシタと、その電圧に応じて発振周期を変化させるための回路を追加したものである。各部の動作を説明する。Fig. 2.10のP1の部分が鋸歯状波発生回路である。容量 C_2 を充放電するMOSトランジスタのPMOS・NMOSのサイズの比を十分大きくすることで、 C_2 をゆっくり充電し、すばやく放電する。 C_2 を充電する電流が定電流であるならば、ノコギリ波の振幅はパルス幅に比例する。この回路はFig. 2.10のP2の部分にあるNMOSトランジスタMcを通じて容量 C_3 を充電し、ノードCの電位を上げる働きがある。Fig. 2.10のP2の部分は、ソースフォロウの形をしているが、トランジスタMcは、ノードBの電位が低い時にはオフしているため、とりあえず、このトランジスタは考えなくてよい。トランジスタMdは定電流源であるため、この回路はP1の働きとは逆に容量 C_3 を定電流で放電し、ノードCの電位を下げる働きがある。そして、トランジスタMcは、ノードCの電位を上げる・下げるという動作をノードBの電位に応じて切りかえる役割を果たしている。Fig. 2.10のP3の部分は電圧制御電流源

になっていて、NMOS トランジスタのゲート電圧が高いと、 C_1 を放電する電流が大きくなるため、出力が high の時間は短くなる。逆にゲート電圧が低いと、 C_1 を放電する電流が小さくなり、出力が high の時間が長くなる。容量 C_3 には、回路のその周期での状態が記憶されている。容量 C_1 を放電し始める時のノード C の電圧 v_c によって、その周期の C_1 を放電し終わる時の電圧が一意に決まる。もし、 C_1 を充電する時間が放電する時間に比べて十分に短ければ n 周期目の終値が $(n+1)$ 周期目の初期値と等しくなる。そこで、 C_1 を充電する時間は放電する時間に比べ、十分短く、考えなくても良いものとする。また、その様になるよう回路を設計する。P1 のノード C の電圧を上げる働きだけを考えると、各周期のノード C の電圧の初期値 $v_{c,n}$ が低ければ低いほど C_1 を放電する電流が小さくなるため、パルス幅は広くなり、 C_3 を充電する時間が長くなるため、次の周期のノード C の電圧の初期値 $v_{c,n+1}$ は高くなる。このため、 $v_{c,n}$ と $v_{c,n+1}$ の関係は傾きが負の特性になる。次に、P2 のノード C の電圧を下げる働きだけを考えると、各周期のノード C の電圧の初期値 $v_{c,n}$ が低ければ低いほど C_1 を放電する電流が小さくなるため、パルス幅は広くなる。ここまでは、同じであるが、パルス幅が広くなると、今度は逆に C_3 を放電する時間が長くなるため、次の周期のノード C の電圧の初期値 $v_{c,n+1}$ は低くなる。このため、 $v_{c,n}$ と $v_{c,n+1}$ の関係は傾きが正の特性になる。これをトランジスタ Mc を用いて、 $v_{c,n}$ がある電圧より低いと P1 が、高いと P2 が効果が大きくなるように切り替えてやると、 $v_{c,n}$ と $v_{c,n+1}$ の関係は下に凸の写像になる。

電圧電流波形を用いてカオス発振のメカニズムを説明する。ノード B と C の電圧、そしてトランジスタ Mpw を流れる電流を Figs. 2.13 に示す。ここは、 $t = 0$ の時に出力が high になったとする。ノード B の電圧 v_b は Fig. 2.13(a) に示すように鋸歯状波状に増加していく。ノード C の電圧 v_c は、 v_b が v_c よりも小さい間は減少していき、 v_b が v_c を越えると増加していく。Fig. 2.13(b) に示すように v_c の波形は初期電圧によって変化する。キャパシタ C_1 を放電する電流は、この電圧 v_c によって変化する。 C_1 に蓄積される電荷の量は一定であるため、放電電流が変化すると出力が high の時間がそれに応じて変化する、Fig. 2.13(c) に示す影の部分の面積が一定になる。この結果出力が high の時間 t_n は、 v_c の初期電圧が高いほど短くなる。

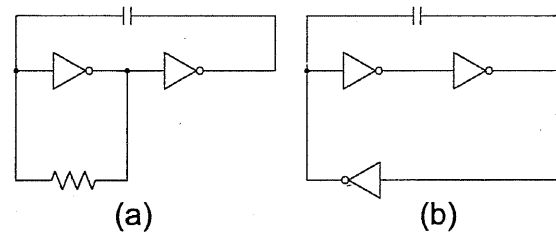


Figure 2.11: (a) 通常の (b) 抵抗をインバータで置き換えた形の CMOS マルチバイブレータ

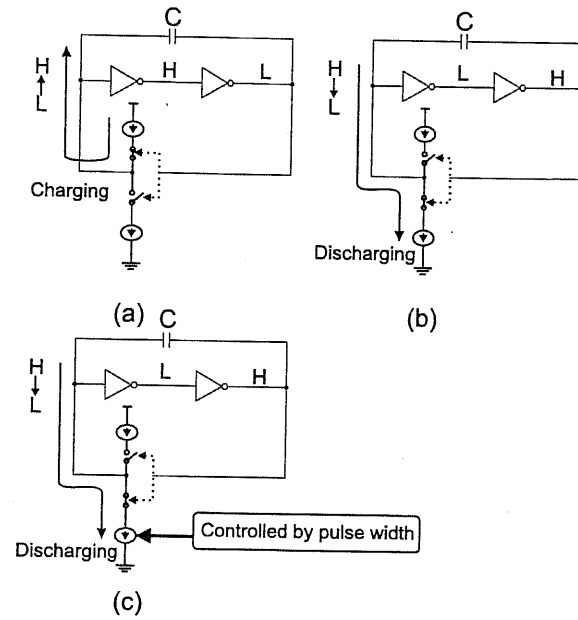


Figure 2.12: 抵抗をインバータで置き換えた形の CMOS マルチバイブレータの容量 C を (a) 充電 (b) 放電する時の動作。 (c) 電流を制御してパルス幅を変化させる。

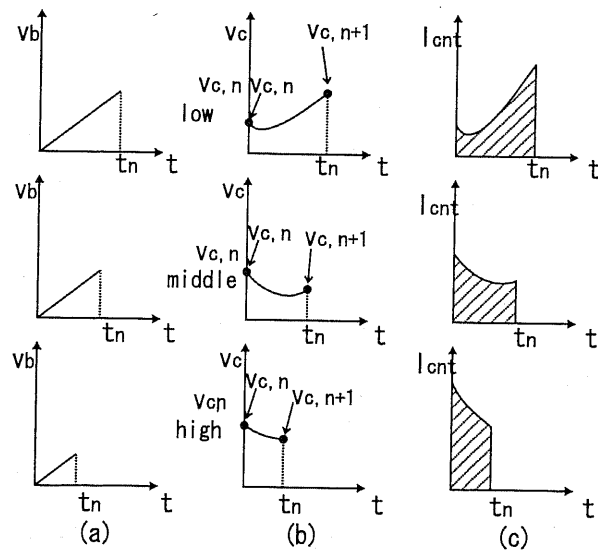


Figure 2.13: CMOS カオスマルチバイブレータの (a) v_b (b) v_c (c) i_{cnt} の変化の様子。

2.5 式による解析

前節で定性的に説明した回路の動作を、式を用いて解析的に表す。まず、回路の状態を記憶するノードであるノード C の電圧の反復写像の形を求める。次に、測定が容易なノードであるノード B に関して同様に解析を行い、式と測定結果の比較を行う。

2.5.1 ノード C の波形における反復写像

はじめに、ノード C の波形を作っている反復写像の形を簡単な式で表す。このために、発振の各周期を 2 つに分類する。一つは、ノード C のその周期内での初期電圧（以降、単に初期電圧と述べる場合、その周期内の初期電圧を指す。）が十分に高く、パルス幅が狭いために、MOS トランジスタ Mc がオンにならずに次の周期に切り替わるもので、この周期を Type A とする。もう一つは、ノード C の電圧が低いために、パルス幅が広くなり、周期の途中で Mc がオンになり、ノード C に接続された容量 C_2 が充電されるもので、この周期を Type B とする。以下で、それぞれの周期の式を求める。

Type A

MOS トランジスタ Mc がオフの時は、全くこのトランジスタには電流が流れないため、等価回路は Fig. 2.14 のように表され、容量 C_3 は定電流で放電される。このため、ノード C の電圧は、

$$v_c = v_{c,n} - \frac{I_{bias} t}{C_3} \quad (2.4)$$

$v_{c,n}$: n 周期目の v_c の初期値

のように減少していく。この時、容量 C_1 を放電する電流 i_{cnt} は、MOS トランジスタのドレイン電流の式に (2.4) を代入して

$$i_{cnt} = \beta_n (v_c - v_{tn})^2 \quad (2.5)$$

$$= \beta_n \left(v_{c,n} - v_{tn} - \frac{I_{bias} t}{C_3} \right)^2 \quad (2.6)$$

$$= \beta_n \left\{ (v_{c,n} - v_{tn})^2 - 2(v_{c,n} - v_{tn}) \frac{I_{bias} t}{C_3} + \left(\frac{I_{bias} t}{C_3} \right)^2 \right\} \quad (2.7)$$

$$\approx \beta_n (v_{c,n} - v_{tn})^2 - 2(v_{c,n} - v_{tn}) \frac{I_{bias} t}{C_3} \quad (2.8)$$

v_{tn} : nMOS トランジスタのしきい電圧

と近似される ($\frac{I_{bias} t}{C_3} \ll (v_{c,n} - v_{tn})$)。トランジスタ Mc がオンになる前にその周期は終わらないといけな。容量 C_1 を電流 i_{cnt} が一定の電圧 ΔV 分だけの電荷を放電したらその周期が次の周期に切り替わるため、次の式が成り立つ。

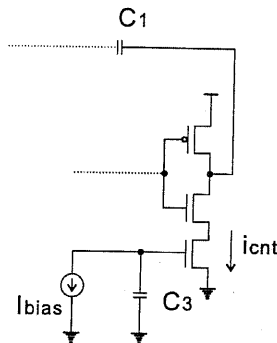


Figure 2.14: Type A の時の等価回路。

$$\Delta V = \frac{1}{C_1} \int_0^{t_n} i_{cnt} dt \quad (2.9)$$

$$= \frac{\beta_n}{C_1} \int_0^{t_n} \left\{ (v_{c,n} - v_{tn})^2 - 2(v_{c,n} - v_{tn}) \frac{I_{bias}}{C_3} t \right\} dt \quad (2.10)$$

$$= \frac{\beta_n}{C_1} \left[(v_{c,n} - v_{tn})^2 t - (v_{c,n} - v_{tn}) \frac{I_{bias}}{C_3} t^2 \right]_0^{t_n} \quad (2.11)$$

$$= \frac{\beta_n}{C_1} \left\{ (v_{c,n} - v_{tn})^2 t_n - (v_{c,n} - v_{tn}) \frac{I_{bias}}{C_3} t_n^2 \right\} \quad (2.12)$$

これを、 t_n に関する 2 次方程式として整理する。

$$\frac{I_{bias}}{C_3} (v_{c,n} - v_{tn}) t_n^2 - (v_{c,n} - v_{tn})^2 t_n + \frac{C_1}{\beta_n} \Delta V = 0 \quad (2.13)$$

もし、 $ax^2 + bx + c = 0$ の 2 つの解 α, β に $\alpha \ll \beta$ という関係があるとする、 $\alpha = \frac{c}{b}$ で近似できるため、小さい方の解は

$$t_n = \frac{C_1 \Delta V}{\beta_n (v_{c,n} - v_{tn})^2} \quad (2.14)$$

と表される。 n 周期目のノード C の終値 $v_{c,n+1}$ ($= (n+1)$ 周期目の初期値) を $v_{c,n}$ を用いて表すと

$$v_{c,n+1} = v_{c,n} - \frac{I_{bias}}{C_3} t_n \quad (2.15)$$

$$= v_{c,n} - \frac{I_{bias}}{C_3} \frac{C_1 \Delta V}{\beta_n (v_{c,n} - v_{tn})^2} \quad (2.16)$$

となる。

Type B

次に、MOS トランジスタ Mc がオンになる場合を考える。ノード B の電圧 v_b は鋸歯状波であるため、その周期のはじめの間は必ず Mc はオフになっていて、十分 v_b が高くなってから Mc はオンに切り換わる。まず、Mc がオンに切り換わるまでの時間 t_{turn} を求める。ノード B の電圧が (ノード C の電圧 + トランジスタのしきい電圧) よりも高くなると、トランジスタ Mc はオンになり、電流が流れはじめる。Fig. 2.15 が示すように、 v_b は時間に比例して増加するため、 v_c が v_b と同じ傾きで増加していくためには、Mc のゲートとソースの間に加わる電圧 ($v_b - v_c$ - しきい電圧) はある一定の電圧 v_{on} になる。容量 C_2 を定電流 I で充電することによる v_b の増加の割合と、容量 C_3 を充電ため Mc から供給される電流 i による v_c の増加の割合とは等しいため、次の関係が成り立つ。

$$\frac{i}{C_3} = \frac{I}{C_2} \quad (2.17)$$

$$i = \frac{C_3}{C_2} = \beta_n v_{on}^2 \quad (2.18)$$

その電圧 v_{on} は、式 (2.18) を解くと求められ

$$v_{on} = \sqrt{\frac{C_3 I}{C_2 \beta_n}} \quad (2.19)$$

で表される。Mc のしきい電圧は基板バイアス効果のため、ソースを接地してあるトランジスタと比べて、若干高くなる。そのしきい電圧 v_{tn2} の値は、ソースの電位である v_c の値により変化する。しかし、ノード

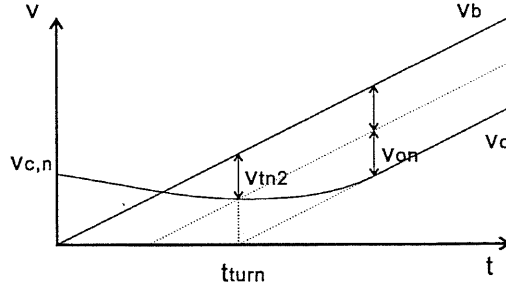


Figure 2.15: Type B の周期での v_b と v_c の変化の様子。

C の電圧は、ノード B の電圧と比較して、あまり大きく変化しないため、ほぼ一定の電圧とみなしても良く、Mc のしきい電圧 v_{tn2} は

$$v_{tn2} = v_{to} - \text{GAMMA} \cdot \text{PHI}^{\frac{1}{2}} + \text{GAMMA}(\text{PHI} + v_{sb})^{\frac{1}{2}} \quad (2.20)$$

と表せる [11]。 $t = t_{turn}$ の時に v_{tn2} を用いると次の式が成り立つ。

$$v_b(t_{turn}) - v_{tn2} = v_c(t_{turn}) \quad (2.21)$$

ノード B の電圧は時間に比例して

$$v_b = \frac{I}{C_2} t \quad (2.22)$$

のように増加していくため、式 (2.22) と (2.4) を式 (2.21) に代入して

$$\frac{I}{C_2} t_{turn} - v_{tn2} = v_{c,n} - \frac{I_{bias}}{C_3} t_{turn} \quad (2.23)$$

$$(2.24)$$

となる。ここで、 $\frac{I}{C_2} \gg \frac{I_{bias}}{C_3}$ という条件を用いると、

$$t_{turn} = \frac{C_2}{I} (v_{c,n} + v_{tn2}) \quad (2.25)$$

となる。この Mc がオンする前に容量 C_1 が放電される電圧 ΔV_1 は、式 (2.14) を利用して

$$\Delta V_1 = \frac{\beta_n}{C_1} (v_{c,n} - v_{tn})^2 t_{on} \quad (2.26)$$

$$= \frac{\beta_n}{C_1} (v_{c,n} - v_{tn})^2 \frac{C_2}{I} (v_{c,n} + v_{tn2}) \quad (2.27)$$

と表される。 C_1 が ΔV だけ放電されると次の周期に切り替わるため、 ΔV_1 は ΔV よりも低い電圧である。トランジスタ Mc がオンになった後は、ノード C の電圧はノード B の電圧より (しきい値 + v_{on}) だけ低い電圧になるように充電されると考えて、 v_c は

$$v_c = v_b - v_{tn2} - v_{on} \quad (2.28)$$

$$= \frac{I}{C_2} t - v_{tn2} - v_{on} \quad (2.29)$$

のように変化する。よって、Mc がオンになった後、容量 C_1 を放電する電流 i_{cnt} は次のように表される。

$$i_{cnt} = (v_{c,n} - v_{tn})^2 \quad (2.30)$$

$$= \left(\frac{I}{C_2} t - v_{tn} - v_{tn2} - v_{on} \right)^2 \quad (2.31)$$

C_1 が残りの電圧 ($\Delta V - \Delta V_1$) だけ放電されると周期が切り替わるため、 t_{turn} からその周期の終わりまでの時間を Δt とすると、次の関係がある。

$$\Delta V - \Delta V_1 = \frac{\beta_n}{C_1} \int_0^{\Delta t} \left(\frac{I}{C_2} t_{turn} + \frac{I}{C_2} t - v_{tn} - v_{tn2} - v_{on} \right)^2 dt \quad (2.32)$$

$$= \frac{\beta_n}{C_1} \int_0^{\Delta t} \left((v_{c,n} + v_{tn2}) + \frac{I}{C_2} t - v_{tn} - v_{tn2} - v_{on} \right)^2 dt \quad (2.33)$$

$$= \frac{\beta_n}{C_1} \int_0^{\Delta t} \left(v_{c,n} - v_{tn} - v_{on} + \frac{I}{C_2} t \right)^2 dt \quad (2.34)$$

$$= \frac{\beta_n}{C_1} \int_0^{\Delta t} \left\{ \left(\frac{I}{C_2} \right)^2 t^2 + 2(v_{c,n} - v_{tn} - v_{on}) \frac{I}{C_2} t + (v_{c,n} - v_{tn} - v_{on})^2 \right\} dt \quad (2.35)$$

$$= \frac{\beta_n}{C_1} \left\{ \left(\frac{I}{C_2} \right)^2 \frac{\Delta t^3}{3} + (v_{c,n} - v_{tn} - v_{on}) \frac{I}{C_2} \Delta t^2 + (v_{c,n} - v_{tn} - v_{on})^2 \Delta t \right\} \quad (2.36)$$

ここで、 $\Delta t^2 \gg \Delta t^3$ として、近似を用いて式 (2.36) を解くと

$$\Delta t = \frac{C_1}{\beta_n} \frac{\Delta V - \Delta V_1}{(v_{c,n} - v_{tn} - v_{on})^2} \quad (2.37)$$

$$= \frac{C_1}{\beta_n} \frac{\Delta V}{(v_{c,n} - v_{tn} - v_{on})^2} - \frac{C_1}{\beta_n} \frac{1}{(v_{c,n} - v_{tn} - v_{on})^2} \frac{\beta_n C_2}{I} (v_{c,n} - v_{tn})^2 (v_{c,n} + v_{tn2}) \quad (2.38)$$

式 (2.36) を Δt の 3 次方程式として厳密に解くと

$$\begin{aligned} \frac{1}{3} \left(\frac{I}{C_2} \Delta t \right)^3 + (v_{c,n} - v_{tn} - v_{on}) \left(\frac{I}{C_2} \Delta t \right)^2 + (v_{c,n} - v_{tn} - v_{on})^2 \left(\frac{I}{C_2} \Delta t \right) \\ - \frac{C_1}{\beta_n} \frac{I}{C_2} \Delta V + (v_{c,n} - v_{tn})^2 (v_{c,n} + v_{tn2}) = 0 \end{aligned} \quad (2.39)$$

$$\begin{aligned} \Delta t = \frac{C_2}{I} [-v_{c,n} + v_{tn} + v_{on} \\ + \{-108(v_{c,n} - v_{tn} - v_{on})^3 + 162(v_{c,n} - v_{tn} - v_{on})(v_{c,n}^2 - 2v_{c,n}v_{on} + v_{on}^2 - 2v_{c,n}v_{tn} + 2v_{on}v_{tn} + v_{tn}^2) \\ + 162(\left(\frac{C_1}{\beta_n} \frac{I}{C_2}\right) \Delta V - v_{c,n}^3 + 2v_{c,n}^2v_{tn} - v_{c,n}v_{tn}^2 - v_{c,n}^2v_{tn2} + 2v_{c,n}v_{tn}v_{tn2} - v_{tn}^2v_{tn2})\}^{\frac{1}{3}} / 3\sqrt[3]{2}] \end{aligned} \quad (2.40)$$

となる。周期の終値 $v_{c,n+1}$ は、 n 周期目のパルス幅が $(t_{turn} + \Delta t)$ であることから

$$v_{c,n+1} = v_b(t_{turn} + \Delta t) - v_{tn2} - v_{on} \quad (2.41)$$

$$= \frac{I}{C_2} (t_{turn} + \Delta t) - v_{tn2} - v_{on} \quad (2.42)$$

と表される。粗い近似である (2.38) を代入すると

$$v_{c,n+1} = \frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{(v_{c,n} - v_{tn} - v_{on})^2} - \frac{(v_{c,n} - v_{tn})^2 (v_{c,n} + v_{tn2})}{(v_{c,n} - v_{tn} - v_{on})^2} + v_{c,n} - v_{on}, \quad (2.43)$$

より厳密な近似である (2.40) を代入すると

$$\begin{aligned} v_{c,n+1} = v_{tn2} + v_{on} \\ + \{-108(v_{c,n} - v_{tn})^3 + 162(v_{c,n} - v_{tn})(v_{c,n}^2 - 2v_{c,n}v_{tn} + v_{tn}^2) \\ + 162(\left(\frac{C_1}{\beta_n} \frac{I}{C_2}\right) \Delta V - v_{c,n}^3 + 2v_{c,n}^2v_{tn} - v_{c,n}v_{tn}^2 \\ - v_{c,n}^2v_{tn2} + 2v_{c,n}v_{tn}v_{tn2} - v_{tn}^2v_{tn2})\}^{\frac{1}{3}} / 3\sqrt[3]{2} \end{aligned} \quad (2.44)$$

となる。

SPICE シミュレーションとの比較

Type A の周期に関して求めた $v_{c,n}$ と $v_{c,n+1}$ の関係の近似式 2.16 と、Type B の周期に関して求めた粗い近似式 2.42 と、より厳密な近似式 2.44 の 2 つとを SPICE シミュレーションの結果と比較した。測定結果ではなく SPICE の結果と比較したのは、ノード C の電圧は測定しにくいと思われたため、次章で述べる試作回路において、測定の端子を設けなかったためである。というのは、ノード C は、もともと測定を予定していたノード B に比べて、電圧の変化が少ない。さらに測定のために例えばオシロスコプのプローブを接続することで、余分な容量が接続されることになり、正確な容量がわからなくなってしまう。フィッティングにより合わせ込むことは可能だが、とりあえず確認の目的であれば不確定なパラメータは少ない方がよい。計算に用いたパラメータは Tbl. 2.1 に示したもので、フィッティングパラメータは、 ΔV の 1 つのみである。比較の結果は、Fig. 2.16 に示すように、よく一致している。

Table 2.1: $v_{c,n}$ の写像の計算に用いたパラメータ

nMOS	tox	vto	u0
	40nm	0.79V	720
pMOS	tox	vto	u0
	40nm	-0.9V	340
	GAMMA	PHI	
	0.2111	0.576	
Capacitor	C_1	C_2	C_3
	3nF	4.7nF	1nF
Voltage	V_{dd}	V_{saw}	V_{bias}
	3	1.8	0.8
Fitting Parameter	ΔV		
	1.5V		

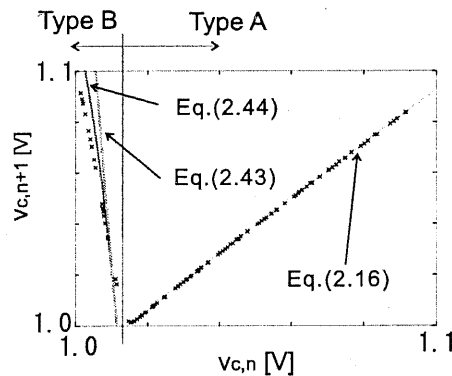


Figure 2.16: SPICE シミュレーションで作成した $v_{c,n}$ の反復写像と解析式との比較

2.5.2 ノード B の波形における反復写像

次にノード B の信号変化を解析する。 v_b の周期は、Fig. 2.17に示すように分類される。Type A は、その周期の間 Mc がオフであり、かつ v_b のその周期のピークが直前の周期のピークより増加している時である。Type B は、その周期内で Mc がターンオンし、かつ v_b のピークが直前の周期のピークに比べ、増加している時である。Type C は、その周期の間 Mc がオフであり、かつ v_b のピークが直前のピークよりも減少しているときである。 v_c の場合 Type A と Type B の 2 つに分類すれば良かったが、 v_b の式を作るためには、3 つに場合分けする必要がある、式も複雑になってしまう。しかし、ノード B の電圧は、測定が行いやすいため、式を求めることにより、実際に測定したデータと比較を行って検証することができるという利点がある。

Fig. 2.18に示すように、周期の Type により、次にどの周期が来るか決まっている。今の周期が Type A の時、次の周期は Type A か Type B のどちらかである。Type B の次は必ず Type C になる。Type C の次は Type A か Type B のどちらかである。これらの周期の Type を遷移していくことでループを構成してカオス発振するわけであるが、ループを構成する時に、必ずしも Type A は必要ではない。Type B と Type C を交互に繰り返すことによりカオス発振することも可能で、そのような発振の例は、後述する 3.1にも示してある。

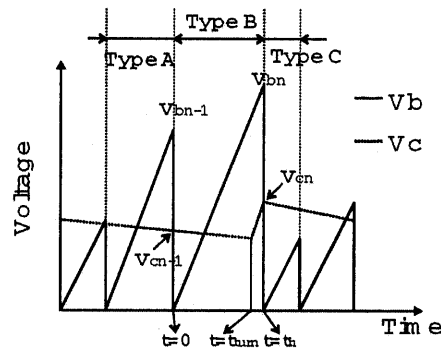


Figure 2.17: 発振周期の分類

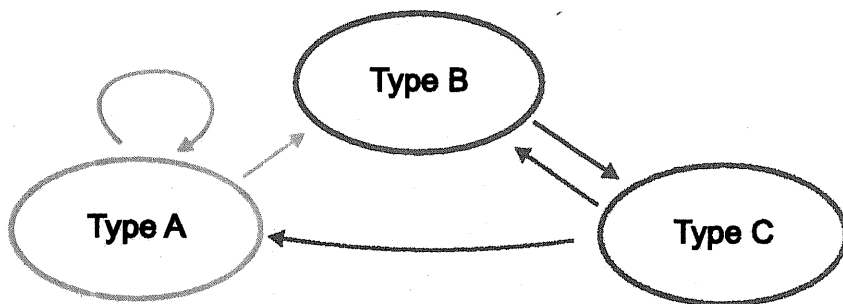


Figure 2.18: 発振周期の遷移の様子

Type A

ノード B の電圧は、容量 C_2 を定電流 I で充電する時間に比例して決まる。また、Mc はオンにはならないため、 v_c の Type A と条件は同じである。このため、式 (2.14) で求めた充電する時間 t_n の式がそのまま使えるので、

$$v_{b,n} = \frac{I}{C_2} t_n = \frac{I}{C_2} \frac{C_1 \Delta V}{\beta_n (v_{c,n-1} - v_{ln})^2} \quad (2.45)$$

$$v_{b,n+1} = \frac{I}{C_2} t_{n+1} = \frac{I}{C_2} \frac{C_1 \Delta V}{\beta_n (v_{c,n} - v_{tn})^2} \quad (2.46)$$

と表せる。さらに、式 (2.16) で求めた type A の周期での $v_{c,n}$ と $v_{c,n+1}$ の関係式を用いて、

$$v_{b,n+1} = \frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{\left(v_{c,n-1} - \frac{I_{bias}}{C_3} \frac{C_1}{\beta_n} \frac{\Delta V}{(v_{c,n-1} - v_{tn})^2} - v_{tn} \right)^2} \quad (2.47)$$

ここで、 $v_{c,n-1}$ を消すため、 $v_{c,n-1}$ を $v_{b,n}$ を用いて表すと、

$$(v_{c,n-1} - v_{tn})^2 = \frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{v_{b,n}} \quad (2.48)$$

$$v_{c,n-1} = v_{tn} + \sqrt{\frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{v_{b,n}}} \quad (2.49)$$

式 (2.45) ~ (2.49) を用いて最終的に $v_{b,n}$ と $v_{b,n+1}$ の関係を求めると

$$v_{b,n+1} = \frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{\left(\sqrt{\frac{C_1}{C_2} \frac{I}{\beta_n} \frac{\Delta V}{v_{b,n}}} - \frac{I_{bias}}{C_3} \frac{C_2}{I} v_{b,n} \right)^2} \quad (2.50)$$

となる。

Type B

Type B の領域では、 $v_{b,n+1}$ を $v_{b,n}$ を用いて表そうとするとかなり見通しの悪い式になってしまう。このため、 $v_{b,n}$ と $v_{b,n+1}$ をそれぞれ $v_{c,n}$ の関数として表すことにする。Type B における $v_{b,n}$ は、ノード C の式では Type A の周期にあたるため、 t_n を求める式 (2.14) を用いることができ、

$$v_{b,n} = \frac{I}{C_2} t_n \quad (2.51)$$

$$= \frac{I}{C_2} \frac{C_1}{\beta_n} \frac{\Delta V}{(v_{c,n-1} - v_{tn})^2} \quad (2.52)$$

$v_{b,n+1}$ は、ノード C の式では、Type B の周期にあたるため、式 (2.25) の t_{turn} と式 (2.40) の Δt を用いることができ、

$$v_{b,n+1} = \frac{I}{C_2} (t_{turn} + \Delta t) \quad (2.53)$$

$$\begin{aligned} &= 2v_{tn2} + 2v_{on} + \{-108(v_{c,n} - v_{tn})^3 \\ &\quad + 162(v_{c,n} - v_{tn})(v_{c,n}^2 - 2v_{c,n}v_{tn} + v_{tn}^2) + 162\left(\frac{C_1 I}{\beta_n C_2}\right) \Delta V \\ &\quad - v_{c,n}^3 + 2v_{c,n}^2 v_{tn} - v_{c,n} v_{tn}^2 - v_{c,n}^2 v_{tn2} + 2v_{c,n} v_{tn} v_{tn2} - v_{tn}^2 v_{tn2}\}^{1/3} / 3\sqrt[3]{2} \end{aligned} \quad (2.54)$$

となる。

Type C

次に、Type C の周期の式を求める。このために、式 (2.29) をより正確なものに書き直す。式 (2.29) ではトランジスタ Mc がオンになってから Mc のゲート~ソース間に加わる電圧が一定になるまでの時間の v_c の緩やかな変化を無視していた。トランジスタ Mc に流れる電流は $\beta_n (v_b - v_c - v_{tn2})^2$ で表されるため、 v_c はその電流を積分すればよく、

$$\frac{1}{C_3} \int \beta_n (v_b - v_c - v_{tn2})^2 dt = v_c \quad (2.55)$$

の関係が成り立つ。ここで、 v_b は鋸歯状波であるため、時間に比例して

$$v_b = \frac{I}{C_2}t \quad (2.56)$$

のように増加していく。一方、 v_c も同じ傾きの増加に収束していくため、 $t = t_{turn}$ で値が 0、 $t = \infty$ で値が v_{on} になる関数を $f(t)$ として

$$v_c = \frac{I}{C_2}t - v_{tn2} - f(t) \quad (2.57)$$

という形だと予想される。そこで、式 (2.56) と (2.57) を式 (2.55) に代入して

$$\frac{1}{C_3} \int \beta_n f^2 dt = \frac{I}{C_2}t - v_{tn2} - f(t) \quad (2.58)$$

この式を微分して $f(t)$ に関する微分方程式をつくり、 $f(t)$ を求める。

$$\frac{C_3}{\beta_n} \frac{df}{dt} = \frac{C_3}{\beta_n} \frac{I}{C_2} - f^2 \quad (2.59)$$

この式を解いて、

$$f(t) = \frac{K e^{2\sqrt{\frac{I\beta_n}{C_2C_3}}t} - 1}{K e^{2\sqrt{\frac{I\beta_n}{C_2C_3}}t} + 1} \sqrt{\frac{IC_3}{C_2\beta_n}} \quad (2.60)$$

境界条件を代入して

$$f(t) = \sqrt{\frac{IC_3}{C_2\beta_n}} \frac{e^{2\sqrt{\frac{I\beta_n}{C_2C_3}}(t-t_{turn})} - 1}{e^{2\sqrt{\frac{I\beta_n}{C_2C_3}}(t-t_{turn})} + 1} \quad (2.61)$$

$$= v_{on} \tanh 2\sqrt{\frac{I\beta_n}{C_2C_3}}(t - t_{turn}) \quad (2.62)$$

これを式 (2.57) に代入して

$$v_c = \frac{I}{C_2}(t - t_{turn}) - v_{tn2} - v_{on} \tanh 2\sqrt{\frac{I\beta_n}{C_2C_3}}(t - t_{turn}) \quad (2.63)$$

トランジスタ Mc がオンしはじめる電圧を $v_{bturn}(= \frac{I}{C_2}t_{turn})$ とすると、

$$v_{b,n} = \frac{I}{C_2}t_{n-1} \quad (2.64)$$

$$= \frac{I}{C_2}(t_{turn} + \frac{C_2}{I}(v_{b,n} - v_{bturn})) \quad (2.65)$$

$$t_{n-1} = t_{turn} + \frac{C_2}{I}(v_{b,n} - v_{bturn}) \quad (2.66)$$

ここで、 v_{bturn} の変化はあまり大きくないことからほぼ一定と思って良く、 v_{bturn} の最大値を v_p とすると、

$$t_{n-1} = t_{turn} + \frac{C_2}{I}(v_{b,n} - v_p) \quad (2.67)$$

と近似できる。式 (2.46) に式 (2.63)・(2.67) を代入すると $v_{b,n}$ と $v_{b,n+1}$ の関係が以下のように求まる。

$$v_{b,n+1} = \frac{IC_1}{C_2\beta_n} \frac{\Delta V}{(v_{b,n} - v_{tn} - v_{tn2} - v_{on} \tanh \frac{v_{b,n} - v_p}{v_{on}})^2} \quad (2.68)$$

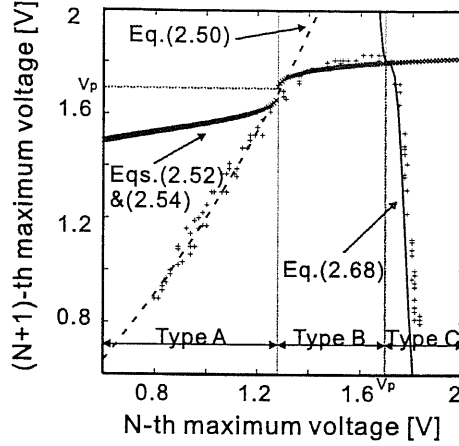


Figure 2.19: 測定結果と式との比較

測定値との比較

Type A、Type B と Type C の周期に関して求めた $v_{b,n}$ と $v_{b,n+1}$ の関係式について、測定結果との比較を行った。測定を行なった回路は、後で説明する 3.2 のゲートアレイを用いて作成した回路である。測定結果と、計算結果を一つにプロットした図を Fig. 2.19 に示す。計算に用いたパラメータは Tbl. 2.2 の通りである。どの領域においてもよく一致している。また、3 つのタイプの境界の位置も正確に定められる。Type A と Type B の境界は、トランジスタ M_c がオンするかしないかで決められる。このため、 M_c がオンになる時のノード B の電圧 v_{bturn} の最大値を Fig. 2.19 にとると、そこが境界になる。次に、Type B の次の周期は必ず Type C になるため、Type B の値域がそのまま Type C の定義域になる。Type B での最小値は、Type A と Type B の境である v_p であるため、 v_p を横軸にとると、そこが Type B と Type C の境界になる。 v_p を具体的に計算すると、 C_1 が ΔV だけ放電される時間と、 v_b が $v_{c,n} + v_{tn2}$ に到達する時間が等しいというのが条件のため、

$$\Delta V = \frac{\beta_n}{C_1} (v_{c,n} - v_{tn})^2 \frac{C_2}{I} (v_{c,n} + v_{tn2}) \quad (2.69)$$

という式が成り立つ。この式の解を $v_{c,n} = a$ とすると、 v_p は、

$$v_p = v_{c,n+1} + v_{tn2} \quad (2.70)$$

$$= \left(1 - \frac{I_{bias} C_2}{C_3 I}\right) a + \left(1 + \frac{I_{bias} C_2}{C_3 I}\right) v_{tn2} \quad (2.71)$$

で求められる。

このようにして、CMOS カオスマルチバイブレータの動作は完全に解析的に表すことができる。

Table 2.2: 計算に用いたパラメータ

C_1	C_2	C_3
100pF	4.7nF	950pF
I	I_{bias}	β_n
52 μ A	37nA	1.06mA/V ²
ΔV	v_{tn}	v_{tn2}
1.350V	0.790V	0.895V

2.5.3 消費電力の見積もり

この回路で消費される電力 P は、以下の式のように見積もられる。

$$P = \frac{1}{2}C_1V_{dd}^2f + V_{dd}I + V_{dd}I_{bias} \quad (2.72)$$

右辺の第1項目はマルチバイブレータそのものが消費する電力であり、 C_1 の充放電する回数、つまり発振周波数に比例する。第2項目は C_2 の充放電によって消費される電力である。 C_2 は基本的に定電流 I で充電されていて、放電は一瞬であるため、電源電圧 V_{dd} と C_2 を充電する電流 I の積で表される。第3項目は C_3 の充放電で消費される電力である。 C_3 は、基本的に定電流で I_{bias} で放電され続けているため、 V_{dd} と I_{bias} の積で表される。例えば、Tbl. 2.2に示したパラメータを用いて各項を計算すると、第1項目 $1.4\mu\text{W}$ ・第2項目 $104\mu\text{W}$ ・第3項目 74nW となる。第2項目が支配的であるが、この項は $\frac{I}{C_2}$ の比を一定に保ったまま C_2 を小さくすれば特性を変化させることなく減らすことが可能である。このため、マルチバイブレータをカオス発振できるようにしたことによる消費電力的なデメリットはないと言える。

2.6 本章のまとめ

マルチバイブレータを利用したカオス発振回路の設計方針について説明をし、その例としてバイポーラトランジスタのマルチバイブレータを利用したBiCMOSカオスマルチバイブレータ、CMOSのマルチバイブレータを利用したCMOSカオスマルチバイブレータを示した。また、その回路動作について定性的および定量的に説明を行なった。CMOSカオスマルチバイブレータについては、測定結果と良く一致する解析式が得られたので、回路の高性能化を追求し制御するための指標となる。

Fig. 3.2に測定波形を、Fig. 3.3にノード B の電圧波形から作成したローレンツプロットを示す。ローレンツプロットを見ると、Type A の領域が見られない、Type B と Type C だけで構成されている形になっている。つまり、トランジスタ M_c がオンになる周期とならない周期が交互に現れるという発振の仕方をしていることになる。Type B の周期では、ピークにあまり差がないため、1 周期ごとにランダムなピークの波形が出ているようにみえる。

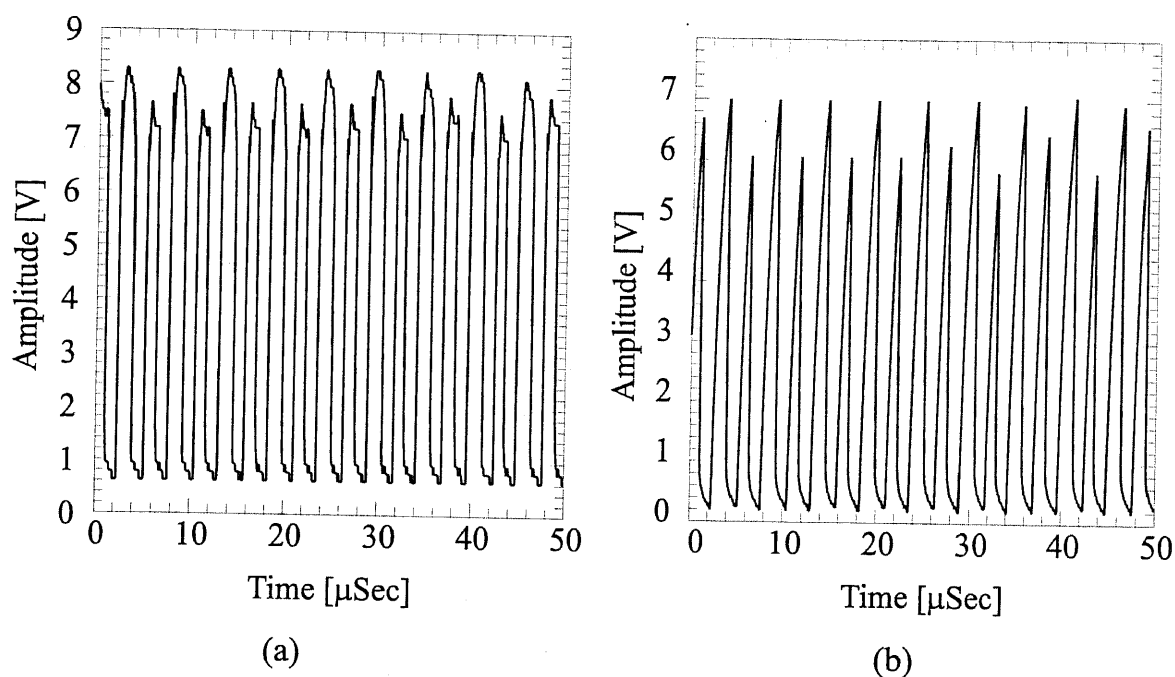


Figure 3.2: 個別素子で構成した CMOS カオスマルチパイブレータの (a) ノード A (b) ノード B の電圧波形

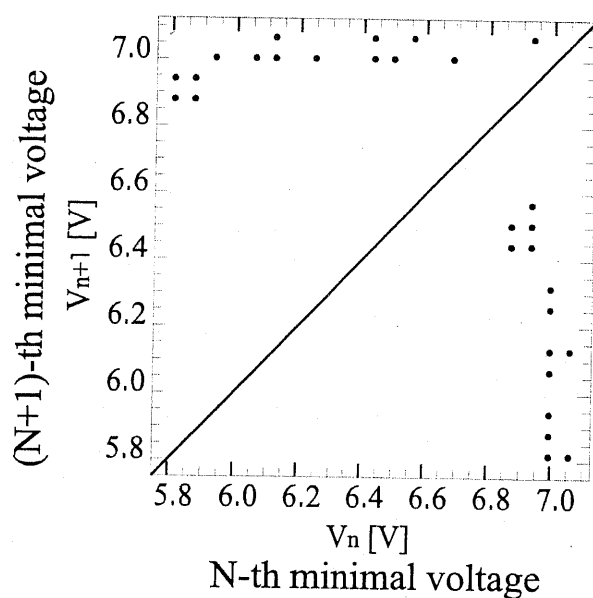


Figure 3.3: Fig. 3.2(b) に示した波形より作成したローレンツプロット

3.2 ゲートアレイを用いて設計した回路

Fig. 3.4がゲートアレイで設計した回路である。この回路の出力波形より作成されたローレンツプロットを、2章で解析式と比較した。トランスタのサイズは、PMOS・NMOSともにゲート長 $3\mu\text{m}$ 、ゲート幅 $150\mu\text{m}$ である。容量は作り込むことができないため、外付けとした。鋸歯状波発生部分は、電流調整用のトランジスタを追加して実現した。外部から直流電圧を加えることで容量を充電する電流を調整し、鋸歯状波の傾きを変化させられる。また、出力がLowの時のパルス幅も調整できるように、もう一つ電流調整トランジスタを追加してある。この回路には容量 C_3 はないが、MOSトランジスタのゲート容量がその役割を果たしている。動作電圧は、2V程度である。

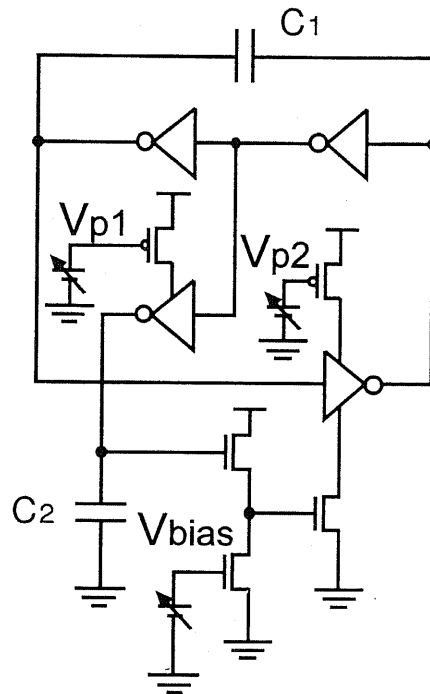


Figure 3.4: ゲートアレイを用いて設計した CMOS カオスマルチバイブレータ

3.3 マスタースライス方式で設計した回路

今まで説明してきた CMOS カオスマルチバイブレータは、NMOS をベースとしていたが、PMOS をベースとしても設計することができる。Fig. 3.5に示す回路が PMOS をベースとして設計した CMOS カオスマルチバイブレータである。この回路はマスタースライス方式で設計した。PMOS をベースとしたのは、使うことができる NMOS トランジスタの数が少なかったためである。このため、出力波形は Fig. 3.6に示すように、これまでのものと異なり上下が反転した出力になっている。使用した容量は全てオンチップの MOS 容量である。通常 MOS 容量は、特性が非線型で、特に Depletion 領域で容量値が大きく変化するため、通常片側を接地して Inversion 状態にして用いる。ところが、この回路にはどちらのノードも接地しない容量 C_1 が存在する。しかし、 C_1 の役割は、インバータの出力が反転するのに必要な電圧になるまで、ある一定量の電荷を蓄積することであり、その途中の電圧値は重要ではない。このため、非線型な容量を用いても特に問題はない。このことは、CMOS カオスマルチバイブレータは、安価な 1 層 Poly のデジタル回路用のプロセスを用いても実現できることを意味している。

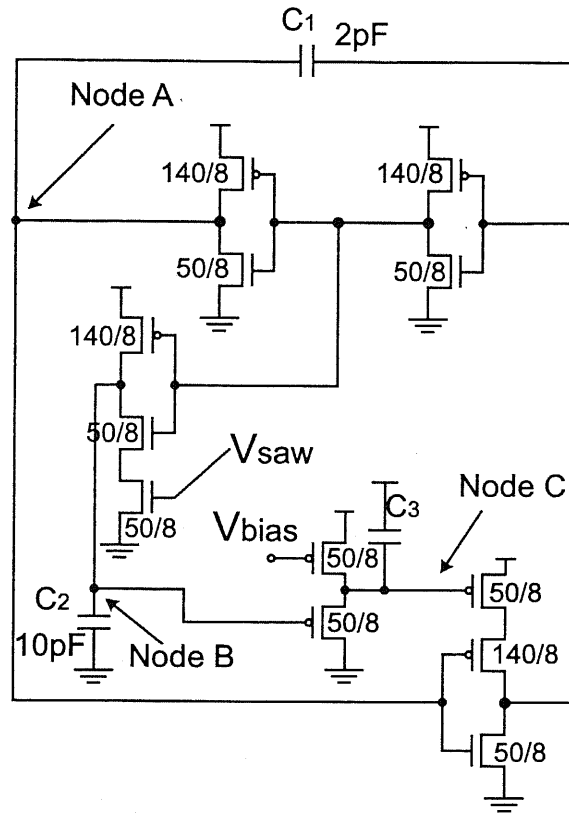


Figure 3.5: マスタースライス方式で設計した CMOS カオスマルチバイブレータ。 C_3 はゲート容量。MOS トランジスタの (ゲート幅 $[\mu\text{m}]$)/(ゲート長 $[\mu\text{m}]$) 比は図中に示してある。

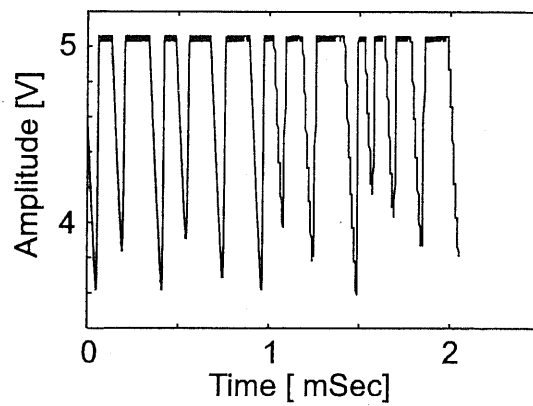


Figure 3.6: マスタースライス方式で設計したチップの測定波形 $v_{sw} = 0.7\text{V}$ $v_{bias} = 4.5\text{V}$

3.4 フルカスタム設計の回路

Fig. 3.7に CMOS1.2 μm ルールでフルカスタム設計した回路のレイアウトを、Table 3.1と 3.2に各素子のパラメータを示す。回路自体は Fig. 2.10に示したものと同一である。Fig. 3.7を見るとわかるように、面積が最小になるような最適化は行っていないため、特にトランジスタ・容量のサイズを変更しなくても、全体の面積をもっと小さくできる。さらに、レイアウト上で大きな面積を占めるの容量が下半分に2つあり、これを最適化すればもっと小面積にできる。例えば、右側の大きい方の容量は鋸歯状波を作り出すための容量 C_2 である。鋸歯状波の傾きは容量と、それを充電する電流の比で決まる。回路のカオス発振特性に効いてくるのは、この傾きだけであり、 C_2 の絶対値は重要ではない。このため、 C_2 を充電する電流をもっと小さくするように設計すれば、それに比例して理想的にはいくらかでも容量 C_2 を小さくできる。もしくは、Fig. 3.8に示すように、このノードを接続する先の配線容量やゲート容量を想定して設計すれば、この容量はなくすることも可能であるため、トランジスタのサイズを自由に換えられるフルカスタムのチップでは、非常にコンパクトにまとめることが可能である。ただし、どの容量もアナログ値を保持するための容量であるため、熱雑音の影響なども考えて設計されるべきである。

Table 3.1: 各トランジスタのサイズ

Transistor	Gate Length	Gate Width
In1 pMOS	1.5 μm	13.0 μm
nMOS	1.5 μm	6.3 μm
In2 pMOS	1.5 μm	13.0 μm
nMOS	1.5 μm	6.3 μm
InS pMOS	1.5 μm	3.0 μm
nMOS	1.5 μm	13.0 μm
InR pMOS	15.0 μm	6.3 μm
nMOS	1.5 μm	6.3 μm
Mc,Md,Mpw	1.5 μm	6.3 μm

Table 3.2: 設計した容量値

Capacitor	Value
C1	0.1pF
C2	15pF

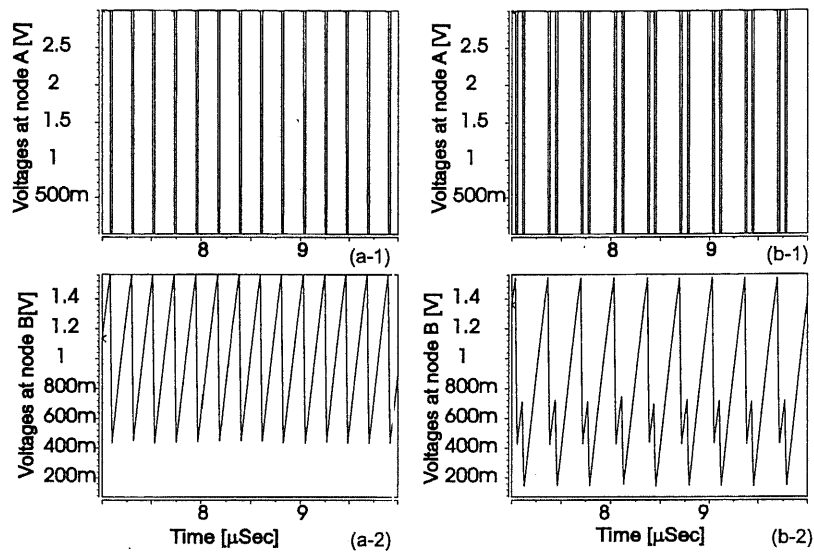


Figure 3.9: (a) (a-1) ノード A (a-2) ノード B の 1 倍周期波形。 $V_{dd}=3V$ $V_{bias}=0.5V$ 。 (b)(b-1) ノード A (b-2) ノード B の 2 倍周期波形。 $V_{dd}=3V$ $V_{bias}=0.45V$ 。どちらも SPICE シミュレーション波形。

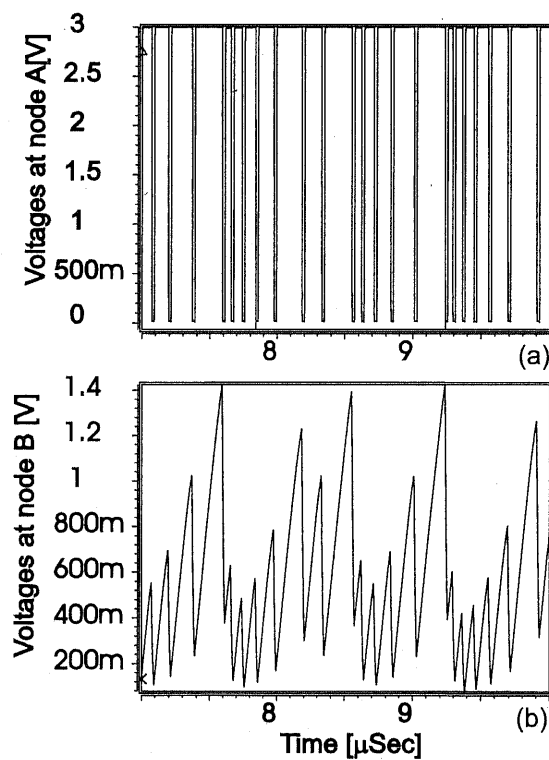


Figure 3.10: (a) ノード A (b) ノード B のカオス状態の SPICE シミュレーション波形。 $V_{dd}=3V$ $V_{bias}=0.36V$ 。

3.5 本章のまとめ

個別素子、ゲートアレイ、マスタースライス、フルカスタムという異なる4種類の方法でのCMOSカオスマルチバイブレータの設計に関して説明した。特に、ゲートアレイ、マスタースライスは、トランジスタのサイズ・特性が可変ではないという制限があるが、それでも容易にカオス発振する回路を実現できたことから、CMOSカオスマルチバイブレータは、カオス発振回路として扱いやすいものであることがわかった。また、トランジスタ・容量のサイズに制限の少ないフルカスタムの設計では、工夫することで非常に小面積なものを実現できる。

Chapter 4

CMOS カオスマルチバイブレータの特性

本章では章で述べた実際に測定を行なった個別素子、ゲートアレイ、マスタースライス方式で作成したチップの3種類のうち、ゲートアレイとマスタースライス方式の2種類について、測定したデータから、その特性を示す。

4.1 時系列波形とローレンツプロット

4.1.1 通常のカオス発振モード

カオス発振回路のデータとしてもっとも基本的なものである時系列波形を示す。Fig. 4.2は3.2で述べたゲートアレイで作成した回路の時系列波形の測定結果である。パラメータの1つである電圧 V_{bias} を変化させていくと、それに応じて発振の状態も1倍周期、2倍周期、カオスと変化している。発振の状態がカオスなのか、それとも非常に長い周期の周期波形なのか準周期波形なのか時系列波形を見るだけでは判別することはできない。このため、カオスの判定手段の一つとしてローレンツプロットを作成した。また、そのプロットをもとにリアプノフ指数を計算した。リアプノフ指数は、相空間内の近接した軌道が時間とともに離れていく程度を表す量である。時刻 t における軌道間の距離を $d(t) = d(0)\exp(\lambda t)$ で表す時、リアプノフ指数は λ で表現される [12]。つまり、リアプノフ指数が正であると極めて近い2つの軌道が時間とともに指数関数的に離れていくということを表している。このため、正のリアプノフ指数を持つということはカオスの条件の一つである初期値敏感性をみたしていることを示している。Fig. 4.1に作成したローレンツプロットを示す。現周期のピーク値から次の周期のピーク値が一意に決まる上に凸の写像が得られた。このことから、低次元のカオスの存在の可能性があることがわかる。このデータより計算したリアプノフ指数は0.572と正の値であることから、この回路はカオス発振していることが示された。

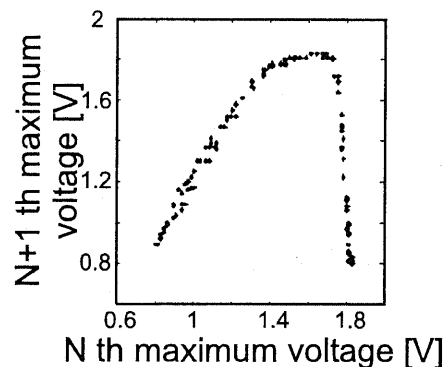


Figure 4.1: ゲートアレイで作成した回路 (Fig.3.4) のノード B の出力波形から作成したローレンツプロット

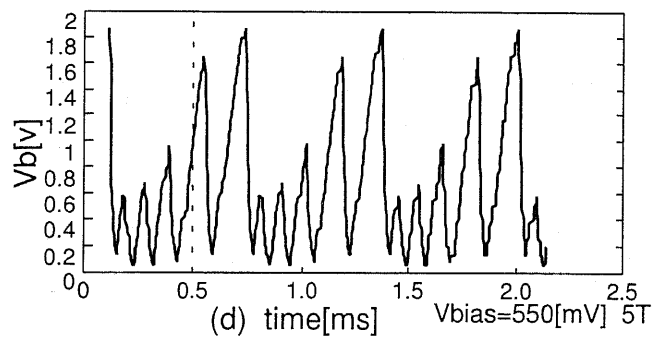
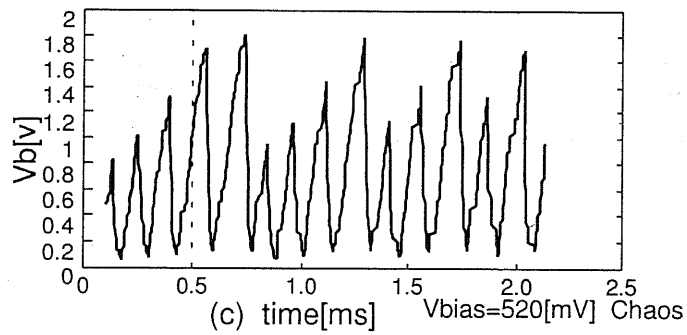
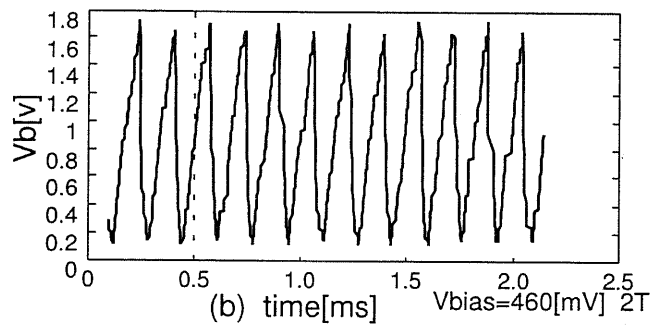
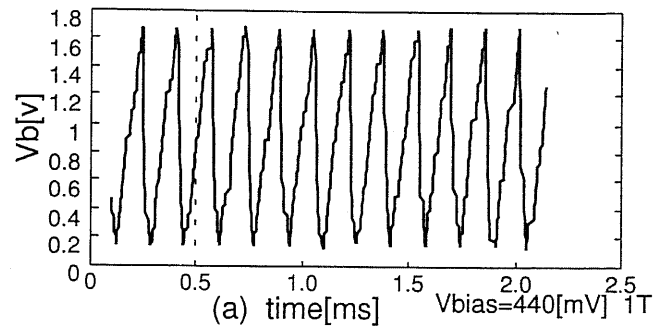


Figure 4.2: ゲートアレイで作成した回路 (Fig.3.4) のノード B の出力波形

4.1.2 別のカオス発振モード

どの CMOS カオスマルチバイブレータでもそうなのだが、ここでは、3.3で説明したマスタースライス方式で設計した回路の測定結果から、今まで説明してきたものとは異なるモードの発振があることについて説明する。Fig. 3.6に示した発振の時には、Fig. 4.3に示すように今まで説明してきたものと同じローレンツプロットが得られる。ただし、マスタースライス方式の回路は PMOS ベースで設計したため、反転した出力が得られるため、下に凸の写像になっている。Fig. 4.4に、測定条件を変えて測定した波形を、Fig. 4.5にその測定波形より作成したローレンツプロットを示す。右半分が2本に分かれた線になっている。これは、明らかに2章で説明した機構以外のことが起こっているためである。その理由として次のことが考えられる。Fig. 4.4を見ると、波形は既に鋸歯状波とは言えない形になっている。容量 C_2 を充放電する時定数差を大きくすることで鋸歯状波を作り出していたわけであるが、この充放電の時定数の差が小さくなるとこの図のように、鋸歯状波ではなくなってくる。

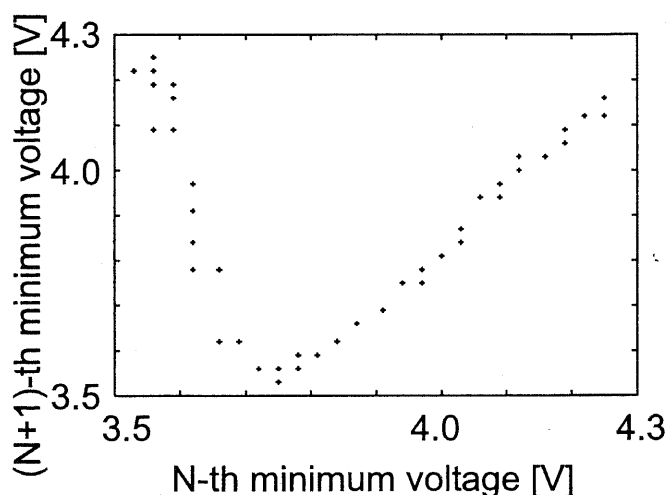


Figure 4.3: マスタースライス方式で設計した回路の Fig. 3.6に示した通常モード発振状態のローレンツプロット。 $v_{saw} = 0.7V$ $v_{bias} = 4.5V$

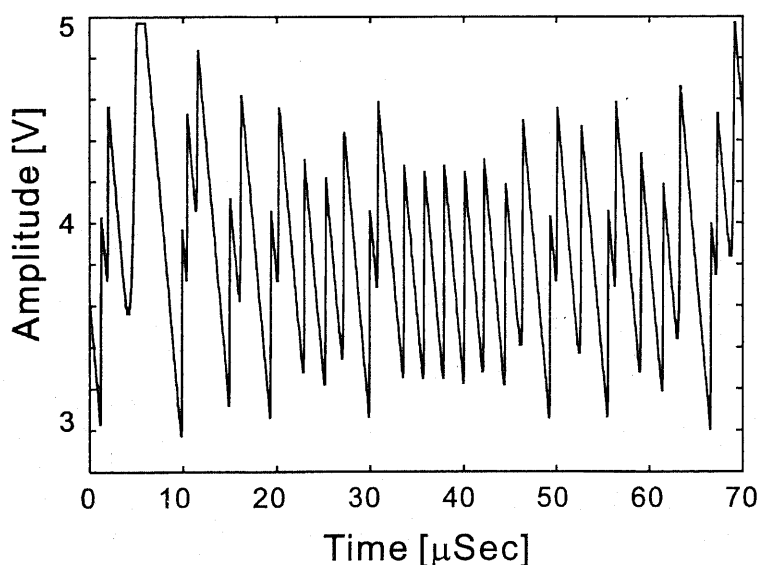


Figure 4.4: 別モード発振状態の時系列波形。 $v_{saw} = 0.90V$ $v_{bias} = 4.5V$

ノード B の発振波形が鋸歯状波であると、Fig. 4.6(a) に示すように、その周期のはじめに v_b は一度 0

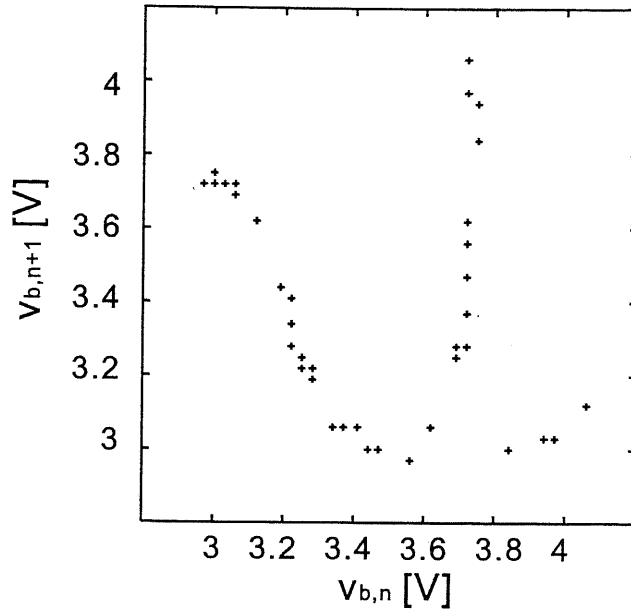


Figure 4.5: 作成したローレンツプロット。1本の線ではなく、2本に分岐している。

に戻されるため、この時回路の状態は、 v_c だけで表される。したがって、その周期の終状態である $v_{c,n+1}$ や $v_{b,n+1}$ は $v_{c,n}$ だけの関数になり、Fig. 4.5のように現在の状態と、その一つ先の状態の関係を示すグラフを作成すると、x 軸の値が決まれば、y 軸の値も一意に決まる。しかし、Fig. 4.6(b) に示すように容量の放電が十分行なわれないとなると、周期のはじめの回路の状態は $v_{c,n}$ だけでなく、 C_2 を放電しきれずに残った電圧 v_{b,n_res} にも記憶されているため、 $v_{c,n+1}$ や $v_{b,n+1}$ は $v_{c,n}$ と v_{b,n_res} の2つの変数の関数になる。Fig. 4.6(b) を例とすると、 v_{b,n_res} は、 $v_{b,n}$ の関数であり、 $v_{b,n}$ は $v_{c,n-1}$ と $v_{b,(n-1)_res}$ の関数であるが、 $v_{b,(n-1)_res}$ は0であるため、結局 $v_{c,n+1}$ と $v_{b,n+1}$ は $v_{c,n}$ と $v_{c,n-1}$ の過去2つの状態により決まる関数ということになる。今までの経験上 C_2 を放電しきれなかった残りの電圧 v_{b,n_res} があまり大きくない場合、その影響は $v_{c,n+1}$ にはあまり効いてこないようである。 v_{b,n_res} の影響が効いてくると、正のリアプノフ指数が一つの低次元のカオス発振から、より高次元のカオス発振へ変わる可能性がある。

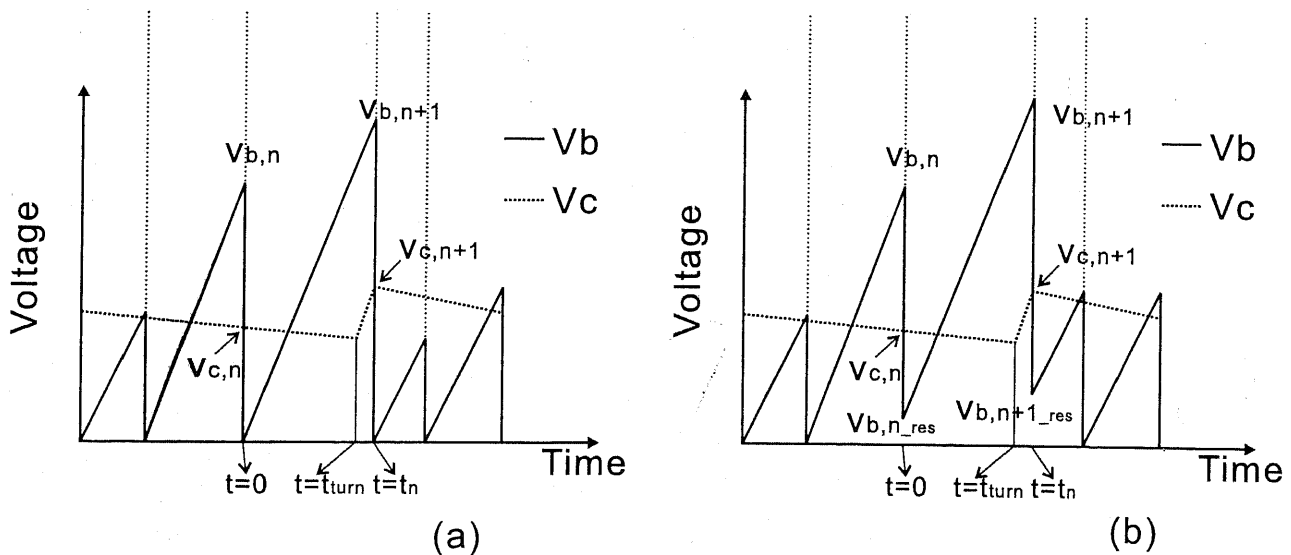


Figure 4.6: ローレンツプロット分岐発振発生の原因

そこで、カオスとして最も典型的なロジスティック写像をもとにして、Fig. 4.7に示すモデルをたて、計算を行なった。内部のロジスティック写像部では、カオス発生条件を満たす $X_{n+1} = 4X_n(1 - X_n)$ で計算を行なっている。ここでは、もう一つ前の値 X_{n-1} の影響は受けない。 $v_{b,n-res}$ が $v_{c,n+1}$ に影響を与えないということと同じ効果を期待している。そして、観察できる出力 V_n は、 X_{n+1} と、1周期分の遅延があるため X_{n-1} から計算した値 V_{res} との和であるとする。つまり

$$V_n = X_{n+1} + V_{res}(X_{n-1}) \quad (4.1)$$

で表され、 V_n は X_n と X_{n-1} とで決まる。 V_{res} は容量を放電し切れずに残った電圧と同じ効果を期待していて、 X_n が 0.8 より小さい時は 0 で、0.8 より大きい時には $X_n - 0.8$ になるとする。この条件で繰り返し計算を行なうと、Fig. 4.8のように、2本に分かれるプロットが得られた。このことから、Fig. 4.5のようにプロットが2本に分かれる現象をほぼ説明できると思われる。

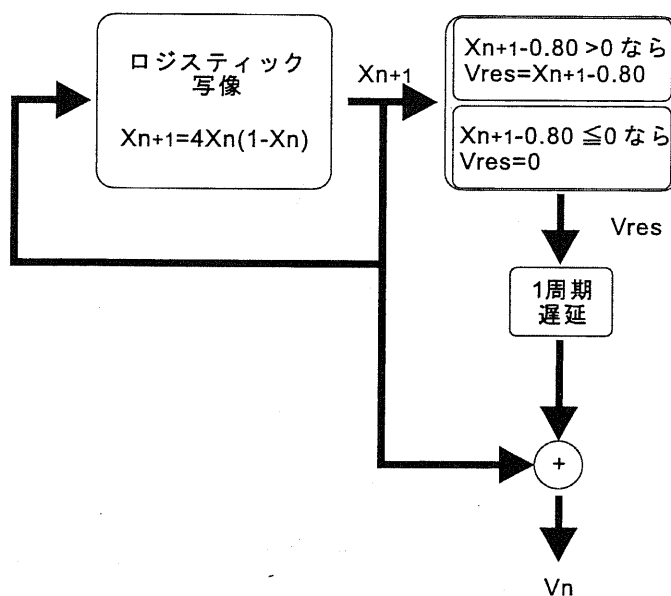


Figure 4.7: ローレンツプロット分岐モデル

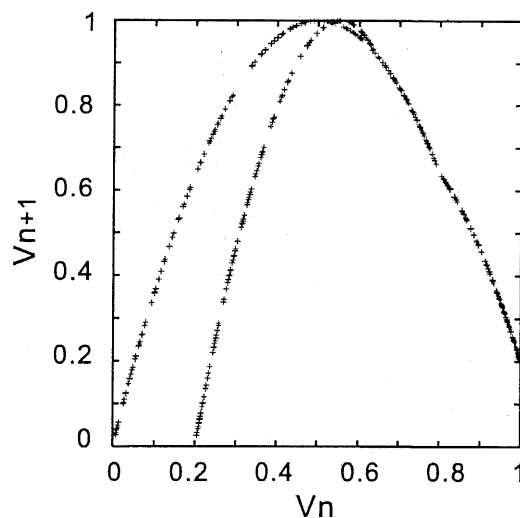


Figure 4.8: 分岐モデルで作成したローレンツプロット

4.2 分岐図と相図

回路の発振状態がバイアス電圧などのパラメータを変化させることにより、どのように変化するかを表す手段として、分岐図や相平面図がある。ゲートアレイで作成した回路から測定された分岐図と相平面図を Fig. 4.9 と Fig. 4.11 に示す。分岐図から V_{bias} を変えていく時の分岐の様子や V_{bias} が大きい時と小さい時のピーク値の差などがわかる。 V_{bias} が大きい時の2倍周期はピークの差が大きくわかりやすいが、 V_{bias} が小さい時の2倍周期はピークの差が小さく、わかりにくい。3.4で設計したトランジスタのパラメータを用いた、SPICEシミュレーションで求めた分岐図を Fig. 4.10 に示す。実験結果と同様の傾向を示していて、トランジスタのパラメータが同じでなくても、分岐からカオス発生に至るダイナミクスはほぼ同じであると言える。Fig. 4.11の相平面図からはどの領域でカオス発振しているのかなどがわかる。また、例えば V_{bias} を0.54V程度に固定して V_{p1} を変えていくと1倍→2倍→4倍…と倍周期分岐していく様子が観察しやすいといったことがわかる。

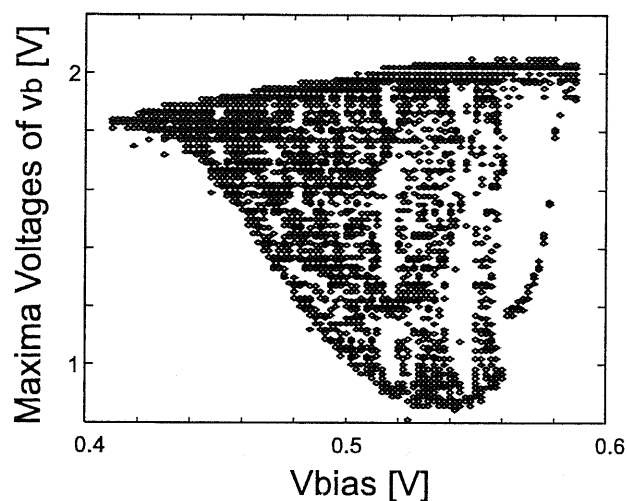


Figure 4.9: 各周期のノードBのピーク電圧分岐図。測定した回路は Fig.3.4で示したゲートアレイのCMOSカオスマルチバイプレータ。

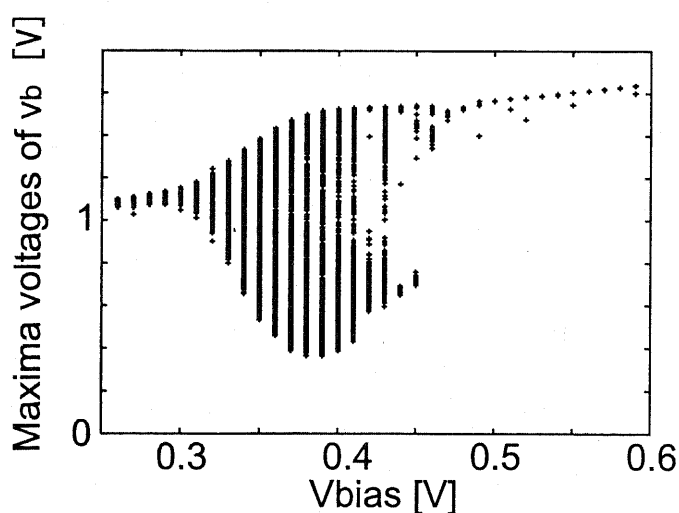


Figure 4.10: 各周期のノードBのピーク電圧分岐図。SPICEシミュレーション

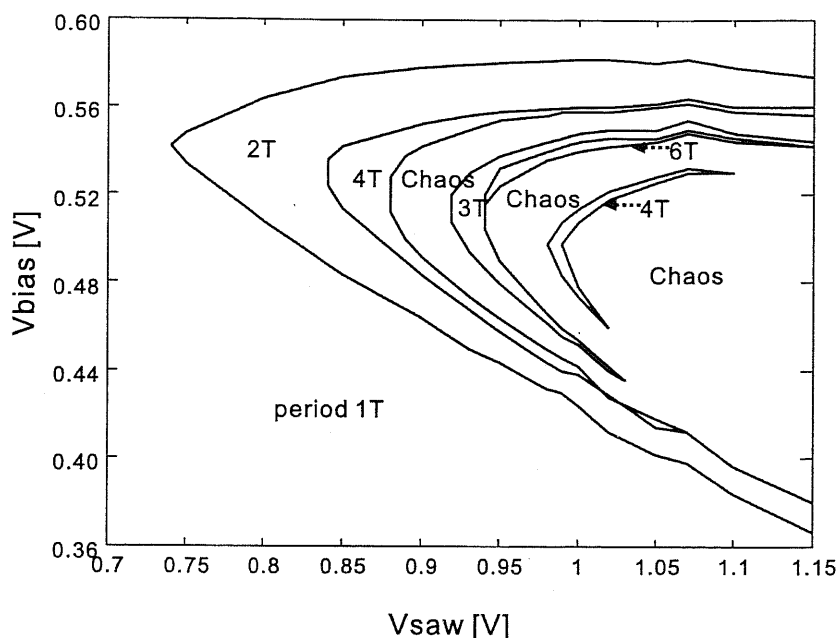


Figure 4.11: 相図。測定した回路は Fig.3.4 で示したゲートアレイの CMOS カオスマルチバイブレータ

4.3 周波数特性

マスタースライス方式で作成したチップの周波数特性をスペクトルアナライザで測定した結果を示す。カオスのような幅広い周波数成分を含んだ波形のスペクトルを求めるには、コンピュータシミュレーションはあまり向いていない。というのは、高い周波数成分も低い周波数成分も含まれている場合、低い周波数成分に合わせて長時間のシミュレーションデータが必要になるため、シミュレーション時間やそのデータ量が膨大なものになってしまうからである。

Fig. 4.12 に V_{saw} を変化させた時にスペクトルがどのように変化していくかを測定した結果を示す。 V_{saw} が 0.97V の時には Fig. 4.13 に示すように 1 ~ 2MHz 程度の範囲に広がったスペクトルを持ち、その範囲内では特に主となる周波数成分はない。線スペクトルではなく、幅のあるスペクトルを持つのはカオスの特徴でもある。 V_{saw} を増加させていくにつれて主となる周波数成分が現れ、それがだんだん高い周波数に移動していく様子が見られる。途中で何度か広がったスペクトルの見られない、周期状態になっているが、またその間から幅の広がった成分が現れ、カオスになっていることがわかる。オシロスコープで時系列データを観測している時には主となる周波数成分に隠れて周期波形だと思ってしまいがちのものも、そのスペクトルを直接観測することで、違いを判別することができる。

4.4 本章のまとめ

ゲートアレイを使って作成した回路から測定した時系列波形と、その波形より作成したローレンツプロット、分岐図、相空間図、ならびにマスタースライス方式で設計した回路から測定した別のモードでの発振の様子及びスペクトラムを示した。ローレンツプロットと、それから計算したリアプノフ指数から回路がカオス発振することを示した。より複雑なローレンツプロットや幅の広いパワースペクトルを持つことは、アナログノイズ源としての用途に向くと思われる。これについては次章で詳しく述べる。また、初期値敏感性という特徴を持つカオスを応用するためには、素子のばらつきや雑音があるなかでの忠実なカオス時系列の再現は不可能であるため、力学的な構造を知ることが重要であるといえる。こうした分岐図や相空間図といったデータが、今後の応用への道を探る上で役立つことを期待する。

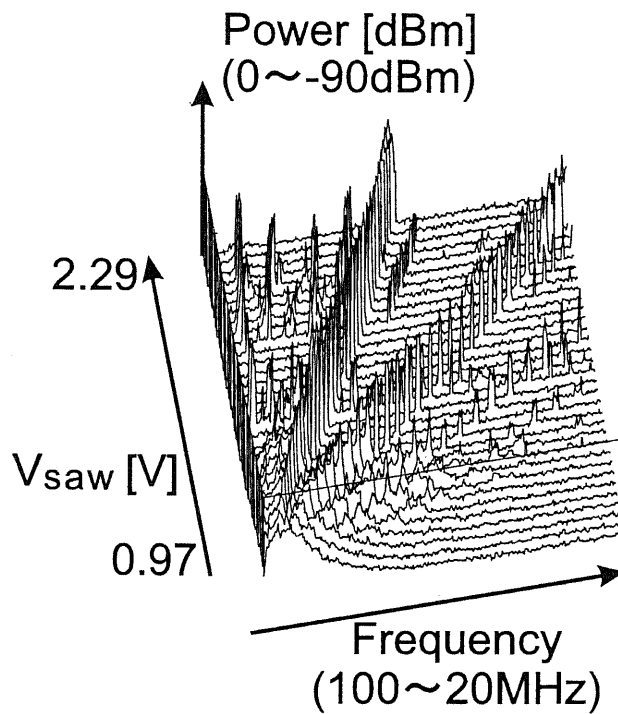


Figure 4.12: マスタースライスの回路 (Fig. 3.5) の v_b のパワースペクトル。 $V_{bias} = 4.2V$ $V_{saw} = 0.97 - 2.29V$

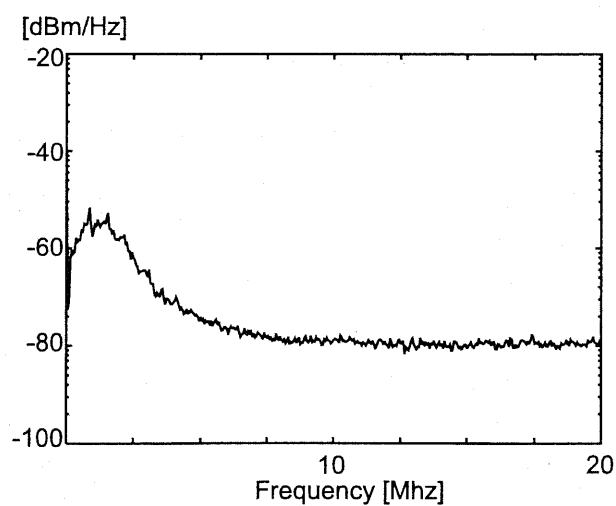


Figure 4.13: $V_{saw} = 0.97V$ の条件でのパワースペクトル

Chapter 5

雑音源としての評価

マスタースライス方式で作成したチップから測定したデータを基に、雑音源として用いるための指標となる幾つかのデータを求めた。雑音源としての用途には、後で述べるように様々なものがあり、求められる特性も異なる。そこで、ここでは以下のような条件での使用に絞って、評価を行う。この条件で必要とされる特性について、以下で述べる従来の雑音源方式と比較を行う。

- アナログ値をクロックを用いて一定間隔でサンプリングし、その値を用いる。
- 雑音源は、他の回路と同じチップ上に集積されている。

5.1 従来の雑音源

集積回路上で雑音を発生させる方式として、大きく分けて、次の3種類がある。

1. 抵抗の熱雑音を広帯域のアンプで増幅する。[13]
2. クロックで駆動するカオス発生回路の出力を用いる。[14, 15]
3. 計算で求めた乱数を D/A 変換する。[16]

雑音源の評価の指標として、チップ面積・消費電力・雑音帯域・他の信号の影響の受け易さ・乱雑さの5つについて考えてみる。1) の方式は、小さな熱雑音を増幅するため、広帯域・低雑音・高利得のアンプが必要となる。このようなアンプは面積を必要とし、さらに消費電力も高い。また、もともと微小な信号を増幅するため、微小な他の回路の影響、例えばクロック等の影響を受け易い。しかし、上手にアンプの設計を行えば、雑音帯域は広く、また、抵抗の熱雑音が真の白色ガウス雑音なら、それを増幅した信号もまた、白色ガウス雑音になるはずで、理想的には、真の雑音源になるはずである。しかし、抵抗の雑音は低周波側では、熱雑音ではなく $1/f$ 雑音が支配的になるため、これに対する対策が必要となる。2) の方式は、チップ面積や、消費電力は最も必要とせずに実現できる。雑音の帯域は、クロックの周波数～その数分の1に制限される。ただし、クロックでサンプルして使用するような場合には、このことは問題とはならない。カオスはその特徴として微小な誤差を増幅し、折りたたむことにより、乱雑さを実現しているため、周りからの影響も受けにくい。ただし、ある程度振幅の大きな雑音等が加わると、Noise Induced Orderと言われる現象により、回路は周期的な出力をするようになってしまう。低次元のカオス発生回路の場合、回路の出力は直前の出力に強く依存しているため、そのままでは、真の雑音とは言い難いが、長時間用いても、同じ出力が現れることは無い。写像関数の形を適当なものに設計することにより、分布の形を一様分布にしたり、ガウス分布に近くしたりということが可能である。3) の方式は、例えば、M 系列[17]と呼ばれるスペクトラム拡散通信に適した疑似乱数を作り出す方式などは有名で、Fig. 5.1に示すようにデジタル的な演算を行うことにより疑似乱数を作り出す。チップ面積や消費電力は、どれだけの精度の疑似乱数を作り出すかで大きく左右される。この方式で作る疑似乱数は、実は周期関数なので、ある程度繰り返すと元の状態に戻る。このため、ある程度大きい回路規模でないと周期の長い乱数は作り出せない。アナログ値を必要とする場合は D/A 変換の部分でさらにチップ面積や電力を必要とする。当然、帯域もクロックで制限される。デジタル的に作り出すため、周りの回路の影響は受けないと言ってもいい。

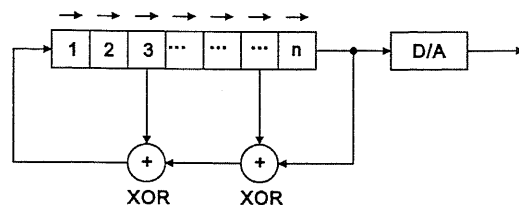


Figure 5.1: シフトレジスタを用いた M 系列出力回路

5.2 カオスマルチバイブレータで構成した雑音源

ここでは、カオスマルチバイブレータを雑音源として、利用しようとする場合、前節で述べた評価の指標がどのようなになるか考察してみる。

まず、チップ面積についてであるが、必要とするトランジスタ数は方式 2) のクロック駆動型カオス発生回路より幾分多くなる程度である。面積を占める要素として容量の割合も大きい。これは、2つの理由からわざと容量を大きく設計してある。1つは電圧波形の測定および解析をやりやすくするため、発振を十分ゆっくりにしたいからである。フルカスタム CMOS の場合、もっと容量を小さく設計することにより、より小面積で高速に動作させることができる。例えば $0.5\mu\text{m}$ 設計ルールでの SPICE シミュレーションでは、概略発振周波数が 1GHz 近い動作をさせることが可能であることがわかっている。しかし、その様に高速なアナログ信号をチップの外に出力する方法はない。チップ内のアナログ信号を観測しようとする場合、オペアンプを用いたバッファを介してチップの外に出力するのが最も正確に内部の波形を調べられる方法であるが、そもそも GHz もの帯域を持つような CMOS のオペアンプは存在しない。波形が崩れることを承知した上で、ソースフォロワ回路で出力することもできるが、さらに、 GHz 近い非周期波形を観測するためには、それよりずっと高い周波数でサンプリングしなければならない。現在のところ、そもそもその様な高い周波数でサンプルすることが、困難である。また、高い周波数で動作させると、あらかじめ想定して作り込んだ容量以外の寄生容量の影響が大きく回路動作に効いてくるようになる。CMOS カオスマルチバイブレータは、3つの容量の充放電を用いて、低次元のカオスを発生させているわけだが、寄生容量の影響でより高次元のカオスへと変化する可能性がある。そこでまず、解析の容易な低次元カオス発生状態での回路動作を調べる必要があるということから、容量を大きく設計し、動作周波数を低いものにした。動作周波数と言ってもカオス的にパルス幅が変調されて発振するため、通常定義されている周波数とは異なる。ここでは、一定期間内にある周期の数から平均的に求めた周波数のこととし、今後、概略周波数と呼ぶことにする。

もう1つの理由として、熱雑音の影響を避けるという目的がある。小さな容量には、熱雑音により、 $V = \sqrt{\frac{kT}{2C}}$ で表される電圧が発生する。これにより、測定値の精度が落ちたり、場合によっては Noise Induced Order によりカオス状態ではなく周期状態に変化してしまう可能性がある。しかし、雑音源として使用する場合には、高次元カオスの発生や熱雑音により測定値が変わってしまうことは問題にはならない。場合によっては利点になるかもしれない。Noise Induced Order の影響を受けない程度であれば、できる限り容量を小さくしても構わない。このため、チップ面積は最も小さくて済む内の1つに入ると言える。

次に、消費電力についてであるが、基本的には容量の充放電で電力を消費するため、容量を小さくすれば、チップ面積同様消費電力も減ると思われる。また、ゆっくり動作させたい場合には、小さい容量で、充電する電流の量を絞れば良いためチップ面積も消費電力も増加することはない。

雑音帯域については、 $0.5\mu\text{m}$ 設計ルールで 1GHz 近い概略発振周波数で動作させることが可能なため、サンプル/ホールド回路がそれについていけるのであれば、十分な帯域があるといえる。サンプル/ホールド回路の制約は他の方式の回路でも受けるため、やはり最も雑音帯域が広い方式のうちの1つであると言える。サンプル/ホールドの必要のないアナログの雑音源としてであれば、クロックで制限されない分広帯域な出力を出しやすい。

他の信号の影響の受け易さ、および出力の乱雑さについては、節を改めて、測定結果を基にして、評価を行うことにする。

5.3 カオスマルチバイブレータ単体の雑音源評価

雑音の評価として、出現頻度特性・自己相関性・生起間隔の3つに関して測定データより、その特性を調べた。これらのデータは、カオスマルチバイブレータを雑音源として用いる際に、理想的な雑音源にどの程度近いものなのかを判断する指標になるとと思われる [18]。

5.3.1 測定系

3.3で設計したマスタースライス方式の回路を用い、回路の出力をデジタルオシロスコープでサンプリングして、A/D変換することで、カオスマルチバイブレータ単体で構成した雑音源とした。サンプル/ホールドの部分はサンプリングオシロをそのまま用いている。つまり、サンプリングオシロスコープを、サンプリングしたデータ列から元の波形を視覚的に表す道具としてではなく、可変サンプル周波数のカオスマルチバイブレータから雑音データ列を取り出す道具として用いている。測定した波形は Fig. 5.3に示すようなカオス発振状態になっている。概略発振周期は $3.2\mu\text{sec}$ ぐらいである。

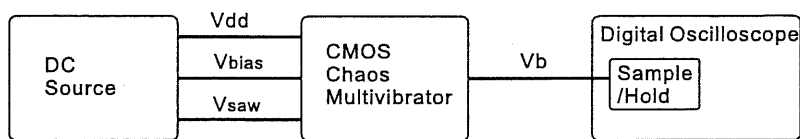


Figure 5.2: 雑音源測定系

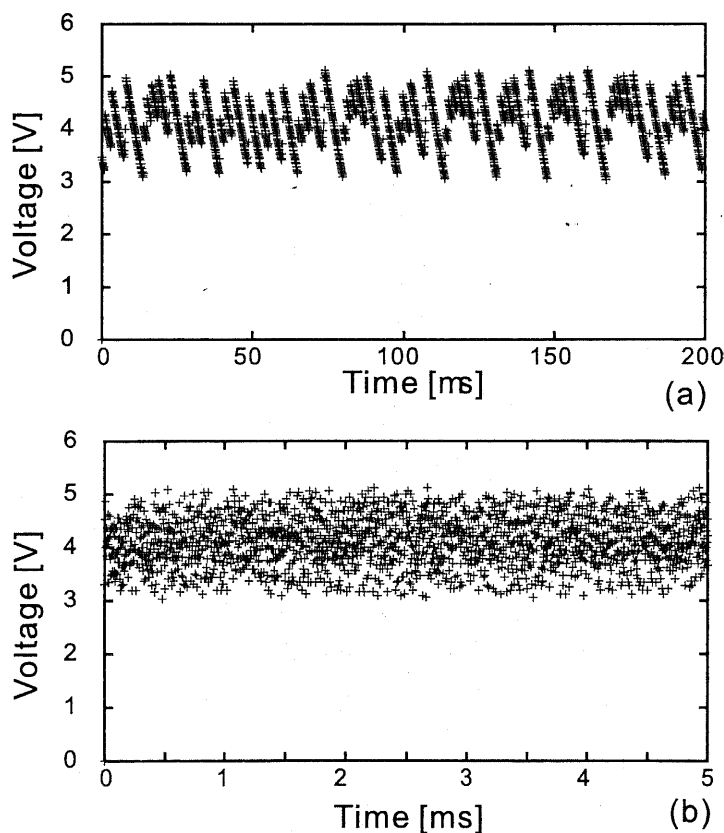


Figure 5.3: 雑音源評価に用いた条件での測定波形。 $v_{bias} = 4.4\text{V}$, $v_{saw} = 0.9\text{V}$ 。(a) $50\text{ns}/\text{Sample}$ (b) $2.5\mu\text{s}/\text{Sample}$

5.3.2 出現頻度分布

カオスマルチバイブレータの出力が、最大値と最小値の間にどのような確率で出現するのかを累積確率で表した図が Fig. 5.4 である。概略発振周期約 $1\mu\text{sec}$ に対し十分短い周期 50nsec でサンプルした結果と発振周期に近い $2.5\mu\text{sec}$ でサンプルした結果の 2 つを示した。どちらも、2048 のサンプルを基に計算した。当然のことであるが、どちらもほぼ同じ分布になっている。

確率分布は、写像関数の形により、大体の形が決まる。Figs. 5.5 を見るとピークの位置もあまりはつきりせず、左右対称性もあまり良くない。左右対称なガウス分布的な確率分布を望むのであれば、後で述べるように 2 つのカオスマルチバイブレータを用意し、演算を行うのが良いと思われる。

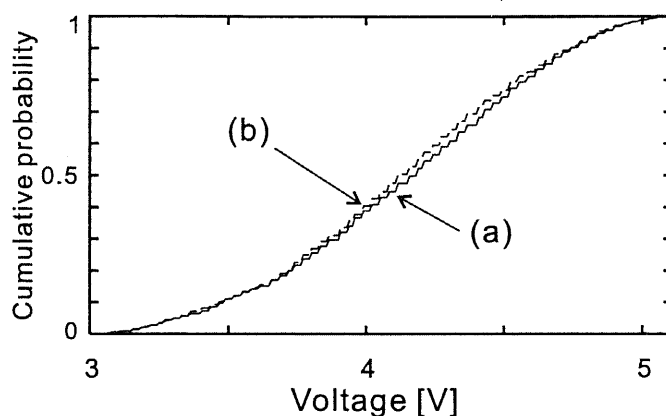


Figure 5.4: 累積出現頻度分布。(a) $50\text{ns}/\text{Sample}$ (b) $2.5\mu\text{s}/\text{Sample}$

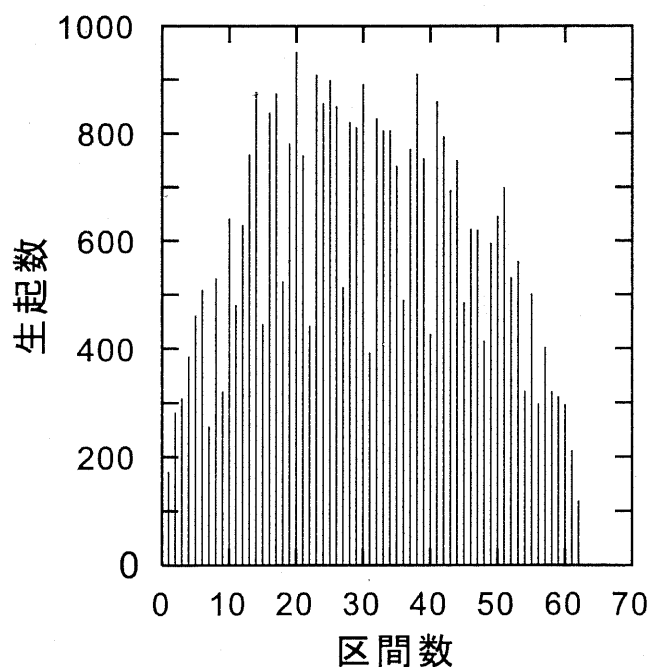


Figure 5.5: 出現頻度分布。区間数は、電圧の最小値 3V と最大値 5.1V の間を 64 の区間に等分したときの何番目の区間かを表した数。

5.3.3 無相関性

無相関性を示す指標として、自己相関関数と離散フーリエスペクトルの2つを求めた。

自己相関関数

連続して測定した 2048 のサンプルの内、はじめの 1024 のサンプルを取り出し、はじめの位置から 1 サンプル分づつ 1024 まで位置をずらして、自己相関関数を求めた。自己相関関数はぴったり重なったとき最大になり、まったく相関が無い時、0 になる。測定データから、直流成分を取り除いて自己相関関数を求めた結果を Fig. 5.6 に示す。最大値が 1 になるよう正規化してある。概略発振周期に近いサンプルではぴったり重なる位置 0 の時以外は、だいたい ± 0.1 に収まっている。周波数 $0 \sim f$ を含む白色ガウス雑音の自己相関関数は、

$$\phi(\tau) = \frac{\sin 2\pi f \tau}{2\pi f \tau} \quad (5.1)$$

で与えられる。 $\tau = \frac{1}{2f}$ を超えると ϕ は十分に小さいと考えて良い。概略発振周期に近い周期でサンプリングしたデータは、完全に白色ガウス雑音とは言えないが、自己相関関数的には白色ガウス雑音に近いと言える。

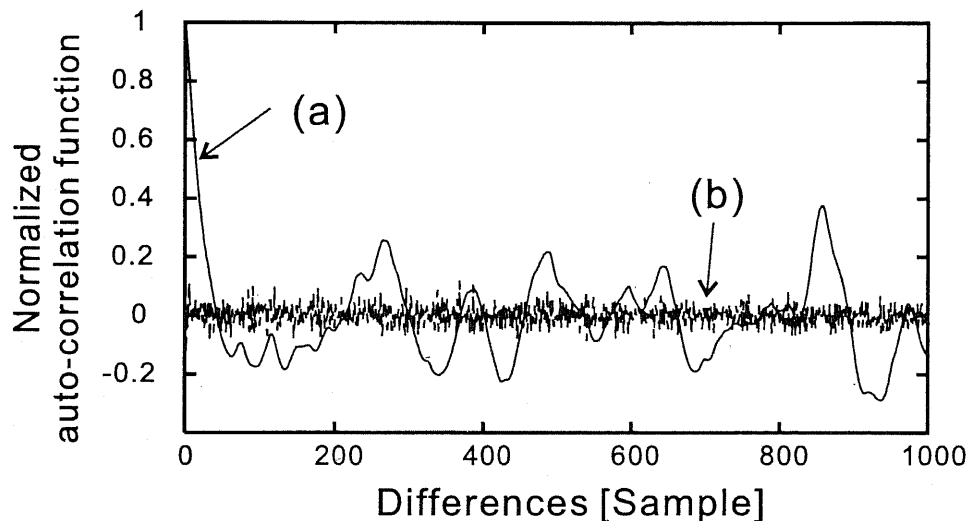


Figure 5.6: 自己相関関数。 (a)50ns/Sample (b)2.5 μ s/Sample

離散フーリエスペクトル

次に、測定データから離散フーリエスペクトルを求めた。パワースペクトルが一般的な周波数特性を持つとき、その周波数範囲内でその雑音は白色であると言う。Fig. 5.7に示すように、概略発振周期に対して十分短い間隔でサンプリングを行ったデータでは、特に鋭い1本のピークというのではないものの、裾の広がったピークがあり、高周波に行くに従って徐々にその成分が減っていく様子がわかる。しかし、概略発振周期近くでサンプリングした場合のスペクトルは、Fig. 5.8に示すように、ほとんど一様に見える。サンプリングを行うことにより、サンプリング周波数の半分よりも高い周波数成分はエイリアシングにより、低い周波数成分に見えるようになる。カオスマルチバイブレータの出力は、主となる周波数成分を持たず、しかも徐々に高い周波数成分が減るような特性を持っているために、エイリアシングにより、容易に平坦な周波数特性を実現できるわけである。

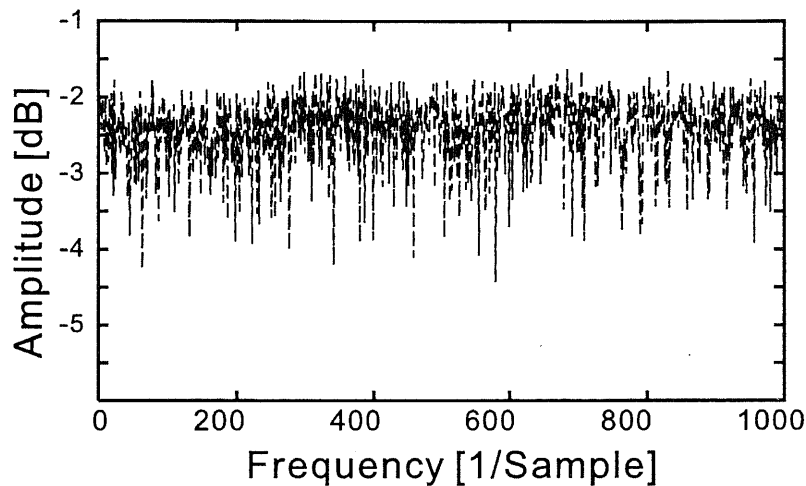


Figure 5.7: 概略発振周期より短い間隔でサンプリングした場合のパワースペクトル (a)50ns/Sample

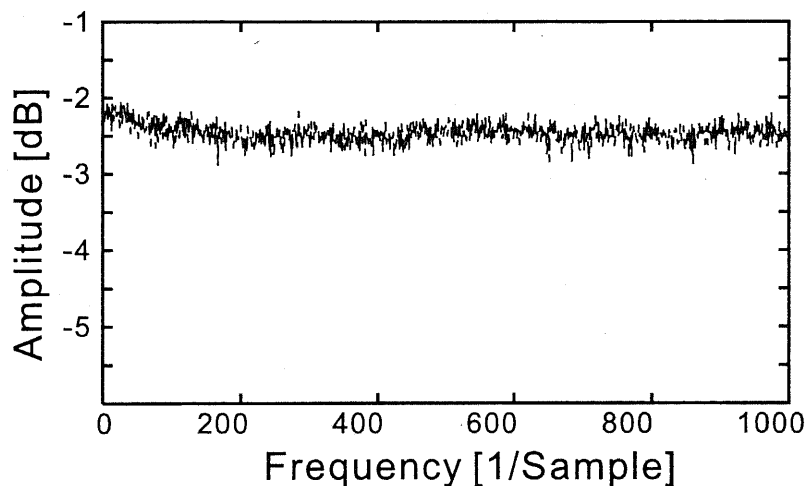


Figure 5.8: 概略発振周期と同じぐらいの間隔でサンプリングした場合のパワースペクトル (b)2.5 μ s/Sample

反復写像

次に、ローレンツプロットを作成する要領で、各サンプルデータを基に反復写像を求め、直前のデータと次のデータとの相関を求めた。真の雑音であれば、直前のデータとその次のデータとの間に相関はないはずであるため、一様分布の雑音であれば全体にまんべんなく、ガウス分布の雑音であれば中心が一番濃く、そこから上下左右対称に広がるはずである。実際に求めた結果は、Figs.5.9,5.10に示した。概略発振周期より十分に短い間隔でサンプリングした場合は、直前のデータとその次のデータの相関は強く、かなりの点が直線状に集まっている。これに対して、概略発振周期に近い間隔でサンプリングしたデータより作成した反復写像は、集中することなく、かなりまんべんなく散らばっていて、直前のデータより、次のデータを予測することは難しくなっていることがわかる。しかし、理想的な分布とは言い難く、このままでは、白色ガウス雑音とは言えない。比較的簡単に理想に近づける方法として、より高次のカオスを用いる、つまり複数のカオスマルチバイブレータを用いる方法と、サンプリングの間隔をもっと長くするという方法が考えられる。複数のカオスマルチバイブレータを用いる方法については後で述べる。サンプリングの間隔を長くするというのは、カオスの短期予測は可能であるが長期の予想は不可能であるという特徴を利用したもので、必要とされる速度や消費電力とのトレードオフになる。サンプリング間隔を更に長くしたデータで作成した反復写像を Fig. 5.11に示した。サンプリング間隔が 10 倍ぐらいでほぼ全体に広がる分布になっている。

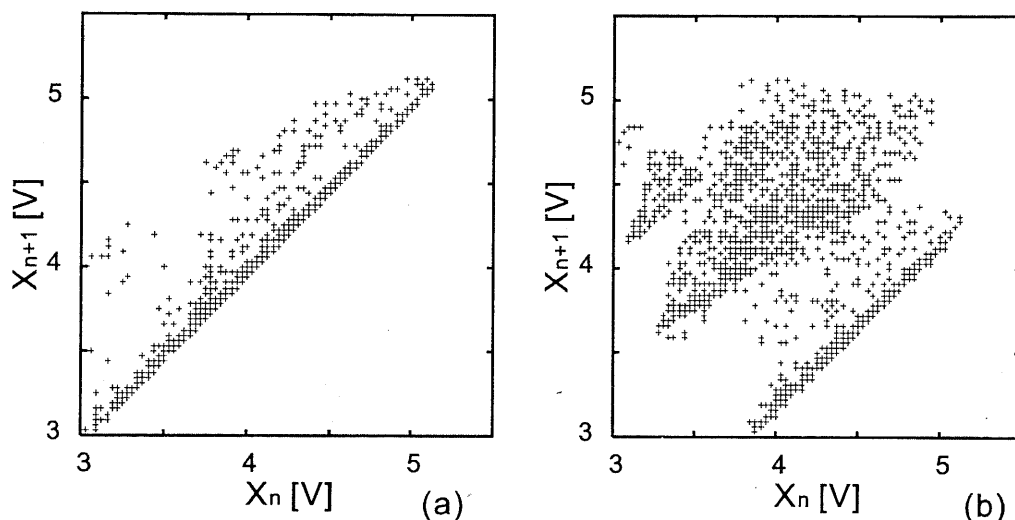


Figure 5.9: 概略発振周期より短い間隔でサンプリングしたデータより作成した反復写像

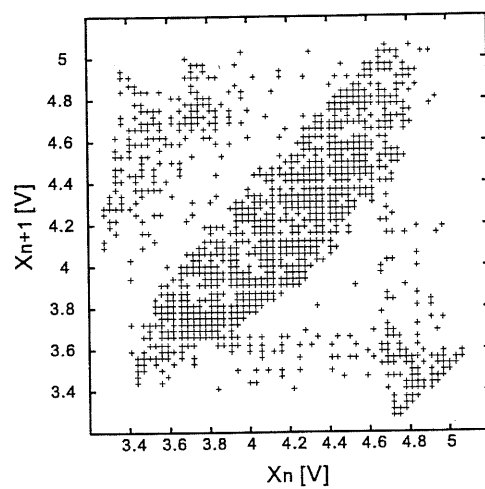


Figure 5.10: 概略発振周期と同じぐらいの間隔でサンプリングしたデータより作成した反復写像

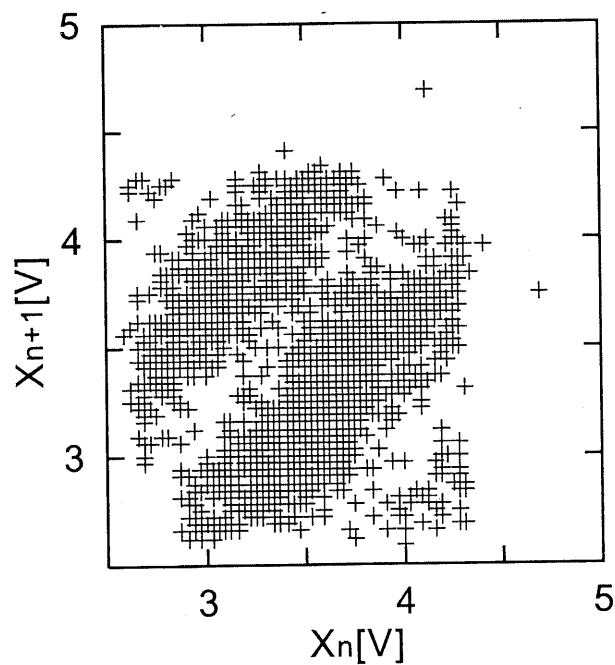


Figure 5.11: 概略発振周期の 10 倍程度長い間隔でサンプリングしたデータより作成した反復写像

5.3.4 生起間隔

次に、ある区間に収まるデータが現れてから、次にいつその区間内に収まるデータが現れるかの、生起間隔分布を求めた。理想的なランダムな事象の場合、ある事象が確率 p で発生するとすると、発生しない確率は $(1 - p)$ であるため、ある事象が起こってから、次に同じ事象が起こるのが、 r 回目である確率は、幾何分布

$$Pb = p(1 - p)^{r-1} \quad (5.2)$$

に従う。前節の反復写像から、既にカオスマルチバイブレータ単体の出力は理想的な雑音源ではないことは、わかっている。そのことを確認するため、サンプルデータの最大値と最小値との間を 10 の区間にわけ、その区間内にデータが現れてから、次に同じ区間内にデータが現れる回数の分布を求めたものを Figs. 5.12 に示す。この図は、概略発振周期に近い間隔でサンプリングした 34816 個のデータを基に作成した。Figs. 5.12 を見ると、やはり、理想的な幾何分布には従っていないことがわかる。どちらかという、間隔の短い間に次の事象が生じる方に偏る傾向が見られる。

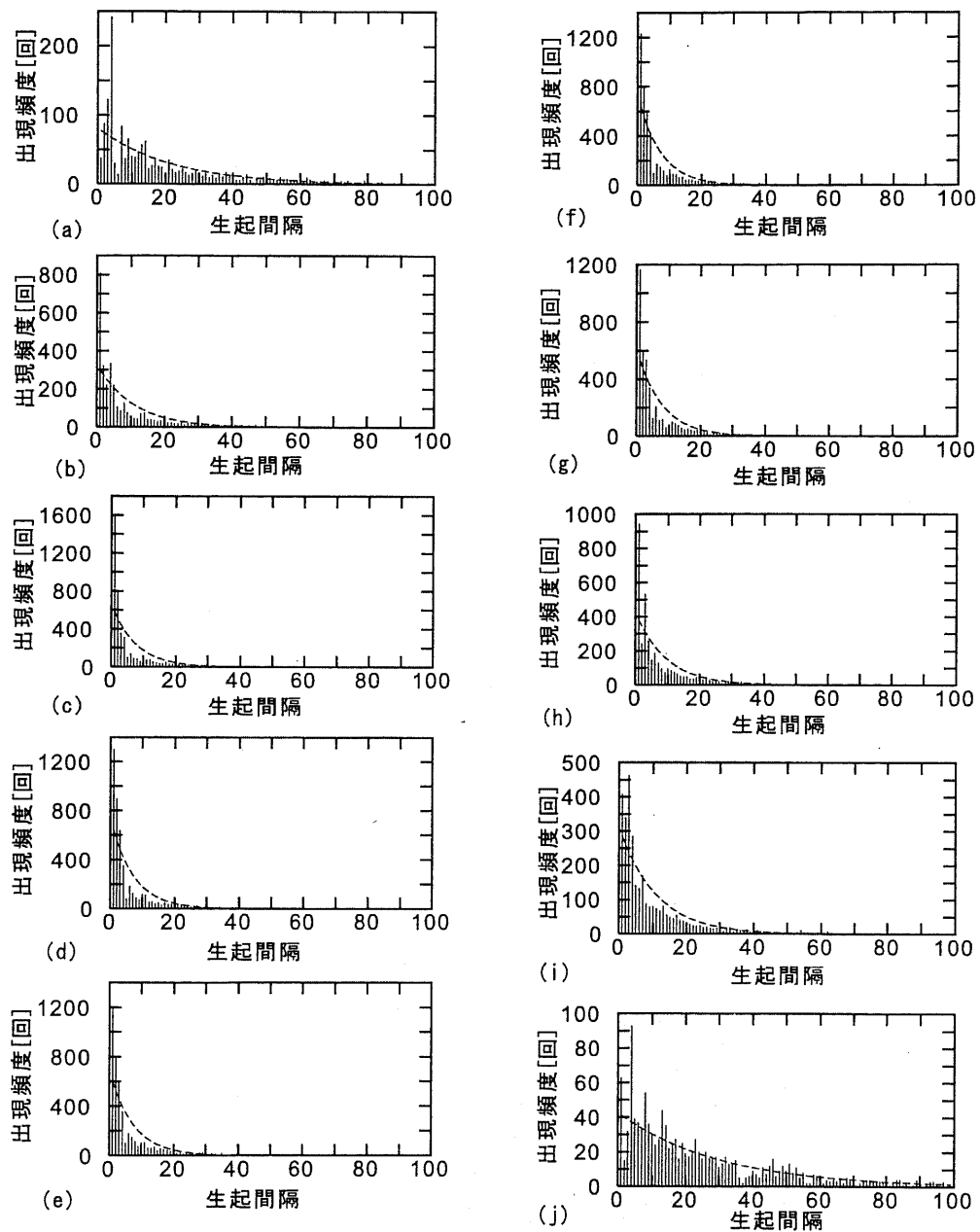


Figure 5.12: 単体のカオスマルチパイプレータの生起間隔。曲線で示したのは、理想的な幾何級数特性。データ出現区間を10等分し、小さい方の区間から大きい方の区間の順に(a)～(j)を割り当てた。。

5.4 カオスマルチバイブレータを2つ用いた雑音源

より理想的な白色ガウス雑音を発生させるための方法の一つとして、高次のカオスを利用するというのがある。簡単にそれを実現させるため、2つのカオスマルチバイブレータの出力を用いると、より理想的な雑音に近い信号を生成できるのかどうか、評価を行った。評価に用いる指標として、単体のカオスマルチバイブレータだけでも十分な特性が出ていると思われる、自己相関関数・離散フーリエスペクトルは除き、出現頻度分布・反復写像・生起間隔分布の3つを用いた。

5.4.1 測定系

2つのカオスマルチバイブレータの出力から、1つの出力を取り出すためには、演算を行わなければならない。簡単に行える演算としては、和をとる、差をとる、の2種類が考えられる。特に、差をとるという演算は、差動増幅回路を用いると容易に実現できるのであるが、今回測定した回路においてはあまり適当ではない。というのは、カオスマルチバイブレータの出力は、傾きが一定ののこぎり波から成っているため、和をとった波形は、雑音らしい波形になるのに対して、差をとった波形は、幅の狭いパルスが不規則に正負に振れているような波形になってしまう。このために、時間が経っても2つの出力間の差が開かない割合が高く、どちらかが変化するときだけに、パルス状の波が現れる。ただし、これだけでは、雑音源としてどちらが優れているか評価することはできないのであるが、それについては、後で述べる。測定のデータは、一番長い発振周期ぐらいのサンプリングレートで測定している。

5.4.2 出現頻度分布

2つのカオスマルチバイブレータの出力から、データの和をとったものと差をとったものの、出現頻度分布を Figs. 5.13, 5.14 に示した。和をとった時の出現頻度分布は、左右対称にガウス分布に近い分布になっているのに対して、差をとったものの方は、鋭いピークのある分布になっている。これらの分布は、102400 個の測定データを基に作成した。

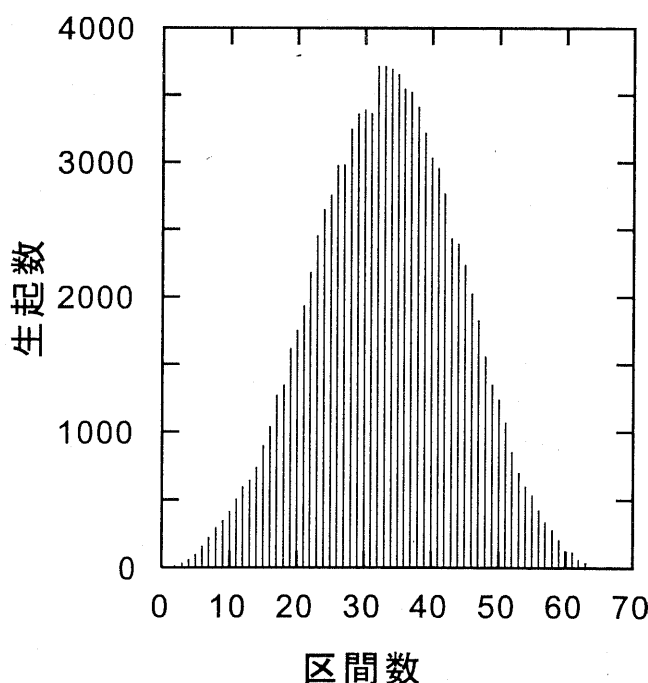


Figure 5.13: 2つの CMOS カオスマルチバイブレータの和から生成した信号の出現頻度分布

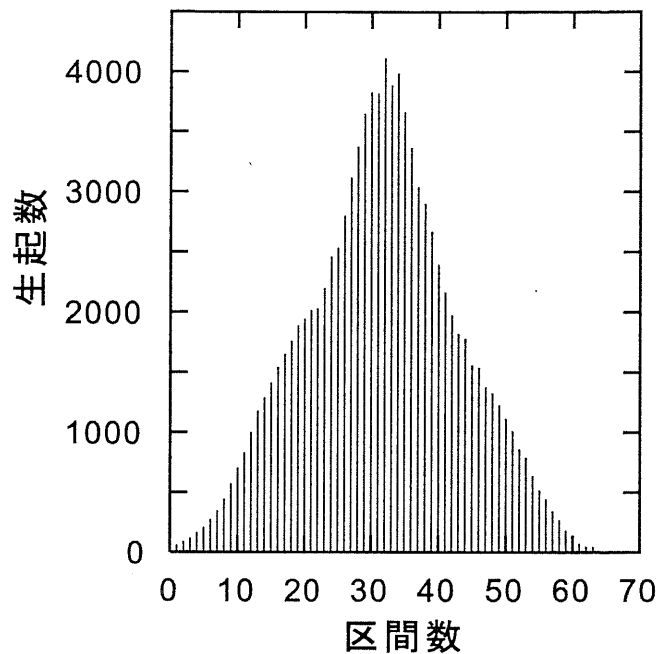


Figure 5.14: 2つのCMOSカオスマルチバイブレータの差から生成した信号の出現頻度分布

5.4.3 反復写像

つぎに、反復写像を求めた結果を Figs. 5.15, 5.16 に示す。どちらも、特に差はなく、若干偏りは見られるものの、中心の方ほど密度が濃く、中心から離れるに従って密度が薄くなるよう分布しているように見える。直前のデータと、その次のデータとの間の相関はほとんどないように見える。これらのデータは、一番長い周期に近い間隔でサンプリングしたデータであるが、それに比べて10倍長い間隔でサンプリングしたデータより作成した反復写像を Fig. 5.17 に示す。これは、ほぼ完璧に偏りなく、無相関で対称な分布になっている。速度や、消費電力的に許されるのであれば、2つのCMOSカオスマルチバイブレータより作成した信号を、より長い間隔でサンプリングするのが、より理想的な白色ガウス雑音を得る方法と言える。

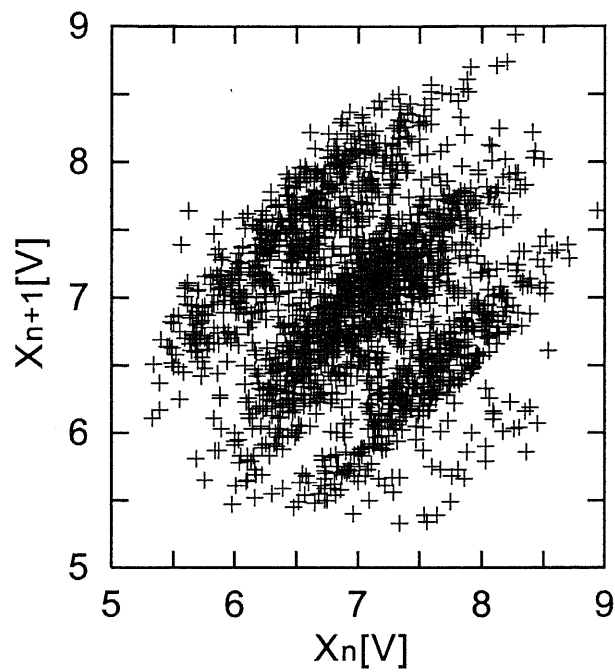


Figure 5.15: 2つの CMOS カオスマルチバイブレータの和から生成した信号の反復写像

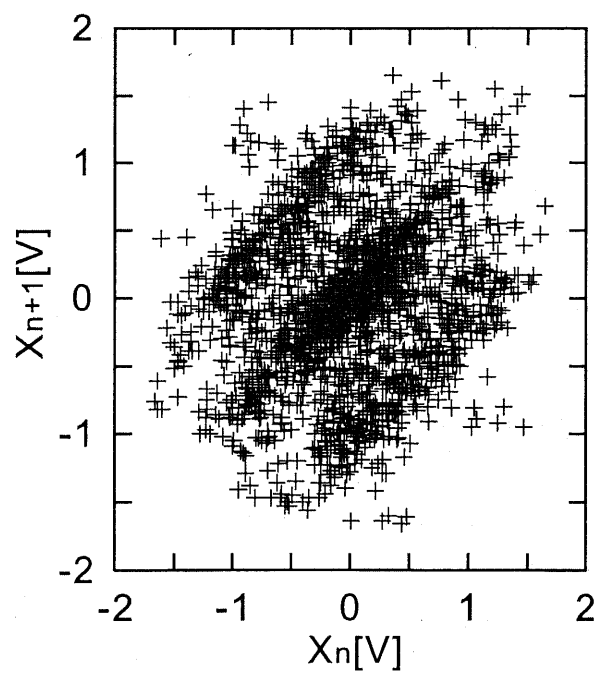


Figure 5.16: 2つの CMOS カオスマルチバイブレータの差から生成した信号の反復写像

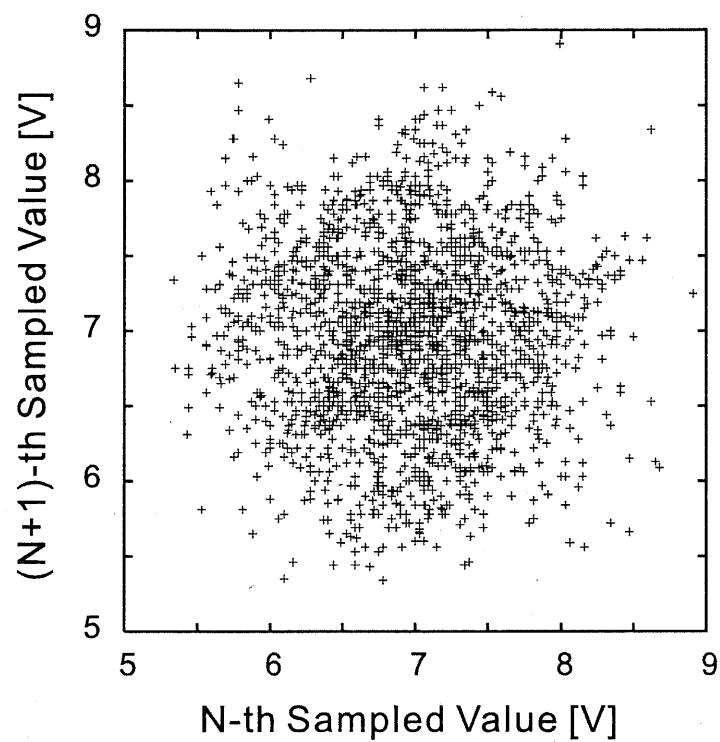


Figure 5.17: 2つのCMOSカオスマルチバイブレータの和から生成した信号を、発振周期の10倍近い間隔でサンプリングしたときの反復写像

5.4.4 生起間隔分布

次に、5.3.4と同様に生起間隔分布を求めてみた。それを Fig. 5.18に示す。単体のカオスマルチバイブレータの出力の時の生起間隔分布 Fig. 5.12では、理想的な幾何級数とかなり差があったが、Fig. 5.18では、ほぼ理想的な幾何級数に従った分布をしている。ただし、両端の(a)と(j)はかなり理想曲線からずれているが、両端は出現頻度が低いため、Fig. 5.18を見ると生起間隔100の間に全てのデータが現れきっていない、誤差が生じてしまっていると思われる。よって、これらのずれを無視して考えると、カオスマルチバイブレータ2つの出力はほぼ理想的な白色雑音とみなせることがわかった。

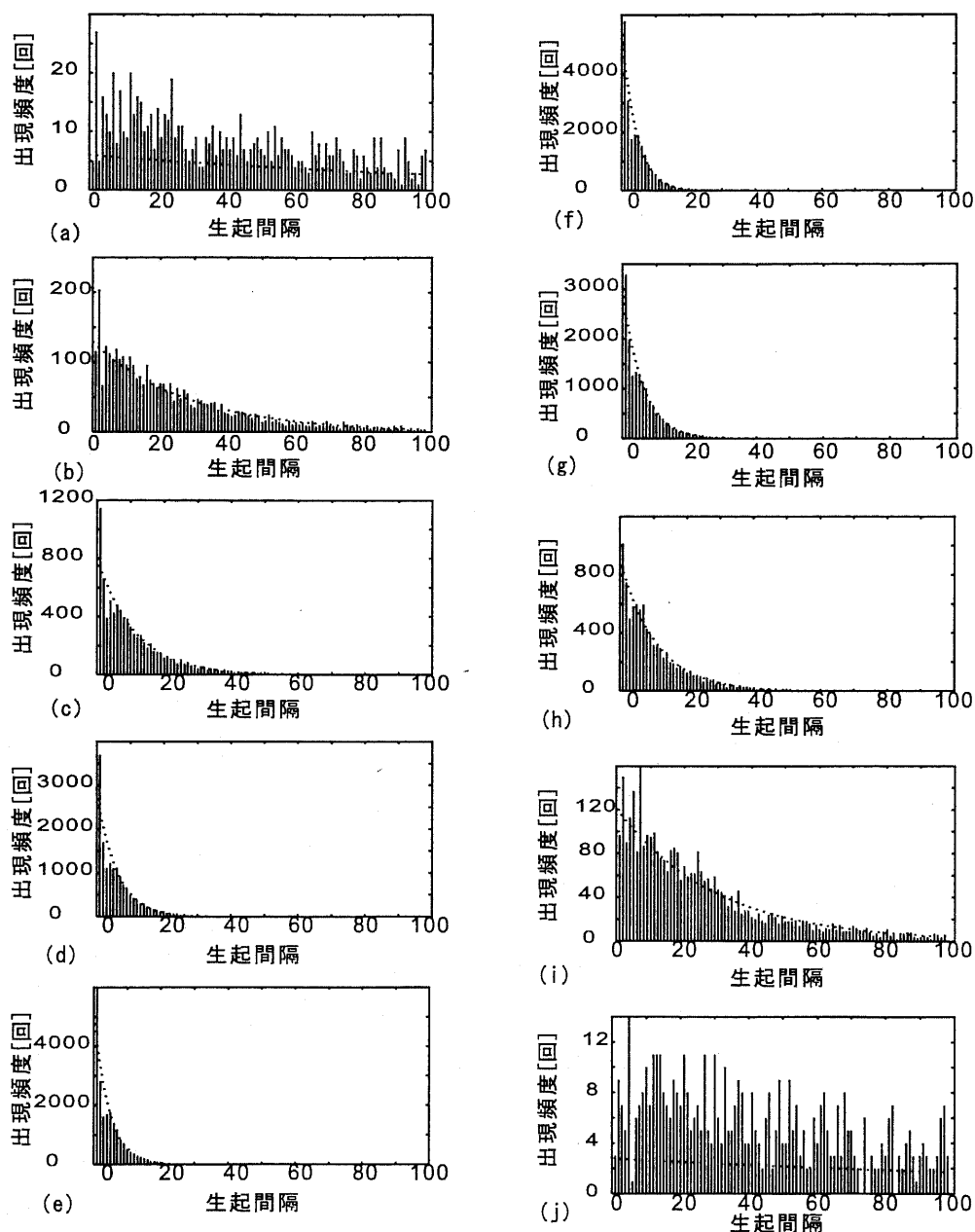


Figure 5.18: カオスマルチバイブレータ2つを用いた回路の生起間隔。曲線で示したのは、理想的な幾何級数特性。データ出現区間を10等分し、小さい方の区間から大きい方の区間の順に(a)～(j)を割り当てた。

5.4.5 予測可能性について

カオスを用いて雑音をさせる場合、決定論に基づく原理で出力を決めているため、長期的な予測は不可能にしる、短期的な予想は可能である。クロックで駆動するタイプの写像カオス発生回路の場合、あらかじめ写像の形がわかっているならば、ある時点での出力から、数クロック先の出力までだいたい予測することができる。仮に、写像の形がわかっていなかったにしても、ある程度連続して出力を観測すれば、写像の形を予想することができる。では、2つの写像カオス発生回路を組みあわせたらどうだろうか？写像の形がわかっているならば、2つの連続する出力から、おそらく比較的簡単に短期予測することができる。例えば、写像の形がロジスティック写像

$$x_{n+1} = ax_n(1 - x_n) \quad (5.3)$$

であることがわかっているとすると。回路は2つの写像カオス発生回路 X, Y の出力 x_n, y_n からその差動出力

$$Z_n = x_n - y_n \quad (5.4)$$

を出力するとする。さらに、この次の出力

$$Z_{n+1} = x_{n+1} - y_{n+1} \quad (5.5)$$

もわかったとすると、簡単な計算により、最初の X, Y それぞれの状態 x_n, y_n が、

$$x_n = \frac{1}{2} \left(1 + Z_n - \frac{Z_{n+1}}{aZ_n} \right) \quad (5.6)$$

$$y_n = \frac{1}{2} \left(1 - Z_n - \frac{Z_{n+1}}{aZ_n} \right) \quad (5.7)$$

であることが求まる。 x_n がわかれば、写像カオス発生回路 X の数クロック先までの予測が可能になり、Y についても同様であることから、その差動出力に関しても、それほど変わらない精度で予測が可能である。クロック駆動型の写像カオス発生回路を用いると、ある時点でのその回路の出力がわかれば、その回路の状態全てがわかってしまったことになるために、予測が容易になる。では、CMOS カオスマルチバイブレータを用いた回路の場合どうであろうか。カオスマルチバイブレータは、クロックとは無関係に発振しており、ある時点での出力電圧だけがわかっても、ほとんどの場合、回路の状態全てがわかってしまったことにはならない。すくなくとも、3つの状態変数、 v_b, v_c, t がわからないとカオス発振回路の場合、回路の状態がわかったことにはならない。ただし、CMOS カオスマルチバイブレータの場合、前章で反復写像の形の式を求めた条件、つまり出力が完全にのこぎり波になるような条件では、 v_b と t は比例関係にあるため、 v_b か t かのどちらかと、 v_c がわかれば回路の状態がわかったことになる。が、どちらにしても、 v_b だけから、回路の状態をわかることはできない。まして、その差動出力から、簡単に2つの回路の状態を知ることにはできない。では、完全に予測することができないかと言えば、そんなことはない。回路の出力が最大値もしくは最小値近辺をとる時には、それぞれの回路の状態がわかる。このため、その後数クロック分の出力の予想は可能である。ただし、出現頻度分布からわかるように、回路が最大値もしくは最小値近辺の値をとる確率は低く、予測可能な期間は非常に短いといえる。

5.5 本章のまとめ

集積回路上で用いられる雑音源に求められる特性について、従来から用いられている雑音源と CMOS カオスマルチバイブレータとの比較を行った。表 5.1を見るとわかるように、CMOS カオスマルチバイブレータを用いた方式は、特に欠点となるものがなく、大抵の場合優れている。特に、CMOS カオスマルチバイブレータの出力から作り出した信号が、理想的な雑音源にどれだけ近いのか調べるため、測定データを基にして幾つかの指標を計算した。CMOS カオスマルチバイブレータ単体では理想的な雑音源を作り出すことは難しいが、2つの CMOS カオスマルチバイブレータを組み合わせることにより、理想的な雑音源に近い動作をさせることが、可能であることが明らかになった。

Table 5.1: 回路方式による比較

回路方式	CCMV	熱雑音増幅	クロック駆動型カオス	計算による疑似乱数
チップ面積	◎	×	◎	△
消費電力	◎	×	◎	△
雑音の帯域	◎	○	◎	△
他の回路の影響の受けやすさ	○	×	○	◎
出力の乱雑さ	◎	◎	○	△

Chapter 6

結論

第2章において、マルチバイブレータをベースとしたカオス発振回路の設計手法を述べ、その手法を用いることでバイポーラトランジスタを用いたマルチバイブレータとCMOSのマルチバイブレータの2種類からカオスマルチバイブレータを作れることを示した。特に、容易にカオス発振させることができ、集積回路化した時に小面積な回路であるCMOSカオスマルチバイブレータについて、その回路の動作について解析的な式を用いて説明することで、カオスマルチバイブレータの設計および制御を行なうための指針が得られた。

第3章では、CMOSカオスマルチバイブレータを個別素子からフルカスタムチップまで異なる方式で設計をした例をあげ、この回路は、ゲートアレイのような自由度の低い場合でも容易にカオス発振させることができると同時に、フルカスタムチップのような自由度の高い場合には、消費電力や面積的に優れた設計が可能である回路であることを示した。

第4章では、CMOSカオスマルチバイブレータを実際に測定して得られたデータを幾つか示し、回路のダイナミクスの構造や、回路の形はそのままでも様々な出力が得られる多様性に富んだ回路であること、などが明らかになった。

第5章では、試作した回路より測定したデータから、カオス発振回路の雑音源としての特性の評価を行った。CMOSカオスマルチバイブレータを2つ用いることで、多くの用途に適した、簡単に理想的な白色ガウス雑音に近いアナログ雑音源になることが明らかになった。

従来の集積回路において、カオス発振のような一定の出力をしない回路と言うものは用いられてこなかった。しかし、今後も集積回路の能力を向上させていくためには、従来の回路にはない柔軟な情報処理方式を取り入れていく必要がある。カオス発生回路は、そのための道具となり得るもので、集積回路上にコンパクトに実現できるものが望まれていた[19]。本研究に置いて提案したCMOSカオスマルチバイブレータは、まさにそのような道具となり得るものである。雑音源として利用した確率・統計的な情報処理や、カオス・フラクタル性を利用した画像処理・パターン生成など様々な応用が考えられる。

本研究による成果が、今後の集積回路の発展およびカオスの応用の研究の参考になることを期待する。

Bibliography

- [1] D.Carlson, et al., "A 667MHz RISC Microprocessor Containing a 6.0ns 64b Integer Multiplier", ISSCC Digest of Technical Papers, pp.294-295, Feb., 1998.
- [2] L.O.Chua and L.Yang, "Cellular neural networks: theory", IEEE Trans. Circuits Syst., vol.35, no.10, pp.1257-1272, October 1988.
- [3] Aihara,K., Takabe,T. and Toyoda,M., "Chaotic Neural Networks", Phys. Lett. A, Vol.144, No.6,7, 1990, pp.333-340.
- [4] Horio,Y. and Suyama,K., "Dynamical Associative Memory Using Integrated Switched-Capacitor Chaotic Neurons", Proc. IEEE ISCAS, Vol.2, 1995, pp.1-6.
- [5] Shui-Nee Chow and John Mallet-Paret, "Pattern Formation and Spatial Chaos in Lattice Dynamical Systems", IEEE Trans. Circuits Syst.I, vol.42, pp.746-756, 1995
- [6] Maciej J.Ogorzalek, Zbigniew Galias, Andrzej M.Dabrowski and Wladyslaw R.Dabrowski, "Chaotic Waves and Spatio-Temporal Patterns in Large Arrays of Doubly-Coupled Chua's Circuits", IEEE Trans. Circuits Syst.I, vol.42, pp.706-714, 1995
- [7] 例えば K.Watada and T.Endo "Shilnikov Orbits in an Autonomous Third-order Chaotic Phase-Locked Loop", Proceedings of 1997 IEEE International Symposium on Circuits and Systems, Vol.II, pp.809-812, June 1997.
- [8] 例えば W.C.Y.Chan and C.K.Tse "On Conditions Leading to Chaos in DC/DC Boost Switching Regulators Operating in Discontinuous Mode", Proceedings of 1997 IEEE International Symposium on Circuits and Systems, Vol.II, pp.777-780, June 1997.
- [9] J.M.Cruz and L.O.Chua, "An IC Chip of Chua's Circuit", IEEE Trans. Circuits Syst., vol.40, pp.614-625, October 1993.
- [10] A.R.Vázquez and M.D.Restituto, "CMOS design of chaotic oscillators using state variables", IEEE Trans. Circuits Syst., vol.40, pp.596-613, 1993.
- [11] HSPICE USER'S MANUAL, Volume 2:Elements and Models, 7-4, META-SOFTWARE, 1992
- [12] 下條高嗣, "カオス力学入門", 近代科学社, 1992
- [13] W.T.Holman, J.A.Connelly, and A.B.Dowlatabadi, "An Integrated Analog/Digital Random Noise Source", IEEE Trans. Circuits Syst.I, vol.44, pp.521-528, 1997.
- [14] A.Rodriguez-Vazquez, A.Rueda, B.Perez-Verdu and J.L.Huertas, "Chaos Via A Piecewise-Linear Switched-Capacitor Circuit", Electronics Letters, Vol.23, No.12, pp.662-663, 1987.
- [15] A.Rodriguez-Vazquez, M.Delgado, S.Espejo and J.L.Huertas, "Switched-Capacitor Broadband Noise Generator for CMOS VLSI", Electronics Letters, Vol.27, No.21, pp.1913-1915, 1991.
- [16] Robert Spina and Shambhu Upadhyaya, "Linear Circuit Fault Diagnosis Using Neuromorphic Analyzers", IEEE Trans. Circuits Syst.II, vol.44, pp.188-196, 1997.

- [17] 柏木, “M 系列とその応用”, 信学誌, vol.76, No.12, pp.1337-1340, 1993.
- [18] 野村芳男, 須崎妙子, “円周率 π 5000 けたのランダム性の一視点”, 電子情報通信学会論文誌, vol.J81-A, No.3, pp.452-455, 1998.
- [19] 堀尾喜彦, “カオスと集積回路”, 数理科学, 4月号, pp.72-79, 1997.

本研究に関する発表

学会誌論文

1. T.Tsujita, Y.Aihara, M.Fujishima and K.Hoh, "Analysis of a multivibrator-based simple CMOS chaos generator", IEICE Transactions, Special Section on Nonlinear Theory and its Applications 98 (accepted for publication) (第2章)

国際会議講演

1. T.Tsujita, T.Irita, M.Fujishima and K.Hoh: "Self-Oscillating Chaos Generator Using CMOS Multivibrator", KES'98 Second International Conference on Knowledge-based Intelligent Electronic Systems, Adelaide, April 1998. (第2,3章)
2. T.Tsujita, Y.Aihara, M.Fujishima and K.Hoh: "Design and Experiment of a Multivibrator-based Simple CMOS Chaos Generator", NOLTA'98 Nonlinear Theory and its Application, Crans-Montana, Sept. 1998.(第2,3,4章)

国内大会講演

1. 辻田達男, 入田隆宏, 藤島実, 鳳紘一郎: "BiCMOS カオスマルチバイブレータ", 1997 年秋季電子情報通信学会ソサイエティ大会 (第2章)
2. 辻田達男, 入田隆宏, 相原祐一郎, 藤島実, 鳳紘一郎: "CMOS カオスマルチバイブレータ", 1998 年春季電子情報通信学会総合大会 (第2,3章)
3. 辻田達男, 入田隆宏, 藤島実, 鳳紘一郎: "CMOS カオスマルチバイブレータの解析と測定", 1998 年秋季電子情報通信学会ソサイエティ大会 (第2章)

連名発表

1. T.Irita, T.Tsujita, M.Fujishima and K.Hoh, "Physical Mechanism of Chaos in Thyristors and Coupled-Transistor Structures", Jpn. J. Appl. Phys., Vol.34, Pt.1, No.2B, pp.1409-1412, Feb.1995.
2. T.Irita, T.Tsujita, M.Fujishima and K.Hoh, "Mechanism and Application of Chaos Generated in Bipolar Devices", Technical Report of IEICE, ED96-211, March 1997.
3. T.Irita, T.Tsujita, M.Fujishima and K.Hoh, "A Simple Chaos-Generator for Neuron Element Utilizing Capacitance-npn-Transistor Pair", Computers and Electrical Engineering, Vol.24, pp.43-61, Pergamon Press, 1998.
4. K. Hoh, T.Tsujita, T. Irita and M. Fujishima, "Generation of Chaos with Simple Sets of Semiconductor Devices", 2nd Intern. Conf. Knowledge-Based Electronic Systems, Adelaide, Proceedings pp.250-259, April 1998.
5. K.Hoh, T.Tsujita, T.Irita, Y.Aihara and M.Fujishima, "Semiconductor Chaos-Generating Elements of Simple Structure and Their Coupled Operation", IIZUKA 98, Oct. 1998.

謝辞

本論文の研究を進めるにあたり、適切な御指導と御指示を頂きました鳳絃一郎教授に厚く御礼を申し上げます。そして、数々のご助言を頂きました藤島実講師に深甚なる謝意を表します。また、北澤清子助手には、研究生生活の様々な面で支えて頂きました。

また、本研究を共同で進めてきました方々に感謝致します。入田隆宏氏（現日立製作所）には、適切なアドバイスを頂きました。相原祐一郎氏の助力を頂きながら、実験を進めて参りました。

最後に、研究だけでなく様々な面で数々の御助言、御支援を頂いた、鳳研の皆様に感謝の意を表したいと思います。

本研究におけるチップ試作は東京大学大規模集積システム設計教育研究センターを通し日本モトローラ（株）、大日本印刷（株）、および京セラ（株）の協力で行なわれました。