



電 子 **389**

学位請求論文

選択MBE成長法による
Si基板上GaAsへテロエピタキシャル層の
高品質化に関する研究

指導教官 西永 頌 教授

東京大学大学院 工学系研究科
電子工学専攻 67136

松永泰彦

目次

第1章 序論	1
1.1 研究の背景	1
1.2 GaAs/Si ヘテロエピタキシャル成長における問題点	2
1.3 選択成長の重要性	4
1.4 本研究の目的	5
第2章 GaAs/Si 初期成長機構の解明と制御	7
2.1 研究の背景	7
2.2 実験方法	7
2.3 As 終端 Si(001)基板表面のステップ構造	10
2.3.1 As 照射温度依存性	10
2.3.2 ステップバンチング機構	12
2.3.3 オフ角度依存性	14
2.3.4 サーマルクリーニング温度依存性	16
2.4 極薄膜アモルファスバッファ層の成長	18
2.4.1 結晶化過程の RHEED による実時間観察	18
2.4.2 成長層形状の AFM 観察	20
2.4.3 サーマルクリーニング温度の結晶化に与える影響	22
2.4.4 基板オフ角度依存性	24
2.4.5 極薄膜アモルファスバッファ層の結晶化モデル	26
2.5 極薄膜クリスタルバッファ層の成長	28
2.6 極薄膜バッファ層上に成長したエピ層の評価	30
2.7 第2章のまとめ	31
第3章 SiO₂ シャドウマスクを用いた GaAs/Si 垂直マイクロチャネルエピタキシー	32
3.1 はじめに	32
3.1.1 貫通転位低減の原理	32
3.1.2 SiO ₂ シャドウマスクを用いた垂直マイクロチャネルエピタキシー	33
3.2 VMCE 成長プロセス	34
3.3 VMCE 成長層の断面形状	37
3.3.1 SEM による断面形状観察	37
3.3.2 GaAs 蒸発速度の測定	42
3.4 VMCE 成長機構の考察	43

3.4.1	入射分子線方向の効果.....	43
3.4.2	Ga の表面拡散の影響.....	45
3.4.3	ファセットの出現について.....	47
3.4.4	VMCE の成長モデル.....	49
3.5	表面平坦性の評価.....	50
3.5.1	表面モルフォロジーの観察.....	50
3.5.2	GaAs/Si 基板表面の観察.....	58
3.5.3	成長ヒロックの形成機構.....	61
3.6	VMCE によるドット構造の形成.....	65
3.7	第 3 章のまとめ.....	68
第 4 章	VMCE 成長層の評価.....	70
4.1	はじめに.....	70
4.2	AFM によるスリップステップの観察.....	70
4.3	フォトルミネッセンス測定による残留応力の評価.....	80
4.4	二次元有限要素法による応力分布計算.....	82
4.5	熔融 KOH エッチングによる評価.....	84
4.6	透過型電子顕微鏡による断面観察.....	89
4.7	第 4 章のまとめ.....	91
第 5 章	まとめ.....	93
本研究に関する発表.....		95
謝辞.....		96

第1章 序論

1.1 研究の背景

格子定数や結晶構造の異なる任意の材料を一枚の基板の上にモノリシックに形成できれば、正に夢のようなデバイスが実現できるであろう。波長の異なる発光デバイスや、全く異なる機能をもつデバイス(電子デバイスと磁気メモリ等)を同居させることが可能となる。このような構造を実現するための方法としては、現在のところ直接接着法とヘテロエピタキシャル成長法の2つが有望である。

直接接着法は、犠牲基板上にホモエピタキシャル成長したデバイス構造をホスト基板に水素雰囲気下で加圧することにより接着させ、その後犠牲基板を化学的エッチングして除去するというものである[1]。デバイス構造自体はホモエピタキシャル成長により作製されるため、欠陥を含まない高品質なものが得られることが大きな利点である。その反面、適切な犠牲基板が存在しないような材料系には適用できないこと、犠牲基板が無駄になること、微細なデバイスを指定の位置に接着することが困難であること等の問題点もある。近年、直接接着法の応用として、ねじれた方向で薄膜を接着した「コンプライアント基板」を用いてヘテロエピタキシャル成長を行うと高品質な層が得られるという報告もある[2]。

格子定数の大きく異なるヘテロエピタキシャル成長(highly mismatched heteroepitaxy: HM²)は古くから様々な材料系で試みられてきた。現在盛んに研究されている系として、GaAs/Si、InGaAs/GaAs、SiGe/Si、GaN/サファイア等が挙げられる。成長手法の工夫によりバルク基板が存在しないような材料もエピタキシャル成長することができる、選択成長を用いることにより基板の任意の場所に成長層が形成できる等がHM²の長所であるが、得られるヘテロエピタキシャル層に多くの欠陥が含まれることが概して問題となっている。

HM²の中でもGaAs/Siは最も精力的に研究が行われてきた系である[3]。Siは説明するまでもなく、現在の高度に発達した電子デバイスのキーマテリアルである。Si集積回路はこれまでのところ着実に高集積化及び高速化され続けており、今後も半導体産業の根幹を支える材料でありつづけると考えられる。一方化合物半導体であるGaAsは、その高速性又は光学特性を活かした高周波用トランジスタや光デバイスなどに利用されている。

Si基板上に高品質なGaAs層をヘテロエピタキシャル成長して両者の特長を融合することができれば、材料的な側面においても、応用的な側面においても新たな可能性が開ける。材料的な見地からいえば、GaAsバルク基板をGaAs/Si基板に置き換えることで、人体及び環境に有害なGaAsの使用を減らすことができる。また、Si基板のもつ硬さや熱伝導性の良さといった特長を享受することができる。応用的な側面では、電子デバイスと光デバイスをモノリシックに形成できることから、デバイス設計の自由度が大幅に増し、光電子集積回路(Opto-electronic Integrated Circuit: OEIC)と称される新機能デバイスの登場が期待できる。

GaAs/Siヘテロエピタキシャル成長は次節に述べるような問題をはらんでいるが、材料系が異なっても全く同様の問題が発生していたり、ある欠陥低減手法が他のHM²系

にもそのまま応用できたりすることが多い。したがってGaAs/Siにおける研究によって、HM²全般の知見を深めることに貢献できると考えられる。

本論文では、分子線エピタキシー(molecular beam epitaxy : MBE)を用いたGaAs/Siヘテロエピタキシャル成長を取り上げる。

1.2 GaAs/Siヘテロエピタキシャル成長における問題点

GaAs/Siヘテロエピタキシーは、以下のような問題点を抱えている。

I 貫通転位の発生

まず、貫通転位の発生と密接に関わるミスフィット転位の発生について述べる。

(a) 格子不整合歪みによるミスフィット転位の発生(図 1.1(a))

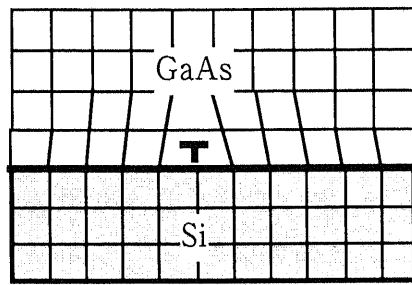
GaAs及びSiの格子定数はそれぞれ5.65 Å、5.43 Åであり、約4.1%の格子不整合がある。GaAs/Si成長初期においては、GaAs格子が弾性的に変形することによりコヒーレントに成長する。このとき生じる格子歪みにより弾性エネルギーが蓄積され、ある膜厚以上で歪みを緩和させるためにミスフィット転位が導入される。

(b) 熱膨張係数差に基づく熱歪みによるミスフィット転位の発生(図 1.1(b))

GaAs及びSiの熱膨張係数は各々 $6.8 \times 10^{-6} \text{K}^{-1}$ 、 $2.6 \times 10^{-6} \text{K}^{-1}$ であり、GaAsの方が大きく収縮する。ミスフィット転位の導入により成長終了時点で格子不整合歪みが十分に緩和されているとしても、成長温度から室温に降温する過程でGaAsエピタキシャル層(以下、エピ層と表記する)に熱膨張係数差による引っ張り応力が加わり、格子歪みを発生する(熱歪み)。この熱歪みもまたミスフィット転位を発生させる要因となる。

ミスフィット転位は、格子不整合歪み及び熱歪みを緩和するためには必要な結晶欠陥であるともいえる。応用上問題となるのは、デバイス作製領域を貫いて存在する転位、すなわち貫通転位である。貫通転位は電子と正孔の非発光再結合中心となり、GaAsの光学的特性を劣化させる。光デバイスとして利用するためには、エピ層中の貫通転位密度を 10^4cm^{-2} 以下に低減させなければならない。

貫通転位の発生機構はまだ完全には解明されていないが、ミスフィット転位間の反応による転位の立ち上がり[4]や、半転位ループによるミスフィット転位の導入過程[5]において発生すると考えられている。したがってミスフィット転位が貫通転位発生に密接に関与していることは明らかである。貫通転位低減のアプローチとしては、格子歪み(格子不整合歪み及び熱歪み)を緩和するために必要最低限なミスフィット転位のみを導入し、且つそれに伴う貫通転位の発生をなるべく抑えることが必要である。これまで様々な貫通転位低減法が試みられ、ある程度の低減が実現されたものの、どれもまだ不十分であり未だ実用レベルには至っていない[6]。



GaAs : 5.65 Å

T : ミスフィット転位

Si : 5.43 Å

(a)

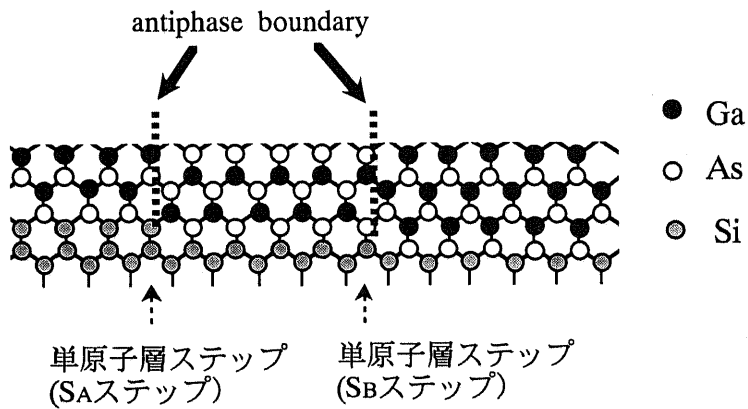


成長後の降温過程で
GaAsの方が大きく収縮



GaAs層に引っぱり応力が掛かる

(b)



(c)

図 1.1 GaAs/Si ヘテロエピタキシャル成長における問題点

II 無極性半導体(Si)上に極性半導体(GaAs)を成長させることによる反位相領域(antiphase domain : APD)の発生(図 1.1(c))

GaAsは[001]積層方向においてAs面とGa面が交互に繰り返される。GaAs/Siにおいては、GaAs成長前にSi清浄表面にAsを照射することにより一層のAs層を形成させる(これをAsプリレイヤと呼ぶ)。これによって成長第一層目はAsに統一されるが、この表面に単原子層高さのステップが存在すると、このステップを境界にして位相の異なる領域、反位相領域が形成される。反位相領域の発生を抑制するためには、表面のステップを二原子層高さ(又は偶数層高さ)にすればよい。

III 面欠陥の発生

GaAs/Siにおいて、積層欠陥や微小双晶といった面欠陥も発生する[7]。前者は成長層のモルフォロジーを悪化させることが報告されている[8]。

IV 残留応力の発生

I-(b)で述べた熱歪みは降温過程において完全には緩和されないため、通常GaAsエピ層中に 10^9 dyn/cm²台の引っ張り応力が残留する。この値はやや高く、やはり応用上問題となる。過去のGaAs/AlGaAsダブルヘテロレーザーの研究において、転位のすべり運動を抑えるためには残留応力を 2×10^8 dyn/cm²以下に抑える必要があると報告されている[9]。

1.3 選択成長の重要性

選択成長法は様々な特性をもつデバイスを同一基板上に集積する技術として、III-V族化合物半導体のホモエピタキシャル成長分野において広く研究されてきた。GaAs/Siヘテロエピタキシャル成長においても、GaAs系からなる発光、受光素子をSi基板上の任意の場所に共集積させるために、選択成長は必須の技術である。

集積される発光素子として最も有望視されるのは、面発光レーザー(vertical-cavity surface emitting laser : VCSEL)であろう。70年代後半にその概念が発表されて以来膨大な研究が行われた結果、今まさに製品化の段階を迎えつつある[10]。VCSELは共振器が分布ブラッグ反射鏡によって挟まれた構造をもち積層構造が複雑である反面、低閾値電流、集積化の容易さといった利点をもつ。狭窄構造としては複数の方式が報告されているが、反応性イオンエッチングを用いて作製された柱状のVCSELにおいては、直径 $1 \sim 5 \mu\text{m}$ の微細な構造が報告されている[11]。同様の構造をエッチングではなく選択成長によって実現できれば、エッチングによる加工損傷を省けるためより高品質なデバイスの作製が期待できる。選択成長を用いたVCSELの試作が一部報告されている[12]。

以上のような応用上の重要性に加えて、一部のヘテロエピタキシャル成長において選択成長が転位密度の低減化に有効であることが示された。格子不整が1%以下のInGaAs/GaAs[13]、SiGe/Si[14]のヘテロエピタキシャル成長において、成長領域を縮小することによってミスフィット転位及び貫通転位の密度が減少することが報告されて

いる。これは、半転位ループの発生サイトを減らすことによってミスフィット転位間の相互作用を低減すると共に、成長層端に貫通転位を逃がす効果が増大するためである。

上記の系では格子不整が小さいため成長モードは2次元的であるが、GaAs/Siでは格子不整が大きく3次元成長が起こる。そのため成長初期に大量の転位が導入されるため、同様の効果は期待できない。その代わりに、後述するように縦横比を上げることによって選択成長層の高品質化を図れる可能性がある。

1.4 本研究の目的

従来のGaAs/Siの研究は、Si基板上に形成した大面積のGaAs層全面にわたって無転位化することを目的としていた。しかし上述のように、面発光レーザーに代表される微細な素子の作製領域だけでも高品質化することが可能となれば、応用上極めて重大な意味をもつと思われる。加えて、その方が実現し易いであろうことは想像に難くない。したがって本研究の目的は、Si基板上に高品質なGaAs選択成長層を形成することである。

1.2節で述べた結晶欠陥の発生段階に着目すると、2つに大別できる。I-a、II、IIIは主に成長初期過程に発生する欠陥であり、I-bのみ成長後の降温過程において発生する欠陥である。したがって、それぞれに対する低減化のアプローチを次のように分けた(図1.2)。

① 成長初期過程の解明と制御(第2章)

成長初期に発生する欠陥(I-a、II、III)については、成長初期過程における欠陥導入機構を明らかにすることによって発生を低減できるものと考えられる。そのためには、微視的なレベルでの成長初期過程の解明が不可欠である。これらの欠陥の低減に対しては、選択成長することによる効果は弱いと考えられるため、全面成長した場合について考えた。

具体的には第2章でGaAs/Si成長初期過程を観察し、3次元成長島の核発生位置とAPD発生量との関係を調べた。

② 選択成長層の高品質化(第3章、第4章)

成長初期過程の改善のみで、I-a、II、IIIの欠陥の発生を完全に抑制することは難しい。したがって、抑えきれずに発生した欠陥を選択成長層内で除去する機構が必要である。詳しくは3.1節にゆずるが、成長層の縦横比を上げるという幾何学的形状効果によって貫通転位の低減が期待できる。

さらに成長後の降温過程に発生する欠陥(I-b)に対しては、貫通転位発生の駆動力となる熱応力を緩和する必要がある。3.1節で述べるように側面を自由表面とする幾何学的形状効果によって、熱応力を緩和できるものと思われる。

第3章ではまず、縦横比の大きな成長層を実現するための選択成長手法を提案し、得られた成長層の形状を観察した。第4章では得られた成長層の評価を行い、幾何学的

形状による高品質化の効果があるかどうかを調べた。

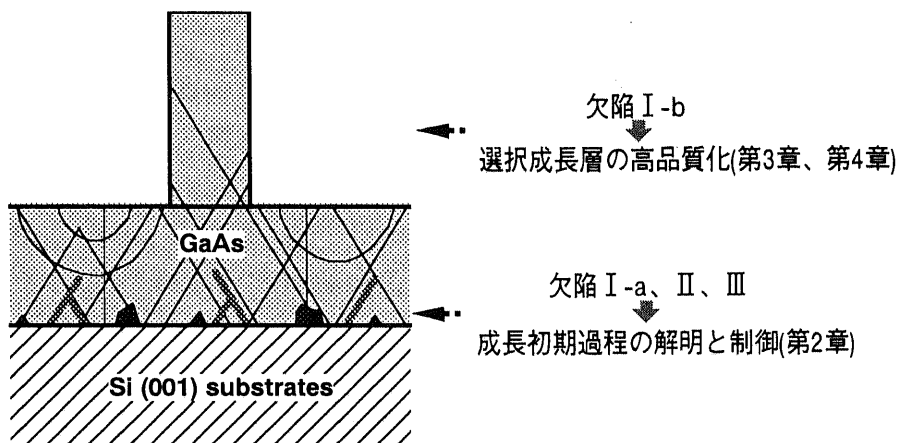


図 1.2 それぞれの欠陥に対する低減化のアプローチ。

参考文献

- [1] Z.-H. Zhu, F. E. Ejeckam, Y. Qian, J. Zhang, Z. Zhang, G. L. Christenson and Y. H. Lo, IEEE J. Select. Topics Quantum Electron. 3 (1997) 927.
- [2] F. E. Ejeckam, M. L. Seaford, Y. H. Lo, H. Q. Hou and B. E. Hammons, Appl. Phys. Lett. 71 (1997) 776.
- [3] S. F. Fang, K. Adomi, S. Iyer, H. Morkoc, H. Zabel, C. Choi and N. Otsuka, J. Appl. Phys. 68 (1990) R31.
- [4] W. Hagen and H. Strunk, Appl. Phys. 17 (1978) 85.
- [5] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Vieggers, J. Appl. Phys. 62 (1987) 4413.
- [6] 上田修, 応用物理 第 61 卷 (1992) 126.
- [7] D. Gerthsen, D. K. Biegelsen, F. A. Ponce and J. C. Tramontana, J. Crystal Growth 106 (1990) 157.
- [8] H. Mori, M. Tachikawa, T. Yamada and T. Sasaki, J. Crystal Growth 154 (1995) 23.
- [9] A. Georgakilas, P. Panayotatos, J. Stoemenos, J. -L. Murrain, and A. Christou, J. Appl. Phys. 71 (1992) 2679.
- [10] K. D. Choquette and H. Q. Hou, Proc. IEEE 85 (1997) 1730.
- [11] A. Scherer, J. L. Jewell, Y. H. Lee, J. P. Harbison and L. T. Florez, Appl. Phys. Lett. 55 (1989) 2724.
- [12] M. Orenstein, Y. Satuby, U. Ben-Ami, J. P. Harbison, Appl. Phys. Lett. 69 (1996) 1840.
- [13] E. A. Fitzgerald, G. P. Watson, R. E. Proano, D. G. Ast, P. D. Kirchner, G. D. Petit and J. M. Woodall, J. Appl. Phys. 65 (1989) 2220.
- [14] D. B. Nobel, J. L. Hoyt, C. A. King and J. F. Gibbons, Appl. Phys. Lett. 56 (1990) 51.

第2章 GaAs/Si 初期成長機構の解明と制御

2.1 研究の背景

HM²でまず問題となるのが成長膜の平坦性である。格子定数差による歪みや基板との濡れの悪さからHM²の成長初期過程では島状成長が起こることが多い。平坦且つ良質なヘテロエピタキシャル成長層を得るために標準的に用いられている方法として、二段階成長法がある。これは、数～数十nm程度のごく薄いバッファ層と呼ばれる層をまず成長させ、次に通常の成長温度でエピタキシャル成長を行うものである。バッファ層の役割は第一に、この層内でミスフィット転位を発生させて格子不整歪みを緩和しつつ、結晶情報を成長層に伝えることである。もう一つは低温成長によって表面拡散を抑制させ、成長島の核発生密度を増加させることである。これによって直接成長を行った場合よりも薄い膜厚で連続膜を得ることが可能になった。

二段階成長法はこれまでに様々な系で用いられてきた[1]。古くはZnO/サファイア[2]、SiC/Si[3]、Si/サファイア[4]といった系で用いられ、良質なエピタキシャル層(以下、エピ層)を得ることに成功した。GaAs/SiにおいてもMBE[5]及び有機金属気相成長法[6]の各々において適用され、直接成長法に比べて良質なGaAsエピ層が得られるようになった。近年精力的に研究が行われているGaN/サファイアでもAlN[7]又はGaN[8]の低温バッファ層を用いた二段階成長法が広く用いられている。

一般的にエピ層の品質は、バッファ層の成長条件(膜厚、成長温度、アニール温度等)により大きく左右されるため、バッファ層の成長を最適に制御することが必要不可欠である。

GaAs/Siの二段階成長法におけるバッファ層は、その成長温度によって次のように分類できる。成長温度が300～400℃のときは結晶層であるためクリスタルバッファ層と呼び、～100℃以下では堆積時は非晶質膜となるためアモルファスバッファ層と呼ぶ。アモルファスバッファ層は、基板温度を昇温することにより結晶化させて用いる。このような成長法は固相エピタキシー(solid phase epitaxy : SPE)と分類される。温らは、クリスタルバッファ層を用いるよりも、アモルファスバッファ層を用いる方がエピ層の品質が改善される、という結果を報告した[9]。しかし、アモルファスバッファ層による高品質化の要因については詳細には分かっていなかった。本研究の目的は、より微視的な視点でアモルファスバッファ層の成長機構を調べ、クリスタルバッファ層の成長との違いを明らかにすることである。これをもとに、アモルファスバッファ層による高品質化の要因を探る。

2.2 実験方法

本実験におけるバッファ層成長プロセスを以下に示す(図 2.1)。

(1) Si 基板のサーマルクリーニング

基板としては $\langle 110 \rangle$ 方向にオフしたSi(001)基板を用いた。オフ角度は、実験に応じて0.3°、1°、4°のものを用いたが、主に1°を使用した。炭素汚染の少ない表面を

得るために、石坂法[10]を用いてSi基板を化学洗浄した。MBE成長前に表面酸化膜を除去し、且つ表面を清浄化するために、900℃または1050℃でSi基板のサーマルクリーニングを行った。

(2) As プリレイヤ

サーマルクリーニング後、Asフラックスを基板に照射することによってAsプリレイヤを形成した。As照射は基板温度600～700℃の範囲で行い、As照射温度が表面ステップ構造に与える影響を調べた。As照射時間は5分間、As圧は $6.0 \times 10^{-6} \sim 1.5 \times 10^{-5}$ Torrであった。Asプリレイヤ形成後、Asを照射したままバッファ成長温度まで基板温度を降温した。但し、2.3.1及び2.3.3の実験ではAs背圧の影響を排除するために、サーマルクリーニング時はAsセル温度を使用温度より40℃下げておき、基板温度をAs照射温度に下げた後にセル温度を使用温度に設定した。

(3) GaAs バッファ層の堆積

アモルファスバッファ層は基板温度100℃で成長した。基板温度が低いため、堆積直後の膜は非晶質となる。膜厚は2.5～15 Åとした。

一方、クリスタルバッファ層は300℃で成長を行った。

(4) GaAs バッファ層のアニール

堆積後Asビームを照射しながら、 $\sim 30^\circ\text{C}/\text{分}$ の割合で基板温度を580℃まで昇温した。GaAsアモルファスバッファ層の場合、この昇温過程で非晶質膜の結晶化が起こり、最終的には結晶層に変化する。

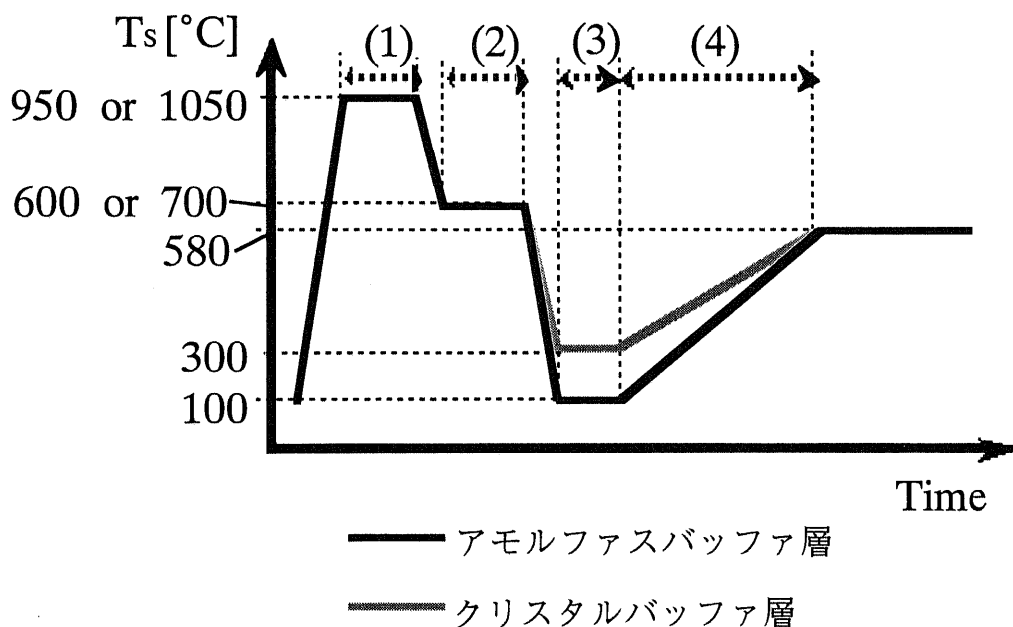


図 2.1 バッファ層成長の温度プロセス。

成長層の表面形状は、走査型トンネル顕微鏡(Scanning Tunneling Microscopy : STM) 又は原子間力顕微鏡(Atomic Force Microscopy : AFM)を用いて行った。

STM 装置は MBE 装置に真空一貫で接続されている。本装置の模式図を図 2.2 に示す。観察試料は真空中を輸送されるため試料表面酸化と不純物の付着を防ぐことができる。よって、原子レベルでの成長最表面の観察が可能である。しかし、本 STM 装置は実際の成長温度での観察は不可能であるため、厳密な意味での「その場」観察はできない。

一方、成長後の表面観察には AFM を用いた。AFM は大気中で観察ができ、取り扱いが容易な上、伝導性が無い試料の凹凸も測定可能である。しかし、通常酸化膜が介在しているため、原子レベルでの微細な構造を見ることは困難である。

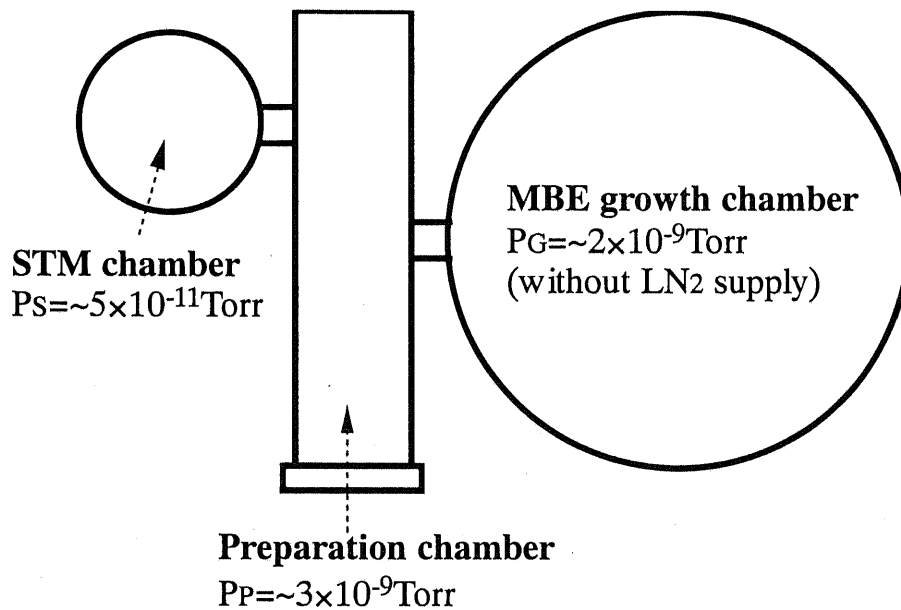


図 2.2 MBE 装置に接続された STM 装置の模式図。

2.3 As 終端 Si(001)基板表面のステップ構造

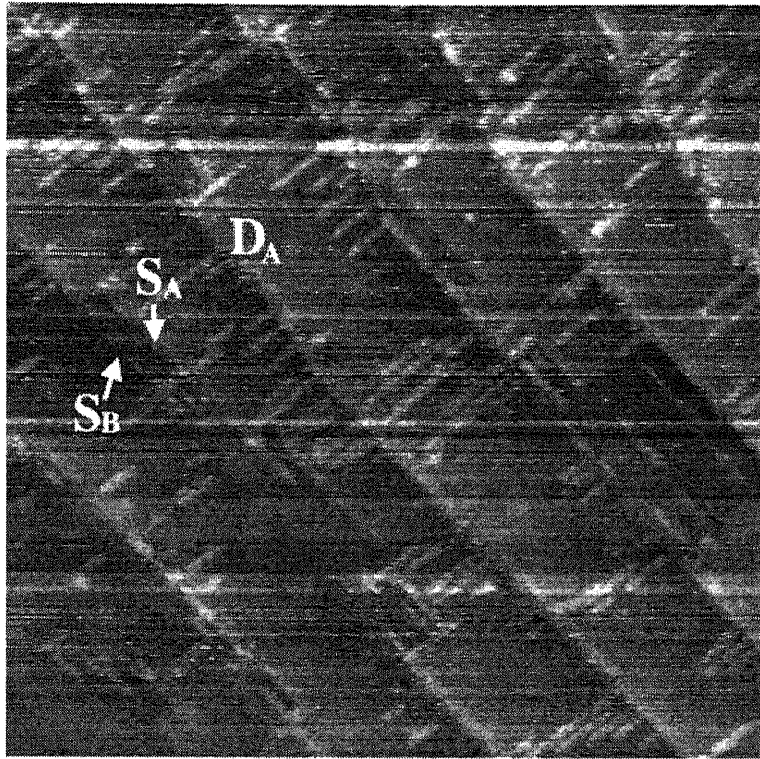
2.3.1 As 照射温度依存性

図 2.3 に As 終端 Si 表面の As 照射温度依存性を示す。As 照射温度は(a)600°C、(b)700°C である。Si 基板のオフ角は 1° であり、As 照射前に 950°C で 7 分間サーマルクリーニングを行った。

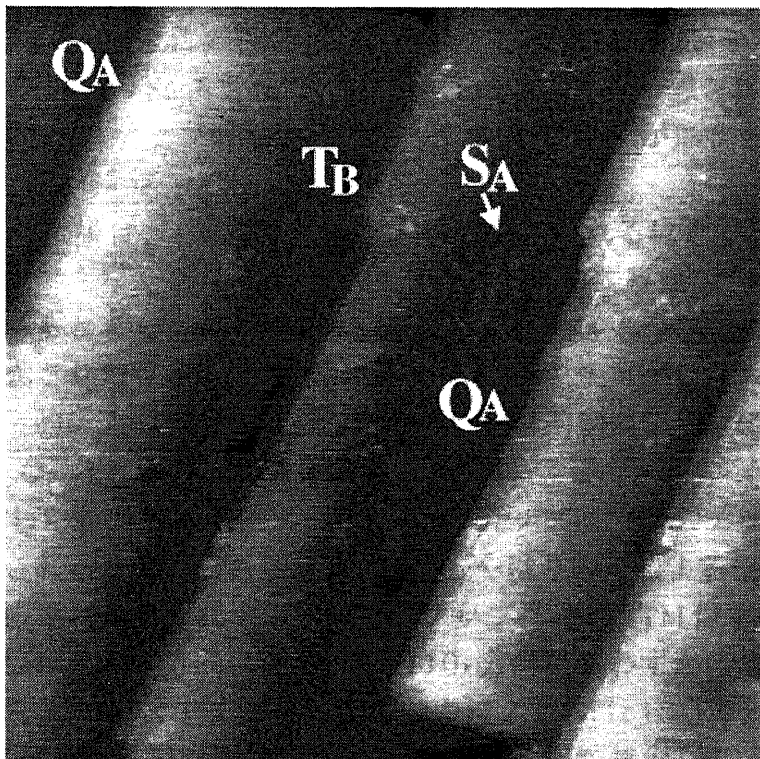
600°C で As 照射した場合(図 2.3(a))、テラス幅約 160 Å のステップが主に観察される。これらは二原子層ステップのテラス幅に相当する。断面プロファイルからもこれらのステップは二原子層高さをもつことが示された。また、図 2.3(a)中には多くの白い線分が観察されるが、これらは単原子層高さの島である。これらの島の大半はステップエッジに垂直に伸びている。この島の形状異方性は、ダイマー列の方向を反映しているため、テラスのダイマー列はステップエッジに平行であると予測される。Chadi は $\langle 110 \rangle$ 方向にオフした Si(001)基板表面に現れるステップ構造を分類するために、ステップの上側テラス上の Si ダイマー列がステップエッジに平行であるステップを A タイプ、垂直であるステップを B タイプと表記した[11]。この表記法を As 終端 Si 表面のステップに適用すると、上記のステップは DA ステップと表される。一方、一部の島はステップエッジに平行に伸びていることから、その領域では DA ステップではなく単原子層ステップ SA、SB が現れていることが分かる。この表面のドメイン構造は主に 1×2 であり、その割合は約 90% とシングルドメインに近い。

700°C で As 照射した場合(図 2.3(b))、明瞭に観察されるステップ間の距離は平均約 320 Å であり、600°C の場合の 2 倍になっている。この間隔は、単原子層ステップのテラス幅(78 Å)の 4 倍に相当する。断面解析を行うと、これらの明瞭に観察されるステップはバンチングしたステップであり、その高さは 3 原子層または 4 原子層であることが分かった。4 原子層ステップのダイマー列はエッジに平行に走っているため A タイプである。そこで quadruple(4 重の)の頭文字をとって、以下 QA ステップと表記する。一方 3 原子層ステップは、よく観察すると上側のテラスに SA ステップを常に伴っていることが分かる。したがって、この 3 原子層ステップは B タイプであり、TB ステップと表記できる。この表面においては、QA ステップが最も多く観察される。場所によるばらつきはあるものの、QA ステップの数は(TB+SA)ステップの数の約 2 倍である。(TB+SA)ステップは、後述するように QA ステップの分解によって形成されると考えられる。

Pukite らは、RHEED パターンの詳細な観察により、Si(001)面への 650°C 以上での As フラックスの照射によって 4 原子層周期のステップ構造が形成されることを示した[12]。さらに、表面はダブルドメインであることから、この構造は 3 原子層ステップと単原子層ステップの組み合わせであるというモデルを提案した。本実験結果はこのモデルと合致する。



(a)



(b)

図 2.3 As 終端 Si(001)面の STM 像。As 照射温度は(a)600°C (スケール: 870 Å × 870 Å。試料バイアス 1.3V、トンネル電流 0.5nA。)、(b)700°C (スケール: 870 Å × 870 Å。試料バイアス 1.15V、トンネル電流 0.6nA。)

2.3.2 ステップバンチング機構

Si表面を終端するAs原子はAsフラックスを照射していない場合、超高真空中において600℃以上で脱離し始めることが報告されている[13],[14]。よって本実験におけるAs照射条件では、Asの脱離が常に起きていると考えられる。特に700℃ではAs原子の吸着と脱離が高頻度で起きていると思われる。

一方、Si(001)基板上ホモエピタキシャル成長において、SBステップの方がSAステップに比べてステップの移動速度が速いことはよく知られている[15]。このことはステップに取り込まれる際のポテンシャル障壁高さが、SBステップの方が低いためであると解釈できる。この類推から、昇華の場合はSBステップの方が後退し易い可能性がある。そこでAs終端Si表面の脱離過程において、SBステップの方がSAステップよりも後退速度が大きいものと仮定する。

600℃におけるAs照射では、「SBステップの脱離速度の速さ」によってDAステップが形成されると考えられる。このモデルを図2.4に示す。As照射前の清浄な1°オフSi(001)表面のステップ構造としては、交互に並んだSA、SBステップ列を仮定する(図2.4(a))。As照射開始直後は、この表面上に単純にAsが一原子層堆積し、やはりSA、SBステップ列を形成する(図2.4(b))。ところが、この条件ではAs原子の脱離が起きていると考えられ、特にSBステップ端でこれが起き易いと考えられる(図2.4(c))。すると脱離の起きた場所にSi原子が露出する。ここに再びAs原子が吸着することも起こり得るが、ダングリングボンドを減らすためにこのSi原子がAs原子によって置換されることも考えられる(図2.4(d))。この結果、SBステップは一原子分後退することになる。SAステップに比べて、このSBステップの後退速度は大きいと予想され(図2.4(e))、最終的にSBステップがSAステップの位置に到達してDAステップが形成されると考えられる(図2.4(f))。

700℃でAs照射した場合、上記のプロセスがより促進されるはずである。Aステップ端での脱離も無視できなくなり、DAステップが分解して脱離が進むことによりQAステップが形成されると考えられる。図2.3(a)にみられるSA、SBステップもDAステップの分解により形成された可能性もある。このようなバンチングしたステップが一旦形成されると、局所的にAs終端Si(111)面が現れ、比較的安定な状態になると予想される[14]。例えば、QAステップの場合を図2.5に示す。

700℃でAs照射した表面上に存在する(TB+SA)ステップは、QAステップが分解することによって形成されると考えられる。この分解もやはり脱離によるSBステップの後退に起因すると推測される。これを示唆するステップ構造のSTM像を図2.6に示す。本実験に用いた基板は、オフ方向に直交する $\langle 110 \rangle$ 方向にもわずかに傾斜しているため、その方向にもステップ(図中X)を生じる。図中に2組の(TB+SA)ステップが観察されるが、ステップXに近づくにつれSAステップのテラス幅が減少していることが分かる。これらの(TB+SA)ステップがもともとQAステップであったと仮定すると、ステップXはDBステップであったことになる。このDBステップがSB、SAステップに分解し、このSBステップ端からAs原子が脱離した結果、ステップX近傍ほどSAステップのテラス幅が狭くなっていると思われる(図2.7)。また、このようなステップXが無くても、QAステップ端からの脱離により(TB+SA)ステップが形成される可能性もある。

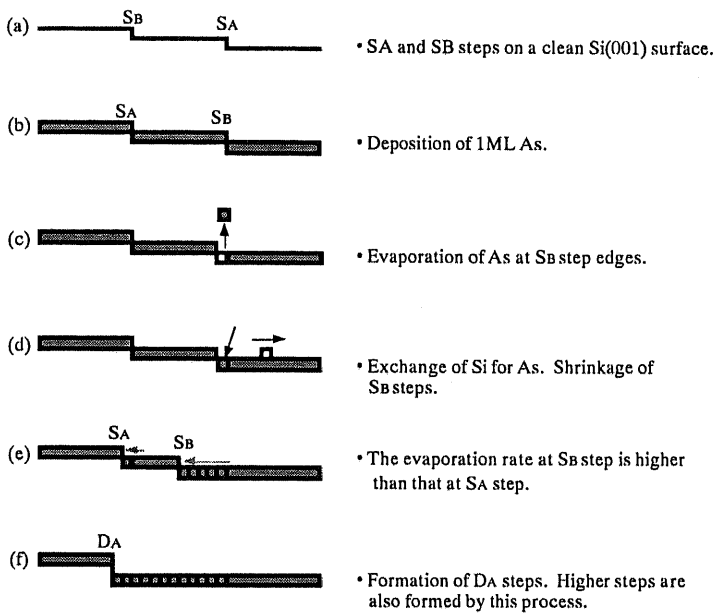


図 2.4 DA ステップ形成モデル。

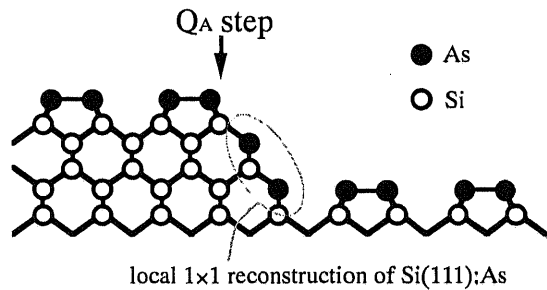


図 2.5 QA ステップの構造モデル。

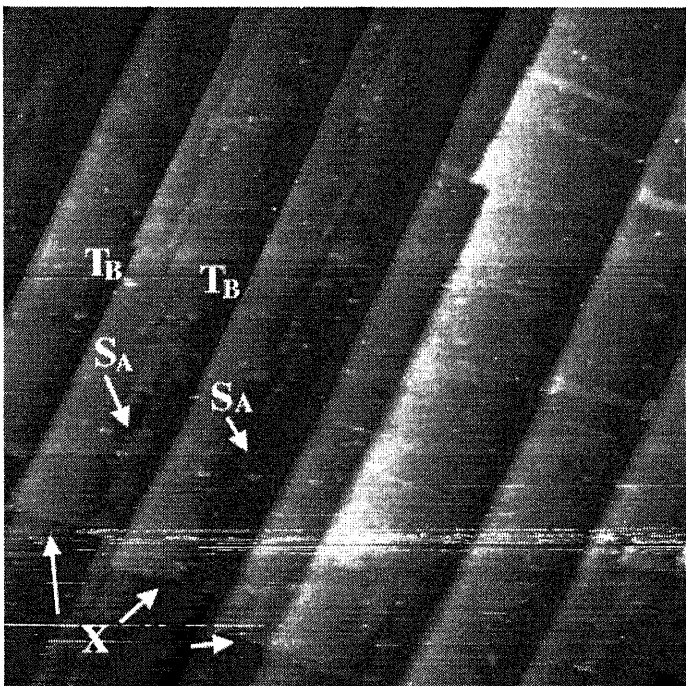


図 2.6 700°CでAs照射したAs終端Si基板表面のSTM像。SBステップの後退がみられる。スケール：1740 Å × 1740 Å。

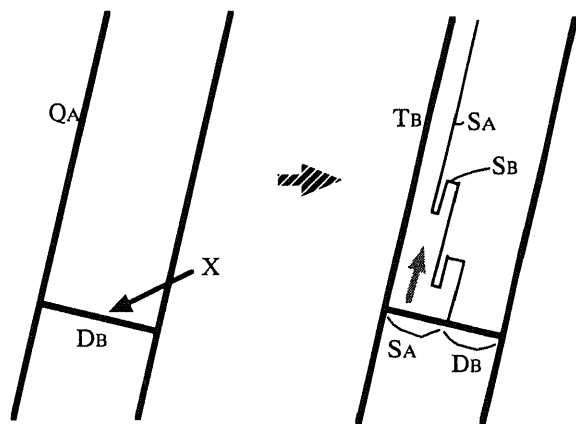


図 2.7 (TB+SA)ステップが形成されるモデル。

2.3.3 オフ角度依存性

0.3° オフ(001)基板に700℃でAs照射した表面のSTM像を図2.8に示す。ダイマール列の方向がテラス毎に90°異なっていることと断面解析から単原子層ステップ S_A 、 S_B が交互に並んでいることが分かり、バンチングは起きていないことが分かる。また2×1ドメインと1×2ドメインがほぼ同じ割合で存在し、ダブルドメインである。

一方4° オフ(001)基板に700℃でAs照射した表面のSTM像を図2.9に示す。この表面には多くのバンチングステップが形成されている。その高さは主に4、6、8原子層であり、2原子層ステップは少ない。また、単原子層高さのステップもわずかにみられる。本測定ではダイマール列がみられなかったが、RHEEDパターンにおける×2ストリークが、電子線がオフ方向に垂直のときに強く、平行のときに弱いことから、やはりAタイプステップが優勢であることを示唆する。×2ストリーク強度の偏りから、この表面はシングルドメインに近いことが分かった。

以上より、オフ角度が大きいほどバンチングを起こし易いことが分かった。

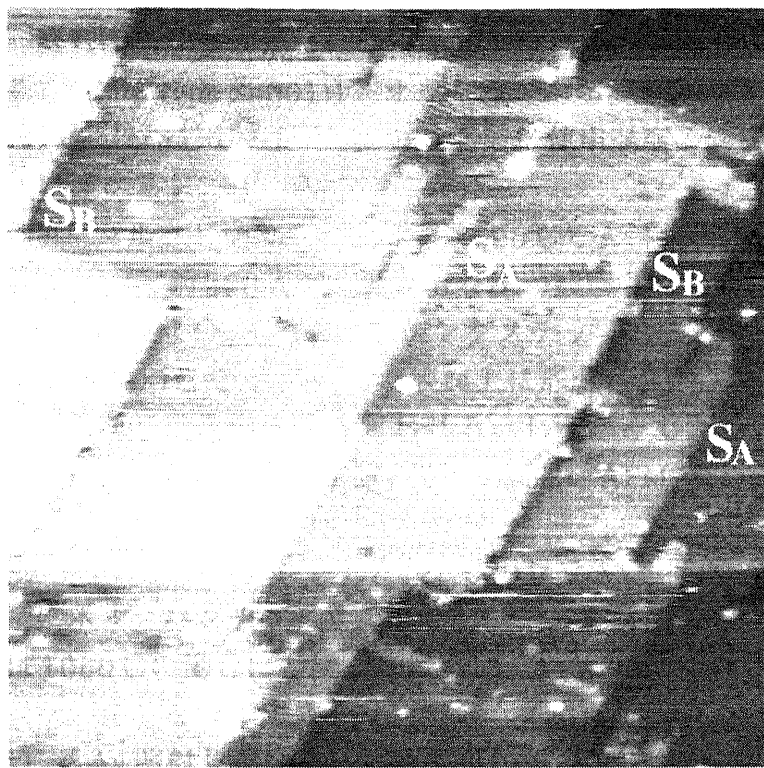


図2.8 700°CでAs照射したAs終端Si(001) 0.3° オフ基板のSTM像。スケール：
870 Å × 870 Å。試料バイアス 1.24V、トンネル電流 0.45nA。

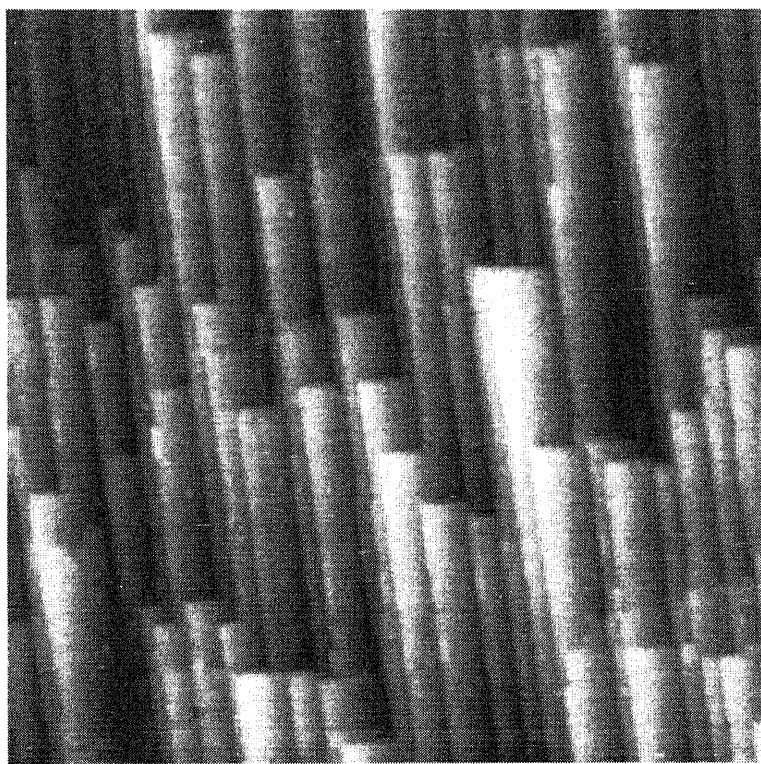


図2.9 700°CでAs照射したAs終端Si(001) 4° オフ基板のSTM像。スケール：
1740 Å × 1740 Å。試料バイアス 1.1V、トンネル電流 0.55nA。

2.3.4 サーマルクリーニング温度依存性

本実験では、As 終端表面ステップ構造のサーマルクリーニング温度(以下、T_{CL})依存性を示す。用いた基板は、p-type Si(001)1° オフ基板である。サーマルクリーニング中、As セルのシャッターは閉じていたが As セル温度は使用温度のままであった。この影響については後に述べる。

1050°Cで20分間サーマルクリーニングした後、600°CでAsを照射したSi基板表面のAFM像を、図2.10に示す。約320 Åごとに明瞭な線が観察されるが、断面プロファイルよりこれらは3原子層又は4原子層のバンチングステップであることが分かった。これらは、2.3.1における700°CでAs照射した表面上に形成された、QAステップもしくは(T_B+S_A)ステップと同じ構造であると思われる。したがってこの表面にもS_Aステップが3原子層ステップの近傍に存在すると思われるが、AFMでは検知できなかった。

900°Cで20分間サーマルクリーニングした後、600°CでAsを照射したSi基板表面のAFM像を図2.11に示す。バンチングステップが観察されるが、そのテラス幅やステップエッジ形状は1050°Cの場合ほど揃っていない。またステップ高さは1~3原子層のものが存在し、その中で2原子層ステップが最も多い。したがって、この表面は2.3.1における600°CでAs照射した表面に近いと思われる。

以上より、サーマルクリーニング温度もまたAs終端表面のステップバンチングに影響することが分かった。しかしその実質的な要因は、以下に述べる背圧のAsとの反応によるものと思われる。MBE成長室内に取り付けられたフラックスモニタを用いて、成長時の基板位置に到達する分子線強度を測定することができる。約 1×10^{-5} TorrのAsフラックスが放出されるAsセル温度のとき、シャッターを閉じていてもフラックスモニタには 10^{-7} Torr台の圧力が検出される。実際、Asの取り込み振動測定の際にAs背圧によって振動が観察されることがある。このことから、シャッターを閉じていてもある程度のAsが基板位置に到達していることが分かる。

サーマルクリーニング過程において、このAs背圧のため2.3.2で述べた様な反応が起きている可能性がある。この反応は、基板温度が高いほど促進されることが予想され、結果的に1050°Cの場合は3~4原子層のバンチングが起こるが、900°Cでは起らないものと考えられる。

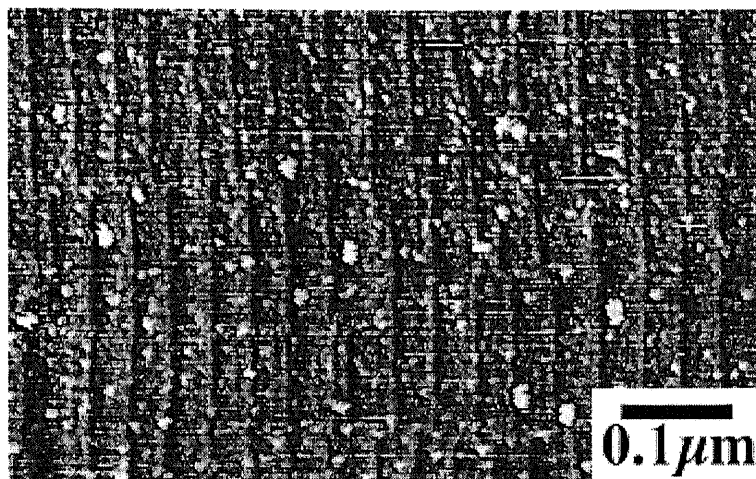


図 2.10 1050°Cで20分間のサーマルクリーニング後、600°CでAs照射したAs終端Si(001) 1°オフ基板表面のAFM像。

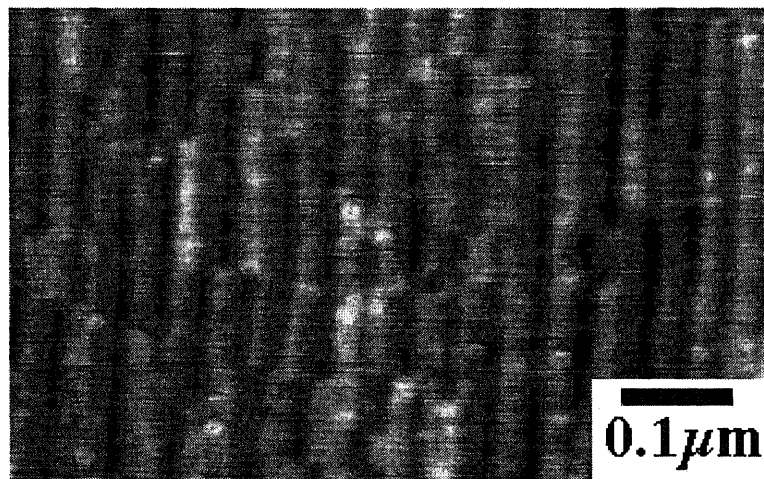


図 2.11 950°Cで20分間のサーマルクリーニング後、600°CでAs照射したAs終端Si(001) 1°オフ基板表面のAFM像。

2.4 極薄膜アモルファスバッファ層の成長

通常の二段階成長で用いるバッファ層の膜厚は100 Å前後である。しかしこの膜厚では、アモルファスバッファ層の結晶化がGaAs/Si界面近傍でどのようにして起きているかという情報が得られない。そこで以下の実験では、膜厚を9~15 Åと薄い極薄膜のバッファ層に着目し、その結晶化過程を調べてゆく。

2.4.1 結晶化過程のRHEEDによる実時間観察

本実験では、p-type 1° オフ基板を用い、サーマルクリーニングは1050°Cで20分間行った。この基板の上に15 Åのアモルファスバッファを堆積後、580°Cまで昇温して結晶化させた。昇温過程におけるRHEEDパターン変化を図2.12に示す。電子線の方向は、(a)、(c)、(e)、(g)では基板のオフ方向に平行、(b)、(d)、(f)、(h)では垂直である。100°Cでアモルファスバッファを堆積した直後のRHEEDパターンを図2.12(a)、(b)に示す。ハローパターンが観察され、堆積膜が非晶質であることが分かる。Asビームを照射しながら基板温度を昇温してゆくと、160°Cでストリーキーなパターンが出現した。250°Cまで昇温した後のRHEEDパターンを図2.12(c)、(d)に示す。完全なストリークとはいえないが、かなりストリークに近い。したがって、表面は比較的平坦であると思われる。図2.12(e)、(f)は500°Cに昇温したときのパターンであるが、ストリークパターンからスポットパターンに変化している。このことは、成長層の3次元島状化が始まっていることを示す。また、両方向において $\{113\}$ ファセットパターンが観察され、島の斜面が $\{113\}$ ファセット面で囲まれていることが分かる。580°Cまで昇温し10分間アニールした後のパターンを図2.12(g)、(h)に示す。完全なスポットパターンを示し、スポットサイズが小さくなっていることから、表面に形成された島のサイズがより大きくなっていることを示唆する。さらに、二種類のファセットの存在を示すパターンが観察される。一つは、 $\{113\}$ ファセットを表すパターンであり、これは図2.12(g)でははっきりと観察されるが、図2.12(h)ではほとんど見られない。もう一つは $\{111\}$ ファセットを表すパターンであり、これは $\{113\}$ ファセットとは逆に、図2.12(g)では弱く、図2.12(h)で明瞭に観察される。これらのRHEEDパターンから推測されるGaAsの3次元島の概形を図2.13に示す。 $\{113\}$ 、 $\{111\}$ という異なる二種類のファセットが出現するのは、GaAsの結晶構造が $\langle 001 \rangle$ 方向に関して2回対称であるために、直交する二つの $\langle 110 \rangle$ 方向におけるファセット面の表面エネルギーが異なるためだと思われる。また、図2.12(g)、(h)では電子線の入射角を大きくすると、As終端Si基板表面からの回折パターン(×2ストリーク)も観察され、堆積膜の島状化が進んだためにSi基板表面がかなり露出していることも分かる。

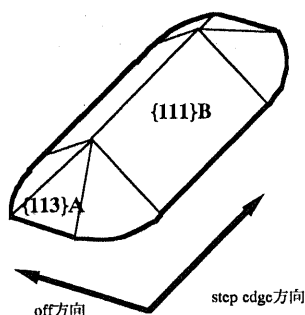


図2.13 RHEEDパターンから推測されるGaAsの3次元島の模式図。

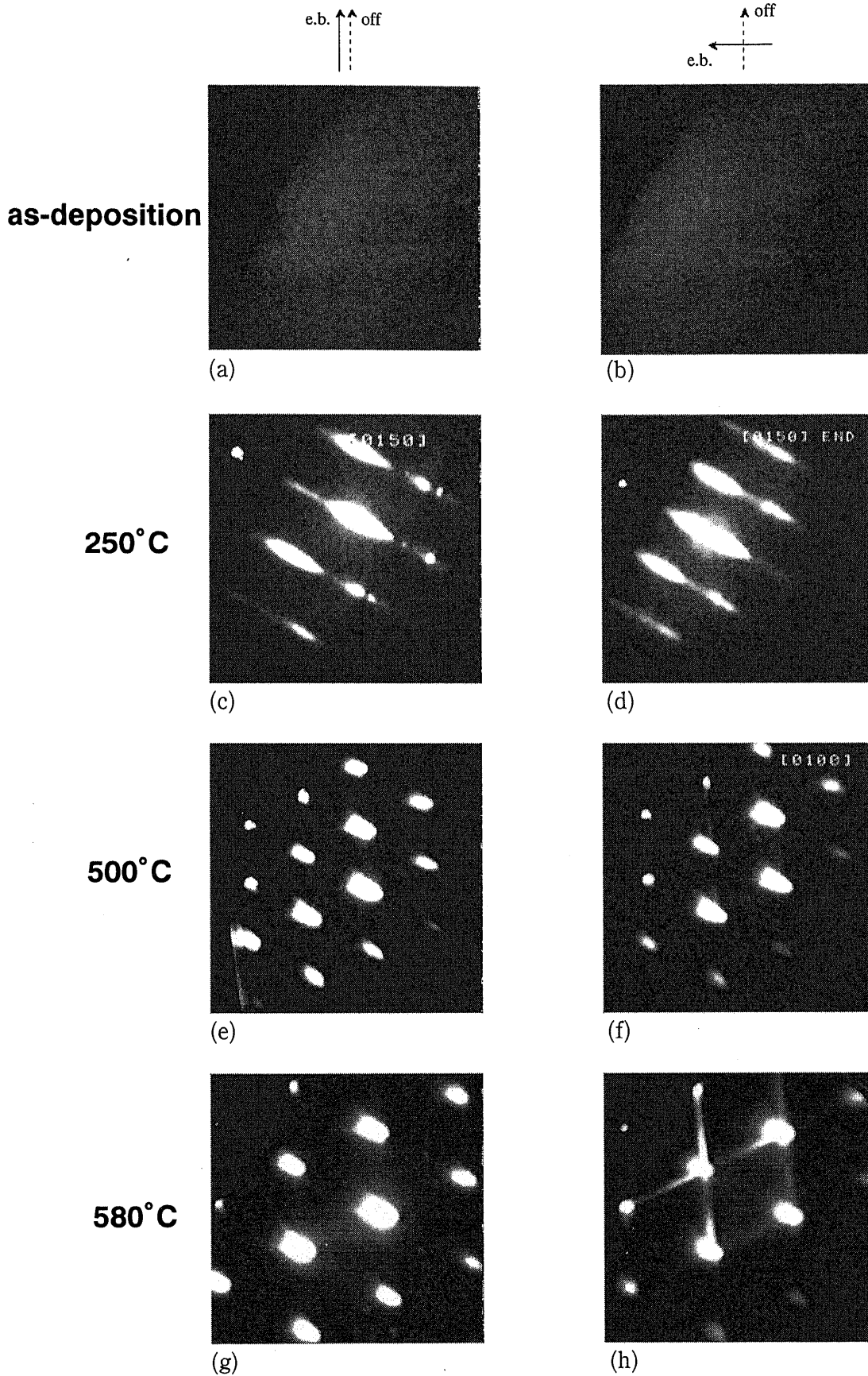


図 2.12 15 Å アモルファスバッファ層の結晶化過程における RHEED パターン変化。電子線の方向は (a)、(c)、(e)、(g) では基板のオフ方向に平行、(b)、(d)、(f)、(h) では垂直。

2.4.2 成長層形状のAFM観察

2.4.1の昇温過程に対応するAFM像を示す。

500°Cに到達した後、直ちに降温したサンプルのAFM像を図2.14に示す。直径約120 Å以下の小さな島(図中A)と、直径約160 Å以上の比較的大きな島(図中B)の2種類が観察される。どちらの島もステップエッジの方向に沿って、並ぶ傾向がみられる。小さい島の列間隔は約160 Åである。大きな島は、並び方はそれほど顕著ではないが、並んでいる箇所では列間隔は約300 Åである。

580°Cまで昇温して10分間アニールした後のAFM像を図2.15に示す。GaAs島の密度 $2.5 \times 10^{10} \text{cm}^{-2}$ である。500°Cのときに比べて島は大きくなり、密度は小さくなっている。ほとんどの島は縦長であり形状異方性をもつ。このことは、島の結晶方向がほとんど揃っていることを示唆する。島の形状は2種類存在し、直径約300 Å前後の形状異方性の小さい島(図中C)と、それよりも大きく横幅約400 Å以上の異方性の大きな縦長の島(図中D)に分類できる。

これらの島とRHEEDパターンから推測された島形状(図2.13)との対応を調べるために、島のファセット面の角度を断面解析により測定してみた。するとDのような異方性の大きな島に関しては、オフ方向側に $\{111\}$ B面が、ステップエッジ方向側に $\{113\}$ A面が現れており、図2.13で示した島形状に一致していることが分かった。一方、Cのような島の斜面には $\{111\}$ B面は現れない。

図2.15においてAs終端Si基板が露出した領域には、1050°Cでのサーマルクリーニングにより形成されたバンチングステップが観察される。図中C,Dの島はバンチングステップエッジ方向に配列する傾向がみられ、GaAs島の大半がこれらに接して形成されている。このことはバンチングステップにおいて形成された島が安定であることを示唆する。

図2.14及び図2.15を比較することにより、図2.14で観察された比較的大きな島(B)は、その列間隔よりバンチングステップにて形成されていると考えられ、一方小さな島(A)は単原子層ステップ又はテラス上で核発生していると解釈できる。したがって500°Cにおいてはほぼ全面的に核発生が起きているが、580°Cまでの昇温及びアニールの過程で、Ga原子の離脱と取り込みによって、不安定な島(A)が分解していき、安定な島(B)が発達してゆくものと考えられる。その結果、最終的にCやDのような安定な島が形成される。

バンチングステップにおいて島が形成される要因については、2.4.5で考察する。

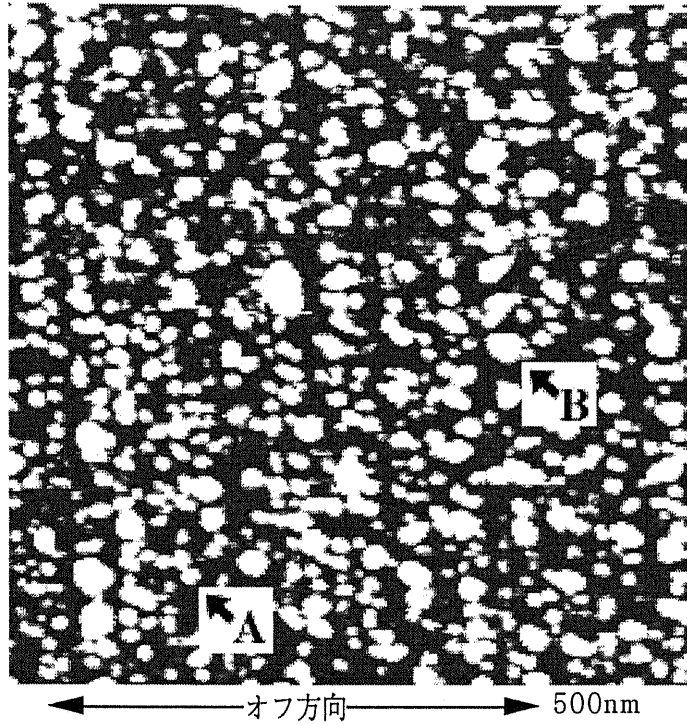


図 2.14 15 Åアモルファスバッファ層を 500°Cまで昇温したときの AFM 像。オフ角度 1°、サーマルクリーニング温度は 1050°C。

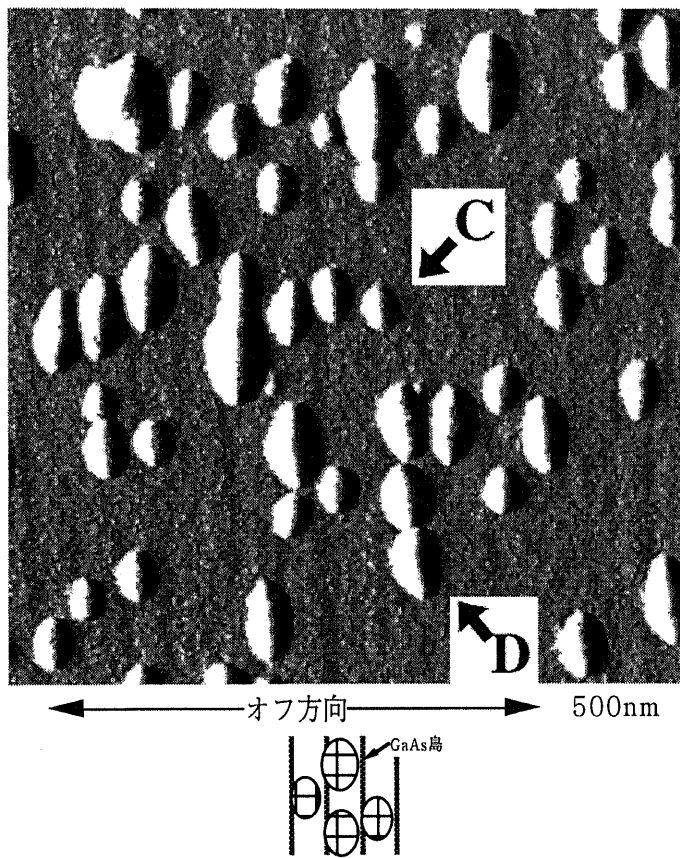


図 2.15 15 Åアモルファスバッファ層を 580°Cで 10 分間アニールした後の AFM 像。オフ角度 1°、サーマルクリーニング温度は 1050°C。

2.4.3 サーマルクリーニング温度の結晶化に与える影響

結晶化過程の実時間RHEEDパターン観察中に、周期性を示すパターンが出現し始めたときの基板温度を結晶化温度と定義する。これは結晶化がほぼ表面にまで到達し、アモルファス状だった表面の何割かが結晶層となった時点の温度である。図2.16に結晶化温度の膜厚及びサーマルクリーニング温度依存性を示す。結晶化温度が、サーマルクリーニング温度が高いほど下がるという結果が得られた。約90 Åのアモルファスバッファ層の結晶化温度は、 $T_{CL}=1050^{\circ}\text{C}$ では約 230°C 、 $T_{CL}=950^{\circ}\text{C}$ では約 320°C とおよそ 100°C の差がある。

950°C で20分間サーマルクリーニングを行った基板上に、2.4.2と同じく15 Åのアモルファスバッファ層を堆積し、 580°C まで昇温して10分間アニールした後のAFM像を図2.17に示す。サーマルクリーニング温度以外の成長条件は全て同じである。

$T_{CL}=1050^{\circ}\text{C}$ の場合(図2.15)と比較すると、平均的な島のサイズは小さくなっており約300 Å程度のサイズの島が多く観察される。密度はやや大きくなり、 $2.8 \times 10^{10}\text{cm}^{-2}$ である。RHEEDパターン観察では、 $\{113\}$ ファセットと $\{111\}$ ファセットの偏りが $T_{CL}=1050^{\circ}\text{C}$ の場合ほど小さく、結晶方向の異なる島が若干存在するのではないかと考えられる。しかし、島の形状異方性があまりないので、位相の異なる島が存在していても形状だけからは判断できない。

露出しているSi基板表面に注目すると、2.3.4の結果と等しく3~4原子層のバンチングステップは観察されない。その代わりに、非常に弱いもののダブルステップに相当すると思われる約160 Å間隔の線が観察される領域もあり、このダブルステップにおいて核発生が起きている可能性がある。

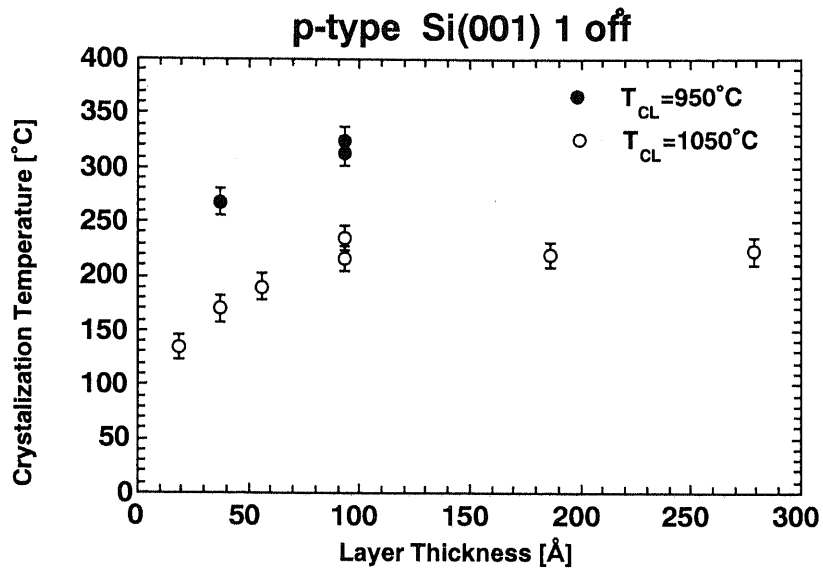


図 2.16 結晶化温度の膜厚及びサーマルクリーニング温度依存性。

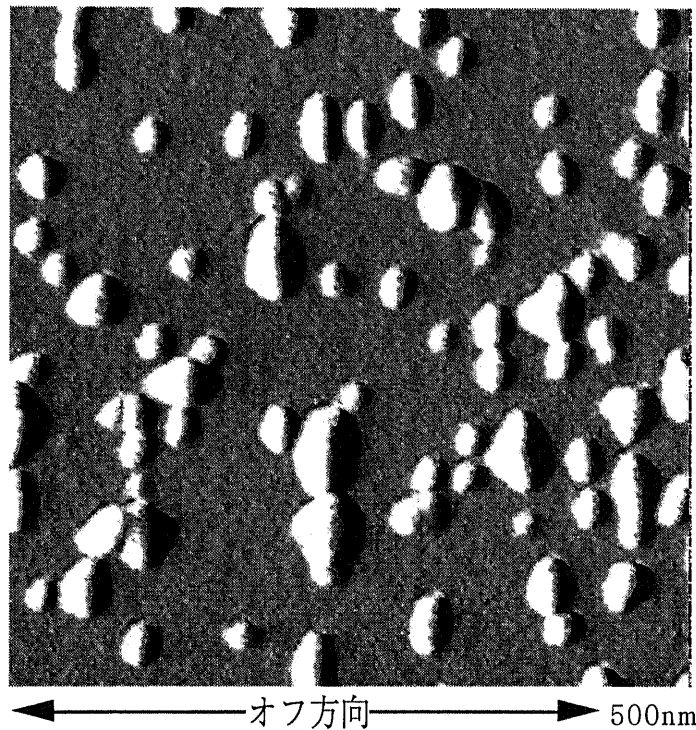


図2.17 15 Åアモルファスバッファ層を580°Cで10分間アニールした後のAFM像。サーマルクリーニング温度は950°C。

2.4.4 基板オフ角度依存性

0.3° 及び 4° の基板オフ角度の Si(001)基板についても同様の実験を行った。

0.3° オフの基板を 1050°C でサーマルクリーニングした基板上に、15 Å のアモルファスバッファ層を 100°C で堆積した。その後 580°C に昇温して 10 分間アニールしたサンプル表面の AFM 像を図 2.18 に示す。GaAs 島の密度は $5.5 \times 10^9 \text{cm}^{-2}$ とかなり小さくなっており、逆に大きさは平均的に大きくなっている。Si 基板表面に着目すると、図中にもみられるようにバンチングステップがわずかに存在している。多くの島は、このバンチングステップに接して形成されているが、そうでない島も存在する。後者のような島は、AFM では確認できなかったが単原子ステップにおいて形成されていると思われる。

次に、1100°C でサーマルクリーニングした 4° オフ基板上に 15 Å のアモルファスバッファを堆積して、結晶化させた(図 2.19)。4° オフ基板表面にはバンチングステップが高密度で存在する。このため、GaAs 島はバンチングステップで核発生し易くなり、ステップエッジ方向に連なる傾向がより顕著に観察される。

以上のオフ角度依存性より、アモルファスバッファ層の結晶化過程において、核発生がバンチングステップで起き易いことが確認された。

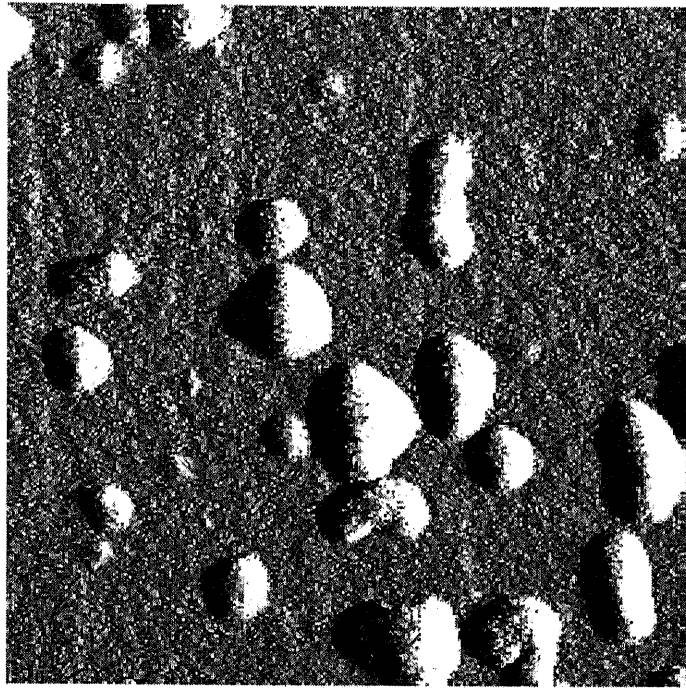


図 2.18 15 Åアモルファスバッファ層を580℃で10分間アニールした後のAFM像。オフ角度0.3°、サーマルクリーニング温度は1050℃。

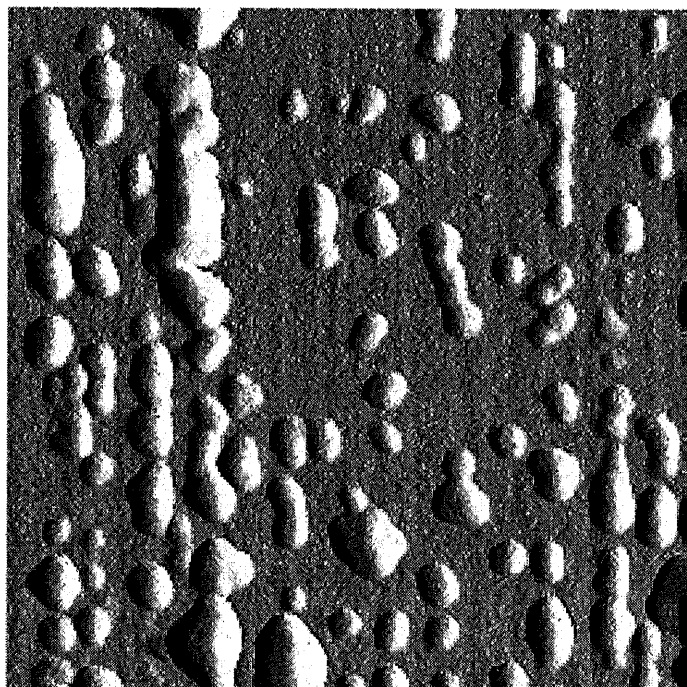


図 2.19 15 Åアモルファスバッファ層を580℃で10分間アニールした後のAFM像。オフ角度4°、サーマルクリーニング温度は1050℃。

2.4.5 極薄膜アモルファスバッファ層の結晶化モデル

これまでの結果から、基板の高オフ角度及び高サーマルクリーニング温度によってAs 終端Si 表面にバンチングステップが形成され、GaAs₃次元島はこのバンチングステップにおいて形成され易いことが分かった。これを説明するための、定性的な結晶化モデルを図 2.20 に示す。

まずアモルファス層/結晶表面界面(以下、a/c界面)における結晶化発生位置に着目する。テラス上で結晶化が起こると仮定すると、テラスの表面構造はバンチングステップの有無に依らないと考えられるので、2.4.3で述べたような結晶化温度の差を生じないはずである。したがって、a/c界面における結晶化はバンチングステップ端で起こるものと考えられる。

As 終端Si 表面のテラス上では表面再構成が起こり、(2×1)As-As ダイマー列構造を示す。結晶化過程においてテラス上でアモルファス相中の原子が結晶相に取り込まれるためには、As-As ダイマーを壊す必要があり、あるエネルギーを要すると考えられる。一方バンチングステップ端では、図 2.5 に示したように(1×1)As 終端Si(111)表面構造が局所的に現れていると考えられ、表面再構成が起こっていないためテラス上よりも低温で結晶化が起こりうる(図 2.20(a))。バンチングが大きくなるほど、(1×1)As 終端Si(111)表面領域が広がるため(但し総面積は変わらない)、サーマルクリーニング温度による結晶化温度の差が現れたものと考えられる。

基板温度を上げてゆくと、テラス上でも結晶化が起き始める(図 2.20(b))。しかし、バンチングステップ端ではより結晶化が進んでいるので、結晶核の大きさはテラス上よりバンチングステップ端の方が大きくなる。図 2.14 はこの状態を表していると思われる。

島のサイズが大きくなると、弾性歪みを緩和するためにミスフィット転位が導入される。したがって、バンチングステップで形成された島の方が歪みの緩和が進んでおり、エネルギー的に安定になっていることが予想される。その結果、テラス上の小さい島からGa原子が脱離し、バンチングステップ端の大きな島に取り込まれてゆくことにより、最終的にバンチングステップ端で優先的に大きな島が形成されると思われる(図 2.20(c))。この現象は高温でのアニール過程で主に起こっていると予想される。

また、バンチングステップが(TB+SA)ステップであってもQAステップであっても、バンチングステップの下側テラス((1×2)ドメイン)上に島が形成されれば結晶方向が揃う。本実験条件で成長したアモルファスバッファ層の上に厚膜のGaAsを成長すると、基板のオフ方向とGaAsエピ層の[110]方向が直交し、(1×2)ドメインが優勢ドメインになる。このことは、本モデルの妥当性を示唆する。

同様の現象は、Si(111) 7×7表面上のアモルファスGe層のSPE成長においても観察される[16]。この系では、結晶化したGe₃次元島はステップと7×7ドメインの位相境界において優先的に核形成される。

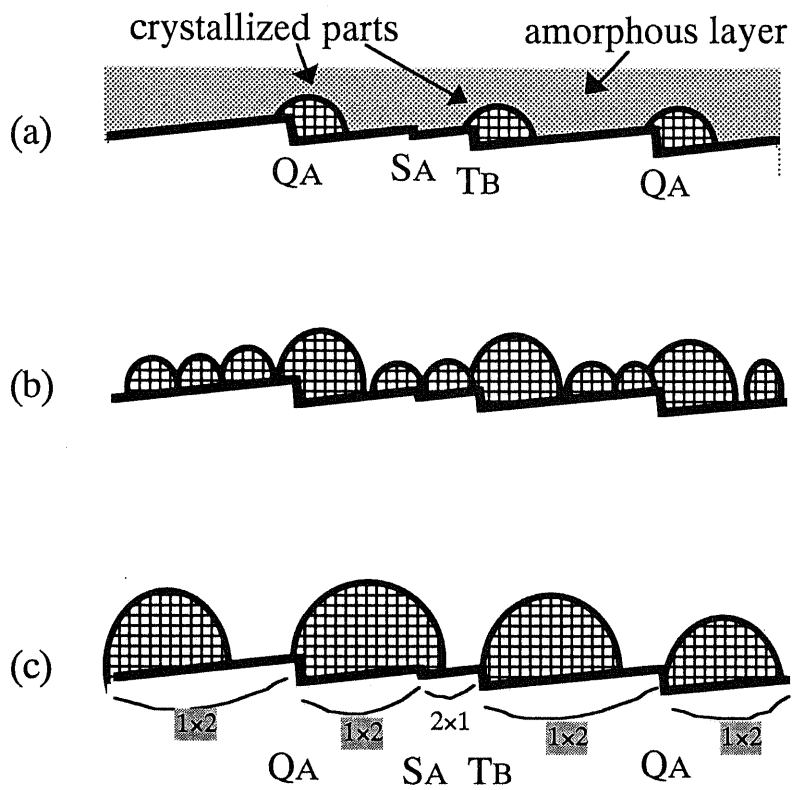
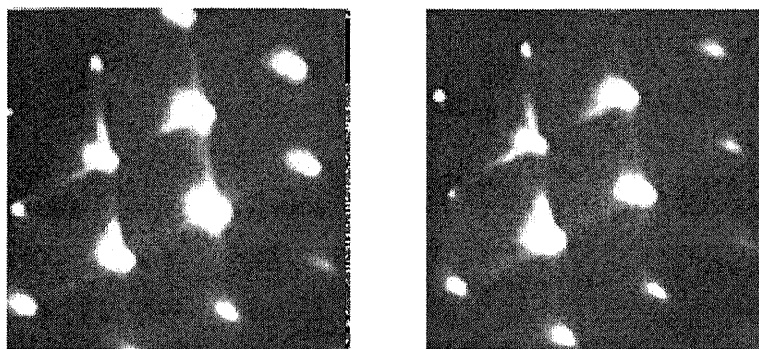


図 2.20 極薄膜アモルファスバッファ層の結晶化モデル。

2.5 極薄膜クリスタルバッファ層の成長

1050°CでサーマルクリーニングしたSi基板上に、300°Cで18 Åのクリスタルバッファを堆積した。580°Cまで昇温して10分間アニールした後のRHEEDパターンを図2.21に示す。電子線の方向は、(a)ではオフ方向に平行、(b)では垂直である。 $\{113\}$ ファセットはどちらにおいても非常に弱く、 $\{111\}$ ファセットは両方向で同程度の輝度で観察される。これは、アモルファスバッファ層の場合と異なり、90°異なる結晶方向を持った島が同時に形成されていることを示唆している。

この表面のAFM像を図2.22に示す。GaAs島の密度は $6.6 \times 10^{10} \text{cm}^{-2}$ である。この密度は、膜厚の差を差し引いて考えてもアモルファスバッファに比べ大きい。また、GaAs島のバンチングステップに依存せず、ランダムに分布している。このことから、基板に入射したGa原子は、テラス上またはステップ端を区別せず核発生を起こし、ランダムな位置に島が形成されると考えられる。以上の結果より、アモルファスバッファとクリスタルバッファでは、その成長初期過程が全く異なることが分かる。



(a)

(b)

図2.21 300℃で堆積した18 Åのクリスタルバッファを580℃で10分間アニールした後のRHEEDパターン。オフ角度1°、サーマルクリーニング温度は1050℃。電子線はオフ方向に(a)平行、(b)垂直。

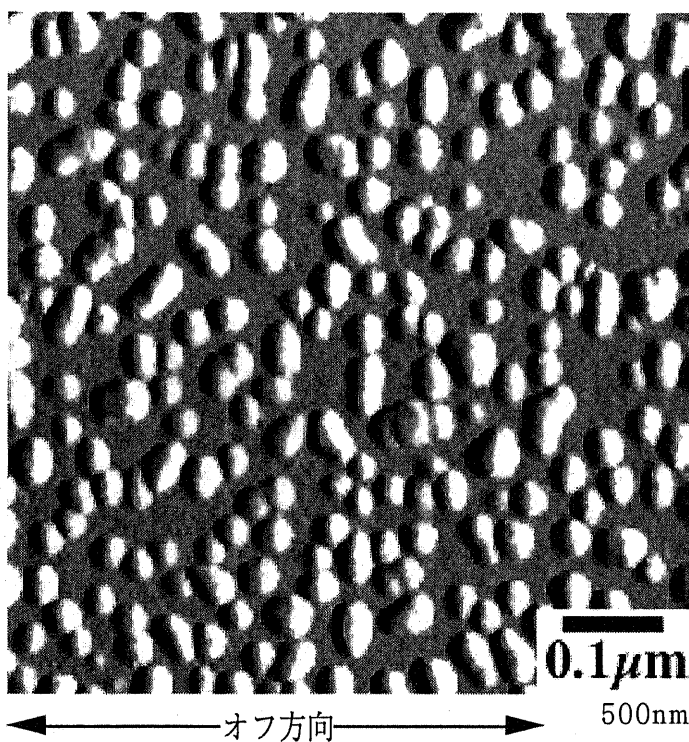


図2.22 300℃で堆積した18 Åのクリスタルバッファを580℃で10分間アニールした後のAFM像。オフ角度1°、サーマルクリーニング温度は1050℃。

2.6 極薄膜バッファ層上に成長したエピ層の評価

2.4及び2.5において、RHEEDパターンにおけるファセットパターンの偏りから、極薄膜アモルファスバッファ層の場合は結晶方向の揃った島が形成されるが、極薄膜クリスタルバッファ層の場合は結晶方向の異なる島が共存すると推測した。このことを検証するために、以下の実験を行った。まず、1050℃でサーマルクリーニングした1°オフ基板の上に堆積した9 Åのアモルファスバッファ層を結晶化させ、GaAs島を形成した後に、1.5 μmのGaAsエピ層を積層した。また、9 Åのクリスタルバッファ層の島の上にも、全く同じ条件でエピ層を積んだ。これらのエピ層にAPD検出エッチャントを用いて、各エピ層内のAPD発生量を比較した。二つのサンプルを同時にエッチングした後、表面をSEMで観察した結果を図2.23に示す。アモルファスバッファ層を用いたサンプルでは、エピ層内部にあまりAPDが存在しない(図2.23(a))が、クリスタルバッファ層を用いたサンプルでは、多くのAPDが観察される(図2.23(b))。このことは、アモルファスバッファ層を結晶化して得られた島の大半は同じ結晶方向を持つが、クリスタルバッファ層の島は異なる結晶方向を持つ島が共存する、という考えを裏付けている。

また、この結果からアモルファスバッファ層によって、GaAsエピ層中のAPD発生が低減されることが分かった。

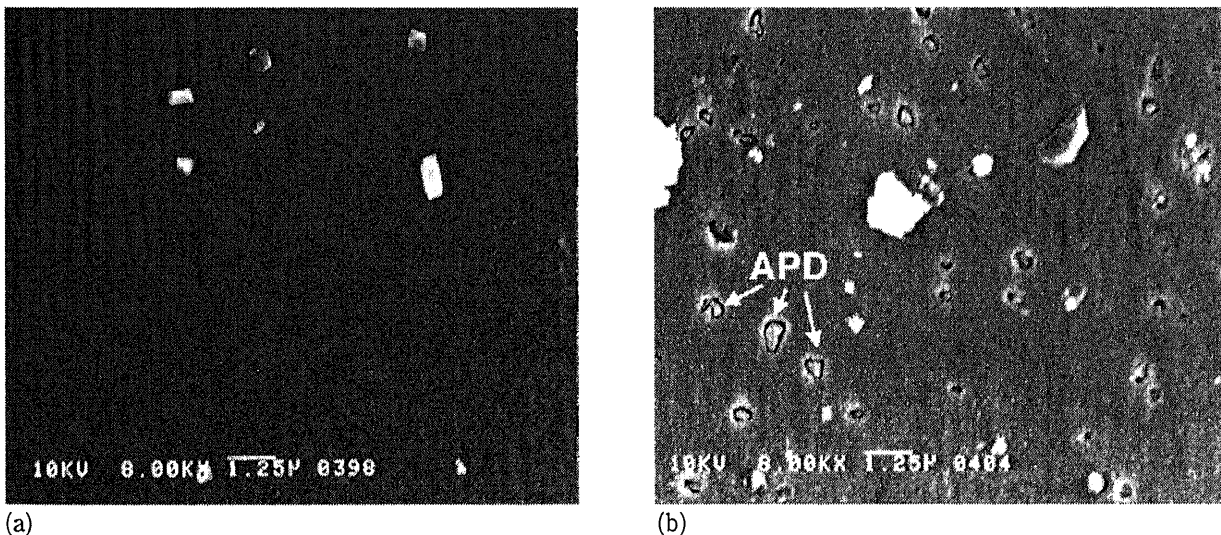


図2.23 各バッファ層を用いたときのGaAsエピタキシャル層中のAPD発生量の比較。バッファ層はそれぞれ、(a)9 Åアモルファスバッファ層、(b)9 Åクリスタルバッファ層を580℃でアニールしたものを用いた。図中の白い粒はごみである。

2.7 第2章のまとめ

GaAs/Si 成長初期過程、成長前の As 終端 Si(001)基板表面や、極薄膜アモルファスバッファ層の結晶化過程を UHV-STM や大気中 AFM 観察を用いて調べ、その成長機構について考察した。

As 終端 Si(001)基板の表面ステップ構造は、As 照射温度及びサーマルクリーニング温度に依存することが分かった。高 As 照射温度または高サーマルクリーニング温度によってステップバンチングが形成されることが分かり、この形成モデルを示した。

極薄膜アモルファスバッファ層の結晶化はバンチングステップで起き易いことが示された。また、結晶化の途中でテラス上に形成された島は高温でのアニールにより消失し、バンチングステップ端に形成された島が優先的に形成される様子が観察された。

アモルファスバッファ層の結晶化により形成される GaAs 島の結晶方向は、クリスタルバッファ層により形成される島よりも結晶方向が揃っており、これが GaAs エピ層中の APD 発生量の低減に寄与することが分かった。

参考文献

- [1] 西永 頌：応用物理 55 (1986) 1069.
- [2] S. Ohnishi, Y. Hirokawa, T. Shiosaki and A. Kawabata, Jpn. J. Appl. Phys. 17 (1978) 773.
- [3] S. Nishino, Y. Hazuki, H. Matsunami and T. Tanaka, J. Electrochem. Soc. 127 (1980) 2674.
- [4] M. Ishida, H. Ohyama, S. Sasaki, Y. Yasuda, T. Nishinaga and T. Nakamura, Jpn. J. Appl. Phys. 20 (1981) L541.
- [5] M. Akiyama, Y. Kawarada, and K. Kaminishi, Jpn. J. Appl. Phys. 23 (1984) L843.
- [6] M. Akiyama, Y. Kawarada, and K. Kaminishi, J. Cryst. Growth 68 (1984) 3566.
- [7] H. Amano, N. Sawaki, I. Akasaki and Y. Toyoda, Appl. Phys. Lett. 48 (1986) 353.
- [8] S. Nakamura, Jpn. J. Appl. Phys. 30 (1991) L1705.
- [9] W. Y. Uen and T. Nishinaga, J. Cryst. Growth 128 (1993) 521.
- [10] A. Ishizaka and Y. Shiraki, J. Electrochem. Soc. 133 (1986) 666.
- [11] J. D. Chadi, Phys. Rev. Lett. 59 (1987) 1691.
- [12] P. R. Pukite and P. I. Cohen : Appl. Phys. Lett. 50 (1987) 1739.
- [13] R. D. Bringans, D.K. Biegelsen and L.-E. Swartz : Phys. Rev. B44 (1991) 6534.
- [14] T. Ide : Phys. Rev. B51 (1995) 1722.
- [15] Y.-W. Mo and M. G. Lagally, Surf. Sci. 248 (1991) 313.
- [16] H. Hibino, N. Shimizu and Y. Shinoda : J. Vac. Sci. Technol. A11 (1993) 2458.

第3章 SiO₂ シャドウマスクを用いた GaAs/Si 垂直マイクロチャネルエピタキシー

3.1 はじめに

3.1.1 貫通転位低減の原理

第2章では、成長初期過程を最適に制御することにより結晶欠陥の発生を低減することを目的として、初期成長機構の解明を試みた。その結果、核発生の制御により APD を低減できることが示された。しかし最大の問題である貫通転位に関しては、Si 基板の全面に GaAs 層を成長している限り、その密度を十分に引き下げることが極めて困難であると思われる。なぜならば、貫通転位の大半は降温過程において発生する熱応力によって導入されるという報告があるからである[1]。Si 基板上に GaAs 層を全面成長する場合、この熱応力の発生は免れない。本章及び次章では、大量の貫通転位を含む GaAs/Si 基板上への選択成長によって、選択成長層内の貫通転位を低減する手法を提案し、その効果を検証する。この貫通転位密度低減化の指針を以下に示す。

全面成長した GaAs/Si 基板中に大量に含まれる貫通転位を、その上に形成された選択成長層から除去する方法を考える。Si 基板上の GaAs 層中において発生する貫通転位は、 $\{111\}$ 面をすべり面にもつ 30° 転位、60° 転位とよばれるものが多く、これらの転位線は基板面に対し傾いている[2]。他に基板面の法線方向に伸びるらせん転位もみられるが、これは少数である。多くの貫通転位を含む GaAs/Si 基板上に、図 3.1 のように高縦横比をもつ GaAs 層を選択成長できたとする。下地の GaAs/Si 基板中に発生していた貫通転位は選択成長層中に引き継がれるが、転位線の傾きによって側面に抜けてゆくことが期待される。縦横比を十分大きくとれば、成長層上部への貫通転位の伝播を防ぐことができると推測される。

さらにこのような選択成長によって、降温過程における貫通転位の発生を抑制できる可能性がある。降温過程における貫通転位の発生は、図 3.2 に示すような半転位ループの導入による機構が有力視されている[3]。このときミスフィット転位と共に貫通転位も同時に導入されるものと考えられる。表面から導入された半転位ループは、すべり運動によって成長層内を拡張してゆく。図 3.1 において、成長層幅を貫通転位のすべり運動する距離よりも小さくすれば、半転位ループの貫通転位成分は側面に掃き出され、成長層から貫通転位を除去できる可能性がある。

加えて成長層側面が自由表面になっているため、降温過程に生じる熱応力を効果的に緩和

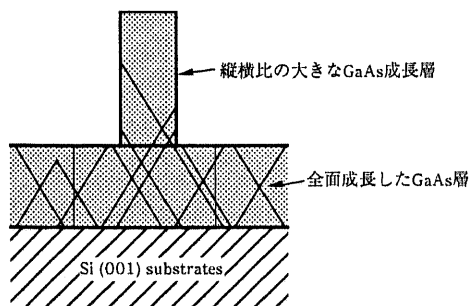


図 3.1 縦横比の大きな成長層中で期待される貫通転位低減効果。

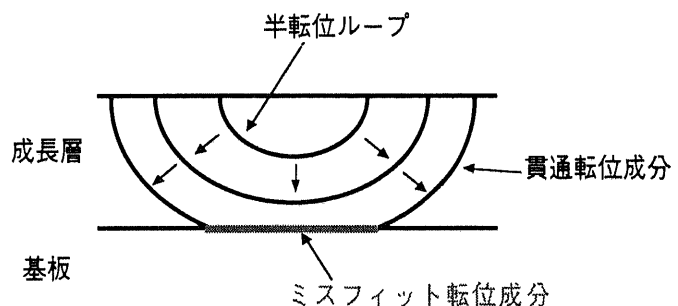


図 3.2 半転位ループの導入によるミスフィット転位成分及び貫通転位成分の形成。

できる。これによって半転位ループの導入自体を低減でき、且つ残留応力の低減にも効果があると期待される。

これらの目的を実現するための選択成長手法として、本章ではSiO₂シャドウマスクを用いた垂直マイクロチャネルエピタキシー(Vertical Microchannel Epitaxy : VMCE)を提案する。

3.1.2 SiO₂シャドウマスクを用いた垂直マイクロチャネルエピタキシー

シャドウマスクを用いた成長の概念自体は新しいものではなく、これまでにいくつか報告されている。古くはMBEによるGaAsのホモエピタキシャル成長において成長領域を制限する方法として提案されている[4]。SiのMBE成長においては、ナノ構造作製手法として研究されている[5]。またMOVPEでは、シャドウマスクの窓幅による膜厚変化をデバイス作製に積極的に応用することが試みられている[6]。しかし、ヘテロエピタキシャル成長において、シャドウマスク成長を利用して貫通転位密度の低減化を試みた報告は無い。

本選択成長方法は、後に述べるSiO₂シャドウマスクをもつ溝構造内に、高縦横比をもつGaAs層を選択MBE成長するものである。シャドウマスクの窓幅によって成長領域を任意に制限できると考えられる。平らな面上に高縦横比をもつ層を成長した場合、その後のデバイスプロセスにおいて成長層は容易に破壊される恐れがある。本方法では成長層を溝中に形成することによってマスク上に突出する部分を小さくでき、成長後のプロセスにも有利である。

本章ではSiO₂シャドウマスクを用いた垂直マイクロチャネルエピタキシー(Vertical Microchannel Epitaxy : VMCE)を提案し、得られた成長層形状を詳細に観察し、その成長機構を調べた。3.2節では、VMCE成長に用いる基板の作製手順や成長時の条件として特記すべき事項を述べた。3.3節ではVMCE成長層の断面形状を観察し、その特徴を述べた。3.4節では前節で得られた結果を基にVMCE成長機構を考察した。3.5節ではVMCE成長表面モルフォロジーを観察し、平坦性を悪化させる表面欠陥について考察した。3.6節では、円形の窓を用いた結果について述べた。

3.2 VMCE 成長プロセス

VMCE 成長プロセス(図 3.3)を以下に述べる。まず、 1° オフ Si(001)基板上に $3 \sim 4.5 \mu\text{m}$ の GaAs 層を二段階成長する(図 3.3(a))。以下では、これを単純に GaAs/Si 基板と呼ぶことにする。本実験で主に用いた GaAs/Si 基板の貫通転位密度は $1.2 \times 10^8 \text{cm}^{-2}$ である。VMCE 成長用に基板は $16\text{mm} \times 20\text{mm}$ に切り出した。

この上に約 $0.1 \sim 0.2 \mu\text{m}$ の SiO_2 膜を堆積し、フォトリソグラフィにより窓を形成する(図 3.3(b))。窓形状としては、[110]方向に平行なラインを主に用いた。フォトリソグラフィにおいては幅 1、2、3、5、10、 $20 \mu\text{m}$ の 6 種類のラインが順番に繰り返し形成されているマスクパターンを使用した。但しレジスト及び SiO_2 膜エッチング時のブロードニングによって、実際に得られる平均的な窓幅はそれぞれ、2.2、2.7、3.8、5.6、10.3、 $20.5 \mu\text{m}$ に広がっている。3.6 節の実験においては円形の窓を使用した。さらに、成長時の基板温度測定及び RHEED パターン観察用として、 $4\text{mm} \times 15\text{mm}$ の広いマスクの無い領域を基板の中央付近に常に形成している。このマスクの無い領域のことを、以下では全面成長領域と呼ぶことにする。

次に通常の脱脂洗浄後、窓領域を通して GaAs 層を異方性エッチングすることにより溝構造を作製する(図 3.3(c))。エッチャントは NH_4OH 、 H_2O_2 、 H_2O の混合溶液(体積比 5:1:10)を用いた。典型的な溝構造の断面 SEM 像を図 3.3(e)に示す。サイドエッチングによって SiO_2 膜がひさしのように張り出した構造となり、これが成長時にシャドウマスクとして働く。このシャドウマスクによって、溝内における成長領域が制限される。主に用いた溝の深さは約 $1.5 \mu\text{m}$ である。溝構造形成後、基板を超純水で超音波洗浄した後に乾燥させ、直ちに MBE 装置に投入する。

最後に、作製した溝構造中へ GaAs を選択 MBE 成長する(図 3.3(d))。溝構造内への成長は、 $635 \sim 655^\circ\text{C}$ の高基板温度で行う。但し VMCE 成長機構を調べるために、 670°C での成長実験も行っている。成長速度は $0.35 \mu\text{m}/\text{hour}$ に固定した。As 圧は $7 \times 10^{-6} \sim 1.2 \times 10^{-5} \text{Torr}$ である。したがって成長時の As_4/Ga BEP (beam equivalent pressure) 比は 40 ~ 67 である。上記のような高基板温度かつ低成長速度の条件を採用したのは、 SiO_2 マスク上での GaAs 多結晶核の成長をなるべく抑え、選択成長を実現するためである。GaAs 多結晶核が発生すると次のような問題が生じる。

- (1)大量に堆積した多結晶がシャドウマスクの先に張り出し、窓を塞いでしまう。
- (2)単結晶成長層と多結晶が合体することにより、成長層の表面モルフォロジー及び品質を悪化させる。

しかし、選択性を追求しすぎると成長速度を下げなければならず、成長時間が長くなってしまふ。本研究では膜厚の大きな成長層を必要としているので、成長の妨げにならない程度の多結晶核の発生を許容した。

成長に用いた In フリー Mo 製ブロックを図 3.4 に示す。ブロック上面に形成した窪みに基板($16\text{mm} \times 20\text{mm}$)をはめ、落下しないように Ta ワイヤで四隅を押さえる方式である。上面中央には長方形の穴($12\text{mm} \times 16\text{mm}$)が開いており、この部分は抵抗加熱ヒーターからの放射によって加熱される。しかし、基板を載せる「へり」の直上部分ではブロックからの熱伝導により加熱されるため、中央付近に比べて基板温度が低い。したがって基板温度は中心部から周辺部に向かってなだらかに下がっており、実際に成長層膜厚、形状及び多結晶核の密度

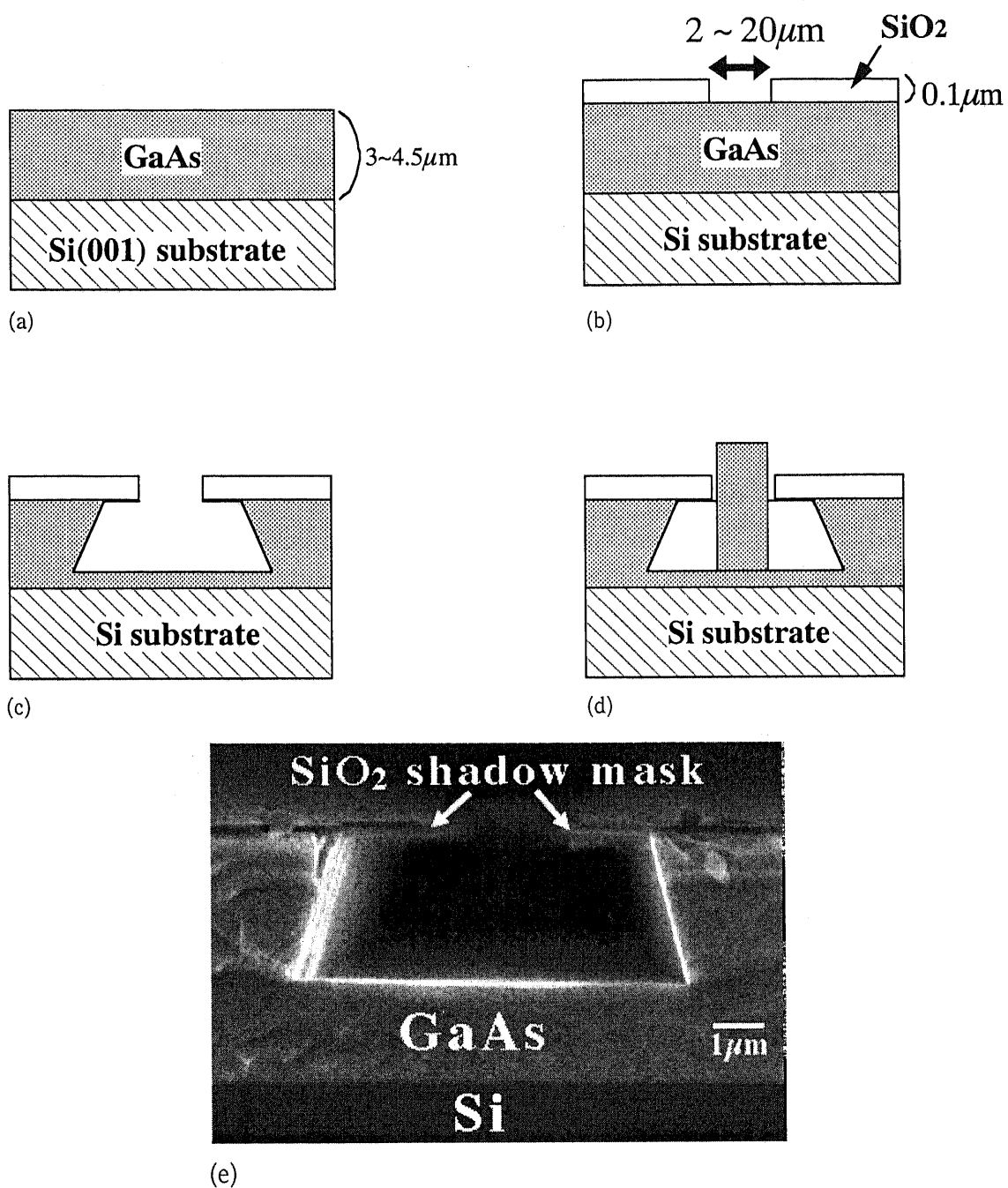


図 3.3 SiO₂ シャドウマスクを用いた VMCE 成長プロセス。(a) GaAs/Si 基板の作製；(b) ライン窓の形成；(c) GaAs 異方性エッチングによる溝構造の形成；(d) 溝構造内への GaAs 選択 MBE 成長；(e) 典型的なシャドウマスク付き溝構造。

等に差がみられた。基板温度はパイロメーターにより測定した。その測定領域は基板中心付近の直径約10mmの円内である。測定値の校正はGaAs/Si基板表面の酸化膜が蒸発する温度を580℃として行った。なお以下に示す実験結果では、基板周辺部で得られたものも一部採用している。この箇所の基板温度は、実験結果より得られたGaAs蒸発速度の基板温度依存性(図 3.10)から推定して示してある。

本実験で主に使用したMBE成長装置のGa及びAs₄の分子線の方向を図 3.5 に示す。Asフラックスは基板面に垂直に入射しているが、Gaビームは約10°傾いている。実際には紙面に垂直な角度成分ももっているが、ライン状の窓を用いる場合はこれを無視できる。断面SEM観察時の電子線入射方向によっては、Gaの方向がこの図と左右反対になることもある。

成長過程における層形状の変化を調べるために、一部の実験においてはマーカー層を挿入した。マーカーは、SiとBeを交互にドーピングすることにより形成した。SEM像においてはn-GaAs層(Siドーピング)は暗く、p-GaAs層(Beドーピング)は明るくなりコントラストの差として識別される。しかし基板温度が高いサンプルではドーパントが拡散し(特にSi)、各ドーピング層の実際の膜厚とSEM像中のマーカー層膜厚が一致しないことがある。膜厚の定量的な情報は失われても、成長過程に出現した層形状はある程度保たれていると仮定して、VMCE成長機構の考察に用いた。

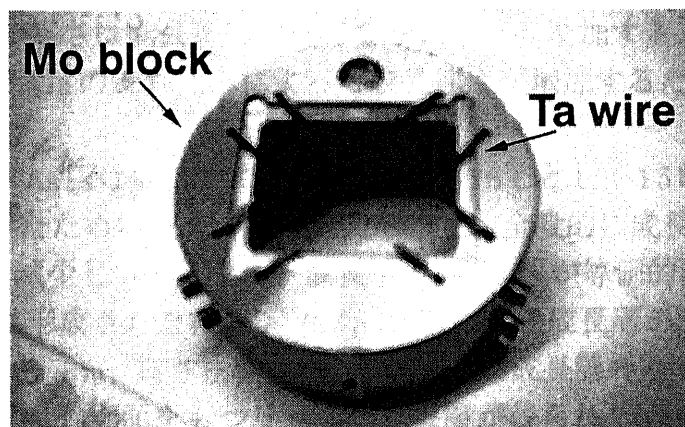


図 3.4 成長に用いたInフリーMo製ブロック。

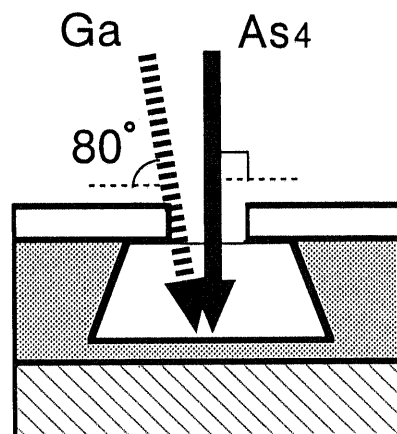


図 3.5 成長時におけるGaおよびAs₄分子線の方向

3.3 VMCE 成長層の断面形状

3.3.1 SEM による断面形状観察

まず、基板温度 635°C 、成長速度 $0.35 \mu\text{m}/\text{hour}$ 、As 圧 $1.2 \times 10^{-5}\text{Torr}$ で 11 時間成長して得られたサンプルについて述べる。このサンプルにはマーカー層を挿入してある。同一基板上に形成された幅 2.2、3.7、 $20.3 \mu\text{m}$ の成長層の断面 SEM 像を図 3.6 に示す。図 3.6(a) に示された成長層の幅及び高さはそれぞれ $2.2 \mu\text{m}$ 、 $3.5 \mu\text{m}$ であり、約 1.6 の高い縦横比をもつリッジ型成長層が得られた。模式図に示したように、側面には $\{110\}$ 面、上面には (001) 面が現れている。また、成長層の肩には $\{112\}$ B ファセットがみられる。

図 3.6(b)には幅 $3.7 \mu\text{m}$ 、高さ $3.0 \mu\text{m}$ (縦横比 0.8) の成長層を示す。マーカー層形状に着目すると、1 層目の p-GaAs 層の両端が隆起していることが分かる。これは後に述べるように成長領域両脇からの Ga の流れ込みによるものと思われる。また、3 層目の p-GaAs 層の両肩には比較的広い $\{112\}$ B 面が現れているが、最終的な形状では $\{112\}$ B 面が狭まっていることが分かる。したがってこの成長条件においては、 (001) 面から $\{112\}$ B 面への Ga の面間拡散が起きていることを示唆する。

図 3.6(c)には幅 $20.3 \mu\text{m}$ 、高さ $2.5 \sim 3.1 \mu\text{m}$ (縦横比 0.13) の成長層を示す。この成長層の膜厚は一定でなく、マーカー層も平坦でなく波打っている。この傾向は成長層幅が広い場合にみられた。このラフネスは 3.5 で述べる成長ヒロックの発生に因るものである。

一般的に、成長層の高さは成長層幅が狭くなるにつれて増加する。これは後述するように、成長初期における Ga の流れ込みによって成長速度が増加するためである。

次に、成長速度及び As 圧は変えずに、基板温度を 616°C として 15 時間成長した結果を述べる。基板温度を下げたために Ga の脱離速度が減少し、全般的に成長速度が増加している。また As の脱離はより減少しているため、成長時の V/III 比が等価的に上がっていると考えられる。同一基板上に形成された幅 3.5、6.7、 $21.7 \mu\text{m}$ の成長層の断面 SEM 像を図 3.7 に示す。同図(a)には幅 $3.5 \mu\text{m}$ 、高さ $6.4 \mu\text{m}$ (縦横比 1.8) の成長層の断面 SEM 像と模式図を示した。この場合も側面に $\{110\}$ 面をもつリッジ型成長層が得られた。しかし、成長層上部の形状は図 3.6(a)とは大きく異なっており、 $\{112\}$ B 面で完全に覆われている。さらにマーカー層に着目すると、成長過程で出現した $\{112\}$ B 面の広さは単調に増加していることが分かる。この成長条件においては、 $\{112\}$ B 面から (001) 面への Ga の面間拡散が起きていることを意味する。

図 3.7(b)には幅 $6.7 \mu\text{m}$ 、高さ $6.3 \mu\text{m}$ (縦横比 0.9) の成長層を示す。上面に (001) 面がわずかに残っていることが分かる。図 3.7(c)は幅 $21.7 \mu\text{m}$ 、高さ $5.0 \sim 6.5 \mu\text{m}$ (縦横比 0.25) の成長層の断面である。 (001) 上面は中央付近では平坦であるが、 $\{112\}$ B 面近傍では指数関数的に隆起している。このことから $\{112\}$ B 面から Ga の流れ込みが起きていることが分かる。また成長層両端の隆起の大きさなどに非対称性みられるが、これは 3.4 で述べるように Ga 分子線の斜入射の効果である。

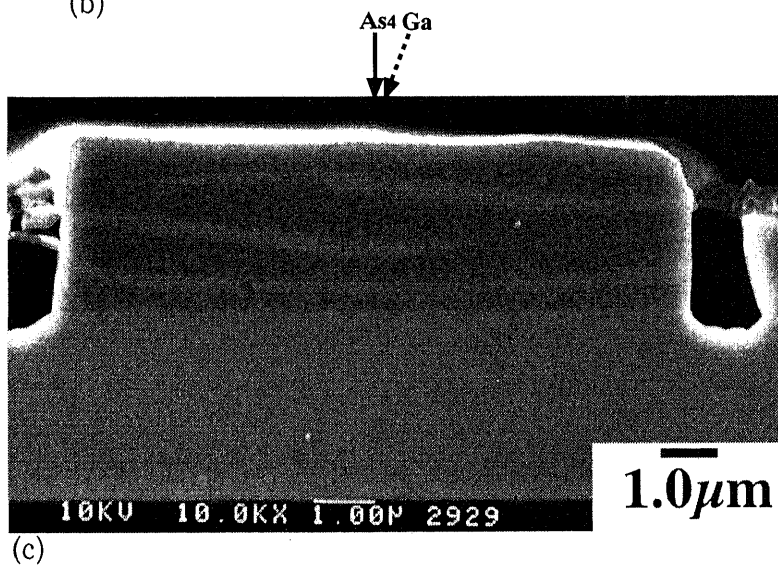
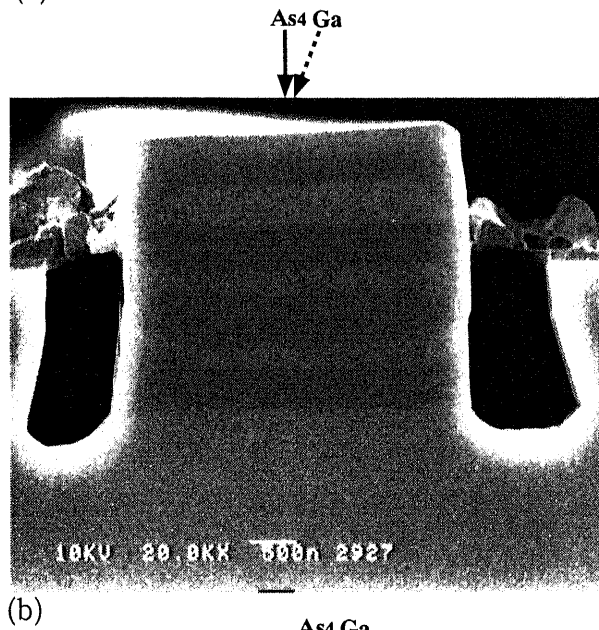
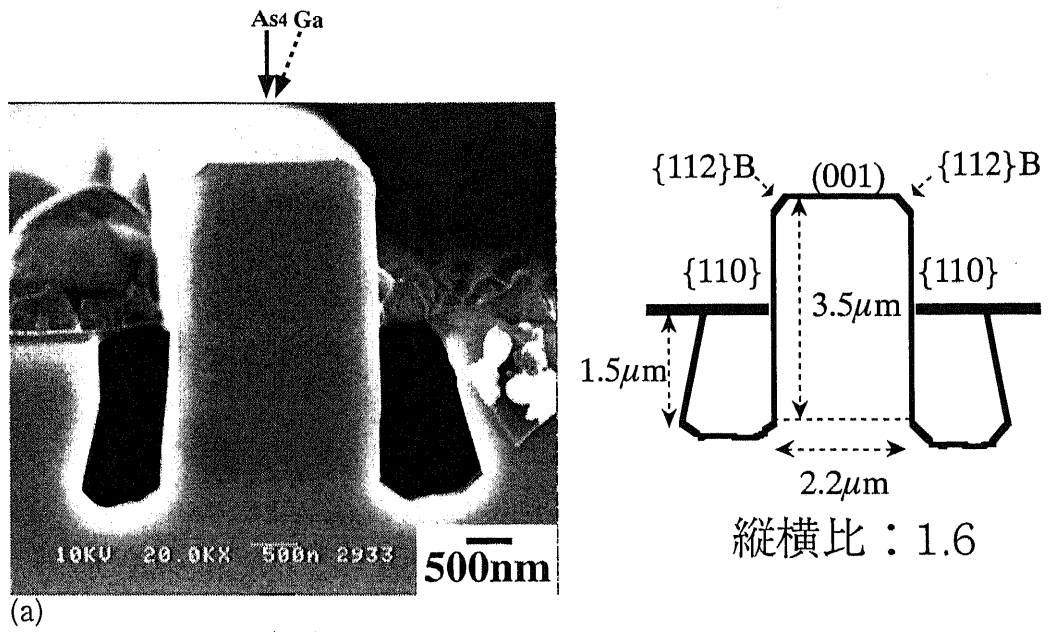
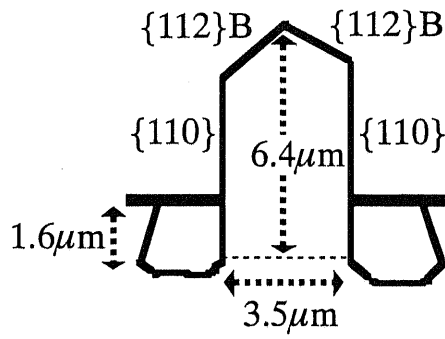
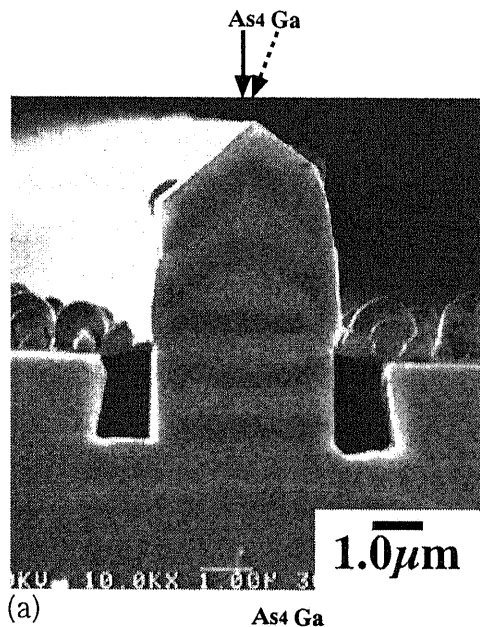


図3.6 VMCE成長層の断面SEM像(その1)。成長層幅はそれぞれ(a)2.2 μ m、(b)3.7 μ m、(c)20.3 μ m。成長条件は、基板温度635℃、成長速度0.35 μ m/hour、As圧 1.2×10^{-5} Torr、成長時間11時間である。図中の暗い領域はn-GaAs層、明るい領域はp-GaAs層である。



縦横比：1.8

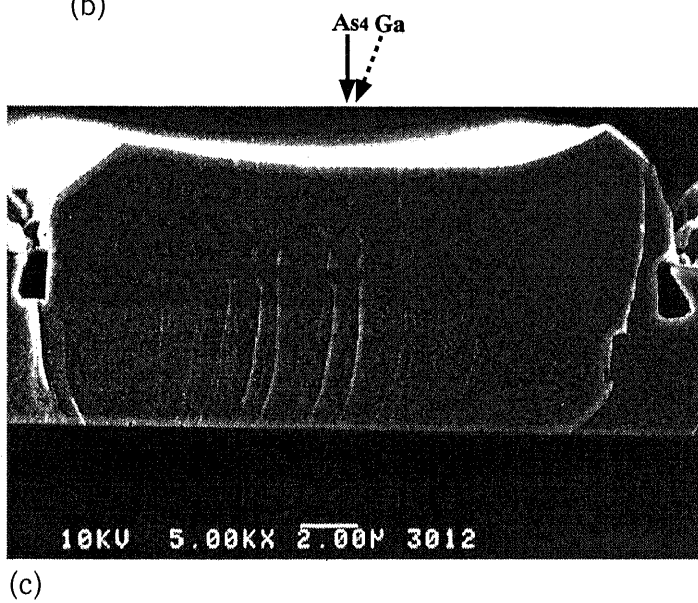
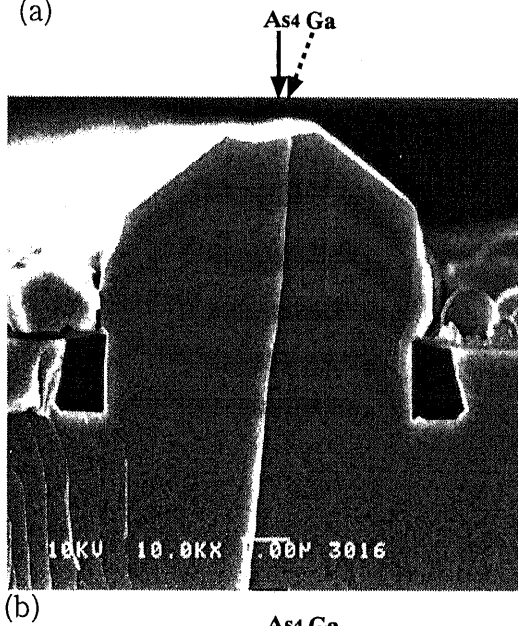


図3.7 VMCE成長層の断面SEM像(その2)。成長層幅はそれぞれ(a)3.5 μm、(b)6.7 μm、(c)21.7 μm。成長条件は、基板温度616℃、成長速度0.35 μm/hour、As圧 1.2×10^{-5} Torr、成長時間15時間である。

さらに、ファセット形状が成長条件に大きく依存することを示す。これを調べるため、基板温度 638°C 、成長速度 $0.35 \mu\text{m}/\text{hour}$ 、As 圧 $7 \times 10^{-6}\text{Torr}$ で 15 時間成長した。図 3.8 は幅 $2.3 \mu\text{m}$ 、高さ $3.4 \mu\text{m}$ (縦横比 1.5) の成長層の断面形状である。上面には (001) 面のみが現れており、成長層両肩に $\{112\}$ B 面はみられない。このサンプルはマーカーを層を入れていないので、成長過程において $\{112\}$ B 面が現れていたか否かは不明である。左側面には急峻な $\{110\}$ 面が現れているが、右側面はマスク上にやや張り出している。これは右側面上に欠陥が現れたため、その近傍の成長が促進された結果だと思われる。このような欠陥の無い領域では、両側面とも平坦な $\{110\}$ 面が現れている (次章図 4.16 を参照)。この結果から、成長条件を最適に制御すれば、(001) 上面と $\{110\}$ 側面のみで囲まれた形状が実現可能であることが示された。

次に、 $\{112\}$ B 面以外に現れ易いファセットを示す。図 3.9(a) は幅 $5.8 \mu\text{m}$ 、高さ $3.7 \mu\text{m}$ (縦横比 0.6) の成長層の断面形状である。成長条件は基板温度 637°C 、成長速度 $0.35 \mu\text{m}/\text{hour}$ 、As 圧 $1.2 \times 10^{-5}\text{Torr}$ ならびに成長時間 15 時間である。側面に現れているファセットは、(001) 面との角度より $\{221\}$ B 面であると思われる。同一基板上のもう少し基板温度が低い場所 (630°C) の成長層では、図 3.9(b) に示すように $\{112\}$ B 面と $\{221\}$ B 面が共存している様子が観察された。

出現するファセットは、面方位の成長速度の相対的な大小関係によって決まる。さらにこの大小関係は成長条件によって大きく変化する。したがって成長層形状を最適に制御するためには、各面方位の成長速度の成長条件依存性を詳細に測定し、最適な成長条件を導き出す必要がある。

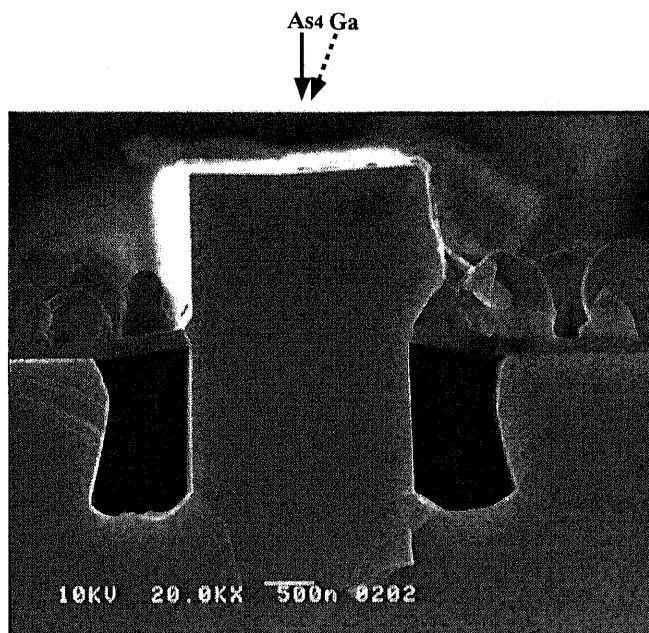


図3.8 (001)上面及び $\{110\}$ 側面のみで囲まれたVMCE成長層の断面SEM像。成長層幅は $2.3 \mu\text{m}$ 、高さは $3.4 \mu\text{m}$ である(縦横比1.5)。成長条件は、基板温度 638°C 、成長速度 $0.35 \mu\text{m/hour}$ 、As圧 $7 \times 10^{-6}\text{Torr}$ 、成長時間15時間である。

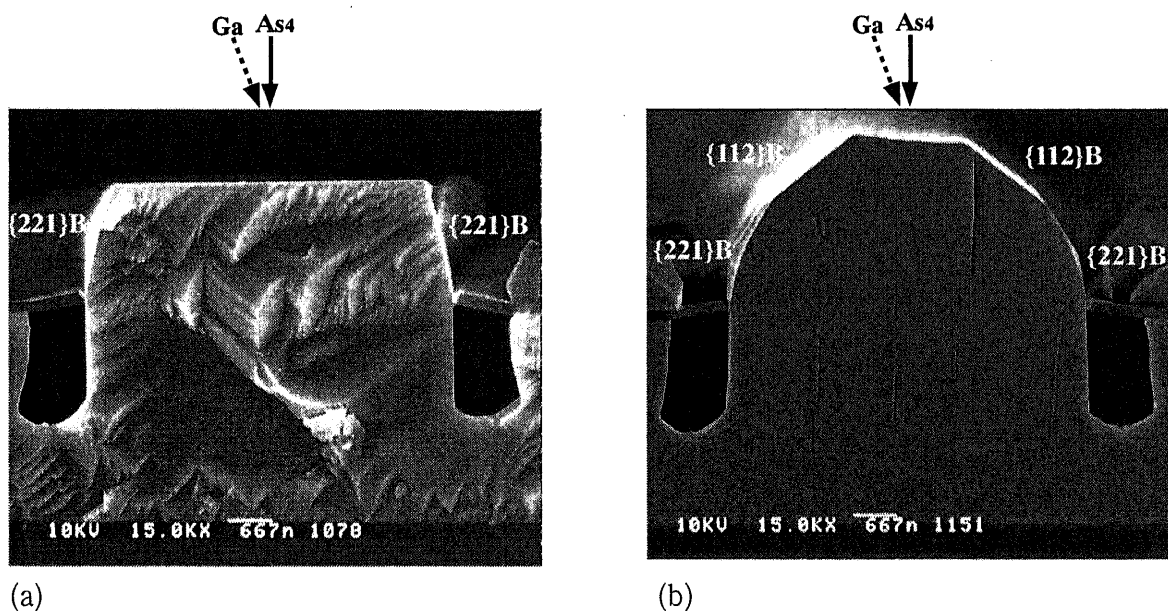


図3.9 基板温度に依存して異なるファセット面が現れたVMCE成長層の断面SEM像。(a),(b)の成長層は同一の基板上にある。現れているファセットはそれぞれ(a) $\{221\}B$ 面、(b) $\{112\}B$ 面及び $\{221\}B$ 面である。基板温度はそれぞれ(a) 637°C 、(b) 630°C と推測された。その他の成長条件は等しく、成長速度 $0.35 \mu\text{m/hour}$ 、As圧 $1.2 \times 10^{-6}\text{Torr}$ 、成長時間15時間である。

3.3.2 GaAs 蒸発速度の測定

VMCE 成長条件下においては非常に高温のため、GaAs の蒸発がかなり起きている。この蒸発速度の基板温度依存性を求めることを試みた。Ga 供給速度及び As 圧を固定すれば、蒸発速度は基板温度のみの関数になると考えられる。成長層の膜厚を断面 SEM 像から測定して、正味の成長速度を算出した。この値と Ga 供給速度の差から蒸発速度を求めた。成長速度測定の際、以下の点に留意した。

- ・ Ga 供給速度 $0.35 \mu\text{m/h}$ 、As 圧約 $1 \times 10^{-5}\text{Torr}$ のサンプルを採用した。
- ・ パイロメーターの測定領域と一致させるために、基板の中央付近で劈開したサンプルの断面像を使用した。
- ・ ファセットからの Ga の流れ込みの影響を出来るだけ除くために、上面には主に (001) 面が現れている幅 $20 \mu\text{m}$ 以上の成長層を測定の対象とした。
- ・ 膜厚測定箇所として成長層中心付近の膜厚が最も小さい所を選んだ。

以上のようにして求めた GaAs 蒸発速度の基板温度依存性を図 3.10 に示す。パイロメーターの測定値は 10°C 程度の誤差をもつとして、エラーバーを示してある。 670°C においては成長が起こらなかったため、逆にエッチング速度から蒸発速度を求めた。

3.2 節にて基板温度が周辺部で下がっていることを述べたが、図 3.10 のグラフから逆に、そのような領域の基板温度を推定できる。本論文で示した結果には、図 3.10 より推定した値も多く含まれている。またこのグラフから、基板の周縁部の温度は、中心より $20 \sim 30^\circ\text{C}$ 下がっていることも分かった。

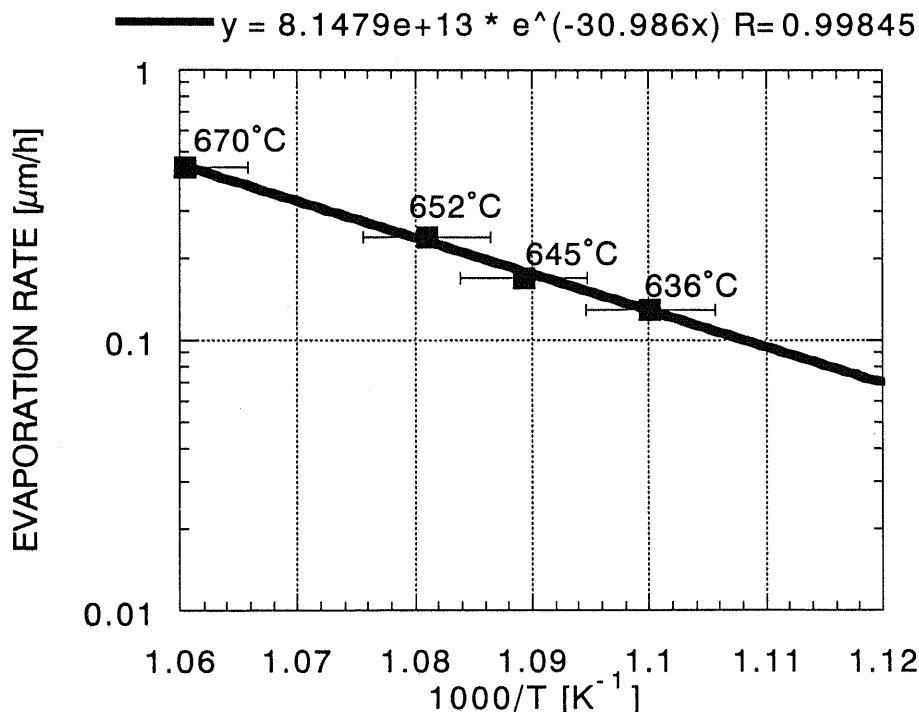


図 3.10 VMCE 成長時における GaAs 蒸発速度の基板温度依存性。断面 SEM 像中の膜厚から蒸発速度を算出した。基板温度はパイロメーターによって測定した。

3.4 VMCE 成長機構の考察

3.4.1 入射分子線方向の効果

分子線の方向が成長層形状に与える影響を調べるために、K-セル配置の異なる2台のMBE装置を用いて成長を行い比較した。3.3.1で示した成長層は全て図3.5のセル配置で成長したものである。例えば図3.6(a)の成長層に着目すると、成長層は溝構造の中央に位置していることが分かる。一方、図3.11(a)のK-セル配置で成長して得られた成長層を図3.11(b)に示す。詳細に観察すると、成長層の中心は図の左側にわずかにずれていることが分かる。また成長層裾部分の形状は左側の方が大きい。これらの特徴は、Asフラックスの当たっている領域を中心に成長が起きることを示す。これに対して、Ga分子線の斜入射の効果は成長層形状にはあまり現れていない。但し成長層両脇底面のエッチング量には、この効果がみられる。さらに極端な例として、図3.12(a)のようにGa、As₄分子線共に法線より20°傾斜させた配置で得られた成長層を図3.12(b)に示す。成長層の中心は大幅にシフトし、形状にも大きな非対称性を生じている。このような成長層の非対称性を防ぐために、As₄分子線は基板に垂直に入射することが望ましい。

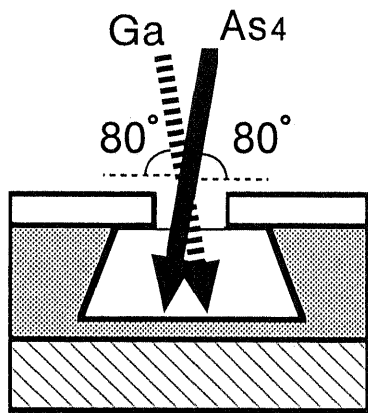
一方Gaビームを傾けて入射しても、Gaは表面拡散することができるためAsほど容易に非対称性を生じない。しかし、次のような場合には影響が大きくなる。

(1) 溝の深さが大きい場合

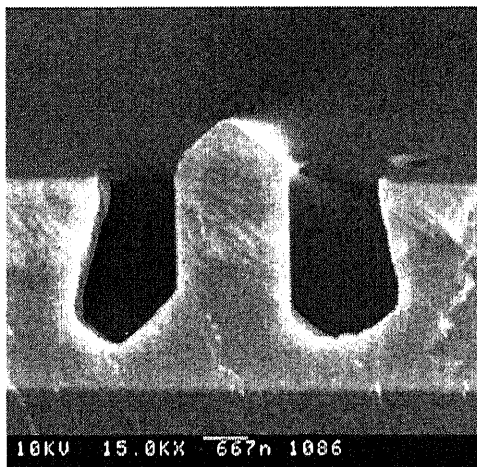
溝の深さが浅い場合(1~2 μm)、図3.6(a)から分かるようにGaの斜入射による非対称性は小さい。しかし溝深さが大きくなるにつれて、この影響が無視できなくなる。例として図3.13の成長層を示す。このサンプルでは、プロセスの不具合によりシャドウマスクが反ってしまっている。これはSiO₂膜形成時のアニール温度が高すぎたことが原因であることが分かった。この反りのため、溝の深さは等価的に約8 μmに相当する。それに伴いGaビーム照射領域が溝の左側に大きく偏ることによって、層形状に大きな非対称性が生じている。この非対称性は、次節に述べるようにGaの流れ込みによって説明される。

(2) 成長層がマスクの上に突き出している場合

膜厚が増加し成長層が溝の外側に突き出るようになると、左右の{110}側面でGaビームの当たり方に差がでてくる。したがって両側面における成長速度に若干の差がみられることがある。この結果、左右の側面から(001)面へのGaの流れ込みにも差が現れる。この効果は図3.7(c)において、成長層両端の隆起がGa入射側の方が大きいことに現れている。

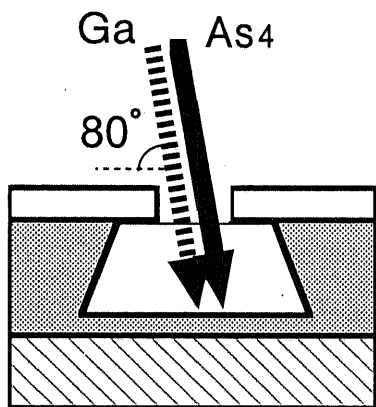


(a)



(b)

図 3.11 入射分子線方向の効果(1)。(a)成長時の K-セル配置、(b)成長層の断面 SEM 像。成長層の中心はやや左にずれている。



(a)



(b)

図 3.12 入射分子線方向の効果(2)。(a)成長時の K-セル配置、(b)成長層の断面 SEM 像。

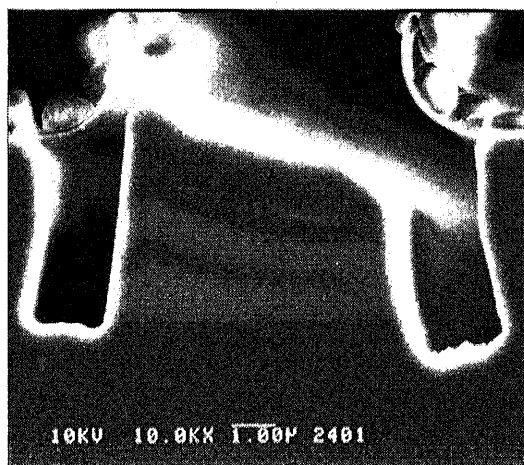


図 3.13 Ga 分子線の傾きの影響が現れている成長層の断面 SEM 像。マスクの反りにより溝の深さは等価的に深くなっている。1 層目の p-GaAs 層の厚さは左側の方が大きい。これは左側からの Ga の流れ込みによるとと思われる。

3.4.2 Gaの表面拡散の影響

VMCE 成長における Ga の表面拡散の効果を調べるために、非常に高温(670°C)で成長を行った。この場合 $3\ \mu\text{m}$ 以上の窓幅の溝構造内では成長が起こらず、逆に蒸発によりエッチングされていることが分かった。図 3.14 に窓幅 $10\ \mu\text{m}$ の溝構造における成長結果を示す。GaAs 層中の黒い線は、GaAs/Si 基板中に形成された AlAs マーカー層である。VMCE 成長前の溝底面は AlAs マーカーより $0.85\ \mu\text{m}$ 上にあつたため、溝底面全体が蒸発によりエッチングされていることが分かる。その蒸発速度は溝の中心で最も大きく、成長領域の端部において最小になっている。また図 3.14(b) より、成長領域中央の表面は蒸発により非常に荒れていることが分かる。

これに対し、窓幅 $2\ \mu\text{m}$ 以下ではわずかながら成長が起きていることが示された。図 3.15 に窓幅 $1.6\ \mu\text{m}$ の成長層の断面 SEM 像を示す。図 3.15(a) より約 $0.2\ \mu\text{m}$ の成長が起きていることが分かる。成長層表面はしばしばバンチングステップがみられるが非常に平坦である(図 3.15(b))。

GaAs の蒸発速度は基板温度及び As 圧によって決まり、溝構造内でも窓幅に因らず一定であると考えられる。また As 圧も窓幅に因らず一様であると仮定する。それにも関わらず、窓幅の狭い溝内で成長が起きたのは、As の当たっていない成長領域の両側において Ga の表面濃度が高くなっており、そこから流れ込みによって Ga が供給されるためと考えられる。図 3.14(a) において成長領域の両端で蒸発速度が小さいことも同様に説明される。

通常の VMCE 成長条件(640 ~ 650°C)でも、Ga の流れ込みは起きている。先に示した図 3.13 においてもその影響が明瞭に現れている。1 層目の p-GaAs 層(一番下層の明るい領域)においては成長層の左側が隆起している。これは成長層の左脇からの流れ込みがあることを意味する。このとき隆起が左端でのみ観察されるのは、前節で述べたように深い溝構造への Ga 斜入射の効果のためである。一方 2 層目、3 層目の p-GaAs 層膜厚には流れ込みの影響はみられず膜厚は一様である。これは膜厚が増加するにつれて溝底面と(001)上面の距離が増し、流れ込みが無くなるためだと思われる。図 3.13 は形状非対称性の大きい特殊な場合であり、流れ込みは片側からしか起きていないように見える。しかし実際には、Ga の流れ込みは Ga ビームの当たっていない側からも起こる。例えば、図 3.6(b) では第一層目の p-GaAs 層の両端が隆起しており、両サイドから流れ込みが起きていることを示している。これは、シャドウマスク直下の領域では As 圧が低く、Ga の表面濃度が高くなっていることが原因であると思われる。以上より VMCE 成長の初期段階において、成長領域両側の As の当たらない底面より Ga の流れ込みが生じていることが分かった。さらに、この流れ込みは成長膜厚が増加すると共に消失することが示された。

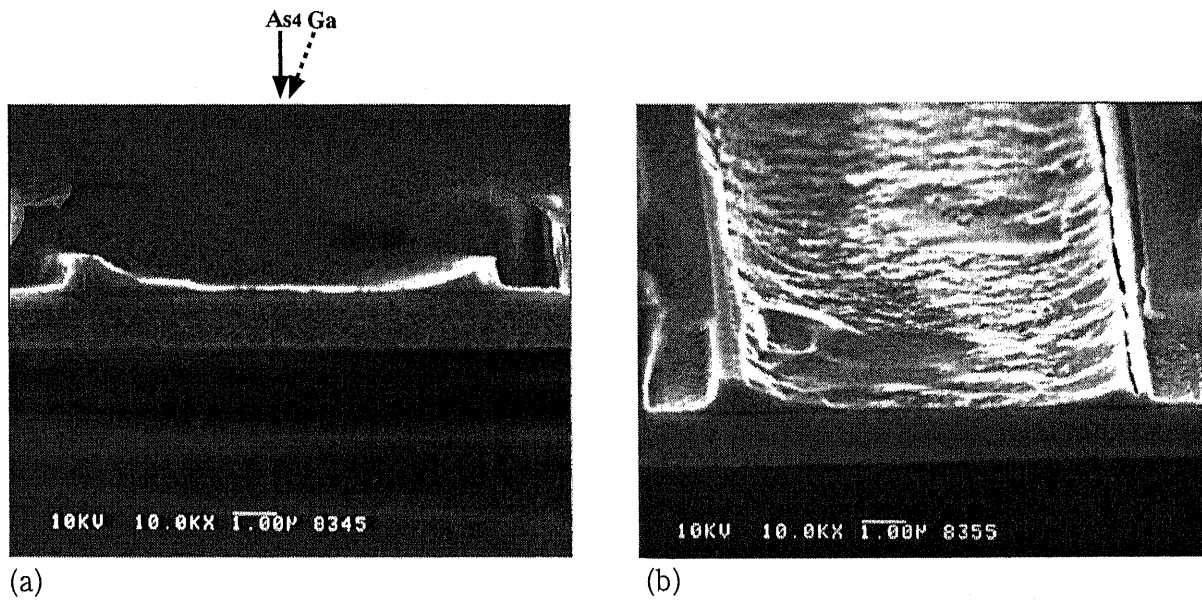


図 3.14 (a)非常に高温(670°C)で成長を行った溝構造の断面 SEM 像(窓幅 10 μ m)。GaAs 層中の黒い線は GaAs/Si 基板中に形成された AlAs マーカー層であり、VMCE 成長前の底面はこれより 0.85 μ m 上にあった。成長は起こらず、底面全体が蒸発によりエッチングされていることが分かる。(b)は(a)を 20° 傾斜させたもの。溝底面が荒れていることが分かる。

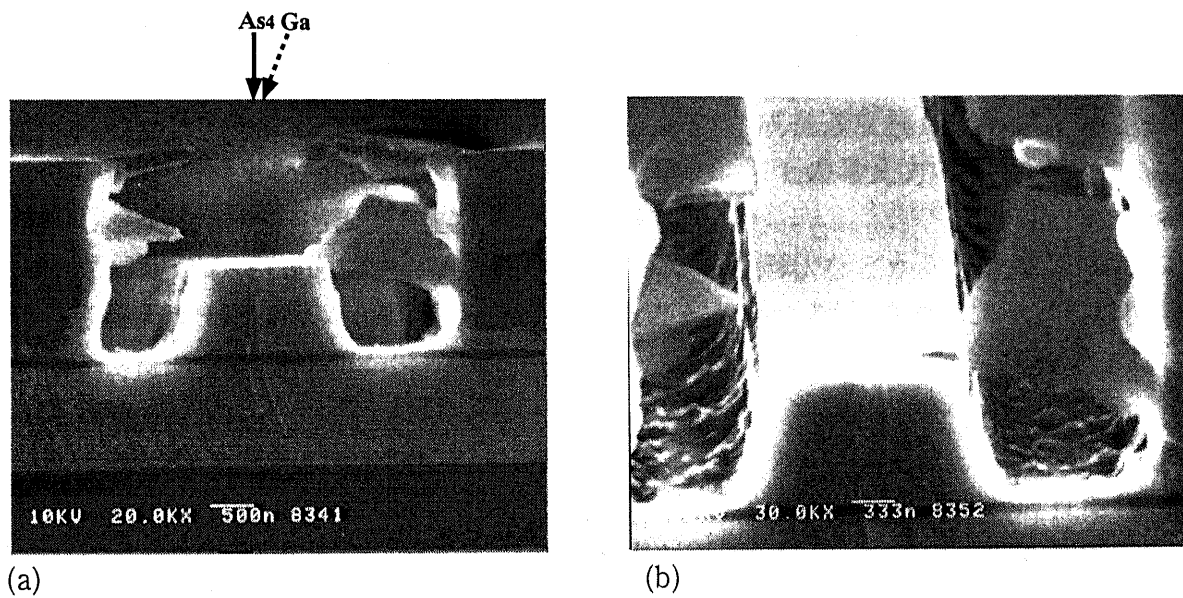


図 3.15 (a)非常に高温(670°C)で成長を行った溝構造の断面 SEM 像(窓幅 1.6 μ m)。わずかながら (0.2 μ m) 成長が起きている。(b)は(a)を 20° 傾斜させたもの。成長層上面は平坦である。

3.4.3 ファセットの出現について

3.3.1にて成長条件に依存して異なるファセットが出現し、それに伴って成長層形状が大きく変化することが示された。用途に応じて最適な形状を実現するためには、出現するファセットの制御が必要である。

熱平衡状態に近い条件で結晶を成長する場合、結晶は全表面エネルギーを最小化するような形状になる。このような形状を平衡形と呼ぶ。結晶の表面エネルギーは一般的に面方位に依存するため、その形状は多面体になる。表面エネルギーの面方位依存性が分かれば、それを用いて平衡形を作図することができる。これをWulffの作図法という[7]。しかし実際には、表面エネルギーの面方位依存性を求めるのは困難である。さらにMOVPEやMBEは非平衡状態下における結晶成長法であるため、上記の理論自体が適用できない。

Jonesらはパターン基板やマスク基板上の成長において得られる形状を推測するために、表面エネルギーではなく成長速度の面方位依存性を用いて作図する方法を提案した[8]。まず、様々な面方位の成長速度を実験的に測定して成長速度極点図を作製する。これをもとに作図した形状は、実験で得られた成長層形状と良く一致した。この作図法によって推測される形状は平衡形ではなく、その成長条件下において最終的に得られる定常状態の成長形である。

成長中に表面拡散が起きている場合、その影響が及んでいる領域では成長速度が局所的に増加または減少する。この方法では、ある面方位の速度は任意の場所で一定であることを仮定しているため、表面拡散によって作図に誤差が生じる。ところが成長領域が拡散長より狭くなれば、成長速度がほぼ一定とみなせるようになるため適用可能となることが指摘されている。また、一般に成長速度は成長条件に依存するため、成長速度極点図はある特定の成長条件においてしか使えないことにも注意すべきである。以上の考え方にならって、VMCE成長におけるファセットの出現を定性的に考察する。

まず側面に現れる $\{110\}$ 面であるが、図3.7(a)中のマーカ形状などから分かるように本実験における条件下では、ほとんど成長が起こらないことが分かる。一般的に凸型形状の成長においては、成長速度の遅い面が優勢となる。したがって、 $\{110\}$ 面がほぼ常に側面に現れるのは極めて妥当である。

成長層上部に現れる面は(001)面と $\{112\}_B$ 面であるが、成長条件によって優勢な面が入れ替わることが3.3.1で示された。これは2つの面の成長速度が比較的近く、成長条件によって相対的な大小関係が容易に変化するためだと思われる。 $\{112\}_B$ 面が出現する機構を定性的に理解するために、 $\{112\}_B$ 面が観察されるケースを以下に整理し、それぞれについて考察する。

(1)基板温度が低い場合

今 (jkl) 面の成長速度を $R_{(jkl)}$ と書くと、基板温度が低い場合は成長速度が常に $R_{(001)} > R_{\{112\}_B}$ になり、 $\{112\}_B$ 面が優勢になるとと思われる。例として図3.7(a)では、成長初期には $\{112\}_B$ 面と(001)面が形成されるが、成長に伴い $\{112\}_B$ 面が発達し最終的にこの面で終端されている。これに対して、図3.6(a)では成長の過程で $\{112\}_B$ 面が現れているが、最終的には縮小している。このことは、高基板温度では基本的に $R_{(001)} < R_{\{112\}_B}$ の関係であることを示唆する。それにも関わらず、しばしば成長途中に $\{112\}_B$ 面が現れる要因については次の(2)、(3)で説明する。成長速度の大小関係が反転する基板温度は、620～630℃の間にあると推測される。

(2)成長初期に出現する場合

例えば図 3.13 では、成長の初期に比較的広い $\{112\}B$ 面の形成がみられるが、成長するに従い単調に狭まってゆくことが分かる。このサンプルでは、成長初期にGaの流れ込みが起きていることを3.4.2で述べた。そのため(001)上面の成長速度が等価的に増加して、成長初期では $R_{(001)} > R_{\{112\}B}$ の関係になっているものと考えられる。ところが成長膜厚の増加に伴って流れ込みが減少し、(001)面の速度が本来の値に戻ることで $R_{(001)} < R_{\{112\}B}$ の関係に移行するものと推察される。

(3)成長層の高さがマスク面を越える場合

成長層がマスク面を越えるときに、しばしば $\{112\}B$ 面の形成が観察される。図 3.6(b)に着目すると、成長層両端では二次電子が放出され易いため像が明るくなっていて少々分かりにくい。マスク面より下のp-GaAs層(1層目と2層目の明るい層)には $\{112\}B$ 面はみられない。しかし、3層目のp-GaAs層では広い $\{112\}B$ 面が発達している。これは成長層上面がマスク面より高くなり、かつマスクと成長層の隙間が埋まると、マスク表面からGaの流れ込みが発生するためだと思われる。これによって(2)と同様に一時的に $R_{(001)} > R_{\{112\}B}$ の関係が成り立ち、 $\{112\}B$ 面が発達するものと考えられる。

3.4.4 VMCE の成長モデル

3.3 ~ 3.4.3 で得られた知見から、図 3.16 に示すような VMCE 成長モデルが立てられる。

① 両脇からの Ga の流れ込み(図 3.16(a))

多くのサンプルにおいて、成長初期において成長層の両端に隆起がみられる。これは、成長層両脇の As の当たっていない底面において Ga の表面濃度が上がっていると予想され、ここから流れ込みが起きるものと思われる。条件によってはこの段階で成長層の肩に $\{112\}B$ 面が形成されることがある。

② $\{110\}$ 側面、 $\{112\}B$ 面の発達(図 3.16(b))

成長が進むにつれて、側面の $\{110\}$ 面が発達してゆく。これは、 $\{110\}$ 面の成長速度が極めて小さいためである。成長層上面がマスク面より高くなるときに、成長層の肩に $\{112\}B$ 面が現れることが多い。これはマスクからの流れ込みに因るものと考えられる。

③-1 高基板温度 : (001) 上面の発達(図 3.16(c))

基板温度が高い場合、 $R_{(001)} < R_{\{112\}B}$ の関係が成り立つ。この場合、②で $\{112\}B$ 面が現れていても、その後狭まってゆき、 (001) 面が優勢になる。

③-2 低基板温度 : $\{112\}B$ ファセットの発達(図 3.16(d))

基板温度が低い場合、 $R_{(001)} > R_{\{112\}B}$ の関係が成り立つ。この場合は、②で現れた $\{112\}B$ 面が単調に増加してゆき、最終的に $\{112\}B$ 面で終端される。

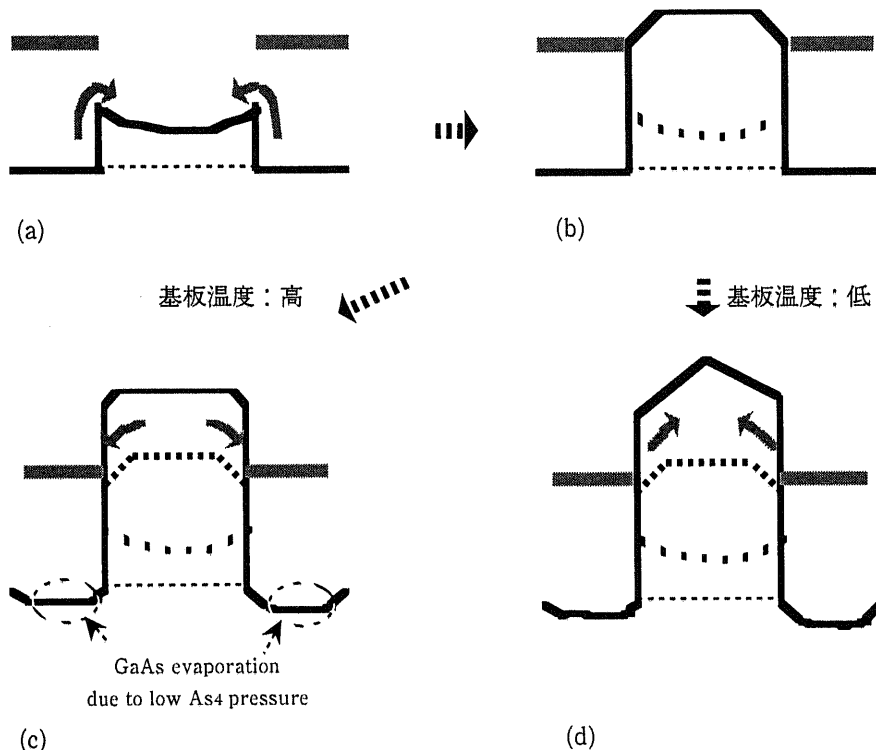


図 3.16 VMCE 成長機構モデル。

3.5 表面平坦性の評価

3.5.1 表面モルフォロジーの観察

(1) 全面成長領域

VMCE 成長条件下における全面成長領域では、一般に成長ヒロックの形成がみられる。VMCE 成長条件下で観察されるヒロックを、以下VMCEヒロックと総称することにする。ヒロック形状は基板温度に敏感であり、図 3.17 にその依存性を示す。これらは全て同一基板上にあるが、基板温度が異なっている。最も高温の領域(図 3.17(a))では、中心に核(core)を持つ成長ヒロックが観察される(以下このヒロックをC-ヒロックと呼ぶ)。この核は多結晶であると考えられる。この領域では再蒸発がかなり大きく、これ以上高温では成長がほとんど起こらない。やや温度が低い領域では(図 3.17(b))、中心に核は無いが先端が尖ったヒロックが形成される。以下、この尖った(peaked)ヒロックをP-ヒロックと呼ぶこととする。さらに低基板温度では(図 3.17(c))、上面に(001)面をもつヒロックが観察される。この切頭の(truncated)ヒロックをT-ヒロックと名付けることとする。これら VMCE ヒロックの密度はその形状の差異にあまり依存せず、平均 $1.3 \times 10^5 \text{cm}^{-2}$ であった。

P-ヒロックのAFM像を図 3.18(a)に示す。ヒロックの中心部には形状は様々であるが細長い斜面が存在しており、この面の両端から同心円状にステップが広がっていく様子が観察される。ステップの高さは3~4MLである。図 3.18(b)中の実線に沿って測定した中心付近の断面プロファイル像を図 3.18(c)に示す。ヒロックの中心に存在する斜面の傾きは約 18° であり、斜面の左側が隆起していることが分かる。

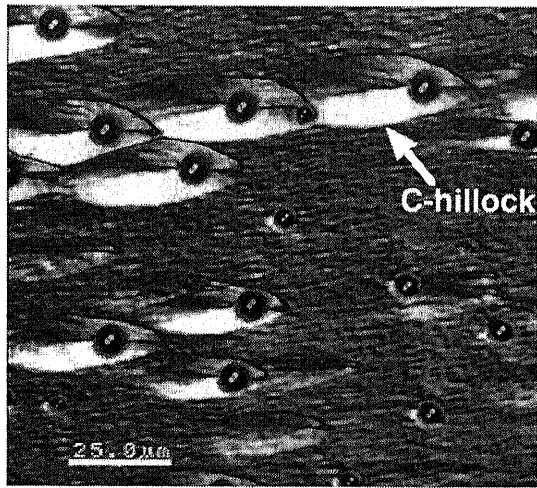
ヒロックの形成原因の一つに、らせん転位が考えられる。符号の異なるバーガスベクトルを持つらせん転位が同数だけ密集して存在すれば、その周囲に同心円状のステップパターンが形成されうる。しかしこのモデルでは、図 3.18 のヒロックの高さや中心に存在する斜面の存在を説明できない。

このP-ヒロックを溶融KOHでエッチングすると、斜面の両端にエッチピットが常に観察される(次章図 4.12(a))。このことは、この斜面が面欠陥であり、2つのエッチピットは面欠陥の両端に存在する部分転位に対応していることを示唆する。したがってP-ヒロックは、面欠陥の存在によって中心付近の成長速度が局所的に増大し、その結果放射状にステップが供給されることにより形成されるものと思われる。この面欠陥の正体については3.5.3で考察する。

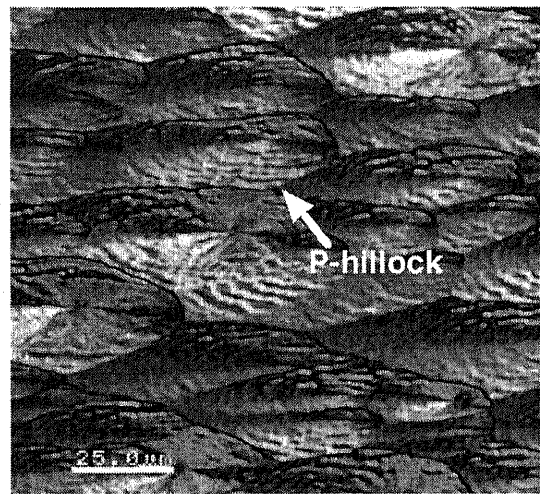
T-ヒロックとC-ヒロックも、同様の面欠陥によって形成された可能性がある。形状の違いは、成長条件によって引き起こされたものと思われる。T-ヒロックは成長過程で面欠陥が埋められた場合、C-ヒロックは低V/III比によりGa液滴が発生した場合であると予想される。

VMCE ヒロックの密度は、使用したGaAs/Si基板の品質に大きく依存する。図 3.17とは別の基板を用いたときの全面成長領域表面を図 3.19 に示す。P-ヒロックが観察されるが、その密度は $1.1 \times 10^6 \text{cm}^{-2}$ であり、図 3.17 の密度より約1桁大きい。これは、この成長に用いたGaAs/Si基板にヒロック発生源となる面欠陥が多く含まれていたためだと考えられる。

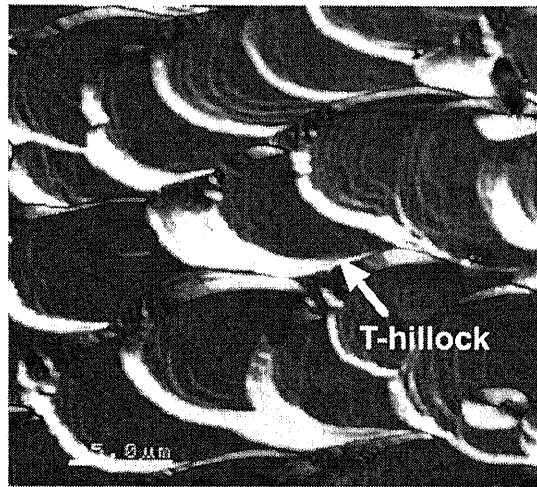
全面成長領域の表面モルフォロジーは、これらのヒロックの重ね合わせによって悪化していることが分かる。したがって面欠陥を除去できれば、モルフォロジーが大幅に改善されることが予想される。



(a)



(b)



(c)

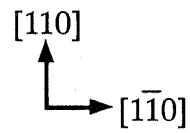


図 3.17 全面成長領域表面に観察される成長ヒロック。基板温度は(a) > (b) > (c)である。ヒロック密度は $1.3 \times 10^5 \text{cm}^{-2}$ 。

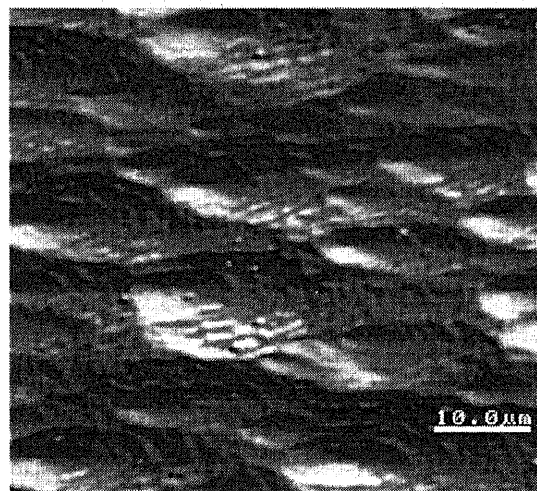


図 3.19 成長ヒロックの密度が大きいサンプル。図 3.17 とは別の GaAs/Si 基板を使用している。ヒロック密度は $1.1 \times 10^6 \text{cm}^{-2}$ 。

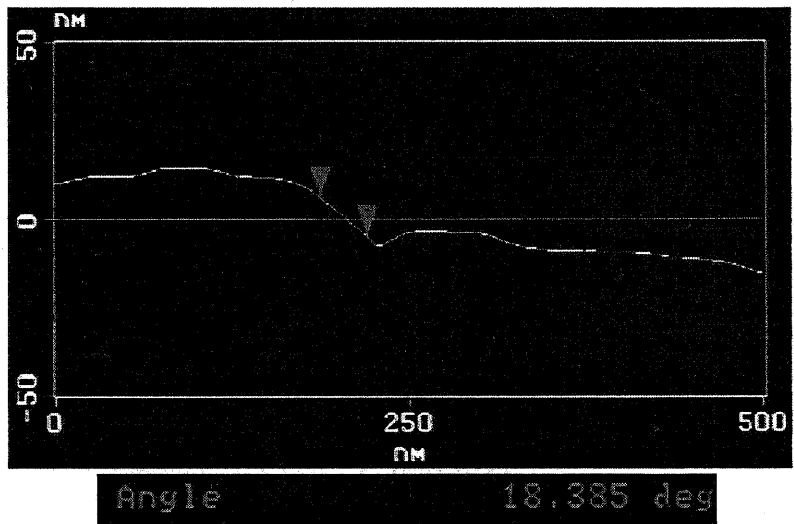
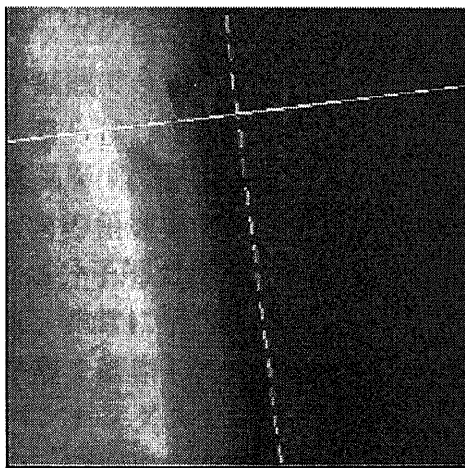
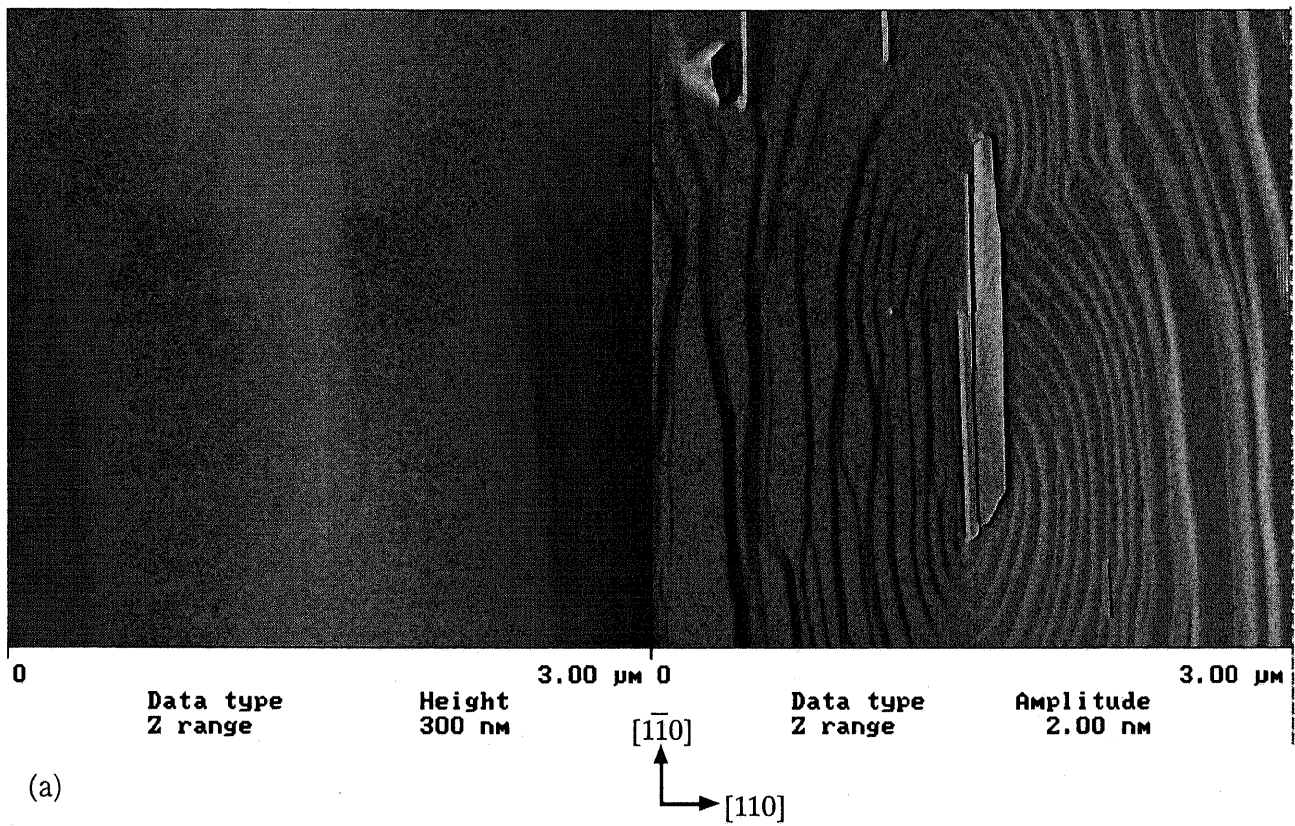


図3.18 P-ヒロックのAFM像。(a)左側は凹凸像、右側は誤差信号像である；(b)断面プロファイル測定箇所；(c)P-ヒロック中心付近の断面プロファイル像。その下に斜面の角度を示す。

(2) VMCE 成長層

まず VMCE 成長によるヒロック低減効果に着目する。図 3.20 に隣接する幅 $2.2 \mu\text{m}$ と $21 \mu\text{m}$ の成長層を示す。前者の上面にはヒロックがみられないのに対して、後者の表面には 4 個の P-ヒロックが観察されることから、成長層幅を狭くするほどヒロック密度を低減できることが分かる。このサンプルでは、特に幅 $3 \mu\text{m}$ 以下の成長層でヒロック密度の低減が顕著である。ヒロックの無い領域では後に示すように(図 3.22(a), 図 3.23)、非常に平坦な表面が観察された。これは成長領域を狭めることにより、そこに含まれるヒロック発生源を減らせるためだと考えられる。

しかし、面欠陥密度の大きい GaAs/Si 基板を用いると、幅の狭い成長層上面にも VMCE ヒロックがみられた。図 3.19 と同一基板上に形成された幅 $2.8 \mu\text{m}$ の VMCE 成長層を図 3.21 に示す。図中には 4 つの P-ヒロックが観察される。したがって、VMCE 成長に用いる GaAs/Si 基板中の面欠陥密度を十分に低減する必要がある。

次に、側面からの Ga の流れ込みが表面平坦性に与える影響について調べる。図 3.22 に、表面モルフォロジーの成長層幅依存性を示す。図 3.22 は、図 3.17 と同一基板上に形成されており、幅の広い成長層に対してはヒロックの無い領域を選んで示してある。 $2.2 \mu\text{m}$ 幅の成長層表面では(図 3.22(a))、Ga の流れ込みに起因するバンチングステップは存在するものの、その高さは大きくない。これは、成長層幅が狭い場合は側面から流れ込んだ Ga が中央部まで拡散でき、成長層の端と中央の間で大きな高低差を生じないためである。これに対して、成長層幅が $5.8 \mu\text{m}$ (図 3.22(b))、 $21 \mu\text{m}$ (図 3.22(c)) と広くなるにつれて、バンチングステップの高さ及び密度が増加するのが分かる。これは、成長層幅が広くなると中央部まで Ga が拡散できず成長層端が大きく隆起するためである。

さらに、AFM によって表面モルフォロジーを観察した。図 3.23 は図 3.22(a) と同一の VMCE 成長層(幅 $2.2 \mu\text{m}$) の上面を AFM により観察した結果である。この図では中心付近の $1.5 \mu\text{m}$ 角の領域を測定している。図中に 3 本のバンチングステップがみられるが、その高さは 3 ~ 5 分子層である。また、そのバンチングステップ間には単分子層高さのステップが観察され、非常に平坦であることが分かる。一方、図 3.24 は、図 3.22(b) の成長層(幅 $5.8 \mu\text{m}$) の成長層を観察した AFM 像である。この図では中心付近の $4.75 \mu\text{m}$ 角の領域を測定している。バンチングステップの高さは約 5 ~ 9 分子層であり、図 3.23 よりも大きくなっている。また、両側面からの流れ込みによって両端が隆起していることが分かる。

以上の観察結果より、成長層幅を狭くするほど平坦な(001)上面が得られることが分かった。その要因をまとめると次のようになる。

- (1) 成長層幅を狭くすることにより、ヒロック発生源となる面欠陥が VMCE 成長領域に含まれる確率を減らせるため。
- (2) 成長層幅を狭くすることにより、 $\{110\}$ 側面からの流れ込みによる成長層端の隆起の効果を弱めることができるため。

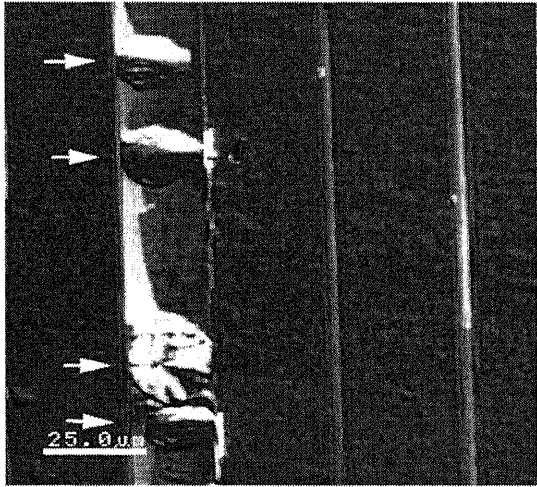


図3.20 幅の異なるVMCE成長層のノマルスキー微分干渉顕微鏡像。成長層幅は左からそれぞれ $21\mu\text{m}$ 、 $2.2\mu\text{m}$ 、 $2.7\mu\text{m}$ 。幅 $21\mu\text{m}$ の成長層上面には4個のヒロックが観察されるが(矢印の箇所)、幅 $2.2\mu\text{m}$ の成長層上面には存在しない。

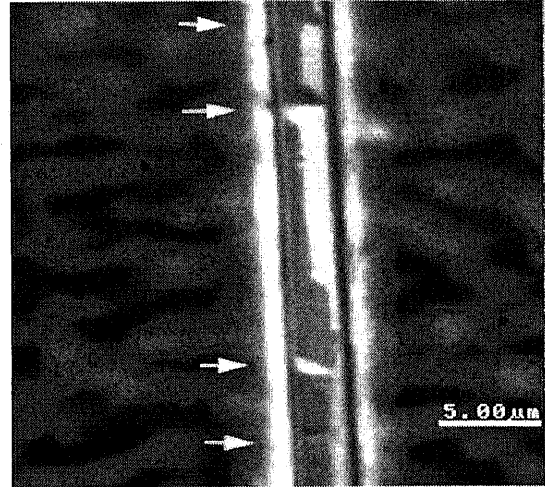
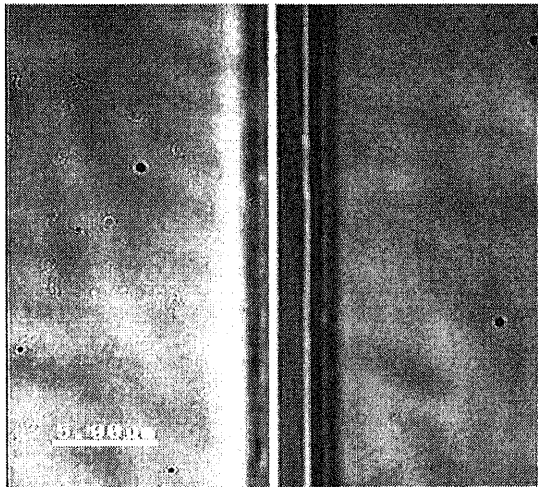
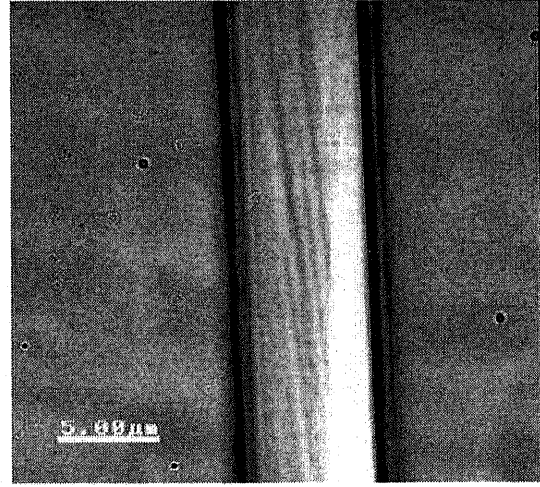


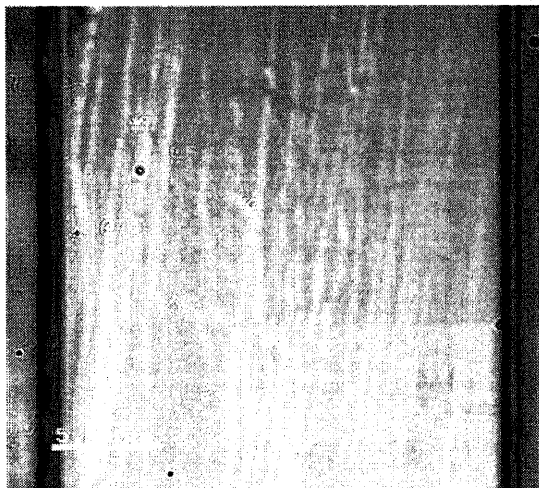
図3.21 幅 $2.8\mu\text{m}$ のVMCE成長層のノマルスキー微分干渉顕微鏡像。この成長層は図3.19と同じ基板上に形成されている。成長層上面には4個のヒロックが観察される(矢印の箇所)。



(a)



(b)



(c)

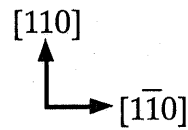


図3.22 幅の異なるVMCE成長層のノマルスキー微分干渉顕微鏡像。成長層幅はそれぞれ(a) $2.2\mu\text{m}$ 、(b) $5.8\mu\text{m}$ 、(c) $21\mu\text{m}$ である。成長層幅が増すにつれて、バンチングステップの高さ及び密度が増加することが分かる。

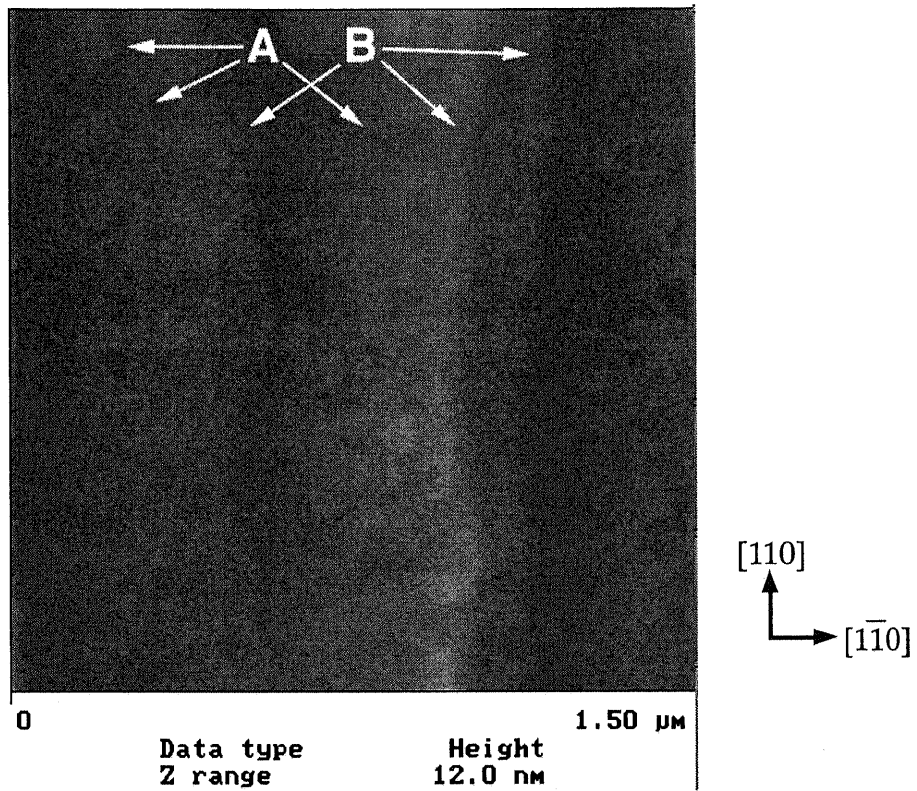


図 3.23 幅 $2.2 \mu\text{m}$ の VMCE 成長層上面の AFM 像。3 ~ 5 分子層高さのバンチングステップ(図中 B)と共に、単分子層高さのステップ(図中 A)が観察される。

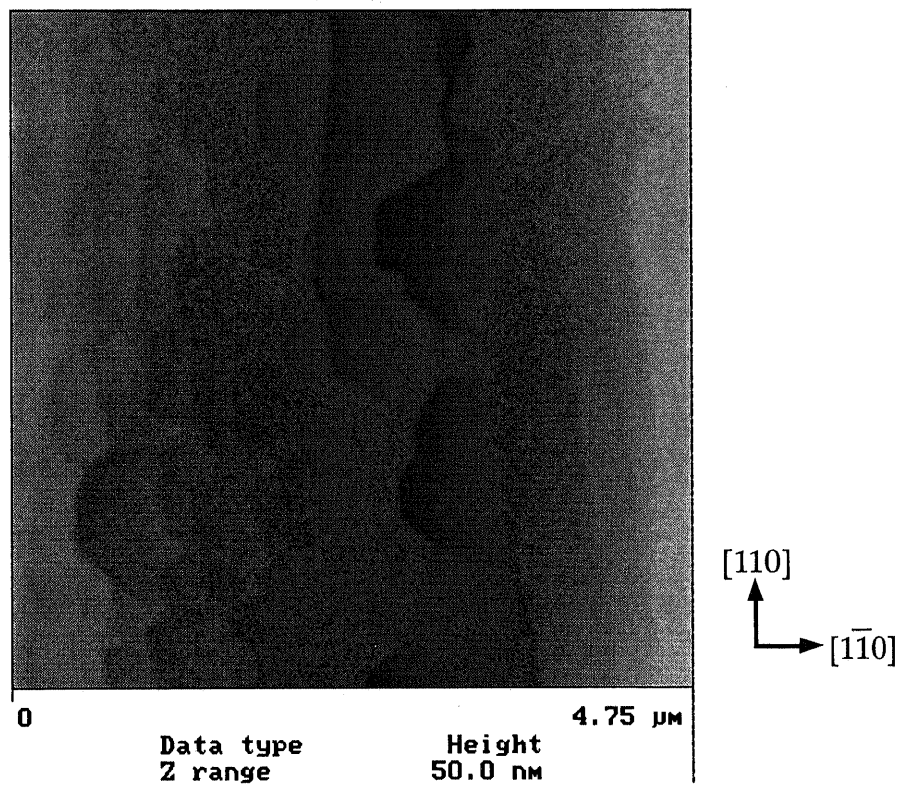
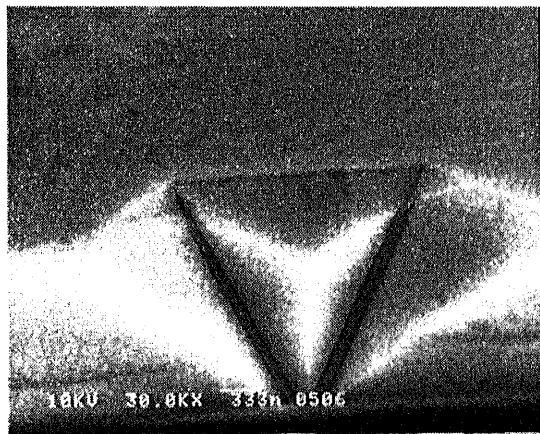


図 3.24 幅 $5.8 \mu\text{m}$ の VMCE 成長層上面の AFM 像。5 ~ 9 分子層高さのバンチングステップが観察される。

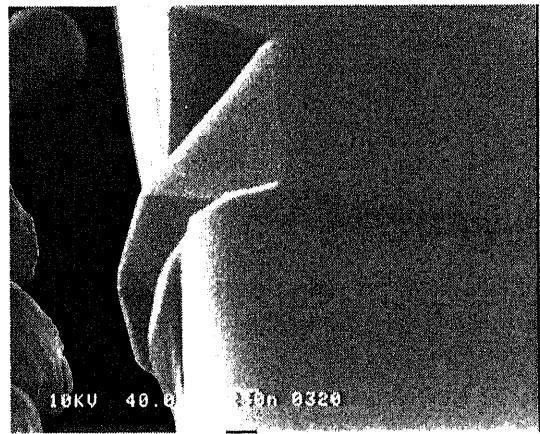
VMCE成長層には、ヒロック以外に平坦性を悪化させる欠陥が低密度ながら存在する。これらは常に成長層の肩に存在する。

まず一つ目は、図 3.25 に示すような三角錐型ヒロックである。これらは成長層の両肩に散在している。その発生密度は成長条件に依存し、高基板温度又は低 As 圧の場合に多く観察された。三角錐底面の形状はほぼ正三角形であることから、三角錐の斜面は結晶学的に等価な面であると考えられる。図 3.25(b)において観察時の試料傾斜角などを考慮すると、上側の斜面と(001)面の成す角度は約 20° であり、この斜面は $\{114\}$ 面であると推定される。双晶における $\{110\}$ 面は、母体結晶における $\{114\}$ 面に相当する。したがって、この三角錐は3つの等価な $\{110\}$ 斜面で終端された双晶であることが推測される。その形成機構としては成長過程において発生する $\{112\}$ B面における積層エラーが考えられるが、はっきりとは分かっていない。図 3.25(b)より、三角錐と(001)上面の交線を中心として(バンチング)ステップが上面に広がっている様子が観察される。

この他に、図 3.26 に示すような突起状の欠陥が観察された。これらの欠陥からもバンチングステップが供給されていることが分かる。突起の形状はそれぞれ異なっており、一定していない。図 3.26(a)、(b)では突起の根元に三角錐の一部が残っている。したがって、まず図 3.25 の三角錐が形成された後に、斜面上での成長が進み突起が形成されたものと予想される。図 3.26(c)はさらに突起の成長が進んだ結果、根元の三角錐が完全に埋められていると考えられる。図 3.26(b)、(c)の突起の形状はウィスカーに似ている。また、マスク上に成長した多結晶からも非常に長いウィスカーが成長していることがある。ウィスカー成長のメカニズムとして vapor-liquid-solid (VLS) という成長様式が知られている[9]。VLS 成長とは基板上に発生した液滴中に、飛来してきた成長原料が取り込まれ、この中で過飽和状態が起り結晶が析出されるというものである。したがってこの場合も、何らかの原因で成長中に Ga 液滴が形成され、それを契機としてウィスカー成長が始まったのではないかと考えられる。

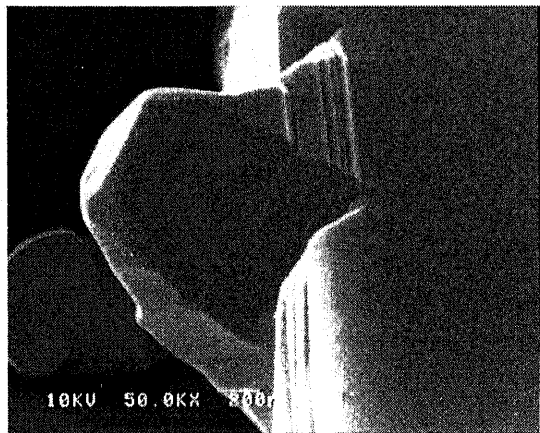


(a)

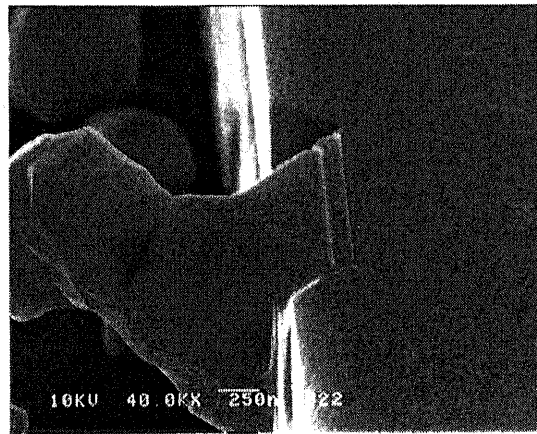


(b)

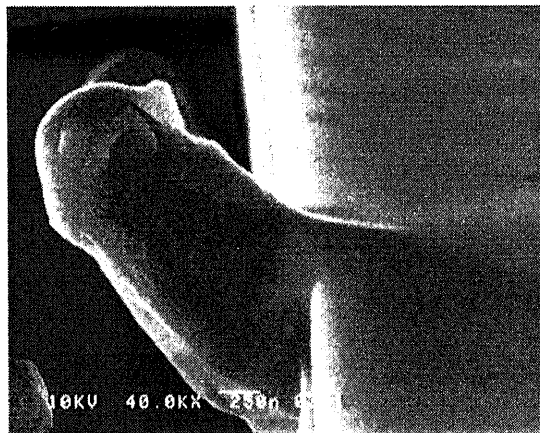
図 3.25 三角錐ヒロックの SEM 像。これらは常に成長層の肩に存在する。



(a)



(b)



(c)

図 3.26 様々な突起状欠陥の SEM 像。

3.5.2 GaAs/Si 基板表面の観察

VMCEヒロックは、GaAs/Si基板に発生していた面欠陥が発生要因になっていることが示唆された。ここでは、VMCE成長に用いたGaAs/Si基板のas-grown表面に現れる欠陥に着目する。

観察に用いたGaAs/Si基板は、図3.17、図3.22のVMCE成長で使用したものと同一のウェハから切り出されたものである。下地のSi基板の面方位は $\langle 110 \rangle$ 方向に 1° オフした(001)面である。この上に $3\ \mu\text{m}$ のGaAs層が堆積されており、GaAsの $[1-10]$ 方向はSi基板のオフ方向に平行である。観察は、VMCE成長用のプロセスを行っていないas-grown表面を微分干渉顕微鏡とAFMを用いて行った。

まず、この基板の表面モルフォロジーを図3.27に示す。高低差の小さい細かな凹凸が全面に存在しているが、モルフォロジーは比較的平坦である。しかし図中A又はBと示された箇所に、平坦性を悪化させる表面欠陥が観察される。

図3.27中Aと示された欠陥を拡大したAFM像を図3.28に示す。図中には、 $[1-10]$ 方向に平行なV字型の溝が観察される。また溝の両側、特に左側ではステップの速度が周辺部に比べて増加しており、それが扇形の隆起を形成する要因になっている。このことから線分状の欠陥からステップが供給されていることが分かる。ヒロックの形状は全く異なるものの、図3.18中の面欠陥がステップの供給源になっていることと一致する。欠陥Aの密度は $1\sim 2 \times 10^5\text{cm}^{-2}$ である。

図3.27中Bと示された欠陥を拡大したAFM像を図3.29に示す。 $[110]$ 方向に平行な線分状の欠陥がみられる。この欠陥はオフ角度により形成されたステップの流れを妨げるため、欠陥の右側はややくぼんでいることが分かる。欠陥Bの密度は $4\sim 7 \times 10^5\text{cm}^{-2}$ である。

さらに図3.27ではみられなかったが、より低密度で存在する表面欠陥のAFM像を図3.30に示す。この欠陥の中心には通常穴が開いている。その穴の周囲からステップが供給され、扇形又は半円形のヒロックが形成されている。このヒロックの穴の底にはAPDが存在していることが、APD検出エッチングの結果示された。したがってこのヒロックの発生源はAPDである。以下、このヒロックをAPDヒロックと呼ぶことにする。APDヒロックの密度は非常に小さく、約 $2 \times 10^2\text{cm}^{-2}$ である。

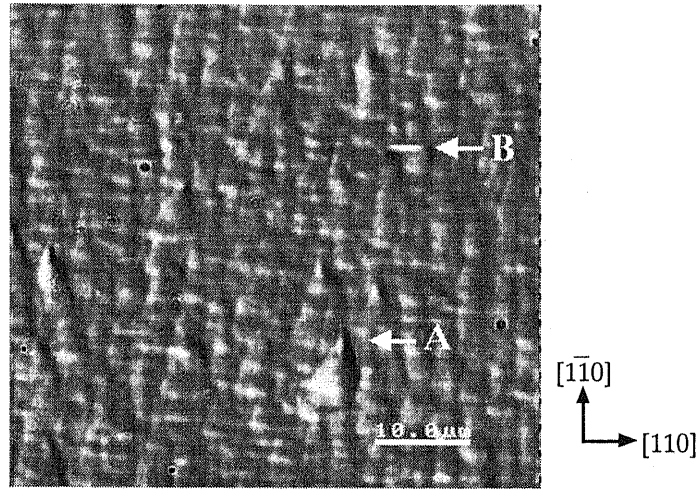


図 3.27 GaAs/Si 基板表面のノルスキー微分干渉顕微鏡像。

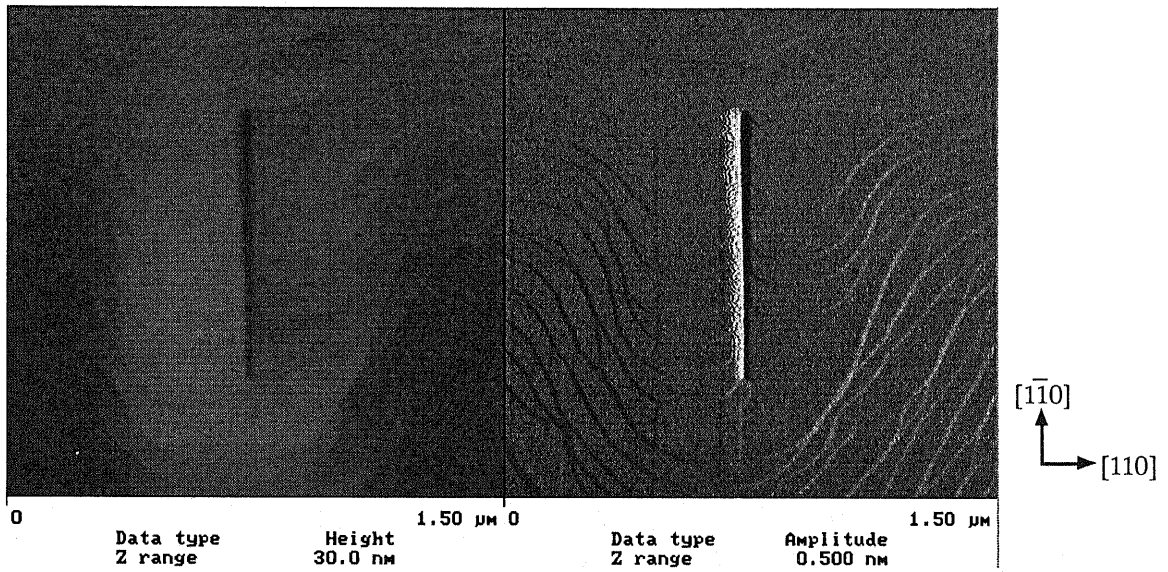


図 3.28 欠陥 A の AFM 像。中心には V 字型の溝が存在する。

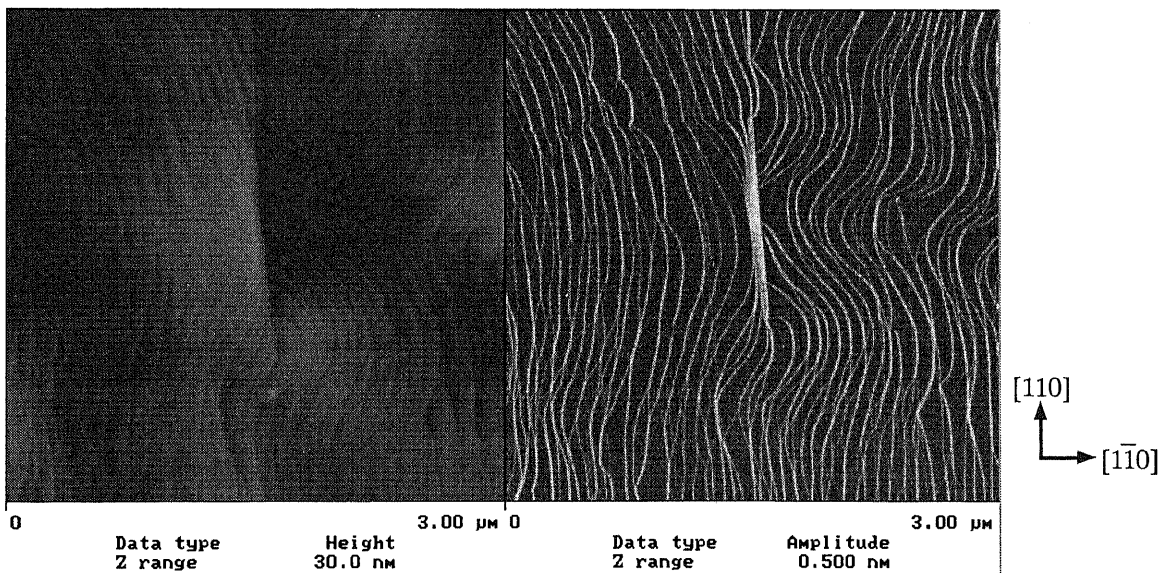


図 3.29 欠陥 B の AFM 像。

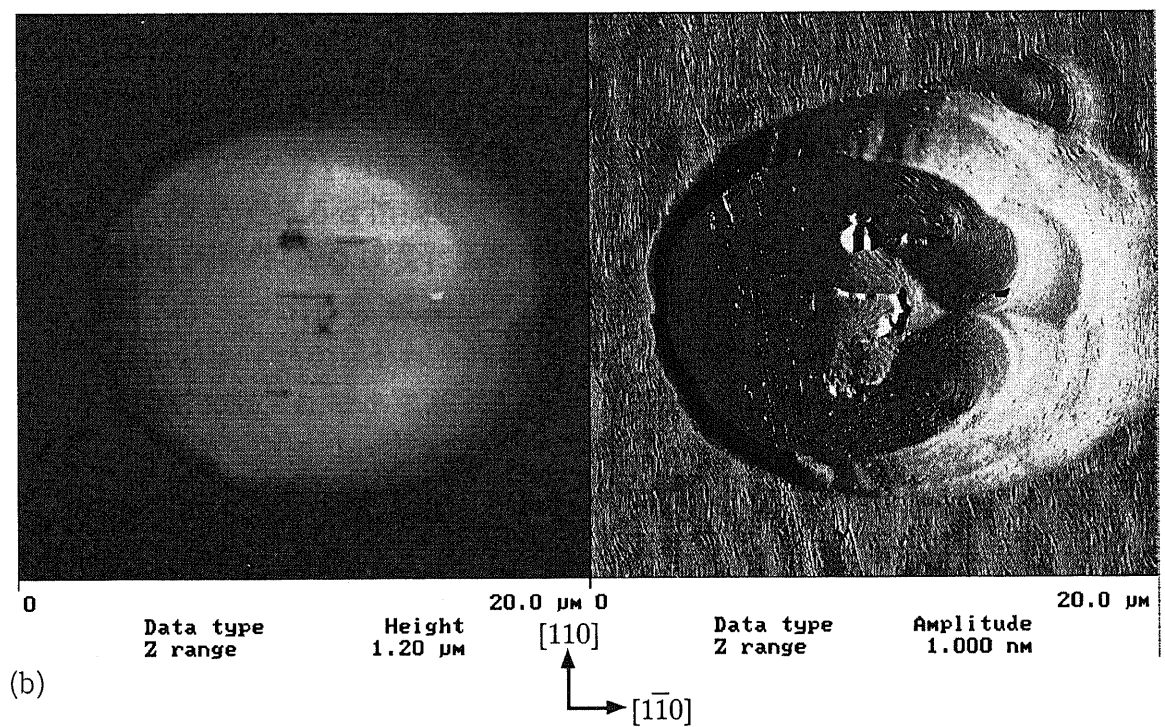
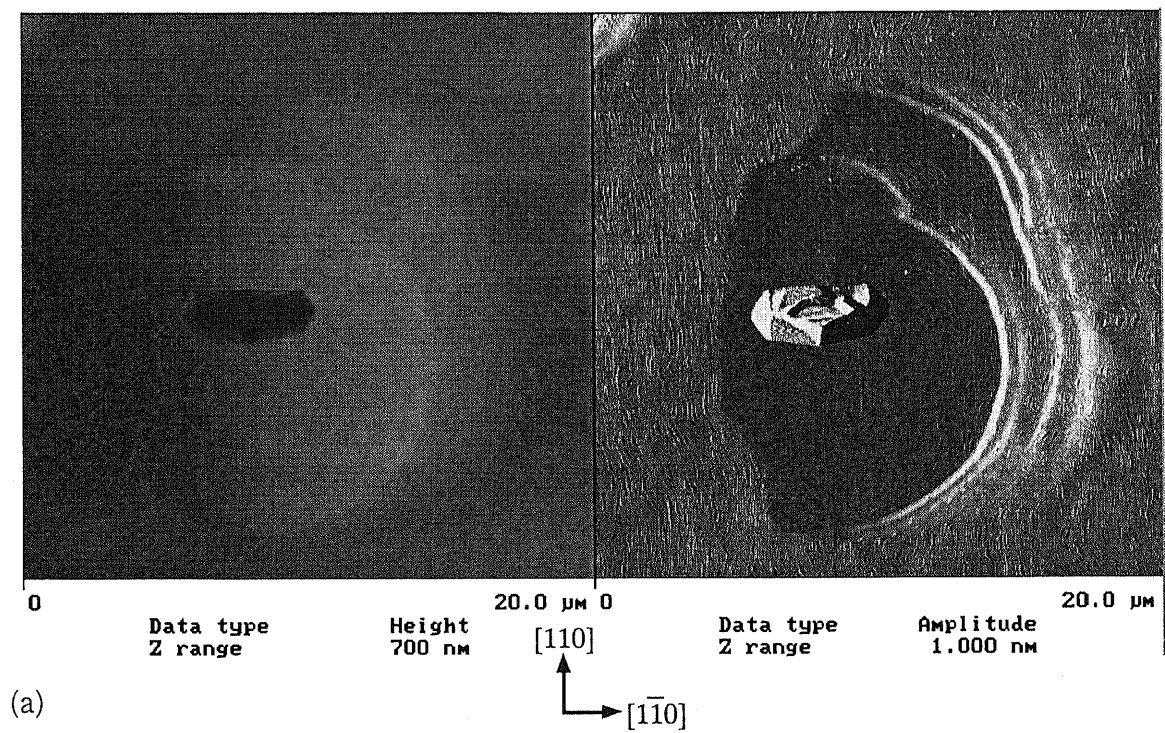


図 3.30 APD ヒロックの AFM 像。

3.5.3 成長ヒロックの形成機構

ここでは、3.5.1、3.5.2で観察された各種のヒロックの形成機構について考察する。

全面成長領域や幅の広いVMCE成長層で観察されたVMCEヒロックの形状は、MBE又はMOCVDを用いて成長させたGaAsホモエピタキシャル表面に発生するオーバルディフェクト(oval defect)と呼ばれる欠陥によく似ている。この欠陥はエピタキシャル層の表面平坦性やその上に形成されたデバイス特性を悪化させることから、その密度を下げるために非常に多くの研究がなされてきた。その結果、1980年代半ば頃は $10^2 \sim 10^4 \text{cm}^{-2}$ 程度の密度であったが、近年では 10cm^{-2} 以下に低減された[10]。一口にオーバルディフェクトといっても文献[11],[12]に分類されるように様々な形状が報告されており、その形成要因はそれぞれ異なる。形成原因の主なものとして、(a)GaのK-cellから微小なGa液滴が吹き出して基板に付着し、これを核としてヒロックが形成される、(b)Gaのメルトに含まれる Ga_2O や酸素を含む残留ガスとの反応から表面に不揮発性の酸化物 Ga_2O_3 が形成され、これがヒロックの核となる、(c)基板に付着した不純物粒子が核になる、などが報告されている。オーバルディフェクトの発生は成長法、成長環境の清浄度、成長条件に大きく左右されるため、その形成要因を一つに絞るのは困難である。

オーバルディフェクト密度の低減化に関する数多くの報告にも関わらず、その結晶学的な構造や、原子レベルのヒロック形成機構についての報告は意外に少ない。透過型電子顕微鏡を用いた観察の結果、オーバルディフェクトは多くの欠陥を含んでいることが示された。この欠陥構造がヒロック形成機構に関係していると考えられる。まず、エピ層と基板の界面に多結晶又は不純物粒子からなる核が存在することが報告されている。さらにオーバルディフェクト内部に観察される主要な欠陥構造として、次の二種類が報告されており意見が分かれている。一つは積層欠陥であり[13,14]、これはしばしば正四角錐構造として観察される。もう一つは微小双晶である[15-18]。文献[13,14]では積層欠陥のみが観察され、微小双晶は観察されない。ところが、文献[15]では微小双晶と積層欠陥が共にヒロックの中心に観察されるが、ヒロックを伴わない正四角錐構造の積層欠陥も観察されるため、ヒロック形成に関与するのは微小双晶であると指摘している。

またダイヤモンドのCVD成長において、双晶によって形成されたと考えられる成長ヒロックが観察されている[19]。成長ヒロックの中心にはしばしば双晶の核が存在しており、一見核をもたないヒロックもそれを内包していることが示唆された。

以上から、積層欠陥又は微小双晶が3.5.1で観察されるVMCEヒロック形成の要因であると考えられる。積層欠陥については成長表面との交線に形成される単分子層以下の高さをもつサブステップが核発生サイトとなり、同心円状のステップパターンが形成されるという機構が提案されている[20]。実際に、積層欠陥に起因すると思われるヒロックも報告されている[21-23]。しかし、この機構で形成されるヒロックのサイズはそれほど小さくなく、VMCEヒロックと矛盾する。また、VMCEヒロック中心に存在する斜面も説明できない。したがって、VMCEヒロック中心にある面欠陥は微小双晶であると思われる。

GaAs層中の双晶構造としては、双晶面が異種原子で構成されるか同種原子で構成されるかによって、それぞれrotation双晶とreflection双晶の2種類が起こりうる[24]。化学エッチングによる結果から、バルクGaAs中の双晶はrotation双晶であると考えられる[25]。図3.31(a)にrotation双晶の構造を示す。双晶中の低指数面の中で(001)成長表面に近いのは、双晶

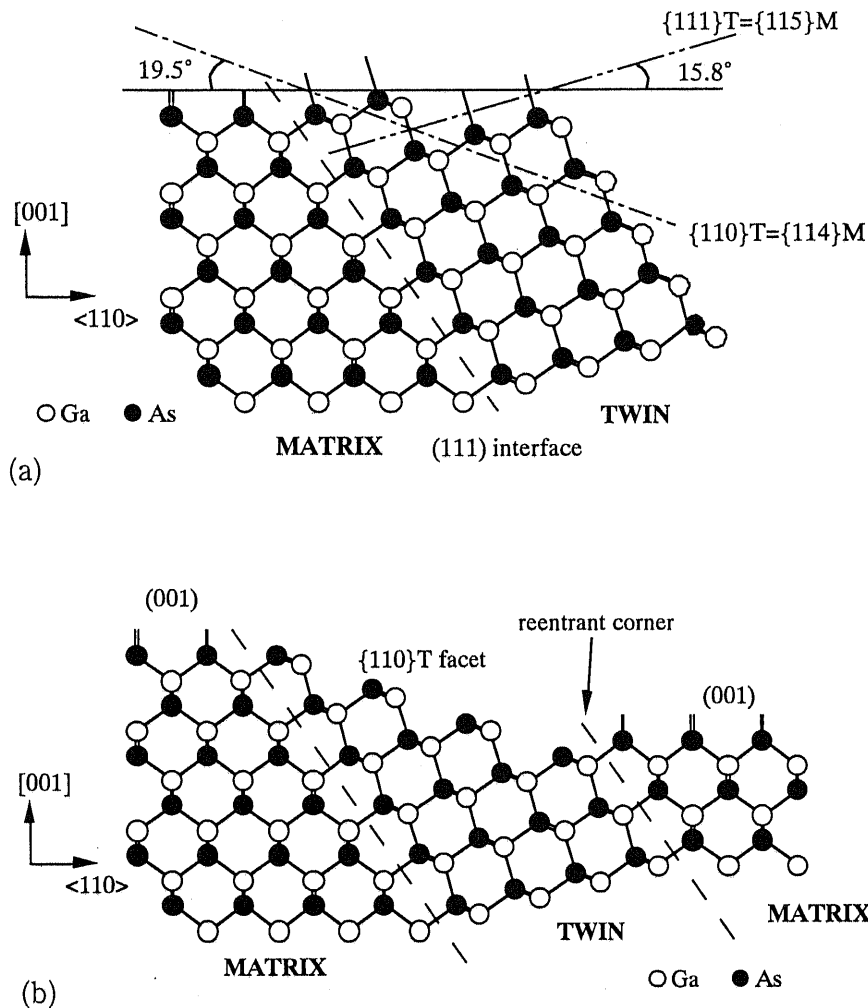


図3.31 (a)GaAs中のrotation双晶の構造[24]。面指数に添えられたTは双晶を、Mは母体結晶を表す。
 (b)VMCEヒロック中心に位置する面欠陥の構造モデル。双晶の $\{110\}T$ 面が現れていると考えられる。

の $\{111\}T$ 面と $\{110\}T$ 面である。ここで指数に添えられたTは双晶構造中の指数であることを意味する。これらの面は、母体結晶の指数ではそれぞれ $\{115\}$ 面と $\{114\}$ 面に対応する。VMCE成長では $\{110\}T$ 面の方が成長速度が遅いと考えられ、成長の過程で優勢になると推測される。それゆえVMCEヒロック中心の斜面は $\{110\}T$ 面であると思われる。この斜面の構造のモデルを図3.31(b)に示す。図3.18(c)に示されたように実測された斜面の角度は $18 \sim 22^\circ$ であり、 $\{110\}T$ 面の角度(19.5°)に近い。

双晶によるヒロック形成機構として、凹入角効果(reentrant corner effect)が考えられる[19]。凹入角効果とは隣接するファセット間に凹入部が存在すると、原子又は分子がそこで優先的に取り込まれ、これを核としてファセット上の沿面成長が起こるといふ現象である[26]。双晶界面において成長速度が増加することが古くから実験的に観察されており、これは双晶界面に形成された凹入部によって誘起されるものと考えられている[27,28]。したがって、VMCEヒロック形成においても $\{110\}T$ 面の発達により凹入部が形成され(図3.31(b))、ここで優先的に核発生が起きていると考えられる。加えてVMCE成長では過飽和度が低いため、二次元核成長は起こらない。したがって表面拡散によって安定な核形成サイトである凹入部に到達する確率が高くなり、凹入角効果が顕著になる。また凹入角効果に加えて、 $\{110\}T$ 面から隣接する(001)面への面間拡散も成長速度の増加に寄与している可能性がある。

図3.28に示されたV字型の溝も、図3.31(b)と同様に双晶によって形成されていると考えられる。V溝斜面の角度は約 17° であり、その周囲における成長速度の増加は凹入角効果によって説明できる。図3.18のようなヒロックを形成しないのは、GaAs/Si基板成長時の過飽和度が高いために、任意の場所で二次元核成長が起きたためと推測される。

3.5.2で示されたAPDヒロックの形成にも微小双晶が関与していると思われる。図3.30に示したAPDヒロック上面には、複数の穴が観察される。図3.32は図3.30(b)のヒロック上面を拡大したものであるが、A~Cと示された領域が隆起しており、その端部からヒロック上面にステップが供給される様子が観察される。APDヒロックにおいては、A~Cのような隆起した領域は常に穴の斜面に隣接している。しかし、穴の周囲において常に成長が促進されるわけではない。したがって成長中に一部の穴の斜面で微小双晶が発生し、これが凹入角効果を起こしてAPDヒロックを形成している可能性がある。

面心立方構造、ダイヤモンド構造及び閃亜鉛鋅型構造の結晶成長において $\{111\}$ 面は双晶が発生しやすい面である。GaAsの場合もバルク成長[29]及びエピタキシャル成長[30]において成長双晶の発生が観察されている。GaAs/Siヘテロエピタキシャル成長においては、3次元島の $\{111\}$ ファセット上における積層エラーによって微小双晶が発生すると考えられている[31]。しかし、ヒロック形成に関わる微小双晶は島のファセットで発生するものよりもずっと大きい(長さ $0.5 \sim 2 \mu\text{m}$ 程度)と考えられるため、別の形成機構が働いている可能性がある。ここでは、APDを起点として双晶が発生するモデルを考察する。as-grownのGaAs/Si表面において、APDが存在する領域は穴として観察され、この穴の斜面は主に $\{111\}$ 面、 $\{101\}$ 面であることが報告されている[32]。APDヒロック上面の穴でも非常に大きなものでは、 $\{111\}$ 及び $\{101\}$ の斜面が実際に観察される。図3.33に、 $\{111\}$ 斜面上においてAPDを契機として双晶が発生するモデルを示す。APBと $\{111\}$ 斜面(この場合はGa面を仮定)の交線上にAsが付着する場合を考える。APDの存在のため、このAsはAPD表面上の2個のGaとボンドを形成する可能性がある。このAsは $\{111\}$ 面上の通常配置から 180° 回転しているため双晶配置となる。この $\{111\}$ 面上での積層エラーを契機として、双晶が発生することが考えられる(図3.33(b))。この場合はAPDの大きさによっては比較的大きな双晶の発生が起こりうる。成長が進むにつれて穴が埋まっていき、成長層表面には双晶の $\{110\}$ T面のみが残されるものと考えられる(図3.33(c))。この結果図3.31(b)と同様の構造が形成されるため、凹入部効果によってAPDヒロックの形成がおこるものと考えられる。図3.32(b)中のA~Cに隣接する斜面の角度を測定すると $18 \sim 22^\circ$ であり、これらの斜面は $\{110\}$ T面であると考えられる。先に述べたダイヤモンド成長で観察されるヒロックの双晶核も、穴の $\{111\}$ 斜面上で発生したものと考察されている[19]。

APDヒロックの中には、上面に穴が無いものも観察される。APD検出エッチングによって、このようなヒロックにも内部にAPDが存在することが示された。したがって、APDによる穴は成長によって埋まる機構が存在する。逆に言えばVMCEヒロックの発生源と考えられた微小双晶も最初は小さなAPDから発生し、このAPDが埋められた結果双晶のみが表面に残されたものと考えられることができる。2章の結果から、成長初期過程の制御によってAPDの発生が低減できることが示された。VMCE層における表面欠陥の発生を防ぐためには、成長初期過程を解明し最適に制御することによってAPD及び微小双晶の発生をできる限り抑制する必要がある。

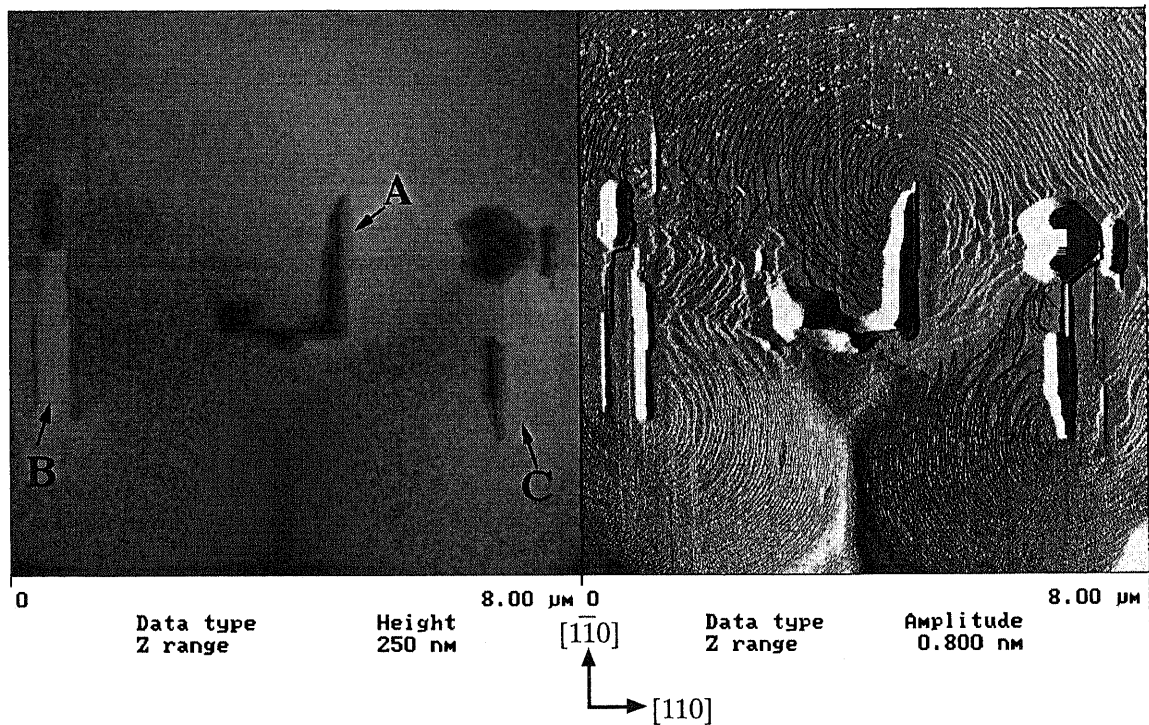


図3.32 図3.30(b)のAPDヒロック上面を拡大したAFM像。成長速度が増加している領域(A~C)は穴の斜面に隣接している。

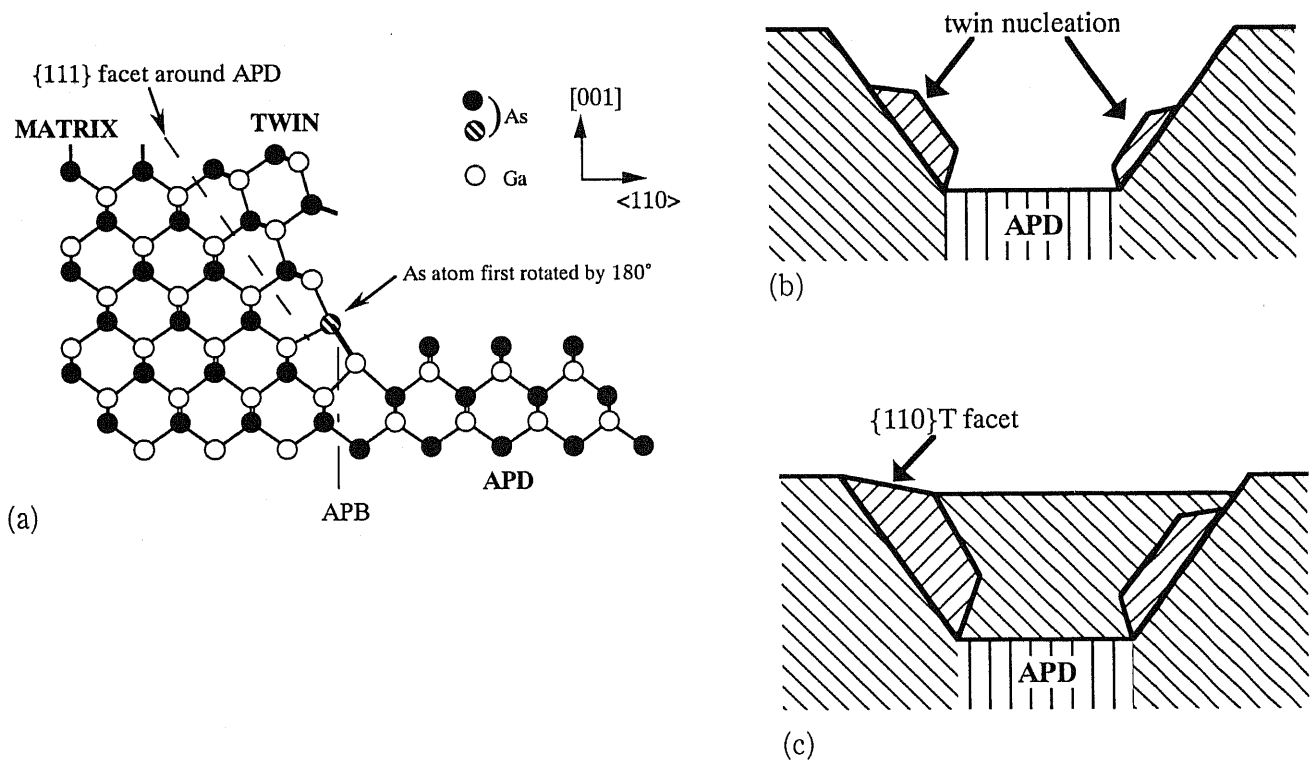


図3.33 (a)APDの存在に起因する穴の{111}斜面上における双晶の発生。原子が180°回転して積層されることにより双晶が発生する。(b)斜面における双晶の発生、(c)穴が埋まることによって表面に{110}T面が残される。

3.6 VMCEによるドット構造の形成

これまでラインパターンを用いた実験結果を示したが、本節では円形の窓を用いて成長した結果について述べる。

溝構造作製プロセスにおいて、ラインパターンの場合はアンモニア系のエッチングのみで溝底面に(001)面を出すことができた。しかし円形の窓に適用すると、順メサ方向の $\{111\}$ A面が優勢となり底面に(001)面が現れない。そこでGaAs/Si基板作製の際、表面から $3\ \mu\text{m}$ 下の所に $0.1\ \mu\text{m}$ のAlAs層を成長した。AlAs層はアンモニア過水水溶液に対するエッチング速度が遅いためエッチストップ層となり、(001)面を露出させることができる。アンモニア系エッチングの後、残ったAlAs層を希塩酸で除去する。以上のようにして作製した、円形窓をもつ溝構造を図3.34(a)に示す。円形窓の直径は約 $3\ \mu\text{m}$ である。SiO₂シャドウマスクを除去した構造を図3.34(b)に示す。やや荒れているが底面に(001)面が現れていることが分かる。

ラインパターンを用いた場合は、図3.5において各K-セルの紙面に垂直な方向の傾きを無視することができたが、円形窓の場合はそれを考慮しなければならない。図3.35に溝構造に対する立体的なK-セル配置を示す。

基板温度 645°C 、成長速度 $0.3\ \mu\text{m/h}$ で740分間成長した結果を図3.36に示す。図(a)には平面像を、図(b)には俯瞰像を模式図と共に示した。これによると $\{101\}$ 面及び $\{111\}$ 面で囲まれたドット構造が局所的に成長していることが分かる。 $\{101\}$ 面の方がより発達していることから、VMCE成長条件においては $\{101\}$ 面が最も成長の遅い面であることが分かる。したがって成長条件を制御することにより、 $\{101\}$ 面のみで囲まれたピラミッド構造が作製できると思われる。また分子線の斜入射による形状の非対称性が観察されるが、これはセル(特にAs)を基板の法線近くに配置することができれば解消できるはずである。

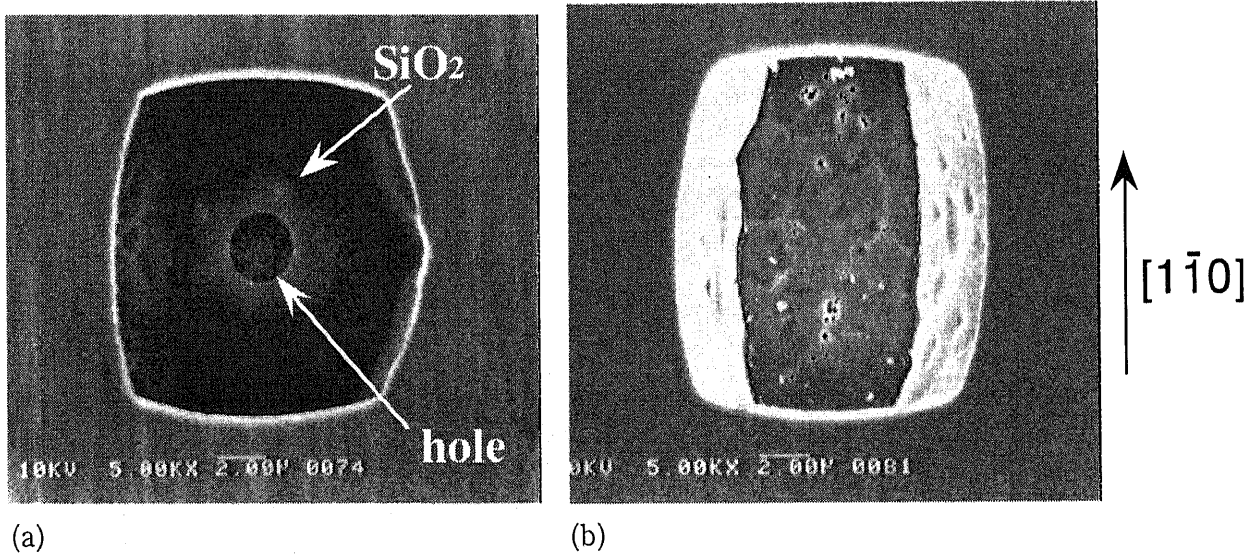


図 3.34 円形窓シャドウマスクをもつ溝構造(a)及びシャドウマスク除去後の溝構造(b)の SEM 像。

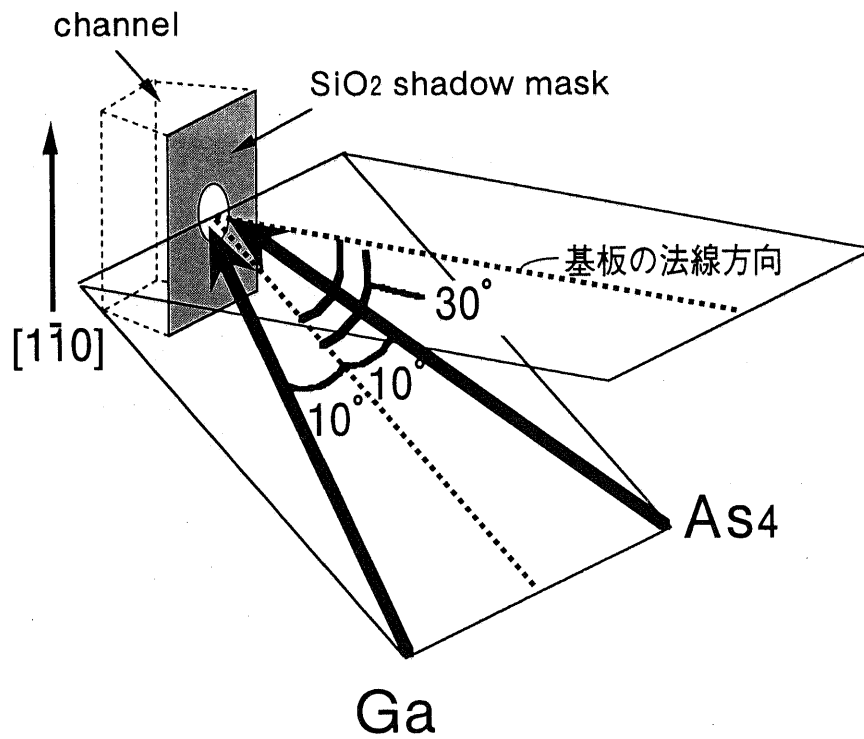
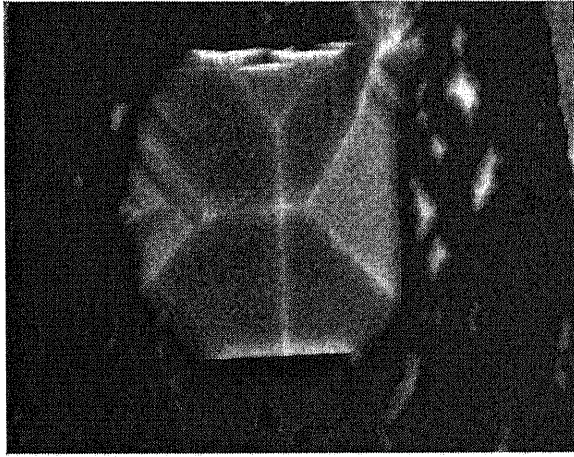
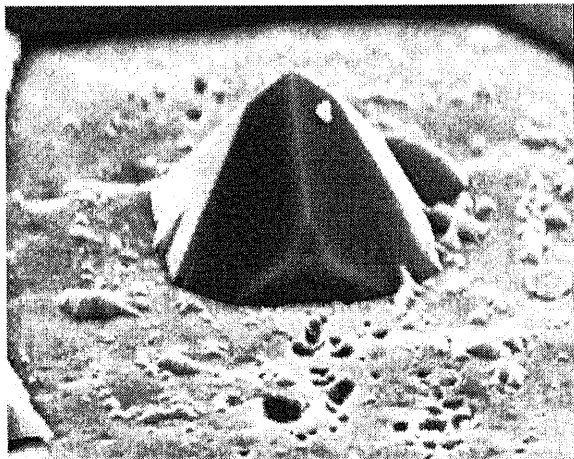
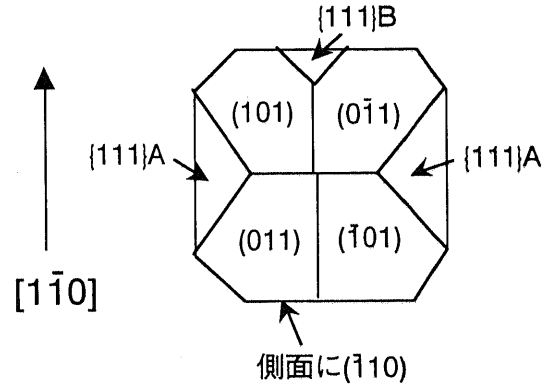


図 3.35 成長時の K-セル配置。



(a)

1.33 μm



(b)

1.33 μm

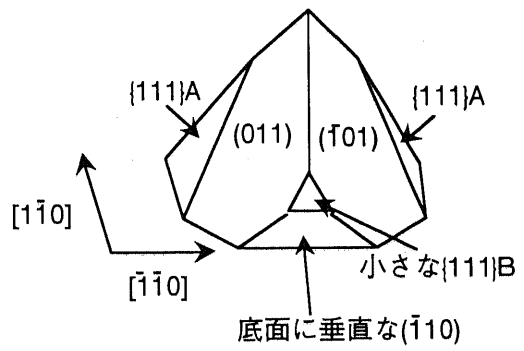


図 3.36 円形窓を用いて得られた成長層の SEM 像。(a)平面像 ;(b)俯瞰像。

3.7 第3章のまとめ

選択成長層内の貫通転位密度及び残留応力の両方を低減するための方法として、SiO₂シャドウマスクを用いたVMCE法を提案した。ライン窓を用いた場合、目的としていた縦横比の大きな成長層が得られた。成長層の側面には{110}面が主に現れ、成長層上部の形状は基板温度に依存して(001)面または{112}B面が主に出現した。成長条件を最適化すれば、(001)上面と{110}側面のみで構成される成長層が実現可能であることが分かった。成長形状はGa及びAsの分子線方向の影響や、Gaの表面拡散等の影響を受けて非対称性を生じるため、これらの最適化が必要である。成長層に挿入されたマーカー層の形状などから推測されるVMCE成長モデルを示した。

VMCE成長条件下においては全面成長領域に多数の成長ヒロックが発生することが分かった。これらのヒロックは、GaAs/Si基板中に含まれる微小双晶を核として凹入角効果によって形成されるものと推測された。これらのヒロックはVMCE成長層表面にも発生して平坦性を悪化させるため、GaAs/Si基板中の微小双晶の密度を低減する必要がある。微小双晶は成長初期過程において核発生すると考えられるため、その形成機構を解明し発生を抑制することが必要であろう。

幅の狭いVMCE成長では(1)成長領域に含まれるヒロック発生源の数を減らせること、(2)側面からのGaの流れ込みによる成長層端の隆起を減らせること、の2つの効果によって極めて平坦な表面が実現されることが分かった。

円形窓をもつシャドウマスクを用いた場合、{101}面又は{111}面のみで囲まれるピラミッド構造が形成されることが分かった。この場合{101}面の方がより発達することから、{101}面が最も成長の遅い面であることが示された。

参考文献

- [1] M. Tachikawa and H. Mori, Appl. Phys. Lett. 56 (1990) 2225.
- [2] M. Tamura, A. Hashimoto, and N. Sugiyama, J. Appl. Phys. 70 (1991) 4770.
- [3] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Vieggers, J. Appl. Phys. 62 (1987) 4413.
- [4] W. T. Tsang and A. Y. Cho, Appl. Phys. Lett. 30 (1977) 293.
- [5] H. Gossner, T. Rupp and I. Eisele, J. Crystal Growth 157 (1995) 308.
- [6] P. Demeester, L. Buydens, I. Moerman, D. Lootens and P. Van Daele, J. Crystal Growth 107 (1991) 161.
- [7] B. Wulff, Z. Krist. 34 (1901) 449.
- [8] S. H. Jones, L. K. Seidel, K. M. Lau and M. Harold, J. Crystal Growth 108 (1991) 73.
- [9] R. S. Wagner and W. C. Ellis, Appl. Phys. Lett. 4 (1964) 89.
- [10] S. Izumi, N. Hayafuji, T. Sonoda, S. Takamiya and S. Mitsui, J. Crystal Growth 150 (1995) 7.
- [11] K. Nanbu, J. Saito, T. Ishikawa, K. Kondo and A. Shibatomi, J. Electrochem. Soc. 133 (1986)

601.

- [12] H. Kawada, S. Shirayone and K. Takahashi, *J. Crystal Growth* 128 (1993) 550.
- [13] Y. Suzuki, M. Seki, Y. Horikoshi and H. Okamoto, *Jpn. J. Appl. Phys.* 23 (1984) 164.
- [14] H. Kakibayashi, F. Nagata, Y. Katayama and Y. Shiraki, *Jpn. J. Appl. Phys.* 23 (1984) L846.
- [15] H. Holloway and L. C. Bobb, *J. Appl. Phys.* 38 (1967) 2893.
- [16] M. Bafleur, A. Munoz-Yague and A. Rocher, *J. Crystal Growth* 59 (1982) 531.
- [17] A. Rudra, J.-C. Grenet and P. Gibart, H. Heral and Rocher, *J. Crystal Growth* 87 (1988) 535.
- [18] M. J. Matragrano, V. Krishnamoorthy, D. G. Ast and J. R. Shealy, *J. Crystal Growth* 142 (1994) 275.
- [19] T. Tsuno, T. Imai and N. Fujimori, *Jpn. J. Appl. Phys.* 33 (1994) 4039.
- [20] N. Ming, K. Tsukamoto and Sunagawa and A.A. Chernov, *J. Crystal Growth* 91 (1988) 11.
- [21] C. C. Hsu, J. B. Xu and I. H. Wilson, *Appl. Phys. Lett.* 64 (1994) 2105.
- [22] H. Mori, M. Tachikawa, T. Yamada and T. Sasaki, *J. Crystal Growth* 154 (1995) 23.
- [23] J. van Wingerden, R. H. van Aken, Y. A. Wiechers, P. M. L. O. Scholte and F. Tuinstra, *Phys. Rev. B* 57 (1998) 7252.
- [24] D. B. Holt, *J. Mater. Sci.* 19 (1984) 439.
- [25] B.-T. Lee, J. Y. Lee and E. D. Bourret, *Appl. Phys. Lett.* 57 (1990) 346.
- [26] I. N. Stranski, *Disc. Faraday Soc.* No. 5 (1949) 66.
- [27] P. Hartman, *Z. Krist.* 107 (1956) 225.
- [28] R. S. Wagner, *Acta. Met.* 8 (1960) 57.
- [29] D. T. J. Hurle, *J. Crystal Growth* 147 (1995) 239.
- [30] K. C. Rajkumar, P. Chen and A. Madhukar, *J. Appl. Phys.* 69 (1991) 2219.
- [31] F. Ernst and P. Pirouz, *J. Appl. Phys.* 64 (1988) 4526.
- [32] S. N. G. Chu, S. Nakahara, S. J. Pearton, T. Boone and S. M. Vernon, *J. Appl. Phys.* 64 (1988) 2981.

第4章 VMCE 成長層の評価

4.1 はじめに

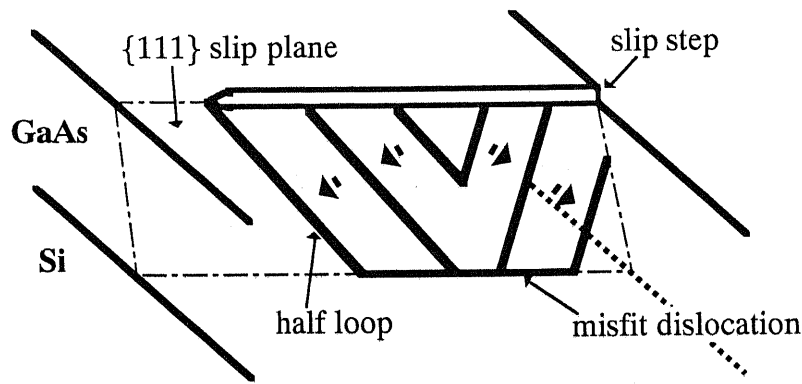
前章ではシャドウマスクを用いたVMCE成長法を提案し、成長条件の最適化により垂直に切り立ったリッジ型の成長層が得られることを示した。本章ではVMCE成長層の品質を評価し、3.1節で述べたような貫通転位密度及び残留応力の低減効果が実際に得られるかどうかを検討する。4.2節では、AFMによって降温過程に発生するスリップを観察できることを示し、スリップ密度の成長層幅依存性を調べた。4.3節ではフォトルミネッセンススペクトルの測定を行い、そのピークシフト量から残留応力を推定した。4.4節では、降温過程において発生する熱応力がVMCE成長層内でどの程度緩和されているかを二次元有限要素法を用いて調べた。4.5節では幅及び高さの異なるVMCE成長層の溶融KOHエッチングを行い、エッチピット密度の依存性を調べた。最後に4.6節ではVMCE成長層の断面TEM観察結果を示した。

4.2 AFMによるスリップステップの観察

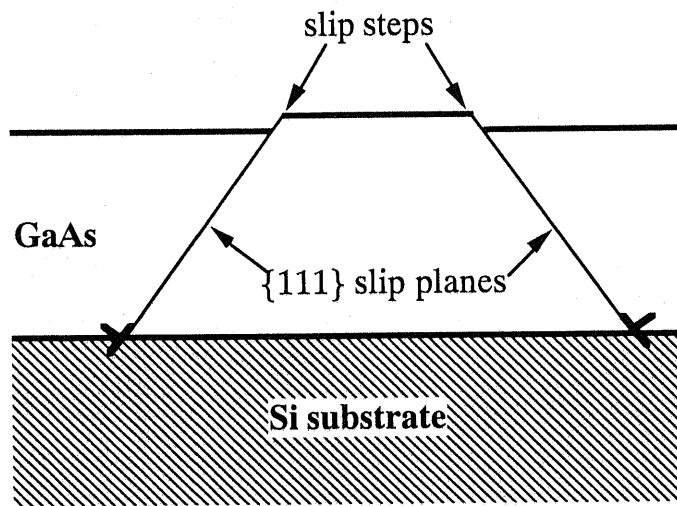
降温過程におけるミスフィット転位の導入は、表面において半転位ループが発生し、それが界面へすべってゆくことにより形成されると考えられている[1-3]。ミスフィット転位として最も考えられるのは、 60° 混合転位である。この転位は $\{111\}$ 面をスリップ面にもつため、図4.1(a)のような配置の半転位ループが考えられる。断面TEMを用いた半転位ループの観察においてはV字型の構造が報告されているため[4]、これを採用した。熱膨張係数はSiよりもGaAsの方が大きいため、降温過程においてGaAs層中に引っ張り応力が発生し、半原子面がGaAsエピ層側に形成される。それに伴いスリップ面とエピ層表面との交線上にステップが発生する。これを以下、スリップステップと呼ぶことにする。スリップステップの向きは半原子面の向きに対応して、図4.1(b)のように決まることに注意する。また完全転位である 60° 混合転位が拡張して部分転位になることにより、スリップステップが単原子層以下の高さをもつサブステップとして現れる可能性もあるが[3]、簡単のためここではそのような場合を考慮しない。

VMCE成長層においては、 $[1-10]$ 方向の側面が自由表面になっているために、この方向の応力は効果的に緩和されるものと予想される。一方 $[110]$ 方向の応力は緩和されないため、2方向のスリップの発生には差が現れるはずである。

まず、AFMを用いてVMCE層上面に出現するスリップステップを観察できることを示す。この観察には図4.2(a)の断面SEM像に示したような特殊な形状をもつ成長層を用いた。このサンプルは形状非対称性が非常に大きく、成長層右側には (001) 面が一部現れているが、左肩にはファセット面が発達している。この非対称性は3.4.1で考察したようにマスクの反りによりGa斜入射の影響が顕著になり、左側からの流れ込みが促進されたためである。ファセット面と (001) 面のなす角度は、測定個所によりばらついており $15 \sim 18^\circ$ であった。これは面指数で表すと $\{11n\}B$ 面($n=4.3 \sim 5.3$)となる。この成長層上面のAFM像を図4.2(b)に示す。 $[110]$ 方向(ライン方向)は図の水平方向に平行である。図4.2(b)の上辺から $0.5 \sim 3.1 \mu\text{m}$ の領域が (001) 上面、 $3.1 \sim 5.0 \mu\text{m}$ の領域



(a)



$$b = \frac{1}{2} a \langle 101 \rangle$$

(b)

図4.1 スリップによるステップの発生。(a)V字型半転位ループを仮定した場合のスリップステップ発生の様子。(b)半原子面がGaAs層中に挿入される場合、図のような向きのステップが形成される。

が $\{11\bar{n}\}$ B面を表す。(001)面上に平行な直線が13本程度観察される。断面プロファイル測定により、これらの直線は1~3ML高さのステップであることが分かった。これらのステップエッジは表面に観察される他のステップに比べて非常に平坦であり、成長または脱離によって発生するキックが全く存在しない。したがってこれらのステップは成長後の降温過程に発生したスリップステップであると考えられる。これらのステップは、 $\{11\bar{n}\}$ Bファセット面にのると左右いずれかに曲がる。図中A、Bはそれぞれ右曲がり、左曲がりのステップを示している。この曲がり角は、2つの(111)、 $(-1-11)$ スリップ面と $\{11\bar{n}\}$ ファセット面の交線を表していると予想される。AFM像からA、Bの曲がり角を測るとそれぞれ 13° 、 16° となり異なっている。これはサンプル又はピエゾ素子のドリフトに因るものと考えられるため、平均角度 14.5° を実測値として採用する。一方、 $\{111\}$ 面と $\{11\bar{n}\}$ ファセット面($n=4.3\sim 5.3$)の交線を求めて曲がり角を計算すると $10.7\sim 13.1^\circ$ である。計算値と実測値の間に $1.4\sim 3.8^\circ$ の差があるが、サンプルが $[1-10]$ 方向に $1.7\sim 5^\circ$ 傾斜していると考えれば説明できるため、この差は誤差

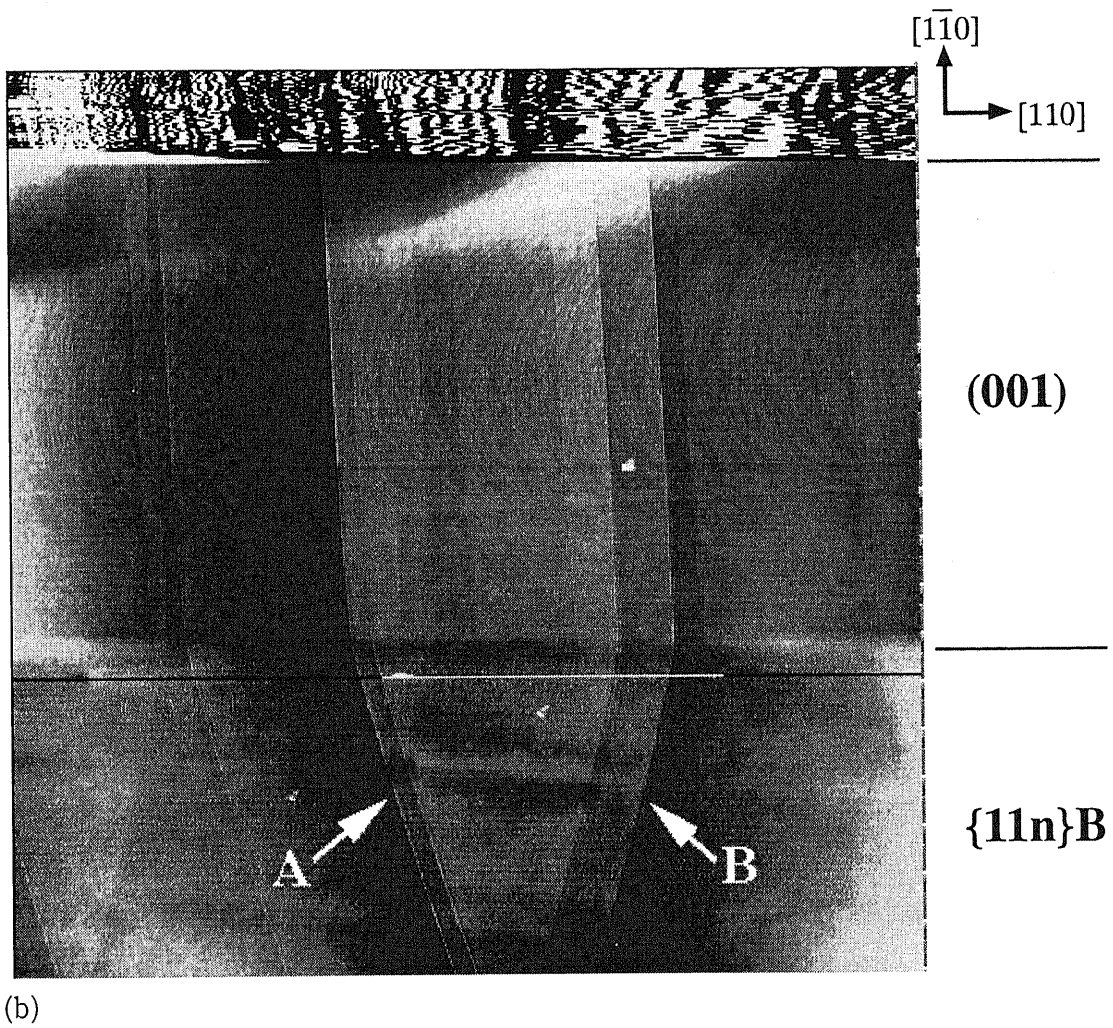
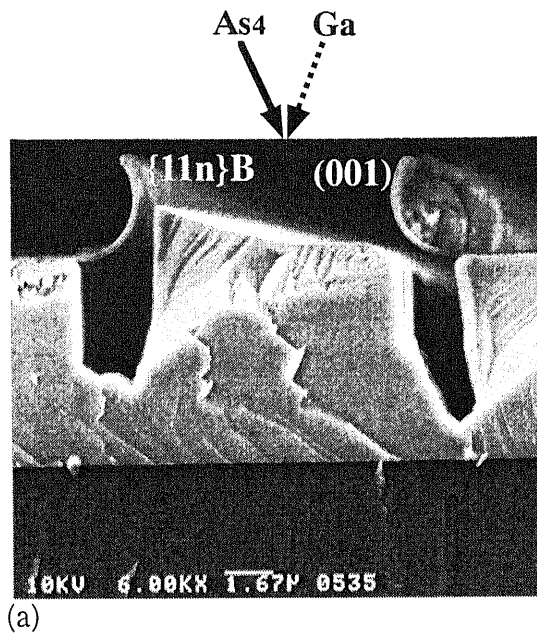


図4.2 AFMによるスリップステップの観察。観察に用いた成長層((a))の上面には(001)面と{11n}B面が現れている。AFM像((a))において非常に直線的なステップが観察される。

の範囲内で一致している。以上の結果より、この直線的なステップは{111}面上のスリップによって発生するスリップステップであり、その直線的な特徴からAFMにより容易に識別できることが分かった。

以下では、VMCE成長層上面に発生するスリップステップ密度の成長層幅依存性を測定する。本測定においては、上面に平坦な(001)面が現れているサンプルを選定した。観察に用いたのは、同一基板上に形成された高さ $3.7 \mu\text{m}$ 、幅 2.2, 3.1, 3.8, 5.8, 10.8, $20.8 \mu\text{m}$ の6種類のVMCE成長層である。このサンプルは図3.22-3.24に示したものと同一である。参照用のため、同一基板上の全面成長領域も測定に用いた。

図4.3に幅 $2.2 \mu\text{m}$ の成長層上面のAFM像を示す。図4.3(a)と図4.3(b)は成長層中心付近の同一領域を測定した像であるが、スロースキャン(以下、s-scan)方向がライン方向([110])に対してそれぞれ平行、垂直である。s-scan方向が図の上下方向になるように描画されるため、図4.3(b)は図4.3(a)に対して反時計回りに 90° 回転している。また各々の図の左側は凹凸像を、右側は同一領域の誤差信号像を表す。後者はピエゾのz方向制御回路における実際の出力と設定出力の誤差を画像化したものであり、表面の細かな凹凸の変化に敏感であり、ステップのような微細な構造の検出において有効である。図4.3(a)には、バンチングステップと単原子層ステップが観察されるが、直線的なスリップステップは観察されない。これに対して図4.3(b)では、[110]方向に垂直な一本のスリップステップ(以下、 \perp スリップステップと呼ぶ)が観察される。断面プロファイルから、この高さは1MLであることが分かった。このスリップステップは図4.3(a)の同じ位置にはみられない。これは、スリップステップとAFMのラピッドスキャン(以下、r-scan)方向が平行であるためである。したがってスリップステップ密度を測定するためには、直交する2方向で行う必要がある。

図4.4に図4.3よりもやや走査範囲の大きいAFM像を示す。本サンプルでは(001)上面が成長層幅($2.2 \mu\text{m}$)よりも狭まっているため、上面の幅は $1.6 \mu\text{m}$ となっている。像中に観察される1本の \perp スリップステップは、(001)上面の端から端まで存在することが分かる。このことは、上面又は側面において発生したと思われる半転位ループが成長層両端に到達したことを示唆する。幅 $2.2 \mu\text{m}$ の成長層においては、観察される全ての \perp スリップステップが成長層の両端まで存在していることが分かった。このことは、半転位ループにおける貫通転位のすべる距離よりも成長層幅が狭くなっていることを意味する。

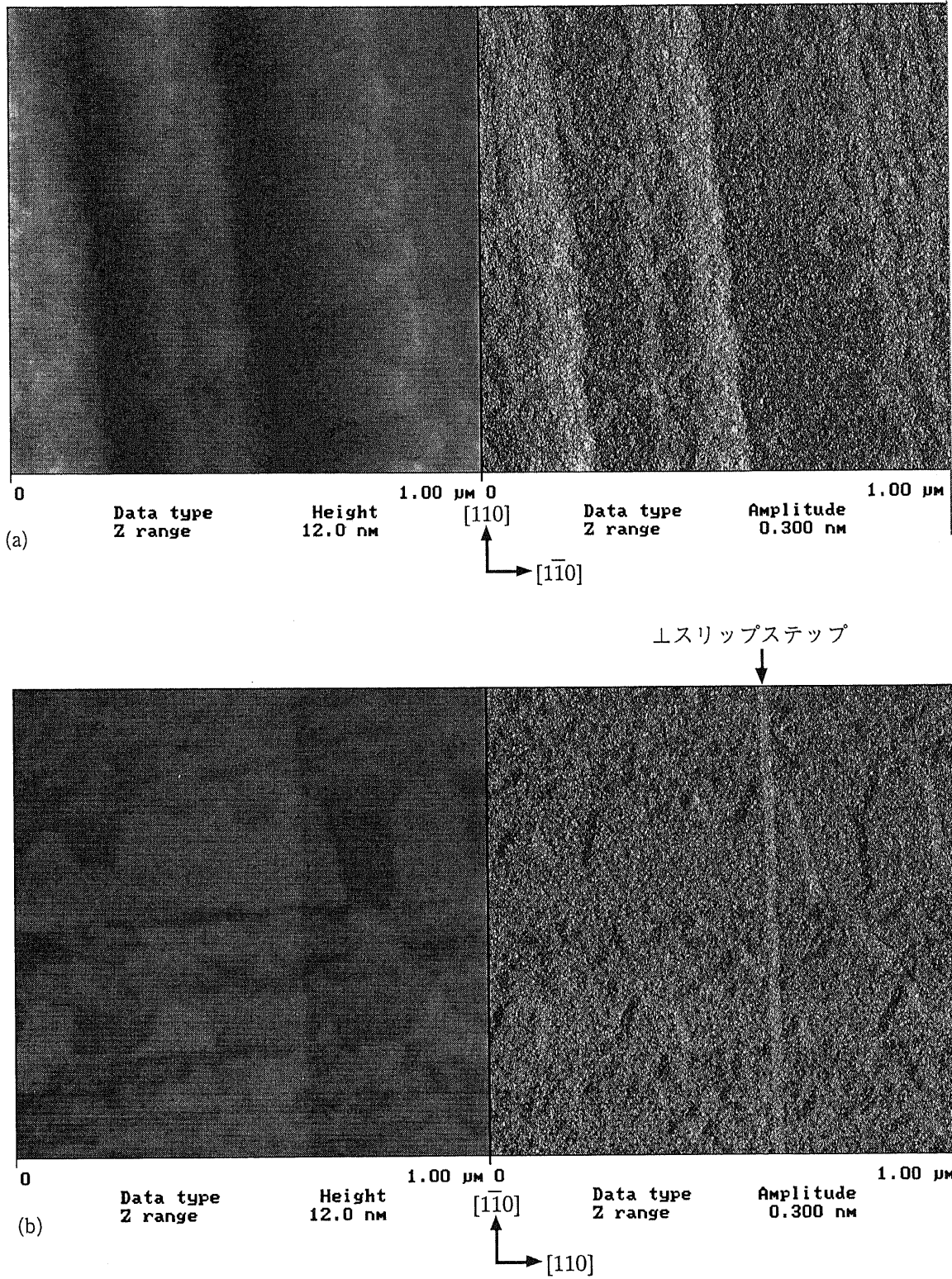


図 4.3 幅 $2.2 \mu\text{m}$ の成長層上面の AFM 像。s-scan 方向はそれぞれラインに (a) 平行及び (b) 垂直である。各々の図の左側は凹凸像を、右側は誤差信号像を表す。(a) においてはスリップステップは観察されない；(b) では 1 本の \uparrow スリップステップが観察される。

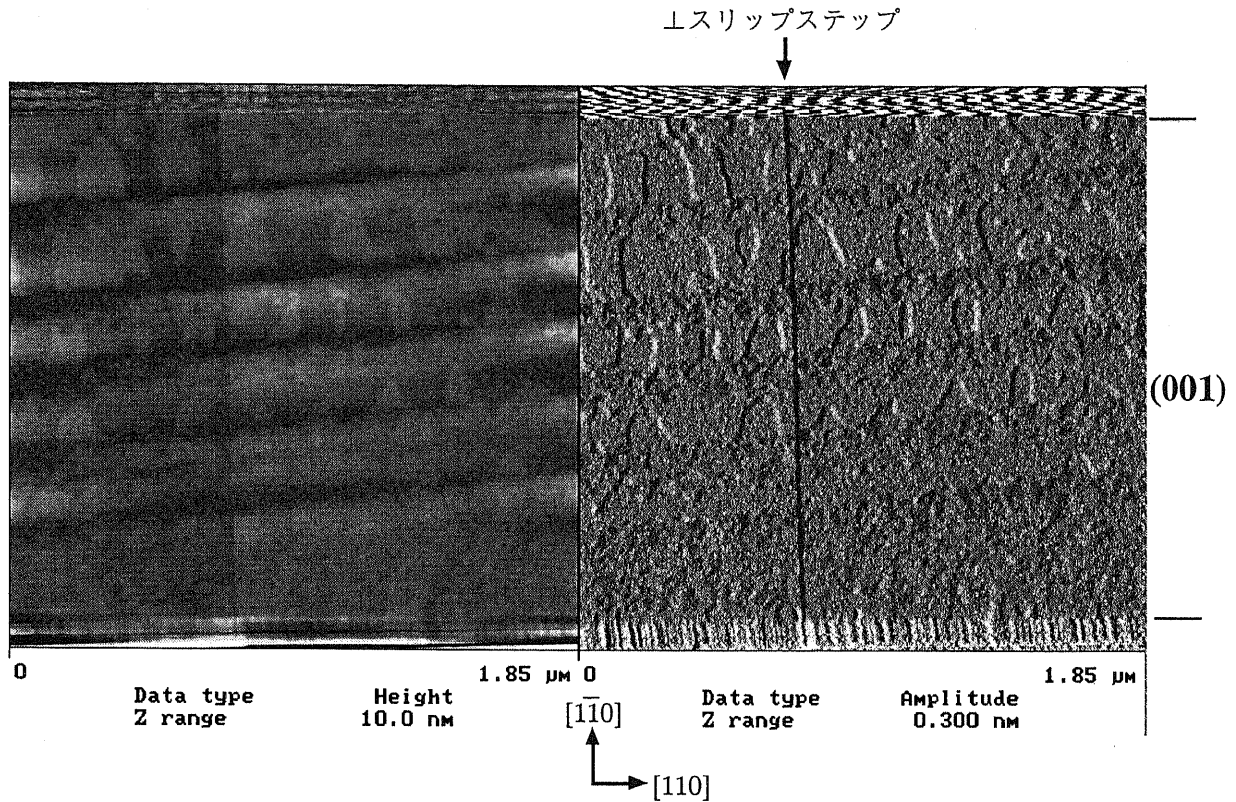


図 4.4 幅 $2.2 \mu\text{m}$ の成長層上面の AFM 像。上スリップステップは成長層両端まで存在している。

図 4.5 に幅 $5.8 \mu\text{m}$ の成長層上面の AFM 像を示す。図 4.5(a) と図 4.5(b) はそれぞれ、s-scan 方向がライン方向に対して平行及び垂直である。図 4.5(a) は、図 3.24 と同一の図である。図 4.5(a) 中に長さの異なる 8 本の $[110]$ 方向に平行なスリップステップ(以下、//スリップステップと表す)が観察される。これは、成長層幅が広くなり $[1-10]$ 方向の応力が大きくなったため、 $[110]$ 方向に平行なミスフィット転位が導入され始めていることを意味する。一方、図 4.5(b) には 9 本の上スリップステップが現れている。本数では大差が無いが、上スリップステップの方が長いことが分かる。

さらに興味深いことは、//スリップステップがしばしば上スリップステップと結合していることである。図 4.5(a) 及び図 4.5(b) の誤差信号像中の点 A ~ E において、//スリップステップと上スリップステップが結合していることが分かる。E の場合は、//スリップステップと上スリップステップの間に $[110]$ と $[1-10]$ のどちらにも平行でないステップが存在している。らせん転位は特定のすべり面をもたないため、すべり運動中に交差する $\{111\}$ 面にすべり面を変えうることが知られている。この現象はクロススリップと呼ばれている。半転位ループにおいて貫通転位成分がらせん転位である可能性は十分に考えられる。実際、図 4.1(a) に示したような V 字型のループでは 2 本の貫通転位のうち 1 本はらせん転位であると推測されている[4]。したがって、 $\{1-11\}$ B 面で発生した半転位ループにおけるらせん転位部分が $[110]$ 方向の強い応力を受けて図 4.6 のようにクロススリップした場合、点 A ~ E にみられるようなステップ方向の変化が起こる可能性がある。これに対して、点 A', B' では //スリップステップが終端している。これに対する説明としては、(1)半転位ループの貫通転位成分が残存している、(2)GaAs/Si 基板から伝播した貫通転位のすべりによって形成されている、の 2 つが考えられる。

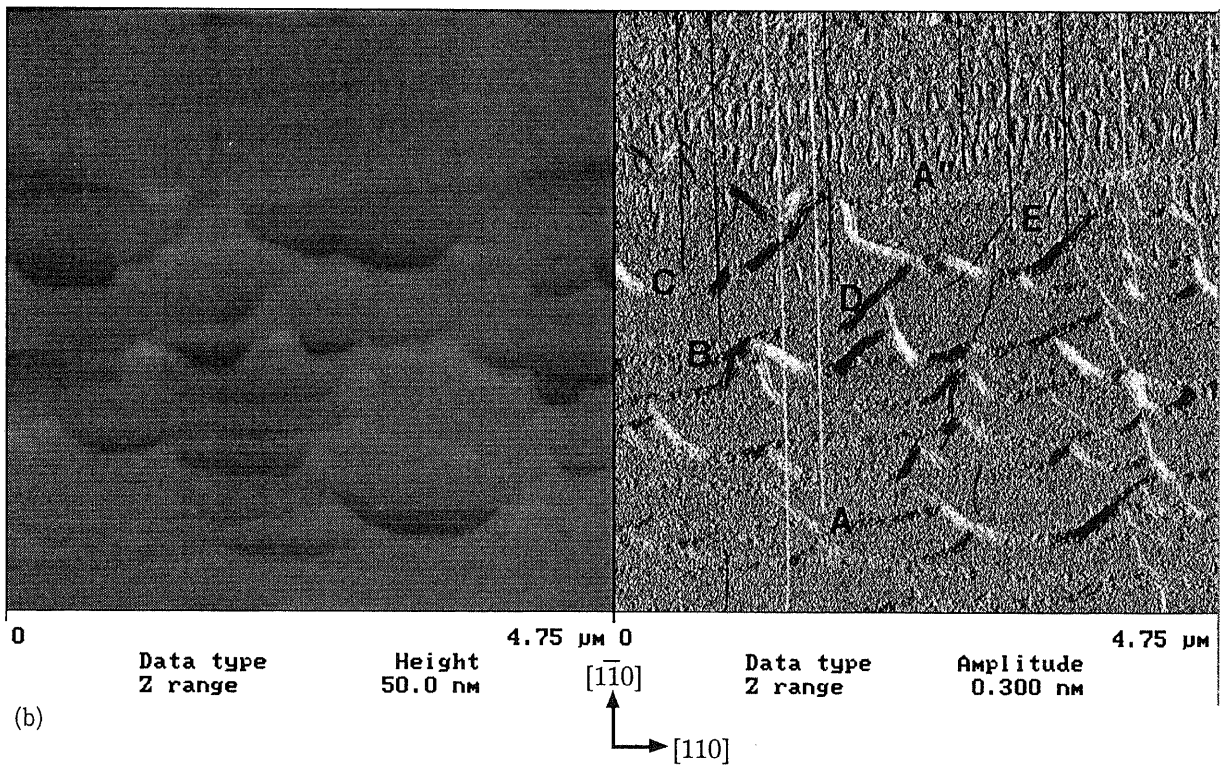
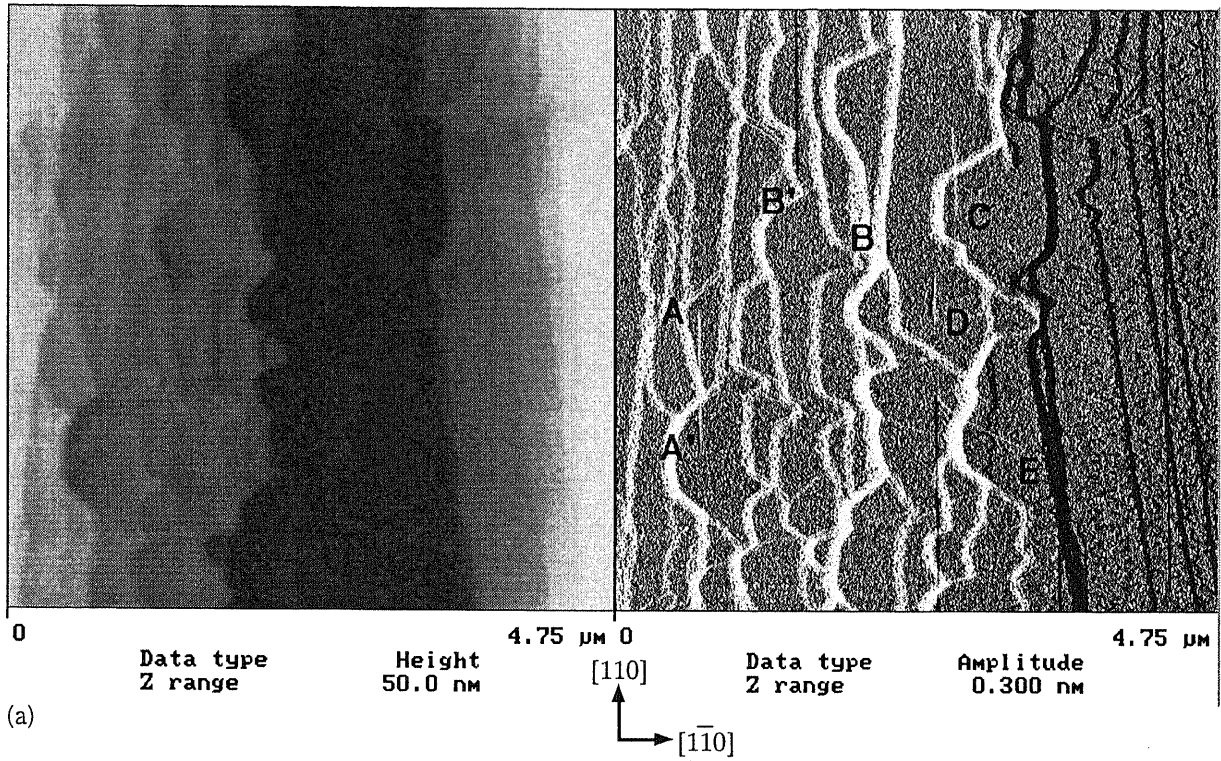


図4.5 幅 $5.8\ \mu\text{m}$ の成長層上面のAFM像。s-scan方向はそれぞれラインに(a)平行及び(b)垂直である。一部の//スリップステップは、点A～Eで \perp スリップステップに結合しているように見える。

しかし、それらの点による成長ステップへの影響がみられないため、前者が有力であると考えられる。一方、図4.5(b)の誤差信号像中のA''は上面半ばにおいて終端している \perp スリップステップである。これは降温過程の遅い段階で導入された半転位ループであると推測され、十分にすべり運動が行われなかったことを示唆する。降温速度を遅くすることにより、InP/Si成長層中の転位密度が減少することが報告されている[5]。VMCE成長層においても、低降温速度を用いることによりA',B'やA''のような(001)上面内で終端しているステップの割合を減少できる可能性がある。

さらに、図4.7に幅 $20.8\ \mu\text{m}$ の成長層上面のAFM像を示す。図4.7(a)と図4.7(b)は成長層の中心付近の $5\ \mu\text{m}$ 角の領域であり、s-scan方向はそれぞれライン方向に対して平行及び垂直である。図4.7(a)における \parallel スリップステップの長さ及び密度が増加していることが分かる。しかし、本数は \parallel スリップステップが11本、 \perp スリップステップが16本であり、 \parallel スリップステップの方が少ない。したがって幅 $20.8\ \mu\text{m}$ でも $[1-10]$ 方向の応力がある程度緩和されていることが分かる。

広範囲のAFM観察を行うことにより、スリップステップ密度の成長層幅依存性を求めた。密度としては $[110]$ 又は $[1-10]$ に平行な線分を引き、それを横切る $1\ \mu\text{m}$ 当たりのスリップステップ本数を求めた。図4.8にスリップステップ密度の成長層幅依存性を示す。X軸で ∞ と示したのは、同一基板上の全面成長領域における値である。成長層幅を狭くするにつれて両方向のスリップステップの密度が減少する傾向が得られた。特に、幅 $2.2\ \mu\text{m}$ の成長層の \parallel スリップステップ密度は、幅 $1\ \mu\text{m}$ ×長さ $11.4\ \mu\text{m}$ の測定領域で0であった。このことは、成長層両端が自由表面となっているために歪みが緩和されていることを意味する。

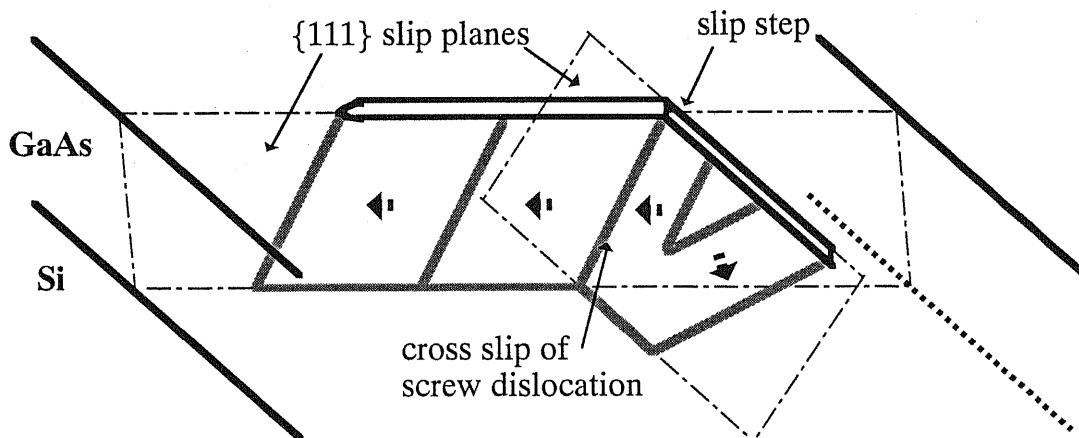


図4.6 クロススリップによるステップ方向の変化。

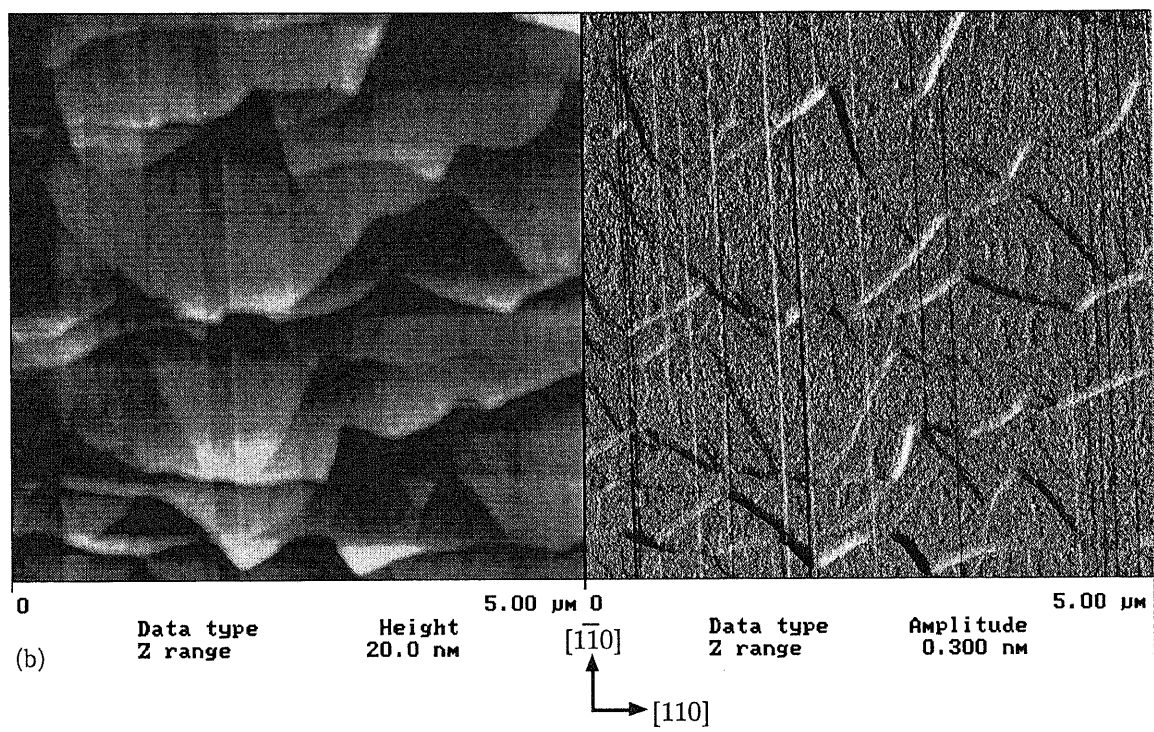
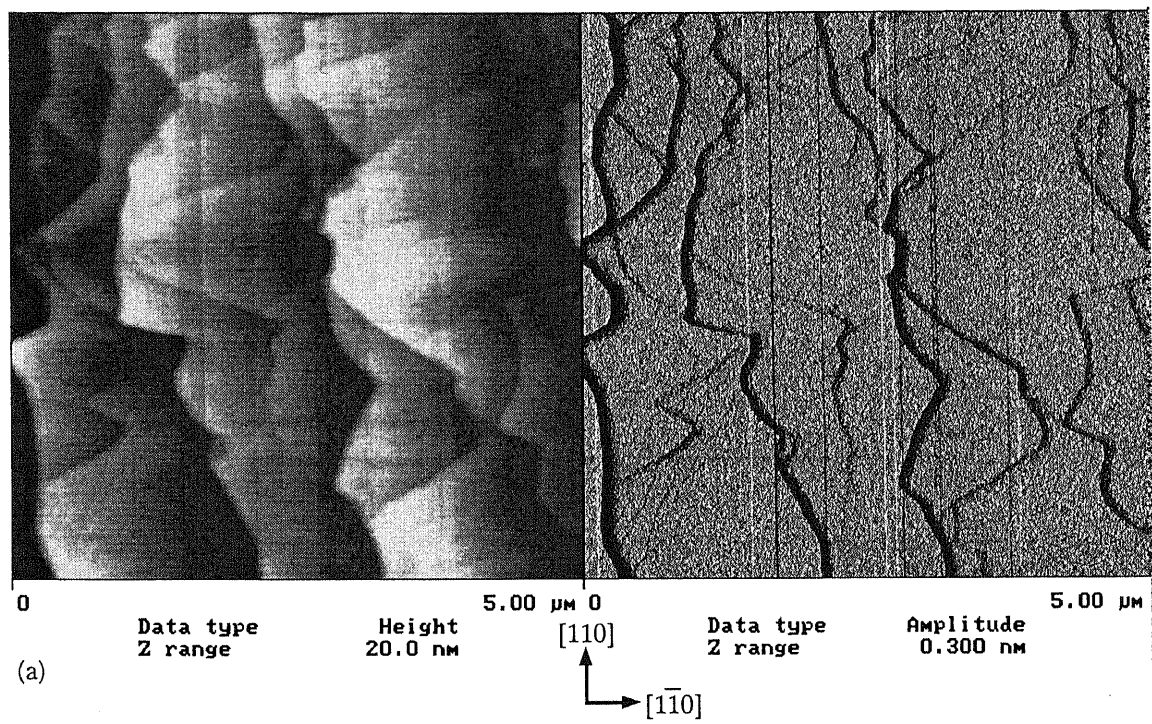


図4.7 幅 $20.8 \mu\text{m}$ の成長層上面のAFM像。s-scan方向はそれぞれラインに(a)平行及び(b)垂直である。

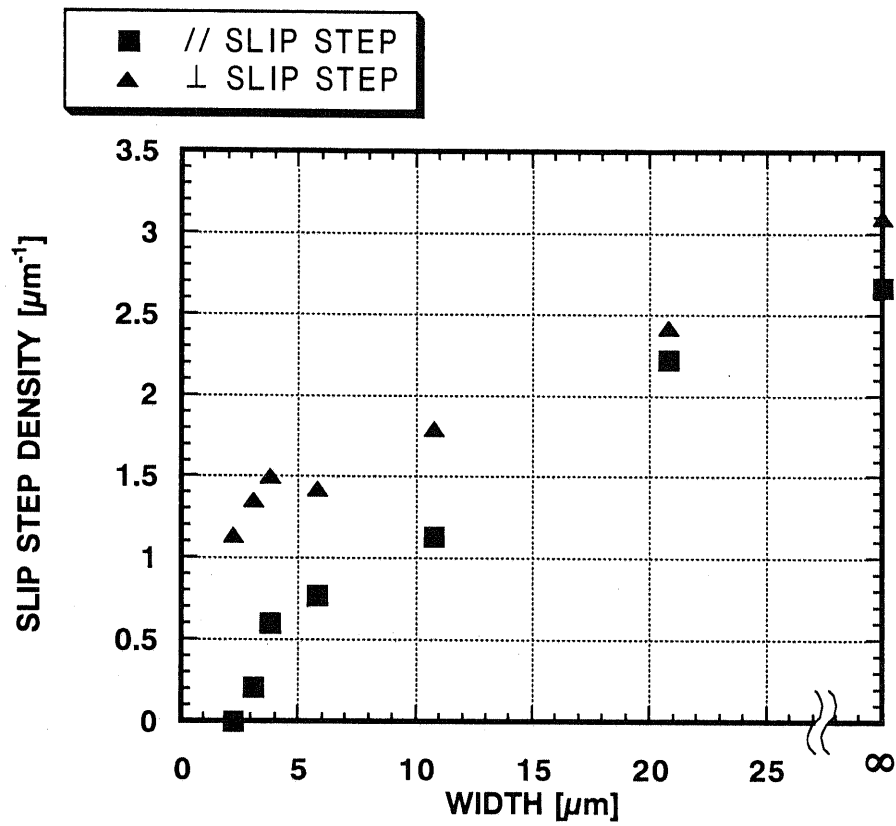


図 4.8 スリップステップ密度の成長層幅依存性。

4.3 フォトルミネッセンス測定による残留応力の評価

残留応力の緩和効果を調べるために、VMCE 成長層と参照用試料のフォトルミネッセンス(Photoluminescence : PL)測定を行った。得られたスペクトルを図4.9に示す。各 PL スペクトル強度を揃えて表示している。測定サンプルは、高さ $3.3 \mu\text{m}$ 、幅 $1.5 \mu\text{m}$ (縦横比 2.2) の VMCE 成長層 (図中 VMCE)、参照用として GaAs ホモエピタキシャル層 (図中 GaAs/GaAs)、Si(001) 基板上に全面的に成長させた $3 \mu\text{m}$ の GaAs 層 (図中 as-grown GaAs/Si) である。全ての試料はアンドープである。as-grown GaAs/Si サンプルのピークは、歪みのために GaAs/GaAs のピークよりも長波長側にシフトしている。VMCE サンプルのピークのシフトはそれよりも小さく、as-grown GaAs/Si サンプルに比べて歪みが緩和されていることが分かる。

PL スペクトルのピークシフトは残留応力に比例する [6]。ただし、加わっている応力の状態によってその関係式が変わってくるので注意が必要である。

全面成長の場合、熱膨張係数差によってエピ層面内に二軸性の引っ張り応力が働いている。これは静水圧と法線方向の圧縮応力の重ね合わせと考えられる。したがってピークシフトに加えて、重い正孔(HH)と軽い正孔(LH)の縮退が解ける。二軸性応力 X [10^9dyn/cm^2] に対して、ピークシフト ΔE_{HH} 、 ΔE_{LH} [meV] は、以下のように与えられる [7]。

$$\begin{aligned} \Delta E_{HH} &= -10.23X \\ \Delta E_{LH} &= -4.85X \end{aligned} \quad (1)$$

一方、ストライプ形状の成長層に対しては、成長層側面が自由表面となるためストライプに垂直方向に働く応力が緩和される。よって理想的にはストライプ方向の単軸性引っ張り応力になると考えられる。この場合、[110] 方向の単軸性引っ張り応力 X [10^9dyn/cm^2] に対して ΔE_{HH} 、 ΔE_{LH} [meV] は、以下のように与えられる [8]。

$$\begin{aligned} \Delta E_{HH} &= -1.4X \\ \Delta E_{LH} &= -6.1X \end{aligned} \quad (2)$$

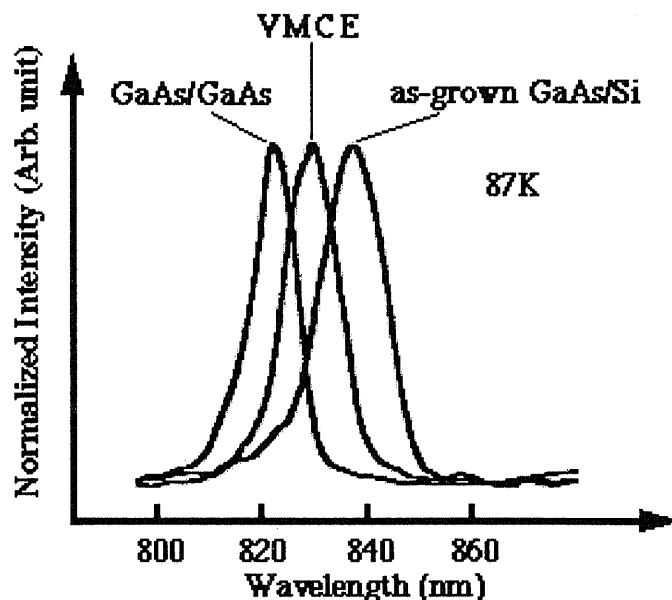


図4.9 VMCE 成長層からの空間分解 PL スペクトル。ピーク強度を揃えて表示してある

表1に、VMCE成長層及びas-grown GaAs/Siサンプルのピークシフト[meV]、残留応力値を示す。VMCE成長層のうち、Aは幅 $2.2\mu\text{m}$ 、高さ $4.2\mu\text{m}$ (縦横比1.9)の成長層、Bは幅 $20.2\mu\text{m}$ 、高さ $3.5\mu\text{m}$ (縦横比0.2)の成長層、Cは成長層A,Bと同一基板上にある $10\text{mm}\times 4\text{mm}$ の全面成長領域である。as-grown GaAs/Siサンプルは膜厚 $3\mu\text{m}$ の全面成長サンプルである。残留応力の算出は、VMCE成長層A,Bについては(2)式を、VMCE成長層C及びas-grown GaAs/Siサンプルに対しては(1)式を用いた。成長層Aでは、単軸性応力を仮定して計算した値($2.3\times 10^9\text{dyn/cm}^2$)と、同条件で全面成長したC層の二軸性の応力値($2.3\times 10^9\text{dyn/cm}^2$)が一致するため、ストライプに垂直な面内応力が緩和され、ほぼ単軸性応力となっていると考えられる。幅 $20.2\mu\text{m}$ の成長層Bについても、ややピークシフトは大きいものの、単軸性応力を仮定した値($2.5\times 10^9\text{dyn/cm}^2$)は成長層Aとほぼ一致するため、単軸性に近い状態になっている。一方、典型的なas-grown GaAs/Siサンプルの二軸性応力値は $2.1\times 10^9\text{dyn/cm}^2$ と計算される。成長層Cの応力との差は、as-grownサンプルの成長温度は 580°C であるのに対し、VMCE成長は 640°C 以上の高温で行われていることに起因すると思われる。

現在のPL測定はレンズによりレーザー光径を絞っているが、空間的な分解能は数 μm であるため、VMCE層周辺の層からの発光も拾っている可能性がある。したがってスペクトルのブロードニングやピーク値のずれが起きている恐れがある。

表1 各成長層のPLピークシフトと残留応力計算値

	VMCE成長層			as-grown GaAs/Si層
	A 幅 $2.2\mu\text{m}$ 、縦横比2	B 幅 $20\mu\text{m}$ 、縦横比0.2	C $10\text{mm}\times 4\text{mm}$ の全面成長	
ピークシフト (meV)	13.8	15.4	23.6	21.6
残留応力 (dyn/cm^2)	2.3×10^9 (単軸性)	2.5×10^9 (単軸性)	2.3×10^9 (二軸性)	2.1×10^9 (二軸性)

4.4 二次元有限要素法による応力分布計算

前節の結果から、VMCE 成長によってストライプに垂直な面内応力が緩和され、単軸性応力となっていることが分かったが、成長層中でどのように応力が緩和されているかを計算により調べる必要がある。

ストライプ内の応力分布の解析解を算出する試みも行われてきたが[9][10]、その多くは膜厚方向の応力変化を無視しているために、本実験のような成長層形状には不適である。

そこで膜厚方向の応力変化を取り入れるために、有限要素(Finite Element : FE)法による計算が適用され始めた。初期のFE計算においては、成長層/基板界面を固定し、基板側の変形が無視されたが[11]、実際にはこの効果を考慮する必要がある[12]。本節では、文献[12]に基づいて二次元的FE計算を行った。

FE計算は、文献[13]に付属の2次元FE計算プログラムを用いて行った。GaAs、Siは等方性弾性体と考え、ストライプ方向には歪みが無い平面歪み状態を仮定している。実際にはストライプ方向にも歪みを生じているためこの仮定は正しくない。この効果を取り入れるためには3次元FE計算を行う必要があるが、計算量が飛躍的に増大してしまうために、2次元FE計算が用いられることが多い。したがって、本計算ではストライプに垂直な方向にのみ歪みを与え、その緩和を調べていることになる。計算で用いられた構造を図4.10に示す。また、全ての境界は自由であると仮定した。

本計算では、成長温度(650°C)では格子不整歪みが完全に緩和されており、応力は熱歪みにより発生すると仮定した。また、室温に降温する過程でミスフィット転位の発生による熱歪みの緩和は無いものとする。熱歪み ϵ と、バイメタルモデルによる応力 σ_0 は以下のように与えられる。

$$\epsilon = (\alpha_{GaAs} - \alpha_{Si})(T_G - T_0)$$

$$\sigma_0 = \frac{E_{GaAs}}{1 - \nu_{GaAs}} \epsilon$$

ここで α_{GaAs} 、 α_{Si} はそれぞれGaAs及びSiの熱膨張係数、 T_G 、 T_0 は成長温度と測定温度、 E_{GaAs} と ν_{GaAs} はそれぞれ、GaAsのヤング率、ポアソン比である。これより、 $\epsilon = 0.0025$ 、 $\sigma_0 = 3.1 \times 10^9 \text{ dyn/cm}^2$ と計算される。この ϵ を初期歪みとしてGaAs層に加え、系のエネルギーが最小となるような形状を算出した。

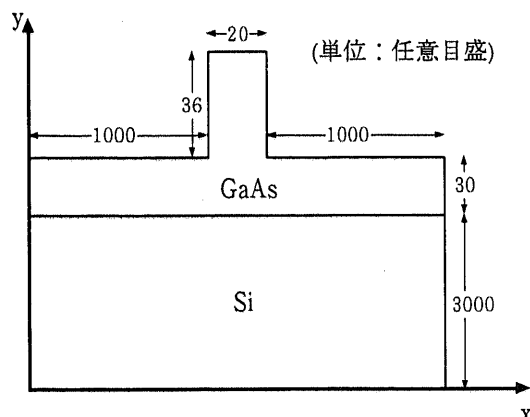


図 4.10 2次元FE計算に用いたサンプル構造。

FE 計算により得られた成長層内の最大主応力の分布図を図 4.11 に示す。矢印の大きさは応力の大きさに比例する。外側に向いた矢印は引っ張り応力を、内側に向いた矢印は圧縮応力を表す。下地の GaAs/Si 界面における x 方向垂直応力は $2.2 \times 10^9 \text{ dyn/cm}^2$ であるが、成長層の先端に向かうにつれて急速に減衰することが分かる。成長層表面の中央及び端部では、それぞれ 1.3×10^7 、 $5 \times 10^6 \text{ dyn/cm}^2$ となっており、表面での x 方向垂直応力は、計算された σ_0 の値の 1/100 以下に緩和されていることが分かった。

以上より、VMCE 成長内ではストライプに垂直な面内応力が効果的に緩和されることが分かった。さらに、降温過程においてはミスフィット転位の導入による緩和も起こるため、実際には計算値よりも小さくなる。

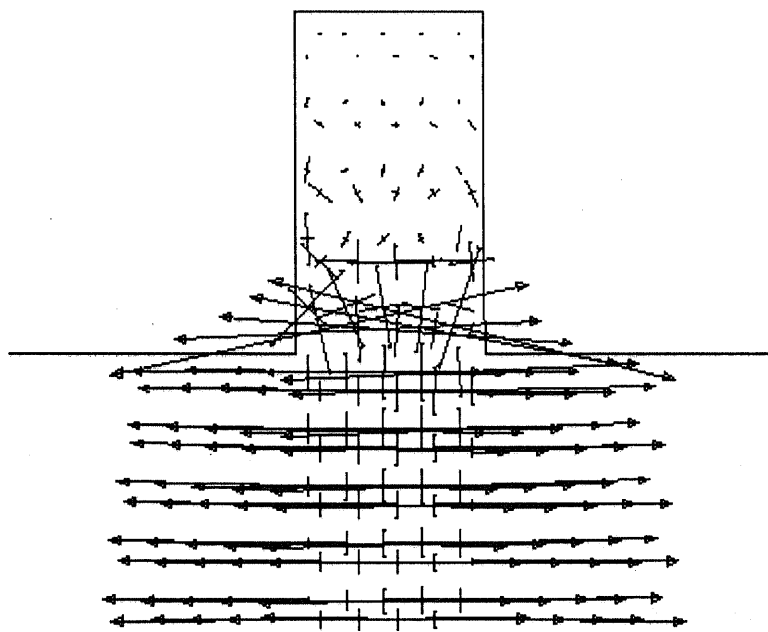


図 4.11 2次元FE計算により得られた最大主応力の成長層内における分布図。

4.5 溶融 KOH エッチングによる評価

溶融 KOH エッチング法を用いて、VMCE 成長層上面のエッチピット密度(Etch Pit Density : EPD)を評価した。このエッチングによって GaAs 中の転位ピットを出すことができる。エッチング条件は全て 390℃で 2 秒間である。

KOH エッチングの適用可能な面方位は $\{001\}$ 面である。したがって、成長層上面に(001)面が現れているサンプルを用いる必要がある。また、このエッチングにより成長層の肩が削られ、(001)上面の面積が狭まることが分かった。本測定では、エッチング後に残された(001)上面における EPD を算出した。十分な観察領域を確保するためには、成長層の幅は最低でも $2 \mu\text{m}$ 以上必要である。

測定に用いた VMCE 成長サンプルは次の 2 つである。まずサンプル A は、基板温度 638℃、As 圧 7×10^{-6} Torr で 15 時間成長したものである。サンプル A 上には幅 2.2、2.7、3.8、5.6、10.3、20.5 μm の 6 種類の VMCE 成長層が形成されている。成長層高さは全て 3.2 μm である。一方サンプル B の成長条件は、基板温度 650℃、As 圧 1.0×10^{-5} Torr、成長時間 6 時間である。この上には高さ 1.5 μm 、幅 2.0、2.6、3.5、5.3、10.2、20.3 μm の 6 種類の成長層が形成されている。サンプル A、B 共に同一の GaAs/Si 基板を使用している。その EPD は $1.2 \times 10^8 \text{cm}^{-2}$ である。

サンプル A 上の全面成長領域には、図 3.17(b)に示したような P-ヒロックが現れていた。全面成長領域をエッチングした結果を図 4.12 に示す。図 4.12(a)にエッチング後の P-ヒロックを示す。ヒロック中央に位置する面欠陥の両端にエッチピットが現れている。3.5.3 における考察からこの面欠陥は微小双晶であると考えられ、これらのエッチピットはその両端に存在する部分転位に対応する。図 4.12(b)には P-ヒロックの無い領域をエッチングした結果を示す。平坦なテラス領域も存在しているが、ヒロックから供給される多くのバンチングステップのため表面は荒れている。この図よりテラス領域上にはピットが観察されるが、バンチングステップ領域(図中白い領域)ではピットがあまりみられないことが分かる。このことは、転位が少ないことを意味するのではなく、バンチングステップ領域が(001)面から大きく外れていることに起因する。したがって、ヒロックやバンチングステップが多く発生している領域では、正確な EPD 測定ができない。この理由から、全面成長領域と幅 20 μm 以上の VMCE 成長層では EPD 測定ができなかった。

サンプル A 上の幅の異なる VMCE 層をエッチングして得られる典型的な表面を図 4.13 に示す。図 4.13(a)に幅 2.2 μm の成長層(縦横比 1.41)をエッチングした表面を示す。エッチングによって(001)面の幅が約 1 μm に減少している。図中には 4 個のエッチピットがみられる。図 4.13(b)には幅 5.6 μm の成長層(縦横比 0.57)をエッチングした結果を示す。図中に 48 個のピットが観察される。

一方サンプル B 上の VMCE 層をエッチングした結果を図 4.14 に戻す。図 4.14(a)に幅 2.0 μm (縦横比 0.75)、図 4.14(b)に幅 5.3 μm (縦横比 0.28)の成長層を示す。図中に観察されるピット数はそれぞれ 8 個と 59 個である。図 4.13 と図 4.14 を比較すると、成長層高さを増すとピット数が減少することが分かる。

成長層の縦横比と EPD との関係を知るために、サンプル A、B 上の各 VMCE 成長層の平均 EPD の測定を行った。測定に用いたのは、サンプル A 上に形成された幅 2.2

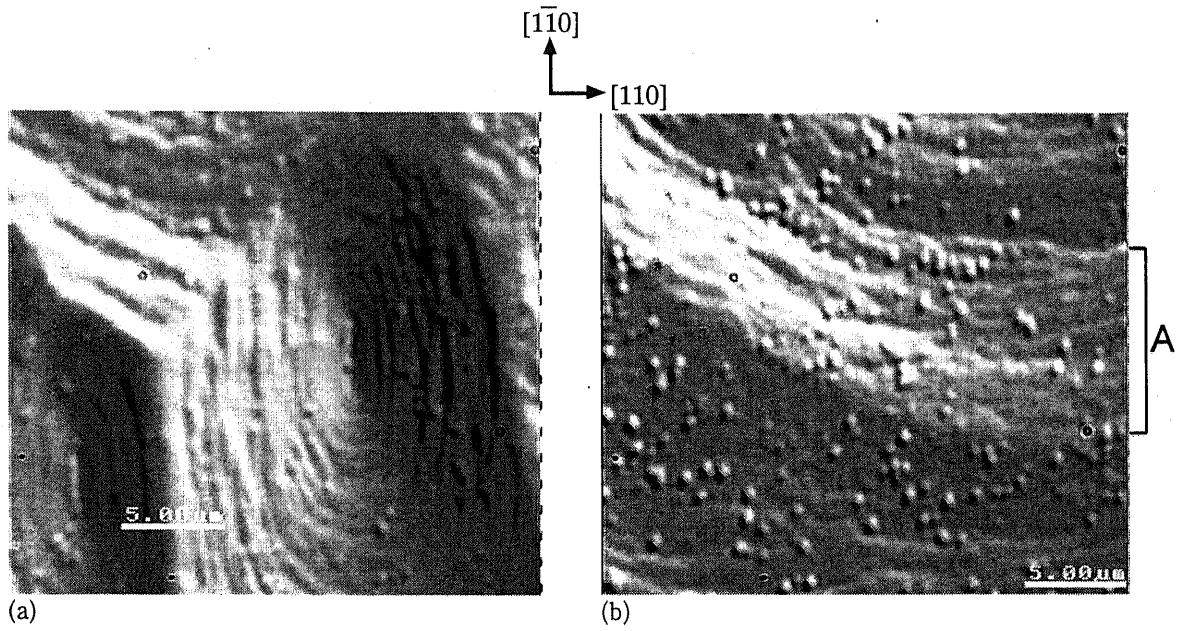


図4.12 溶融KOHエッチング後の全面成長領域表面のノルスキー微分干渉顕微鏡像。エッチング条件は390℃で2秒間である。(a)ヒロックの中心には部分転位に対応すると思われるピットが観察される；(b)バンチングステップが多い領域(A)にはピットがあまり現れない。

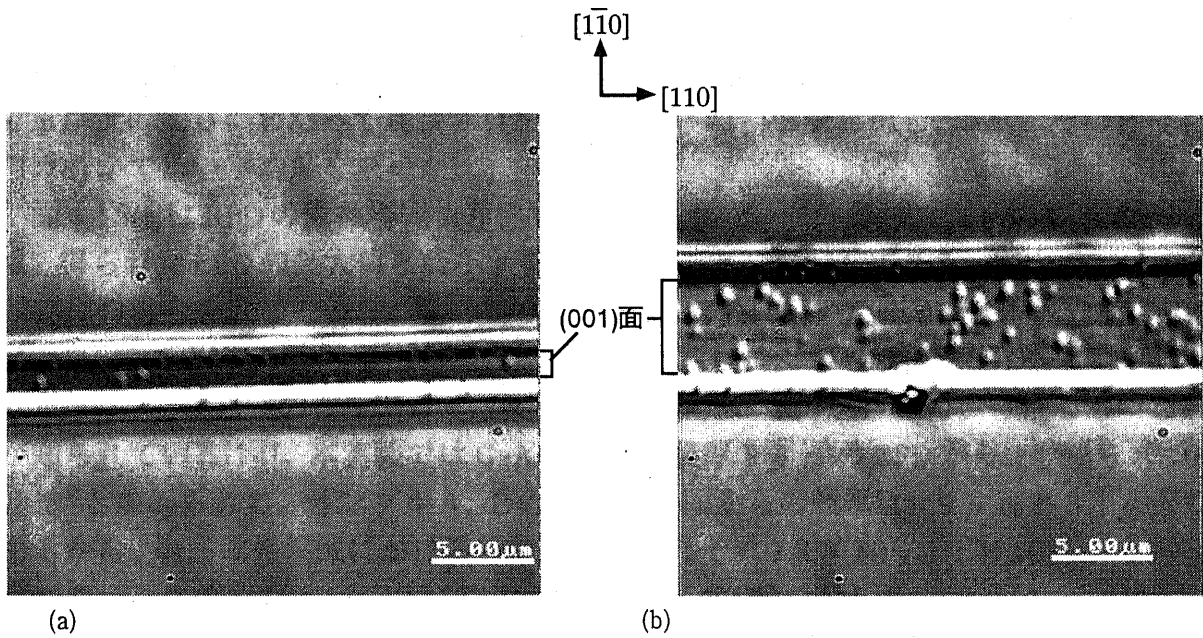


図4.13 溶融KOHエッチング後のVMCE成長層(サンプルA)表面のノルスキー微分干渉顕微鏡像。成長層幅はそれぞれ(a)2.2 μm、(b)5.6 μmである。エッチング後に残った(001)面にピットがそれぞれ(a)4個、(b)48個観察される。

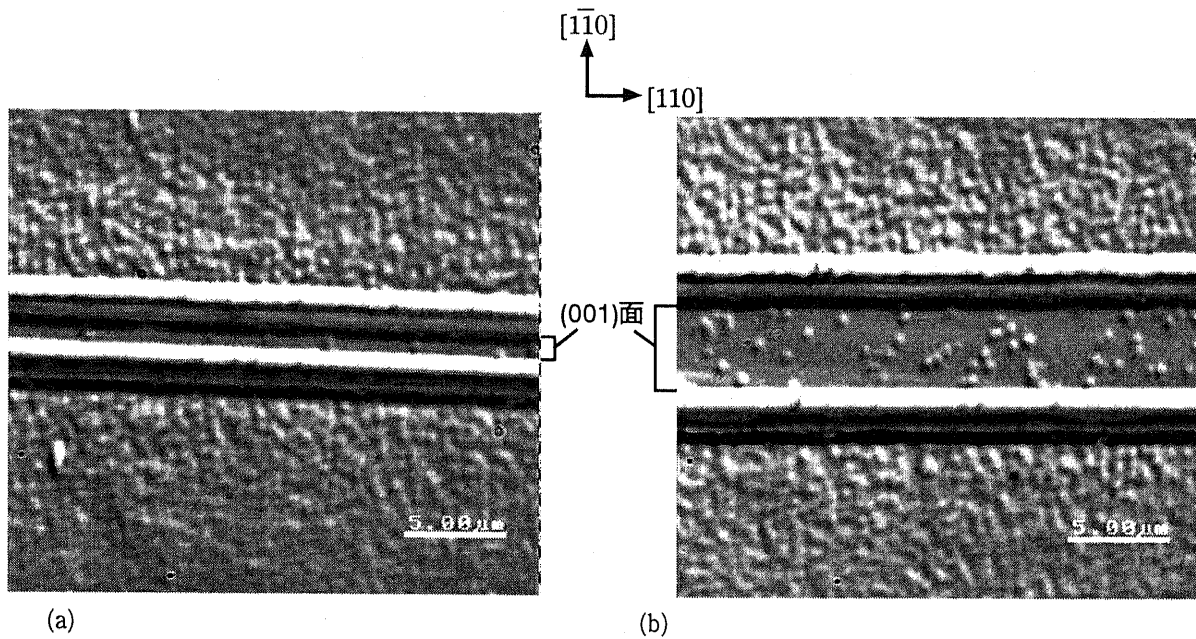


図4.14 熔融KOHエッチング後のVMCE成長層(サンプルB)表面のノルスキー微分干渉顕微鏡像。成長層幅はそれぞれ(a)2.0 μm 、(b)5.3 μm である。エッチング後に残った(001)面にピットがそれぞれ(a)8個、(b)59個観察される。

～10.3 μm の5種類の成長層、及びサンプルB上の幅2.0～10.2 μm の5種類の成長層である。エッチピットの分布には揺らぎが存在するので、平均的なEPD値を得るために多くの箇所測定を行った。特に幅の狭い成長層(幅3 μm 未満)に対しては、100 μm 以上の長さにわたって連続写真を撮影して平均EPDを算出し、さらにその測定を何カ所かで行い平均値を求めた。

図4.15(a)にEPDの成長層幅依存性を示す。幅の狭い成長層(幅3 μm 未満)に対しては、得られたEPDの最大値と最小値をエラーバーとして示してある。図中の ∞ は、全面成長の場合を表している。参照のため、VMCE成長に用いたGaAs/Si基板のEPD($1.2 \times 10^8 \text{cm}^{-2}$)をここに黒丸(●)で示した。全面成長GaAs/Si層の転位密度 $D(x)$ は、膜厚(x μm)が10 μm 以下の領域では x に反比例し、 $D(x)=C/x$ (C :定数)の依存性をもつことが知られている[14]。本実験ではGaAs/Si基板(膜厚3 μm)のEPDから、 $C=3.6 \times 10^8 \mu\text{m}^{-1}$ と求められる。サンプルA、BのSi基板界面からの膜厚は4.9 μm と3.4 μm であるから、全面成長領域における転位密度はそれぞれ 7.3×10^7 、 $1.1 \times 10^8 \text{cm}^{-2}$ と推定される。この値を図4.15(a)中に白四角(□)、白三角(Δ)で示した。

幅5～10 μm の領域においては縦横比が小さいため、縦横比による転位低減効果は期待できない。よってサンプルA、B間のEPDの差は、膜厚増加による転位密度減少効果によるものである。また、どちらのサンプルにおいても幅10 μm のEPD値は推定された全面成長領域の転位密度よりもかなり低くなっている。これは、4.2節で述べたように幅10 μm の成長層においても応力の発生がある程度低減されることにより、降温過程における転位の発生が抑えられたためだと考えられる。両サンプル共に、成長層幅が4 μm 以下になるとEPDが急激に減少する傾向が得られた。その減少の度合いはサンプルAの方が大きいことが分かる。この効果は縦横比が増大することに因るものと考えられる。そこで各成長層の縦横比を求め、EPDの縦横比依存性を図4.15(b)

にまとめた。

図4.15(b)より、縦横比が大きくなるにつれてEPDが減少する傾向がみられた。サンプルA上の幅 $3.8\ \mu\text{m}$ の成長層(縦横比0.83)と、サンプルB上の幅 $2.0\ \mu\text{m}$ の成長層(縦横比0.75)は、幅は異なるが縦横比が比較的近い。そのEPDも比較的近い値を示していることから、この領域ではEPDは膜厚に依らず、縦横比の関数になっていることが示唆される。つまり、縦横比0.75以上の領域では縦横比増加によるEPD低減効果が支配的になっていると考えられる。そのEPD低減機構としては、

- (i)幾何学的形状の効果によって、成長層上面に伝播する転位が減少するため。
 - (ii)降温過程に発生する熱応力の緩和によって、転位の発生を低減できるため。
- の両方が働いていると考えられる。

最大の縦横比(1.41)をもつ成長層では、GaAs/Si基板に比べてEPDが約80%低減されている。しかし、その値($2.1 \times 10^7\text{cm}^{-2}$)はまだかなり大きいと言える。その原因を、上記の(i)、(ii)の機構をもとに考察する。

まず、(i)の機構について考えてみる。全面成長したGaAs/Si成長層中に存在する貫通転位を断面TEMを用いて観察した研究によると、主要な貫通転位は[001]方向のらせん転位以外は全て{111}面上に乗っており、その転位線の方向は $\langle 101 \rangle$ と $\langle 112 \rangle$ であると報告されている[15]。したがって{111}面上の転位線のとりうる方向は、8方向存在する。本成長におけるライン方向は[110]に平行であることから、(1-11)B面又は(-111)B面上に乗っている6方向の貫通転位は縦横比の増加と共に側面に抜ける可能性がある。しかし、残る[112]と $[-1-12]$ の2方向は{111}A面上にありラインに平行に走っているため、長いラインを用いる場合は側面に抜ける効果は期待できない。[001]方向のらせん転位は存在せず、8方向の貫通転位の割合が全て等しいと仮定すると、VMCE成長に用いたGaAs/Si基板中に存在する[112]と $[-1-12]$ 方向の転位密度は $3 \times 10^7\text{cm}^{-2}$ となる。この値は、縦横比1.41の成長層にみられるEPDとオーダー的には一致している。しかし、実際には転位線の方向に依存してその転位密度には偏りがあるはずであるから、この値は正確ではない。

それに加えて、縦横比1.41でも{111}B面上の転位を完全に除去できていない可能性がある。その理由は、転位線は必ずしも直線ではなく応力の存在によって曲げられる可能性があるからである。

一方(ii)については、4.2~4.4節で観察されたようにラインに垂直な方向に発生する熱応力は効果的に緩和されていると考えられる。一方、ラインに平行な方向の熱応力は存在しているが、幅 $3\ \mu\text{m}$ 以下の成長層ではスリップが成長層両端に到達していることから貫通転位を生じていないことが期待される。

以上により、縦横比1.41の成長層上面に存在する転位は、(i)の幾何学的形状効果によって除去しきれなかった貫通転位であると考えられる。

実用化に向けてEPDをさらに低減するためには、(a)縦横比をさらに上げる、(b)ラインの長さを短くする、(c)低転位密度のGaAs/Si基板を用いる、(d)転位フィルタリング手法をVMCE成長中に適用する、などの方針が考えられる。

(a)については、成長層高さを増すか、成長層幅を狭めることによって実現できる。こ

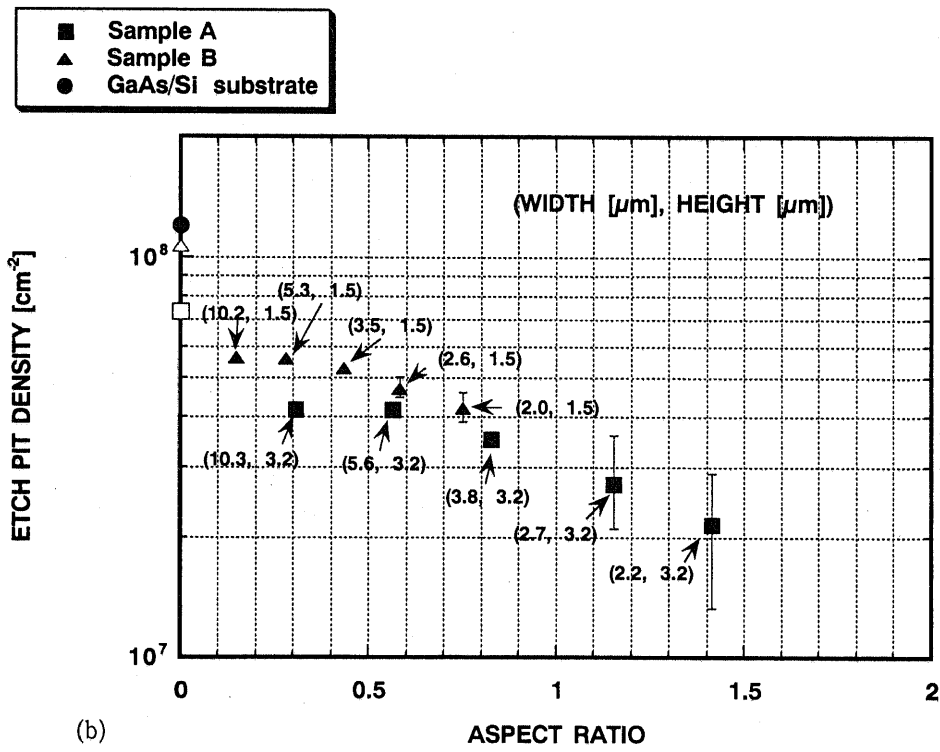
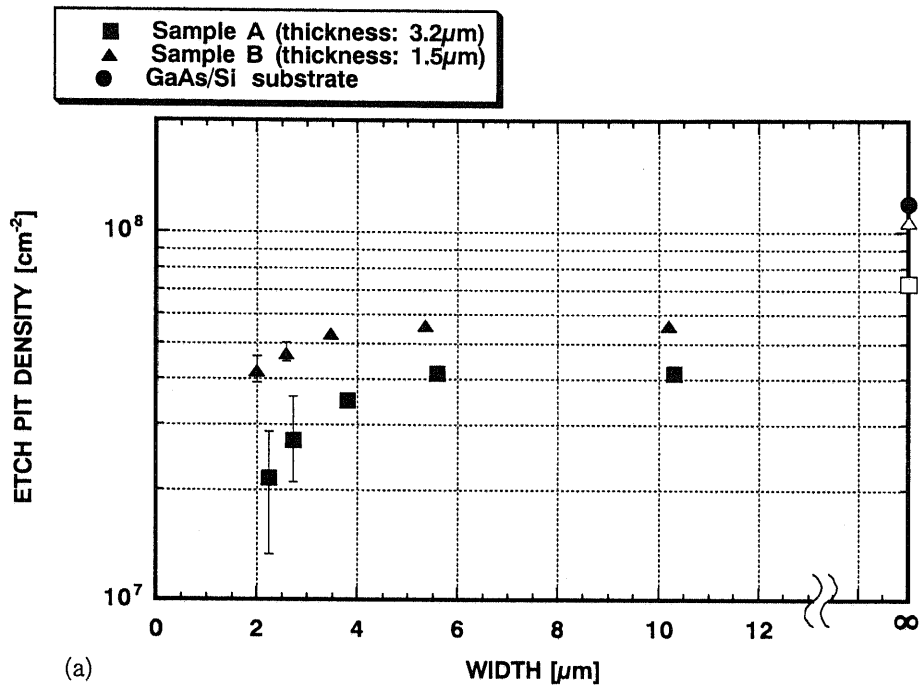


図 4.15 エッチピット密度の(a)成長層幅依存性及び(b)縦横比依存性。

れ以上成長時間を長くするのは非能率的であるが、溶融KOHエッチングを行うためにはこの方法を採用の必要がある。縦横比が2以上になれば、{111}B面上の転位はほぼ完全に側面に抜けることが予想される。

(b)に関しては、本実験では断面形状観察等をやり易くするために長いラインを用いたが、ライン長を短くすることにより低減効果が期待される。しかし、あまり短くしすぎると3.6節で示したようなピラミッド構造になってしまうため、縦横比をかせぐためには5 μm 程度が下限だと思われる。

(c)は、GaAs/Si基板作製の際に、転位低減化手法を適用するというものである。本実験で用いた基板は全く何も施していないために、 $1.2 \times 10^8 \text{cm}^2$ という大きなEPDを示している。まず、サーマルサイクルアニーリング(thermal cyclic annealing : TCA)を用いることにより、比較的容易に 10^7cm^2 以下のEPDが実現されること示されている[16]。また、歪み超格子(strained layer superlattice : SLS)の挿入もよく用いられる方法である。この方法はSLSとの界面に発生する応力によって転位の方向を意図的に湾曲させることにより、転位の対消滅や基板端へ逃げる効果を促進させるものである。しばしばこの2手法は併用して用いられ、これによって $1.4 \times 10^6 \text{cm}^2$ というEPDが得られると報告されている[17]。このようなGaAs/Si基板を用いてVMCE成長を行えばより高品質な成長層が得られるはずである。

(d)は、VMCE成長中にもTCAやSLSの挿入等の手法を適用するというものである。成長層幅が狭い場合は基板端が近くに存在するため、SLSの挿入が特に効果的であると予想される。

4.6 透過型電子顕微鏡による断面観察

サンプルA上に形成された幅2.5 μm 、高さ3.5 μm (縦横比1.41)の成長層の断面透過型電子顕微鏡像を図4.16に示す。観察方向は[110]である。本試料は、集束イオンビーム(focused ion beam : FIB)によって約0.1 μm まで薄片化されている。VMCE成長層両脇に縦の明るい線が観察されるが、これは上下方向のFIB走査時に空隙の影響を受けるためである。

この試料中に双晶や多結晶領域はみられず、単結晶が得られていることが分かる。貫通転位はGaAs/Si界面近傍には存在するが、VMCE層内には見られない。このことは、この成長層のEPD値($2.1 \times 10^7 \text{cm}^2$)を考えれば不合理ではない。幅約1 μm の(001)面上にエッチピットが直線的に並んでいると仮定すると、平均ピット間隔は4.2 μm と計算される。したがって断面TEM観察領域が無転位領域に当たる可能性は高い。断面TEM像から局所的ではあるが、実際に無転位の領域が存在していることが示された。

ストライプ状メサ構造が形成されたSi(001)基板上に選択的に成長されたGaAs層の断面TEM観察によると、成長層中に多くの欠陥が観察されている[18]。幅2 μm 以下の成長層においても多くの積層欠陥及び微小双晶が発生しており、縦横比を上げたことによる高品質化の効果はほとんどみられない。これらの欠陥は成長層の{111}ファセット上で発生したものと推測されている。このことから、成長層の形状制御が重要であることが示唆される。

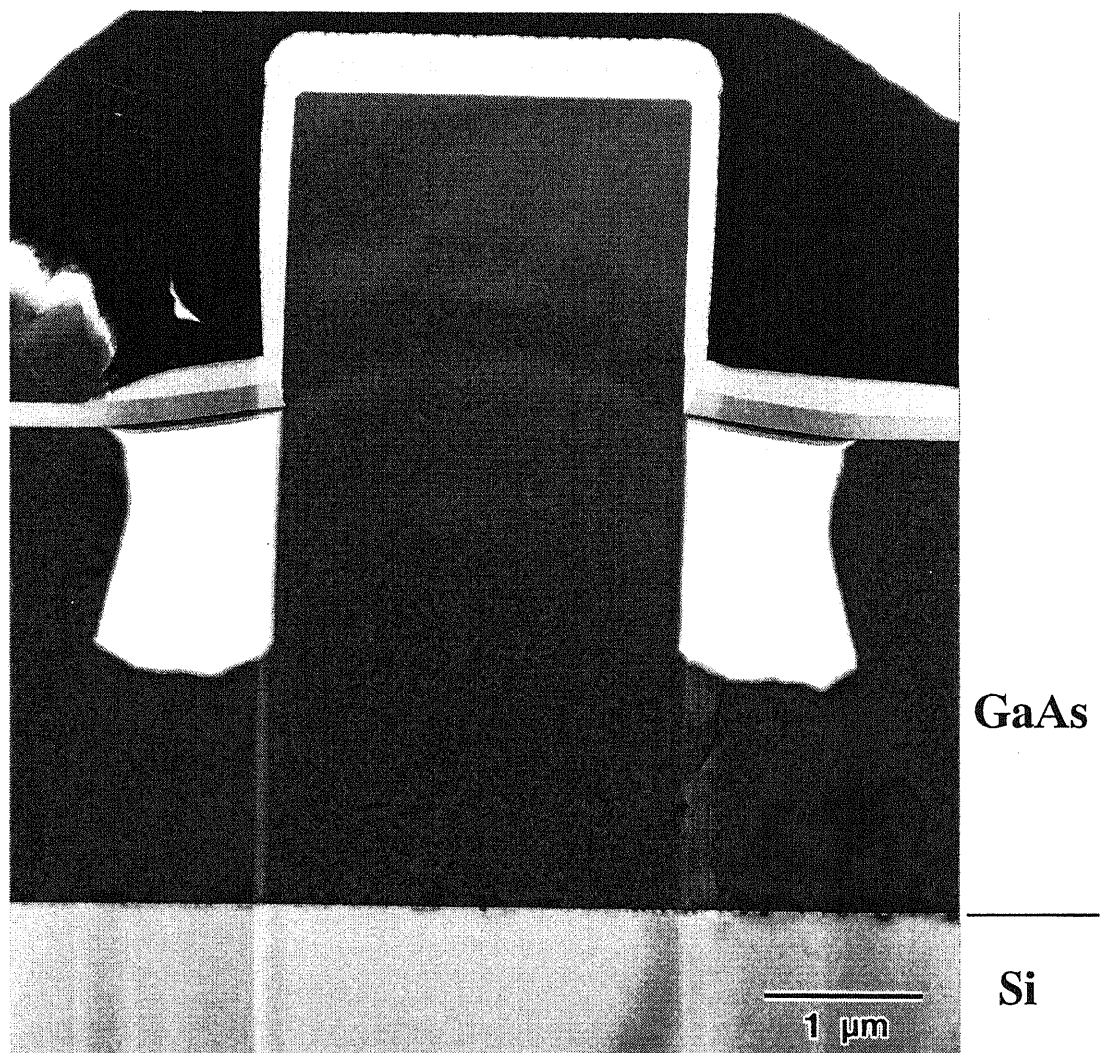


図4.16 幅 $2.5 \mu\text{m}$ 、高さ $3.5 \mu\text{m}$ (縦横比 1.4)のVMCE成長層(サンプルA)の断面TEM像。断面は(110)面である。界面近傍に貫通転位が存在するが、VMCE層中には存在しない。

4.7 第4章のまとめ

本章では、前章で提案したVMCE法を用いて得られた成長層の評価を行った。まずVMCE成長層上面に観察される直線的なステップは、降温過程に発生するスリップステップである可能性を示した。 $[110]$ 方向に平行なスリップステップの密度は成長幅が狭くなるほど小さくなることが示された。これは $[1\cdot10]$ 方向の側面が自由表面であるために、効果的に応力が緩和されていることを意味する。一方幅の狭い成長層では、 $[110]$ 方向に垂直なスリップステップは成長層両端まで存在していることが観察された。したがって、 $[110]$ 方向の歪みを緩和するために導入される半転位ループは成長層両端に到達しているものと考えられる。次に、PLスペクトルのピークシフトからも、 $[1\cdot10]$ 方向の応力が効果的に緩和されほぼ単軸性応力の状態になっていることが示された。この応力緩和の様子を二次元有限要素法を用いて調べたところ、成長層上部の応力はGaAs/Si界面近傍に発生している応力の1/100以下になっているという計算結果が得られた。

溶融KOHエッチングを用いてVMCE成長層上面のEPDを測定したところ、縦横比を大きくするにしたがってEPDが減少する傾向が得られた。しかし、最大の縦横比(1.41)をもつ成長層でもEPDは $2.1 \times 10^7 \text{cm}^{-2}$ であった。この原因としては縦横比がまだ十分に高くないこと、又はラインに平行な転位が残存していることが考えられる。さらに高品質化を図るためには、低転位密度のGaAs/Si基板を用いること、その他の転位低減化手法を援用することが必要であると予想される。最後にVMCE成長層の断面TEM像から、局所的ではあるが無転位の領域が得られていることが分かった。

参考文献

- [1] J. W. Matthews, S. Mader and T. B. Light, *J. Appl. Phys.* 41 (1970) 3800.
- [2] F. C. Frank and J. H. van der Merwe, *Proc. R. Soc. A* 198 (1949) 205.
- [3] P. M. J. Maree, J. C. Barbour, J. F. van der Veen, K. L. Kavanagh, C. W. T. Bulle-Lieuwma and M. P. A. Vieggers, *J. Appl. Phys.* 62 (1987) 4413.
- [4] Y. Fukuda, Y. Kohama and Y. Ohmachi, *Jpn. J. Appl. Phys.* 29 (1990) L20.
- [5] 太刀川正美, 森英史, *日本結晶成長学会誌* 25 (1998) 29.
- [6] B.G. Yacobi, S. Zemon, C. Jagannath and P.Sheldon, *J. Crystal Growth*95 (1989) 240.
- [7] C. Jagannath, Emil S. Koteles, Johnson Lee, Y.J. Chen, B. S. Elman and J. Y. Chi, *Phys. Rev. B*34 (1986) 7027.
- [8] F. H. Pollak and M. Cardona, *Phys. Rev.* 172 (1968) 816.
- [9] S. M. Hu, *J. Appl. Phys.* 50 (1979) 4661.
- [10] S. Luryi and E. Suhir, *Appl. Phys. Lett.* 49 (1986) 140.
- [11] S. Sakai, K. Kawasaki and N. Wada, *Jpn. J. Appl. Phys.* 29 (1990) L853.
- [12] S. C. Jain, A. H. Harker, A. Atkinson and K. Pinardi, *J. Appl. Phys.* 78 (1995) 1630.
- [13] 大浦洋子, 小林錦子, 黒木健実, 「パソコンによる有限要素法CAEシステム」(森北出版, 1993).
- [14] M. Tachikawa and M. Yanaguchi, *Appl. Phys. Lett.*56 (1990) 484.
- [15] M. Tamura, A. Hashimoto, and N. Sugiyama, *J. Appl. Phys.* 70 (1991) 4770.
- [16] M. Yamaguchi, A. Yamamoto, M. Tachikawa, Y. Itoh and M. Sugo, *Appl. Phys. Lett.* 53 (1988) 2293.
- [17] H. Okamoto, Y. Watanabe, Y. Katoda and Y. Ohmachi, *Jpn. J. Appl. Phys.* 26 (1987) L1950.
- [18] M. Tamura, A. Hashimoto, J. Kasai and A. Nishida, *J. Crystal Growth* 147 (1995) 264.

第5章 まとめ

本論文では、Si(001)基板上の局所領域に高品質な GaAs 成長層を形成することを目的として研究を行った結果を報告した。

まず第2章では、成長初期に発生する欠陥の低減を目的として GaAs/Si 成長初期過程の観察を行った。成長初期に発生する欠陥については選択成長による低減効果は小さいものと考え、全面成長した場合につき検討した。

(1) APDの発生に直接的に影響しうる As 終端 Si(001)表面のステップ構造を、STM及び AFMを用いて観察した。その結果、As 照射温度やサーマルクリーニング温度によってステップ構造が大きく変化することが示された。高 As 照射温度及び高サーマルクリーニング温度によって、3～4 原子層高さのバンチングステップが形成されることが分かった。

(2) 極薄膜アモルファスバッファ層の結晶化過程を RHEED 及び AFM を用いて観察した結果、結晶化はバンチングステップで起き易いことが示された。テラス上に形成された成長島は昇温過程で消失し、バンチングステップ端で形成された島が優先的に発達する様子が観察された。この現象によって成長島の結晶方位が揃うと考えられ、ダブルドメインをもつ As 終端 Si 表面上でもシングルドメインの GaAs 層が成長できる要因になっていると思われる。

(3) 極薄膜クリスタルバッファ層の場合は、ステップに依存せず任意の場所で島状成長が起こるため、As 終端 Si 表面のダブルドメイン構造を反映して位相の異なる成長島が形成されていると考えられる。

(4) 極薄膜バッファ層上に成長した $1.5 \mu\text{m}$ GaAs 層中の APD 発生量は、アモルファスバッファ層を用いた方が少ないことが分かった。この結果は初期過程の観察結果と一致する。以上より、核発生の制御によって APD 発生量を低減できることが示された。

第3章では、全面成長 GaAs/Si 基板中に発生した欠陥を除去すること、ならびに降温過程における貫通転位の発生を抑えることを目的として、縦横比の大きな選択成長層を実現することを試みた。このための成長法として SiO₂ シャドウマスクを用いた VMCE 法を提案し、得られた成長層形状の観察を行った。

(1) ライン窓を用いた場合、高基板温度で成長することによって側面に $\{110\}$ 面をもつ高縦横比の成長層が得られることが分かった。成長層上部には基板温度に依存して $\{112\}$ B 面又は (001) 面が現れた。成長条件を最適化することによって、(001) 上面と $\{110\}$ 側面のみで構成される成長層が実現できることが示された。成長形状は基板温度以外にも分子線の入射方向等の影響を受けるため、最適化が必要である。

(2) VMCE 成長条件においては、全面成長領域に多数の成長ヒロックの発生がみられた。これらのヒロックは、GaAs/Si 基板中に含まれる微小双晶を核として凹入角効果によって形成されるものと推測される。微小双晶も成長初期に発生する面欠陥であるため、初期過程の制御によって発生を抑制する必要がある。

(3) 全面成長領域に比べて、幅の狭い VMCE 成長層では非常に平坦な表面が実現された。これは、成長領域に含まれるヒロック発生源の数を減らせること、及び側面からの Ga

の流れ込みに因る成長層端の隆起を軽減できることが要因となっている。

第4章では、VMCE法を用いて得られた成長層の評価を行い、幾何学的形状による高品質化の効果があるかどうかを調べた。

(1)VMCE成長層上面に観察される直線的なステップは、降温過程に発生するスリップステップである可能性を示した。 $[110]$ 方向に平行なスリップステップの密度は成長幅が狭くなるほど小さくなることが示された。これは $[1-10]$ 方向の側面が自由表面であるために、効果的に応力が緩和されていることを意味する。一方幅の狭い成長層では、 $[110]$ 方向に垂直なスリップステップは成長層両端まで存在していることが観察された。したがって、 $[110]$ 方向の歪みを緩和するために導入された半転位ループは成長層両端に到達しているものと考えられる。

(2)PLスペクトルのピークシフトから、 $[1-10]$ 方向の応力が効果的に緩和されていることが分かった。

(3)熱応力緩和の様子を二次元有限要素法を用いて調べたところ、成長層上部の応力はGaAs/Si界面近傍に発生している応力の1/100以下になっているという計算結果が得られた。

(4)溶融KOHエッチングを用いてVMCE成長層上面のEPDを測定したところ、縦横比を大きくするにしたがってEPDが減少する傾向が得られた。しかし、最大の縦横比(1.41)をもつ成長層でもEPDは $2.1 \times 10^7 \text{cm}^{-2}$ であった。この原因としては縦横比がまだ十分に高くないこと、又はラインに平行な転位が残存していることが考えられる。

(5)最後にVMCE成長層の断面TEM像から、局所的ではあるが無転位の領域が得られていることが分かった。

本研究では、成長初期過程の制御と選択成長層の幾何学的形状効果を組み合わせることによって、高品質な選択成長層の実現を試みた。成長層中の貫通転位密度はまだ大きいですが、本手法による高品質化の効果を示すことができたと考えている。それぞれの最適化によって、さらなる欠陥密度低減が期待される。さらに、その他の転位低減化手法と組み合わせることで、その効力が増幅されるものと思われる。

本研究に関する発表

(1)雑誌論文及び国際会議会議録

- [1] Y. Matsunaga, S. Naritsuka and T. Nishinaga, *J. Crystal Growth* 174 (1997) 635.
- [2] Y. Matsunaga, K. Toyoda, S. Naritsuka and T. Nishinaga, *Proc. 27th State-of-the-Art Program on compound semiconductors (SOTAPOCSXXVII)* (1997) 184-188.
- [3] Y. Matsunaga, S. Naritsuka and T. Nishinaga, *Abstract of the 192nd Meeting of The Electrochemical Society* (1997) 2047.

(2)研究会発表

- [1] Y. Matsunaga, I. Pramudiono, S. Naritsuka and T. Nishinaga, *Proceedings of 17th Electronic Materials Symposium* (1998) 33-34.
- [2] Y. Matsunaga, S. Naritsuka and T. Nishinaga, *Proceedings of 15th Electronic Materials Symposium* (1996) 171-174.
- [3] Y. Matsunaga, S. Naritsuka and T. Nishinaga, *Proceedings of 14th Electronic Material Symposium* (1995) 119-122.

(3)学会発表

- [1] 松永泰彦, 成塚重弥, 西永頌, 第 58 回応用物理学会学術講演会 (1997) 4a-SM-6.
- [2] 松永泰彦, 成塚重弥, 西永頌, 第 57 回応用物理学会学術講演会 (1996) 8p-ZE-9.
- [3] 松永泰彦, 成塚重弥, 西永頌, 第 43 回応用物理学関係連合講演会 (1996) 26p-ZF-4.

謝辞

卒論から博士課程までの6年間を通じて、研究全般にわたって終始温かく御指導頂きました西永 頌教授には深く感謝致します。ともすれば怠惰になりがちな私を常に叱咤激励して頂きました。その研究に対する真摯な姿勢を、今後少しでも見習ってゆきたいと思っております。また日頃より研究に対する御指導と共に、学生生活における相談にまでのおって頂いた田中雅明助教授に深い感謝の意を表します。研究に関する議論のみならず、実験に関する細かなノウハウまで御指導頂いた成塚重弥助手には心より感謝致します。実験の進め方及び実験装置の取り扱いに関して、本当に多大なご助力を頂きました。

卒論から修士課程にかけて、右も左も分からない私を指導して頂いた鷺山昌子元講師に感謝致します。当時アットホームな研究室の雰囲気を作って頂いたことを、懐かしく思い出します。卒論時に指導して頂いた温武義博士に深く感謝致します。本論文の一部は氏の成果を引き継いだものといえます。

お世話になった西永・田中(雅)研究室の先輩及び後輩の方々に深く感謝致します。

平成8年度から平成10年度にかけて日本学術振興会特別研究員制度より支援して頂いたことを誠に感謝致します。

最後に、常に支えてくれた両親に感謝します。